

テストおよびテスト装置

概要

2001年のテスト・ロードマップは、製造テスト・プロセスにインパクトのあるより多くの設備を対象とするように、1999年から拡張しました。単独のテスト装置のチャレンジを超えて全工程に関わるに取り組みとして、バーイン・テスト、ウェーハ・プローブ、完成品ハンドラとプローブ・カードの技術トレンドを初めてカバーしています。テストのチャレンジのエリアでは、日本サイドによるシステム・オン・チップ(SOC)の内容がテストの章の補足に含まれています。この分野の内容は将来のテスト・ロードマップ改訂で成長・成熟すると予想されます。

本章の構成は、1999年版のテスト・ロードマップに従っています。テスト技術必要条件は、テスト・マーケット・セグメントのキー・デバイスおよび設計属性によってセクションに分割されています。これはこれらがテスト決定を促進させる主要なドライバーであるからです。さらに、いくつかのエリアにおいてディフィカルト・チャレンジを拡張し、技術開発の必要性に対する補足説明を追加しています。

困難なチャレンジ

コストとテスト容易化設計

単位あたりのテストコストと検査装置の主要コストを考えることは、製造のテストメソドロジーを決定する上で支配的なものであり続ける。何年も前から始まったDFTを内蔵する設計によって、安価検査装置解を探すことは、最近意味深い産業的勢いを生み出してきている。しかしながら、いくつかの動向がDFT手法の適用に制約を課している。SOCの設計は、デジタル、アナログ、RFとミックスド・シグナル検査装置の能力必要条件の伝統的壁を破りつつあり、その結果非常にコンフィギュラブルで最初からすべて1プラットフォームでのテスト解への動向を生み出している。バンド幅と一定の、あるいは縮小していく最終パッケージの形状ファクターの要求が増加することは、チップ外通信に対する高速シリアル・プロトコルの広範囲の拡散を促進させている。これらのインターフェイスのアナログ性質とデバイス互換性に対する要求は、製造環境に拡張的アットスピードのパラメトリックテストを要求しだす。ついには、DFTに基づくテストアプローチは、以下の研究をし続けることを要求する。その研究とは、実存する故障モデルを想定し、斬新な故障モデルを同定化するパターンを加える先行したメソドロジーの開発を通して、実際のプロセス欠陥のカバレッジを向上させるものである。DFTに基づくメソドロジーは、これらの分野で実行可能なものである間に、DFTテクノロジーが最先鋭のデバイスの性能と複雑さに遅れをとり続けるであろうことは予想されることである。

DFT手法は、何年もの間よく知られた手法であるが、ほんの少し前に産業全体に渡って実践的なものとなっている。なぜこの古いテクノロジーが今日の製品で突然それほど重要になっているのかと疑問を投げかける人がいくらか存在する。何年もの間、要求される出荷品質レベルを達成するために、アットスピードのファンクションテストが、大量生産の強力なメソドロジーを提供してきた。この手法は、いくつかの理由でガス欠状態に陥っていると議論され得る。その理由は、テスト開発のリソースだけでな

く、製造歩留り損失とコストである。たとえ、各デバイス性能の向上に合わせて、製造検査装置をアップグレード、あるいは、置き換えができる余裕があったとしても、ファンクション検査環境下で人手でテストを書くためのリソースの要求があることを避けて通れないことは、自明である。テスト内容生成は、非常に複雑な設計に対しては、10倍の人と年月を要するかも知れない。スキャンやBISTのようなDFT手法は、テスト内容の自動的生成を可能にするかも知れないし、テスト内容生成の労力を削減するかも知れない。かくして、人手でテストを書く仕事をドラスチックに削減する。高度に集積化されたデバイスに対しては、テストの再利用の提供とテスト開発と評価業務の幾何学的、あるいは指数関数的伸びを避けるDFTが要求される。

製品検査コストを下げるDFTに基づく設計へのすべての産業的勢いとともに、ファンクションテストは、本当に消えてしまうのだろうか。テクノロジーが進展するにつれて、ファンクションテスト装置コストが、一定のパフォーマンスウィンドウのために、長い時間に渡って減少してきた。出荷製品品質を保証するために必要なカバレッジを得る1つの機会として、テストは、ファンクションテストメソドロジーをてこ入れし続けるであろう。しかしながら、生産でファンクションテスト・パフォーマンスに包含的制限が必要とされるとき、I/Oのデータレート必要条件を減らし、少ないピンカウントテストを可能にし、高価な検査装置への依存性を減らすことによって、DFTは使用されるであろう。DFTは、製造業者にファンクションテストと結びつけられたテスト装置テクノロジーを見直させる可能性を持つであろう。

最先端の半導体プロセス・テクノロジーにおいては、故障検出環境のわれわれの理解を進めて、故障モデルに基づいて、静的な、そしてダイナミックな欠陥の改善された検出をもたらすパターンを印加する先行的方法を識別するための基本的研究が必要とされる。異なる故障モデルから導かれたテストセットの欠陥検出能力の何年もの分析の後、単一縮退故障モデルがテストセットの品質を数量化することに対して、最も広く使われるモデルとして残っている。このメソドロジーは、低速度のスキャン環境で使われるとき、たいていのスタティックなプロセス欠陥を検出するには充分であることが分かった；しかしながら、一層進歩したベクトル印加手法と斬新な故障モデルが、ダイナミックな回路動作のみに影響を与えるだけである欠陥を検出するためには必要である。どんなに、超微細化回路の感受性と高い背景電流でデバイスをテストしているIDDQ能力が低下していることが、他の故障から追加のカバレッジをオープン故障とブリッジ故障のようなタイプで向上させる必要を促進させるとしても、過渡とパス遅延故障モデルの使用が大きくなってきている。

先行した故障モデルに基づいての、設計トランジスタの計算とテストパターンの応用が大きくなるにつれて、関連したスキャンベースのDFTテストデータ・ボリュームは、関連して増大する経験をするであろう。デバイス・インターフェイスにおいて、テストデータ転送のために利用可能なバンド幅は、テストデータ・ボリュームの伸びより成長が遅くなるであろう。この傾向は、生産テスト時間、それゆえに製造コストに直接の打撃的な影響を与える。設計を制限するテストバンド幅の中へのBIST手法の浸透は、サブセットのテストパターンをチップ上で生成することを通して、テストデータ・ボリュームの伸びを抑制するように要求されるであろう。

アナログテストとミックスドシグナルテストのDFTメソドロジーは、開発の早い段階にあって、そして産業のために重要な挑戦を表す。これは、品質保証のミックスドシグナルテストが回路のタイプだけでは

なく、応用タイプに依存しているかも知れないという事実によって、複雑化されている。複雑なアナログ回路を保持する高集積化傾向は、費用効果の高い製造テスト解決のビジネスの必要を促進させている。その研究はすでに始まっているが、だんだんと強調した形で、産業テスト応用へのテクノロジー転換についての研究が続かなければならない。

1999年度のITRSは、DFTによって可能にされた設計のために、低コストテスターに最初の焦点が合わされた必要条件の定義を提供した。2000年度の更新は、必要条件を明確にして、そして内容の解釈で産業的混乱を減らすために、この情報の重要な刷新を含んでいる。これらの必要条件を生み出すことの過程における半導体製造業者とテスト装置供給者間の大規模な協力は、個別の設計で使われ大いにカスタム性の高いDFTメソドロジーがテスター構成ブロックの汎用セットに向かって一点に集中することを明示してきた。この重要な結論は、次のことを確信させていることである。ノーブランドのDFTテスターであっても、一連のカスタム性の高いポイント解決よりもどちらかという、産業の必要条件を満足するように設計され、構成され得るということである。

しかしながら、デバイス・デバッグと特性評価の世界においては、アットスピード・ファンクションテストとアナログテストは、設計誤差とプロセス誤差とマージン確保の根本的原因のための主要な役割の役をし続けるであろう。この伝統的テスト装置ベースのメソドロジーは、DFTベースの結果を最終使用の環境条件に関連付けることを要求されている。この検査装置が製造の中に急増することはない、しかし、どちらかといえば、より低コストの大量生産テスターの製造能力を証明するためには使われるであろう。もし、この傾向が、最も複雑な、開発集中的なテスト装置のために、全体に利用可能なマーケットを縮小するようなことを続けるならば、これは、産業に重要な挑戦を表す。設計デバッグと特性評価の新しいメソドロジーは、上昇する検査装置コストを避けるためには識別されなくてはならない。

高速のシリアル・インターフェイスは、何年もの間、長距離の通信マーケット・セグメントで使われてきた。通信マーケットが重要な周波数を維持するであろう間に、主要な高速シリアル・プロトコルが、広範囲の消費者応用をサポートするために、ASICとSOCマーケットを突き通すであろう。この傾向は、主流として、前には限定されていた複雑なテスト問題を高速ネットワーキング環境にもたらしめている。このマーケット・セグメントから学ぶキーは、とりわけインターフェイス上のジッター耐性とジッター転送テストを行う必要があることを示している。このようなテストは、今日ラック&スタック方式のアナログドメイン、あるいはミックスド・シグナルテスターでのアプローチで行われている。これらの解決は、テスト時間と検査装置主要コストに起因する製造コストの考慮を伴って、単一デバイス上の高速シリアルポートの比較的限定された数をサポートする。これらのインターフェイスが単一デバイス上に載せるポート数が急増するにつれて、伝統的アナログテストのアプローチは、アナログ検査装置のスケラビリティのために破綻するであろう。これらのインターフェイスの周波数が増加するにつれて、製造テストを可能にするために、代わりの方法が開発される必要があるであろう。

最終製品外形ファクターとバッテリー寿命に対する民生製品に対して増加する圧力は、設計タイプの間にぼんやりと、重要なレベルでの単一チップ集積化を促進させている。SOC設計の到来は、アナログ回路が基本的にデジタル回路(大きいデジタル/小さいアナログ)に加えられたかどうか、あるいはロジック回路が基本的にアナログ回路(大きいアナログ/小さいデジタル)に加えられたかどうか

かを決定することを難しくする。アナログの複雑さは、比較的低パフォーマンスのベースバンドからマルチGHzまでを含むRFまで、異なるかも知れない。ロジックとアナログ回路のほかに、真のSOC設計は、大量の内蔵揮発性メモリと、あるいは不揮発性メモリを内蔵しているかも知れない。単一ダイの上にこれらの回路を組み合わせることは、増加する消費マーケットでフェイルするデバイスのテストの複雑さと挑戦を増大させている。ロジックテストとアナログ回路のテストの複雑さとともにあるメモリテストの長いテスト時間要求の均衡を保つために、DFTでの基本的な新考案とテスト装置アーキテクチャが必要とされる。加えるに、大規模SOC設計は、再利用可能なミックスド・テクノロジー設計ブロックから組み立てられるであろう大いに構造化されたDFTアプローチは、高いカバレッジを可能にして、内蔵設計ブロックのためにテストの補足的再利用を必要とされるであろう。

マルチダイのパッケージング

小さい製品外形ファクターを保守する間に、大きいメモリアレイのようなカスタムに指示される「オプション」の集積化が、マルチダイのパッケージに対する需要を促進させている。個別のダイが異なった設計チーム、あるいは異なった製造業者からさえ来るかも知れないから、DFTがリスクな状態である付加的複雑な問題を持つ機会を与えるように、ミックスド・テクノロジーでのマルチダイパッケージは、SOCと同じような挑戦を伴っている。さらに、いくつかの異なったテスト戦略は、それは特定のテクノロジーのためにそれぞれ最適化されて、通常専用テスターの上で個々に処理されるが、1パッケージでの挑戦的テスト手法とテスト装置能力を一緒にすることができた。マルチダイ・パッケージで構成される歩留りは、個別のダイの歩留りとパッケージング歩留りの積である。これは、ウェーハプローブから取られたKGDが集積化されたマルチダイ・パッケージの構成テストの段階の歩留り影響を最小にするような願望を促進させる。KGDは、劇的にウェーハプローブでの欠陥検出必要条件を増やして、既存のウェーハプローブとバーイン加速メソドロジーを挑発している。マルチダイ・パッケージへの大きくなる需要が、ウェーハレベル・テストとバーイン能力を強めて、多分スループットと歩留りを最大にする新規製造プロセスフローの開発を導くであろう。

標準化

単一ダイ、あるいはパッケージの中の回路タイプの多くなる多様性は、製造テストフローの複雑さと関連した増加を促進するであろう。効率的にテスト装置プラットフォーム間でテスト内容を移動させるために、テスト開発標準が必要とされる。自動テスト内容生成のためのソフトウェア・ツールとテスト・ソフトウェア標準の採用が必要である。デジタル・ロジック設計のためのツール能力は、相対的に成熟レベルに達してきている；アナログ・ドメインに対して、同様の能力を持ち込むことに焦点を当てる必要がある。装置プログラミング、オートメーションとカスタマイゼーションのための今日のプラットフォームのユニークなサプライヤーのソフトウェア解決と自社製ツール環境は、テスト開発エンジニアリングと工場インテグレーションの努力に受け入れがたい増大を促進させるであろう。普通業務のオートメーションと減少しつつあるテスト・プラットフォーム・インテグレーション時間は、製品開発ライフサイクルを縮小して、それと一致して一層の効率的リソースの使用を可能とするべき標準に焦点を当てる必要がある。

モデル化とシミュレーション

デバイスのピン数、I/O周波数、アナログ必要条件と電力の増加が必要とされるにつれて、テスト

ーとDUT間のインターフェイスは、ますます複雑になる。これらの特性のワーストケースの組み合わせは、すべての計測器がパス寄生を最小限にするように（トレードオフが要求されるであろうが）、物理的にできるだけDUT近くに置くことが要求される。計測器の場所とパス・パフォーマンスに対して、インターフェイス・レイアウト・ルーティングと幾何学的パターンの最適化を果たすために、複雑なシミュレーション能力が必要とされる。シミュレーションは、テスト装置の計測器、電気配分パス、プローブカード、ロードボード、コンタクターとDUTの詳細なモデルを必要とする。このようなシミュレーションは、ダイにおける信号と電力性能を保証するために必要とされる。

汎用DRAMのビット密度の成長は、コスト性を維持する生産テストスループットと関連した増加を要求する。並列テストへの単純な拡張は、充分ではないであろう、そして、大きくなるDUTインターフェイス速度と精度必要条件によって、制限されるかも知れない。マルチビットのテスト、BISTとBISRは、生産スループットと歩留りを助けるためには不可欠となるであろう。

テストプロセス実行決定は、製品テストコストとテスト有効性間の一定のトレードオフによって、促進させられ続けるであろう。DFTテクノロジー開発の段階に、あるいは、DFT解決を招かない大規模な設計に対して、コストの圧力が、高性能のデジタルとアナログテスト装置を先端設計のテスト必要条件を管理させ続けるであろう。DFTの使用は、テストの複雑さをチップ上に移動させる、それゆえ能力の必要条件を減らし、従って、コスト、製造テスト装置を減らす目的とともに大きくなる。

トランジスタ数、インターフェイス周波数、電力消費と多様な回路タイプの集積化に関してのデバイスの複雑さが増すことは、将来テスト共同体の中で重要な挑戦を必要とするであろう。近いうちに、これらの挑戦は、大いに構造化されたDFTメソドロジーを通してテストアクセスを供給し、テスト装置を通してデバイスに高性能な信号を配分する能力に集中する。長期の挑戦は、デバイス・インターフェイスとしてのテスト装置、先行的テストメソドロジーと不良解析に存在する。下表19の挑戦は、優先順位で定義されている。

表 1 9 テストとテスト装置の困難なチャレンジャー短期間

5つの困難なチャレンジャー ≥ 65 nm / 2007 まで	項目のまとめ
高速デバイス・インターフェイス	- 高周波数、超多数ピンプローブとテストソケットのために、主要なロードブロックが必要であろう；減少した寄生インピーダンスでコスト効果が高い解決を可能にする研究開発が緊急に必要とされる。 - 高速シリアルインターフェース速度とポート数傾向が、特性評価のために高速アナログソース / キャプチャーとジッター計測器能力の向上を要求し続けるであろう。DFT / DFM 手法が、製造するために、開発されなくてはならない。 - デバイス・インターフェース電気回路が、検査装置バンド幅と精度を低下させるとか、あるいはノイズを発生してはならない；特に高周波数差動 I/O とアナログ回路のために。
高集積設計	- 大いに構造化された DFT アプローチは、内蔵コアへのテストアクセスを可能にすることが必要である。テストを可能にするためにDFT と BIST を使うとき、個別のコアには特別な注意を必要とする。 - アナログ DFT と BIST 手法は、テストインタフェース必要条件を単純化することと、ゆっくりではあるが、徐々に計測器の能力を高めるトレンドを成熟させなくてはならない。 - もし、テストチップが同じく多数のノイズが多いデジタル回路を含んでいるならば、RF とオーディオ回路を含んでいるテストチップは、主要な挑戦となるであろう。 - DFT は、非常に複雑な設計に対して再利用可能なデザインコアがテスト開発時間を減らすように、テスト再利用ができるようにしなくてはならない。

信頼性スクリーニング	- 既存のメソドロジーは、ガスを使い果たしている状態である（バーイン対熱放出、IDDQ 対背景電流の増加）。 - 斬新な、初期不良率をもたらす欠陥加速ストレス条件を識別する研究が必要とされる。
製造検査コスト	- 製造テストコストを減らすためのテストセルスループット拡張が必要とされる。その好機は、大規模並列テスト、ウェーハレベルテスト、ウェーハレベル バーインと他を含んでいる。デバイス・インタフェース/ コンタクティング、電力と熱のマネージメントを含む挑戦が望まれる。 - デバイステストの必要性は、DFT を通して低コストの製造テスト解決を可能にするように処理されなくてはならない；ピンカウントを減少させるテスト、検査装置再利用とテスト時間短縮を含む。 - 自動テストプログラム生成は、テスト開発時間を減らすために必要とされる。テスト内容の再利用と製造の機敏さを可能にするテスト標準が必要とされる。
モデリングとシミュレーション	- シリコン前のテスト開発を可能にし、高価な ATE の上での高価なシリコン後のテスト内容開発／デバッグを最小にするために、ATE、デバイス・インタフェースと DUT とのロジックとタイミングの正確なシミュレーションが必要とされる。 - 高性能なデジタルとアナログ I/O と電源必要条件が、ダイ時の信号の正確さと電源品質を保証するために、テスト環境シミュレーション能力の重要な改良を必要とする。 - 検査装置メーカは、インタフェース設計を可能にするためにピンエレクトロニクス、電源とデバイス・インタフェースの正確なシミュレーションモデルを提供しなくてはならない。

表 19 テストとテスト装置の困難なチャレンジャー長期間

5つの困難なチャレンジャー <65 nm 2007以降	
DUT から ATE へのインターフェイス	- 光学式と他の分裂的テクノロジーでのプロービング能力。 - 大規模並列テストのサポート — フルウェーハ・コンタクティングを含めてである。 - ダイ・サイズを減少させることと、回路密度を増やすことは、ダイの熱密度の劇的な増加をもたらす。この問題は、さらに製造スループットを最大にするために並列テストができるようにする願望によって増大される。ウェーハ・プローブと部品テストに対する新しい熱のコントロール手法が必要であろう。 - インタフェースとテスト装置によって、非接触でデバイス・ピンをテスト可能にする DFT
テストメソドロジー	- 新しい DFT 手法（SCAN と BIST は、今までの 20 年以上の間の頼みの綱であった）。制御と観測のための新しいテスト方法が必要とされる。設計階層を利用して開発されるテストが必要であろう。 - アナログ DFT と BIST 手法は、テスト・インタフェース必要条件を単純化することと、計測器能力をゆっくりではあるが徐々に向上するように、成熟していかなければならない。 - BIST 手法は、新しい故障モデル、不良解析と決定論的テストを支援するように変化しなくてはならない。 - DFT の挿入のための EDA ツールは、機能性、カバレッジ、コスト、回路パフォーマンスと ATPG パフォーマンスを考慮して、DFT 選択することをサポートしなくてはならない。
欠陥解析	- 欠陥タイプとその動作は、拡散プロセステクノロジーに先行した形で進展し続けるであろう。出現している欠陥場所を特定化する既存と新規の故障モデルの基本的な研究が必要とされるであろう。 - 進歩した故障モデルに対する ATPG 能力と性能に対して EDA の重要な先行性と DFT の挿入は、テストに関連した効率を改善し、設計の複雑さを減らすことを必要とする。
不良解析	- 多層メタル・プロセスでの欠陥のリアルタイムでの解析が必要とされる。 - アナログデバイスの不良解析手法が開発され、自動化されなくてはならない。 - 破壊しての物理的検査プロセスから主に非破壊診断能力への移行。個別の欠陥タイプを同定、場所特定と識別する特性評価能力。
異分野デバイス・テクノロジー	- MEMS とセンサーのための新しいテスト方法の開発 - 進歩した / 破壊的トランジスタ構造のための新しい故障モデルの開発

テストテクノロジーの必要条件

潜在的歩留り損失

全体的ロードマップ・テクノロジー (ORTC) 特性表に示されるように、at-speedのファンクションテスト・メソドロジーに関連した製造歩留り損失は、ATE性能と常に増加するデバイスI/O速度の間が大きくなりつつあるギャップと関係している。マイクロプロセッサとASIC I/Oの大きくなっている速度は、タイミング信号の適切な解決のためにより高い正確さを要求している。半導体チップ外への速度は、1年に30%向上しているのに、テスター精度は1年に12%しか改善されていない。1980年代にはデバイス速度より5倍速いテスターによって提供された典型的テスト課題は解決した。もし、現在の傾向が継続するならば、テスターのタイミング誤差が最も速いデバイスのサイクル時間に接近するであろう。表20に見られるように、2001年には、伝統的ファンクションテスト・メソドロジーを使うときには、テスターの精度が悪いための歩留り損失が問題になっている。

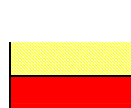
表 20 歩留り対テスト精度

年		2001	2002	2003	2004	2005	2006	2007
チップからボードへのパス周波数 - 高性能	MHz	1700	1870	2057	2262	2488	2737	3011
デバイス周期	ps	588	535	486	442	402	365	332
総合ATE 精度(OTA)	ps	200	176	155	136	120	106	93
デバイスの総合精度必要条件 (5% 目標)	ps	29	27	24	22	20	18	17

白-製造化可能な解が存在し、現在最適化中

黄-既知の製造化可能な解がある

赤-製造化可能な解は、まだ未知



これらの潜在的に極端な歩留り損失は、at-speedのファンクションテストの代わりにテスト手法の使用によって、和らげられなくてはならない。DFTメソドロジーは、進歩したパターン印加と新規の故障モデル化を通して、アットスピードのファンクションテスト・ベクターによって同定化される欠陥のカバレッジを提供するように成熟しなければならない。これらの方法は、テスターのタイミング精度に起因する先端設計の歩留り損失のリスクを軽減し、テスターとデバイス間のインターフェイスの複雑さを軽減する付加的利点を提供する。

ATEコスト

ATEコストは、従来は単純なピンあたりのコストを基に計算してきた。この方法は、便利な計算法ではあるが、次の理由により問題であった。即ち、ピン数が増えることによって発生する装置構造と基本構造に関係した基本的なシステムコストを無視してしまっていたためである。それ故、各テストの種類ごとについては、次の式が、ATEコストのロードマップを表し、且つ、予測するのに有用なものであるとして提案されている。

$$\text{Tester Cost} = b + \sum (m * x) n$$

この式で、 b はピンが無い場合のシステムの基本コスト、 m はピンあたりの増加コスト、 x はピン数である。“ b ”は能力、性能、特徴によって変化し、一方、“ m ”はパターン・メモリ容量、アナログ能力に依存する。尚、基本コスト“ b ”は、テストの種類によって変わるが、現時点の例では、複数同時テストのための特別な仕様を考慮していない。添え字 n は、異なるテストピン能力（例、アナログ、RF、等）をサポートするための特殊仕様システムによりコストが変わることを示すものである。ファクタ b と m に対するコストは、同一の性能では、時間経過とともに下がると予想している。

図表 2 1 ATE Cost Parameters

Tester Segments	<i>B</i>	<i>m</i>	<i>x</i>
	<i>Base Cost</i>	<i>Incremental Cost per Pin</i>	<i>Pin Count</i>
	K\$	\$	
High-performance ASIC / MPU	250-400	2700-6000	512
Mixed-signal	250-350	3000-18,000	128-192
DFT Tester	100-350	150-650	512-2500
Low-end Microcontroller / ASIC	200-350	1200-2500	256-1024
Commodity Memory	200+	800-1000	1024
RF	200+	~50,000	32

今後のピンあたりの価格

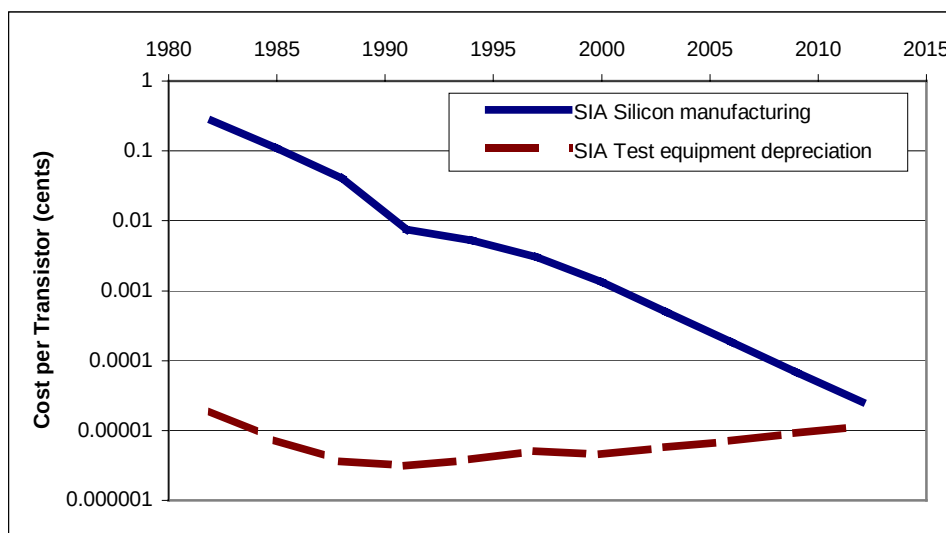
ATE コストは、投資では非常に大きな割合を占めるが、半導体製造におけるウエーハプロセスとパッケージ組み立ての割合とともに、製造に関する全コストの一つの要素でしかない。ウェーハソーティングとファイナルテストに対する全オペレーションコストには、関係しているテストするための装置、材料、労力、フロアスペース、装置サポート、および、テストする効率に依存したコストが含まれている。1997 年 ITRS ロードマップで公表したテストコストに関しては、ATE サプライヤー、半導体製造メーカー、そして EDA ベンダさえも、大変関心を寄せている。

テストコスト推移に対する技術チャレンジを述べるために 1997 年と 1999 年のロードマップでは、図表 19 に示したグラフを公表した。このモデルは、本来、高性能なマイクロプロセッサ製品群におけるテストコストトレンドに基づいていた。そして、これを一般化し他の製品群に直ちに適用するのは相応しくないものであった。このモデルでは、テストコストトレンドは、将来に渡って過去の延長線上で推移するとの仮定の基に予測されている。このテストコスト推移には、製品世代に係わりなく一定であるテストあたりの投資コストとデバイスランジスタ数の増加に同期したデバイステスト時間の増加を加味していた。このコストモデルが刊行されてから、過去の延長線上でのテストコスト推移を変えるための顕著な努力がなされ、そしてコストモデル傾向を下げるのが始まっている。

このような過去の延長線上のテストコストの流れを変えようとするのは、ATE と半導体製造メーカーの両社間の協同でなされてきている。装置コストの低減は、装置コストの改良と装置への要求事項の削減との組み合わせによって実現されようとしている。さらに、半導体製造メーカーは、デバイステストのスループット、即ち、パラレルテストを増やすこととデバイステスト時間を短縮すること、に注力している。このことは、テスト装置投資コストの削減につながり、結果としてテストコスト削減に寄与することになる。

しかしながら、このような活動は、あるデバイステスト分野の中で見られるが、他方ではもがき続づけている分野も依然としてある。アナログとRFテスト用装置は、相対的に高価で、このような回路をテストするテスト時間も長い。この分野のテストコスト削減は、まだキーチャレンジとして残っている。また、あるデバイステストにおいては、テストコストは全製造コストの70%以上を支払っている場合がある。この様にテストコストは、決してトランジスタ数、ダイサイズ、デバイスピン数、あるいはプロセステクノロジーのみで単順に決められないものである。

図 1 9 1997 Microprocessor Cost of Test Trend Graph



重要なトレンド

テスト容易化設計（DFT）は、テストカバレッジを確実にするためとテスト開発時間を短縮するための仕掛けとして設計工程で使われてきている。設計工程の初期にテスト容易化を考慮して設計すべきだとの考えに対する設計者の抵抗は、時間経過とともに小さくなり、近い将来ATEとEDAが有機的に収斂することによって無くなってしまいうだろう。テストコストを抑制するために、より廉価な低性能の装置が使用できる様に、また、既存の装置の再利用ができる様に、そして、より良いテスト効率が図れる様に、DFT手法を工夫することが重要である。組み込みテスト（BIST）とDFTは、ハイエンドなデジタル論理設計の中の主流であり、近い将来アナログとSOC設計への浸透は本格的になるだろう。成功のカギは、テスト容易化設計を上手く活用し、限定した機能を有する安価なテスト装置でもって、いかに効率よくデバイス（製品）をテストするかであろう。

テストと歩留りの学習

標準的なものから不完全な、そして最高級の種類から売れる製品を区別することに加えて、テストは、半導体の産業のためにもう1つの主要なサービスを提供する。今日製造プロセスでの不良メカニズムの分析の最も良いツールは、テスト装置である。歩留り向上への時間、品質向上へ時間とマーケットへの時間は、すべてテストによって律則される。テストプロセスから得られたフィードバック・ループ

は、今日のプロセス欠陥の多くを解析し、隔離する唯一の方法である。同様に、テストは受け入れ難いパラメトリックなばらつきと設計－プロセス対話に係るフィードバックのメインソースである。テストは、コスト効果が高いプロセス尺度、欠陥隔離と不良ルート原因究明を支援し続けなくてはならない。RAM デバイスに代わってテクノロジー・リーダーとして、複雑なマイクロプロセッサの出現は、これらのゴールを理解することがいっそう難しくしている。

65nm の特徴サイズに向かった CMOS テクノロジーのマイグレーションは、ひどく伝統的な不良解析プロセスを挑発するであろう。ハードウェアベースの物理的な不良解析は、故障個所特定化、剥離解析と物理的特性評価 / 検査のステップを含んで、重要なプロセスのままでいるであろう、しかしながら、選択肢が必要とされる。より小さく、いっそう微妙な ; もっときついピッチでの欠陥を見いだすことを必要とし、より大きい空間の解像度を必要とする不良により優れた回路敏感さと、フリップ・チップのパッケージとともに裏面からの解析の使用を強制するメタルレイヤの増加する数のような要素によって、選択肢の必要は、促進させられる。物理的な不良解析プロセスをルーチン解析手順として頼るにはあまりにも遅く、困難になるために、これらの要因は結合するであろう。伝統的なハードウェアベースの故障個所特定化のキー・選択肢および補足は、ソフトウェアベースの故障個所特定化であり、そのためにその必要が特に強く、主要なブレイクスルーを必要としている。物理的な不良解析手法への挑戦がより一層厳しくなるにつれて、製品レベルの電氣的動作や、あるいはインライン化、あるいはテスト構造化された測定のように、すばやく集められたデータから下層にある物理的原因までをマッピングするシグネチャー解析手法もまた開発されなくてはならない。このような開発は、もし成功すると証明されるならば、物理的な不良解析をサンプリング / 検証の役割にまで降ろすであろう。

サンプリング / 検証の役割を演ずるためにでさえ、物理的な不良解析は、テクノロジーにペースを合わせて既存のツール / 手法の改良を必要とし、ある場合には、新しいブレイクスルーの手法を必要とする。加えるに、新しい、そして改善されたハードウェア故障個所特定化ツールがソフトウェアベースの故障個所特定化をサポートし、補うために必要とされる。ソフトウェアベースの故障個所特定化とシグネチャー解析の開発が、特に、解析方法の徹底的な変更によって促進させられて、能力の主要な移行を要求する。それらは、産業、学界と国立研究所と分析的な装置供給会社の主要な努力を必要とする。これらの必要は次の優先順位を付けられたリストでさらに詳述される。

1. ソフトウェアベースの故障箇所特定化メソッドロジーとツール。このようなツールとメソッドロジーは、スキャンベースのテスト、BIST ベースの電圧テスト、ファンクションテスト、IDDQ テストとAC（遅延）テストのようなすべての主要なテストメソッドロジーによって検出された不良診断を取り扱うために必要とされる。コアベース設計、アナログ回路とダイナミック・ロジックを使って性能を上げる方法を含むさまざまな設計方法とローパワー方法を処理するための方法も同じく必要とされる。ACあるいは性能不良の部位特定化は、特に重要である。これらのツールは、一つのトランジスタ、あるいは10 μ mより長くないセクションに欠陥の場所特定をすることを可能とすべきである。それらは、同じくすべての現実的な物理欠陥、抵抗性ブリッジ欠陥を含めて、抵抗を持った接触 / バイアスとオープン故障を処理しなくてはならない。パラメトリック不良（非欠陥）機構と関係がある問題を診断する方法も同じく開発させられなくてはならないBISTのようなDFT手法が、必要なデータ収集をサポートするよう設計されなくてはならない。IDDQ測定デバイスが、診断による必要とされる正確さレベルを支援する必要がある。テスター応答データの収集能力とデータマネジメントシステムが、これらのメソッドロジーの要求を満たさなくてはならない。特に、ATEは、表22のDFTテスター、たとえば、2001年に50MHzで予測されたモデルスキャン・ベクトルレートで無制限にスキャンデータを集めることを考慮に入れるべきである。診断のデータ収集は、たとえば、数秒以上、全体的なテスト時間に追加するべきではない。
2. アプローチとして上記手法を補完し、補うハードウェアベースの故障箇所特定化ツール。これらの手法の空間の解像度は、主に画像処理と上書きのために使われる赤外線に近いものによっておよそ0.5 μ mに固定される（たとえば、ピコセカンド画像処理回路分析[PICA]、熱誘導電圧加速[TIVA]など）。他のどのような裏面画像処理方法も存在しないので、上書きと信号追跡のために改善されたCAD能力でハードウェアベースの故障隔離ツールを統合することによって、この制約は扱われなくてはならない。ATEとDFTは、これらのツールの必要をサポートしなくてはならない、たとえば、PICA解析のために効率的にテストベクトルのサブセットをループすることによって行う。
3. スループットを犠牲にしないで、微妙な欠陥に潜在的な破壊的なチップ剥離プロセスを受けさせないで、高い分解能を提供する光学式顕微鏡（たとえば、X線写真）を越えた非破壊検査手法。
4. 際立って物理不良解析の必要性を減少するか、あるいは排除するシグネチャー解析手法。正確に前もってソートして特定のクラスの不良ダイをまず選択し、物理的不良解析の入力に優先順位を付ける統計的方法が必要とされる。より長期においては、物理的不良解析に訴えないで、テスト情報に基づいて、根本的な原因を指し示す方法が開発されなくてはならない。そのテクノロジーを可能にするキーは、欠陥タイプをお互いに区別する特性評価テスト方法である。レイアウトデータとテスト構造 / インラインのテスト結果を持つての電気的特性評価の集積も、同じくキー能力である。いくつかの同じコアを含んでいる多数の製品を越えて一貫したデータを集めるデータマネジメント戦略が必要とされる。

5. 新しいフィルムに対する下層プロセスをウェットとドライで剥離するエリアでは、焦点を合わせられたイオン光線での十字区分と動きと、デポジション能力と パッケージから取り出すプロセスの前進を必要とする。検査／欠陥特性評価のエリアでは、個別回路あるいはトランジスタパラメータを特性評価し、あるいはリークパスを隔離するためには、SEM 解像度、音響顕微鏡解像度、レントゲン写真を撮る解像度、E-ビーム検査解像度、クロストークに対する強力性と内部DCマイクロ・プロービング能力が改善される必要がある。

次に示したものは、テストと学習の革命的必要を扱う上で可能性がある機会のリストである：

- 電圧テスト結果と IDDQ テスト結果に基づいた手法を含んで、期待値応答に対するテストスターのパス / フェイル応答と一致するかどうかに基づく故障箇所特定化手法の改良
- 故障箇所特定化における欠陥発生情報と／あるいはインラインのテスト結果の、レイアウトの基づく可能性の集積
- たとえば、電源供給格子上に多数のポイントにおける測定を使つての欠陥電流ソースを三角にすることのように、多数の物理測定ポイントを使つての部位特定化
- 故障区別、診断指向のテスト生成
- 診断のデータ収集を容易にするための DFT / BIST / ATE アーキテクチャ
- チップ操作でのタイミングを変える信号をモニターするための、レーザー電圧プローブ（LVP）とピコセカンド画像処理回路分析（PICCA）のような、広がらない手法の絶え間ない改良
- ファンクション速度、あるいは IDDQ 対電圧あるいは温度のようなテスト条件のような、製品レベルの電氣的測定に基づく特性評価手法
- 設計ツール、特にタイミングツールと診断の間のもっと密接なカプリング、
- 診断の中へのプロセスをモニターするテスト構造情報の集積

IDDQ テスト

歴史的に行われている IDDQ テストが将来のテストでは困難に直面する場合がある地点まで通常のバックグラウンド・リーク（大きさおよびばらつき）は増加している。IDDQ 試験は欠陥検知を可能にし続けるために変わらなければなりません。将来のテクノロジーにおけるバックグラウンド・リーク電流の増加に直面して、同じ便宜を提供する代替ソリューションを開発しなければならない。IDDQ は製作されたチップに関する情報の豊かなソースを提供し、今日欠陥検出および性能テストにおいて多くのケースで不可欠な役割を演ずる。

下の表は将来の技術において性能性指向型製品のために予測された IDDQ 値を示す（この数値はおおよそに値を示している。その代わりにテクノロジーの微細化に対して相対値を提供する意図で示してある）。これらの値は低消費電力技術によりかなり低いかもしれません（たとえば 3 桁）。これらの範囲は最大デバイス IOFF（プロセスインテグレーション章 表2から）、トランジスタ数（ORTC 表1g-1

h)、典型的なW/L比、適当に仮定したオフ・トランジスタの割合から求めた。IDDQ テストを使用可能にするように IC が適切に設計されていると仮定している。

図表 2.2 性能指向型 IC の予測 IDDQ 値

Year	Maximum IDDQ
2001	30–70 mA
2003	70–150 mA
2005	150–400 mA
2008	400 mA–1.6 A
2011	1.6–8 A
2014	8–20 A

Table notes below:

* すべての表値は 25 度を想定

予測した IDDQ 値は絶対値で増加するだけでなく、また IDDQ (与えられた技術および製品について) のばらつきが高いことが予想される。たとえば IDDQ 値は最大を表わすけれども、標準値はかなり低いはずである。このばらつきを許容できるように、よりよくこのばらつきの成分を理解して、新しいテスト手法を開発することが重要である。

下記は、IDDQ テストの継続使用に関するポテンシャル機会 (テスト方法およびテスト容易化設計手法) のリストである。

- ・Delta IDDQ または IDDQ Ratio を用いたテスト手法
- ・Vt を制御するための基板のバイアス。
- ・Vt (全てのデバイスまたは選択されたデバイスのどちらかについて) を上げるか、Vt のばらつきを下げるようなプロセスの変更。
- ・低温での IDDQ テスト。
- ・チップレベルでの電源分割。マルチプル電源の使用。
- ・トランジスタ・パスの中でリーク電流を制限する大きな「フット」デバイスの使用。
- ・マルチプル VDD 電圧のための IDDQ 測定
- ・過渡的な IDD 手法。
- ・IDDQ は近傍のダイに基づき決定
- ・電源 PAD 上で測定される IDDQ 測定
- ・組込み IDDQ センサーまたは他のオンチップ測定支援。

IDDQ は重要な故障解析および性能テスト手法であった。物理的な故障解析は欠陥個所の特定および欠陥型識別のために IDDQ に頼る。それに加えて、IDDQ と条件 (たとえば温度、電圧および

回路状態等) の間の関係には、不良回路動作に関する重要な情報が存在する。しかし、IDDQ が上がるにつれ、伝統的な手法を使用している診断効果が若干失われることがありえる。

IDDQ 測定を行う速度を改善するニーズもある。テスト装置改良またはテスト治具のサポートが必要である。さらに、特に新しい「シグニチャベース」手法のために高電流での IDDQ 測定分解能および精度は向上しなければならない。

高周波シリアル通信

最近、ギガビットシリアル入力/出力バッファの使用は、長距離の音声およびデータ通信市場において成長しました。シリアル通信インターフェースは、バックプレーンアプリケーション、短距離および長距離通信、ネットワークの記憶装置、コンピュータ周辺機器へと広く採用されてきています。アプリケーション用の ASIC(SONET/SDH、ギガビット・イーサネット、ファイバー・チャネル、シリアル ATA、インフィニバンド、フラットパネルリンクおよびソースシンクロナスラピッド IO)および他の IC の中へのギガビットレイトの迅速な対応は、ATE にとって多くの挑戦を意味しています。

現在、高機能シリアルインターフェースの機能テストをするには、高価なスタンド・アロンのパターンジェネレーターおよびビットエラー検出器を使用しなければなりません。

過度のテスト時間およびコストのため大量生産にとってこの取り組みは不向きである。

利用を可能とする適切なテスト方法および設備なしで、多くの IC メーカーは非常に原始的な試験技術(ループバックまたはゴールデンサンプルのような)を使用することを強いられています。早急に、ATE メーカーはギガビットレイト、マルチポートを設計し、コントロール・ソフトウェアを含むテスト・システムへそれらを統合する必要があります。とはいえ有効な DFT 法の開発は、製造のテスト・コスト削減、そしてハイポートカウントデバイスの効率的な試験を可能にするために要求されます。

関係する重要な領域

1. SONET、ギガビット・イーサネットおよびファイバー・チャネルのような Si CMOS および BiCMOS シリアル通信デバイスの周波数は、急速に 2.5Gbits/s を超過しており、2001 年に 3.125Gbits/s に接近しています。SiGe 技術の対応で、現在のスタンド・アロン 10 Gbits/s シリアルポートは早くも 2002 年に CMOS ASIC へ統合されるでしょう。同時に、SiGe、GaAs および InP 技術は 40Gbits/s 領域へと先端をいきます。1999 年の ITRS のロードマップのテスト・セクションの中で予言されているように、開発の努力は高速、低電圧スイッチング、タイミングスキュー、差動計器へと強められましたが、設備の能力は最先端インターフェースの実行にとって遅れ続けています。
2. GaAs(1.4V)技術と比較された CMOS(0.7V)および SiGe(0.8V)技術の計算より低いしきい値電圧が持っているポートは、1.5V~1.8V 電源の使用により低出力のギガビット IO を現実にしました。低電源は ASIC と SOC へ重い統合を可能にします。2001 年現在には、マルチギガビットのトランスミッターおよびレシーバーを 20~80 ペア備えた ASIC はいくつかの IC メーカーによって作られています。このポート数は 2002 年に 100 ペアを超過するでしょう。そのような多いポート数で、スタンド・アロンのインスツルメントに

よる対応は非実用的になります。マルチポートの ATE は一つのデバイス上に多くのシリアルポートを扱うために要求されます。

3. 従来からの費用要因のとおり、ほとんどのマルチギガビット・トランシーバーは、比較的低い生産量で統合の低いレベルで高い性能および高マージンデバイスとして設計されました。低コスト化により、ローパワーCMOS/SiGe マクロ・セル、ギガビット・トランシーバーは多くのボリュームで低い価格のデバイス(コンシューマ製品でさえ)へと価値ある追加となりました。高いポート数に加えて、シリアルポートをすべてテストすることができ、効率的な ATE の解決は、生産にとって同時に不可欠です。性能とインテグレーション・レベルの間の一定のトレードオフは2つのカテゴリー(高機能レベルシリアルトランシーバー、また高いインテグレーションレベルシリアルマクロセル)へと SerDes デバイスを帰着させます。各タイプのテスト方法は真にコストで選択されるべきです。高機能 SerDes デバイスの生産は典型的に、より従来の設備装置に基づいたテスト・アプローチを許されるべきです。しかし、信頼できる DFT や他の低コスト・テスト技術は大きなポート数の SerDes 開発には批判的です。
4. トランスミッタによって生成された測定ジッタは、トランスミッタの品質を保証する重要なパラメーターです。現在、ATE 上のジッタ測定能力は初期の時代にあり、同時に高機能インターフェースのためのノイズフロアー、アナログ帯域幅およびテスト時間必要条件を満たす利用可能な装置はありません。2001 年に支配的な 2.5Gbit/s データレートについては、2.5Gbps SerDes が 40ps 未満の直立するピークジッタ(それは<5ps の直立するピーク・ジッタノイズフロアを備えた装置を要求する)を持っていることが普通です。2.5Gbit/s のデジタル信号は、8~10GHz までの周波数スペクトルを持っています、関連するジッタ測定装置は、測定に誤ったデータ依存のジッタを加えることを回避するためにこのアナログ帯域幅を提供しなければなりません。ジッタ測定用のほとんどの既存の装置は、高速のデータ流れからのジッタをとらえるのに 20 秒を越える時間を要します。装置デバイスクロックに基づいたジッタを測定することはより速いが、これらの設計の多くは内部クロックへの直接のアクセスを提供しません。その場合ジッタはデータの流れから単に測定することができます。そのような高周波クロック定着させることはほとんどの場合非実用的であるので、チップ上のジッタを測定する DFT でのアプローチが好まれます。これは、マルチギガビット領域の中においてはまだ開発されていません。
5. ジッタ注入は、ビットエラーレート(BER)での通信品質が下げられる前に、レシーバーが許容することができる入力信号上でジッタのレベルを測定します。これはレシーバー(Rx)ノイズ除去の重要なキーです。ジッタ許容テストを行うために、ジッタを慎重に抑制された方法によりデータ流れに注入しなければなりません。現在の所、今日の高機能設計にとって要求される速度範囲の能力を持っている ATE はありません。
6. 非同期の低いジッタのクロック-ジッタ生成テストは、任意の入力ジッタがない状態で装置かシステムからのジッタを測定します。このテストを行うために、入力ジッタを最小限にしなければなりません。これは、高品質および低いジッタクロックが必要である

ことを暗示します。典型的に、標準の試験装置のデジタル・チャネルによって生成されたクロックは、ギガビット SerDes のためのジッタ生成の有効な測定のためジッタを抑えます。装置から生成されたジッタを正確に測定するために、SerDes に供給されるリファレンスのクロックは、非常に低いジッタ(たとえば<5ps rms)である必要があります。そのようなクロックは特別のピン・カード・オプションにより利用可能になっています。非同期インターフェース試験は、テストから独立した異なるレイトで実行できるこれらの特別のピン・カードへの対応を要求します。大規模 ASIC に埋め込まれた SerDes にとって、非同期試験がオンチップクロストークを識別し、かつ反射問題をアースするために必要となります。

7. シリアル通信での多くのレシーバーはデータの流れからクロックを抽出するためクロックとデータのリカバリー回路(CDR)を使用する。リカバリーされたデータの位相は、部分部分や、その次の一回のリセットからさえ必ずしも固定されません。高度にフレキシブルなタイミングおよびクロックスキームはフェースアライメントそしてフレームアライメントを提供するために要求されます。
8. SerDes モジュール用の基礎的な DFT は内部のシリアルおよびパラレルのループバックに依存します。内蔵の偽似乱数のビット-シーケンス(PRBS)ジェネレーターを含む付加的な DFT、およびビットエラー(BER)のチェッカーは増加した欠陥の範囲を提供するために必要です。シリアル内部/外部ループバックをとともに使用する時、外部からの装置等を必要なしでアットスピードの機能テストを提供します。ジッタ生成およびジッタ寛容試験の DFT 技術の革新的な探求は必要です。

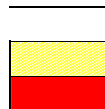
図表 2 3 a 高周波シリアル通信テスト要求－短期

<i>Year of Production</i>	<i>2001</i>	<i>2002</i>	<i>2003</i>	<i>2004</i>	<i>2005</i>	<i>2006</i>	<i>2007</i>	<i>Driver</i>
<i>DRAM ½ Pitch (Sc. 2.0)</i>	<i>130</i>	<i>115</i>	<i>100</i>	<i>90</i>	<i>80</i>	<i>70</i>	<i>65</i>	
<i>MPU ½ Pitch (Sc. 3.7)</i>	<i>150</i>	<i>130</i>	<i>105</i>	<i>90</i>	<i>80</i>	<i>70</i>	<i>65</i>	
<i>MPU Printed Gate Length (Sc. 3.7)</i>	<i>90</i>	<i>75</i>	<i>65</i>	<i>53</i>	<i>45</i>	<i>40</i>	<i>35</i>	
<i>MPU Physical Gate Length (Sc. 3.7)</i>	<i>65</i>	<i>53</i>	<i>45</i>	<i>37</i>	<i>32</i>	<i>30</i>	<i>25</i>	
<i>High-performance-level serial transceivers</i>								
Serial data rate (Gbits/s)	10	10	40	40	40	40	40	
Maximum Reference Clock Speed (MHz)	667	667	2500	2500	2500	2500	2500	
<i>High-integration-level backplane and computer I/O</i>								
Serial data rate (Gbits/s)	2.5	3.125	3.125	10	10	40	40	
			10		40			
Port count	20	100	200	100	200	100	200	
			20		20			
Maximum Reference Clock Speed (MHz)	166	166	166	667	667	2500	2500	*
			667		2500			

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red--Manufacturable Solutions are NOT Known



図表 23b 高周波シリアル通信テスト要求－長期

<i>Year of Production</i>	<i>2010</i>	<i>2013</i>	<i>2016</i>	<i>Driver</i>
DRAM ½ Pitch (Sc. 2.0)	45	32	22	
MPU ½ Pitch (Sc. 3.7)	45	32	22	
MPU Printed Gate Length (Sc. 3.7)	25	18	13	
MPU Physical Gate Length (Sc. 3.7)	18	13	9	
<i>High-performance-level serial transceivers</i>				
Serial data rate (Gbits/s)	40	80	80	
Maximum Reference Clock Speed (MHz)	2500	5000	5000	
<i>High-integration-level backplane and computer I/O</i>				
Serial data rate (Gbits/s)	40	40	40	
Port count	200	200	200	
Maximum Reference Clock Speed (MHz)	2500	2500	2500	*

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red--Manufacturable Solutions are NOT Known



高機能 ASIC に求められるテスト

図表 24a と 24b に示されるように、高機能 ASIC テストに求められるのは、ATE（自動テスト装置）メーカーが、今日の ASIC のデジタル部分をテストするために、ピン数と周波数を満足しなければいけないということである。ATE がすべてのピンに対してこれらすべての要求を同時に満足しなければいけないといった必要性はないであろう。たとえば、最も高いオフチップデータ周波数は、1.25、2.5、10 または 40GHz といった比較的小数での高周波シリアルインターフェース動作であろう。一方、デバイスのほとんどのピンは表に見られるように、より低い周波数で動作するであろう。高周波のシリアル I/O バッファの統合は 2016 年までにピン数の増加が約 3000 程度に鈍化するという結果が予想される。

Table 24a と 24b に示されるオフチップ周波数は、高周波シリアルインターフェースピンを除いた信号ピンに関するものである。たとえば、データは 156Mbps の広域バスで ASIC に入力され、2.5Gbps の狭域バスで出力されるかもしれない。

外部に蓄えられた、SCAN されていないテストベクターの数値は示されていない。この数値は概しておおよそ 2001 年に 32M であり、自然ならば将来 1000M まで上昇するであろう。テストベクターのロード時間により製造のテスト・スループットの低下を招くので、近い将来 DFT や BIST の組込みが DUT の設計に緊急に必要となる。これは DFT のテスターセクションにすでに組み込まれている。

高周波クロックはチップ内の PLL 発振を用いて発生されることが多い。これらはより低い周波数の ATE からのクロック信号により発生されるが、非常に低いジッタを要求される。概

して、特別なテストのピンには SONET として±20ppm、他のシリアル通信システムに関しては±100ppm の精度で 10ps 台のジッタを供給することが求められる。

今日の ASIC は、メモリやアナログ回路の IP といった組み込まれた SOC 設計の中にすぐに変換される。結果として、Table 24a と 24b に含まれるようなテスト要求は、ATE の要求を決定するときに、ミックスドシグナルとメモリと高周波シリアルの要求を兼ね備えているべきものである。

図表 24a 高機能 ASIC テスト要求－短期

<i>Year of Production</i>	<i>2001</i>	<i>2002</i>	<i>2003</i>	<i>2004</i>	<i>2005</i>	<i>2006</i>	<i>2007</i>	<i>Driver</i>
<i>DRAM ½ Pitch (Sc. 2.0)</i>	<i>130</i>	<i>115</i>	<i>100</i>	<i>90</i>	<i>80</i>	<i>70</i>	<i>65</i>	
<i>MPU ½ Pitch (Sc. 3.7)</i>	<i>150</i>	<i>130</i>	<i>105</i>	<i>90</i>	<i>80</i>	<i>70</i>	<i>65</i>	
<i>MPU Printed Gate Length (Sc. 3.7)</i>	<i>90</i>	<i>75</i>	<i>65</i>	<i>53</i>	<i>45</i>	<i>40</i>	<i>35</i>	
<i>MPU Physical Gate Length (Sc. 3.7)</i>	<i>65</i>	<i>53</i>	<i>45</i>	<i>37</i>	<i>32</i>	<i>30</i>	<i>25</i>	
Off-chip data freq. MHz NRZ (see footnote).	800	900	1000	1100	1200	1300	1400	
Overall timing accuracy (% period)	+/- 5	+/-5	+/- 5	+/- 5	+/- 5	+/- 5	+/- 5	
Special clock pin. RMS jitter ps	10	10	5	5	5	5	5	
Signal pk-pk range V	1.2-3.3	1.2-3.3	0.9-3.3	0.9-2.5	0.8-2.5	0.7-2.5	0.6-2.5	
Power/device. with heat sink W DC	130	140	150	160	170	170	170	
Tester cost per high-freq. signal pin \$K	1-4	1-3	1-3	1-3	1-3	1-3	1-3	
Maximum number of I/O signal pads. Power and ground could double the number of pads for wafer test.	1500	1600	1700	1800	2000	2100	2200	

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red--Manufacturable Solutions are NOT Known

Table notes below:

* NRZ - nonreturn-to-zero waveform (NRZ rates are often referred to as Mbits/s)

図表 24b 高機能 ASIC テスト要求－長期

<i>Year of Production</i>	<i>2010</i>	<i>2013</i>	<i>2016</i>	<i>Driver</i>
<i>DRAM ½ Pitch (Sc. 2.0)</i>	<i>45</i>	<i>32</i>	<i>22</i>	
<i>MPU ½ Pitch (Sc. 3.7)</i>	<i>45</i>	<i>32</i>	<i>22</i>	
<i>MPU Printed Gate Length (Sc. 3.7)</i>	<i>25</i>	<i>18</i>	<i>13</i>	
<i>MPU Physical Gate Length (Sc. 3.7)</i>	<i>18</i>	<i>13</i>	<i>9</i>	
Off-chip data freq. MHz NRZ (see footnote).	1500	1800	2000	*
Overall timing accuracy (% period)	+/-5	+/-5	+/-5	
Special clock pin. RMS jitter ps	2	2	2	
Signal pk-pk range V	0.6 - 2.5	0.6 - 2.6	0.6 - 2.7	

Power/device. heat sink W	DC with	180	190	200	
Tester cost per high-freq. signal pin \$K		2 - 4	3 - 4	4 - 4	
Maximum number of I/O signal pads. Power and ground could double the number of pads for wafer test.		2400	2700	3000	

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are
Known

Red--Manufacturable Solutions are NOT Known

Table notes below:

* NRZ - nonreturn-to-zero waveform (NRZ rates are often referred to as Mbits/s)

高機能なマイクロプロセッサに求められるテスト

マイクロプロセッサのテストにフォーカスした時、純粋な at-speed 機能テストのアプローチから DFT や BIST 技術を取り巻くより異なったテストに、多くの従来の製造テストの挑戦は変化してきている。データ速度やタイミング精度といった従来の挑戦はテストデータの量や電源や温度管理といった特徴に取って代わられている。at-speed 機能テストの比率に関係する従来の挑戦がなくなるとは言えないが、ポストシリコンのデバッグと確認環境に対するこれらの要因に関する強力な変化が存在するといえる。DFT の手法はテストデータ速度と精度の尺度と関連したテスト制限のキーの影響を最小にし始めた。

結果として、Table 25a と 25b に見られるマイクロプロセッサのトレンドは、製造の必要性よりも、ポストシリコンの効果をより正確に反映している。DFT の手法と関連する製造の挑戦は、後でテストチャプターの中で述べられている。

テスト方法のこの基本的な変化は、ここ数年産業に劇的な影響を及ぼすであろう。ポストシリコンのデバッグと確認を求めるリーディング装置が、経済的に実行可能な増加する開発のリソースや、低下する装置の需要をどの程度必要とするかは明らかではない。

ここ数年、装置の能力はデータ速度や消費電力のような多くのデバイスパラメータを拡大するといったことが予想される。タイミング精度の要求は仕様の決定とキャリブレーションの方法へのアプローチを求めるであろう。テスト装置設計の改革が、長い期間、明らかになったインターフェースのプロトコルに対する適応や、絶えず問題となっているタイミング精度の答えを見つけ出すかどうかは明らかではない。しかしながら、機能テストは適用可能なタイミングマージンが、タイミングの不正確さによって取って代わられるであろうと思われるように、斬新的な技術の介在なしには可能にならないということは明らかである。

APG の能力は、まだなおマイクロプロセッサにおけるエンベデッドメモリのテストを必要としている。しかしながら、ほとんどの大規模アレイへの BIST の出現によって、APG の機能のスケールはエンベデッドメモリの総ビット数が増加しているにもかかわらず、実質的に 1999 年のレベルのままである。

電源帯域幅および過渡電流現象に対する動的な取り扱いの高まっている懸念に対する取り組みが、ここ 2 年の間に大きく進歩した。この交流電流分野の研究の継続が、将来求められる。

図表 25a 高機能マイクロプロセッサテスト要求－短期

<i>Year of Production</i>	<i>2001</i>	<i>2002</i>	<i>2003</i>	<i>2004</i>	<i>2005</i>	<i>2006</i>	<i>2007</i>	<i>Driver</i>
DRAM ½ Pitch (Sc. 2.0)	130	115	100	90	80	70	65	
MPU ½ Pitch (Sc. 3.7)	150	130	105	90	80	70	65	
MPU Printed Gate Length (Sc. 3.7)	90	75	65	53	45	40	35	
MPU Physical Gate Length (Sc. 3.7)	65	53	45	37	32	30	25	
<i>Pincount</i>								
Pincount I/O signal channels (maximum pins) [2]	1024	1024	1024	1024	1024	1024	1024	
Pincount power and ground (maximum pins)	2048	2048	2048	2048	2048	2048	2048	
<i>Busses</i>								
Clock input frequency (MHz) [3]	1066	1200	1200	1200	1200	1200	1200	
Clock accuracy (ps) [4]	47	42	42	42	42	42	42	
Off-chip bus data rate (Mbits/s)	800	1200	1600	2400	3200	4800	6400	
Accuracy OTA (ps)	63	42	31	21	16	10	8	
Bi-directional I/O	Yes	Yes	No	No	No	No	No	
Uni-directional I/O	No	No	Yes	Yes	Yes	Yes	Yes	
Source Synchronous	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
Differential	No	No	Yes	Yes	Yes	Yes	Yes	
Self Clocked	No	No	No	No	Yes	Yes	Yes	
Embedded memory (Mbits)	256	512	1	2	4	8	16	
APG frequency (MHz)	200	200	200	200	200	200	200	
Algorithmic pattern generator (#X, Y addresses)	16	16	16	16	16	16	16	
Algorithmic pattern generator (#Z addresses)	4	4	4	4	4	4	4	
<i>Power Supplies</i>								
High Current Power supply voltage range (volts) [1]	1.3-2.5	1.1-2.5	0.9-2.0	0.9-2.0	0.9-2.0	0.7-1.8	0.7-1.8	
Low Current Power supply voltage range (volts)	1.3-3.3	1.1-3.3	0.9-3.3	0.9-3.3	0.9-3.3	0.7-3.3	0.7-3.3	
Power supply accuracy (% of programmed value AC+DC)	10	10	10	10	10	10	10	
Maximum current (A)	95	115	146	150	154	204	211	
<i>Patterns</i>								
Vector memory (Meg-vectors per pin)	64	128	128	256	256	512	512	
Vector memory load time (minutes)	15	15	15	15	15	15	15	
Independent pattern management (# of patterns)	>1000	>1000	>1000	>1000	>1000	>1000	>1000	
<i>Reliability</i>								
MTBF (hours)	1150	1208	1268	1331	1398	1468	1541	
MTTR (hours)	1	1	1	1	1	1	1	
Availability (%)	98	98	99	99	99	99	99	
Setup time (hours)	0.4	0.4	0.3	0.3	0.2	0.2	0.2	

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



Table notes below:

[1] 電源は、6000 uFとmaximum currentの2倍のスイッチングカレントを扱うことができるべきである。回路は、CPUの1～20クロックのサイクル間に起動する。

[2] デバッグ用のテストで最大ピン数となる。通常デバッグ用テストは多ピンである。

[3] テスタはRAMBUSタイプのデータターとおよびプロトコルを扱うことができるべきである。特性評価用テストは十分なデータレート測定の必要条件を満たす必要がある。量産用テスト-「output to output」の測定の精度がクリティカルになる。

[4] テスタはデバッグ用にデバイスにバイパス・モードとしてクロックを供給する必要があります。ボード上のPLLは主要なテスト機能となる。非常に高い内部クロック必要条件については、クロックコントロール用のon-die方法が必要で、オフチップクロック速度必要条件への適応による。

図表 25b 高機能マイクロプロセッサテスト要求一長期

Year of Production	2010	2013	2016	Driver
DRAM ½ Pitch (Sc. 2.0)	45	32	22	
MPU ½ Pitch (Sc. 3.7)	45	32	22	
MPU Printed Gate Length (Sc. 3.7)	25	18	13	
MPU Physical Gate Length (Sc. 3.7)	18	13	9	
<i>Year</i>	<i>2008</i>	<i>2011</i>	<i>2014</i>	
Pincount				
Pincount I/O signal channels (maximum pins) [2]	1280	1408	1472	
Pincount power and ground (maximum pins)	2560	2816	2944	
Busses				
Clock input frequency (MHz) [3]	1866	2133	2400	
Clock accuracy (ps) [4]	27	23	20	
Off-chip bus data rate (Mbits/s)	1400	1600	1800	
Accuracy OTA (ps)	45	40	35	
Number of independent clock domains	4	4	4	
Number of independent busses	8	8	8	
Embedded memory (Mbits)	512	2048	2048	
APG frequency (MHz)	1200	1600	1600	
Algorithmic pattern generator (#X, Y addresses)	64	64	64	
Algorithmic pattern generator (#Z addresses)	16	16	16	
Power Supplies				
Power supply voltage range (volts) [1]	0.6–2.5	0.6–1.3	0.6–1.3	
Power supply accuracy (% of programmed value AC+DC)	5	5	5	
Maximum current (A)	293	322	355	
Dynamic current slew rate response time (us)	0.66	0.59	0.53	
Dynamic current slew rate settling time (us)	19	17	15	
Patterns				
Vector memory (meg-vectors per pin)	1024	4096	4096	
Vector memory load time (minutes)	15	15	15	
Independent pattern management (# of patterns)	2074	2488	2986	
Cost				
Tester cost per pin (\$)	4000	2000	1500	
Reliability				
MTBF (hours)	1500	1700	2000	
MTTR (hours)	1	1	1	
Availability (%)	99	99	99	
Setup time (hours)	0.2	0.2	0.2	

White--Manufacturable Solutions Exist, and Are Being Optimized
Yellow--Manufacturable Solutions are Known
Red--Manufacturable Solutions are NOT Known



Table notes below:

- [1] 電源は、6000 uFとmaximum currentの2倍のスイッチングカレントを扱うことができるべきである。回路は、CPUの1～20クロックのサイクル間に起動する。
- [2] デバッグ用のテストで最大ピン数となる。通常デバッグ用テストは多ピンである
- [3] テスタはRAMBUSタイプのデータテーとおよびプロトコルを扱うことができるべきである。特性評価用テストは十分なデータレート測定の必要条件を満たす必要がある。量産用テスト-「output to output」の測定の精度がクリティカルになる。
- [4] テスタはデバッグ用にデバイスにバイパス・モードとしてクロックを供給する必要があります。ボード上のPLLは主要なテスト機能となる。

廉価なマイクロコントローラに求められるテスト

廉価なマイクロコントローラは今日の競争率の高い市場で成長している。8ビットのマイクロコントローラの販売は、単独で 2000 年に約\$10B を達成した。無線、有線の両方領域においての接続の必要性が、USB、TCP/IP および RF インターフェースを含むマイクロコントローラの多くの新たな開発を進めた。フラッシュ・メモリ・コストの低下は、従来のマスク ROM からフラッシュ・メモリへの統合へと移っている。現在マイクロコントローラを利用するものは、家庭用器具、娯楽装置、ゲーム、モータ・コントローラおよびセキュリティ・システムである。

マイクロコントローラのテストの困難なチャレンジは、「テスト・コスト」および増加する集積レベルの分野である。マイクロコントローラのテストに求められるものは、SOC に求められるものと急速に同一化している。増加する集積レベルは、マイクロプロセッサにミックスドシグナルテストの導入を受け入れるか、または新しいタイプの SOC テスタに移すという結果をもたらしている。このセクションは、マイクロコントローラの試験に特有なテストの特徴の概略である。

図表 26a 廉価なマイクロコントローラテスト要求－短期

Year of Production	2001	2002	2003	2004	2005	2006	2007	Driver
DRAM ½ Pitch (Sc. 2.0)	130	115	100	90	80	70	65	
MPU ½ Pitch (Sc. 3.7)	150	130	105	90	80	70	65	
MPU Printed Gate Length (Sc. 3.7)	90	75	65	53	45	40	35	
MPU Physical Gate Length (Sc. 3.7)	65	53	45	37	32	30	25	
Tester Characteristics								
Overall timing accuracy (% of period)	5	5	5	5	5	5	5	
RMS clock jitter (ps)	100	75	75	50	50	50	40	
External test vectors (M) Note A	8	12	12	12	12	16	16	
Tester cost range (\$K/per pin)	1.0-4	1.0-3	0.8-3	0.8-3	0.6-3	0.6-3	0.4-2.5	
Reliability-MTBF (hrs)	2500	3000	5000	6000	7000	8000	9000	
DPS maximum voltage (V)	8	8	8	8	8	8	8	
Maximum DPS in tester	32	48	48	64	64	64	64	
Maximum devices for parallel testing - Note B	32	32	48	48	48	64	64	
Maximum tester pins	1024	1024	1536	1536	1536	2048	2048	

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red--Manufacturable Solutions are NOT Known

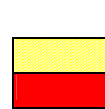


Table notes below:

- A. BIST・DFTを用いない場合。受け入れ可能なBIST・DFTでの解決策が開発されている場合、数値はより小さくなる。
- B. このカテゴリーはマイクロコントローラの並列の試験用であり、メモリの並列の試験と混同しない様に。

図表 26b 廉価なマイクロコントローラのテスト要求ー長期

Year of Production	2010	2013	2016	Driver
DRAM ½ Pitch (Sc. 2.0)	45	32	22	
MPU ½ Pitch (Sc. 3.7)	45	32	22	
MPU Printed Gate Length (Sc. 3.7)	25	18	13	
MPU Physical Gate Length (Sc. 3.7)	18	13	9	
Tester Characteristics				
Overall timing accuracy (% of period)	4	4	3	
RMS clock jitter (ps)	40	30	25	
External test vectors (M)	16	16	24	
Tester cost range (\$K/per pin)	0.3-2.5	0.3-2.0	0.2-2.0	
Reliability–MTBF (hrs)	10K	12K	15K	
DPS maximum voltage (V)	8	8	8	
Maximum DPS in tester	64	96	128	
Maximum devices for parallel testing	64	96	128	
Maximum tester pins	2048	3K	4K	

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red--Manufacturable Solutions are NOT Known



ミックスドシグナル・テスト

ワンチップでさらなるシステム機能性を追求する傾向は、伝統的なデジタル、アナログ、RF／マイクロ波、そしてミックスドシグナル・デバイスの間の仕切をますます曖昧にさせている。このトレンドは、たとえ偶然であっても、ワンチップ化デバイスのテストを可能にする単一プラットフォーム・ソリューションの方向にテスト装置を駆り立てている。ミックスドシグナル・テスト装置に対するデジタル要求はピュアデジタル・テスト装置と同等であり、関連市場セグメントに対して下表の通りである。その結果、ATEは規格化されなければならないし、デジタル・オンリーからハイパフォーマンスなアナログ／RF／マイクロ波計測モジュールの完全統合まで拡張性がなければならない。アナログ・テストの課題とテスト技術の制約は、高帯域幅、ダイレクト変換の高サンプリング・レート、高ダイナミック・レンジ、低ノイズ・フロアー、そしてデジタル計測ジュールとアナログ計測モジュールのシームレス統合にある。

図表 27a と 27b におけるミックスドシグナル・テスト装置の要求は、特定用途向けデバイス・アプリケーションよりもむしろ計測モジュールにフォーカスしている。現在のアナログ／RF

／マイクロ波テストの方法論は性能ベースの測定を必要としている。（即ち、DUT の周辺を意味する外部計測モジュールを使用している） それゆえ、計測モジュールの必要性はプロセスとパッケージの技術ロードマップで予想されるデバイス・パフォーマンスの向上を反映している。またアプリケーションの複雑さは、特殊なデバイス用途に的を絞った特別な計測モジュールの設計を必要とする。これは現有テスト・システムに搭載する計測モジュールの数を増大させることになる。そして同時に、これはコストを増大させ、多くの品種生産に渡って共用せねばならない装置の重要な構成管理問題を生む。増加する計測モジュール、高機能化、高性能化のこのトレンドは続くと期待されている。しかしテスト・コスト問題の解決を推進する上で許されるものでない。

アナログ DFT 技術は、複雑な機能テストの必要性を減らしながら、テスト再利用性を向上させながら、アナログ・チェーンの各要素を個別にテストすることを可能にしている。性能ベースのアナログ・テストに代わる実証された手段は存在していない。この分野のさらなる検討が必要とされている。アナログ BIST は、可能性のあるソリューションとして、そしてさらなる検討に値する分野として提案されてきた。アナログ DFT の現状は、主にループバック手法とダイレクト・アクセスのテスト手法である。計測モジュールの複雑さの低減や外部計測モジュールの必要性の除去を可能にする DFT 技術を検証する基本的な検討が必要とされている。

関連重要分野

- 1 アナログ／RF／マイクロ波の信号環境は、ロード・ボード設計やテスト方法論を大変複雑にする。ノイズ、クロストーク、ミキシング、ロード・ボード設計、そして ATE ソフトウェアの問題はテスト開発のプロセスとスケジュールを律束する。
- 2 ギガビット／秒（2.5 ～10Gb/s）のシリアル・ポートはオフチップ通信に利用されている。これらのポートは個別 IC 群でミックスドシグナル機能を構築している。これらのポートのテスト要求は高周波シリアル通信の項で見つけることができる。
- 3 全てのアナログ機能の同時測定は、テスト時間の短縮、スループットの増加、テスト・コストの低減のために必要とされている。これは DSP テスト・アルゴリズム（FFT のような）の高速並列処理機能を持った複合計測モジュールを必要とする。同時測定手法は、メモリや大量生産デジタル・デバイスのテストで何年にも渡って利用されてきている。しかしミックスドシグナル・デバイスに於いては十分に利用されていない。また、同一チップ内の複数アナログ機能（たとえば 2 系統、4 系統、8 系統回路などや LAN ポート）は同時にテストされるべきである。
- 4 複数のテスト装置ベンダに適合する、より良いソフトウェア・ツールが必要とされている。ツールはデジタルやミックスドシグナルのパターン発生、ロード・ボードや計測モジュールを含めたデバイス・アナログ部の回路シミュレーション、そしてミックスドシグナル用テスト・プログラム生成の容易化で必要になる。現在、デジタル・テストの分野では自動テスト・プログラム生成ツールが広く利用されているにも関わらず、ミックスドシグナル・テスト・プログラムは手作業で生成されている。

図表 27a ミックスドシグナルのテスト要求－短期

Year of Production	2001	2002	2003	2004	2005	2006	2007	
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65	
MPU ½ Pitch (nm)	150	130	107	90	80	70	65	
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35	
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25	
Low Frequency Source and Digitizer								
BW * (MHz)	15	22	30	40	50	60	60	
Fs** (MS/s***)	5	7	10	13	16	20	20	
Resolution (bits)	20–23	20–23	20–23	24	24	24	24	
Noise floor (dB/RT Hz)	–160	–160	–160	–165	–165	–165	–165	
High Frequency Waveform Source								
Level V (pk–pk) Accuracy (+/-)	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	
BW (MHz)	1600	2400	3200	4000	4800	6000	7000	
Fs (MS/s)	3500	5000	7000	8500	10000	12000	15000	
Resolution (bits) AWG/Sine†	10/14	10/14	10/14	10/14	10/14	10/14	10/14	
Noise floor (dB/RT Hz)	–145	–145	–150	–150	–155	–155	–155	
High Frequency Waveform Digitizer								
Level V (pk–pk) Accuracy (+/-)	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	
BW (MHz) (undersampled)	2000	3000	4000	5200	6400	8000	9200	
Fs (MS/s)	200	300	400	520	640	800	920	
Resolution (bits)	12	12	12	12	14	14	14	
Noise floor (dB/RT Hz)	–145	–145	–150	–150	–155	–155	–155	
Time Measurement								
Jitter measurement (ps RMS)	3	2	2	1	1	1	1	
Frequency measurement (MHz)	660	1320	1320	1320	2640	2640	2640	
Single shot time capability (ps)	100	75	75	75	50	50	50	
RF/Microwave Instrumentation								
Source BW (GHz) Accuracy (+/-dB)	10 0.2	14 0.2	14 0.2	18 0.2	18 0.1	18 0.1	18 0.1	
Source phase noise low frequency Close-In 1KHz (dBc/Hz)	130	136	136	136	136	136	136	
Source phase noise high frequency Wideband 10MHz (dBc/Hz)	160	166	166	166	166	166	166	
Receive BW (GHz)	10	14	14	14	18	18	18	
Receive noise floor (dBm/Hz)	–160	–160	–160	–166	–166	–166	–166	
Receive dynamic range SFDR (dBc) ‡	110	130	140	140	140	160	160	
Special Digital Capabilities								
D/A and A/D Digital Data Rate (MB/s)	300	400	520	640	800	920	1040	
Sample Clock Jitter (< ps RMS)	1.5	1	0.5	0.25	0.2	0.15	0.1	

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known

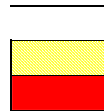


Table notes below:

BW—Bandwidth

** Fs—Sample rate

*** MS/s—Megasamples/second

† AWG/Sin—Arbitrary waveform generation/sine wave

‡ SFDR—Spurious free dynamic range

§ MB/s—Megabits/second

図表 27b ミックスドシグナルのテスト要求—長期

<i>Year of Production</i>	<i>2010</i>	<i>2013</i>	<i>2016</i>	<i>Driver</i>
DRAM ½ Pitch (nm)	45	32	22	
MPU ½ Pitch (nm)	45	32	22	
MPU Printed Gate Length (nm)	25	18	13	
MPU Physical Gate Length (nm)	18	13	9	
<i>Low Frequency Source & Digitizer</i>				
BW * (MHz)	60	60	60	
Fs** MS/s***	20	20	20	
Resolution (bits)	24	24	24	
Noise floor (dB/RT Hz)	-165	-165	-165	
<i>High Frequency Waveform Source</i>				
Level V (pk-pk)	4	4	4	
Accuracy	0.5%	0.5%	0.5%	
BW (MHz)	7000	7000	7000	
Fs (MS/s)	15000	15000	15000	
Resolution (bits) AWG/Sine†	10/14	10/14	10/14	
Noise floor (dB/RT Hz)	-155	-155	-155	
<i>High Frequency Waveform Digitizer</i>				
Level V (pk-pk)	4	4	4	
Accuracy	0.5%	0.5%	0.5%	
BW (MHz) (undersampled)	10000	10000	10000	
Fs (MS/s)	1000	1000	1000	
Resolution (bits)	14	14	14	
Noise floor (dB/RT Hz)	-155	-155	-155	
<i>Time Measurement</i>				
Jitter measurement (ps RMS)	1	1	1	
Frequency measurement (MHz)	3000	3000	3000	
Single shot time capability (ps)	30	30	30	
<i>RF/Microwave Instrumentation</i>				
Source BW (GHz)	36	36	36	
Source phase noise low frequency Close-In 1KHz (dBc/Hz)	140	140	140	
Source phase noise high frequency Wideband 10MHz (dBc/Hz)	166	166	166	
Receive BW (GHz)	36	36	36	
Receive noise floor (dBm/Hz)	-166	-166	-166	
Receive dynamic range SFDR (dBc) ‡	160	160	160	
<i>Special Digital Capabilities</i>				
D/A and A/D data rate (MB/s) §	1200	1200	1200	
Sample Clock Jitter (< ps RMS)	0.1	0.1	0.1	

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known

Table notes below:

BW—Bandwidth

** Fs—Sample rate

*** MS/s—Megasamples/second

† AWG/Sin—Arbitrary waveform generation/sine wave

‡ SFDR—Spurious free dynamic range

§ MB/s—Megabits/second

Definition for Table 27a and b:

LOW FREQUENCY SOURCE and DIGITIZER: This is the basic, minimum, instrument set of any mixed-signal tester.

Telecommunications, Advanced Audio and Wireless Baseband will drive these specifications. Differential inputs/outputs are needed.

HIGH FREQUENCY WAVEFORM SOURCE: Disk Drive Read Channels (PRML) will drive sample rate and bandwidth.

Local Area Network (LAN) devices will drive sample rate, bit resolution and amplitude accuracy. Differential outputs are needed.

HIGH FREQUENCY WAVEFORM DIGITIZER: An undersampled (down conversion, track-and-hold, etc) bandwidth is shown. The sample rates and bit resolutions are for a direct conversion digitizer, which is usually preceded by the undersampler. PRML and LAN devices will drive digitizer specifications. Differential inputs are needed.

TIME MEASUREMENT: Phase Lock Loops (PLL's), which are increasingly being embedded in new designs, will require Jitter and Frequency measurements. A specialized class of instruments will have to be developed to make these measurements efficiently and accurately.

RF/MICROWAVE INSTRUMENTATION: Single chip RF/Digital/Baseband/Audio devices will require RF instruments such as modulated carrier sources and low noise receivers or down converters.

SPECIAL DIGITAL CAPABILITIES: For converter testing, the ability to source a digital word to a D/A and capture a digital word from an A/D.

DFT で設計されたデバイスのテスト装置

DFT の使用は、半導体産業界全体に急速に広がって来ている。この拡大の理由は沢山ある。即ち、DFT を使うことにより、テスト開発のサイクルタイムを大幅に短縮し、故障検出率を改善し、共通な一部の外部ピンを用いて SoC 内部の複数の回路をアクセスし、中程度の性能のインターフェースを用いて高性能回路の試験をし、パラレルテストを容易にする等々が可能になるからである。ほんの一部の例外を除いて、ほとんどの今日の構造的な（DFT による）テストは、一般的なデジタル ATE で実行されてきた。これは、ある領域において厳しいテスト要求事項であり、他の領域においては最適値以下しか要求しないという不幸な結果となっている。これは、DFT を使用する多くの素子は必要以上に高いテストコストを支払っていることを意味する。よって、DFT を使用するデバイスのテストに特化した ATE の開発の必要性が生じてきている。

図表 28 は、今後 7 年間にわたる業界のトレンドを取り込もうと試みたものである。ここに表されているデータは様々な半導体製造会社からの要求を集めたものである。多くの異なる要因により半導体企業にまたがる要求は少々発散気味である。

1. DFT はまだ成熟しつつある技術なので、企業間で一致して実装されるものではない。
2. デバイステクノロジーや製造工程に依存した異なる開発戦略が存在する。
3. 古い製品ファミリのための様々なレベルの古い「伝統的な」テスト手法をサポートする必要性が存在する。

よって、これらの表は「仕様」として構成されるのではないということが重要である。全ての DFT アプリケーションを満たす単一の構成は期待できない。

図表 28 DFT-BIST デバイステストの要求－短期

Year of Production	2001	2002	2003	2004	2005	2006	2007	Driver
DRAM ½ Pitch (Sc. 2.0)	130	115	100	90	80	70	65	
MPU ½ Pitch (Sc. 3.7)	150	130	105	90	80	70	65	
MPU Printed Gate Length (Sc. 3.7)	90	75	65	53	45	40	35	
MPU Physical Gate Length (Sc. 3.7)	65	53	45	37	32	30	25	
Number of Parallel Sites	32	32	64	64	128	128		Cost
Scan Data Volume(Giga-pin-vectors available per site)	6	6	12	12	16	16		Logic Density
Scan Pin (available per site / system)	256/1K	256/1K	256/2K	256/2K	256/4K	256/4K		Logic Density
Scan Vector Rate (MT or MHz)	50	100	100	200	200	200		Test Time
“Full function” pin (available per site / system)	128/256	128/256	128/512	128/512	128/512	128/512		Test Time
Functional vector depth (M-Vectors)	16	16	16	16	16	16		Logic Density
Functional data rate (MHz)	100	100	100	200	200	200		Test Time
“Reduced function” pin (available per site / system)(DC only)	3K/4K	3K/4K	3K/4K	4K/5K	4K/5K	5K/6K		I/O Density
Clock pins (available per site / system)	4/32	4/32	4/64	4/64	4/128	4/128		Clock Domains
Clock frequency (MHz)	200	200	400	400	400	800		On-chip Clock Rate
Power Supplies (available per site / system)	8/32	8/32	8/64	8/64	8/128	8/128		Logic Density
Support for options								SoC
High-Speed Clock (differential Pairs)	yes	yes	yes	yes	yes	yes		
Signature Compression	yes	yes	yes	yes	yes	yes		
Algorithmic Pattern Generation	yes	yes	yes	yes	yes	yes		
Low Frequency Source & Digitizer	yes	yes	yes	yes	yes	yes		
High Frequency Source & Digitizer	yes	yes	yes	yes	yes	yes		
Time Measurement Unit	yes	yes	yes	yes	yes	yes		
ADC/DAC	yes	yes	yes	yes	yes	yes		
RF Source	no	no	yes	yes	yes	yes		
High Power	yes	yes	yes	yes	yes	yes		
IDDQ	yes	yes	yes	yes	yes	yes		

White--Manufacturable Solutions Exist, and Are Being Optimized

Yellow--Manufacturable Solutions are Known

Red--Manufacturable Solutions are NOT Known



Definitions for Table 28:

Parallel Sites -- デバイスの並列テストは、単一のテスターで複数のデバイスを測定することによってデバイスあたりのテストコストを削減する共通の技術である。並列にテストできるデバイスの個数はテスターの利用できるリソースにより制限される。しかしながら、ハードウェアあるいはソフトウェアのアーキテクチャによる論理的な制限はあるべきではない。過去におけるこれらの表に共通の数値は、全ての互いの数字を掛け算することにより算出されていた。与えられたテスター上の利用可能な全てのピン数は、現在の最新のピン密度と一致するべきである。

Scan Data Volume – スキャン入力ピンにシフトされるビットの総数にスキャン出力ピンからシフトアウトされるビットの総数を加えたものである。即ち、デバイス中のスキャン可能素子の総数にスキャン・ロードとスキャン・アンロードの総数を掛け算したものである。 1本のピンにシフトインあるいはシフトアウトする単一ビットは、ピン・ベクターとして定義することができる。 .

Scan Pin – スキャン入力ピンとスキャン出力ピンの最大数である。この数にはスキャンの制御に必要とされるピンは含まない。

Scan Vector Rate – スキャンデータ入力ピンとスキャンデータ出力ピンの最大シフトレートである(単位: MegaTransfers per second (MT))。

“Full Function” Pin – Full Function ピンは、従来の ATE システムのピンの全機能を持つドライバとレシーバに接続するピンである。これらのリソースは、高いタイミング精度、柔軟な波形出力、高い周波数レート、プログラム可能なドライバ/レシーバの閾値、パラメトリック測定機能等を持つこともある。これらの Full Function ピンは、クロック、入力、出力、双方向、リファレンス・レベル等のデバイスの外部 I/O ピンを用いて従来の ATE アプローチで DUT をテストするときに用いられる。加えて、full function ピンは、Full Function ピンのメモリ制限内、あるいは、スキャンメモリにアクセスすることにより、スキャンの機能も持つ。

Functional Vector Depth – デバイスをテストするために必要とされるベクターの総数である。各ベクターは、デバイスの各ピンに個々の状態(e.g. "0", "1", "H", "L", "X", "Z", etc.)を印加、あるいは比較する。

Functional Data Rate – デバイスのデータピンに印加するベクターの最大周波数レートである。

“Reduced Function” Pin – Reduced Function ピンは、波形機能を持たない、非常にベクターの深さが浅い等の制限されたデジタルのドライバ/レシーバの機能を持つ低価格リソースに接続されるピンである。これらのピンは、通常プログラム可能なドライバ/レシーバの閾値やパラメトリック測定機能を持つ。

Clock Pin – クロックピンは、スキャンやファンクショナル・データ・ピンよりも高い周波数と高い精度を持つ。これらのクロックピンは、DFT テスター上での高性能テストを容易にするためにファンクショナル・データ・レートにおけるファンクショナルテスト、ゆっくりシフトして高速にサンプルする AC スキャンテストや BIST で用いられる。

Clock Frequency – 標準クロックソースから供給される最大周波数である。クロックピンの精度とスキューは、最小クロック周期の 8% 以下にされるべきである。ジッターは、最小クロック周期の 1.5% 以下にされるべきである。

Power Supplies – デバイスへの電源供給は、テスト中のプログラム可能な電圧/電流を可能とする。一般に Vcc あるいは Vdd のようなデバイスの電源端子に接続して電圧、電流を供給する。他の使用は、テスト中のデバイスのピンのリファレンス電圧電源、外部負荷の終端電圧、電流源である。共通の特徴は、プログラム可能なクランプ、テスターのパターンジェネレータにより制御されるトリガー/キャプチャーの測定、パターンジェネレータにより制御される切り替え可能な出力電圧範囲である。

Support for Options – 常にオプションをサポートする必要がある。これは、機能テストから構造テストに移行する期間の従来のデバイスや、DFT とミックスドシグナルの混在したデバイス、あるいはある値以上の性能要求をサポートする必要性から来る。この表の残りの項目は、将来のこれらのオプションの必要性と性能要求を予測することを試みる。多くのアナログオプションがあるが、これは包括的ではないかもしれない。

High-Speed Clock Pin – 高速クロックピンは、標準クロックソースよりも高い周波数で高精度で動作する。高速クロックは、single-ended と差動クロックの両方をサポートする。このクロックオプションの最高周波数は、2003 年に 800MHz で、2004 年に 1.4GHz になる。このクロックピンの精度とスキューは、最小クロック周期の 8% 以下に維持されるべきである。ジッターも、最小クロック周期の 1.5% 以下にされるべきである。

Signature Compression – DFT テスター上のスキャンチャンネルに接続される Linear Feedback Shift Registers (LFSRs) は、スキャンデータ量とテスト時間を劇的に削減できる。Pseudo Random Pattern Generators (PRPGs) は、スキャンバッファにストアするスキャンインのテストパターン量を最小化することができる。Single Input Signature Registers (SISRs) は、スキャン出力の測定パターンを圧縮することに用いられる。PRPGs と SISRs は、LFSR/SISR あるいはスキャンチャンネルが独立のスキャンサイクルで動作するように接続される。

Algorithmic Pattern Generation – メモリパターンシーケンスは、一般的に繰り返が多いので、アルゴリズムックに生成できる。Algorithmic Pattern Generator の機能は、ストアされた入出力テストパターンと同時に動作することが許され、他のテスターパターンリソースと統合される。

Low Frequency Source/Digitizer – 傾斜あるいは sin 波形のような差動のアナログ波形を生成、デジタイズする。一般に 18 ビットの解像度で 100KHz までである。

High Frequency Source/Digitizer – 傾斜あるいは sin 波形のような差動のアナログ波形を生成、デジタイズする。一般に 12 ビットの解像度で 10MHz までである。

Time Measurement – 時間の間隔あるいは周波数を測定する機能。.

RF Source – 高周波の機能が SoC に搭載されるに従い、適当な DFT によるサンプリング手法が RF に対して開発され、クリーンな高周波の sin 波形を生成する外部リソースが必要となる。これらのリソースの周波数に対する要求は、100MHz から 6GHz の範囲である。

High Power – 幾つかのデバイスはテスト時に非常に電力を食う(>75W)。高電流デバイスの電源供給は、正確な電圧と負荷の変化に対する迅速な応答(1-2us)が必要となる。加えて、大電流が治具やコンタクタやプローブ針を通して供給される。数千本のデバイスの電源ピンが非常に高密度に実装されている。電源供給は、高価なテスト装置を損傷から保護するために短絡などの不連続性を検出し完全なテストを実行することが必要である。一般に、安全性に関する柔軟なユーザ制御が大電力の供給にとってはより重要となる。

半導体メモリテストの要求条件

メモリの容量（ビット数）は指数関数的に増加し続けると予想される。半導体メモリ、特に DRAM はプロセス技術、設計、テストを定義付ける牽引役であり続ける。図表 29～31 を参照のこと。

汎用 DRAM テスト

DRAM の容量（ビット数）は 2 年で 4 倍に増加する傾向がしばらくは続く。しかし、そ

の後この傾向は減速しその増加は3年で4倍になると思われる。この容量増加に伴いテスト時間が増加しスループットが減少する。このためにテストが DRAM 製造のボトルネックになりつつある。リダンダンシ（不良救済）は汎用 DRAM には必要であるがさらにテストの生産性を高めるためには、新しいテスト指向型アーキテクチャが必要である。生産性と歩留りを維持するためにはマルチビットテスト、BIST、BISR（built-in-self-repair）が重要である。

A T Eでのテストにおいて多数個同時測定が必要である。デバイスの同時測定数とは実動作スピードで同時にテストされるパッケージ化されたデバイスの数である。2 GHz 以上の領域において、デバイスの入出力仕様や、ソケット、プロービング等のデバイスインターフェイス、そしてハンドリングがボトルネックになる。要求されるタイミング精度およびプローブカードやテストボードなどのデバイス測定用治具のコスト増加を考慮するとテストの同時測定数は64個／テストヘッドを超えない。

DRAM 用の一次故障モデルは、セル縮退、マルチセル結合、デコーダ・オープンおよびデータ保持故障が今後も続くであろう。100nm 以下では、製品開発のためにインライン欠陥検出は必要である。インライン欠陥監視により、不良ウェーハが検出されて、ウェーハ・ソートおよびパッケージ・レベル・テストでのテスト時間増大が避けられる。

図表 29a 汎用 DRAM テストの要求—短期—

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
DRAM capacity (Gbits): R&D	2	—	4	—	8	—	16
Mass Production	0.512	—	1	—	2	—	4
DRAM data rate(GHz): R&D	1.3	—	1.6	—	2	—	2.4
Mass Production	1	—	1.3	—	1.6	—	2
DRAM access time(ns)	2	—	1	—	0.5	—	0.3
Mass Production	4	—	2.5	—	2	—	1
DRAM bit width/device(Mass Production)	16	—	16	—	16	—	16
Tester data rate(GHz): R&D	1.3	—	1.6	—	2	—	2.4
Mass Production	1	—	1.3	—	1.6	—	2
Overall timing accuracy(ps): R&D	60	—	50	—	40	—	30
Mass Production	80	—	60	—	50	—	40
Simultaneous testing (devices/test head)	32/64	—	64	—	64	—	128
Test channels (Mass Production)	1200* 2300**	—	1200* 2300**	—	2300	—	2300

* Assuming SDRAM with 32 devices/station, Driver 800, I/O 640

** Assuming RAMBUS with 32 devices/station, Driver 480, I/O 640; 2 64 devices/station, Driver 960, I/O 1280

White—Manufacturable Solutions Exist, and Are Being Optimized
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



図表 29b 汎用 DRAM テストの要求－長期－

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU / ASIC ½ PITCH (nm)	45	32	22
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
DRAM capacity (Gbits): R&D	64	256	1024
Mass Production	16	64	256
DRAM data rate (GHz): R&D	3.0	3.6	4.2
Mass Production	2.4	3.0	3.6
DRAM access time (ns): R&D	0.2	0.15	0.1
Mass Production	0.8	0.5	0.3
DRAM bit width/device (Mass Production)	32	32	32
Tester data rate (GHz): R&D	3.0	3.6	4.2
Mass Production	2.4	3.0	3.6
Overall timing accuracy (ps): R&D	25	20	18
Mass Production	30	25	20
Simultaneous testing (Devices/test head)	128	256	256
Test channels (Mass Production)	3500*	3500*	3500*

Assuming RAMBUS with 64 devices/station, Driver 960, I/O 2560

White—Manufacturable Solutions Exist, and Are Being Optimized
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



汎用フラッシュテスト

フラッシュには多種多様なバスタイプがある。一般的なノン・マルチプレクスやアドレス／データマルチプレクス、アドレス／アドレス／アドレス／データマルチプレクス、シリアル、シンクロナスバースト、および疑似 SDRAM タイプなどである。バスタイプは今後、アプリケーションの多用途化に伴いさらに多種多様化すると予想される。現在のバス幅は、8～16 ビットであるが 32 ビットに移りつつある。

フラッシュは、通常バッテリー駆動の製品に使用される。このためにテストは、低レベルの電流や電力の測定が要求される。フラッシュの供給電圧低化要求は今後も続く、しかし内部テストモード時には 3 倍～5 倍の外部電圧を供給する必要性も継続される。供給電圧の低電圧化は進むがその設定電圧精度は一定であることが要求されるために相対的にはテストに対する供給電圧精度要求は高まる。テストの負荷回路は、入出力電圧の低下に伴いこれまでの標準的なものから新しい方式が必要となる。

ウェーハテストは一般的にパッケージテストに比べ高精度は要求されないが不良ビットの検出および解析機能、そしてリダンダンシ（不良救済）機能がより要求される。

フラッシュメモリとその他のメモリやロジックなどの多種デバイスを積み重ねて一つのパッケージの中に組込むことがあたりまえとなり今後も期待されている。このようやパッケージはテストを複雑にするとともにピン数を増大させる。ほとんどのフラッシュはプログラミングやデータ消去のコントローラを内蔵している。今後、他のロジック回路やアナログ回路の内蔵化に伴いテストもそのテスト機能が必要となる。ロジックテストの要求は図表 30a,30b に表されている。

フラッシュのデータおよびクロックは高速化する。しかし、この要求は使用するアプリケーションにより多様化する。図表 30a,30b はハイエンドについて表している。

図表 30a 汎用フラッシュメモリテストの要求－短期－

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007	DRIVER
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65	
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65	
MPU PRINTED GATE LENGTH(nm)	90	75	65	53	45	40	35	
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25	
Device Characteristics								
Density (megabits): volume production	64	128	128	256	256	512	512	
Density (megabits): lead density	512	512	1024	1024	2048	4096	4096	
Data width (bits)	32	32	32	32	32	32	32	
Simultaneously tested devices (wafer test)	64	64	64	128	128	128	128	
Simultaneously tested devices (package test)	64	64	64	128	128	128	128	
Power Supplies								
Power supply voltage range	0.6–5.5	0.6–5.5	0.6–5.5	0.6–3.3	0.6–3.3	0.6–3.3	0.6–3.3	
Power supply accuracy (% of programmed value)	5	5	5	5	5	5	5	
Maximum current (MA)	200	200	300	300	300	300	300	
Programming power supply voltage range (V)	0.6–10.0	0.6–10.0	0.6–10.0	0.6–10.0	0.6–10.0	0.6–10.0	0.6–8.0	
Pattern Generator								
Tester channels per test site [1]	64	64	64	64	64	64	64	
Vector depth (millions)	1	1	1	1	1	1	1	
Scan vector depth (millions) [2]	2	4	4	4	4	4	4	ON-CHIP OR MULTI-CHIP LOGIC
APG addresses [3]	48	48	48	48	48	48	48	
Timing								
Maximum data rate (MHz)	80	100	125	133	166	166	166	
Accuracy OTA (ns)	0.75	0.6	0.6	0.5	0.5	0.5	0.5	
Cost								
Tester cost per pin (\$) [4] [5]	1000	950	903	857	815	774	735	
Reliability								
MTBF (hours) [6]	3000	3150	3308	3473	3647	3829	4020	
MTTR (hours)	1	1	1	1	1	1	0.5	

Availability (%)	99	99	99.5	99.5	99.5	99.5	99.5	
Setup time (hours)	0.4	0.4	0.3	0.3	0.2	0.2	0.2	

White—Manufacturable Solutions Exist, and Are Being Optimized
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



図表 30b 汎用フラッシュメモリテストの要求—長期—

YEAR OF PRODUCTION	2010	2013	2016	DRIVER
DRAM ½ PITCH (nm)	45	32	22	
MPU / ASIC ½ PITCH (nm)	45	32	22	
MPU PRINTED GATE LENGTH (nm)	25	18	13	
MPU PHYSICAL GATE LENGTH (nm)	18	13	9	
Device Characteristics				
Density (megabits): volume production	2048	4096	8192	
Density (megabits): lead density	16384	65536	131072	
Data width (bits)	32	32	32	
Simultaneously tested devices (wafer test)	256	256	256	
Simultaneously tested devices (package test)	256	256	256	
Power Supplies				
Power supply voltage range	0.6–3.3	0.6–3.3	0.6–3.3	
Power supply accuracy (% of programmed value)	5	5	5	
Maximum current (MA)	300	300	300	
Programming power supply voltage range (V)	0.6–8.0	0.6–8.0	0.6–8.0	
Pattern Generator				
Tester channels per test site [1]	72	72	72	
Vector depth (millions)	2	2	2	
Scan vector depth (millions) [2]	8	8	8	ON-CHIP OR MULTI-CHIP LOGIC
APG addresses [3]	48	48	48	
Timing				
Maximum data rate (MHz)	200	250	300	
Accuracy OTA (ns)	0.3	0.2	0.1	
Cost				
Tester cost per pin (\$) [4] [5]	630	540	463	
Reliability				
MTBF (hours) [6]	4654	5388	6237	
MTTR (hours)	0.5	0.5	0.5	
Availability (%)	99.5	99.5	99.5	
Setup time (hours)	0.2	0.2	0.2	

White—Manufacturable Solutions Exist, and Are Being Optimized
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



内蔵 DRAM および内蔵フラッシュのテスト

内蔵 DRAM の容量（ビット数）は 2 年で 2 倍に増加する傾向がしばらく続く。しかし、その後この傾向は減速しその増加は 3 年で 2 倍になると思われる。ダブルゲートプロセスで設計されたロジック・DRAM の混載デバイスにおいてはアレイ雑音およびセンスアンプ不平衡が主な懸念事項である。100nm 以下のプロセスを用いて製品化する場合は、インライン欠陥検出手法の導入が不可欠でインライン欠陥監視により、不良ウェーハが検出されて、ウェーハ・ソートおよびパッケージ・レベル・テストでのテスト時間増大が避けられる。

内蔵フラッシュメモリの容量（ビット数）は指数関数的に増加する傾向がしばらく続く。しかし、その後この傾向は減速しその増加は 3 年で 2 倍になると思われる。内蔵フラッシュメモリはマルチビットセルアーキテクチャになると予想される。また一層多くの IC に DRAM やフラッシュメモリが組み込まれる傾向にある。このような状況において、2003 年以降、酸化膜の信頼性、センスアンプ不平衡、ONO 膜（oxide-nitride-oxide）のスケールリングがフラッシュメモリにおける主な懸念事項となる。（図表 31a、31b）

テスト工程の生産性を向上するためには、テスト指向の新しい設計アーキテクチャが必要となる。つまり、組み込み自己修復技術が内蔵 DRAM や内蔵フラッシュメモリをテストするための基本技術となる。これは生産処理能力や歩留りを一定水準に確保する必要性からも不可欠な技術となってくる。ただしフラッシュメモリのためのテストアルゴリズムは今後も read-disturb、program-disturb、erase-disturb を基本としており、内蔵 DRAM のテストアルゴリズムは今後も全テストデータの組み合わせを考慮したマーチパタンのテストが基本であることに変わりがない。

メモリ容量の増加に拘わらずにテスト工程の生産性を維持するためには、多数個同時測定は今後も不可欠となる。2003 年以降、デバイスを 2 パス方式でテストする方が、ロジックブロックも内蔵メモリブロックもロジックテストでテストする 1 パス方式よりも経済的であると考えられている。2 パス方式ではメモリ・テストを用いて内蔵フラッシュや DRAM のテストを行うとともにリダンダンシ処理も行い、ロジック・ブロックはロジック・テストでテストするものである。

内蔵 SRAM のテスト要求は、「高機能なマイクロプロセッサに求められるテスト章」の要求条件による。

図表 31a 内蔵 DRAM および内蔵フラッシュメモリテストの要求－短期－

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Embedded DRAM							

Embedded DRAM size (Mbits)				
R&D	64	128	256	512
Mass Production	32	64	128	256
Failure concerns	Particle defects; data retention	Particle defects; array noise; data retention	Particle defects; array noise; sense-amp imbalance	Particle defects; array noise; sense-amp imbalance
Wafer level test	Single insertion	Double insertion	Double insertion	Double insertion
Usage of on-chip test	50% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR
Embedded Flash				
Embedded Flash size (Mbits)				
R&D	16	32	64	128
Mass Production	4	16	32	64
Embedded mixed memory size (Mbits)				
Flash	1	4	16	32
DRAM	4	16	32	32
Failure concerns	Oxide defects; # of erase cycles	Oxide defects; ONO scaling	Oxide defects; ONO scaling; over erase	Oxide defects; ONO scaling; over erase
Wafer level test	Single insertion	Single insertion	Double insertion	Double insertion
Usage of On-chip test	50% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR

Number of bits in mass production is approximately 50% of number of bits in R&D

White—Manufacturable Solutions Exist, and Are
Being Optimized
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



図表 31b 内蔵 DRAM および内蔵フラッシュメモリテストの要求—長期—

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU / ASIC ½ PITCH (nm)	45	32	22
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Embedded DRAM			
Embedded DRAM size (Gbits)			
R&D	1	2	4
Mass Production	0.512	1	2
Failure concerns	Particle Defects, Array Noise, Sense-amp Imbalance	Particle Defects, Array Noise, Sense-amp Imbalance	Particle Defects, Array Noise, Sense-amp Imbalance
Wafer level test	In-line Defect Detection, Double Insertion	In-line Defect Detection, Double Insertion	In-line Defect Detection, Double Insertion
Usage of on-chip test	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR

<i>Embedded Flash</i>			
Embedded Flash size (Mbits)			
R&D	256	512	1024
Mass Production	64	128	256
Embedded mixed memory size (Mbits)			
Flash	64	128	256
DRAM	64	128	256
Failure concerns	Oxide Defects, ONO Scaling, Sense-amp Imbalance	Oxide Defects, ONO Scaling, Sense-amp Imbalance	Oxide Defects, ONO Scaling, Sense-amp Imbalance
Wafer level test	In-line Defect Detection, Double Insertion	In-line Defect Detection, Double Insertion	In-line Defect Detection, Double Insertion
Usage of On-chip test	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR

Number of bits in mass production is approximately 50% of number of bits in R&D

*White—Manufacturable Solutions Exist, and Are
Being Optimized*
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



信頼性評価の技術的要求

バーンインの技術的要求

バーンインは、テストと同様（テストと組立てのロードマップ参照）に多くの電氣的、機械的な課題に直面している。またさらに、バーンインプロセスではテスト工程には見られない制限も生じる。本項のバーンイン・ロードマップ（図表32aおよび32b）ではこれらについて述べる。

バーンインは、多ピン、高速、高度で複雑な新しいデバイス技術等に呼応し、機能的なものから構造的なテストへと移ってきている。次世代のバーンインではスキャンとBISTの有効性についてデバイス／システム双方における妥当性やコスト効果の考慮が必要である。このトレンドの具体的成果として、いくつかのマーケットセグメントで、デバイスの大規模な同時測定に伴ってバーンインプロセスの利用が増えるであろうと予測される。

スキャンのトレンドとして、バーンインにはテストのために必要とされるものと同様のテストパターン生成・変換能力が要求される。DFTテストロードマップの項で論じられたテストは将来のバーンイン環境において重要な役割を演じるだろう。

デバイスの電氣的テストでバーンインを行う際にはより深いベクタメモリ、より速いクロック、より速い信号、より高い電圧、より正確な電源、およびアナログの負荷許容度が求められる。同時に既存のバーンイン環境の物理的・経済的制約はデバイスに印加するベクタ幅、クロック、信号速度、および供給電力を制限することとして作用するであろう。これらの制限はバーンインの方法によって異なるものとなる。デバイス電源電圧が小さく

なるにつれ、伝統的な電圧・温度加速条件は今後長期に渡って適用できず、不良要因を確認して選別するための新しい加速方法論の研究が必要になってくる。

ウェーハレベルでは現在、いくつかの異なる解決手段がバーンインに利用可能である。この技術は主としてKGDの需要により牽引されるが、まだウェーハレベルバーンインはパッケージレベルバーンインに取って代わる程充分には成熟していない。ウェーハレベルバーンインには確実な接触、ウェーハと接続インタフェース間の熱膨張差の解決、より大きいウェーハサイズ(300mm以上)への適用、システムやウェーハ破損を防ぐ不良チップの電氣的遮断、およびウェーハ上で1万個所もある接点の信頼性などが求められる。

パッケージレベルにおいて接触技術は狭ピッチ、多ピン、高速、ストリップ*或いはパネルレベル*の試験などによって促進されるだろう。(訳者註：ストリップレベル*／パネルレベル*→個片となった物／CSPやWLCSPに見られる様にチップを多数まとめてパッケージした物、の意か？識者の御教示を乞う。)

ハイエンドのMPUやASICの消費電力から市場では個々のデバイスで積極的に熱抑制をすることが求められる。

現行技術でも個々のデバイスの熱を制御することは可能であるが、更なるコスト効果追求の必要性がある。

上記の要求は結果的にバーンインのすべてのコストに影響を与える。

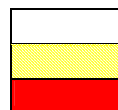
これに反して、伝統的ダイナミックバーンインのコストは装置あたり\$0.0005～\$0.02(／“デバイス・時間”)が期待でき(“装置コスト+ボードコスト”÷“装置あたりの処理デバイス数”)、同時バーンインやウェーハレベルバーンイン装置のコスト範囲は\$0.005～\$0.2(／“デバイス・時間”)であり、熱制御システムはコストを\$0.25(／“デバイス・時間”)に近づけることができる。

図表 32a バーンインの技術的要求・短期展望

<i>Year of Production</i>	<i>2001</i>	<i>2002</i>	<i>2003</i>	<i>2004</i>	<i>2005</i>	<i>2006</i>	<i>2007</i>	<i>Driver</i>
DRAM ハーフピッチ (Sc. 2.0)	130	115	100	90	80	70	65	
MPU ハーフピッチ (Sc. 3.7)	150	130	107	90	80	70	65	
MPU Printed Gate Length (Sc. 3.7)	90	75	65	53	45	40	35	
MPU Physical Gate Length (Sc. 3.7)	65	53	45	37	32	28	25	
<i>ハイパフォーマンスASIC</i>								
クロック入力周波数 (MHz)	400	400	400	400	400	400	400	
オフチップデータ周波数 (MHz)	25	50	50	75	75	75	75	
電源電圧範囲 (V)	0.7-4.0	0.7-4.0	0.7-3.3	0.7-2.5	0.5-2.5	0.5-2.5	0.5-2.5	
消費電力 (W / DUT)	130	140	150	150	200	200	200	
最大 I/Oピン数	384	384	384	384	384	384	384	
<i>ハイパフォーマンスマイクロプロセッサ</i>								
クロック入力周波数 (MHz)	150	200	200	250	250	250	250	
オフチップデータ周波数 (MHz)	33	75	75	75	75	75	75	
電源電圧範囲 (V)	0.7-4.0	0.7-3.5	0.7-3.5	0.5-3.5	0.5-3.5	0.5-3.5	0.5-3.5	
消費電力 (W / DUT)	150	200	200	250	300	300	300	

最大電流 (A)	75	150	150	300	300	300	300	
最大 I/Oピン数	128	128	128	128	128	128	128	
ローエンドマイクロプロセッサ								
クロック入力周波数 (MHz)	25	100	200	300	400	400	400	
オフチップデータ周波数 (MHz)	25	40	50	60	75	75	75	
電源電圧範囲 (V)	0.7-12.0	0.7-12.0	0.7-12.0	0.7-10.0	0.7-10.0	0.7-10.0	0.7-10.0	
消費電力 (W / DUT)	3	5	5	10	10	10	10	
最大 I/Oピン数	32	32	32	32	32	32	32	
ミクスドシグナル								
クロック入力周波数 (MHz)	150	200	200	250	250	250	250	
オフチップデータ周波数 (MHz)	33	75	75	75	75	75	75	
電源電圧範囲 (V)	0.7-65.0	0.7-65.0	0.7-10.0	0.7-100	0.5-500	0.5-500	0.5-500	
消費電力 (W / DUT)	50	50	75	75	150	150	150	
最大電流 (A)	20	20	20	20	20	20	20	
最大 I/Oピン数	128	128	128	128	128	128	128	
アナログ信号電圧範囲 (Vp-p)	+/-10V	+/-10V	+/-10V	+/-10V	+/-10V	+/-10V	+/-10V	
汎用メモリ								
クロック入力周波数 (MHz)	400	400	400	400	400	400	400	
オフチップデータ周波数 (MHz)	30	30	30	50	50	50	50	
電源電圧範囲 (V)	0.6-6.0	0.6-6.0	0.6-6.0	0.6-4.0	0.6-4.0	0.6-4.0	0.6-4.0	
プログラム電源電圧範囲 (V)	0.6-10	0.6-10	0.6-10	0.6-10	0.6-10	0.6-10	0.6-8	
消費電力 (W / DUT)	2	5	10	15	20	20	20	
最大 I/Oピン数	18	36	36	72	72	72	72	
DFT / BIST								
スキャンピン数 (/ DUT)	128	128	128	128	128	128	128	
スキャンベクタメモリ深度 (Mベクタ)	64	128	256	256	256	256	256	
スキャンベクタ周波数(MHz)	33	75	75	75	75	75	75	

白：解が存在
黄：解を追求中
赤：解が無い



図表 32b バーンインの技術的要求・長期展望

<i>Year of Production</i>	<i>2010</i>	<i>2013</i>	<i>2016</i>	<i>Driver</i>
DRAM ハーフピッチ (Sc. 2.0)	45	32	22	
MPU ハーフピッチ (Sc. 3.7)	45	32	22	
MPU Printed Gate Length (Sc. 3.7)	25	18	13	
MPU Physical Gate Length (Sc. 3.7)	18	13	9	
ハイパフォーマンスASIC				
クロック入力周波数 (MHz)	400	400	400	
オフチップデータ周波数 (MHz)	75	75	75	
電源電圧範囲 (V)	0.5-2.5	0.5-2.5	0.4-2.5	
消費電力 (W / DUT)	200	225	250	
最大 I/Oピン数	384	384	384	
ハイパフォーマンスマイクロプロセッサ				
クロック入力周波数 (MHz)	250	250	250	
オフチップデータ周波数 (MHz)	75	75	75	
電源電圧範囲 (V)	0.5-3.0	0.5-2.5	0.5-2.5	
消費電力 (W / DUT)	300	300	300	
最大電流 (A)	300	300	300	

最大 I/Oピン数	128	128	128	
ローエンドマイクロプロセッサ				
クロック入力周波数 (MHz)	400	400	400	
オフチップデータ周波数 (MHz)	75	75	75	
電源電圧範囲 (V)	0.5-10	0.5-10	0.5-10	
消費電力 (W / DUT)	20	20	20	
最大 I/Oピン数	32	32	32	
ミクスドシグナル				
クロック入力周波数 (MHz)	250	250	250	
オフチップデータ周波数 (MHz)	75	75	75	
電源電圧範囲 (V)	0.5-500	0.5-1000	0.5-1000	
消費電力 (W / DUT)	150	150	150	
最大電流 (A)	30	30	30	
最大 I/Oピン数	128	128	128	
アナログ信号電圧範囲 (Vp-p)	+/-10V	+/-10V	+/-10V	
汎用メモリ				
クロック入力周波数 (MHz)	400	400	400	
オフチップデータ周波数 (MHz)	50	50	50	
電源電圧範囲 (V)	0.5-4.0	0.5-4.0	0.5-4.0	
プログラム電源電圧範囲 (V)	0.5-8.0	0.5-8.0	0.5-8.0	
消費電力 (W / DUT)	20	20	20	
最大 I/Oピン数	72	72	72	
DFT / BIST				
スキャンピン数 (/ DUT)	128	128	128	
スキャンベクタメモリ深度 (Mベクタ)	256	256	256	
スキャンベクタ周波数(MHz)	75	75	75	

白：解が存在
黄：解を追求中
赤：解が無い



デバイスのハンドリング技術的要求 (ウェーハプローバ／ハンドラ)

ウェーハプローブとコンポーネントテストのハンドリング装置は、それぞれのマーケットセグメントの中で、重要な技術的挑戦に直面している。両装置に関する共通の問題には、熱の管理、より多い並列性、および増加する主要な設備コストが含まれる。

2001 年版は、このセクションが、次の数年にわたってハンドリング装置が直面する重要な挑戦を取り入れるように意図されている。ロードマップの将来のバージョンでは、このセクションが、トレンドおよび困難なチャレンジを示している産業分野に対してもっと詳細な方向を示すよう増強されるであろう。

ウェーハプローブ特有な技術トレンドには、工程のプロセス技術や増加するプローブポイント数、減少するプローブピッチ/直径、プローブ針の先端形状の発展が含まれる。これらのトレンドは DUT の熱の管理や、ロードされるウェーハ配置精度、チャックの電氣的絶縁、プローブパッド配置の複雑化といった挑戦に形を変えていくであろう。

コンポーネントテストのハンドリング装置には、増加する消費電量要求や、ピン数の増加、ピンピッチの縮小、パッケージの薄さ/硬さの低減などのユニークな挑戦が含まれる。これらのトレンドはテスト中の動的温度制御や、より高いソケットの技術力、配置精度の改善、複雑な固有のツールといった要求に形を変えていくであろう。さらに、ESD と EMI へのデバイス感度は、増強された閉ループ ESD 手法や、新種の型押し用品および DUT 遮蔽技術を要求する。

結局、構造や機能テスト設備コストを継続的に低減させる一方で、これらの問題はウェーハプローブとコンポーネントテストハンドラの価格を増加させている。次の数年にわたって、デバイスのハンドリング装置の技術は、増加するコスト低減圧力の中で、増加する工程の製品必要条件を満たすために要求される。

デバイスインターフェースの技術的要求

デバイス入出力ピンのアナログ／デジタルバンド幅拡大と電力の増加傾向から、高性能な信号伝送と電源供給の双方を満たすことが必要技術条件になる。これらの条件はテスト治具を DUT に接続する組み立て部品への課題を左右する。最も高性能なインタフェースでは基となる測定器から DUT に至る電源・信号の経路の完全なモデリング技術が要求され、テスト治具、接続経路、プローブまたはソケット、そして DUT に至る迄の正確なシミュレーションモデルを必要とする。今後チップのシュリンクとパッケージ構造の変化はさらなる狭ピッチと多数ピン化への要求をもたらし、機械的インターフェースをさらに複雑にする。

参考のため、社団法人 電子情報技術産業協会 (JEITA) から発行された半導体技術ロードマップ委員会 (STRJ) の「2001 年度 プロービング ロードマップ」を補足資料として添付するので参照されたい。

プローブカード

ウェーハプローブ技術は製品仕様、テストの実行条件、生産性目標、コスト削減要求等に左右される複雑な電氣的／機械的な課題に直面している。デバイスの製品分布から、これらの課題には高周波応答（帯域幅）、ますます多ピン化する狭ピッチで小さいパッド或いはバンプパッド、増大するスイッチング電流(di/dt)、異なる材質のパッドやバンプへの対応、同時測定への対応等が含まれている。プロービング技術の研究や開発は新規技術・改良技術を問わず、基本的なプロービングの条件、即ち確実な信頼性、堅実で経済的な DUT との電氣的接続等の課題を満たしている必要がある。

プローブカード技術のトレンドの影響

下表に示す鍵となる重要課題にみられる様に、市場から緊急に要求されている研究・開発課題は製品信頼性や機能試験の環境における経済的なプローブ技術である。

バンプ付きデバイスの生産高予測（マーケットシェア）、エリアアレイの I/O ピン数動向から見て、垂直型のプローブカード技術への需要が増え、同時測定試験も同様に必要性が高まるだろう。

デバイス量産時の試験はますます同時測定試験に移行しつつある。いくつかの生産者（メモリ関係）ではウェーハ検査技術として 32 個、64 個そして 128 個までの同時測定が実施されている。

デバイスの更なるコスト低減要求からプローブ技術は同時測定が推進され、ウェーハ全面コンタクトやφ300mm以上のウェーハまでもがその目標とされる。また幾つかの多ピン製品（ASICS 関係）で緊急に同時測定の必要性が出ている。

ウェーハ検査におけるテストから DUT へ至る経路のさまざまな要素を含む総合的な電氣的モデリングはプローブカード供給者に求められる技術となるだろう。これらのモデルは ATE から DUT 接続回路網そして DUT までも含めた複雑なシミュレーションに必要となるだろう。

新たな或いは進化したプローブ技術が市場に導入されつつある。1社購買の問題点、納期、プローブの寿命、製品サポート、修理対応性、これらはプローブカードを量産現場で使用するために選定する上でとても重要な要素となる。

図表 33 プローブカードの困難なチャレンジ・短期展望

チャレンジ	問題点 / 目標
高周波試験	既存のプローブ技術では高周波デバイスに対して十分な周波数バンド幅を満たせない。トップエンドの要求仕様は 40GHz である。
配置構造	44 μm ピッチ 4 辺、30/60 μm の千鳥 4 辺配置をサポートする技術。 100 μm ピッチおよび千鳥配置の半田バンプデバイスをサポートする狭ピッチ垂直プローブ技術。 パッド寸法の小型化に伴うスクラブに依る損傷の軽減。 150 μm 高密度アレイのφ75 μm バンプに対する従来と異なるプローブ技術。（バンプ付きデバイスを対象とした垂直プローブ） アレイ面積の増大に伴うプローブの平面度向上。
同時測定試験	SOC をも同時測定可能とするプローブ技術。 現状 I/O ピン数に限界があるバンプ付きデバイスへのプローブ技術。
温度環境	特に狭ピッチのデバイスにおける−40〜+150℃での温度による影響の抑制。
製品	数種の酸化を含む銅パッドを直接プローブする技術。 能動回路を介したプローブ技術。（フリップチップを含む） DUT へのダメージを避けるために接触圧力を減らす。
クリーニング	クリーニング媒体／方法の改善。特に狭ピッチ、同時測定、新技術のプローブ用。 電気特性を維持し寿命を延ばすため、クリーニング頻度を減らす。
価格と納期	狭ピッチ、多ピンカードは余りに値段が高く、製作日数が掛かる。

	狭ピッチ、多ピンカードの修理はとても時間とコストが掛かる。 デバイスデザイン終了からウエハー到着までの時間は既存のカンチレバー技術を除きカードのデザインから製作までより短い。 配線ピッチ変換機構部の初期工期はあまりに長すぎる。幾つかの垂直プローブも同様である。
プローブの計測技術	狭ピッチカードの特性とパッドダメージ計測が可能な装置。 修理のための計測がオンラインで行えるもの。

解決策候補

図 20 は試験および試験装置に対する高レベルの解決策候補を示す。

図 20 試験および試験装置に対する高レベルの解決策候補

