

ロードマップ全体の技術指標 (ORTC)

背景

ロードマップ全体の技術指標(ORTC: Overall Roadmap Technology Characteristics)の表は、国際技術ワーキンググループ(ITWG)が詳細に章を執筆する活動のための叩き台として、ロードマップ作成過程の初期に利用される。これらの表は、ロードマップ更新作業を行うに当たって特定表間の不整合を強調し、技術ワーキンググループ(TWG)間での整合をとる手段としても使用される。表を改訂するプロセスは、基本となる傾向のモデルを開発して目標値の同意を得るために、ITWG や各 TWG 間の様々なレベルでの調整およびコンセンサス形成が含まれている。この結果、ORTC 表は数回の反復と審査の過程を経る。

ORTC 表にはメートル標記の数値が記載され、ロードマップ全体を通して各ワーキンググループの章にはさらに詳しく記載されている。本節に記載される情報は、現在の半導体技術進歩の急速な進展を強調することを目的としている。この情報は 2000 年に開始した改訂と更新作業の集大成となっている。なお ORTC 用語集が付録として載せられている。

2001年改訂の概要

定義

上で述べたとおり、ロードマップ全体の技術的特長の表に主要技術数値が要約されている。個別の行項目の数値によっては、表の年ヘッダが、集積回路(IC)の開発/寿命の各サイクル内の異なる点を示すことがあることに注意して頂きたい。しかし、特定の行項目について特に指定しない限り、デフォルトの年ヘッダでは、製造サイトからの「生産ツール」を使った製品出荷量が、1 万ユニット/月・IC を最初に越えた年を示している。今年になって、ITRS の国際ロードマップ委員会(International Roadmap Committee: IRC)は、「3 ヶ月以内に 2 番目の会社が生産を開始することが必要であること」を追加し定義を明確にした。この定義を満たすため、設備で処理した多数の個別製品行項目の累積量を ASIC(Application Specific IC: 特定用途向け集積回路)生産が表すことがある。「テクノロジー・ノード」および「生産」の詳細については、用語集を参照されたい。

さらに、新しい IRC ガイドラインでは、「プロセス技術における重要な進歩の達成」がテクノロジー・ノードの定義であると説明されている。明確に言えば、テクノロジー・ノードは、ノードあたり約 $0.7 \times (2 \text{ つのノードあたり略 } 0.5 \times)$ の縮小であると定義されている(図 5)。新しいノードに到達するまでの期間は、「テクノロジー・ノードのサイクル」と呼ばれている(図 6)。テクノロジー・ノード間では改善が継続的に行われているが、これは、「短期」テーブルのノード間データにより反映されている。「長期」テーブルの段は、3年ごとの値となっている。

ロードマップのタイムライン

2001年版ロードマップは、2001年を基準年として2016年までの15年間の予測を表している。しかし、1999年版と比較すると、将来テクノロジー・ノードのタイミングが変更されている。

国際的なコンセンサスにより、130 nm ノードをもう1年短縮し、350 nm/1995年以来の傾向であるテクノロジー・ノードの2年サイクルを継続している(1997年 250 nm ノード、1999年 180 nm ノード)。DRAM(Dynamic Random Access Memory: ダイナミック・ランダム・アクセス・メモリ)配線ハーフピッチ・ノードについては、2年間のノード・サイクル傾向が継続する可能性があるが、現在のコンセンサスでは、2001年~2016年のロードマップ期間の間については3年のサイクルが予測されている(図7)。

テクノロジー・ノードの達成を定義する上で、DRAM 配線(メタルまたはポリシリコン、詳細については用語集を参照)ハーフピッチが、半導体製造の先端技術を最も良く表す機能として使用され続けるだろう。しかし、追加して行われたデータ解析によれば、遅れていた MPU(Micro-Processor Unit: マイクロプロセッサ・ユニット)と ASIC の配線ハーフピッチは、2004年までにDRAM ハーフピッチに追いつくという傾向を示している(図7)。

2001年版 ITRS には、テクノロジー・ノードのラベルについて、過去の「四捨五入」方式の訂正が含まれている。実際の数学的な傾向では、2ノードごとに50%縮小とし、四捨五入で丸められたノード数値は、1995年の350 nm から始まり、以下の表のようになっている。

表 C 実際のトレンド数値と丸められたノード数値

YEAR OF PRODUCTION	1995	1997	1999	2001	2004	2007	2010	2013	2016
Actual Trend Numbers (nm)	350	247.5	175	123.7	87.5	61.9	43.8	30.9	21.9
ITRS Rounded Node Numbers (nm)	350	250	180	130	90	65	45	32	22

半導体産業が2世代先のテクノロジー・ノードに移行すると、新しい「四捨五入」の訂正が非常に重要になることに注意して頂きたい。いくつかの分野では、過去の ITRS との整合性をとって、100 nm/2003年から始まるテクノロジー・ノードを引き続き採用していくことになる。これにより、現行の2001年版ロードマップの数値(70 nm/2006; 50 nm/2009; 35nm/2012; 25 nm/2015)よりも1年早い時点でマイルストーンが置かれることになる。

プリント MPU ゲート長については、2001年の積極的とも言える開始点がさらに前倒しとなる大きな訂正が行われた。なお、全プロセスを行ったトランジスタのボトム・ゲート長寸法をさらに縮小することになる新規物理ゲート長は、現在調査確認が行われている。プリント・ゲート長と物理ゲート長の傾向は、2005年のMPUの物理ゲート長32 nmまで、約70%/2年サイクルでスケールリングが続くと予測されるが、その後DRAM ハーフピッチの傾向予測と一致して、3年サイクル傾向に戻ると期待されている(図8)。

業界のリーダーシップを獲得するため、スケジュールを前倒して達成しなければならない目標のセットとして、ロードマップをガイドする ORTC の技術数値は、半導体関連企業により頻繁に使用されている。このように、激しい競争的環境に置かれている半導体産業は、ORTC の技術数

値の大半が、すなわちロードマップそのものが時代遅れになる傾向がある。我々が行う毎年のアップデート・プロセスでは、技術の方向性に関する十分に密着した追跡を国際コンセンサスの場で行うことで、半導体産業における ITRS の有用性を維持することが期待されている。

たとえば、DRAM ハーフピッチ・ノードはさらに 1 年短縮されるかもしれないという予想がある。この可能性は、長期傾向として 2 年ノード・サイクルを使用する可能性とともに、2002 年版 ITRS アップデート・プロセスで再評価されることになる。様々なサイクルを反映し、将来のロードマップのシフトを密着して監視するため、2001 年～2007 年までの期間(「短期」と呼ばれる)の年間技術的要件を作成し、その後、2010 年、2013 年、2016 年と 3 年(ノード)間隔(「長期」と呼ばれる)技術的要件を作成する方式を継続することが同意されている。

MOS Transistor Scaling (1974 to present)

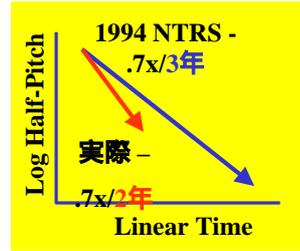
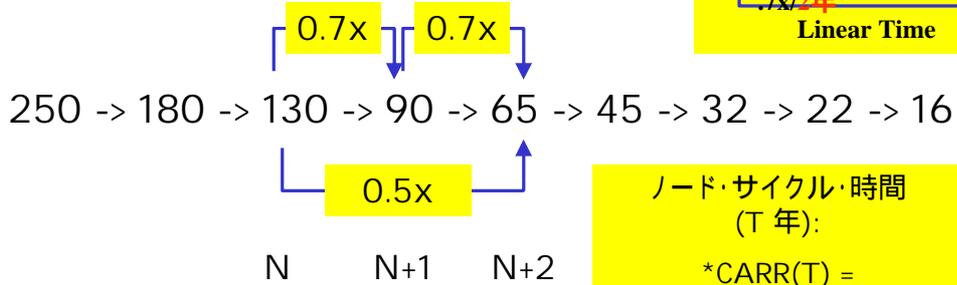
$S=0.7$
[0.5x per 2 nodes]



図 5 MOS トランジスタ・スケーリング—1974 年～現在

スケーリング・カルキュレータ +

ノード・サイクル・タイム:



ノード・サイクル・時間 (T年):

$$*CARR(T) =$$

$$[(0.5)^{(1/T \text{年})} - 1]$$

$$CARR(3年) = -10.9\%$$

$$CARR(2年) = -15.9\%$$

* CARR(T) = 複合年間縮小比率 (Compound Annual Reduction Rate) (サイクル・タイム・期間, Tにおいて)

(注)NTRS (National Technology Roadmap for Semiconductors : 米国内半導体技術ロードマップ)

図 6 スケーリング・カルキュレータ

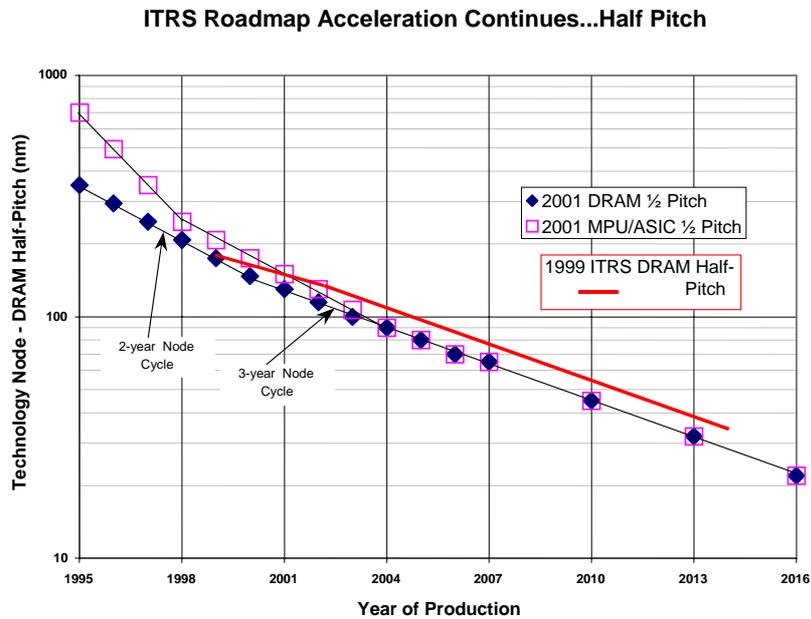


図 7 ITRS ロードマップの加速化は継続—ハーフピッチの傾向

ITRS Roadmap Acceleration Continues...Gate Length

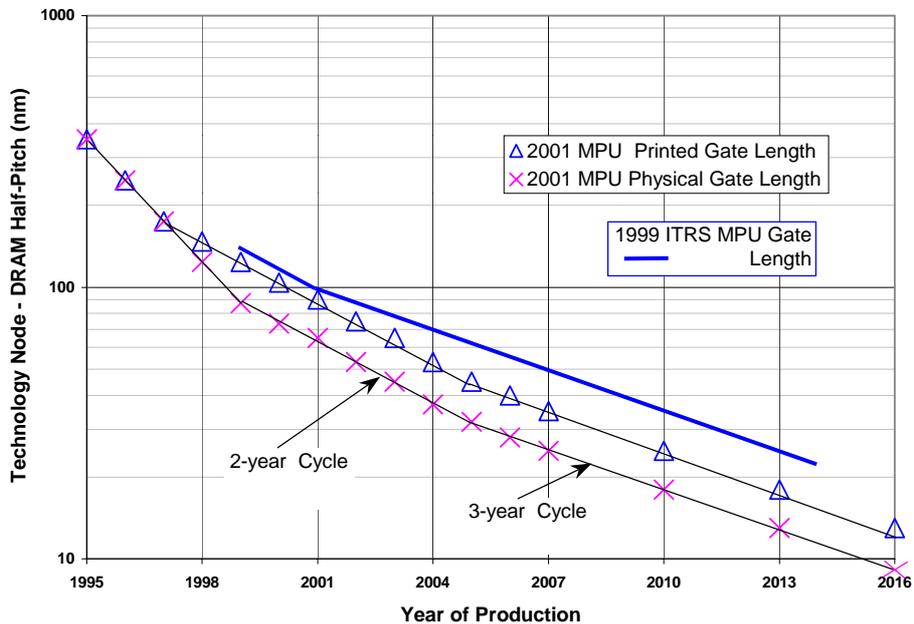


図 8 ITRS ロードマップの加速化は継続—ゲート長の傾向

製品世代およびチップ・サイズ・モデル

このセクションでは、「製品世代」および製品世代とテクノロジー・ノードとの関係を述べる。というのは、今までこの 2 つの用語を頻繁に区別なく使用してきたからである。しかしながら、3 年ごとに新しい DRAM 製品世代(前世代密度の 4 倍で、基本的に新しい技術機能群に基づく)が誕生するという今までの単純な図式は、テクノロジー・ノードを定義する手段として時代遅れになっている。この 2001 年版 ITRS では、「テクノロジー・ノード」は予測 DRAM 機能サイズ(最小メタルまたはポリシリコン・ハーフピッチ)とやはりリンクしている。しかしながら、製品の進化/縮小のパスが複雑になるにつれ、このリンクの度合いは減少している。

歴史的にいえば、DRAM 製品は全半導体産業の技術の動輪として認識されてきた。1990 年代初期より前にさかのぼると、ロジック(MPU で代表される)技術は DRAM 技術より遅いペースで開発されていた。しかし、ここ数年の間に、マイクロプロセッサ製造に使用される新規技術の開発速度は加速されている。マイクロプロセッサ製品は、DRAM とのハーフピッチ技術のギャップを急速に縮めており、現在では特に、プリント・ゲート長と物理ゲート長の孤立ライン機能を処理する能力について、最先端のリソグラフィのツールおよびプロセスを推し進めている。2001 年

版ロードマップでは、DRAM 製品とマイクロプロセッサ製品が技術リーダーシップの役割を共有している。

しかしながら、この 2 つの製品ファミリの間には、いくつかの基本的な差異が存在する。コスト削減および工場出力生産性向上への商品市場の経済的な圧力が強いために、DRAM 製品ではチップ・サイズの最小化が強調されている。そのため DRAM の技術開発は、主にメモリ・セル占有面積の最小化に焦点が当てられている。しかしながら、このセル・サイズ最小化の圧力は、セルのキャパシタンス最大化の要求と競合してしまう。このセル・キャパシタンス最大化要求は、メモリ・セル設計者にプレッシャーをかけ、セルのサイズを縮小しながらキャパシタンスの最低必要条件を満たすように設計と材料にわたって創造的な手段を探求させている。その上、最小面積に最大数の DRAM セルを密に実装するためには、セル・ピッチの最小化が必要となる。

マイクロプロセッサでも、最高性能を保ちつつコスト削減を達成するという市場圧力が強くかかっている。主にトランジスタ・ゲートの長さや配線レイヤの数により、高性能が可能なものとなる。ORTC 表に関する所要の機能、チップ・サイズ、セル面積、密度などについて、2001 年版 ITRS チームは意見の一致をみている。モデルの考えを伝えるために追加項目が加えられ、基本モデル仮定条件が注記されている。短期と長期の技術ロード数値の要約を表 1a と表 1b に示す。同意されたように、主要 ITRS 技術ロードを代表する数値は引き続き DRAM ハーフピッチだろうと思われるが、積極的に MPU ゲート長を短縮し性能を促進する素子寸法もまた含まれている。表の完全性を図るため、MPU/ASIC 製品-メタル・ハーフピッチも検討して載せており、そのペースは、わずかに DRAM ハーフピッチに遅れるかまたは等しくなっている。ASIC/低電力のゲート長も含まれてはいるが、待機電流および動作電流を最大にするために最先端 MPU より遅れている。ハーフピッチとゲート長の機能に関する詳細な定義については、用語集セクションを参照して頂きたい。各製品世代について、最先端の(「現在導入中」)DRAM 製品と大量(「現在生産中」)DRAM 製品の双方を示す。

1995 年～2001 年の間に、機能サイズにおける長期の年間平均縮小率が約 16%/年(約 30%縮小/2 年)に加速してはいるが、この縮小率を約 11%/年(約 30%縮小/3 年)であると継続して予測していることに注意して頂きたい(図 6 参照)。上述のとおり、新規製品世代導入の全体スケジュールは、1 年間短縮のペースで加速されてきている。

表 1a 製品世代およびチップ・サイズ・モデルのテクノロジー・ロード—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm) ††	90	75	65	53	45	40	35
MPU Physical Gate Length) (nm)	65	53	45	37	32	28	25
ASIC/Low Power Printed Gate Length (nm) ††	130	107	90	75	65	53	45
ASIC/Low Power Physical Gate Length) (nm)	90	75	65	53	45	37	32

表 1b 製品世代およびチップ・サイズ・モデルのテクノロジー・ノード—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm) ††	25	18	13
MPU Physical Gate Length (nm)	18	13	9
ASIC/Low Power Printed Gate Length (nm) ††	32	22	16
ASIC/Low Power Physical Gate Length (nm)	22	16	11

表 1a と 1b の注記:

††MPU および ASIC のゲート長(レジストにおける)ノードの目標とは、フォトレジストにアズプリンテッド(as printed in photoresist)という最も積極的な要件を指している(1999年版 ITRS では「ポリシリコンにアズエッチド(as etched in polysilicon)」と定義)。

しかしながら、2000/2001年版 ITRS の開発時に、「アズプリンテッド」寸法から「物理」ゲート長を縮小できる傾向が特定された。ロジック・マイクロプロセッサ(MPU)製品の速度性能最大化という要求により、これらの「物理」ゲート長の目標は推し進められている。また、デバイス設計とプロセス技術の要求を推進するニーズとして、これらの目標は、フロントエンド・プロセス(Front End Processes : FEP)、プロセス・インテグレーション、デバイス、構造(Process Integration, Devices, and Structures : PIDs)、設計(Design)の各 ITWG 表に含まれている。

表 1c DRAM 生産の製品世代およびチップ・サイズ・モデル—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Cell area factor [a]	8	8	6	6	6	6	6
Cell area [Ca = af ²] (μm ²)	0.130	0.103	0.061	0.049	0.039	0.031	0.024
Cell array area at production (% of chip size) §	54.8%	55.3%	55.7%	56.1%	56.4%	56.7%	57.0%
Generation at production §	512M	512M	1G	1G	2G	2G	4G
Functions per chip (Gbits)	0.54	0.54	1.07	1.07	2.15	2.15	4.29
Chip size at production (mm ²)§	127	100	118	93	147	116	183
Gbits/cm ² at production §	0.42	0.54	0.91	1.15	1.46	1.85	2.35

表 1d DRAM 生産の製品世代およびチップ・サイズ・モデル—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Cell area factor [a]	6	4	4
Cell area [Ca = af ²] (μm ²)	0.012	0.004	0.002
Cell array area at production (% of chip size) §	57.7%	58.1%	58.4%
Generation at production §	8G	32G	64G
Functions per chip (Gbits)	8.59	34.36	68.72
Chip size at production (mm ²)§	181	239	238
Gbits/cm ² at production §	4.75	14.35	28.85

表 1c と 1d の注記:

§ DRAM モデル - セル・ファクタ (設計/プロセスの改善目標) を以下に示す。

1999-2002/8×; 2003-2010/6×; 2011-2016/4×.

下記を除いて、DRAM 生産世代は、間に 2×ビット/チップの暫定的な世代があるが、4 年ごとに 4×ビット/チップの割合で一般的に増加している。

1. 導入 (Introduction) フェーズにおいて、8G ビット中間世代の後、導入レートは 4×/5 年 (2×/2 ~ 3 年) である。
2. 生産 (Production) フェーズにおいて、32G ビット中間世代の後、導入レートは 4×/5 年 (2×/2 ~ 3 年) である。

チップ・サイズの世代間 (InTER-generation) 成長率は、導入時に 572mm² フィールド (field) あたり 1 チップおよび生産時に 572mm² フィールドあたり 2 チップを保つように変動している。積極的な「ベスト・ケース機会」テクノロジー・ロード傾向では、32G ビット中間世代まで、572mm² フィールドあたり 2 DRAM チップの目標を保ちながら、生産フェーズ製品を 2×ビット/チップにとどめることが可能となっている。世代内 (InTRA-generation) チップ・サイズ縮小モデルは、セル・ファクタ縮小の中間でのテクノロジー・ロードごとに 0.5×である。

用語 - 導入 (Introduction)、生産 (Production)、世代間 (InTER-generation)、世代内 (InTRA-generation) については、用語集を参照して頂きたい。

表 1e DRAM 導入の製品世代およびチップ・サイズ・モデル—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Cell area factor [a]	8	8	6	6	6	6	6
Cell area [Ca = af ²] (μm ²)	0.130	0.103	0.061	0.049	0.039	0.031	0.024
Cell array area at introduction (% of chip size) §	71.3%	71.8%	72.2%	72.6%	72.9%	73.2%	73.5%
Generation at introduction §	2G	2G	4G	4G	8G	8G	16G
Functions per chip (Gbits)	2.15	2.15	4.29	4.29	8.59	8.59	17.18
Chip size at introduction (mm ²) §	390	308	364	287	454	359	568
Gbits/cm ² at introduction §	0.55	0.70	1.18	1.49	1.89	2.39	3.03

表 1f DRAM 導入の製品世代およびチップ・サイズ・モデル—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Cell area factor [a]	6	4	4
Cell area [Ca = af ²] (μm ²)	0.012	0.004	0.002
Cell array area at introduction (% of chip size) §	74.2%	74.6%	74.9%
Generation at introduction §	32G	64G	64G
Functions per chip (Gbits)	34.36	68.72	68.72
Chip size at introduction (mm ²) §	563	373	186
Gbits/cm ² at introduction §	6.10	18.42	37.00

表 1e と 1f の注記:

§ DRAM モデル - セル・ファクタ (設計/プロセスの改善目標) を以下に示す。

1999-2002/8×; 2003-2010/6×; 2011-2016/4×.

下記を除いて、DRAM 生産世代は、間に 2×ビット/チップの暫定的な世代があるが、4 年ごとに 4×ビット/チップの割合で一般的に増加している。

1. 導入フェーズにおいて、8G ビット中間世代の後、導入レートは 4×/5 年 (2×/2 ~ 3 年) である。
2. 生産フェーズにおいて、32G ビット中間世代の後、導入レートは 4×/5 年 (2×/2 ~ 3 年) である。

チップ・サイズの世代間成長率は、導入時に 572mm² フィールド (field) あたり 1 チップ、および生産時に 572mm² フィールドあたり 2 チップを保つように変動している。積極的な「ベスト・ケース機会」テクノロジー・ロード傾向では、32G ビット中間世代まで、572mm² フィールドあたり 2 DRAM チップの目標を保ちながら、生産フェーズ製品を 2×ビット/チップにとどめることが可能となっている。世代内チップ・サイズ縮小モデルは、セル・ファクタ縮小の中間でのテクノロジー・ロードごとに 0.5×である。

用語 - 導入、生産、世代間、世代内については、用語集を参照して頂きたい。

表 1g MPU (大容量マイクロプロセッサ) コスト - 性能製品世代およびチップ・サイズ・モデル—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
SRAM Cell (6-transistor) Area factor ++	126.1	123.0	120.3	117.8	115.6	113.7	111.9
Logic Gate (4-transistor) Area factor ++	320.0	320.0	320.0	320.0	320.0	320.0	320.0
SRAM Cell (6-transistor) Area efficiency ++	0.63	0.63	0.63	0.63	0.63	0.63	0.63
Logic Gate (4-transistor) Area efficiency ++	0.50	0.50	0.50	0.50	0.50	0.50	0.50
SRAM Cell (6-transistor) Area w/overhead ++	3.3	2.5	2.0	1.5	1.2	0.93	0.73
Logic Gate (4-transistor) Area w/overhead ++	10.4	8.2	6.5	5.2	4.1	3.3	2.6
Transistor density SRAM (Mtransistors/cm ²)	184	237	305	393	504	646	827
Transistor density logic (Mtransistors/cm ²)	38.6	48.6	61.2	77.2	97.2	122.5	154.3
Generation at introduction *	p04c	—	—	p07c	—	—	p10c
Functions per chip at introduction (million transistors [Mtransistors])	193	243	307	386	487	614	773
Chip size at introduction (mm ²) †	280	280	280	280	280	280	280
Cost performance MPU (Mtransistors/cm ² at introduction) (including on-chip SRAM) ‡	69	87	110	138	174	219	276
Generation at production *	p01c	—	—	p04c	—	—	p07c
Functions per chip at production (million transistors [Mtransistors])	97	122	153	193	243	307	386
Chip size at production (mm ²) §§	140	140	140	140	140	140	140
Cost performance MPU (Mtransistors/cm ² at production, including on-chip SRAM) ‡	69.0	87.0	109.6	138.0	173.9	219.1	276.1

表 1g と 1h の注記:

++ MPU エリヤ・ファクタは DRAM の「セル・エリヤ・ファクタ」に類似している。今まで、エリヤ・ファクタの縮小は、数多くの要因の組合せにより達成されてきている。その要因とは、たとえば、追加配線レベルの使用、自己位置付け手法、効率的な回路レイアウトなどがある。しかしながら、最近のデータによれば、エリヤ・ファクタの改善(縮小)ペースは低下しており、ロジック・ゲートのエリヤ・ファクタについては、事実上停滞している(フラットである)ことが示されている。

* p はプロセッサであり、数値は生産の年を表す。c はコスト - 性能製品を示す。例 - コスト - 性能プロセッサ p01c は 1999 年に導入されたが、2001 年になって大量生産へと立上げられた。同様に、p04c は 2001 年に導入されるが、2004 年に大量生産が予定されている。

‡ MPU コスト - 性能モデル: コスト - 性能 MPU はレベル 2 (L2) オンチップ SRAM (Static RAM: 電源が印加されている限り記憶内容が保持される RAM) が含まれている。SRAM とロジック・トランジスタ両方の機能の組合せはテクノロジー・ノード・サイクルごとに倍増する。

§ § MPU チップ・サイズ・モデル: コスト - 性能 MPU と高性能 MPU の世代間チップ・サイズ成長率は、2016 年まで停滞するとされており、テクノロジー・ノード・サイクルごとのオンチップ機能の倍増により可能となる。世代内チップ・サイズ縮小モデルは、2001 年まで 2 年テクノロジー・ノードごとに 0.5×であり、2001 年以降は 3 年テクノロジー・ノードごとに 0.5×である。

表 1h MPU (大容量 M マイクロプロセッサ) コスト - 性能製品世代およびチップ・サイズ・モデル—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
SRAM Cell (6-transistor) Area factor ++	107.8	106.7	105.7
Logic Gate (4-transistor) Area factor ++	320.0	320.0	320.0
SRAM Cell (6-transistor) Area efficiency ++	0.63	0.63	0.63
Logic Gate (4-transistor) Area efficiency ++	0.50	0.50	0.50
SRAM Cell (6-transistor) Area w/overhead ++	0.22	0.17	0.13
Logic Gate (4-transistor) Area w/overhead ++	0.82	0.65	0.51
Transistor density SRAM (Mtransistors/cm ²)	1718	3532	7208
Transistor density logic (Mtransistors/cm ²)	309	617	1235
Generation at introduction *	p13c	p16c	p19c
Functions per chip at introduction (million transistors [Mtransistors])	1546	3092	6184
Chip size at introduction (mm ²) ‡	280	280	280
Cost performance MPU (Mtransistors/cm ² at introduction) (including on-chip SRAM) ‡	552	1104	2209
Generation at production *	p10c	p13c	p16c
Functions per chip at production (million transistors [Mtransistors])	773	1546	3092
Chip size at production (mm ²) §§	140	140	140
Cost performance MPU (Mtransistors/cm ² at production, including on-chip SRAM) ‡	552	1104	2209

表 1i 高性能 MPU および ASIC 製品世代およびチップ・サイズ・モデル—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Logic (Low-volume Microprocessor) High-performance †							
Generation at production **	p01h	—	p03h	—	p05h	—	p07h
Functions per chip (million transistors)	276	348	439	553	697	878	1106
Chip size at production (mm ²) §§	310	310	310	310	310	310	310
High-performance MPU Mtransistors/cm ² at production (including on-chip SRAM) ‡	89	112	142	178	225	283	357
ASIC							
ASIC usable Mtransistors/cm ² (auto layout)	89	112	142	178	225	283	357
ASIC max chip size at production (mm ²) (maximum lithographic field size)	800	800	572	572	572	572	572
ASIC maximum functions per chip at production (Mtransistors/chip) (fit in maximum lithographic field size)	714	899	810	1020	1286	1620	2041

表 1j 高性能 MPU および ASIC 製品世代およびチップ・サイズ・モデル—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Logic (Low-volume Microprocessor) High-performance †			
Generation at production **	—	p13h	—
Functions per chip (million transistors)	2212	4424	8848
Chip size at production (mm ²) §§	310	310	310
High-performance MPU Mtransistors/cm ² at production (including on-chip SRAM) ‡	714	1427	2854
ASIC			
ASIC usable Mtransistors/cm ² (auto layout)	714	1427	2854
ASIC maximum chip size at production (mm ²)(maximum lithographic field size)	572	572	572
ASIC maximum functions per chip at ramp (Mtransistors/chip) (fit in maximum lithographic field size)	4081	8163	16326

表 1i と 1j の注記:

** p はプロセッサであり、数値は生産の年を表す。h は高性能製品を示す。例 - 高性能プロセッサ p99h は 1999 年に大量生産へと立上げられた。同様に、p01c は 2001 年に導入される。

‡ MPU 高性能モデル：高性能 MPU は大型 L2 と L3 オンチップ SRAM (2M バイト/1999 年)+大型ロジック・コア (P99h コア = 25M トランジスタ (M トランジスタ) を含む。SRAM とロジック両方はテクノロジー・ノード・サイクルごとに倍増する。

§ § MPU チップ・サイズ・モデル：コスト - 性能 MPU と高性能 MPU の世代間チップ・サイズ成長率は、2016 年まで停滞するとされており、テクノロジー・ノード・サイクルごとのオンチップ機能の倍増により可能となる。世代内チップ・サイズ縮小モデルは、2001 年まで 2 年テクノロジー・ノードごとに 0.5×であり、2001 年以降は 3 年テクノロジー・ノードごとに 0.5×である。

チップ・サイズ、リソグラフィ・フィールド、ウェーハ・サイズの各傾向

3 年ごとに継続して機能サイズが約 30% 縮小するにもかかわらず、IEEE (Institute of Electrical and Electronics Engineers: 米国電気電子学会) 国際固体回路会議などの技術フォーラムにおいて DRAM 製品を最初にデモンストレーションする時のサイズは、6 年ごとに倍増している (年間約 12% 増)。(今までは、1.5 ~ 2 年ごとに機能が倍増する) ムーアの法則に従い、ビット/キャパシタ/トランジスタを年間 59% 増の割合で収容するために、このチップ・エリアの増加が必要となる。しかしながら、コスト/機能が年間 25-30% 縮小するという今までの傾向を維持するには、設備生産性の増強、製造歩留りの向上、最大サイズ・ウェーハの使用、とりわけ、1 枚のウェーハ上の使用可能なチップ数の増加が継続的に必要となる。

1 枚のウェーハ上の使用可能なチップ総数の増加は、主として機能サイズの小型化 (縮小/スケールリング) と製品/プロセスの再設計 (圧縮) の組合せにより達成される。たとえば、最新モデルを使って、低コスト製品世代 (世代間 (世代対世代) 機能を 2 年ごとに倍増) の導入チップ・エリアは一定のままにとどまるか、または 4 年ごとに 20% 増の割合を越えてないことが予測されている。さらに、各テクノロジー・ノード期間では、世代内 (世代の中) 年間縮小比率 50% (0.7× のリソグラフィ縮小比率の二乗) で、エリアを縮小することが必要となっている。

手ごろな値段で購入できる DRAM 製品でも、世代内でのチップ・サイズを事実上一定に維持することを達成しなければならないし、トータル・チップ・エリアの 70% 未満というセル・エリア・アレイ効率も維持しなければならない。従って、DRAM 製品は積極的なセル・エリア・ファクタ (最小機能サイズの二乗で表したセル・エリア) が必要となる。フロントエンド・プロセスの章にて、フロントエンド・プロセス国際技術作業班がセル・エリア・ファクタを提供し、積極的なセル・エリア目標を達成する解決策へのチャレンジとニーズが詳述されている。これら新しいチャレンジを追尾 (tracking) / 調整することが非常に重要なので、DRAM セル・エリア・ファクタ、目標エリア・サイズ、トータル・チップ・サイズに対するセル・アレイ・エリア% などの行項目は ORTC 表 1c、1d、1e、1f にて追尾を継続していくこととなる (詳細については、用語集参照)。

2001 年には、設計 ITWG により MPU チップ・サイズ・モデルが改良されて、最新のトランジスタ密度、大型オンチップ SRAM、小型目標チップ・サイズで MPU チップ・サイズ・モデルがアップデートされた。設計 ITWG は、トランジスタ設計改善ファクタを含む追加詳細項目がモデルに追加されてもいる。設計 ITWG は、SRAM トランジスタの設計改善は、スローペースで行われ

ており、ロジック・ゲート・トランジスタでは設計改善が殆ど行われていないと述べている。ほとんど全ての「縮小」と密度改善はリソグラフィにより可能となった型配線ハーフピッチのスケーリングによりもたらされている。

現在の MPU チップ・サイズ・モデルは、高性能 MPU(310mm²) およびコスト-性能 MPU(140mm²) 双方におけるチップ・サイズ傾向を目標にして、手ごろな値段と電力管理についての競争的な要求を反映している。2004 年までの MPU 2 年サイクル・ハーフピッチ「追いつきフェーズ」により、リソグラフィの改善だけで MPU 製品は一定のチップ・サイズを保つことができる。しかし、2004 年以降、各テクノロジー・ノードを倍増するオンチップ・トランジスタのペースを低下させることによってのみ、世代内 MPU チップ・サイズを一定にとどめることができる。

3 年テクノロジー・ノード・サイクルへの予測された回帰により、現在の MPU チップ・サイズ・モデルは、オンチップ・トランジスタに関するムーアの法則の割合を 3 年ごとに倍増へと低下させる。チップ・サイズ一定の目標を達成しかつ 2 年ごとにオンチップ機能(トランジスタ) 倍増という今までの傾向に復帰するためには、MPU のチップ設計者およびプロセス設計者は、基本的なりソグラフィ・ベース型スケーリング傾向に設計/プロセスの改善を追加しなければならない。表 1g、1h、1i、1j に MPU モデルの新しい目標値を要約して示す。

生産性を改善するには、製作プロセスの各ステップで良好なチップの生産量を増加しなければならない。1 回の露光で複数チップをプリントする能力は主な生産性の原動力であり、その原動力はリソグラフィ・ツールのフィールド・サイズ、およびウェーハにプリントされるチップのサイズとアスペクト比により決定されている。今までは、リソグラフィ露光フィールドは、一つ置きのテクノロジー・ノードで倍増してチップ・サイズ増大の需要を満たしていた。その結果、1999 年には非常に広いステップ走査フィールド(25×32 = 800mm²) が達成された。しかし、リソグラフィ ITWG により、継続的な露光機能の縮小を図りながら大きなフィールド・サイズを保つことは、大幅なコスト上昇を招くことが示された。そのため、ITWG により、90 nm ノードまでに経済的に手ごろな値段のリソグラフィ・フィールドを 572mm² レベル (22×26) に縮小する要件が予測されている。この傾向を表 2a、2b に示す。

DRAM チップ・サイズは、手ごろな値段のリソグラフィ・フィールドでは最も適切な原動力と見なされていた。現在の ITRS の DRAM チップ・サイズ・モデルでは、導入レベルのチップ・サイズを新しい手ごろな 572mm² リソグラフィ・フィールドよりも小さくして、少なくとも 1 個の導入レベル・チップ・サイズがフィールド内に収まるようにしている。生産レベル DRAM モデルでは、少なくとも 2 個の導入レベル・チップ・サイズを手ごろなフィールド内に収めている。テクノロジー・ノード・スケーリングとセル設計改善(A ファクタの縮小)との組合せにより、2 年ごとにオンチップ・ビットの倍増を果たしながら、この目標を達成することが可能となる。しかし、DRAM 設計改善スピードの低下により、値段を手ごろなりソグラフィ・フィールドの限界内にとどめるために、追加するオンチップ・ビット数を減らすという要求もたらされている。これは、現在の DRAM モデルで短期ムーアの法則のビット/チップ・レートを 2×/1.5 年から 2×/ 2 年へと下げるにより達成することができる。ロードマップの後半では、必要に応じて、レートを 2×/ 2.5~3 年にも伸ばされている。DRAM モデルのデータ目標を表 1c、1d、1e、1f に載せる。

表 2b リソグラフィ・フィールドおよびウェーハ・サイズの傾向—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Lithography Field Size			
Maximum lithographic field size—area (mm ²)			
Lithography Field Size—area (mm ²)	572	572	572
Maximum lithographic field size—length (mm)	26	26	26
Maximum lithographic field size—width (mm)	22	22	22
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)			
Bulk or epitaxial or SOI wafer	300	450	450

実装チップの性能

パッド数、ピン/パッドのピッチ、ピンあたりのコスト、周波数

単一チップ上に大量の機能を置くことへの需要は、各製品世代について多数のトランジスタやビット(メモリ・セル)の統合を必要とする。一般的に言えば、チップ上のトランジスタの数が増すにつれ、入力/出力(I/O)信号が集積回路へ/から流れることを可能にするパッドとピンの数が増加する(表 3a、3bを参照)。

チップへの電源接続と接地接続の追加も電力管理の最適化と雑音余裕の向上のために必要である。テスト ITWG から提供されたチップ・パッド・カウント数に基づけば、ロジック製品(MPU および高性能 ASIC)は ITRS 期間中に 4-6K パッドに近づくことになっており、この間に、MPU 製品はパッドの全数を約 50% 増加し、ASIC はチップあたりのパッド数を倍増すると予測される。また、2 つの製品タイプは電源/接地パッドの比率でも大きく異なっている。MPU 製品のパッド・カウントは一般的に、信号 I/O パッドが 1:3 で電源/接地パッドが 2:3 であるか、または、信号 I/O パッドごとに 2 電源/接地パッドである。高性能 ASIC 製品のパッド・カウントは、MPU と異なり、一般的に信号 I/O パッドごとに 1 電源/接地パッドである。

表 3a 実装チップの性能：パッドとピンの数—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Number of Chip I/Os (Number of Total Chip Pads) — Maximum							
Total pads—MPU	3072	3072	3072	3072	3072	3072	3072
Signal I/O—MPU (1/3 of total pads)	1024	1024	1024	1024	1024	1024	1024
Power and ground pads—MPU (2/3 of total pads)	2048	2048	2048	2048	2048	2048	2048
Total pads—ASIC high-performance	3000	3200	3400	3600	4000	4200	4400
Signal I/O pads—ASIC high-performance	1500	1600	1700	1800	2000	2100	2200
Power and ground pads—ASIC high-performance (½ of total pads)	1500	1600	1700	1800	2000	2100	2200
Number of Total Package Pins—Maximum [1]							
Microprocessor/controller, cost-performance	480–1,200	480–1320	500–1452	500–1600	550–1760	550–1936	600–2140
Microprocessor/controller, high-performance	1200	1320	1452	1,600	1,760	1,936	2,140
ASIC (high-performance)	1700	1870	2057	2263	2489	2738	3012

表 3b 実装チップの性能：パッドとピンの数—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Number of Chip I/Os (Number of Total Chip Pads) — Maximum			
Total pads—MPU	3840	4224	4416
Signal I/O—MPU (1/3 of total pads)	1280	1408	1472
Power and ground pads—MPU (2/3 of total pads)	2560	2816	2944
Total pads—ASIC high-performance	4800	5400	6000
Signal I/O pads—ASIC high-performance	2400	2700	3000
Power and ground pads—ASIC high-performance (½ of total pads)	2400	2700	3000
Number of Total Package Pins—Maximum [1]			
Microprocessor/controller, cost-performance	780–2782	1014–3616	1318–4702
Microprocessor/controller, high-performance	2782	3616	4702
ASIC (high-performance)	4009	5335	7100

表 3a と 3b の注記：

[1] PWB (Printed Wiring Board: プリント基板) 技術とシステム・コストでファイン・ピッチ・アレイ配線を使用したアプリケーションについて、ピン・カウントは制限されることになる。結果として、最高ピン・カウントのアプリケーションは、大きなピッチ・サイズと大きなパッケージ・サイズを使用する。アプリケーションに従って、信号ピン比率の基準も期待範囲 2:1 ~ 1:4 で大幅に変動することになる。

「アセンブリと実装」ITWG から提供された、パッケージ・ピン・カウント(表 3a、3b)およびピンあたりのコスト(表 4a、4b)は、将来の製造経済性への課題を示している。トランジスタ/チップ数の成長予測によれば、コスト/ピンが年間 5%の割合で減少しながら、パッケージのピン/ボールの数は年間約 10%で成長を継続すると予測されている。この傾向は低コスト解決策を提供する実装技術サプライヤに課題を与えている。というのは、実装の全コストが年間 5%の割合で増加するからである(95 コスト/ピン × 1.10 ピン/年 = 1.05 コスト/年)。

激しい競争的な家電製品の環境では、PC や携帯電話などの大量生産型ハイテク製品の価格は一定にとどまるか、または、低下するものさえある。このようなハイテク製品は一般的に 2 年ごとに性能が倍増している。これが最先端の半導体メーカーのエンド・ユーザ市場環境であり、機能(ビット、トランジスタ)あたりのコストを年間 30%以上削減する ITRS 経済性要求の背景にある基本的な経済性の原動力となっている(2 年ごとに一定の(フラット)価格で 2 × 機能/チップ = 29%/年)。

将来の半導体コンポーネント製品の目標を

「ユニットあたりの平均ピン数が年間 10%増加しかつピンあたりの平均コストが 5%しか削減できないときに、定価格または低下した価格を維持しなければならない」

とした場合には下記の事態が発生する。

1. 全コストに占める平均実装コストの割合は 15 年間のロードマップ期間で倍増する。
2. 最終結果は総収益マージンの大幅な減少と研究開発/工場生産能力への投資能力の制限となる。

この結論が半導体産業の傾向の背景にある原動力の 1 つであり、システム・オン・チップ (Systems-on-Chip: SoC) への機能結合ならびにマルチチップ・モジュールやバンプ型チップ・オン・ボード(chip-on-board: COB)などの創造的な解決策の使用により全体のシステム・ピン必要条件を低下させることを推し進めている。

機能あたりのコストを指数的に削減しながら機能を増加するニーズに加えて、高性能低コスト型製品への市場の要求も存在する。消費者の要求を満たすために 1.5 ~ 2 年ごとにチップあたりの機能が倍増するというムーアの法則が予測するとおり、ますます高くなるスピードで電気信

号を処理するという、相対する要求が存在している。MPU の場合、今までプロセッサの命令数/秒も 1.5 ~ 2 年ごとに倍増している。MPU 製品について、百万命令/秒 (millions of instructions per second: MIPs) の単位で測定される処理能力の増加は、「生の技術性能」(クロック周波数) × 「アーキテクチャ性能」(命令/クロック・サイクル) の組合せで達成されている。ますます高くなる使用周波数へのニーズは、平均チップ・サイズの拡大を伴い、プロセス、設計、実装に関する新規手法の開発を継続的に要求していくこととなる。

最高オン・チップ周波数と最高チップ・オン・ボード周波数の傾向を予測するため、「設計」ITWG および「アセンブリと実装」ITWG から提供された行項目を含む表 4c、4d には、上記の考慮が反映されている。各製品世代で入手可能な最高周波数は、固有トランジスタ性能(オンチップ、ローカル・クロック)に直接関係している。ライン・ツウ・ライン(line-to-line)およびライン・ツウ・基板(line-to-substrate)の容量結合がもたらす信号伝播遅延の劣化により、チップを横切って動く信号の周波数とこの「ローカル」周波数との差が拡大している。他の信号劣化はワイヤ・ボンドおよびパッケージ・リードのインダクタンスに関連している。パッケージがもたらす寄生効果を排除する唯一の実行可能な手段は、チップの直接取付けであろう。チップ全体の信号と電力の分布を最適化するため、配線レイヤの数が継続して増加することが予測されている。配線のダウンスケーリングも継続するので、チップ製作プロセスでは銅(低抵抗率)の使用が広がり、そして一層低い誘電体係数(~ 2-3)をもつ様々なメタル間絶縁材料が採用されるであろう。チップ・ツウ・ボード(chip-to-board)使用周波数を上げるために、多重化手法も使用されるだろう(オフ・チップ)。

表 4a 性能およびパッケージ・チップ：パッド、コスト—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Chip Pad Pitch (micron)							
Pad pitch—ball bond	45	35	30	25	20	20	20
Pad pitch—wedge bond	40	35	30	25	20	20	20
Pad Pitch—area array flip-chip (cost-performance, high-performance)	160	160	150	150	130	130	120
Pad Pitch—peripheral flip-chip (handheld, low-cost, harsh)	150	130	120	110	100	90	80
Cost-Per-Pin							
Package cost (cents/pin) (cost-performance)—minimum-maximum	0.80–1.60	0.75–1.44	0.70–1.30	0.66–1.17	0.61–1.06	0.56–1.03	0.64–1.00
Package cost (cents/pin) (Memory)—minimum-maximum	0.36–1.54	0.34–1.39	0.32–1.26	0.30–1.14	0.28–1.03	0.27–0.93	0.27–0.84

表 4 b 性能およびパッケージ・チップ：パッド、コスト—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Chip Pad Pitch (micron)			
Pad pitch—ball bond	20	20	20
Pad Pitch—wedge bond	20	20	20
Pad Pitch—area array (cost-performance, high-performance)	90	80	70
Pad Pitch—peripheral flip-chip (handheld, low-cost, harsh)	60	45	30
Cost-Per-Pin			
Package cost (cents/pin) (cost-performance)—minimum-maximum	0.49–0.98	0.42–0.93	0.36–0.79
Package cost (cents/pin) (Memory)—minimum-maximum	0.22–0.54	0.19–0.39	0.19–0.33

表 4 c 性能およびパッケージ・チップ：周波数オン-チップ配線レベル—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Chip Frequency (MHz)							
On-chip local clock	1,684	2,317	3,088	3,990	5,173	5,631	6,739
Chip-to-board (off-chip) speed (high-performance, for peripheral buses)[1]	1,684	2,317	3,088	3,990	5,173	5,631	6,739
Maximum number wiring levels—maximum	7	8	8	8	9	9	9
Maximum number wiring levels—minimum	7	7	8	8	8	9	9

表 4 d 性能およびパッケージ・チップ：周波数オン-チップ配線レベル—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Chip Frequency (MHz)			
On-chip local clock	11,511	19,348	28,751
Chip-to-board (off-chip) speed (high-performance, for peripheral buses)[1]	11,511	19,348	28,751
Maximum number wiring levels—maximum	10	10	10
Maximum number wiring levels—minimum	9	9	10

表 4 c と 4 d の注記：

[1] 多数の低速ピンと組み合わせて使われる少数の高速ピンについて、オフ-チップ周波数は上がることが期待されている。

[2] 2001 年には、高速シリアル通信トランシーバ・デバイスは、CMOS 使用で 3.125 GHz、SiGe 使用で 10 GHz のチップ・ボード周波数を達成している。2002 年には、CMOS 使用で 10 GHz トランシーバが製作されると期待されている。40 GHz SiGe デバイスは 2003 年に期待されている。テストの章の高周波数シリアル通信セクションに、高位レベルでの広バス幅との統合についてのロードマップを示す。

電気的な欠陥密度

DRAM、MPU、ASIC の電気的な欠陥の密度に関する（大量生産の年に 83～89.5 % チップ歩留りを達成するのに必要な）最新目標を表 5a、5b に示す。DRAM とマイクロプロセッサについて表 1 で報告したように、最新チップ・サイズ・モデルに基づき異なるチップ・サイズを考慮して、許容可能な欠陥数を計算している。その上、図表内のデータは生産ライフサイクルの生産レベルだけが報告されている。欠陥低減についての章に載せた式を使用して、同一テクノロジー・ノードでの異なるチップ・サイズにおける他の欠陥密度を計算しなければならない。常に増加しているプロセス複雑性の指標として、ロジック・デバイス用マスクの概数を載せている。

表 5a 電氣的な欠陥—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
DRAM Random Defect D ₀ at production chip size and 89.5% yield (faults/m ²) §	1,963	2,493	2,148	2,748	1,752	2236	1426
MPU Random Defect D ₀ at production chip size and 83% yield (faults/m ²) §§	1,356	1,356	1,356	1,356	1,356	1,356	1,356
# Mask Levels - MPU	25	25	25	25	25	27	27
# Mask Levels - DRAM	21	22	24	24	24	24	24

表 5b 電氣的な欠陥—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
DRAM Random Defect D ₀ at production chip size and 89.5% yield (faults/m ²) §	1356	1356	1356
MPU Random Defect D ₀ at production chip size and 83% yield (faults/m ²) §§	1464	1116	1134
# Mask Levels - MPU	27	29	29
# Mask Levels - DRAM	26	26	26

表 5a と 5b の注記：

D₀ —欠陥密度

§ DRAM モデル - セル・ファクタ (設計/プロセスの改善目標) を以下に示す。

1999-2002/8×; 2003-2010/6×; 2011-2016/4×.

下記を除いて、DRAM 生産世代は、間に 2×ビット/チップの暫定的な世代があるが、4年ごとに 4×ビット/チップの割合で一般的に増加する。

1. 導入フェーズにおいて、8G ビット中間世代の後、導入レートは 4×/5 年 (2×/2 ~ 3 年) である。
2. 生産フェーズにおいて、32G ビット中間世代の後、導入レートは 4×/5 年 (2×/2 ~ 3 年) である。

チップ・サイズの世代間成長率は、導入時に 572mm² フィールド (field) あたり 1 チップおよび生産時に 572mm² フィールドあたり 2 チップを保つように変動する。積極的な「ベスト・ケース機会」テクノロジー・ロード傾向では、32G ビット中間世代まで、

572mm² フィールドあたり 2 DRAM チップの目標を保ちながら、生産フェーズ製品を 2×ビット/チップにとどめることが可能となっている。世代内チップ・サイズ縮小モデルは、セル・ファクタ縮小の間でのテクノロジー・ノードごとに 0.5×である。

用語 - 導入、生産、世代間、世代内については、用語集を参照して頂きたい。

§ § MPU チップ・サイズ・モデル：コスト - 性能 MPU と高性能 MPU の世代間チップ・サイズ成長率は、2016 年まで停滞するとされており、テクノロジー・ノード・サイクルごとのオンチップ機能の倍増により可能となる。世代内チップ・サイズ縮小モデルは、2001 年まで 2 年テクノロジー・ノードごとに 0.5×であり、2001 年以降は 3 年テクノロジー・ノードごとに 0.5×である。

電源と消費電力

いくつかの要因(ワット損の低下、トランジスタチャンネル長の縮小、ゲート誘電体信頼性の向上)が電源電圧の低減(表 6a、6b 参照)を推し進めている。表 6a、6b に示すように、現在、電源電圧の値は範囲で与えられている。

特定の V_{dd} 値の選択は、1 個の IC について速度と電力を同時に最適化する解析の一部として続けられており、各製品世代の使用可能電源電圧の範囲をもたらしている。0.5V V_{dd} 値は 2013 年に達成されると期待されているが、現在の最低目標値は 2016 年に 0.4V となっている(これに対して、1999 年版 IRTS では 2014 年に 0.3V)。

最大電力傾向(例、MPU 用)は 3 つのカテゴリで提示される。

- 1) 高性能デスクトップ・アプリケーション、パッケージのヒート・シンクを許容。
- 2) コスト-性能型、最高性能の経済的な電力管理が最も重要。
- 3) 携帯電池運用

全てのカテゴリで、低電源電圧の使用にもかかわらず、トータル電力消費量は増加し続けている。高チップ使用周波数、配線全体の高キャパシタンスと高抵抗、および指数的成長しかつスケール化されたオン-チップ・トランジスタのゲート漏れの増大などが電力消費量の増加を推し進めている。

表 6a 電源とワット損—短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Power Supply Voltage (V)							
Vdd (high performance)	1.1	1.0	1.0	1	0.9	0.9	0.7
Vdd (Low Operating Power, high Vdd transistors)	1.2	1.2	1.1	1.1	1.0	1.0	0.9
Vdd (Low Standby Power, high Vdd transistors)	1.2	1.2	1.2	1.2	1.2	1.2	1.1
Allowable Maximum Power [1]							
High-performance with heatsink (W)	130	140	150	160	170	180	190
Cost-performance (W)	61	75	81	85	92	98	104
Battery (W)—(hand-held)	2.4	2.6	2.8	3.2	3.2	3.5	3.5

表 6b 電源とワット損—長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Power Supply Voltage (V)			
Vdd (high performance)	0.6	0.5	0.4
Vdd (Low Operating Power, high Vdd transistors)	0.8	0.7	0.6
Vdd (Low Standby Power, high Vdd transistors)	1.0	0.9	0.9
Allowable Maximum Power [1]			
High-performance with heatsink (W)	218	251	288
Cost-performance (W)	120	138	158
Battery (W)—(hand-held)	3.0	3.0	3.0

表 6a と 6b の注記：

[1] 電源は実装よりもシステム・レベル冷却とテスト制約により制限を受ける。

コスト

表 7a と 7b はコストの傾向を示している。機能あたりのコストを年間に平均 25～30%削減する能力は半導体産業に独特の特徴であり、定価格または低下した価格環境の中で 1.5～2 年ごとにオン・チップ機能の倍増を提供しつづける市場圧力の直接的な結果となっている。このコスト削減圧力に対応するため、研究開発部門と製造部門に対して多額の設備投資を継続的に実施していかなければならない。工場あたりの投資額ベースでさえも、製造部門への設備投資額は上昇の一途を辿っている。しかし、歴史的に半導体産業は、チップ・サイズおよびコストの増加をせずに、または適度な増加によって、1.5～2 年ごとにチップあたりの機能倍増を提供してきている(シリコンの cm² あたり略定コスト)。技術面ならびに経済面での性能が半導体産業の成長を支えてきた基本エンジンであった。

しかし、今日の競争的市場環境の中にいる顧客は適度なコスト増加にさえも抵抗を示し、また、今までチップあたりの機能倍増のスピード(ムーアの法則)も低下している。そのため、半導体メーカーは、半導体産業の成長を今まで担ってきた、同じような機能あたりのコスト削減必要条件を提供する新しいモデルを捜し求めなければならなくなっている。そのため、1999 年版 ITRS では所要の削減を達成する新しいモデルが提案されている。チップあたり定コストおよび平均販売価格(average selling price: ASP)で 2 年ごとに機能倍増を顧客に提供している。2001 年版 ITRS はそのモデルを使って、今までにユニットあたりのコストを 1.4×増の割合で 3 年ごとにチップあたりの機能 4 倍増を達成している、機能(ビットやトランジスタなど)について同じ 29%のコスト削減をその結果として得ている。DRAM および MPU のコスト・モデルは、半導体産業の経済性の原動力として、機能生産性あたりのコストの 29%削減レートへのニーズを使い続けている。そのため、DRAM およびマイクロプロセッサについて手ごろなコスト/ビットやコスト/トランジスタの世代内傾向を設定するために、この中心的な機能あたりのコストの傾向を使用してきた。今までの傾向から推測すると、2G ビット DRAM について、「初期の」手ごろな値段のコスト/ビットが 2001 年には約 21 マイクロセント(microcent)であることが示されている。加えて、その今までの傾向は、1 DRAM 世代内では年間 45%のコスト/ビット削減が期待されるべきであることを示している。¹ これに対応して、マイクロプロセッサについて公表データを使って行った解析は同様な結果をもたらしている。² 結果として、MPU モデルにも、同一世代内で 45%の削減レート値とともに、世代間で手ごろなコスト/トランジスタの削減目標値 29%/年が使用されている。

¹ McClean, William J. 編集、1994 年 中期: IC 産業のステータスと予測、Scottsdale: Integrated Circuit Engineering Corporation、1994.

McClean, William J. 編集、1995 年 中期: IC 産業のステータスと予測、Scottsdale: Integrated Circuit Engineering Corporation、1995.

² a) Dataquest Incorporated. x86 マーケット: 詳細な予測、仮定、傾向、MCRO-WW-MT-9501. San Jose: Dataquest Incorporated、1995/01/16.

b) Port, Otis, Reinhardt, Andy, McWilliams, Gary, Brull, Steven V. 「シリコン時代? 今夜明けを迎えている」図表 1、Business Week、1996/12/09、148-152.

しかしながら、設計 ITWG は最近のデータに基づいて MPU モデルをアップデートしている。新しいデータは、ロジック・トランジスタのサイズがリソグラフィのレート(テクノロジー・ノードごとに 0.7×リニア縮小および 0.5×エリヤ縮小)の割合でしか改善していないことを示している。そのため、MPU チップ・サイズを一定に保つために、トランジスタの数は、テクノロジー・ノードごとにしか倍増していない。テクノロジー・ノードのレートは 2001 年以降に 3 年サイクルに戻ると予測されており、従って、2001 年以降 MPU チップあたりのトランジスタ数は 3 年ごとにしか倍増しないことになる。DRAM メモリ・ビット・セル設計の改善スピードもスローダウンしており、将来チップあたりのビットのスピードも低下してチップ・サイズの拡大が管理できなくなる。DRAM と MPU におけるチップあたりの機能のレート低下を補うために、チップ・レベル・アーキテクチャ、システム・レベル・アーキテクチャ、設計などの等化生産性スケーリング利益から代替生産性向上策を見出す方向への圧力がますます高まるだろう。

かりに将来オン・チップ機能の増加レートが低下したとしても、機能/チップの量はまだ指数的に成長している。機能/チップの数が増加し続けるので、最終製品のテストはますます困難になり、従って、コストが高くなっている。これは、テストのコスト上昇に反映されている。たとえテスト・ピンあたりのコストが年間 0～10%の割合で低下すると予測されたとしても(表 7a、7b)、ピン数は年間 10%の割合で増加する(表 4a、4b)。それゆえ、組込みセルフ・テスト(Built-in Self Test: BIST)手法およびテスト可能性用設計(Design-For- Testability : DFT)手法の実現へのニーズは、2001 年版半導体国際テクノロジー・ロードマップのタイムフレーム内で続いていく。詳しい説明はテストの章で述べる。

表 7a コスト-短期

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Affordable Cost per Function ++							
DRAM cost/bit at (packaged microcents) at samples/introduction	21	14.8	10.5	7.4	5.3	3.7	2.6
DRAM cost/bit at (packaged microcents) at production \$	7.7	5.4	3.8	2.7	1.9	1.4	0.96
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at introduction \$\$	176	124	88	62	44	31	22
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at production \$\$	107	75	53	38	27	19	13.3
High-performance MPU (microcents/transistor) (including on-chip SRAM) at production \$\$	97	69	49	34	24	17	12
Cost-Per-Pin							
Test Cost							
Volume tester cost per high-frequency signal pin (high-performance ASIC)—maximum (\$K/pin)	4.0	3.0	3.0	3.0	3.0	3.0	3.0
Volume tester cost per high-frequency signal pin (high-performance ASIC)—minimum (\$K/pin)	1.0	1.0	1.0	1.0	1.0	1.0	1.0

図表 7b コスト-長期

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ Pitch (nm)	45	32	22
MPU/ASIC ½ Pitch (nm)	45	32	22
MPU Printed Gate Length (nm)	25	18	13
MPU Physical Gate Length (nm)	18	13	9
Affordable Cost per Function ++			
DRAM cost/bit (packaged microcents) at samples/introduction	0.93	0.33	0.12
DRAM cost/bit (packaged microcents) at production \$	0.34	0.12	0.042
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at introduction \$\$	7.78	2.75	0.97
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at production \$\$	4.71	1.66	0.59
High-performance MPU (microcents/transistor) (including on-chip SRAM) at production \$\$	4.31	1.52	0.54
Cost-Per-Pin			
Test Cost			
Volume tester cost per high-frequency signal pin (high-performance ASIC)—maximum (\$K/pin)	4	4	4
Volume tester cost per high-frequency signal pin (high-performance ASIC)—minimum (\$K/pin)	2	3	4

表 7a と 7b の注記:

++総収益マージン(Gross Profit Margins: GPM)を差し引いた、様々な解析レポートから入手でき、平均販売価格(Average Selling Price: ASP)に基づく機能あたりの許容可能実装ユニット・コスト。DRAM 製品には 35%GPM、MPU には 60%GPM を使用。0.5×/2 年世代間縮小レートモデルを使用。0.55×/年世代内縮小レートモデルを使用。次世代が世代内機能あたりのコストをクロスした時点で DRAM ユニット量ライフサイクルのピークが起こる(一般的に導入後 7~8 年)。MPU ユニット量ライフサイクルのピークは一般的に 4~6 年後、次世代プロセッサが立上げフェーズに入った時点で起こる(一般的に導入後 2~4 年)。

§ DRAM モデル - セル・ファクタ(設計/プロセスの改善目標)を以下に示す。

1999-2002/8×; 2003-2010/6×; 2011-2016/4×.

下記を除いて、DRAM 生産世代は、間に 2×ビット/チップの暫定的な世代があるが、4年ごとに4×ビット/チップの割合で一般的に増加する。

1. 導入フェーズにおいて、8G ビット中間世代の後、導入レートは 4×/5 年(2×/2~3 年)である。
2. 生産フェーズにおいて、32G ビット中間世代の後、導入レートは 4×/5 年(2×/2~3 年)である。

チップ・サイズの世代間成長率は、導入時に 572mm² フィールド(field)あたり 1 チップおよび生産時に 572mm² フィールドあたり 2 チップを保つように変動する。積極的な「ベスト・ケース機会」テクノロジー・ロード傾向では、32G ビット中間世代まで、572mm² フィールドあたり 2 DRAM チップの目標を保ちながら、生産フェーズ製品を 2×ビット/チップにとどめることが可能となっている。世代内チップ・サイズ縮小モデルは、セル・ファクタ縮小の中間でのテクノロジー・ロードごとに 0.5×である。

用語 - 導入、生産、世代間、世代内については、用語集を参照すること。

§ § MPU チップ・サイズ・モデル: コスト - 性能 MPU と高性能 MPU の世代間チップ・サイズ成長率は 2016 年まで停滞するとされており、テクノロジー・ロード・サイクルごとのオンチップ機能の倍増により可能となる。世代内チップ・サイズ縮小モデルは、2001 年まで 2 年テクノロジー・ロードごとに 0.5×であり、2001 年以降は 3 年テクノロジー・ロードごとに 0.5×である。