

用語集

主要なロードマップ技術特性用語（所見と解析）

主要市場の特性

テクノロジー・ノード： プリントされた最小パターンで支配されるプロセスの基本ルール。第1層の高密度配線ラインのハーフピッチは、最も小さく経済的なチップ・サイズに要求される DRAM 技術において最も代表的なものである。マイクロプロセッサ(MPU)などのロジックについては、最下層の物理ゲート長が最高性能に必要な最先端技術レベルの最も代表的なものである。MPU および ASIC のロジック配線ハーフピッチ形成における要求は、一般的に最下層のポリシリコンまたはメタル層に関係し、DRAM ハーフピッチ(これも第1層のメタル層またはポリシリコンを指す)よりも遅れている。最小ハーフピッチは通常はチップのメモリ・セル・エリアに採用されている。各テクノロジー・ノード・ステップは、大きな技術進歩(1つ前のノードの約 70%、2 つ前のノードの 50%)の足跡を表している。例として、180、130、90、65、45、32、22 nm の DRAM ハーフピッチがある。コスト上の理由から、大量生産低コスト型 ASIC ゲート長は一般に DRAM ハーフピッチと一致しているが、少量生産の最先端高性能型 ASIC ゲート長は MPU に接近して追従している。

ムーアの法則：「チップ(ビット、トランジスタ)あたりの機能に対する市場の要求(そして半導体産業の対応)は1.5～2年ごとに倍増する」という、インテル社の役員である Gordon Moore 氏により歴史的所見として唱えられた法則。また、MPU 性能 [クロック周波数(MHz)×クロックあたりの命令数 = 百万命令/秒 MIPS(millions of instructions per second)] も1.5～2年ごとに倍増すると Moore 氏は述べた。「自己満足型」の予言と見なす人もいたが、過去 30 年間にわたって「ムーアの法則」は最先端の半導体製品と企業にとって、一貫したマクロなトレンドとキーとなる指針となっている。

機能あたりのコストの製造生産性改善の原動力： ムーアの法則に加えて、この「法則」に対する歴史に基づいた「当然の結果」が存在する。それは、競争力のある製造生産性の改善は、機能あたりのコスト(ビットまたはトランジスタあたりマイクロセント(microcent))を年間 29% 削減可能でなければならないということである。歴史的に言えば、機能が 1.5 年ごとに倍増すると、チップ(実装ユニット)あたりのコストは6年で倍増するが、それでも機能あたりのコスト削減要求を満たしている。1999 年版 ITRS で意見の一致をみた DRAM モデルと MPU モデルにより指摘されるとおり、機能が2年ごとに倍増する場合はチップ(実装ユニット)あたりの製造コストは一定にとどまる。

手ごろな値段の実装ユニット・コスト/機能： テストされパッケージに組み込まれたチップのコストを、チップ当りの機能で割り算し、マイクロセントで表した最終コスト。手ごろなコストは、手ごろな販売価格[特定の製品世代の年間総収入を年間ユニット出荷高で割る]から総収益マージン(DRAM には約 35%、MPU には約 60%)を引き算するという歴史的な傾向により計算される。機能あたりの手ごろな値段は、将来市場の「トップダウン」型ニーズのガイドラインであり、このように、チップ・サイズおよび機能密度とは独立に作成される。値段が手ごろであることの要件は、1) 技術改善と設計改善による密度の増加とチップ・サイズの小型化、2) ウェーハ直径の拡大、3) 設備所有コストの削減、4) 設備全体における設備有効性の向上、5) パッケージ・コストおよびテスト・コストの削減、6) 設計ツール生産性

の向上、7) 製品アーキテクチャおよびインテグレーションの改善、を組み合わせで達成されると期待される。

DRAM 世代 (製品世代ライフサイクル): ある年に導入された DRAM 製品世代の予想ビット/チップ。これは製造技術能力、ライフサイクル成熟度 (学会レベル、試作レベル、量産レベル、量産増大レベル、量産ピーク) に依存する。

MPU 世代 (製品世代ライフサイクル): ある年に導入が期待されるマイクロプロセッサの製品世代機能 (ロジックと SRAM を含む) に関する汎用プロセッサ世代の区分。これは製造技術能力、ライフサイクル成熟度 (学会レベル、試作レベル、量産レベル、量産増大レベル、量産ピーク) に依存する。

コスト-性能 MPU: オン-チップ SRAM レベル 2 (L2) キャッシュ (例: 1M バイト/2001) の量を制限して最高性能と最低コストへの最適化を図った MPU 製品。ロジック機能および L2 キャッシュは一般的に 2 年世代ごとに倍増する。

高性能 MPU: 単一または複数 CPU コア (例、2001 年に 2@ 25Mt コア) と大型 (例、4M バイト/2001 年) レベル 2 (L2) SRAM の組合せで、最高システム性能への最適化を図った MPU 製品。オン・チップ CPU コアと付属メモリの倍増により、ロジック機能および L2 キャッシュが一般的に 2 年世代ごとに倍増する。

製品世代間: 手ごろなチップ・サイズでオン・チップ機能を定期的に倍増させようとする製品世代間目標。ムーアの法則 ($2\times/2$ 年) を維持しつつ経済性成熟度 (定チップ・サイズおよびユニットあたり製造コスト一定) を確保するように、目標を設定する。この 2 年ごとの定コストでの倍増は、機能あたりのコスト削減レート (逆生産性改善) が年間 29% (歴史的な目標削減割合) となることを保証する。2 年ごとにオン・チップ機能を倍増するため、テクノロジー・ノードのスケールリング ($0.7\times$ リニア、 $0.5\times$ エリヤ) が 3 年ごとの場合は、追加のデバイス/プロセスの設計改善 ($.8\times/2$ 年) を達成しなければならない。この要求は、設計関連の (セル・エリヤ・ファクタ) エリヤ縮小に関して少なくとも年間 11% の改善を表している。そして、この設計関連生産性の改善が年間 -21% (3 年ノード・サイクル) の基本的なリソグラフィ・ベースのエリヤ縮小率に加わる。現在の 2001 年版 ITRS コンセンサス目標は、DRAM の増加レートについて 2 年ごとに $2\times$ /チップである。しかしながら、2001 年版 ITRS 予測のセル・エリヤ・ファクタ改善は、平均で年間 -7% でしかない。この結果は、年間 4.5% または 4 年ごとに $1.2\times$ の平均 DRAM 世代間チップ・サイズ成長となる。現在では、MPU トランジスタのエリヤはリソグラフィ・ベース・レートでしか縮小していない (事実上、設計関連改善ゼロ)。従って、ロードマップ期間を通して、定チップ・サイズ成長を維持するために、2001 年版 ITRS MPU 世代間機能モデルの目標はテクノロジー・ノードごとに $2\times$ トランジスタ/チップである。

製品世代内: ある一定の機能/チップ製品世代内のチップ・サイズ縮小傾向。2001 年版 ITRS コンセンサス・ベース・モデルの目標は、ロードマップ期間の全時点で利用可能な最新の製造/設計技術を使用して、チップ・サイズを縮小する (縮小と「カットダウン」により) ことである。世代内の DRAM および MPU チップ・サイズ縮小の ITRS 目標はテクノロジー・ノードあたり 50% である。

デモンストレーションの年: 設計そして/またはテクノロジー・ノードの処理実行可能性ならびに偉業を明らかにするため、先導チップ・メーカーが製品の動作サンプルを供給する年。代表的なデモンストレーション会場は米国電気電子学会 (IEEE, Institute of Electrical and Electronics Engineers) 主催の

国際固体回路会議 (ISSCC, International Solid State Circuits Conference) などの主要な半導体業界会議である。一般的に、デモンストレーション・サンプルは、開発初期レベルまたはデモンストレーション・レベルの製造ツールおよびプロセスで製造される。今まで、DRAM 製品は、実際の市場導入より一般的に 2~3 年先立って、リーディングエッジ・プロセス・テクノロジー・ノードでは 3 年ごとに 4×ビット/チップの割合で展示される。DRAM デモンストレーション・チップ・サイズは 6 年ごとに倍増しており、市場への導入が経済的に実行可能になる前に多数の縮小と遅延が必要となる。チップ・サイズがリソグラフィ設備使用可能なフィールド・サイズよりも大きくなることが頻繁に起こり、極少量の研究サンプルでしか実行可能ではない複数回露光手法により、「縫合」しなければならない。

例：1997 年 /ISSCC/1Gb DRAM、対 ITRS 1Gb 1999 年導入レベル、2003 年生産レベル目標

導入の年： 先導チップ・メーカが少量 (<1K) のエンジニアリング・サンプルを供給する年。サンプルは認定された生産ツールとプロセスで生産され、早期評価のために主な顧客に提供される。タイムリーな市場への参入と経済的な生産をバランスさせるために、製品を 2 年ごとに 2×機能/チップの割合で導入していく (MPU の場合はテクノロジー・ノードごと)。その上、チップ・サイズの縮小または「カットダウン」のレベルが達成されるまで、メーカは生産を遅らせる。これは世代間チップ・サイズの成長をフラットに制限するか、最大でも 4 年ごとに 1.2×にする。

生産の年： 先導チップ・メーカが認定された生産ツールとプロセスで生産した製品の大量出荷を開始し、第 2 のメーカが 3 ヶ月以内に追隨した年。先端的な性能を備え縮小した製品への需要が増すにつれ、ツールとプロセスは製造能力の急速に複数モジュールへ「コピー」されていく。高需要製品については、一般的に量生産が立上げから工場設計能力レベルまで 12 ヶ月以内で可能となる。一般的に大量生産立上げより 24 ヶ月先立って、アルファ・レベル製造ツールおよび技術に関する研究論文が提供される。ベータ・レベル・ツールは、一般的に立上げより 12 ヶ月先立って、半導体業界会議への提出論文とともに提供される。ベータ・レベル・ツールはパイロット・ライン工場で生産レベルにされる。パイロット・ライン工場は、大量生産立上げ前の顧客によるサンプリングと早期認定に頻繁に使用する製品を少量生産することも可能である。中規模生産レベルの DRAM が、小規模生産レベルの DRAM と同時に生産段階に入り、そして、縮小された前世代の DRAM も同時に大量生産されている (例：2003 年：1Gb/生産、4G/導入、プラス 512Mb/256Mb/128Mb/64Mb 大量生産)。同様に、大量生産、コスト性能型 MPU が少量生産、大チップ、高性能 MPU と同時に生産段階に入り、そして、縮小された前世代 MPU も同時に大量生産されている。

機能/チップ： 利用可能な技術レベルで、単一モノリシック・チップ (single monolithic chip) 上に低コストで製造できるビットの数 (DRAM) またはロジック・トランジスタの数 (MPU/ASIC)。ロジック機能 (チップあたりのトランジスタ) は SRAM およびゲート機能ロジック・トランジスタの双方を含む。DRAM 機能 (チップあたりのビット) は単一モノリシック・チップ上のビット (修理後) だけに基づく。

チップ・サイズ(mm²): 利用可能な最良な先端性の設計および製造プロセスに基づき、ある年に経済的に見合ったやり方で製造できるモノリシック・メモリおよびロジック・チップの代表的な面積 (エリヤ)。(データの歴史的な傾向と ITRS のコンセンサスに基づいて、推定値を予測)

機能/cm²: 所与の面積 (square centimeter) での機能密度 = チップ・サイズで割った単一モノリシック・チップ上の機能/チップ。パッド・エリヤおよびウェーハ・スクライブ・エリヤを含む、チップ上の全機能に関する密度の平均値である。DRAM の場合、高密度セル・アレイおよび低密度周辺ドライブ回

路の平均値を含む。MPU 製品の場合、高密度 SRAM および低密度ランダム・ロジックの平均値を含む。ASIC の場合、高密度内蔵メモリ・アレイを含み、低密度アレイ・ロジック・ゲートおよび機能コア高密度内蔵メモリ・アレイで平均する。2001 年版 ITRS では、一般的な高性能 ASIC 設計の平均密度は、殆ど SRAM トランジスタである高性能 MPU と同じであると予想されている。

DRAM セル・アレイ・エリヤ・パーセンテージ： 世代ライフサイクルの様々な段階でセル・アレイが占有できるトータル DRAM チップ・エリヤの実用的な最大パーセンテージ。周辺回路、パッド、ウェーハ・スクライブ・エリヤ用スペース確保のため、導入チップ・サイズ目標では、このパーセンテージが一般的に 70% 未満である。パッドおよびスクライブ・エリヤは、リソグラフィでスケールしないので、他の世代内縮小レベルでは最大アレイ・エリヤ・パーセンテージが減少する（一般的に、生産レベルでは 55% 未満、立上げレベルでは 50% 未満）。

DRAM セル・エリヤ(μm^2): (指定 ITRS コンセンサスのセル・エリヤ・ファクタ(A) × 最小ハーフピッチ機能(f)サイズの二乗)で表した、DRAM メモリ・ビット・セル占有エリヤ(C)。即ち、 $C = Af^2$ 。チップ・サイズを計算するには、セル・エリヤをアレイ効率で割り算しなければならない。アレイ効率-係数(E)は過去の DRAM チップ解析データから統計的に求める。このように、平均セル・エリヤ(C_{AVE})は計算可能であり、これにはドライバ、I/O、バス・ライン、パッド・エリヤなどのオーバヘッドが含まれている。計算式は $C_{AVE} = C/E$ となる。それから、(ビット/チップの全数 × C_{AVE})でトータルのチップ・エリヤが計算できる。例： 1999： A=8；ハーフピッチの二乗、 $f^2 = (180 \text{ nm})^2 = .032 \mu\text{m}^2$ ；セル・エリヤ、 $C = Af^2 = 0.26 \mu\text{m}^2$ ；1Gb 導入レベル DRAM についてセル効率がトータル・チップ・エリヤの 70% ($E=70\%$)、 $C_{AVE} = C/E = 0.37 \mu\text{m}^2$ ；従って、1Gb チップ・サイズ・エリヤ $= 2^{30}$ ビット * $0.37 \text{e-}6 \text{ mm}^2/\text{ビット}$ $= 397 \text{ mm}^2$

DRAM セル・エリヤ・ファクタ： 同値正方ハーフピッチ(f)ユニットの倍数として、DRAM セル・エリヤ(C)を表す数値(A)。一般的に、セル・ファクタはハーフピッチ・ユニットの同値アスペクト比で表される。(2×4=8、2×3=6、2×2=4、1.6×1.6=2.5 など)

SRAM セル・エリヤ・ファクタ： DRAM セル・エリヤ・ファクタと同じだが、6トランジスタ (6t) ロジック・テクノロジー・ラッチ型メモリ・セルだけに適用する。数値は、同値正方テクノロジー・ノード・ハーフピッチ(f)ユニットの倍数として SRAM 6t セル・エリヤを表す。一般的に、SRAM 6t セルのセル・ファクタは DRAM メモリ・セル・エリヤ・ファクタより 16～25 倍大きい。

ロジック・ゲート・セル・エリヤ・ファクタ： DRAM および SRAM セル・エリヤ・ファクタと同じだが、一般的な 4 トランジスタ (4t) ロジック・ゲートだけに適用する。数値は、同値正方テクノロジー・ノード・ハーフピッチ(f)ユニットの倍数としてロジック 4t ゲート・エリヤを表す。一般的に、ロジック 4t ゲートのセル・ファクタは SRAM 6t セルエリヤ・ファクタより 2.5～3 倍大きく、DRAM メモリ・セル・エリヤ・ファクタより 40～80 倍大きい。

使用可能なトランジスタ/ cm^2 (高性能 ASIC, 自動レイアウト)： 少量生産される高微分型アプリケーション向けの、自動レイアウトで設計したトランジスタ/ cm^2 の数値。高性能-リーディングエッジ内蔵アレイ ASIC はオンチップ・アレイ・ロジック・セルならびに高密度機能セル(MPU、I/O、SRAM など)を含む。密度計算は、高密度機能セルの全トランジスタに加えて、アレイ・ロジック・セルにおける接続した(使用可能な)トランジスタも含む。最大高性能 ASIC の設計は利用可能な生産リソグラフィ・フィールドを全て占める。

チップおよびパッケージ - 物理属性と電氣的な属性

チップ I/O の数 - トータル(アレイ)パッド: 「チップ信号 I/O パッド」 + 「機能またはテスト用としてパッケージ・プレーンに常時接続した、または(信号条件を含む)電源/接地コンタクトを提供する、電源パッドおよび接地パッド」の最大数。これには、全ての直接チップ・ツウ・チップ配線またはボードへの直接チップ取付接続を含む(全ての配線プレーン、リードフレーム、またはパッケージ内の他の配線技術、即ち、チップ上またはボード上に存在しない全ての配線として、パッケージ・プレーンを定義する)。信号 I/O パッド対接地パッドは、MPU が一般的に 1:2 の比率であるが、高性能 ASIC では一般的に 1:1 の比率である。

チップ I/O の数 - トータル(周辺)パッド: 「チップ信号 I/O パッド」 + 「チップのエッジ周りだけコンタクトによる製品向けの電源パッドおよび接地パッド」の最大数。

パッド・ピッチチップ: 周辺エッジまたはチップを横切るパッド・アレイにて、パッド間の中心から中心までの距離。

パッケージのピン/ボールの数: パッケージにある、ボード接続用のピン、または、はんだボールの数(この数は、パッケージ・プレーン上の内部電源/接地プレーンまたはパッケージあたりの複数チップにより、チップ・ツウ・パッケージ・パッドの数よりも少ないことがある)。

パッケージ・コスト(コスト性能): セント/ピンで表した、パッケージ包装および外部 I/O 接続のコスト

5 - 2 - 1 チップ周波数 (MHz)

オンチップ、ローカル・クロック、高性能: チップのローカル化した部分における、高性能少量生産型マイクロプロセッサのオンチップ周波数。

チップ・ツウ・ボード(オフチップ)速度(高性能、周辺バス): 大量および少量生産型ロジック・デバイスのボード周辺バスへの、最高信号 I/O 周波数。

他の属性

リソグラフィ・フィールド・サイズ(mm²): あるテクノロジー・ノードでのリソグラフィ・ツールのシングルステップ露光エリヤまたはステップ走査露光エリヤ。仕様は、あるテクノロジー・ノードについて半導体メーカーが指定する可能性がある最低仕様値を表す。最大フィールド・サイズは ORTC 目標値よりも大きな値で指定されることがあり、最終露光エリヤは露光幅と走査長の様々な組合せで達成できる。

配線レベルの最大数: ローカル配線、ローカルおよびグローバルなルーチング、電源および接地接続、クロック分布などを含む、オンチップ配線レベル。

製作の属性と方式

電氣的な D₀ 欠陥密度(d/m⁻²): 与えられたテクノロジー・ノード、製品ライフサイクル年、目標プローブ歩留りにおける、平方メートルあたりの電氣的に意味のある欠陥の数。

最小マスク・カウント： 最大配線レベルにて成熟生産しているプロセス・フローにおける、マスク・レベルの数 (ロジック)。

最大基板直径 (MM)

バルクまたはエピタキシャルまたはシリコン-オン-絶縁ウェーハ： 主流 IC サプライヤが大量に使用するシリコン・ウェーハの直径。ファクトリ・インテグレーション ITWG 提供の ITRS タイミング目標は、最初の月間 20K ウェーハ・スタート製造設備に基づいている。

電気的な設計とテストの数値

電源電圧 (V)

最低ロジック V_{dd} ： 設計要求条件での動作に関する、電源からのチップ公称使用電圧。

ヒートシンクを備えた高性能の最大電力 (W)： 外部ヒートシンクを備えた高性能チップで放散される最大トータル電力。

電池寿命 (W)： 電池作動型チップで放散される最大トータル電力 / チップ。

設計およびテスト

量産用テストのコスト / ピン (\$K / ピン)： 大量生産型アプリケーションにおいて、機能 (チップなど) テスト・コストをパッケージ・ピン数で割った値。