

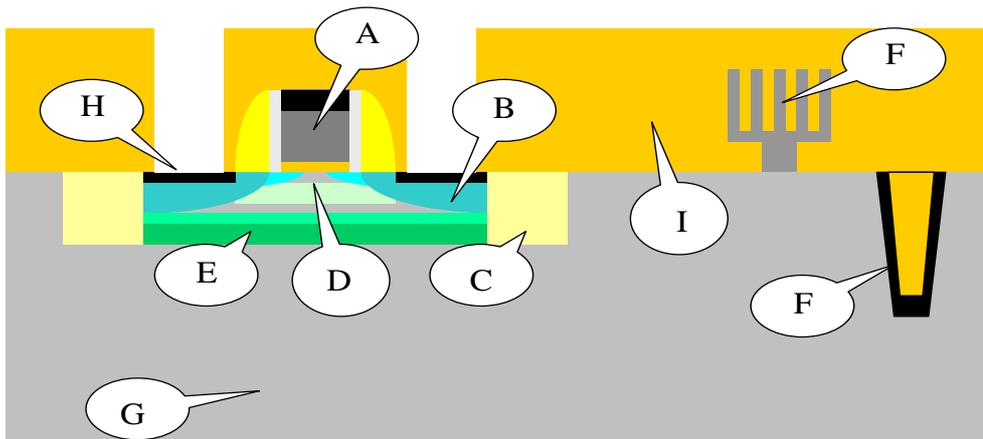
フロントエンドプロセス

スコープ

フロントエンドプロセス(FEP)のロードマップは、微細化電界効果トランジスタ(MOSFET)、DRAM キャパシタ、フラッシュ、強誘電体 RAM(FeRAM)等のデバイスにおいて将来必要となるプロセスの技術的要求と解決策候補に焦点をあわせている。この章の目的は、上であげたデバイスのキーとなるフロントエンドのウェーハ製造技術・材料について、包括的な将来的要求と解決策候補を明確にすることである。そのため、このロードマップは装置、材料、個々のプロセス、統合プロセスに関し、最初のシリコンウェーハから Contact (コンタクト)のシリサイド化工程、Pre-metal Dielectric Layer(プリメタル絶縁膜)工程までを含んでいる。具体的には次の技術領域を取り扱った。即ち、「Starting Materials(スターティングマテリアル)」、「Surface Preparation(表面処理)」、MOSFETのための「Thermal/Thin Films(熱処理/薄膜プロセス)」および「Doping(ドーピング)」、「プリメタル絶縁膜」、FEPの「Plasma Etching(プラズマエッチング)」である。さらに、「DRAM Stack and Trench Capacitors(スタック型およびトレンチ型 DRAM キャパシタ)」、「Flash Memory Gate Structure(フラッシュメモリゲート構造)」、「FeRAM Storage Devices(FeRAM 記憶デバイス)」のプロセスと材料についても言及した。

微細化していく上で必要な技術的要求と解決策候補についての予測は、それぞれの技術領域に提示してある。技術的要求予測の表は、特に注釈の無い限り、モデルを基にしたものである。ここで示した解決策候補は、知られている可能性のある解決策を比較するために示したものであり、他の研究者や興味のある団体向けに提示している。ここで示した解決策候補だけがアプローチであるとは考えないでいただきたい。実際、革新的で新規な解決策が技術的要求表の赤で示した領域で求められている。

FEPに関連したいくつかの話題は、このロードマップの他の章でも取り上げられている。FEPの技術的要求につながる微細化デバイスの性能・構造の予測は、「Process Integration, Devices, and Structures(プロセスインテグレーション、デバイス、および構造)」の章に示されている。Trench Isolation(トレンチ分離)に用いられるプラズマエッチングと CMP(化学機械研磨)の装置関連の懸案事項は、配線用装置の懸案事項と重複するため、「Interconnect(配線)」の章に示されている。FEPと他の分野が関連する要求事項は、「Yield Enhancement(歩留り向上)」、「Metrology(計測)」、「Environment, Safety, & Health(環境、安全、健康)」、「Modeling & Simulation(モデリング&シミュレーション)」の章で記述されている。FEP分野の半導体工場への技術的要求は「Factory Integration(ファクトリインテグレーション)」の章で記述されている。



A: GATE STACK (INCLUDING FLASH) AND SIDEWALL SPACERS B: SOURCE/DRAIN – CONTACT AND EXTENSION
C: ISOLATION D: CHANNEL DOPING E: WELL DOPING F: DRAM STACK/TRENCH CAPACITOR & FERAM

図 26 「フロントエンドプロセス」章のスコープ

困難なチャレンジ

フロントエンドプロセスの大チャレンジ - デバイスの微細化が材料に制限される時代へのフロントエンドプロセスの対応

半導体産業は、素子を微細化することを主要な手段として、ムーア(Moore)の法則で数値が示されている通りに、これまでに前例のないほどの生産量の増大とデバイス特性の向上を実現してきた。これは伝統的に新しいリソグラフィ技術やマスク、フォトレジスト材料および微細エッチングプロセスの開発により進められてきたといえる。これらのきわめて重要なプロセス技術の進展により、これまでにない微細な寸法で生産できるようになったにもかかわらず、ここ数年明らかに、フロントエンドの技術は着実には進まなくなり、微細化されたデバイスは性能を制限されたものとなっている。この問題でもっとも重要なことは、伝統的なトランジスタとキャパシタの形成材料であるシリコン、シリコン酸化膜およびポリシリコンが根本的な材料の限界に迫りやられ、継続的な微細化には新しい材料の導入が必要になったという事実である。われわれはデバイスの微細化が材料に制限される時代へ突入した。

この時代になると、シリコンウェーハから始まって基本的なプレーナ CMOS 構造やメモリのストレージ構造を含むほとんどすべてのフロントエンドの材料とプロセスに新たなことが要求されるようになった。さらに、プレーナ CMOS はこのロードマップの期間内に明らかに終わりになりつつある。結果として、従来と違ったデュアルゲート MOSFET やそれに代わるものを使った CMOS 技術を生み出す準備をしなければならない。これらは早ければ 2007 年には必要になるであろう。これらのさまざまな新材料に関するチャレンジとこれらの材料に関わる物理的界面の制御は、図表 48 に纏めたフロントエンドプロセスの困難なチャレンジの中心テーマである。

MOSFET のゲートスタック以上に明確で急を要する問題はない。ここに、より高誘電率の新しいゲート絶縁材料が必要とされる。この要求は、2005 年に出現すると予測されるゲート長 65nm 以下の MOSFET に関連して、ITRS 1999 の中で明らかにされていた。その間に、65nm ゲートを作成するパターニング技術が加速し、いまやこれらは 2001 年になると予測されている。有望な high-k 候補材料が確認されているにもかかわらず、基本的な特性や信頼性の問題は、CMOS インテグレーションの問題とともに、いまだ研究中である。これらの材料が 2005 年以前に生産に入っていくかどうかは疑わしい。その間に、酸窒化ゲート絶縁材料が、とりわけ高いオフ状態のリークと消費電力に関してデバイス特性を制限されながらも、革新を続けると予想される。それ故、high-k 絶縁膜がもっとも早く必要になるのが、低スタンバイ電力向けに設計されたデバイスに関係しているのも驚くべきことではない。もしオフ状態の消費電力の予測を満足するならば、high-k 材料は 2005 年迄には必要になると予測される。ゲート絶縁膜の上では、ドーパされたポリシリコンゲート材料に存在する空乏層がますますわずらわしい問題となり、デュアルメタルゲートが現在の CMOS 技術の要であるデュアルドーパポリシリコンゲートを置き換えると予想され、その結果として、プレーナデバイスはディープサブミクロン領域へと微細化される。結局、微細化にはプレーナ CMOS デバイスを非標準のデバイスで置き換えることが必要になると予測される。

図表 48a フロントエンドプロセスの困難なチャレンジ - 短期

THROUGH 2007, MPU/ASIC PHYSICAL GATE LENGTH ≥ 25 nm	SUMMARY OF ISSUES
New gate stack processes and materials	<p>Extension of Oxynitride gate dielectric materials to < 1.0 nm E.O.T for high performance MOSFETs, consistent with device reliability requirements</p> <p>Introduction and process integration of high κ gate stack materials and processes for low operating and low standby power MOSFETs</p> <p>Control of boron penetration from doped polysilicon gate electrode</p> <p>Minimized depletion of dual doped polysilicon electrodes</p> <p>Possible introduction of dual metal gate electrodes with appropriate work function (toward end of period)</p> <p>Metrology issues associated with gate dielectric film thickness and stack electrical and materials characterization</p>
Critical dimension and effective channel length (L_{eff}) control	<p>Control of gate etch process that yield a physical gate length that is smaller than the feature size printed in the resist, while maintaining <10% overall 3-sigma control of the combined lithography and etch processes</p> <p>Control of profile shape, edge roughness, line and space width for isolated as well as closely-spaced fine line patterns</p> <p>Control of self-aligned doping processes and thermal activation budgets to achieve ~15% $3\sigma L_{eff}$ control</p> <p>Maintenance of CD and profile control throughout the transition to new gate stack materials and processes</p> <p>CD and etch metrology</p>
CMOS integration of new memory materials and processes	<p>Development and introduction of very high κ DRAM capacitor dielectric layers</p> <p>Migration of DRAM capacitor structures from silicon-insulator-metal to metal-insulator-metal</p> <p>Integration and scaling of FeRAM ferroelectric materials</p> <p>Scaling of Flash inter-poly and tunnel dielectric layers may require high κ</p> <p>Limited temperature stability of high κ and ferroelectric materials challenges CMOS Integration</p>
Surfaces and interfaces: structure, composition and contamination control	<p>Contamination, composition, and structure control of channel/gate dielectric interface as well as gate dielectric/gate electrode interface</p> <p>Interface control for DRAM capacitor structures</p> <p>Maintenance of surface and interface integrity through full-flow CMOS processing</p> <p>Statistically significant characterization of surfaces having extremely low defect concentrations for starting materials and pre-gate clean surfaces</p>
Scaled MOSFET dopant introduction and control	<p>Doping and activation processes to achieve shallow source/drain regions having parasitic resistance that is less than ~16–20% of ideal channel resistance ($=V_{dd}/I_{on}$)</p> <p>Control of parasitic capacitance to achieve less than ~19–27% of gate capacitance, consistent with acceptable I_{on} and minimum short channel effect</p> <p>Achievement of activated dopant concentration greater than solid solubility in dual-doped polysilicon gate electrodes</p> <p>Formation of continuous self-aligned silicide contacts over shallow source and drain regions</p> <p>Metrology issues associated with 2D dopant profiling</p>

図表 48b フロントエンドプロセスの困難なチャレンジ - 長期

<i>BEYOND 2007, MPU/ASIC PHYSICAL GATE LENGTH <25 nm</i>	<i>ISSUES</i>
Continued scaling of planar CMOS devices	Higher κ gate dielectric materials including temperature constraints Metal gate electrodes with appropriate work function Sheet resistance of clad junctions Enhanced channel mobility e.g., strained layers CD and L_{eff} control Chemical, electrical and structural characterization
Introduction and CMOS integration of non-standard, double gate MOSFET devices	Devices may be needed as early as 2007 Selection and characterization of optimum device types CMOS integration with other devices, including planar MOSFETs Introduction, characterization and production hardening of new FEP unit processes Device and FEP process metrology Increased funding of long term research
Starting silicon material alternatives beyond 300 mm	Need for future productivity enhancement dictates the requirement for a next generation, large silicon substrate material Historical trends suggest that the new starting material have nominally twice the area of present generation substrates, e.g., 450 mm Economies of the incumbent Czochralski crystal pulling, wafer slicing, and polishing processes are questionable beyond 300 mm; research is required for a cost-effective substrate alternative to bulk silicon
New memory storage cells, storage devices, and memory architectures	Scaling of DRAM storage capacitor beyond $6F^2$ and ultimately beyond $4F^2$ Further scaling of Flash memory interpoly and tunnel oxide thickness FeRAM storage cell scaling Introduction of new memory types and storage concepts
Surface and interface structural, contamination, and compositional control	Achievement and maintenance of structural, chemical, and contamination control of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface Metrology and characterization of surfaces that may be horizontally or vertically oriented relative to the chip surface Achievement of statistically significant characterization of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface

high-k 材料や新しい MIM(metal-insulator-metal)構造のキャパシタは、チップ上のストレージノード領域を小さくするために非常に高い蓄積容量が必要になる DRAM セグメントの中で発展すると予想される。さらに、high-k 材料はフラッシュ・メモリのポリシリコン間絶縁膜やトンネル絶縁膜にも必要になると予測される。メモリ分野では、強誘電体材料がキャパシタに使用されるようになると、FeRAM が大量生産されるようになることも予測される。これらのさまざまな材料を製造の主流にすることは重要かつ困難なチャレンジである。

スターティングウェーハ分野では、シリコンゲルマニウム上のストレインド・シリコンやシリコンゲルマニウム炭素のようなバルクのシリコンに替わるものが、シリコン・オン・インシュレーター(SOI)基板と同様に急激に増えていくことが予測される。これらはすべて FEP のプロセスアーキテクチャの変更を意味する。このロードマップの期間内に出現すると予想される重要かつ困難なチャレンジは、次世代シリコン基板が必要になることである。ここで、現流の結晶成長やウェーハ表面処理の技術がコスト効率良く次世代へとスケールアップできるかどうかは疑問である。産業の経済成長に重要な CoO と密接な関係をもって有望な代替基板を探すには卓越した研究が必要である。

MOSFET のゲートや DRAM のワード線とビット線のような微細加工に適用されるエッチングプロセスは、CD やラインプロファイル形状のコントロールという点で引き続き困難なチャレンジを引き起こして

いる。エッチング技術によって、フォトレジストに形成された寸法を超える微細な加工をするようになるに従って、これらの問題はより困難になると予想される。プロセスが増えたことによる複雑さと、それに関連した変動分の増加はすべて、最終の物理的寸法の許容値を満足するために管理されなければならない。新しい材料の導入はこれらのタスクの困難さを増すと予想される。

新しい材料の導入は、シリコンをドーピングし活性化するための方法に更なるチャレンジを課すと予想される。非常に浅く、高活性化された接合を形成するという微細化に課された必要性に加えて、多くの **high-k** 材料の制限された熱的安定性は、ドーパント活性化に関するサーマルバジェットが限界に達すると予想される。最悪のシナリオでは、これらの新しい材料の導入がクリティカルなトランジスタパラメータに重要な影響を及ぼすことになる。恐らく、これは詳細な製造プロセスの手順の変化だけでなく、さらにユニークなデバイスアーキテクチャの実現が必要になる。

スターティングマテリアル(Starting Materials)

これまでスターティングマテリアルとしては、Cz法によるポリッシュウェーハかエピウェーハのどちらかが使われてきた。最近、Czウェーハには、特別な成長法を用いた内部欠陥の少ないウェーハ、水素か Ar 雰囲気での熱処理で最表面を改質したウェーハが加わっている。それから SOI (Silicon-on-Insulator)ウェーハも、今やニッチな技術とは言えなくなっている。DRAM のような汎用デバイスは低価格の Cz ウェーハを使って製造されることが多い。一方、高性能ロジック IC は、一般に、より高価格のエピウェーハを使って製造される。それはエピウェーハを用いる方が高い製造歩留り(例 . 高品質のゲート絶縁膜が得られる)や安定性(例 . 高いラッチアップ耐性)が期待できるためである。ラッチアップ耐性は、STI(Shallow Trench Isolation)採用やドーピング方法で改善されるため、それほど重要でなくなるであろう。それでも、高歩留りが期待できるということがあり、それに加えてエピウェーハは低価格化が予想されているので、ロジックデバイスに対してこれからもエピウェーハが使われるであろう。一方、より単純な製造プロセスとより高速の動作が期待できることから、さらに高価格である SOI ウェーハが使われるケースも増えつつある。こうしたスターティングマテリアルの多様さは当分続くと思われ、それらについては解決策候補技術として図 27 に示してある。

表 49a と b はウェーハメーカーから受け取るウェーハに対して、DRAM 製造用と高性能 MPU 製造用の観点から予測した要求仕様である。これらの要求仕様は、ウェーハ全般の仕様に加えて、ポリッシュウェーハ、エピウェーハ、SOI ウェーハのそれぞれに固有の仕様からなっている。光散乱体 (LLS: Localized Light Scatterers) の密度、サイトフラットネス、エッジ除外長といったウェーハの特定仕様を低コストで改善するには基本的な障壁が幾つかある。その障壁とは結晶引上げ工程と加工工程におけるウェーハ製造コストと歩留りであり、また計測装置の感度とスループットも障壁に含まれている。

そのことを考慮し、表記方法を工夫した。表 49a と b に示された各パラメータのトレンドに対し、ウェーハメーカーが各パラメータの要求仕様を実現できるかどうかを表現したのに加え、計測技術が準備できるかどうかと、デバイスメーカーにとっての将来予測の観点でそのパラメータの深深刻度も表現することにした。後者は、"showstoppers"、"process margin improvements"、"maintenance"に分類される。以上の理由から、ウェーハパラメータトレンドの欄には、左下にデバイス特性面での深深刻度、右下に計測技術の準備状況を色分けで表示した。色分け方法と意味は下に示してあるが、対象は DRAM と高性能ロジックである。

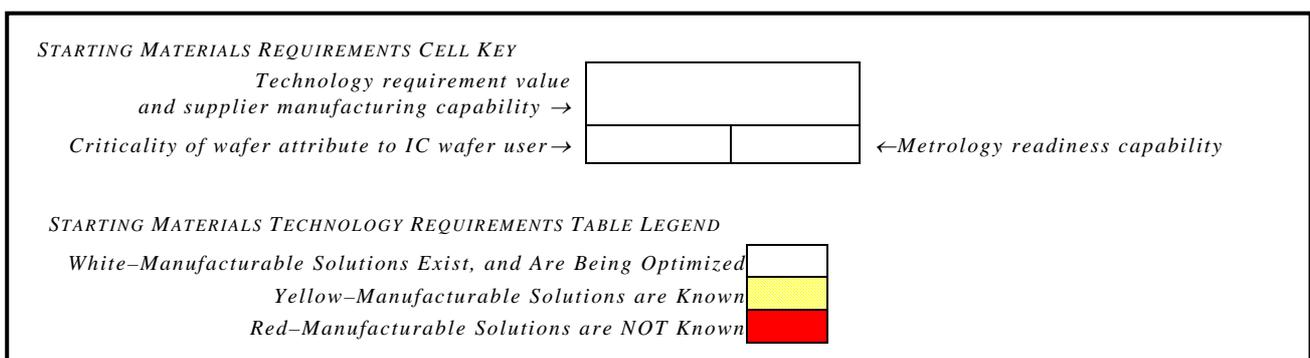


表 49a Starting Materials Technology Requirement—Near-term

Year of Production	2001 130nm	2002 115nm	2003 100nm	2004 90nm	2005 80nm	2006 70nm	2007 65nm	Driver
DRAM I/2 Pitch (nm)	130	115	100	90	80	70	65	D½
MPU/ASIC Physical Gate Length (nm)	65	53	45	37	32	28	25	M
DRAM Total Chip Area (mm ²)	127	100	118	93	147	116	183	D½
DRAM Active Transistor Area (mm ²)	55.3	36.9	59.0	42.3	73.1	53.2	89.9	D½
MPU High-Performance Total Chip Area(mm ²)	310	310	310	310	310	310	310	M
MPU High-Performance Active Transistor Area (mm ²)	28.7	28.2	27.7	27.2	26.8	26.8	26.8	M
<i>General Characteristics * (99% Chip Yield) (A,B,C)</i>								
Wafer diameter (mm) **	300***	300***	300***	300	300	300	300	D½,M
Edge exclusion (mm) ****	3	3	2	2	2	2	1	D½,M
Front surface particle size (nm), latex sphere equivalent (D)	≥ 90	≥ 90	≥ 90	≥45	≥40	≥35	≥33	D½,M
Particles (cm ⁻²) (E)	≤ 0.18	≤ 0.27	≤ 0.17	≤ 0.24	≤ 0.14	≤ 0.19	≤ 0.11	D½
Particles (#/wf)	≤ 123	≤ 185	≤ 117	≤ 164	≤ 95	≤ 130	≤ 77	D½
Critical surface metals (at/cm ²) (F)	≤1x10 ¹⁰	D½,M						
Site flatness (nm) (G)	≤ 130	≤ 115	≤ 100	≤ 90	≤ 80	≤ 70	≤ 65	D½,M
<i>Polished Wafer * (99% Chip Yield)</i>								
<i>The LLS requirement is specified for particles only; discrimination between particles and COPs is required (see General Characteristics) (D,E)</i>								
Total bulk Fe (at/cm ³) (H)	≤1x10 ¹⁰	D½,M						
Oxidation stacking faults(OSF)(DRAM) (cm ⁻²) (I)	≤ 2.8	≤ 2.3	≤ 1.9	≤ 1.6	≤ 1.4	≤ 1.1	≤ 1.0	D½
Oxidation stacking faults(OSF)(MPU) (cm ⁻²) (I)	≤ 1.0	≤ 0.8	≤ 0.6	≤ 0.5	≤ 0.4	≤ 0.3	≤ 0.3	M
<i>Epitaxial Wafer * (99% Chip Yield)</i>								
<i>Total Allowable Front Surface Defect Density is The Sum of Epitaxial Large Structural Defects, Small Structural Defects and Particles (see General Characteristics) (J,K)</i>								
Large structural epi defects(DRAM) (cm ⁻²) (L)	≤ 0.008	≤ 0.010	≤ 0.009	≤ 0.011	≤ 0.007	≤ 0.009	≤ 0.005	D ½
Large structural epi defects(MPU) (cm ⁻²) (L)	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	M
Small structural epi defects(DRAM) (cm ⁻²) (M)	≤ 0.016	≤ 0.020	≤ 0.017	≤ 0.022	≤ 0.014	≤ 0.017	≤ 0.011	D ½
Small structural epi defects(MPU) (cm ⁻²) (M)	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	M

White—Manufacturable Solutions Exist, and Are Being Optimized
 Yellow—Manufacturable Solutions are Known
 Red—Manufacturable Solutions are NOT Known

表 49a Starting Materials Technology Requirement—Near-term (continued)

Year of Production	2001 130nm	2002 115nm	2003 100nm	2004 90nm	2005 80nm	2006 70nm	2007 65nm	Driver
DRAM 1/2 Pitch (nm)	130	115	100	90	80	70	65	D½
MPU/ASIC Physical Gate Length (nm)	65	53	45	37	32	28	25	M
DRAM Total Chip Area (mm ²)	127	100	118	93	147	116	183	D½
DRAM Active Transistor Area (mm ²)	55.3	36.9	59.0	42.3	73.1	53.2	89.9	D½
MPU High-Performance Total Chip Area (mm ²)	310	310	310	310	310	310	310	M
MPU High-Performance Active Transistor Area (mm ²)	28.7	28.2	27.7	27.2	26.8	26.8	26.8	M
Silicon-On-Insulator Wafer* (95% Chip Yield)								
Wafer diameter (mm) **	200	300***	300***	300	300	300	300	D½,M
Silicon final device layer thickness (Partially Depleted) (tolerance ± 5%) (nm) (N)	98-163	80-133	68-113	56-93	48-80	42-70	38-63	M
Silicon final device layer thickness (Fully Depleted) (tolerance ± 5%) (nm) (O)	20-33	16-27	14-23	11-19	10-16	8-14	8-13	M
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ± 5%) (nm) (P)	49-81	40-66	34-56	28-46	24-40	21-35	19-31	M
D _{LASOI} , Large area SOI wafer defects (DRAM) (cm ⁻²) (Q)	≤ 0.040	≤ 0.051	≤ 0.043	≤ 0.055	≤ 0.035	≤ 0.044	≤ 0.028	D½
D _{LASOI} , Large area SOI wafer defects (MPU) (cm ⁻²) (Q)	≤ 0.017	≤ 0.017	≤ 0.017	≤ 0.017	≤ 0.017	≤ 0.017	≤ 0.017	M
D _{SASOI} , Small area SOI wafer defects (DRAM) (cm ⁻²) (R)	≤ 0.464	≤ 0.695	≤ 0.434	≤ 0.607	≤ 0.351	≤ 0.482	≤ 0.285	D½
D _{SASOI} , Small area SOI wafer defects (MPU) (cm ⁻²) (R)	≤ 0.894	≤ 0.910	≤ 0.926	≤ 0.942	≤ 0.956	≤ 0.956	≤ 0.956	M
D _{EC} , Extended Crystal Defects (MPU) (cm ⁻²) (S)	1.8×10 ⁵	1.8×10 ⁵	1.9×10 ⁵	M				

White—Manufacturable Solutions Exist, and Are Being Optimized
 Yellow—Manufacturable Solutions are Known
 Red—Manufacturable Solutions are NOT Known

* Parameters define limit values; independent predictors of yield, mathematically, or empirically modeled at 99% (or 95% for SOI). Limit values rarely coincide for more than one parameter. A given wafer will generally not exhibit more than one limit value “at a time;” other parameter values most likely near median value, thereby ensuring total yield for all parameters is at least 99% (or 95% for SOI).
 ** Significant gaps in metrology and wafer manufacturing equipment need to be closed on 200 mm, especially for the 130 nm node, inasmuch as 300 mm is only now being phased in and 200 mm will still be prevalent through the 130 nm node.
 *** Numerical values are for 300 mm, although 200 mm will be the dominant polished, epitaxial, and SOI wafer diameter.
 **** Edge exclusion = 3 mm is consistent with equipment and wafer fab capabilities through 2002. Reduction in the edge exclusion beyond 2002 is desirable to increase chips per wafer.

Table 49 a and b notes:

A. Targets are given for the surface concentration of carbon atoms after cleaning. The 2001 target value is based on the assumption that a 10% (7.3 x 10¹³ atoms/cm²) carbon atom coverage on a bare silicon (100) surface after cleaning can be tolerated during device fabrication. Organics/polymers are therefore modeled approximately 0.1 of a monolayer, ≤1x10¹⁴ C atom/cm². Surface organic levels are highly dependent on wafer packaging, on hydrophobic or hydrophilic wafer surface conditions, and on wafer storage conditions such as temperature, time and ambient..
 B. Front-surface microroughness ≤0.10 nm (RMS) for all CD generations; instrumentation choice, target values, and spatial frequency range (scan size) are selected based on application. Power spectral density analysis is recommended to utilize full accessible range of instruments.
 C. The oxygen concentration may be specified depending on the particulars of the IC user, generally specified in the range of 18-31 ± 2 ppma. The range of the center-point value is based on IC process requirements. The ± tolerance is the min-max range about the center-point value. The IOC '88 oxygen concentration value is obtained by multiplying the ASTM F121-79 value by 0.652 (See ASTM Test Method F1188-00 for conversion and calibration factors). METROLOGY NOTE: P/T ratios of current measurement techniques (GFA, SIMS, FTIR) for oxygen in heavily doped silicon are inadequate to assure a tolerance of ± 2 ppma. General agreement on a single calibration factor for use in the determination of oxygen by IR absorption spectroscopy is needed.
 With advanced crystal growth technologies, bulk micro defects (BMDs) can be achieved independent of the interstitial oxygen concentration. The importance of BMDs has recently again been emphasized (1). BMD density is measured using ASTM Test Method F 1239. The BMD density may be especially required in those IC fabrication cases with low thermal budget. Nitrogen doping enhances oxygen precipitation, and thus, improves gettering efficiency in low thermal budget device processes. Not all device processes, however, require the presence of BMDs. BMDs for internally gettering or not internally gettering polished wafer may be taken as > 1x10⁸/cm³ or < 1x10⁷/cm³, respectively, after IC processing, although these values are only generic as they depend on the BMD size.

D. Front surface particle or crystal originated pit (COP) size = $K_1(CD)$; $K_1 = 0.5$ for design rules smaller than 100 nm. For design rules greater or equal to 100 nm, the particle or COP size = K_{11} , where $K_{11} = 90$ nm. Optical particle counters are believed to report localized scattering event (LSE) signals low by about 10% due to PSL calibration factors which also reduce particle/COP discrimination accuracy. The relationship between actual defect size and associated LSE signal depends on defect type and scanner geometry. COPs are reported larger; metal and semiconductor particles, smaller, and dielectric particles, about the same as LSE signals. One solution is defect sizing based on defect identification. Relating defect size to yield is difficult since defects are not correctly sized. State-of-the-art LSE capability is judged to be 90 nm through 2003. The current particle size capability for SOI wafers, however, is 150-200 nm, due to the altered response in the optical metrology tools, compared to polished or epitaxial wafers.

E. The LLS requirement is specified for particles only; discrimination between particles and COPs is required. Front-surface particles modeled for 99% yield by $Y = \exp[-D_p R_p A_{transistor}]$ (2), where $A_{transistor}$ effective chip area, $A_{eff} = 2.5 * CD^2 T + (1 - a) CD^2 T / A_{chip} A_{chip} * 0.60$ and "a" is the DRAM cell fill factor (see Table 35a). The kill factor $R_p = 0.2$, although the kill factor may be larger for deep trench devices. T = number of transistors or bits/chip per technology generation. Assuming a pre-gate cleaning efficiency of 50% for particles in Surface Preparation, the particle values are accordingly increased by a factor 2. The analogous calculation for MPUs can also be made using the high-performance MPU A_{eff} as listed in the Table 32 (Short-Term and Long-Term) headers. We have listed the DRAM value as it is smaller than the MPU value. Detailed back-surface particle information is not included in Table 32, since, in practice, lithography concerns are being met by identifying back-surface particles visually, suggesting that only large defects are of impact. If desired, the calculations may be made using the following model for back-surface particle size and density. The front-surface height elevation, H, due to a back-surface particle of size, D, under a back-surface film of thickness, T, and a wafer thickness, W, may be expressed as $[(xD + xT + W) - (T + W)]$, which may be reduced to $[(xD) - (1-x)T]$, where $x = 0.6$ is the compression of the particle and back-surface film due to the pressure of the chuck on the wafer. Assuming a front-surface elevation of $2(CD)$ results in a 100% lithographic printing failure; the back-surface particle size is expressed as: $D = [(2/0.6)(CD) + (0.4/0.6)(T)]$, where CD and T are expressed in nm. In this model, T may be set equal to 100 nm, for example. Back-surface particles modeled for 99% yield: $Y = \exp[-D_p R_p A_{eff}]$ (1). $R_p = 1.0$, $A_{eff} = A_{CHIP} * 0.03 * 0.8$, where 0.03 corresponds to 3% of the chip area touching the chuck and 0.8 corresponds to 80% of the effective chip area that is degraded by effects of the back-surface particle on the front-surface de-focus effect. D_p , then, represents the density of defects allowable in visible inspection for back-side particles. The equation for the "killer" backside particle diameter strongly depends on two assumptions which are process dependent. The first is that a focal plane excursion of 2 CD is required for a 100% assured printing failure. Although a process window this wide may exist in many cases, some tightly specified exposures may be less tolerant to focal plane deviations. This would lead to a smaller particle becoming a backside killer. The second assumption is that the particles and film are both compressed to 60% of their original dimension. This assumption might not be true if the particle were made of a material much harder than the film or the particle was similar in hardness to silicon and there was no backside film (T=0). Either of these circumstances allows a smaller particle to become a possible backside killer. The back-side yield equation assumes that the entire chip is killed by a back-surface particle generating a front-surface focal plane deviation during lithography (the critical particle diameter is that value accordingly used in the equation, or larger). This occurs because a particle with diameter much smaller than the thickness of the wafer may create a bulge on the front surface up to 10 mm in diameter, so a significant portion of the field is out of focus, and the chip does not yield. A mitigating circumstance occurs if the particle is near the die edge, however, since the bulge at the die edge will tend to create only an apparent local tilt in the field which can be accommodated by a scanning stepper leveling system. This gives rise to the 80% effective degraded area.

F. The metals are empirically grouped into three classes (3,4): (a) Mobile metals which may be easily cleaned such as Na and K and may be modeled by taking the flat-band shift of a capacitance-voltage (CV) test approximately 0.5 mV for a representative 1 nm EOT; (b) metals which dissolve in silicon or form silicides such as Fe, Ni, Cu, Cr, Co, and Pt; and (c) major gate-oxide-integrity (GOI) killers such as Ca. Each of these metals is taken at a maximum value of $1 \times 10^{10}/cm^2$. Ir in class (b) and Ba and Sr in class (c) are also important but not explicitly included in the $1 \times 10^{10}/cm^2$ number at this time due to the lack of sufficient industry awareness.

G. The metric for site flatness should be matched to the type of exposure equipment used in leading edge applications. For the 130 nm technology node to the end of optical lithography, scanners will be utilized with rectangular fields (nominally 25 mm x 32 mm for 4X scanners) with slit width of 5 to 8 mm (varies tool to tool, still not standardized) and SFSR is the appropriate metric. Full-field steppers with square fields (nominally 22 x 22 mm) may still be utilized for non-critical levels although they are being phased out; in this case, SFQR is the appropriate metric. In either case, the metric value is approximately equal to the CD for dense lines (DRAM half pitch), although some IC houses deviate upwards by as much as 40% from this algorithm. Partial sites should be included. Note that flatness metrology requires sufficient spatial resolution to capture topographical features relevant for each technology node. This can be expressed as a bandwidth, defined as the upper spatial frequency corresponding to a specified attenuation level. Work is being done in a task force of the SEMI Global Silicon Wafer Committee (PRECOM-1) to validate the methodology and to determine appropriate values. The anticipated shift from capacitive to optical measurement of site flatness beyond the 100 nm node may cause a degradation in SOI flatness measurement capability, compared to polished or epitaxial wafers, analogous to the LLS case.

H. Fe consistent with recombination lifetime, τ_r , as measured by the SPV technique (for p-type material) at low injection level (5). Note that the bulk Fe concentration (at/cm^3) cannot be converted to surface concentration (at/cm^2) via wafer thickness. Recombination lifetime $\tau_r \geq (L^2)/D_n$, where L = minority-carrier diffusion length and D_n = minority-carrier diffusion coefficient at 27°C (6). The diffusion length is taken equal to the wafer thickness and the allowable lifetime is doubled to ensure a sufficient safety factor. Appropriate technique(s) to control, stabilize and passivate surface effects is required, depending on the technique (SPV, PCD, etc.), especially for a bulk lifetime greater than 20 sec. For any technique other than SPV, the injection level must be noted. No oxygen precipitation in sample, no back-side mechanical damage, and resistivity of 5-20 ohm-cm recommended.

I. OSF density empirically modeled by $K_3(CD)^{1.42}$; CD in nm; $K_3 = 2.75 \times 10^{-3}$ (7). The utilization of the OSF density relation by extension into CD regimes not envisioned in the original experimental analysis will require re-assessment. Test at 1100°C, 1 hour steam, strip oxide/etch; n-type material more difficult to control OSF.

J. Other epitaxial defects such as hillocks and mounds should also be accounted for, but an appropriate yield model is not available.

K. Desired epitaxial layer thickness tolerance is $\pm 4\%$ for a 2 to 10 μm center-point epitaxial layer thickness target value. In the case of p^-/p^- epi, the minimum epi layer thickness is designed to avoid the possible influence of bulk grown-in defects such as COPs; this consideration is less critical for p/p^+ where the COPs are significantly reduced in the p^+ substrate compared to p^- .

L. Large structural epi defects (large area defects $> 1 \mu m$ LSE signal) modeled at 99% yield where $Y = \exp[-D_{LAD} R_{LAD} A_{CHIP}]$ (2), where $R_{LAD} = 1$ and A_{CHIP} applies to DRAM and high-performance MPU as appropriate. METROLOGY NOTE: Many current generation scanning surface inspection systems (SSIS) cannot reliably size surface features with LSE signals greater than about 0.5 μm due to the light scattering characteristics of these large structural epi defects and the optical design of the tool. Further, a metrology gap clearly exists since production worthy tools are not available that can separate large structural epi defects from other features like large particles as well as identify and count epitaxial stacking faults.

M. Small structural epi defects ($\leq 1 \mu\text{m}$ LSE signal) modeled at 99% yield where $Y = \exp[-D_{SF} R_{SF} A_{CHIP}]$ (1), where $R_{SF} = 0.5$ and A_{CHIP} applies to DRAM and high-performance MPU as appropriate. Starting Materials uses the DRAM at production and the MPU high-performance MPU areas. METROLOGY NOTE: A metrology gap clearly exists since production worthy tools are not available that can identify and count small structural epi defects.

N. The silicon final device layer thickness (partially depleted) is obtained by $2 \times$ MPU gate length (with a range in nominal values of $\pm 25\%$). Range of target value refers to the center point measurement with uniformity to indicate within-wafer maximum positive or negative % deviation from the center value. The final device silicon is less than incoming material due to consumption during device fabrication. It is expected that it will be difficult to maintain the partially depleted operating mode for a planar SOI-CMOS device once the silicon approaches $\sim 50 \text{ nm}$ thickness.

O. The silicon final device thickness (fully depleted) is obtained by $0.4 \times$ MPU gate length (with a range in nominal values of $\pm 25\%$); same as the drain extension X_j (see Table 34). Range of target value refers to the center point measurement with uniformity to indicate within-wafer maximum positive or negative % deviation from the center value. The final device silicon is less than incoming material due to consumption during device fabrication.

P. The BOX thickness for fully depleted devices is taken as the MPU gate length. BOX scales with gate length to help to control short channel leakage (8). Range in nominal target value of $\pm 25\%$ allow for tradeoffs between the BOX and silicon thickness to control short channel effects in the fully depleted SOI devices. NOTE: For partially depleted SOI devices, the BOX thickness has less of a direct impact on device parameters. Considerations of BOX capacitance, circuit heat dissipation, gettering, BOX electrical integrity, SOI wafer manufacturing capabilities, wafer quality and wafer cost have driven the choice of the BOX thickness values. The BOX thickness is expected to remain between 100-200 nm for the time-frame of partially depleted SOI devices. It is expected that it will be difficult to maintain the partially depleted operating mode for a planar SOI-CMOS device once the silicon final device layer thickness approaches $\sim 50 \text{ nm}$.

Q. Large area SOI (LASOI) wafer defects with yield of 95%; $Y = \exp[-D_{LASOI} R_{LASOI} A_{chip}]$ (2), D_{LASOI} = LASOI defect density, $R_{LASOI} = 1.0$ (best present estimate).

R. Small area SOI (SASOI) wafer defects with yield of 95%; $Y = \exp[-D_{SASOI} R_{SASOI} A_{eff}]$ (2), D_{SASOI} = SASOI defect density, $R_{SASOI} = 0.2$ (best present estimate). Sources of SASOI can include COPs, metal silicides, or local SiO_2 islands in the top silicon layer. These SASOI defects may also be detected by localized light scattering (LLS) measurements (9-11).

S. Yields comparable to bulk devices have been achieved with extended crystal defects, DEC. $DEC = -\ln(0.95) / R_{ECA_{eff}}$ $R_{EC} = 0.000001$.

References

1. K. Sueoka et al., Oxygen Precipitation Behavior and Its Optimum Condition For Internal Gettering and Mechanical Strength in Epitaxial And Polished Silicon Wafers, ECS PV 2000-17, 164-179 (2000)
2. W. Maly, H.T. Heineken, and F. Agricola. "A Simple New Yield Model." Semiconductor International, number 7, 1994, pages 148-154.
3. P.W. Mertens, T. Bearda, M. Houssa, L.M. Loewenstein, I. Cornelissen, S. de Gendt, K. Kenis, I. Teerlinck, R. Vos, M. Meuris and M.M. Heynes, "Advanced Cleaning for the Growth of Ultrathin Gate Oxide," Microelectronic Engineering 48, 199-206 (1999)
4. T. Bearda, S. de Gendt, L. Loewenstein, M. Knotter, P. Mertens and M. Heyns, "Behaviour of Metallic Contaminants During MOS Processing," Solid State Phenomena, 65-66, 11-14 (1999)
5. G. Zoth and W. Bergholtz, "A Fast, Preparation-Free Method to Detect Iron in Silicon," J. Appl. Phys., 67, 6764-6771, (1990).
6. W. Shockley, Electrons and Holes in Semiconductors, p.69, Princeton: D. Van Nostrand Co., Inc. 1950.
7. M. Kamoshida. "Trends of Silicon Wafer Specifications vs. Design Rules in ULSI Device Fabrication. Particles, Flatness and Impurity Distribution Deviations." DENKA KAGAKU, number 3, 1995, pages 194-204.
8. D.K. Sadana, J. Lasky, H.J. Hovel, K. Petrillo and P. Roitman. "Nano-Defects in Commercial Bonded SOI and SIMOX." 1994 IEEE International SOI Conference Proceedings, pp. 1111-1112, Nantucket Island, MA (1994).
9. Y. Omura, S. Nakashima, K. Izumi, and T. Ishii, IEDM Tech. Digest, 0.1- μm -Gate, Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer, p. 675-678 (1991)
10. W. P. Maszara, R. Dockerty, C.F.H. Gondran and P.K. Vasudev. "SOI Materials for Mainstream CMOS Technology." in Silicon-On-Insulator Technology and Devices VIII, X. Cristoloveanu, P.L.F. Hemment, K. Izumi and S. Wilson editors, PV 97-23, pp. 15-26, The Electrochemical Society Proceeding Series, Pennington, NJ (1997).
11. H. Aga, M. Nakano and K. Mitani. "Study of HF Defects in Thin Bonded SOI Dependent on Original Wafers." Extended Abstracts of the 1998 International Conference on Solid State Devices and Materials, pp. 304-305, Hiroshima (1998).

表 49b Starting Materials Technology Requirements—Long-term

Year of Production	2010 45nm	2013 ***** 32nm	2016 22nm	Driver
DRAM 1/2 Pitch (nm)	45	32	22	D ^{1/2}
MPU/ASIC Physical Gate Length (nm)	18	13	9	M
DRAM Total Chip Area (mm ²)	181	239	238	D ^{1/2}
DRAM Active Transistor Area (mm ²)	89.5	146.9	166.1	D ^{1/2}
MPU High-Performance Total Chip Area(mm ²)	310	310	310	M
MPU High-Performance Active Transistor Area (mm ²)	26.8	26.8	26.8	M
General Characteristics * (99% Chip Yield) (A,B,C)				
Wafer diameter (mm) **	300	300	450	D ^{1/2} ,M
Edge exclusion (mm) ****	2	2	2	D ^{1/2} ,M
Front surface particle size (nm), latex sphere equivalent (D)	≥23	≥16	≥11	D ^{1/2} ,M
Particles (cm ⁻²) (E)	≤ 0.11	≤ 0.07	≤ 0.06	D ^{1/2} ,M
Particles (#/wf)	≤ 77	≤ 47	≤ 95	D ^{1/2} ,M
Critical surface metals (at/cm ²) (F)	≤ 1x10 ¹⁰	≤ 1x10 ¹⁰	≤ 1x10 ¹⁰	D ^{1/2} ,M
Site flatness (nm) (G)	≤ 45	≤ 32	≤ 22	D ^{1/2} ,M
Polished Wafer * (99% Chip Yield)				
The LLS requirement is specified for particles only; discrimination between particles and COPs is required (see General Characteristics) (D,E)				
Total bulk Fe (at/cm ³) (H)	≤ 1x10 ¹⁰	≤ 1x10 ¹⁰	≤ 1x10 ¹⁰	D ^{1/2} ,M
Oxidation stacking faults (OSF) (DRAM) (cm ⁻²) (I)	≤ 0.6	≤ 0.4	≤ 0.2	D ^{1/2}
Oxidation stacking faults (OSF) (MPU) (cm ⁻²) (I)	≤ 0.2	≤ 0.1	≤ 0.1	M
Epitaxial Wafer * (99% Chip Yield)				
Total Allowable Front Surface Defect Density is The Sum of Epitaxial Large Structural Defects, Small Structural and Particles (see General Characteristics) (J,K)				
Large structural epi defects (DRAM) (cm ⁻²) (L)	≤ 0.006	≤ 0.004	≤ 0.004	D ^{1/2}
Large structural epi defects (MPU)(cm ⁻²) (L)	≤ 0.003	≤ 0.003	≤ 0.003	M
Small structural epi defects (DRAM) (cm ⁻²) (M)	≤ 0.011	≤ 0.008	≤ 0.008	D ^{1/2}
Small structural epi defects (MPU) (cm ⁻²) (M)	≤ 0.006	≤ 0.006	≤ 0.006	M

White—Manufacturable Solutions Exist, and Are Being Optimized
 Yellow--Manufacturable Solutions are Known
 Red—Manufacturable Solutions are NOT Known

表 49b Starting Materials Technology Requirements—Long-term (continued)

Year of Production	2010 45nm	2013***** 32nm	2016 22nm	Driver
DRAM 1/2 Pitch (nm)	45	32	22	D½
MPU/ASIC Physical Gate Length (nm)	18	13	9	M
DRAM Total Chip Area (mm ²)	181	239	238	D½
DRAM Active Transistor Area (mm ²)	89.5	146.9	166.1	D½
MPU High-Performance Total Chip Area(mm ²)	310	310	310	M
MPU High-Performance Active Transistor Area (mm ²)	26.8	26.8	26.8	M
Silicon-On-Insulator Wafer* (95% Chip Yield)				
Wafer diameter (mm)	300	300	450	D½,M
Silicon final device layer thickness(Partially Depleted) (tolerance ± 5%) (nm) (N)	27-45	20-33	14-23	M
Silicon final device layer thickness(Fully Depleted) (tolerance ± 5%) (nm) (O)	5-9	4-7	3-5	M
Buried oxide (BOX) thickness(Fully Depleted) (tolerance ± 5%) (nm) (P)	14-23	10-16	7-11	M
D _L ASOI, Large area SOI wafer defects (DRAM) (cm ⁻²) (Q)	≤ 0.028	≤ 0.021	≤ 0.022	D½
D _L ASOI, Large area SOI wafer defects (MPU) (cm ⁻²) (Q)	≤ 0.017	≤ 0.017	≤ 0.017	M
D _S ASOI, Small area SOI wafer defects (DRAM) (cm ⁻²) (R)	≤ 0.287	≤ 0.175	≤ 0.154	D½
D _S ASOI, Small area SOI wafer defects (MPU) (cm ⁻²) (R)	≤ 0.956	≤ 0.956	≤ 0.956	M
D _{EC} , Extended Crystal Defects (MPU) (cm ⁻²) (S)	1.9x10 ⁵	1.9x10 ⁵	1.9x10 ⁵	M

White—Manufacturable Solutions Exist, and Are Being Optimized
 Yellow--Manufacturable Solutions are Known
 Red—Manufacturable Solutions are NOT Known

* Parameters define limit values; independent predictors of yield, mathematically or empirically modeled at 99% (or 95% for SOI). Limit values rarely coincide for more than one parameter. A given wafer will generally not exhibit more than one limit value "at a time;" other parameter values most likely near median value, thereby ensuring total yield for all parameters is at least 99% (or 95% for SOI).

** Significant gaps in metrology and wafer manufacturing equipment need to be closed on 200 mm, especially for the 130 nm node, inasmuch as 300 mm is only now being phased in and 200 mm will still be prevalent through the 130 nm node.

*** Numerical values are for 300 mm, although 200 mm will be the dominant polished, epitaxial and SOI wafer diameter.

**** Edge exclusion = 3 mm is consistent with equipment and wafer fab capabilities through 2002. Reduction in the edge exclusion beyond 2002 is desirable to increase chips per wafer.

***** International Roadmap Committee has suggested that 450 mm may be appropriate for 2013.

ウェーハ要求仕様は、各年の各パラメータに対して最先端チップの歩留り低下が 1%を越えないような値にしてある。ただし、新たに主流となる材料系とも言うべき SOI は例外と考え、歩留り低下を 5%まで許容することにし、その結果幾つかのパラメータが 2001/2002 年で黄色まで緩められ、2004 年ではじめて赤となっている。表中の値は、統計的な歩留り - 欠陥モデルから一般的に求められたものであり、算出の際には、CD (Critical Dimension)、ビット密度、トランジスタ密度、チップサイズといった項目には最先端技術のパラメータ値を用いている。得られた値の妥当性は限られたもので、前提にしている仮定とそこから得られるモデルの的確さや予測精度は時として怪しい。ナノメータデバイスサイズに象徴されるメゾスコピック時代の到来で、これらのモデルベースの値に対応するのは非常に高くつくことになるし、正当ではない場合もあるだろう。そのため、要求仕様を実現することで得られる効果とコストとの関係を詳細に再評価すると、適切な切口からモデルの適用限界が暗示されることがある。

モデルベースのパラメータ要求仕様には、ウェーハ製造工程固有のパラメータ値のばらつきは含まれていない。ウェーハ製造工程では 2 つの統計分布が見られる。厚さのような場合、パラメータ値は中央値か平均値に対して対称に分布し、良く知られた正規分布で表すことができる。ゼロが下限となるパラメータの値(たとえば、サイトフラットネス、パーティクル密度、表面金属濃度)は、普通、対数正規分布で近似することができる、言換えればパラメータ値の対数は正規分布に従う。対数正規分布は非対称性が高く、分布の上限方向に長い裾を引く。

理想的な管理方法というのであれば、IC 製造歩留りに対するスターティングマテリアル起因の歩留り低下がトータルとして1%を越えないように、欠陥の種類別に歩留り低下を割り当てるべきである。特定の欠陥による歩留り損失は、(1)パラメータ値で決まる不良率(適切な歩留りモデルで確認が必要)に、(2)そのパラメータ値を持つウェーハの割合(正規分布か対数正規分布であることの確認が必要)を掛けたものを積分することによって得られる。この方法を用いれば、受入れ可能なウェーハ要求仕様の分布を決めることができ、さらに受入れ基準としても使うことができる。この方法は許容できるパラメータ限界値の表を与えるのではなく、個々のウェーハメーカーの製品が持つパラメータ値の分布あたりに要求仕様を設定することになるだろう。この方法が受け入れられるかどうかに関する最大の障壁は歩留りモデルの正しさを確認する必要があることであるが、その歩留りモデルとは 40 年に亘る IC 製造の経験があるにもかかわらず未だに捕らえどころのない代物である。これまでの方法では、ウェーハ標準は普通"ゴールポスト"仕様(許容できる最大値/最小値を使う)で表現され、例外なくウェーハメーカーの製造コストと検査コストの上昇を招き、最終的にはウェーハユーザーの CoO 増加を招く。

ここで提案した統計分布に基づくウェーハ要求仕様の決め方は、ゴールポスト仕様に代る方法として活発に研究されている。統計に基づく要求仕様を有効なツールとするには、ウェーハメーカーのウェーハ製造プロセスが十分理解され、コントロールされ、IC メーカーの要求仕様に適応できることが必要である。

こうした課題も解決策候補技術として図 27 に示してある。ここで述べた理想が実現するまでは、最も役に立つ情報に基づいた歩留りモデルが用いられ、各パラメータの値にはそのパラメータに対応す

る歩留りが 99%になるような限界値 (SOI に対しては例外で、95%) が割り当てられることになる。特定のパラメータに関する歩留り損失が他のパラメータに関する歩留り損失よりも深刻であるというようなことはないと仮定する、言い換えると、欠陥による歩留りへの影響は統計的に独立な事象ということ仮定する。評価に使うデータが妥当なものであれば、この経験に基づく仮定から得られる要求仕様値は、前に述べたパラメータ分布に基づく設定方法で得られる限界値とあまり変わらないであろう。

多くのパラメータの許容可能値が計測技術の限界に近づいているので、ウェーハメーカと IC メーカーは、受入れ可能な製品仕様分布とコストを明確にするとともに現状レベルを保つために共同作業を増やして行くことが重要になる。IC 歩留りモデル / 欠陥モデルの開発と有効性確認が益々重要になっている。しかしながら、最も重要なことは、計測限界まで要求仕様を高めて"作りうる最高品質のウェーハ"と CoO を比較評価することではなく、高い IC 歩留りを保てる範囲でいくらか緩めの要求仕様に対して比較評価を行うことである。ここでその例をあげると、スターティングマテリアルの表面金属要求仕様とパーティクル汚染要求仕様は表面処理の表にあるゲート前洗浄の要求仕様より緩い値になっている (表 50a と b 参照)。これは、ゲート前洗浄などの IC 製造工程で得られる最低の除去効率 50% (表面の Fe 除去では 95% の報告例もある) を仮定して緩くしているためである。ウェーハメーカでのウェーハ最終表面の化学的性質 (親水性 vs. 疎水性)、出荷に使うウェーハキャリアとウェーハ表面との相互作用、保管室の湿度などは、その後の不純物やパーティクルのウェーハ表面吸着に重要な影響を及ぼすことも指摘しておく。

近年、ウェーハ表面の化学的性質に加えて物理構造が重要な関心事として浮び上がってきている。ポリッシュウェーハもエピウェーハも制御すべき固有の欠陥を有している。ポリッシュウェーハ固有の欠陥には金属や有機物の残留物、パーティクル、それに COP (crystal-originated pits) などの内部微小欠陥がある。エピウェーハ固有の欠陥は大きな構造欠陥 ($> 1 \mu\text{m}$) や小さな構造欠陥 ($< 1 \mu\text{m}$) である。ウェーハごとの特殊性があるため、スターティングマテリアルの要求仕様は異なるウェーハタイプごとに、またその固有の欠陥ごとに示す必要がある。表面欠陥の除去と抑制は、シリコンウェーハ技術における最先端の挑戦課題である。これらの欠陥を計数し、サイズを測定し、成分を分析し、形状を測定するレーザ走査式その他の計測装置の開発は、計測技術の重要な課題であり、計測の章で説明されている。全欠陥数とは、多種の欠陥の総和だということは重要なので指摘しておく。

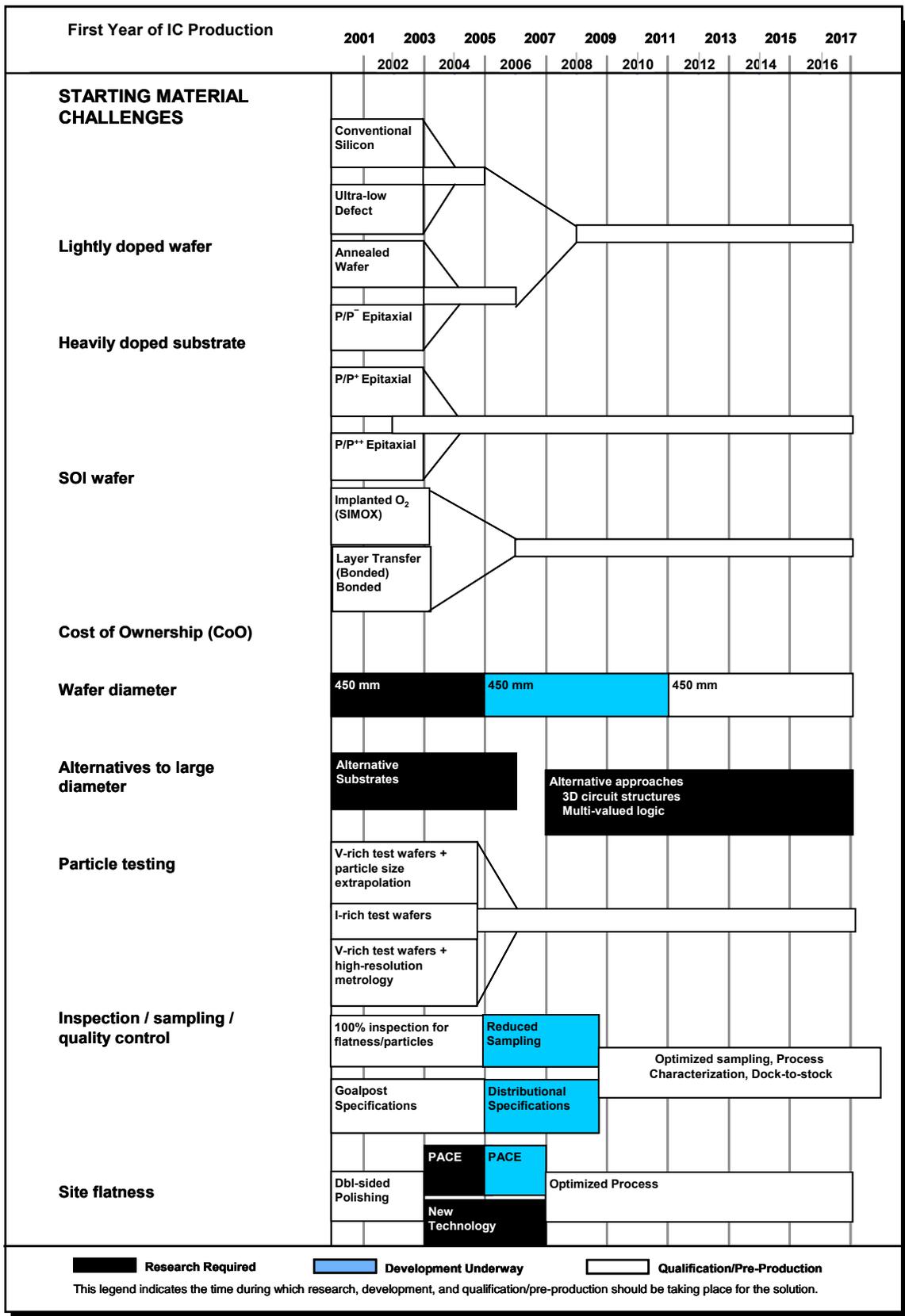
ウェーハ裏面について補足する。パーティクル汚染の低減、ウェーハフラットネスの改善、ウェーハ強度増のためにウェーハ裏面の光沢度が高くなる傾向にある。ポリッシュされたウェーハ裏面は微小な傷や搬送損傷が見えやすくなる。その結果、ウェーハ裏面のクリーン度に関する要求が強調され、ロボット搬送標準に対してより厳しい要求が出されている。しかし、スターティングマテリアル IC ユーザ調査では、裏面パーティクルによるサイトフラットネスの悪化が影響を及ぼすまでには至っていないという回答だったので、ITRS2001 では記載しないことにした。多くの外部ゲッター技術ではウェーハ裏面にゲッターリング用の多層膜を形成するが、その多層膜の不均一性によりポリッシュしたウェーハ裏面の品質が劣化し、ウェーハ表面のサイトフラットネスを劣化させる。そのような外部ゲッター技術は早晚適切ではなくなるだろう。

ポリッシュウェーハ デバイス寸法の継続的縮小により、非常に低い欠陥密度と表面の微小サイ

ズの特性変化が益々重要になってくる。しかし、最先端の結晶成長技術ではバルク中の微小欠陥 (BMD) は格子間酸素濃度とは独立に制御できる。とはいえ、制御されない SiO_x 析出物はデバイスのリーク電流増加を引き起こしそうなので、ポリッシュウェーハで内部ゲッタリングを使う場合にはこれまで以上に注意する必要がある。析出量とその均一性に対する要求仕様を満たすには、一様に内部ゲッタリング能力を持たせることが必要で、厳しいバルク欠陥制御が必要になるだろう。

結晶成長パラメータとそれに関連した点欠陥や点欠陥集合体によってゲート絶縁膜の完全性がどう影響されるかに関しては非常に多くの報告が出されている。結果として得られた欠陥密度 (D_0) は、数世代に亘る材料品質の指標として非常に有効であった。しかしながら、酸化膜換算膜厚 (EOT) が 2nm 以下のデバイスに対しては、このパラメータはもはやデバイスの歩留りや性能に対応した指標ではない。そのような考えから、欠陥密度は表 49a と b から削除した。しかし、高誘電率ゲート絶縁膜の導入に際して、今までと違うゲート前およびゲート後の表面清浄化方法を必要とするかも知れないことには注意しておくべきである。

エピウェーハ エピ材料においてゲート絶縁膜の完全性が改善されるのは、ポリッシュウェーハには残留研磨微小歪や COP・表面近傍酸素析出物などの内部微小欠陥が有るのに対して、エピウェーハでは無くなるためである。一方、エピウェーハで得られる良質のゲート絶縁膜というメリットを生かすには、エピウェーハ固有の欠陥である大小のエピ欠陥やその他の大面積欠陥を制御する必要がある。現在の応用に対しては、高濃度にドーブした p 型 Cz 基板上に薄くドーブした p 型エピ層という構造 (p/p^+ と p/p^{++}) は引き続きエピ構造の主流であり続ける。この構造では、高濃度基板は不純物ゲッタリング層 (偏析誘起型ゲッタリング) とラッチアップ抑制の目的で使用される。数 cm より高いエピ層の抵抗率の場合、 p/p^{++} 構造に対しては裏面シールが必要だろう。ポリッシュウェーハでは COP 制御という課題があるものの、 p/p^+ エピウェーハの有望な代替えとして、ポリッシュウェーハに高ドーズイオン注入でランド層 (高濃度 B 埋込層) を形成してラッチアップ耐性とゲッタリング能力を持たせる可能性が注目されている。 p/p^+ も先端 IC 応用で注目されているが、それは高濃度基板と比較して、システム容量が低減されるという効果があるからである。ただし、この場合には、偏析誘起型のゲッタリング能力がないので、酸素の役割が見直されるかもしれない。 p^+ や p^{++} に比較し p^- ではよりゆっくりと酸素析出が起こることは良く知られている。最適の酸素濃度は使用される IC 熱プロセスに強く依存しているので、最適酸素濃度を定める際には多くの要素を考慮に入れる必要がある。STI 深さがエピ厚より大きい場合には特に重要である。一方、酸素濃度と独立に制御できるバルク微小欠陥 (BMD) はより重要になるであろう。図 27 に解決策候補技術として示してあるように、これら多くのエピ構造はいくつかに統合されて行くだろう。



☒ 27 Starting Materials Potential Solutions

SOI ウェーハ SOI には高速、低消費電力、ソフトエラー耐性向上、より単純な製造プロセス、チップサイズ縮小などの可能性がある。現状の SOI 製造技術では、ポリッシュウェーハやエピウェーハに比べてウェーハ価格は割高になる。SOI を使えば、IC 製造ラインを 1 ノード先まで使うことができることは明らかにされてきており、またデバイス特性向上というメリットがあるので高価格というデメリットを凌駕できる対象には SOI を使おうとするであろう。バルク基板を用いた IC デザインの一部を直接 SOI に移すことはできるかもしれない。しかし、多くの場合、マスクセットと IC 製造プロセスの修正が必要になる。MPU、省電力、RF 信号処理など多様な今日の IC 応用にためには、広い範囲の Si 層の厚さと埋込酸化膜 (BOX) の厚さが必要になる。幾つかの SOI ウェーハベンダーはこの広い SOI 応用向けの製造に本格的に参入している。

このように多様な SOI 製造技術に応じた構造および欠陥解析、それに、SOI 特性とデバイス特性と歩留りの間の相関は重要であり続けるだろう。バルク Si やエピに比べて未成熟な SOI 材料では、SOI 特有の欠陥を理解し、デバイス特性や歩留りへの影響を実際の生産環境で明らかにすることは新たな挑戦課題である。ITRS1999 以降の知見は SOI の欠陥分類法に反映されている。シリコン層にある全ての点欠陥を分類したり、SOI ウェーハ製造方法に依存した微小ボイドやピンホールなどの BOX 欠陥を明確にする代わりに、SOI ウェーハにある大面積欠陥と微小欠陥を分類するやり方で解析した。数 μm 以上のサイズに広がる大面積欠陥にはシリコン層中のボイドと大きな接着部ボイドが含まれる。これらの大きな欠陥は、チップ歩留りに深刻な影響を及ぼすと見なすことができるので、キラー率を 100% とした。COP、金属シリサイド、シリコン中に局所的ある SiO_2 アイランドなどの微小欠陥 (数十 nm ~ 数十分の $1\mu\text{m}$) はデバイス特性にそれほど深刻な影響は無いと信じられており、低いキラー率に基づいて許容密度が計算されている。広がった結晶欠陥 (たとえば線状の転位) は、事実上低い影響度とキラー率であることを考慮し、別のパラメータとして表には残しておいた。

SOI に対する計測技術は重要な挑戦である。表に載っているパーティクルとサイトフラットネスに対する計測技術の準備状況は SOI には対応させていない。シリコン層と BOX 層による多重反射が干渉するため、ポリッシュウェーハやエピウェーハに比べると光学計測装置はその応答を変え、一般的には計測能力を悪化させる。たとえば、ポリッシュウェーハやエピウェーハに対する現時点での最小可測粒径は 90nm であるが、SOI ウェーハに対しては 150-200nm に悪化する。従って、SOI ウェーハ上のパーティクルに対する計測技術の準備状況は、100nm ノードまで黄色で、それ以降は赤となる。ウェーハサイトフラットネスの光学的測定に関しても 90nm 以降では同様の計測能力の劣化があると思われ、現状能力は白である 100nm 以降も SOI ウェーハに対しては赤になる。多種類の SOI 欠陥に対する計測技術は破壊的な化学エッチングであり、欠陥の検出はできるものの多様な欠陥種を分離することはできない。これらの多様な欠陥は起源もサイズもデバイス歩留りに対する影響も異なると思われ、従ってキラー率も違うだろう。破壊的方法だけでなく、非破壊的で短 TAT の計測方法も電気特性や SOI 材料中の構造欠陥の評価に対して必要である。

大口径ウェーハ 直径 300mm ウェーハへの転換は、IC 量産の生産性を継続的に増加させるために必要とされ、1999 年にゆっくりと始まり、2002 から 2003 年にピークを迎えると予測されている。低価格の 300mm ウェーハの供給実現は重要であるが、それと同様に、ウェーハ、キャリアおよびファクトリープロトコルに関する国際協力と標準化は、この転換を低コストかつタイムリーに達成するために

依然として重要である。低価格の結晶成長法、加工法、それにウェーハ搬送法が技術的課題であるのと同様に、低価格ウェーハ実現に向けて、ビジネス上はどれだけの効果があるかも主たる関心事である。しかしながら、IC 製造コスト構造全体に対する 300mm ウェーハの相対的比率は 200mm ウェーハに比較して少なくとも 3 倍であると指摘されており、かなりの CoO 改善が必要であることを示唆している。

300mm を越えるウェーハ直径の予想として、450mm が次世代のサイズとしては適当であろうと考えられていて、その導入時期は多分早くて 2013 年頃になる。しかし現実には、“450mm ウェーハ”という言葉は生産性増大の隠喩であり、現在のビジネスと経済成長トレンドを保ちたい産業界の要請から発せられている。450mm ウェーハへの実際の変更は、他に生産性を改善する方法が無かった場合に必要になる、というのはウェーハサイズ変更は常に経済的問題と技術的問題をはらんでいるためである。戦術的な観点から ITRS には 2 年ごとの技術サイクルが示されているが、それを維持しようとするると部分的にでも次のウェーハサイズ変更を必要とするであろう。この ITRS の戦術は、1 年ごとの技術サイクルを選択してウェーハサイズ変更を先送りする可能性をも秘めている。このような高度な ITRS の戦略の妥当性は、現在 ISEMATECH で開発中の産業経済モデル/生産性モデルを用いることにより評価できるであろう。

それはともかく、これまでのウェーハ径トレンドを外挿すると、2020 年頃に 675mm ウェーハの導入となり、そのためには 2011 年には研究を完了させる必要がある。しかし、直径が 450mm あるいは 675mm のウェーハが経済的に実現可能かどうかを判断できる段階には無い。これらの大直径化に関連する結晶成長法、加工法、ウェーハ搬送法などに関連した技術的課題はまだ膨大に有ると思われる。従来のシリコン基板技術のままだとエスカレートするであろうコストを軽減し、低価格のシリコン基板を製造するためにはパラダイムシフトが必要とされるかもしれない。選択肢の一つとして低価格の SOI ウェーハの導入が考えられる。今一つの選択肢は、工場の基板搬送とチップパッケージの要求仕様に適合させた適当な基板上にシリコン材料を製造することである。

表面処理

ウェーハの洗浄および表面処理は、新材料や新プロセスの実施に伴って進展し続けてきた。フロントエンド（FEOL：Front End of Line）においては、歴史的にゲート絶縁膜の品質を最良とすることに、研究や開発が注力されてきた。そして、これらの努力は、高誘電体ロジックゲートに移った場合にも続けられる。新しい DRAM キャパシタ材料もまた、コンパクトな表面処理プロセスが必要となる。

表面処理の技術要求を表 50a および 50b に示す。これらのデータの詳細については、補足資料に記載されている。このフロントエンドの予測は不確かである。その理由は、将来の高誘電体材料や特性が現時点では確定していないためである。しかしながら、個々の汚染に関しては、ますます厳しいレベルで注目されつづけることは明確である。さらに、有機汚染や界面の酸化膜を含む界面制御は、高誘電体ゲート絶縁膜、エピタキシャルシリコン、SiGe に重要であると予測される。ゲートに対しては、高誘電体絶縁膜では、現在の薄膜酸化膜に対して物理膜厚が増大するために、金属汚染に対する要求がなくなるかもしれない。ゲート電極は、将来はメタル電極となることが期待されているが、ゲート電極形成の後に、電極のエッチングからの残渣物は、ゲート電極材料にコンパクトな薬品を使用して取り除かれなければならない。新しい MPU や DRAM 材料は、その材料費が厳しくなっているが、高選択性のエッチング特性やプロセスに対する要求が増えるだろう。そして、これらの材料は、ESH（Environment Safety and Health）の効果を下げることなく導入されなければならない。最後に、ウェーハ裏面のパーティクルについても、ますます注意が必要となる。リソグラフィのアライメントや、洗浄機の中で隣接したウェーハ表面へのクロスコンタミに影響するためである。

表 50a 表面処理の技術要求* - 短期解

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007	DRIVE R
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65	D ½
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65	M
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35	M
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25	M
Wafer diameter (mm)	300	300	300	300	300	300	300	D ½, M
Wafer edge exclusion (mm)	3	3	1	1	1	1	1	D ½, M
<i>Front surface particles</i>								
Critical Particle Size (nm) [A]	65	58	50	45	40	35	33	D ½
Particles (cm ⁻²) [B]	0.091	0.136	0.085	0.119	0.069	0.094	0.056	D ½
Particles (#/wafer) [C]	63	94	60	83	48	66	39	D ½
Back surface particle size (nm), latex sphere equivalent [D]	250	200	200	200	200	200	200	D ½, M
Particles (cm ⁻²) [E]	0.68	0.68	0.68	0.68	0.68	0.68	0.68	MPU
Particles (#/wafer) [C]	468	468	468	468	468	468	468	MPU
Critical GOI surface metals (E+9 ions/cm ²) [F]	5.0	5.0	5.0	5.0	5.0	5.0	5.0	MPU
Critical Other surface metals (E+10 ions/cm ²) [F]	1.0	1.0	1.0	1.0	1.0	1.0	1.0	MPU
Mobile ions (E+10 ions/cm ²) [G]	1.5	2.1	2.7	2.5	3.1	2.6	2.8	D ½

Residual interface carbon contamination ($E+13$ C at/cm ²) [H]	2.6	2.1	1.8	1.5	1.3	1.1	1.0	LOP
AFM Surface Roughness nm [I]	0.20	0.20	0.20	0.20	0.20	0.20	0.20	D ½, M
Water Marks (#/wafer) [J]	<1	<1	<1	<1	<1	<1	<1	D ½
Residual interfacial oxygen (O at/cm ²) [K]	<1 E14	D ½, M						

* Requirements are listed as maximum allowable levels such that they contribute to no more than 1% yield loss.

White—Manufacturable Solutions Exist and Are Being
 Yellow--Manufacturable Solutions are Known
 Red—Manufacturable Solutions are NOT Known



Table 50a and b Notes:

- (A) The critical particle size $St = 1/2$ DRAM $1/2$ pitch.
- (B) $Y=0.99=\exp[-D_p R_p T A (CD)^2]$. For DRAM, this version replaces $T A (CD)^2$ with the effective chip area, $A_{eff}=2.5F^2 T+(1-F^2 T/A_{chip})^*0.6A_{chip}$. The kill factor, R_p , is taken as 0.2. $D_p=-\ln(0.99)/[R_p T A (CD)^2]$ for DRAMs and $D_p=-\ln(0.99)/[R_p T A (GL)^2]$ for MPUs. If a different critical Particle size (D_x) is used for measurement purposes then D_p should be adjusted by $(D_x/.5CD)^2$.
- (C) To obtain these values, the allowable particle density is multiplied by the fixed quality area [$DW=DP_p(R_{wafer-ee})^2$], and rounded to the nearest whole number.
- (D) The critical particle size is taken as the allowable step height which raises the surface out of the lithographic plane of focus. The critical size is based the budgeted portion of the total allowable DOP variation.
- (E) Backside particles are modeled for 99% Yield by $Y=\exp[-D_p R_p A_{eff}]$ (1), $R_p = 1.0$ and $A_{eff} = A_{chip} \times 0.03 \times 0.8$, where 0.03 corresponds to only 3% of the back side of the chip area touches the chuck and 0.8 corresponds to only 80% of the effective chip area is degraded by effects of the back-surface particle on the front-surface defocus effect. $D_p = -\ln(.99)/.03*.8*A_{chip}$.
- (F) In past roadmaps, metal contamination targets have been based on an empirically derived model predicting failure due to metal contamination as a function of gate oxide thickness. However, the oxides used in the experiments from which this model was derived were far thicker than gate oxide thicknesses used today. More recent data suggest an updated approach is appropriate. The metals are empirically grouped into three classes^{1, 2}: (a) Mobile metals which may be easily cleaned such as Na and K and may be modeled by taking the flat-band shift of a capacitance-voltage (CV) test less than or equal to 50 mV; (b) metals which dissolve in silicon or form silicides such as Fe, Ni, Cu, Cr, Co, and Pt; and (c) major gate-oxide-integrity (GOI) killers such as Ca. Targets for mobile ions are based on allowable threshold voltage shift from a CV test. Current targets for GOI "killers" and other metals are based on empirical data. For extrapolation to future years, there may be reason to predict less stringent targets because effects should scale with respect to physical dielectric thickness (not EOT) which will increase upon introduction of high-k gate dielectrics. However, in the absence of data to corroborate such a prediction, as well as predictions of physical dielectric thickness, the targets are left constant for future years.
- (G) Based on $Di=1/q*C_{gate}*DV*.10$, where C_{gate} is computed for electrically equivalent to SiO_2 gate dielectric thickness and DV is the allowable threshold voltage variability for this node. It is assumed that 10% of allowable shift is attributable to Di. $Di = ((3.9*8.85)/1.6)*(DV/EOT)*E+9$
- (H) Residual carbon in a gate stack resulting from organic contamination after surface preparation. Dc at the 180nm corresponded to 10% carbon atom coverage of a bare silicon wafer ($7.3E+13$ atoms/cm²). Dc for subsequent nodes were scaled linearly with the ratio of CD to 180nm. $Dc = (CD/180)(7.3E+13)$
- (I) Device channel mobility cannot be degraded >10% due to surface preparation induced surface roughness. Current technologies are successfully manufactured with AFM based determination of 0.2 nm RMS of surface micro-roughness. This RMS value is an average over the range of spatial frequencies sampled by the AFM. The surface micro-roughness that affects carrier mobility occurs at smaller spatial frequencies than those that are sampled in the typical AFM micro-roughness measurement.
- (J) Water marks are generally large enough to touch more than one die and they result in failure of each of the die they touch. Therefore a single water mark will exceed the allowable die loss of 1%. Hence the specification is <1 water mark

¹³ Mertens, P. W., "Advanced Cleaning Technology," UCPSS 2000, Ostende, Belgium, invited tutorial, pp. 31-48 (2000).

¹⁴ Mertens, P. W., et. al., "Recent Advances in Wafer Cleaning Technology," Semicon Europa Front End Technology Conference, Munich, 24 April (2001).

per wafer.

(K) Residual interfacial oxygen resulting from inadequate passivation after surface preparation. Oxygen concentrations up to $<1E+14$ atoms/cm² are acceptable for all processes until selective epitaxial for raised source/drains and high κ gates are implemented.

表 50b 表面処理の技術要求* - 長期解

YEAR OF PRODUCTION	2010	2013	2016	DRIVER
DRAM 1/2 PITCH (nm)	45	32	22	D 1/2
MPU / ASIC 1/2 PITCH (nm)	50	35	25	M
MPU PRINTED GATE LENGTH (nm)	25	18	13	M
MPU PHYSICAL GATE LENGTH (nm)	18	13	9	M
Wafer diameter (mm)	300	300	450	D 1/2, M
Wafer edge exclusion (mm)	1	1	1	D 1/2, M
<i>Front surface particle</i>				
Critical Particle Size (nm) [A]	23	16	11	D 1/2
Particles (cm ⁻²) [B]	0.056	0.034	0.030	D 1/2
Particles (#/wafer) [C]	39	24	48	D 1/2
<i>Back surface particle size (nm), latex sphere equivalent [D]</i>				
Particles (cm ⁻²) [E]	0.68	0.68	0.68	MPU
Particles (#/wafer) [F]	468	468	468	D 1/2

表面処理のチャレンジは、補足資料に記載されている。また、表面処理に関する有望解ロードマップを図 28 に示す。薬液の持つ高い金属溶解能による金属汚染の除去、ゼータ電位の制御やメガソニックを用いた力学的なエネルギーの効率的な伝達によるパーティクルの除去など、水溶液が本来持っている多くの特質を利用できるという理由で、ウェット洗浄技術は多くの支持を得ている。しかし、最先端のゲートにおいては、界面制御が可能な他の技術に対する要求が起こるかもしれない。しかしながら、効果的でダメージのないパーティクル除去や残渣物除去のための非溶液洗浄は、さらに実証されていかなければならない。ウェットにしるドライにしる枚葉洗浄は、プロセスの統合やサイクル時間の観点から、さらに実施されることが期待されているが、その使用が普及するかどうか、その時期はいつかについては未だに不確定なままである。マスクやレチクル洗浄は、欠陥密度に対する要求はウェーハレベルよりもさらに厳しくなっており、より一層の注意が必要になるだろう。

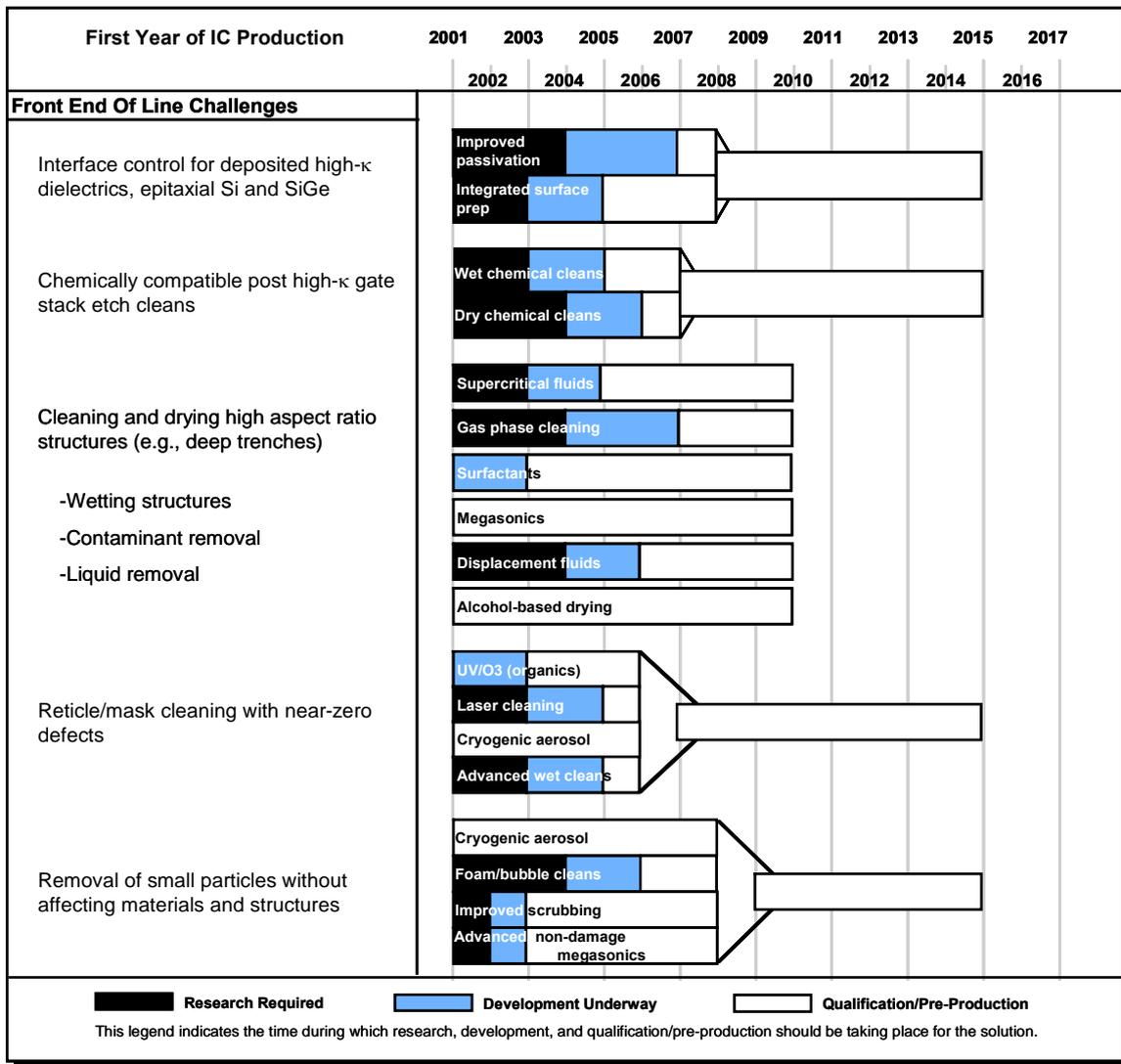


図 28 表面処理の有望解

ESH や歩留り向上のような他の技術は、表面処理技術と互いに関わり合っている。化学薬品の使用量削減、化学薬品や水のリサイクル、無害な化学薬品を採用した代替プロセスは、ESH や CoO (Cost of Ownership) に利益をもたらすことができる。また、RCA 洗浄に用いられる薬液を希釈することは、一般的になっている。オゾン水洗浄は、硫酸ベースのレジスト剥離や後洗浄の代替として実施されている。化学薬品や水の使用量削減の努力は継続されるべきである。自動化されたプロセスモニタリングや制御は、CoO についても削減でき、これらの使用が増えることは、モニタウェーハのコストが高くなる 300mm や大口径ウェーハにとって、特に期待されている。表面処理は、化学薬品や純水中の適切な純度レベルを定義することが必要なため、欠陥低減技術と互いに関わり合っている。CoO を最小にするため、革新的な純度目標値は、技術的に正当な理由がある場所でのみ採用されるべきである。表面処理の全ての分野において、プロセスと欠陥低減、コスト、環境、健康、安全性問題の両立ができる様配慮して行かねばならない。

熱プロセス / 薄膜

フロントエンドプロセスでは高い品質と均一性、欠陥がない膜の成長と堆積が求められる。これらの膜は絶縁膜、シリコンや導電体薄膜である。コスト面で見合う基板下地への精密ドーピング技術や堆積法で形成された薄膜層が望まれる。デバイスのスケールリングにより必要となるサーマルバジェットの低減に加え、この分野では他のいくつかの困難な挑戦がある。信頼性が保証された極薄(1.0nm以下)ゲート絶縁膜の形成や界面誘電層の最適化を含むゲート絶縁膜とDRAM容量絶縁膜との両方に必要な代替の高誘電率膜の抽出と開発、極浅接合デバイスへのコンタクト形成、そして空乏層がない、低抵抗率のゲート電極用代替材料の開発などがそれらである。急峻なチャンネルドーピングプロファイルの達成やサーマルバジェットが小さい状況下において、注入後の欠陥に基づくリーク電流の抑制が可能な欠陥制御や側壁形成などが他の重要な挑戦である。高いチャンネルドーピングとオーバードライブ電圧の破壊によってデバイスのドライブ電流は劣化する傾向にある。高いドライブ電流や高移動度チャンネルを維持するためにひずみ Si-Ge 層や(無歪の Si-Ge 層を伴う)ひずみ Si が初期に必要とされるであろうが、究極的には新構造の開発が必要となるであろう。あらゆる分野で CMOS と互換性のある革新的な解が必要である。これらすべてを通しての根本的課題は、閾値スケールリングやゲート絶縁膜中のトンネル、接合リークに基づく不可避なリーク電流増加である。

熱プロセス / 薄膜およびドーピング

ゲート絶縁膜は将来のデバイススケールリングに対する最も困難な挑戦のうちの一つである。表 51a や b にまとめられた要求から、酸化膜換算膜厚が実質的に 1nm 以下になることが示されている。直接トンネル電流や硼素の浸み出し現象により、膜厚が 1.5nm 程度以下になると SiO₂ は使用されなくなる。大きな許容リーク電流を有する高速動作の用途には、窒化膜の極薄化がなされるであろうが、一方では、その膜厚制御性や信頼性の限界が示されていない。厳しい許容リーク電流が要求される低消費電力用途に対しては、80nm ノードと同様な時期により高い誘電率の材料が求められるであろう。現時点では、これらの用途に対してゲート絶縁膜として安定性、信頼性が保証され、良好な界面特性を有する代替の高誘電率材料や界面は決まっていない。適当な代替ゲート絶縁膜を見出し、最適化させるために、地球規模的な研究開発の努力が精力的になされている。短期のゲート絶縁膜の解からは、極薄シリコン酸化膜、窒化膜または、窒化シリコンを使用し、製造することが求められている。このうち、窒化シリコン薄膜は硼素の浸み出し抑制能があり、7に近い適度に高い比誘電率を有する。短期有望解では、表面制御やプロセス処理前後の雰囲気制御、シリコンと両立可能な材料の開発(たとえば、ゲート電極やコンタクト)などについて厳しい要求が課せられている。同様の問題が DRAM の蓄積容量用絶縁膜にも予想され、より早いテクノロジー・ノードで発生すると思われる。

中、長期の有望解からは、その他の電気特性(安定性や界面準位密度など)や高品質ゲート SiO₂のそれに近い信頼性を有することに加えて、より高い比誘電率(中期で10以上、長期では20以上が提示されている)の材料の差別化が求められている。SiO₂以外の材料に関する主たる問題は、界面準位特性やチャンネル移動度を維持するために、今後もチャンネル界面部に極薄 SiO₂層が必要であろうと予想されているということである。しかしながら、このことは高誘電体膜採用の利点を大きく損なう、即ち酸化膜換算膜厚の増加を招くことになる。シリコン基板と高誘電率材料との間を繋ぐ1分子層の Si-O 結合が存在するために、酸化膜換算で 0.3nm 以下の薄層化は不可能であるというスケーリ

ングの物理限界を与える。また、高誘電率材料とゲート電極との間にも適切な材料が必要となるであろうことが予測されている。膜厚制御性や均一性の向上もまた300mmウェーハの閾値制御を実現するために必要不可欠である。特にゲート絶縁膜の周辺長に関連したリーク電流と密接に関係するため、イオン注入やプラズマエッチングに関連したゲート作製後やプロセス中の誘起損傷は、今後増大すると考えられる。

表 51a 熱プロセス、薄膜とエッチングの技術要求 - 短期解

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007	DRIVER
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65	DRAM
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65	MPU
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35	MPU
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25	MPU
Equivalent physical oxide thickness for MPU/ASIC T_{ox} (nm) [A]	1.3-16	1.2-1.5	1.1-1.6	0.9-1.4	0.8-1.3	0.7-1.2	0.6-1.1	MPU
Gate dielectric leakage at 100°C (nA/μm) High-performance [B]	10	30	70	100	300	700	1000	MPU
Physical gate length low power (nm)	90	80	65	53	45	37	32	LOW POWER
Equivalent physical oxide thickness for low operating power T_{ox} (nm) [A]	2.0-24	1.8-2.2	1.6-2.0	1.4-1.8	1.2-1.6	1.1-1.5	1.0-1.4	LOP
Gate dielectric leakage (pA/μm) LOP [B]	100	100	100	300	300	300	700	LOP
Equivalent physical oxide thickness for low standby power T_{ox} (nm) [A]	2.4-2.8	2.2-2.6	2.0-2.4	1.8-2.2	1.6-2.0	1.4-1.8	1.2-1.6	LSTP
Gate dielectric leakage (pA/μm) LSTP [B]	1.0	1.0	1.0	1.0	1.0	1.0	1.0	LSTP
Equivalent physical oxide thickness for DRAM transfer device T_{ox} (nm) [A]	5	4.5	4.1	3.6	3.3	3.0	2.7	DRAM
Gate dielectric leakage at 100°C (fA/μm) DRAM transfer device [B]	4.1	4.6	2.6	2.4	1.4	1.6	1.4	DRAM
Thickness control EOT (% 3σ) [C]	<± 4	<± 4	<± 4	<± 4	<± 4	<± 4	<± 4	MPU/ASIC
Gate Etch Bias (nm) [D-1]	25.2	21.2	17.8	15.0	12.6	11.2	10.0	MPU/ASIC
L_{gate} 3σ variation (nm) [D]	6.31	5.30	4.46	3.75	3.15	2.81	2.5	MPU/ASIC
Total maximum allowable lithography 3σ (nm) [D-2]	5.15	4.33	3.64	3.06	2.57	2.29	2.04	MPU/ASIC
Total maximum allowable etch 3σ (nm), including photoresist trim and gate etch [D-2]	3.64	3.06	2.57	2.17	1.82	1.62	1.44	MPU/ASIC
Resist trim maximum allowable 3σ (nm) [D-3]	2.10	1.77	1.49	1.25	1.05	0.94	0.83	MPU/ASIC
Gate etch maximum allowable 3σ (nm) [D-3]	2.50	2.10	1.77	1.48	1.32	1.18	1.05	MPU/ASIC
CD bias between dense and isolated lines [E]	≤ 15%	≤ 15%	≤ 15%	≤ 15%	≤ 15%	≤ 15%	≤ 15%	MPU/ASIC
Minimum measurable gate dielectric remaining (post gate etch clean) [F]	>0	>0	>0	>0	>0	>0	>0	MPU/ASIC
Profile control (side wall angle) [FF]	>89	>89	>89	90	90	90	90	MPU/ASIC
Drain extension X_j (nm) [G]	27-45	22-36	19-31	15-25	13-22	12-19	10-17	MPU/ASIC
Maximum drain extension sheet resistance (PMOS) (Ω/sq) [H]	400.0	460.0	550.0	660.0	770.0	830.0	760.0	MPU/ASIC
Extension lateral abruptness (nm/decade) [I]	7.2	5.8	5.0	4.1	3.5	3.1	2.8	MPU/ASIC
Contact X_j (nm) [J]	48-95	39-78	33-66	27-45	24-47	21-42	18-37	MPU/ASIC
Sidewall spacer thickness (nm) extension structure [K]	48-95	39-78	33-66	27-45	24-47	21-42	18-37	MPU/ASIC
Spacer thickness, elevated contact [L]	—	—	—	15-25	13-22	12-19	10-17	MPU/ASIC
Spacer thickness, single contact [M]	—	—	—	—	—	—	5-8.5	MPU/ASIC
Maximum silicon consumption (nm) [N]	23-46	19-38	16-32	13-26	11-23	10-20	9-18	MPU/ASIC
Silicide thickness (nm) [O]	35.8	29.2	24.8	20.4	17.6	15.4	13.8	MPU/ASIC
Contact silicide sheet R_s (Ω/sq) [P]	4.2	5.1	6.1	7.4	8.5	9.7	10.9	MPU/ASIC
Contact maximum resistivity (Ω-cm ²) [Q]	4.10E-07	3.20E-07	2.70E-07	2.10E-07	1.80E-07	1.60E-07	1.10E-07	MPU/ASIC
Gate electrode thickness [R]	65-130	53-106	45-90	37-74	32-64	30-60	25-50	MPU/ASIC
Active poly doping for 25% depletion allowance (cm ⁻³) [S]	9.2 E19	9.2 E19	1.14 E20	1.50 E20	1.66 E20	1.66 E20	1.87 E20	MPU/ASIC
Average gate electrode sheet R_s (Ω/sq) from table [T]	5	5	5	5	5	5	5	MPU/ASIC
Channel concentration for $W_{depletion} < 1/4L_{eff}$ (cm ⁻³) [U]	4.0 E18	6.0 E18	8.0 E18	1.1E 19	1.4E 19	1.6 E19	2.3 E19	MPU/ASIC
Uniform channel concentration (cm ⁻³), for $V_t=0.4$ [V]	0.8-1.5 E18	0.8-1.5 E18	1.5-2.5 E18	1.5-2.5 E18	1.5-2.5 E18	2.0-4.0 E18	2.5-5.0 E18	MPU/ASIC
Retrograde channel depth (nm) [W]	21-30	19-27	16-23	15-21	13-19	11-16	10-15	MPU/ASIC
Undoped dielectric layer thickness (nm) [X]	500	465	435	400	365	335	300	MPU/ASIC
Alkali diffusion barrier layer thickness (nm)	50	46	43	40	36	33	30	MPU/ASIC

<i>Undoped bit line dielectric layer thickness (nm) [Y]</i>	200	193	187	180	174	168	162	<i>DRAM</i>
<i>Cell dielectric layer thickness (nm) [Z]</i>	200	193	187	180	174	168	162	<i>DRAM</i>
<i>M-1 dielectric layer thickness (nm) [AA]</i>	250	242	233	225	217	210	203	<i>DRAM</i>

[A]. This number represents the effective thickness of the dielectric alone, at the maximum operating frequency of the technology, without substrate or electrode effects, and is determined through an electrical measurement of capacitance corrected for substrate (quantum) and electrode (depletion) effects. [A more detailed discussion of the measurement of EOT is on a separate workbook page.](#) The color coding of each node considers the ability of known dielectrics to meet gate leakage, uniformity, and reliability requirements. If there is no known solution to even one of these requirements for the mid-value EOT, the node is coded red. Likewise, the node can be coded yellow if a solution is being pursued for any one of these criteria. For Low Power technologies, it is expected that EOT values used by different companies could range +/- 0.2 nm, i.e., about +/- 10% for short term nodes to +/- 25% for long term nodes.

[A1] Model 1 for EOT is 0.024 times the Physical Gate length

[A2] Model 2 for EOT is the thickness that gives 8 MV/cm field if all of the power supply voltage drops across the dielectric, i.e., $V_{dd}/8MV/cm$.

[B] The gate leakage, specified at 100°C, is taken to be the same as the transistor subthreshold leakage at room temperature. This leakage is specified in the [PIDS](#) chapter section on Logic—High Performance and Low Power Technology Requirements as the off-state leakage (excluding the junction and the gate leakage components) at room temperature. Since the device subthreshold leakage is expected to increase by a factor of roughly 100x between room temperature and 100°C, the gate leakage is expected to be only about 1% of the total leakage under worst case conditions. Equating the gate leakage to the device sub-threshold leakage was assumed to be satisfactory from a circuits operation standpoint, but it should be noted that not all design approaches (companies) will allow such a high gate leakage. The gate leakage is measured on the minimum nominal device, and the specification is taken to apply to all transistor bias configurations, that is, both when $V_g = V_s = 0$ and $V_d = V_{dd}$ as well as when $V_s = V_d \gg 0$ and $V_g = V_{dd}$. Numbers for low standby power devices come from the Japan PIDS TWG. Numbers for DRAM assume all of the allowed cell leakage (in [FEP Table 52](#)) comes from the transfer device.

[B1] The areal gate leakage is modeled as the allowable gate leakage divided by the physical gate length. However, it should be noted that the total gate leakage is the sum of three leakage components: 1) leakage between the source and the gate in the gate-source overlap area, 2) leakage between the channel and the gate over the channel region, and 3) leakage between the gate and the drain in the gate-drain overlap area. The magnitude of each of these three components will depend on the gate, source, and drain biasing conditions. The color coding of leakage nodes is based on UTQUANT simulations of tunneling current from an inversion channel to the gate for the mid-point EOT. [These simulation results are given in a separate worksheet.](#) It should be emphasized that the tunneling current density will generally be much higher between the junction and gate than between an inversion channel and gate. Thus these simulations represent a best case (lowest leakage) condition, where the gate-to-junction overlap area is minimal. When oxide will meet the leakage specification, the node is coded white. Based on the literature, optimized oxynitride dielectrics are expected to have a leakage current about 100 times lower than oxide; nodes are coded yellow when optimized oxynitride is needed to meet the leakage specs. Nodes requiring alternate, high k dielectrics are coded red.

[B2] The unmanaged gate leakage power is the total static chip power that would occur if all the devices on a chip had gate leakage equal to the maximum allowable value. Power management will require the extensive use of power reduction techniques, such as power-down or multiple V_t devices to achieve an acceptable static power level.

[C] From Modeling of Manufacturing Sensitivity and of Statistically Based Process Control³
Requirements for 0.18 micron NMOS device

[D1] Bias is defined as the difference between the printed gate length and the final post-etch gate length

[D] The total gate length 3σ variation encompasses all random process variation including point to point on a wafer, wafer to wafer, and lot to lot variations. It excludes systematic variations such as lithography proximity effects, and etch variations such as CD bias between densely spaced and isolated lines. This total variability is taken to be less than or equal to 10% of the final feature size. A conventional MOS structure is the basis for these calculations. MOS transistor structures which vary in any way from the conventional structure (e.g. Vertical MOS transistors) will have different technical challenges and will not fall within these calculations. The data is computed taking into account lithographic errors during resist patterning and combined etch errors due to both resist trim and gate etch

[D2] The allowable lithography variance s_{2L} is limited to 2/3 of the total variance, s_{2T} of the combined lithography and etch processes. It is further assumed that the lithographic and etch processes are statistically independent and therefore that the total variance is the sum of the etch and lithography variances. This implies among other things that the printed features in the resist have vertical wall profiles and be sufficiently thick to with-stand the etch process with loss of dimensional fidelity.

[D3] It is assumed that the resist trim and gate etch processes are statistically independent and therefore that the respective variances, s_2 , of the two processes are additive. 1/3 of the combined trim-etch variance is allocated to the trim process, with the remaining 2/3 allocated to the etch process.

³ P. Zeitzoff and A. Tasch, "Modeling of Manufacturing Sensitivity and of Statistically Based Process Control

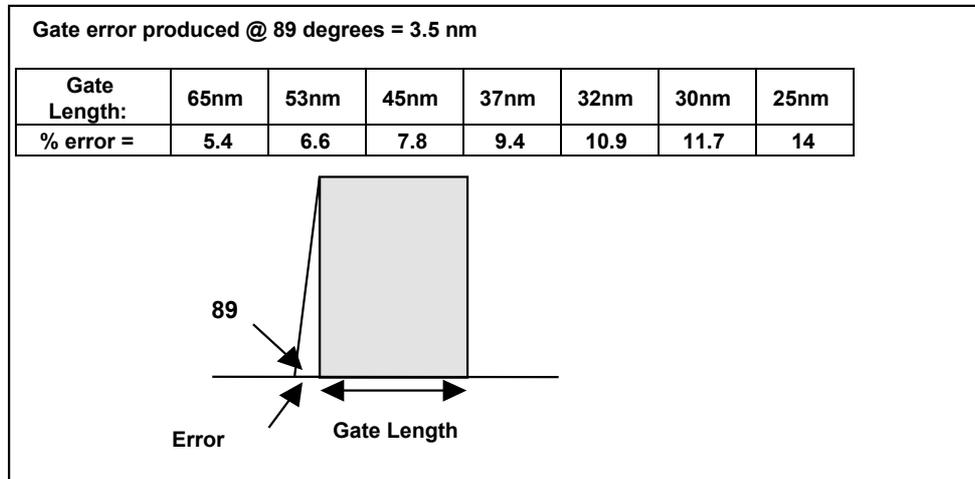
Requirements for 0.18 micron NMOS device," *Characterization and Metrology for ULSI Technology: 1998*

International Conference, D.G. Seiler, et al. eds., page 73

[E] 15% CD budget is a combination of measurements from Etch, Lithography and Metrology. By 2004 the 2nm dense-iso values achieved today will no longer be within specification. Work is currently underway to improve upon this.

[F] It is important that some dielectric remains after the gate etch clean step. Between technology nodes the dielectric thickness decreases and there is an onset of using high k materials (2004) to replace the gate dielectric. Both advances represent challenges to ensure there is an amount of remaining dielectric and the ability to measure the remaining material.

[FF] Profile can be a major contributor to etch errors (see inset). Accurate measurement of vertical profiles remains difficult. Long term, the effect of edge roughness on device performance needs to be addressed and methodology of the measurement determined.



[G] X_j at Channel (Extension Junction) = $0.55 * \text{Physical Gate Length}$ (with a range of about $\pm 25\%$).

[H] The maximum drain extension sheet resistance is modeled by allocating 7% of the allowable source and drain parasitic resistances to the drain extensions. [See worksheet of \$R_{sXj}\$](#) . The drain extension sheet resistance value must be optimized together with the contact resistance and junction lateral abruptness (which effects spreading resistance), in order to meet the overall parasitic resistance requirements.

[I] Channel abruptness is in nm per decade drop-off in doping concentration = $0.11 * \text{Isolated Line (nm)}$ - based on Short Channel effect.⁴

[J] Contact Junction Depth = $1.1 * \text{Physical Gate Length}$ (with a range of about $\pm 33\%$).

[K] Spacer thickness (width) is taken as the same as the Contact Junction Depth. Validity established using response surface methodology in "Response Surface Based Optimization of 0.1 μm PMOSFETs with Ultra-Thin Oxide Dielectrics"⁵

[L] Spacer thickness for an elevated junction (where there is no deeper contacting junction) is taken as the extension junction depth (with a range of about $\pm 25\%$)

[M] Spacer thickness for an single junction device (where the extension junction is formed after the spacer is in place) is taken to be one half of the extension junction depth (with a range of about $\pm 25\%$). Provided the lateral junction motion is $0.6 * X_j$.

[N] Silicon consumption is based on having the silicide thickness equal to half the contact junction depth

[O] Silicide thickness is taken to be $1/2$ of the center Contact X_j to avoid consumption-induced increase in contact resistivity. Less than half of the junction can be consumed.⁶

[P] Contact silicide sheet resistance: assumes 15 $\mu\text{W-cm}$ silicide resistivity, i.e., TiSi_2 or CoSi_2

⁴ Y. Taur, "25 nm CMOS Design Considerations," IEDM 1998, Technical Digest, IEEE, Dec. 1998, pages

789-792

⁵ A. Srivastava and C.M. Osburn, "Response Surface Based Optimization of 0.1 μm PMOSFETs with Ultra-Thin Oxide

Dielectrics," SPIE Proc., vol. 3506, (1998), page 253

⁶ C.M. Osburn, J.Y. Tsai and J. Sun, "Metal Silicides: Active Elements of ULSI Contacts," J. Electronic Mater.,

vol. 25(11), (1996), page 1725

[Q] The Si/Silicide maximum interfacial contact resistivity values were calculated assuming that 100% of the PIDS total allowed MOSFET Source/Drain resistance is allocated to the contact resistivity. It further that the transistor contact length is taken to be twice the MPU half pitch, where length is in the direction of current flow. Since the PIDS allocation is in terms of $R_s \times W$, The equation for the contact resistivity ρ_{oc} is: $\rho_{oc} = R_s \times W \times M$. These values should be appropriately modified if different transistor contact lengths are assumed. ([See worksheet on Contact Rs](#)). Note that this contact resistivity is the maximum allowable and cannot be used for real devices. The values of contact resistivity, drain extension sheet resistance and drain extension lateral abruptness must be co-optimized in order to meet the overall parasitic resistance requirements.

[R] Gate thickness is takes between one and two times the physical gate length

[S] [See Poly Doping worksheet](#)

[T] Gate sheet resistance taken as a constant of 5 ohm/sq for near-term nodes for circuit performance.

[T1] From the gate sheet resistance and film thickness requirements (average). Assumes metal gate at and beyond 100 nm node

[U] Drain Extension Concentration for W depletion < 1/4 Logic Half Pitch. Values were interpolated from calculations done for the 1999 ITRS.⁷

[V] Uniform channel concentration for $V_t = 0.4$.⁸ Values were interpolated from calculations done for the 1999 ITRS. Neither quantum mechanical nor potential increase in short channel effects were used in this calculations. These effects do, however, tend to offset each other. NOTE: The assumption of a constant threshold voltage of 0.4 V may not be consistent with the leakage current criteria. To reach the leakage current criteria may result in unacceptably large threshold voltages for the scaled power supplies resulting in severe performance degradation. In addition, high concentration channels could severely impact drain currents due to impurity scattering.

[W]. The retrograde well profile must be less than 0.5 times the drain extension depth to improve short channel effects.⁹
¹⁰ Values were modeled as 33% to 45% of the gate length.

[X] Assumes 10% uniformity and stress <2 E9 dyne/cm².

[Y] Assumes dielectric constant of 4, 10% uniformity, and stress <2 E9 dyne/cm². Post CMP flatness taken as <10% of initial thickness.

[Z] Assumes dielectric constant of 4, 10% uniformity and stress <2 E9 dyne/cm². Post CMP flatness taken as <15% of initial thickness.

[AA] Assumes dielectric constant of 4, 10% uniformity and stress <2 E9 dyne/cm². Post CMP flatness taken as <15% of initial thickness.

⁷ B.G. Streetman, "Solid State Electronic Devices," 4th ed., Englewood Cliffs, NJ: Prentice Hall, page 174

⁸ R. Muller and T. Kamins. Device Electronics for Integrated Circuits, New York, NY: John Wiley and Sons, Inc., 1977, page 324

⁹ S. Thompson, P. Packan, and M. Bohr, "Linear versus Saturated Drive Current: Tradeoffs in Super Steep Retrograde Engineering," VLSI Technology Digest, (1996), page 154

¹⁰ I. De and C.M. Osburn, "Impact of Super-steep-retrograde Channel Doping Profiles on the Performance of Scaled Devices," IEEE Trans. Elec. Dev., vol. 46, no.8, (1999), page 1711

表 51b 熱プロセス、薄膜とエッチングの技術要求 - 長期解

YEAR OF PRODUCTION	2010	2013	2016	DRIVER
DRAM 1/2 PITCH (nm)	45	32	22	DRAM
MPU / ASIC 1/2 PITCH (nm)	50	35	25	MPU
MPU PRINTED GATE LENGTH (nm)	25	18	13	MPU
MPU PHYSICAL GATE LENGTH (nm)	18	13	9	MPU
Equivalent physical oxide thickness for MPU/ASIC T_{ox} (nm) [A]	0.5-0.8	0.4-0.6	0.4-0.5	MPU/ASIC
Gate dielectric leakage at 100°C ($\mu A/\mu m$) High-performance [B]	3.0	7.0	10	MPU/ASIC
Physical gate length low power (nm)	22	16	11	LOW POWER
Equivalent physical oxide thickness for low operating power T_{ox} (nm) [A]	0.8-1.2	0.7-1.1	0.6-1.0	LOP
Gate dielectric leakage ($\mu A/\mu m$) LOP [B]	1000	3000	10000	LOP
Equivalent physical oxide thickness for low standby power T_{ox} (nm) [A]	0.9-1.3	0.8-1.2	0.7-1.1	LSP
Gate dielectric leakage ($\mu A/\mu m$) LSTP [B]	3.0	7.0	10.0	LSTP
Equivalent physical oxide thickness for DRAM transfer device T_{ox} (nm) [A]	1.55	1.05	0.55	DRAM
Gate dielectric leakage at 100°C ($nA/\mu m$) DRAM transfer device [B]	0.7	0.3	0.2	DRAM
Thickness control EOT (% 3σ) [C]	$\leq \pm 4$	$\leq \pm 4$	$\leq \pm 4$	MPU/ASIC
Leffective control	$\leq 20\%$	$\leq 20\%$	$\leq 20\%$	MPU/ASIC
Gate etch bias (nm) [D-1]	7.1	5.0	3.6	MPU/ASIC
L_{gate} 3σ variation (nm) [D]	1.77	1.25	0.88	MPU/ASIC
Total allowable lithography 3σ (nm) [D-2]	1.45	1.02	0.72	MPU/ASIC
Total allowable etch 3σ (nm), including photoresist trim and gate etch [D-2]	1.02	0.72	0.51	MPU/ASIC
Resist trim allowable 3σ (nm) [D-3]	0.59	0.42	0.29	MPU/ASIC
Gate etch allowable 3σ (nm) [D-3]	0.83	0.59	0.41	MPU/ASIC
CD bias between dense and isolated lines [E]	$\leq 15\%$	$\leq 15\%$	$\leq 15\%$	MPU/ASIC
Minimum measurable gate dielectric remaining (post gate etch clean) [F]	>0	>0	>0	MPU/ASIC
Profile control (side wall angle) [FF]	90	90	90	MPU/ASIC
Drain extension X_j (nm) [G]	7-12	5-9	4-6	MPU/ASIC
Maximum drain extension sheet resistance (PMOS) (Ω/sq) [H]	830.0	940.0	1210.0	MPU/ASIC
Extension lateral abruptness (nm/decade) [I]	2.0	1.4	1.0	MPU/ASIC
Contact X_j (nm) [J]	13-26	10-19	7-13	MPU/ASIC
Sidewall spacer thickness (nm) extension structure [K]	13-26	10-19	7-13	MPU/ASIC
Spacer thickness, elevated contact [L]	7-12	5-9	4-6	MPU/ASIC
Spacer thickness, single contact [M]	3.5-6	2.5-4.5	2-3	MPU/ASIC
Maximum silicon consumption (nm) [N]	6-13	5-9	3-6	MPU/ASIC
Silicide thickness (nm) [O]	9.9	7.2	5.0	MPU/ASIC
Contact silicide sheet R_s (Ω/sq) [P]	15.2	21.0	30.3	MPU/ASIC
Contact maximum resistivity ($\Omega\text{-cm}^2$) [Q]	6.40E-08	3.80E-08	2.40E-08	MPU/ASIC
Gate electrode thickness [R]	18-36	13-26	9-18	MPU/ASIC
Active poly doping for 25% depletion allowance (cm^{-3}) [S]	1.8E20	2.5E20	2.99E20	MPU/ASIC
Average gate electrode sheet R_s (Ω/sq) from Table [T]	5	6	7	MPU/ASIC
Channel concentration for $W_{depletion} < 1/4L_{eff}$ (cm^{-3}) [U]	5.0E19	1.3E20	5.0E20	MPU/ASIC
Uniform channel concentration (cm^{-3}), for $V_t=0.4$ [V]	5.0-9.0E18	0.9-1.8E19	1.5-3.0E19	MPU/ASIC
Retrograde channel depth (nm) [W]	7-10	5-7	3-5	MPU/ASIC
Undoped dielectric layer thickness (nm) [X]	300	250	200	MPU/ASIC
Alkali diffusion barrier layer thickness (nm)	30	25	20	MPU/ASIC
Undoped bit line dielectric layer thickness (nm) [Y]	146	131	118	DRAM
Cell dielectric layer thickness (nm) [Z]	146	131	118	DRAM
M-1 dielectric layer thickness (nm) [AA]	182	164	148	DRAM

White- Manufacturable Solutions Exist and Are Being
 Yellow-- Manufacturable Solutions are Known
 Red- Manufacturable Solutions are NOT Known



その他の挑戦として、ゲートリーク電流の仕様値と信頼性の要求を満たすために、許容可能な低ゲートリーク電流の達成があげられる。これらのニーズを達成するために、高誘電体には電子の直接トンネルと熱放出を抑制するために4-5eVのバンドギャップを有し、1eV以上の障壁高さがなければならない。加えて、電氣的安定性を実現するため、またFrenkel-Poole伝導を抑制するために候補となる絶縁膜は、無視できるほどの小さいトラップ密度でなければならない。最後に、ゲート電極材料やゲート電極ドーパントによるトランジスタのチャンネル部の汚染を防ぐために材料は極めて高い拡散阻止機能を有していなければならない点もあげられる。

ゲート電極もまた将来のスケーリングに対する主たる挑戦である。硼素の外方拡散や多結晶シリコンの空乏化に関連したチャンネル部のオートドーピングについては、ついにデュアルドーフトポリシリコンゲート材料の消失を余儀なくさせる。低抵抗ゲート材料のように長期解については、まだ十分に検討されているとは言えず、代替ゲート電極材料を特定し、最適化するためにまだ数年の歳月を要する。

仕事関数、抵抗率、そして CMOS 技術との両立は新ゲート電極材料候補に対してキーパラメタとなる。CMOS 技術との両立性に関しては、許容される閾値電圧を得るために PMOS と NMOS のトランジスタのゲート電極に対してそれぞれ異なるゲート材料が必要となる。即ち、PMOS トランジスタに対してはフェルミレベルがシリコンの価電子帯付近に、NMOS トランジスタに対しては伝導帯付近に位置する材料が必要となる。シート抵抗を考えると、究極的には、所望の仕事関数を得るために界面層が用いられ、またゲート全体のシート抵抗を下げるために第2層目が用いられるような金属被覆ゲート電極が必要となると考えられる。他の手段としてミッドギャップフェルミレベルが基板またはウェルバイアスと併用して用いられる SOI またはデュアルジャンクションアイソレーテドトランジスタを利用する方法がある。ゲート電極問題に関する短期の有望解は、ドーフトポリサイドゲートスタックまたは硼素ドーブの SiGe ゲート電極の改善である。ゲート絶縁膜の硼素浸入抑制(たとえば、窒化シリコンの使用)と同様に仕事関数をより完璧に制御することを達成するためにドーフトポリシリコンの活性化を積極的に推進するための開発は極めて重要である。(PIDS の章にリンク)

長期にわたって高い駆動電流を維持するために、伝統的なバルク CMOS で観測される移動度を究極的に増加させるために様々な技術的向上が求められる。NMOS に対する緩和された Si-Ge や PMOS に対する Si-Ge 上のひずみ Si などひずみチャンネル層を用いることはこの目的を達成するのに役立つであろうが、そのためには、はかり知れないプロセス最適化が必要とされるであろう。標準でないタイプの素子やダブルゲート素子など代替のデバイス構造もまた、より長期の有望解をもたらすであろう。

CMOS 構造に対する移動度向上用のチャンネルや界面層、高誘電率ゲート絶縁膜そして新しいゲート電極材料を盛り込むことは、極めて難度の高い集積化をもたらす。多くの候補材料を用いた系の熱安定性は、ゲート形成後の接合部熱処理に対して不十分である。これら新材料に対しては接合部の熱処理温度の劇的な低下もしくは、“リプレースメントゲート法”またはゲート後作りプロセスのようなゲートスタックと接合形成工程の順序入れ替えを必要とする。

これらの方法は製造における複雑さ、コストを増加させ、そして恐らくゲートと接合部の重なりが変化することによってデバイス性能や信頼性に影響を及ぼすと考えられ、従来の CMOS プロセス手順を維持するための精力的努力がなされている。

側壁スペーサは現在では、自己整合形成を容易にすることやドレインのドーパント構造最適化に加えてゲートとソース/ドレイン領域間を分離するためにも用いられている。側壁スペーサの頑強性がどれほどかによって用いられるゲート、ソース/ドレイン部の接合構造やプロセスが制約を受ける。側壁スペ

ーサは伝統的に堆積酸化膜や多結晶シリコンの熱酸化、堆積窒化膜そして、これらの様々な組み合わせによって形成されてきた。これらプロセスは、エレベーターソース/ドレインが必要となる時、即ち、エレベーターソース/ドレインか側壁スペースかの選択を迫られる時までは少なくとも用いられ続けるであろう。シングルドレインエレベーター構造は、側壁膜厚が 3-10nm の範囲にあることと直列寄生抵抗を制御するためにゲート絶縁膜のような信頼性と安定性が必要とされる。ゲートの物理長が約 20nm 以下の領域では、選択エピで形成したシリコンまたはシリサイドプロセスが用いられる場合には、最良といわれる熱酸化膜でさえも膜中に欠陥が発生しやすくなる。窒化膜や酸窒化膜は酸化膜よりも良い代替材料となるであろうが、最終的に採用されうる側壁スペースを見出し、高品質化するために更なる研究が必要である。

また、熱プロセスと薄膜は、プリメタル絶縁膜と同様にトレンチ分離の埋め込みに対しても極めて重要である。縦型トレンチ側壁や高アスペクト比のギャップ、トップとボトム部のコーナープロファイルの制御、粗密構造部分の均一埋め込みと制御は重要な項目である。

鍵となる熱/ドーピングに関する集積化事項は、浅い接合プロファイル、急峻なプロファイル、高い不純物活性化、材料の熱的両立性の確保、そしてこれら項目が如何にデバイスの電気的特性に影響するかをコントロールすることである。熱プロセス/薄膜に関する有望解ロードマップを図 29 に示す。

First Year of IC Production	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
GATE DIELECTRIC																	
Oxide Extensions																	
Modest κ (5-10)																	
Medium κ (10-20)																	
Unary Oxides																	
Silicates																	
High κ (>20)																	
Amorphous																	
Single Crystal																	
INTERFACE LAYER FOR GATE DIELECTRIC																	
Oxide extensions																	
Oxynitride, Nitride																	
Other																	
Alternate dielectric directly on Si																	
Tools and methods for dielectrics																	
PROCESS FOR INTEGRATION OF DIELECTRIC AND GATE																	
GATE ELECTRODE																	
Poly-Gate																	
Silicides on Poly																	
Silicides on Poly Si-Ge																	
Dual metal gate																	
Metal 1 for NMOS (Φ_f E _v)																	
Metal 2 for PMOS (Φ_f E _v)																	
Tools and methods for electrodes																	
NEW STRUCTURES FOR ELECTRODES AND GATES																	
HIGH MOBILITY CHANNEL MATERIALS																	

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required 

Development Underway 

Qualification / Pre-Production 

図 2 9 熱プロセス / 薄膜の有望解

ドーピング技術

ドーピング技術における、近い世代に直面する困難な課題は、極浅接合形成の従来手法をディープサブミクロン領域にまで拡大させることである。課題の本質はエクステンション接合深さの縮小と、必要な横方向の急峻さを同時に達成することにある。これらの要求値は、チャンネル抵抗の 16-35% を越えない低ソース・ドレイン寄生抵抗の要請から導かれる。(PIDS 章「Logic Technology Requirement High Performance Near-Term Table」も参照)

高濃度でありながら、より浅いソース/ドレインおよびエクステンション接合を形成し、低抵抗のコンタクト材を形成するという要求は、サリサイドプロセスに対する課題にもなる。極浅の接合にコンタクトを形成するための、他の幾つかの困難も指摘されている。10nm 程度の接合深さで 600 / (「Thermal and Thin Film Doping and Etching Requirement, FEP 表 51a, b 参照) のシート抵抗、かつ深さ方向にも横方向にも急峻な接合を得るための活性化の技術、ゲート酸化膜を通したボロン突き抜けの抑止、 1×10^{-7} - cm^2 以下の低コンタクト抵抗率なシリサイド膜と n+および p+拡散層間のコンタクトの形成、極浅接合の 2 次元不純物分布計測、必要な精度でのハロードーピング層の配置、活性濃度 $\sim 2 \times 10^{20}/\text{cm}^3$ の p+ポリシリコン電極のドーピングなどである。

65 nm 以下のノードでは、課題はより明解に「トランジスタ構造」となる。プレーナ CMOS は、high-k ゲート絶縁膜技術、デュアルメタルゲート技術、エレベートコンタクト構造を用いて、65nm 以降のノードまで延命されるかもしれない。性能目標を達成するために、プレーナ CMOS に代わって、ダブルゲート構造のような新構造トランジスタを CMOS 互換のプロセスで実現することが必要になる可能性もあり、量産の時期までに開発され検証される必要がある。新構造、プロセスにおいては、高誘電率ゲートスタックとの、温度などのプロセス互換性が要求される。ここでは、絶縁膜と互換性のある活性化の熱プロセス(活性化対誘電率)、メタルゲート電極と互換性をもつ低抵抗のコンタクト形成、高電導度即ち高活性で急峻なソース・ドレインエクステンション、チャンネル端でのエクステンションの急峻さ、メタステーブルな不純物の活性化の解明、などが課題である。これら課題の下には、しきい値スケールング、ゲート絶縁膜および接合でのトンネリングに伴って不可避となるリーク電流の増大の懸念がある。

ソース・ドレインエクステンション

短チャンネル効果の制御は、ドレインエクステンション、チャンネルおよびチャンネル端部形成のプロセスに大きな影響を与える。接合深さと寄生抵抗をともに低減する要求からエクステンションのドーピングレベルは増大が予測される。前の世代ではホットキャリア劣化を抑制するため、緩やかなプロファイルが要求されたのに対して、低電圧での動作のためにむしろ急峻な横方向のプロファイルが求められるようになる。急峻さ要求については、デバイスタイプに依存し、pMOS では、急峻さがクリティカルな値を満足しないと、そもそも細いゲート長のデバイスの実現が困難であるが、寄生抵抗低減効果は限定的であることが、感度シミュレーションから分かっている。一方、nMOS においては接合が急峻なほどソースエクステンション端での注入速度を高めることができるので、ドライブ電流を改善するために、より小さなアブラプトネス値が求められる。ドレインエクステンションシート抵抗、急峻さを導出したモデルは未だプリミティブなものであって、将来のモデルの高度化に伴って要求値も進化、変更される可能性があることに注意して欲しい。

エクステンション部の、縦方向、横方向不純物プロファイルの位置および形状をモニターするため

には、サブナノメートルの空間分解能の2次元計測手法が必要になる。表51に示されたエクステンション深さ、急峻さ、抵抗の値はpMOSのボロン接合に対するものであり、継続的なデバイス縮小に対する接合の最重要な課題である。nMOS接合に対する要求と課題はサポート資料のRsXj worksheetに詳細が示されている。

これらの課題に対しては、極低加速イオン注入、plasma immersion ion implantation(PIII)、スパイクアニールとの組み合わせ、いずれ、LTA[Laser Thermal Annealing]のような他のアニール技術が解の候補になるだろう。ロングタームでの候補には、選択エピタキシャル堆積やALEのようなドーブトレイヤーのエピタキシャル堆積法がある。(図30, Doping Potential Solutions 参照)

コンタクト

コンタクト領域をシリサイドによって接続する通常のシリサイド技術も、ソースドレインコンタクト領域でシリコン消費を継続的に減少させながら、ゲート電極のシート抵抗の低抵抗を実現するという課題をもつ。加えて、コンタクト面積の縮小に対応し、シリコン/シリサイド界面コンタクト抵抗率の低減が実現できないと、許容しがたい寄生抵抗の増大を引き起こす。許容されるコンタクト抵抗率からは、シリコン/シリサイド界面で活性不純物濃度を最大にすることが求められ、金属/半導体バリアハイトの低減が必要になる可能性もある。近い世代では、ドーピングとコンタクトシャントのプロセスの相互関連がますます強まり、材料科学の面でも革新的なCMOS互換の解が必要になってくる。当面は通常のソース・ドレインシリサイド構造を用い、コンタクト領域ドーピングの現行プロセスの改善が課題となる。

図30に示したコンタクトシャントの解の候補には、現シリサイドプロセスのスケーリングの追及、シリサイド膜の選択デポジション、犠牲シリコン膜を用いたシリサイド化、他の低抵抗金属の選択堆積がある。究極には、革新的な新しいデバイス構造の導入が必要となり、安定なコンタクトのためには、チャンネル面よりも、ソース/ドレインコンタクト面を高く持ち上げる新構造が必要になるだろう。しかしながら現在の100nm以下のノードに対応する検討は、未だ研究段階にあって、製造に使える検証には至っていない。

ポリシリコンゲート電極ドーピング

ポリシリコンゲート電極にも近い世代のスケーリングに大きな課題がある。空乏化によるゲート絶縁膜厚の実効厚さの増大やP+ポリシリコンゲート電極からチャンネル部へのボロンのオートドーピングの問題から、現在用いられているデュアルドーブポリシリコンゲートは65nmノード以降、次第に使われなくなるだろう。ポリドーピングに対する要求は、EOT要求との関係から、許容されるポリ空乏化の割合としてモデル化されている。(PIDS章)表51にEOTの25%として表現されたこの割合は、トランジスタ性能を最適化するには不足し、近い将来メタルゲートが必要になることを示唆するが、2007年以前には実現可能となりそうにない。技術候補は図30に示されている。ゲート電極の課題に対する近い世代の候補には、ドーブしたポリサイドゲートスタックの改良も含まれ、ゲート絶縁膜の候補材料のボロン突き抜け拡散耐性も極めて重要になる。空乏化を最小化し、仕事関数の精密な制御を可能にする、ゲートポリシリコン電極の活性化率を向上させる材料技術も重要な解の候補である。

チャンネル

継続的にゲート長を縮小しつつ、オフ状態のリークを許容値以下に保つ必要から、極小デバイスのチャンネルドーピングレベル増大が必要になる。横方向、縦方向双方のプロファイルがこれらの劣化防止のために制御されるが、ゲート絶縁膜薄膜化を行ってもなお、しきい値のスケーリングに伴うオフ電流の大幅な増大は避けられない。近い世代においては high-k 材料が使えず、ゲート絶縁膜が控えめにスケーリングされることから、上記の問題はより激しく劣化したものになる。これは、デバイス性能最適化のために、チャンネルドーピング技術への要求がより強まることを意味する。ハイパフォーマンスデバイスにおいては、極めて大きなサブスレッショルドリーク電流を引き起こすものの、しきい値電圧のスケーリングは必須である。加えて、ゲート酸化膜もしくはオキシナイトライド膜の膜厚はダイレクトトンネル電流が極めて大きくなる領域まで薄膜化され、オフ状態での消費電力が重要な課題となってくる。低消費電力デバイスではゲート長を控えめにスケーリングする、あるいは複数のゲート長、絶縁膜厚をチップ上で使い分けてスピード・パワーの性能を最適化するという、これらの問題に対する解が PIDS の章でも議論されている。これらの複雑化に適応して、ドーピングプロセスも改良される必要がある。より詳細な議論は PIDS の章を参照されたい。

横方向チャンネルエンジニアリングは、なおデバイス性能改善の有効な手段である。典型的には、ゲート電極形成後のチャンネル領域への斜めイオン注入によって行われる。横方向注入は SDE 端部での不純物濃度を高める。結果的に、得られるチャンネルプロファイルはデバイスのサイズに依存するようになる。小さなデバイスはより高い平均のドーピングレベルとなり、これはデバイスサイズとしきい値の関係を調整して、デバイス性能向上につながる。横方向のプロファイル制御を効果的に作用させるには、チャンネル全域に渡ってプロファイルを変化させる必要があり、50nm 以下での継続的なスケーリングにおいて、極めて困難な課題となる。

拡散によりプロファイルの急峻さが損なわれるために、横方向、縦方向双方のチャンネルプロファイルのスケーリングは極めて難しくなっている。デバイス性能向上を最大化させるには、これらのプロファイルを極めて局在化させる必要がある。Transient Enhanced Diffusion (TED) や、Boron Enhanced Diffusion (BED) のような高濃度拡散効果、熱拡散のすべてが、所望のチャンネルプロファイル形成に対応するよう管理される必要がある。急峻かつ良く制御されたチャンネルプロファイル形成には、極低温プロセスに対応したエピタキシャル成膜を必要とする可能性がある。これらの付加技術を用いたとしても、回路設計者は大きなオフ電流と大幅なドライブ電流劣化のトレードオフを勘案する必要に迫られるかもしれない。

ドーピングの技術候補は図 30 に示されている。最初の3つのセクションは急峻、極浅の接合形成手法に関する。イオン注入と熱処理の組み合わせがロードマップの第2ディケードの主流であるが、イオン注入にも熱処理にもいくつかの対抗オプションが提案されている。これらに関係するのが、"Defect Engineering" の解の候補である。この面からのアプローチは、ボロン拡散を難しいものにして TED を抑制し、急峻かつ極浅の接合形成に新たな手法を与えるかもしれない。極浅接合形成の対抗技術候補のすべてが、"Low resistance deposited and thermal doping" のカテゴリに含まれている。堆積膜を用いる技術は、ロードマップの終盤において、極浅接合に置き換わると予想される。

図30のコンタクトカテゴリでは、金属シリサイドによる SALICIDE 技術が実用レベルといえるの唯一の技術であるが、研究フェーズにある多くの技術候補が存在することが示されている。コンタクト抵抗に関する課題は極浅かつ急峻な接合の課題に匹敵する。

"Device structure"と"Channel engineering"を見ると、真に代替する解の候補が探索されていることが分かる。持ち上げソース・ドレイン型の構造を極浅・急峻な接合とコンタクト抵抗の課題に対する解として提案することは容易だが、PIDS の章で提案されているように、多数の代替デバイスが候補あり、これにより技術要求や候補の優先順位が変化する可能性がある。

First Year of IC Production	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
Shallow Junction Ion Doping	Low Energy Ion Implantation																
	Plasma Doping																
Activation of Ion Doping	Spike Anneal => Impulse Anneal																
	Laser Thermal Anneal																
	Other, e.g. Microwave, E-beam, other																
Low Resistance Deposited and Thermal Doping	Undoped -> Doped Selective Epi/Poly																
	Other, e.g. PGILD, Solid/Gas Phase Doping, MBE/ALE																
Contact	Self-Aligned Silicide, Co, Ni, alloy, Other																
	Selective Deposited Silicide																
	Sacrificial Layer Siliciding																
	Selective Deposited Metal																
	Laser Silicide Formation																
Device Structure	Conventional Planar Channel/Contact																
	Raised Source/Drain																
	Alternate Device Structures: Deposited Structures																
Channel Engineering	Normal Channel Implant																
	Super Steep Retrograde Channel																
	Abruptly Doped Epi Channel																
	Alternate, e.g. Fully Depleted SOI																
Defect Engineering	Defect and Surface Engineering and Model Development for Doping																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.
 Research Required [Black Box]
 Development Underway [Blue Box]
 Qualification / Pre-Production [White Box]

図 3 0 ドーピングの技術候補

フロントエンド・エッチング・プロセス

クリティカル・ディメンション(CD)の縮小とプロセス制御は、依然として FEP エッチング技術の鍵となる挑戦的課題である。高誘電率(high-k)のゲート絶縁膜やメタルゲートなどの新しい材料と重なって、ウェーハの大口径化(300mm)や新世代フォトレジストが、その挑戦を非常に難しいものとしている。さらに、レジスト・トリムのような他の CD 縮小技術も、単独で、もしくは光近接効果補正(OPC)や位相シフトマスク(PSM)などの高度なリソグラフィ手法と組み合わせて、生産現場で、現在使用されている。

要求される制御のレベルを達成するために、エッチング装置は、多くの根本的な設計要素を取り入れなければならない(FEP 表 51a 参照)。チャンバ設計では、相対的に低いバイアス電圧で、均一なガス分布と、特に均一なプラズマ分布を両立することが基本的に求められ、これが CD の均一性に強い影響を与える。相互に補正する効果により、均一性向上することができるかもしれないが、これは本質的にプロセス・ウインドウを狭くしてしまうため、容認できない再現性のリスクを招く。ウェーハエッジでの形状は、従来からの問題点である。エッジ形状制御はウェーハサイズには依存せず、一般的に、装置設計での大きなチャレンジの 1 つであるとみなすことができる。非常に均一なプラズマがチャンバの径方向に沿って形成されたとしても、形状の均一性を得るために、ウェーハエッジでの異常

を考慮して、エッジでの補正が必要となる。理論的には、3nm 以下レベルでの CD 制御は、さまざまな方法で達成し得るが、最終的に、垂直、滑らかなエッジ形状をし、良好な選択比制御と最小のマイクロローディングを示すダメージフリープロセスでなければならない。ダメージフリープロセスが特に重要である。これは、下地のシリコンにダメージを与えることなく、ゲートエッチングを制御して終了させることに関係している。クリティカル・ディメンションの縮小と新規ゲート絶縁膜の導入に伴い、この要求を満たすことがますます困難になっている（図 31 参照）。非常に薄いゲート絶縁膜上でのエッチストップさせるための *in situ*(イン・シチュ)エッチングモニタリング、および形状制御のためのフィード・フォワード/フィード・バック統合した測定技術は、1nm 以下の CD 制御を達成するために用いられる標準的な技術になるかもしれない。

高誘電率絶縁膜やメタルゲート構造のような新規材料に対して、すでに述べた CD 制御とエッチング特性の要求を達成しなければならない（図 31 参照）。エッチング装置とプロセスは、これらの新材料に対処するだけでなく、限られた熱安定性によって決められる新しいプロセス・インテグレーションに適合することも求められている。先進のエッチング技術を提供することを目的として多くのプラズマ源が開発されてきた。しかしながら、一般的に言って、最適な結果が得られるプラズマ密度は $\sim 10^{11}/\text{cm}^3$ の領域である。装置とプロセスの開発は、いくつかの方向性を取るようになるだろう。ECR と ICP によるプロセスの発展が継続されることが期待され、新しいゲート材料を扱うのに必要な特性が開発されるであろう。メタルゲート電極のエッチングで生じる特殊な不揮発性の副生成物に対応するように、新しいエッチング手法が求められるだろう。このような開発は、総合的な装置の強健さ、特に MTBC と MTTC に付随的な影響を与える。これらの開発は、高誘電率ゲート絶縁膜が低スタンバイ電力デバイスに必要とされる 2005 年までに完了されなければならない。メタルゲート電極エッチングプロセスと装置は、すぐに必要とされるだろう。ダメージに敏感になることに対応して、エッチングの終了時点やオーバーエッチに使用するステップとして、ケミカル・ダウンストリーム・エッチング、ニュートラム・ストリーム、または革新的なエッチング技術の研究開発が必要である。これを念頭に入れてパルス・プラズマを用いた開発が進行中である。技術的観点からではないかもしれないが、コスト的な理由に基づいて、新規ゲート材料、および進歩的なチップ・アーキテクチャからもたらされる可能性のある嚴重なダメージの要求に対応したエッチング手段を開発するべきである（図 31 参照）。

線幅は縮小するに従い、ライン端の荒さ (LER : line edge roughness) の存在は、CD やエッチングされたゲートのスロープ角度の制御に対して、ますます重大なものとなる。また、LER がゲートリークに影響を与えているといういくつかの証拠がある。リソグラフィとエッチングの両方が LER に影響を与え得る。ゲート材料、フォトレジストのタイプとエッチング・ケミストリの選択全てが、LER の程度を左右する。この量の制御ターゲットを決めるために、デバイス性能に対する LER の影響をよりよく理解しなければならない。また、関連する測定の方法と装置を開発しなければならないだろう。

プリントされた後のレジスト・トリムは、生産現場において、ゲートの物理的寸法を縮小するために、単独で、もしくはOPCやPSMなどのリソグラフィ技術に加えて用いられている。また、トリミングでは、全体を通しての形状とCDが要求値を満たすように、連続した工程で、ウエーハ内や疎密間の変動を埋め合わせを可能にする。フレキシブルなFEPエッチング装置がここでは必須である。ウエーハ上でレジストの幅を均一に縮小することに加え、レジストの高さを過度に低くしてはならないこと、また、下地ハードマスクにパターンを写す際に、選択性に関する問題が起きるであろうことに注意することが重要である。他に考慮すべき問題はコーナーのファセッティングである。全体にわたってレジストの高さが損なわれていなくても、ファセッティングが、実効的な高さを低くすることによって、必要とされる選択性を得ることをより困難にしている。現行の知識の多くは、248nmレジストタイプを用いて得られている。193nmと157nm世代では、レジスト材の厚さは著しく減少し(~700nm [248] , ~400nm [193] , ~200nm [157])、そして、これらの材料のエッチング耐性が劣っていることにより、エッチレートと選択比に関する問題を付加している。このため、課題は著しくより困難なものとなる。レジスト・トリム問題に加えて、193nmと157nmの新しいレジスト材の多くは、低温でもレティクレーション(網状のしわ)すること、構造との不整合、表面の不規則性、そして一般的な強度のために、エッチングで問題となっている。多層レジスト技術もまた、より微細な形状を下地の材料へ写すことを可能にするために、開発されている。

ゲートスタック材料の変更は、おそらく2つのフェーズで起こるのであろう。最初は、高誘電体膜の導入で、それは窒化酸化膜ゲート絶縁膜の使用ですでに始まっている。そして、次が、メタルもしくはメタルナイトライド・ゲート電極の導入である。スケーリングが進み、熱酸化膜が13nm領域まで薄膜化すると、ダイレクト・チャージ・トンネルリングにより、受け入れがたいほどのゲートリークとなる。ZrやHfオキシドなど、開発中の高誘電率ゲート材料は、そのようなリークを抑制することができる。ゲート材料とリソグラフィとの相互作用が、良いCD値を得るための極めて重大であることは、広く知られている。これら新しい高誘電率材料は、異なる化学的、そして物理的特性のため、エッチングはより困難であろう。ウェットエッチングも、困難になるであろう。なぜならば、(SiOもしくはSiN材料と比べて)膜が厚くなり、許容できないアンダーカット形状となるだろうからである。明らかに、高い誘電率のゲート絶縁膜が導入されると、新たなエッチング・チャレンジが出てくるだろう。メタルゲート電極材料もまた、CMOSインテグレーションのチャレンジを提起するのであろう。仕事関数に対する要求のために、P+ ポリシリコンの置き換え候補のメタルゲート材料(Pt, Ir, Ni, Mn, Co)は、N+ ポリシリコンを置換えるメタルゲート材料 (Ta, Zr, Hf, Ti)と異なるであろう。これらの材料は一般的に、ドーフトポリシリコンよりも揮発しにくい副生成物を出し、さらに、それぞれ別個のエッチングプロセスが求められると考えられる。従って、エッチングプロセスに関するCMOSインテグレーションはさらに困難になる。両方のゲートを同時にエッチングできるかどうかを検討しなければならない。一つの解が、選択的CMOSドーピングで使われているイオン注入マスクと同じように、保護のためのレジスト・オーバーコート/マスクの適用かもしれない。高誘電率酸化膜上でダメージフリーに止めることができ、かつデュアル・メタルゲートに対応したのエッチングが、究極のゴールである。

新しいゲート材料の導入により、欠陥の問題と直面する。欠陥密度とプラズマ・ダメージに関係するFEPエッチングに対する厳しい要求もまた満たされなければならない。現在のデバイス設計に対して、トンネル現象、ホット・エレクトロンやチャージングなどによりもたらされるプラズマ・ダメージはかなり理解されており、現在のデバイス設計と材料に関して特性が調べられている。新規材料の採用において、新しいダメージ・メカニズムに関連した新規の問題が発生するだろう(図31参照)。将来の欠陥密度の要求に応えるために、プラズマ・プロセスとエッチング手段で、非常に小さく、少数のパーティクルの発生に抑えなければならない。エッチング・ケミストリ、エッチング・チャンバのデポジション制御およびチャンバ・メンテナンスに使われるクリーニング方法において、改良が求められている。容認できるウェーハプロセス・コストと装置アップタイムに見合った範囲で、これら要求の要求を満たさなければならない。プラズマ・エッチング装置の設計とプラズマ・プロセス条件は、チャージングダメージを引き起こさないように開発されなければならない。高誘電率および(または)積層ゲート絶縁膜材料により、マルチ・ステップのエッチング・プロセスの開発が必要となる。この要求は、種々の積層材料をエッチングするために同一のエッチング・モジュールでガス・ケミストリを変更する必要性、または、メインエッチング・ステップでバルク材料をエッチングし、次に終了ステップ、さらにオーバーエッチ・ステップと続くエッチングの必要性と使い換えることができるかもしれない。事前に終点を決定できるように、インターフェロメトリーや同様の検知手法を用いることによって、メインエッチが終了する前に被エッチング材の残りの量を測定することが強く望まれる。さらに、高選択性のダメージのないプロセスが必要とされる。

浅いトレンチ分離(STI)は、100nm世代とそれ以降において、挑戦すべきインテグレーションでの課題を有している。この世代では、従来からあるトランジスタのダブルランプ効果の緩和を目的として、STIトレンチのトップコーナーを丸めるために、熱プロセスよりもエッチング技術が使用され始めている。エッチング技術によれば、活性領域に侵入することがないという利点がある。この応用において、インテグレーションでの挑戦は、トップとボトムのコナー・ラウンディング径の制御、STI壁スロープの制御、さらに高品質の酸化膜でトレンチをポイドなく埋めることである。これらの特性は、可変のSTIギャップ幅と可変のSTIパターン密度に対して、CD制御を維持した上で、コントロールされなければならない。

サイドウォール・スペーサ幅の縮小とその寸法制御は、プラズマ・エッチングのもうひとつの課題である。スペーサ幅とオーバーエッチに対する敏感さは、スペーサエッチング・プロセスの異方性だけでなく、ゲート電極形状、スペーサ絶縁膜のデポジション・プロセスの膜厚制御、そして堆積状態(コンフォーマリティ)の影響を受ける(FEP表51aとb参照)。利用可能な限られたプロセス制御データを用いて、エッチングの観点からサイドウォール・スペーサのスケラビリティを正確に評価することは難しい。ここでフィード・フォワード/フィード・バックを統合したメトロロジの活用がブレークスルーとなるであろう。

スタックキャパシタ構造を用いた将来のDRAM世代に対応して、エッチング後の効果的なエッチング残渣の除去とともに、~15:1のHigh Aspect Ratio Contact (HARC)のピア・エッチングを進展させ、導入することはきわめて困難なことである。エッチストップと浅い接合へのダ

メージを抑制して、CDと選択性を維持することが、重要な技術的挑戦となるだろう。最善のデバイス・コンタクト抵抗やリークのために、極めて浅い接合に対する微細でかつ制御されたシリコン・コンタクト・エッチングが望まれている。

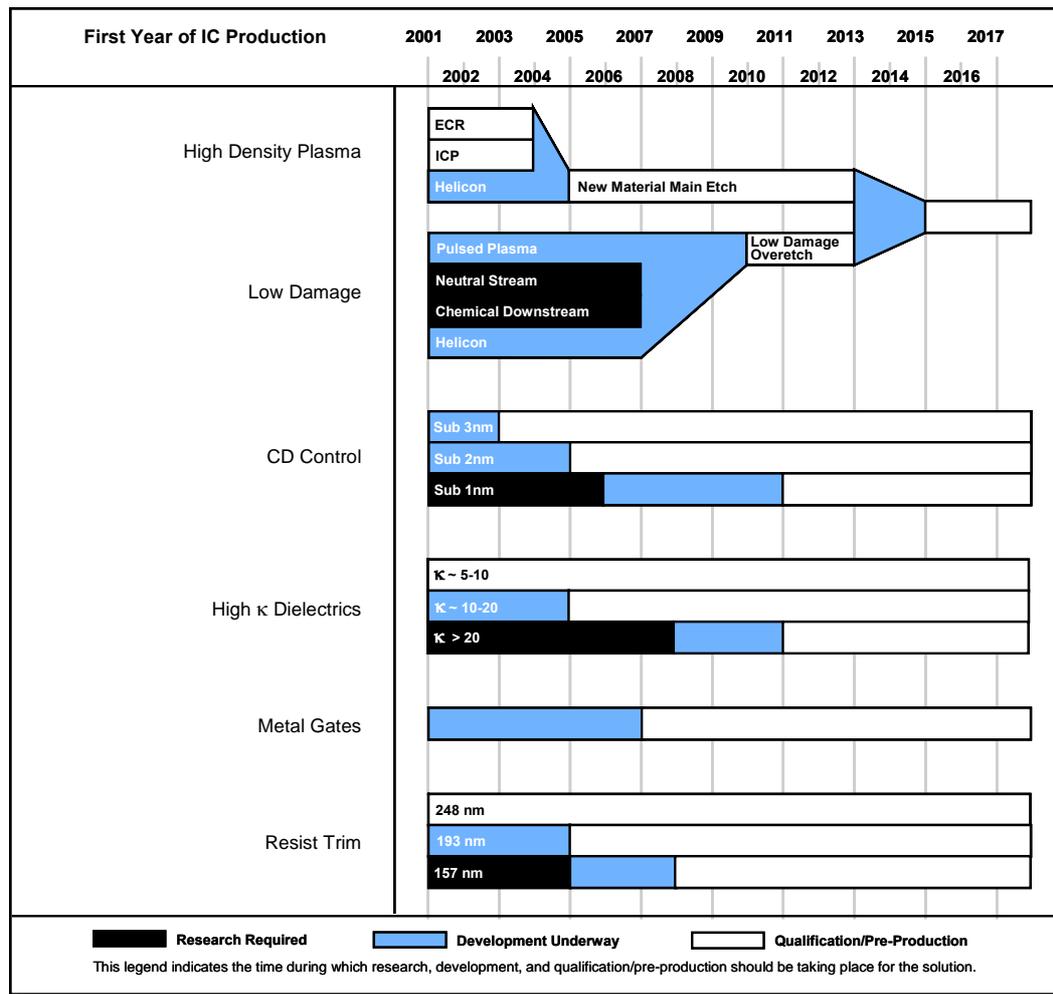


図31 フロントエンド・エッチング解決策候補

DRAM スタックキャパシタ

歴史的に、DRAM が 3 年ごとに 4 倍容量を達成したのは以下の理由による。

1. 最小加工寸法の縮小(2 倍)
2. チップサイズの拡大(約 1.4 倍)
3. セルエリアファクタとセル効率(全メモリセルエリア/チップサイズ)の改善(約 1.4 倍)

しかしながら、チップサイズの拡大経済的な理由によりは困難になっており、セルファクターの改善もレイアウトの物理的な限界が近づいている。

この結果、4 倍容量の DRAM に代わって 64 MbDRAM や 256 MbDRAM のあとに 128 Mb、512 Mb といった 2 倍容量の DRAM が出現している。表 52 をこのような状況を考慮して見直した。

DRAM キャパシタ技術は、ギガビット世代に入りキャパシタ膜並びにキャパシタ電極への新材料導入の局面を迎えている。図表 52 に汎用 DRAM のスタックキャパシタに対する技術要求を示す。DRAM のセルサイズは設計ルール以上の速度で微細化が進められており、130nm の世代では折り返しビットラインセル構造の最小面積である $8F^2$ (F : 最小加工寸法 minimum feature size)に達すると考えられる。これに対して DRAM の安定動作の確保とソフトエラー耐性を一定に保つために、キャパシタの容量値は 25fF/cell(セル)と一定に保ち続けられると仮定して各数値は計算されている。

これまでメガビット世代ではキャパシタの容量絶縁膜材料は SiO_2 / Si_3N_4 複合膜を用い、蓄積容量電極構造を 3 次元化することでこの容量を維持してきた。しかしながら、130nm の世代ではこれらの方法では上記容量値を確保することが困難となる。このために容量絶縁膜として、新たな高誘電体材料が導入され始める。まず、最初に比誘電率が 50 程度の Ta_2O_5 が採用される。

蓄積電極として従来通りのポリシリコン膜が用いられた場合、電極構造を三次元化する自由度は大きいものの Ta_2O_5 の後酸化処理時に界面にシリコン酸化膜が成長することにより実効的な比誘電率は 22 程度に減少する。一方、蓄積電極に Ru や Pt などの金属が用いられた場合、この酸化膜の介在がなくなることで Ta_2O_5 の結晶配向性が向上することにより 50 以上の比誘電率を得ることができる。(Ref. K.Kishiro, et al., Jpn. J. Appl. Phys. Vol.37(1998) pp.1336-1339) このため、130nm 世代以降は MIM(金属・絶縁膜・金属)構造が採用され始める。

プロセス中のサーマルバジェット(Thermal budget)の観点からは、キャパシタ膜を含めこれらの膜は CVD 法を基本とする 500 程度の低温で堆積されている。しかしながら、後酸化処理温度は堆積温度より高温であるため、ビット線材料に金属が用いられる場合はこの温度を 650 程度まで下げる必要がある。世代ごとに厳しくなるキャパシタ膜のリーク電流の要求を満たすために、このような低い温度で高品質な膜を形成するプロセスを開発することが困難な挑戦となる。また、バックエンドプロセスのプラズマダメージや還元雰囲気プロセスが高誘電体膜を劣化させないプロセス構築が要求される。

90nm 以降の世代では、蓄積電極や HAC (High Aspect Contact hole)のアスペクト比増大を抑えるために、比誘電率が 250 程度と高い BST 等の高誘電体材料が必要となる。

45nm の世代では、さらに BST エピタキシャル膜等の材料開発が必要と考えられる。しか

しながら、たとえ上記のような高誘電体膜材料の開発に成功しても誘電体膜形成後の蓄積電極アスペクト比が、上部電極形成プロセスの限界を超えキャパシタを形成できなくなる可能性が指摘されている。

32nm 世代でキャパシタ膜に必要な比誘電率は 1500 程度と予想される。現在の所、DRAM に適応可能な薄膜の高誘電率材料は知られていない。革新的な高誘電体材料の探索が必要である。また、この以降の世代では、適切な DRAM チップサイズを得ようとする、セルサイズは $6F^2$ 以下にする必要がある。これに対し、スタックドキャパシタではオープンビットラインセル構造を用いた $6F^2$ が最小のセル面積と考えられ、従来トレンドを維持した高集積化を続けることが困難となる。高集積化を続けるためには、材料、プロセス的なアプローチ以外にクロスポイントセルのような新しいセル構造が試される必要がある。

一方、DRAM を混載した SOC に要求されるプロセス仕様は、メモリ/ロジックの構成比により異なってくる。キャパシタ容量への要求は汎用 DRAM ほどには厳しくないと考えられる。SOC における困難な課題の一つは、コンタクトホール形成である。一般に、DRAM のコンタクトホール深さは、同世代のロジックと比べて著しく深く、極端なアスペクト比増大を避けるためホール径を拡大せざるを得ない。これにより、同世代ロジックと同じ配線ピッチを実現することが困難となる。従って、ロジックを優先させた SOC では、コンタクトのアスペクト比を低減させるため、セル面積の拡大によりキャパシタ高さを抑えるなどの工夫が必要になってくる。一方、DRAM を優先させた SOC では、DRAM のホール径に応じたロジックの配線ピッチを設定しなければならない。このトレードオフを脱却するためには、汎用 DRAM 以上に材料やデバイス構造からのブレークスルーが求められる。

図表 52(a) 汎用 DRAM のスタックキャパシタに対する技術要求

Year of Production	2001 130 nm	2002 115nm	2003 100nm	2004 90 nm	2005 80nm	2006 70nm	2007 65 nm
Minimum feature size (nm)	130	115	100	90	80	70	65
DRAM Product (A)	512M		1G		2G		4G
Cell size factor a (B)(O)	8.0	8.0	6.0	6.0	6.0	6.0	6.0
Cell size [μm^2] (C)	0.14 =0.26*0.52	0.11 =0.23*0.46	0.06 =0.2*0.3	0.049 =0.18*0.27	0.038 =0.16*0.24	0.029 =0.14*0.21	0.03 =0.13*0.2
Storage node size [μm^2] (D)	0.051 =0.13*0.39	0.040 =0.115*0.35	0.020 =0.1*0.2	0.016 =0.09*0.18	0.013 =0.08*0.16	0.010 =0.07*0.14	0.008 =0.065*0.13
Capacitor Structure	Cylinder MIS Ta_2O_5	Cylinder MIS Ta_2O_5	Pedestal MIM Ta_2O_5 (Ref. U)	Pedestal MIM Ta_2O_5 (Ref. U)	Pedestal MIM BST	Pedestal MIM BST	Pedestal MIM BST
Dielectric constant	22	22	50 Ref. U	50 Ref. U	250	300	450
SN height H [μm]	0.9	0.9	0.9	0.9	0.65	0.53	0.38
Cylinder factor (E)	1.5	1.5	1.5	1.5	1.0	1.0	1.0
Roughness factor	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Total capacitor area [μm^2]	1.48	1.30	0.87	0.72	0.32	0.23	0.16
Structural Coefficient (F)	10.9	12.3	14.5	14.8	8.5	7.9	6.2
$t_{eq@25fF}$ [nm] (G)	2.0	1.80	1.20	1.00	0.45	0.32	0.22
$t_{phy@25fF}$ [nm] (H)	5.9	4.5	15.3	12.8	28.7	24.7	25.0
A/R of SN (OUT) for cell plate depo. (I)	7.6	8.5	13.4	13.3	28.9	25.7	25.2
HAC diameter [μm] (J)	0.16	0.14	0.12	0.11	0.10	0.08	0.08
Total interlevel insulator and metal thickness except SN [μm] (K)	1.00	0.96	0.93	0.90	0.86	0.84	0.81
HAC depth [μm] (L)	1.90	1.86	1.86	1.76	1.51	1.37	1.19
HAC A/R	12.2	13.5	15.5	16.3	15.8	16.3	15.3
Vcapa. [V]	1.8	1.8	1.8	1.5	1.5	1.5	1.2
Retention time [ms] (M)	64	64	64	64	64	64	64
Leak current [fA/cell] (N)	1.05	1.05	1.05	0.88	0.88	0.88	0.70
Leak current density (nA/cm ²)	71.3	81.0	121.6	121.9	270.6	378.2	448.9
Deposition temp. [degree C]	~ 500	~ 500	~ 500	~ 500	~ 500	~ 500	< 500
Film anneal temp. [degree C]	~ 800	~ 800	~ 750	~ 750	~ 750	~ 750	< 750
Word line Rs [ohm/sq.]	5.0	3.0	2.0	2.0	2.0	2.0	2.0

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



Notes for Table35 a and b:

(A) 2001 Overall Roadmap Technology Characteristics , Table 1a and b

(B) $a = (\text{Cell size})/F^2$ (F : minimum feature size)

(C) $\text{Cell size} = a * F^2$ (Cell shorter side = 2F)

(D) $\text{SN size} = (a/2 - 1) * F^2$ (SN shorter side = F)

(E) Cylinder structure increase the capa area by a factor of 1.5.

(F) $SC = (\text{total Capa area}) / (\text{Cell size})$

(G) $t_{eq} = 3.9 * E0 * (\text{total Capa area}) / 25fF$

(H) $t_{phy} = t_{eq} * Er / 3.9$ If polysilicon is used as a bottom electrode. $t_{phy} = (t_{eq} - 1) * Er / 3.9$

(I) $A/R \text{ of SN (OUT)} = (\text{SN height}) / (F - 2 * t_{phy})$

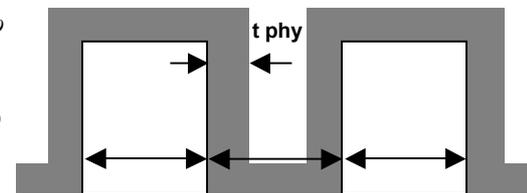
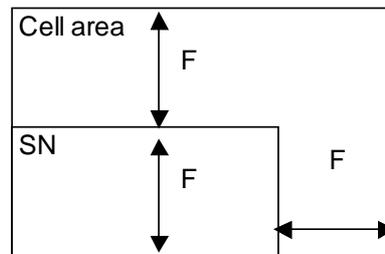
(J) $\text{HAC diameter} = 1.2 * F$ (HAC : High Aspect Contact)

(K) The thickness is assumed to be $1.05 \mu\text{m} @ 180\text{nm}$. (10% reduction by each generation)

(L) $\text{HAC depth} = \text{SN height} + \text{Total Interlevel insulator and metal thickness}$

(M) DRAM Retention time (PIDS)

(N) $(\text{Sense Limit} * C * V_{dd} / 2) / (\text{Retention Time} * \text{MARGIN})$ (Sense limit=30% leak, MARGIN=



図表 52(b) 汎用 DRAM のスタックキャパシタに対する技術要求

Year of Production	2010 45 nm	2013 32 nm	2016 22 nm
Minimum feature size (nm)	45	32	22
DRAM Product (A)	8G	32G	64G
Cell size factor a (B)(O)	6.0	4.0	4.0
Cell size [μm^2] (C)	0.012 =0.09*0.14	0.0041 =0.064*0.06	0.0019 =0.044*0.04
Storage node size [μm^2] (D)	0.004 =0.045*0.09	0.0010 =0.032*0.03	0.0005 =0.022*0.02
Capacitor structure	Pedestal MIM BST	Pedestal MIM ???	Pedestal MIM ???
Dielectric constant	800	1500	3000
SN height H [μm]	0.21	0.15	0.08
Cylinder factor (E)	1.0	1.0	1.0
Roughness factor	1.0	1.0	1.0
Total capacitor area [μm^2]	0.06	0.02	0.008
Structural coefficient (F)	5.0	4.9	3.9
teq@25fF [nm] (G)	0.08	0.028	0.010
t phy.@25fF [nm] (H)	17.2	10.7	8.0
A/R of SN (OUT) for cell plate depo. (I)	19.8	14.3	13.3
HAC diameter [μm] (J)	0.05	0.04	0.03
Total interlevel insulator and metal thickness except SN [μm] (K)	0.73	0.66	0.59
HAC depth [μm] (L)	0.94	0.81	0.67
HAC A/R	17.4	21.0	25.4
Vcapa. [V]	0.9	0.6	0.5
Retention time [ms] (M)	64	64	64
Leak current [fA/cell] (N)	0.53	0.35	0.29
Leak current density (nA/cm ²)	868.1	1738.3	3893.8
Deposition temp. [degree C]	< 500	< 500	< 500
Film anneal temp. [degree C]	~ 650	< 650	< 650
Word line Rs [ohm/sq.]	2.0	2.0	2.0

White--Manufacturable Solutions Exist, and Are Being Optimized
 Yellow--Manufacturable Solutions are Known
 Red--Manufacturable Solutions are NOT Known



Year of First Product Shipment Technology Node	2001 130 nm	2002	2003	2004 90 nm	2005	2006	2007 65 nm	2010 45 nm	2013 32 nm	2016 22 nm
Upper Electrode	metal									
High κ dielectric	ON	Ta ₂ O ₅ , Al ₂ O ₃			BST, STO		Epi-BST			
Bottom Electrode	poly-Si	metal					perovskite			

(A) Metal : Ti, TiN, W, Pt, Ru, RuO₂, IrO₂
 pp. 257-260, 1997.

(B) Perovskite : SrRuO₃; N. Fukushima et al., IEDM Technical Digest,

図表 52(c) 汎用 DRAM のスタックキャパシタの有望解

DRAM トレンチキャパシタ

図表 53a と 53b に DRAM トレンチキャパシタ技術に対する技術要求を示す。各数値はキャパシタの容量値が 35fF/cell(セル) と一定に保ち続けられると仮定して計算されている。100nm を含む世代までは、トレンチキャパシタ技術は従来通りの NO 誘電体膜の膜厚スケージングとボトル形状トレンチ等の表面積の拡大によって達成できる。ランドルールの縮小により、トレンチのアスペクト比は 100nm 世代では 60 程度に増大する。新たな high-k 材料は 90nm 世代までは必要無いと予想されている。

SoC に対しては、キャパシタが基板中に埋め込まれるトレンチキャパシタ技術では、DRAM セルアレイとロジック回路の遷移領域に段差が生じない。このため多層配線のメタル線幅の細りやリソグラフィの解像度低下の問題を回避することができる。また、深いハイアスペクトコンタクトホール化の問題も避けることができる。加えて、キャパシタ形成プロセスがトランジスタ形成に先立って行われるため、キャパシタ形成の熱サイクルによるデバイス性能の劣化を抑えることが可能である。

新しいチップサイズモデルによるセルエリアファクタのスケージングは、DRAM メモリセル各要素のレイアウトおよびそのエリアの一層の最適化を要求する。これは、従来からのプレーナ構造のトランジスタから縦方向トランジスタへの置き換えや、キャパシタ構造の更なる高アスペクト比化による蓄積電極エリアの縮小等の検討が必要となる。最終的にリソグラフィによるビットラインと、ワードラインピッチを持つ全ての DRAM 技術は、それぞれのメタルピッチの 2F で規定される理論的な限界セルサイズ $4F^2$ に達する。より小さなセルサイズファクタは多値回路や多層 DRAM などの新しい概念が必要である。このような根本的な挑戦に対して現在解は存在していない。

図表 53a DRAM トレンチキャパシタ技術に対する技術要求

Year of Production	2001 130 nm	2004 90 nm	2007 65 nm	2010 45 nm	2013 33 nm	2016 23 nm
Storage node area, top view [(DRAM 1/2 pitch) ²]	2	<2	<2	<2	<2	—
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled
Trench area enhancement factor	1.3	1.9	1.9	1.7	1.7	1.7
Capacitor dielectric equivalent oxide thickness (nm)	4.5	3.9	2.6	1.2	0.6	0.3
Trench depth [μm], (at 35fF)	8	7	6.5	5	4	3
Aspect ratio (trench depth / trench width)	45	65	80	90	100	110
Upper electrode	Poly-Silicon	Poly-Silicon	Metal/Poly-Si	Metal	Metal	Metal
Dielectric material	NO	NO	High-k	1: Epi-high-k / 2: High-k	1: Epi-high-k / 2: High-k	1: Epi-high-k / 2: High-k
Bottom electrode	Silicon	Silicon	Silicon	1: Silicon 2: Metal	1: Silicon 2: Metal	1: Silicon 2: Metal

図表 53b DRAM トレンチキャパシタ技術に対する技術要求

YEAR OF PRODUCTION	2010	2013	2016
DRAM 1/2 PITCH (nm)	45	32	22
MPU / ASIC 1/2 PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Storage node area, top view [(DRAM 1/2 pitch) ²]	<2	<2	<2
Trench structure	bottled	bottled	bottled
Trench area enhancement factor	1.7	1.7	1.7
Capacitor dielectric equivalent oxide thickness (nm)	1.2	0.6	0.3
Trench depth (μm), (at 35fF)	4.9	4	3
Aspect ratio (trench depth / trench width)	91	104	114
Upper electrode	Metal	Metal	Metal
Dielectric material	1: Epi-high-κ / 2: High-κ	1: Epi-high-κ / 2: High-κ	1: Epi-high-κ / 2: High-κ
Bottom electrode	1: Silicon	1: Silicon	1: Silicon
	2: Metal	2: Metal	2: Metal
Capacitor structure / dielectric	1: MIS / (Epi)-high-κ 2: MIM / High-κ		

White—Manufacturable Solutions Exist and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



不揮発性メモリ(フラッシュ)

フラッシュメモリは ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両テクノロジーキンググループの協力による成果である。フラッシュ型の電氣的に書き込み消去可能な読み出し専用メモリ(Flash EEPROM)等の不揮発性半導体メモリは、典型的にはフローティングゲート型のメモリセルで構成されている。即ちセルは、シリコン基板内に形成されたソース領域、ドレイン領域とチャンネル領域、および基板の上方のチャンネル領域とコントロールゲートの間形成されているフローティングゲートを含んでいる。フローティングゲートはトンネル絶縁膜(酸化膜)により基板から、Poly-Poly 間絶縁膜によりコントロールゲートから分離されている。セル内に電位差を生じさせるには、チャンネル領域を低電圧に保ったままコントロールゲートに高電圧を印加する。この電位差によりトンネル効果として知られている現象で電子がチャンネル領域からフローティングゲートに移動し、結果的にフローティングゲートが帯電する。この電子の移動はプログラミングと呼ばれる。コントロールゲートとドレインまたはチャンネル領域に反対向きの電位差が生ずると、トンネル効果でフローティングゲートからドレインまたはチャンネル領域に電子が移動するので、フローティングゲートは放電する。この電子の移動は消去と呼ばれる。

不揮発性フラッシュメモリのような半導体デバイスをスケールリングして行くには、プログラム/消去特性向上と印加電圧低減のため、トンネル絶縁膜をたゆむことなく薄くしていくことが必要である。さらにメモリセルのカップリング比の低下を避けるため、Poly-Poly 間絶縁膜の薄膜化も必要である。これらの要求に関連して最も重要な課題は、トンネル酸化膜が要求されるプログラム/消去回数に耐えられることと、デバイスの全動作条件において必要な電荷保持特性を両絶縁膜が保証できることである。

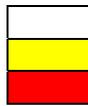
現在の技術では、両絶縁膜は主に熱形成または CVD による酸化膜を基にしているが、上で述べた絶縁膜スケールリングの際の要求事項を満足できないと考えられている。そこで、新しい技術と材料の導入が必要となる。図表 54a と 54b に示されている重要な技術的要求事項については、ITRS のフラッシュの専門家による意見が一致している。特に注意しておきたいのは、トンネル酸化膜および Poly Si - Poly Si 間絶縁膜に課題があるため、早くも 2005 年に赤い色が出現しており、高誘電体膜が必要とされる可能性があることである。現時点では、スケールリングする際の課題に対する解決策候補について国際的な意見の一致は得られていないが、ITRS の 2002 年最新版で取り扱われることが期待される。

Table 54a FLASH Non-volatile Memory Technology Requirements—Near-term

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Flash technology node (nm) [A]	150	130	115	100	90	80	70
Flash NOR tunnel oxide thickness (EOT - nm) [B]	9.5-10.5	9.5-10	9-10	9-10	8.5-9.5	8.5-9.5	8.5-9.5
Flash NAND tunnel oxide thickness (EOT - nm) [B]	8.5-9.5	8.5-9	8-9	8-9	8-9	7.5-8	7.5-8
Flash tunnel oxide thickness control EOT (% 3σ) [C]	<± 4	<± 4	<± 3.5	<± 3.5	<± 3	<± 3	<± 3
Flash tunnel oxide minimum Q _{BD} @ 1× 10 ⁻² A/cm ² (C/cm ²) [D]	0.2						
Flash tunnel oxide defectivity @ minimum Q _{BD} (def/cm ²) [E]	<0.01						

Flash tunnel low field leakage (nA/5V) [F]	100	100	100	100	100	100	100
Flash program/erase window ΔV_T (V) [G]	>3	>3	>3	>3	>3	>3	>3
Flash erase time degradation t_{max}/t_0 [H]	<2	<2	<2	<2	<2	<2	<2
Flash program time degradation t_{max}/t_0 [I]	<2	<2	<2	<2	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [J]	13-15	12-14	11-13	11-13	10-12	9-11	9-11
Flash NAND interpoly dielectric thickness (EOT-nm) [J]	14-16	13-15	12-14	12-14	12-14	11-13	10-12
Flash interpoly dielectric thickness control EOT (% 3 σ) [K]	< \pm 7	< \pm 7	< \pm 6				
Flash interpoly dielectric T_{max} of formation $t > 5'$ / $< 5'$ ($^{\circ}$ C) [L]	800 / 900	800 / 900	750 / 900	750 / 900	700 / 850	700 / 850	650 / 800
Flash interpoly dielectric conformality on floating gate EOT_{min}/EOT_{max} [M]	>0.92	>0.95	>0.95	>0.95	>0.95	>0.98	>0.98
Flash maximum charge loss 10 years @Room Temp (V) – single/dual bit (%) [N]	20 / 10	20 / 10	20 / 10	20 / 10	20 / 10	20 / 10	20 / 10

White–Manufacturable Solutions Exist and Are Being
Yellow--Manufacturable Solutions are Known
Red–Manufacturable Solutions are NOT Known



Notes for Table 54a and b:

[A] Flash devices tend to lag the current CMOS technology node. This entry provides the F value for designs in the indicated time period.

[B] Tunnel oxides must be thick enough to assure retention but thin enough to allow ease of erase/write. This difficult problem hinders scaling.

[C] Tunnel oxide thickness control must guarantee correct program/erase windows.

[D] Minimum QBD value (Constant Current Stress) to guarantee device write/erase cycling

[E] Tunnel oxide defectivity to guarantee device write/erase cycling.

[F] Leakage value to guarantee device charge retention.

[G] Between minimum and maximum values of the program/erase distributions.

[H] Time degradation after maximum specification number of write/erase cycles.

[I] Time degradation after maximum specification number of write/erase cycles.

[J] Interpoly dielectric must be thick enough to assure retention but thin enough to assure an almost constant coupling ratio. Charge retention with scaling down is the major issue.

[K] Thickness control to assure correct coupling ratio and minimum thickness for charge retention.

[L] For long (>5 min) and short (<5 min) thermal processes to avoid tunnel oxide and device degradation

[M] Uniform step coverage is important for charge retention.

[N] To assure device functionality.

Table 54b FLASH Non-volatile Memory Technology Requirements—Long-term

YEAR OF PRODUCTION	2010	2013	2016
DRAM 1/2 PITCH (nm)	45	32	22
MPU / ASIC 1/2 PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Flash technology node (nm) [A]	50	35	25
Flash NOR tunnel oxide thickness (EOT - nm) [B]	8-9	8	8
Flash NAND tunnel oxide thickness (EOT - nm) [B]	6-7	6-7	6-7
Flash tunnel oxide thickness control EOT (% 3σ) [C]	<± 2.5	<± 2.5	<± 2
Flash tunnel oxide minimum Q_{BD} @ 1×10^{-2} A/cm ² (C/cm ²) [D]	0.3	0.3	0.4
Flash tunnel oxide defectivity @ minimum Q_{BD} (def/cm ²) [E]	<0.01	<0.01	<0.01
Flash tunnel low field leakage (nA/5V) [F]	100	100	100
Flash program/erase window ΔV_T (V) [G]	>3	>3	>3
Flash erase time degradation t_{max}/t_0 [H]	<2	<2	<2
Flash program time degradation t_{max}/t_0 [I]	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [J]	8-10	6-8	4-6
Flash NAND interpoly dielectric thickness (EOT-nm) [J]	10-12	9-11	9-11
Flash interpoly dielectric thickness control EOT (% 3σ) [K]	<± 5	<± 5	<± 5
Flash interpoly dielectric T_{max} of formation $t > 5'$ / $< 5'$ (°C) [L]	600 / 750	600 / 700	600 / 700
Flash interpoly dielectric conformality on floating gate EOT_{min}/EOT_{max} [M]	>0.98	>0.98	>0.98
Flash maximum charge loss 10 years @Room Temp (V) - single/dual bit (%) [N]	20 / 10	20 / 10	20 / 10

White—Manufacturable Solutions Exist and Are Being

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



強誘電体メモリ (FeRAM)

FeRAM は ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両テクノロジーワーキンググループの協力による成果である。このロードマップは学会発表論文その他の情報源、および FeRAM 研究者からの最新情報を用いて準備され、ITRS の FeRAM 専門家による査読とコメントを得て最終版となった。

歴史的には、FeRAM は半導体メモリよりもっと早く提案されている。²⁵ しかしながら、強誘電体膜の信頼性に制限があり、キャパシタ形成が難しいため、現時点ではメモリ容量は汎用 DRAM の 500 分の 1 程度でしかない。FeRAM は、たゆまなく行われている強誘電膜等の材料開発に大きく依存するので、ここでの予測はどうしてもある程度推測的にならざるを得ない。それでもなお、技術の方向性と解決されるべき課題に関する戦略的な概観を示すため、このロードマップは 2001 年から 2016 年ま

²⁵ J. L. Moll and Y. Tarui, *IEEE Trans. Electron Devices*, ED10, 338, 1963.

で取り扱っている。この節では次の項目を論じた。即ち、1)メモリ容量、2)セルサイズ、3)強誘電体材料、そして4)最小スイッチング電荷の見積り、である。

メモリ容量

長期的には、メモリ容量の伸びはテクノロジー・ノードが 0.7 倍になるのに伴って、3 年ごとに 4 倍になると予測される。現在は FeRAM のプロセス技術は最先端メモリより大きく遅れている。従って、短期的(2001-2004 年)には FeRAM の微細化は加速度的に進むと予測され、毎年テクノロジー・ノードが 0.7 倍でメモリ容量が 4 倍になる。この微細化の結果、64Mb の汎用メモリは 16Mb の混載メモリとともに、180nm の技術を用いて 2004 年に現れると予測される。混載メモリの容量は応用に大きく依存するが、ここでは予測した全期間を通じて汎用メモリの 4 分の 1 であると仮定した。図表 55a と 55b を参照されたい。

上述した短期的に毎年スケールリングされて行くペースは 2005 年に中断され、2004 年と同じ 180nm ノードのまま、またメモリ容量もそのままとなる。このペースが遅くなるという予測は、新しい強誘電材料が導入され、製造工程がずっと複雑になると考えられることを反映している。2004-2006 年の一時的な休止の後スケールリングが加速され、256Mb のデバイスが 130nm の技術で作られる。その後、3 年ごとに容量が 4 倍、縮小率が 0.7 倍という長期的なスケールリングの速度が維持される。

セルサイズ

セルサイズに関しては 2 つの要因を考慮する必要がある。最初のもはセル構造である。1トランジスタ-キャパシタ(1T-1C)型のセルが 2002 年に現れ、安定なデータの読み出しを保証するために今の所必要な、現行の 2T-2C 型セルを置き換えると思われる。この結果セルサイズは 60%に縮小されると予想される。1T-1C 型は大容量の FeRAM を現実のものにするためには絶対条件の構造である。2 番目の要因はキャパシタ構造である。現在の平面キャパシタ型からスタック型構造に 2003 年に変更されると予測されるが、その結果セルが小さくなり、さらに 60%となると予想される。通常のスタック型ではもはや必要な最小スイッチング電荷が得られないため、3次元(3D)型のキャパシタは 2007 年に出現すると仮定した。キャパシタ構造の違いについては図表 55a に図示してある。セルサイズファクター(a)は 2001 年で 60 とまだかなり大きい(セルサイズは aF^2 であり、ここで F は最小寸法である)。上述したセル構造とキャパシタ構造の変更によりセルファクター a は 2005-2007 年に 10 となり、それ以降 2010-2016 年の期間は一定で 8 となる。最先端の DRAM 技術の経験に学ぶことにより、さらに小さな 6 等の値も現れる可能性がある。

強誘電体材料の選択肢

現在数種類の強誘電体材料が評価されている。この膜は本デバイスの最も重要な特性を決めるものであるが、現時点では決定的な材料はまだない。現時点で優劣を争っている材料は 2 つある。

PZT、即ち $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ と SBT、即ち $\text{SrBi}_2\text{Ta}_2\text{O}_9$ である。SBT は Pt の下部電極を用いた場合エンデュランス(読み書きの繰り返しに対する耐性)が優れており、抗電解 (E_c) も小さいので低電圧動作に向いている。そのため SBT は PZT (最初に生産で使用された) を置き換えるものと有望視された。しかしながら、PZT に比べて SBT は単位面積あたりのスイッチング電荷 Q_{sw} が小さいため、スケーリングした時に最小スイッチング電荷を確保するのが難しくなる。また、膜形成以降のプロセスにより生ずる膜質劣化のため、置き換えが困難となる可能性がある。さらにインプリント特性は PZT の方が優れているという報告もある(インプリントは、メモリキャパシタで繰り返しデータ書き換えをすると、分極が反転しづらくなることと定義される)。

PZT 膜と SBT 膜の最も重要な課題は、酸素欠損に起因するとされている膜質の劣化を抑制すること、安定したデータの読み書きを達成すること、それにデータ保持である。FeRAM を混載する場合にもプロセスの改善が必要である。強誘電体膜を結晶化するための高温酸素アニール後に、高温アニールや膜への水素侵入を避けることが重要である。たとえば、金属配線工程の後で低温 MOCVD により強誘電体膜を形成し高温アニールを避けたり、水素バリア層を使用したりする。また、 IrO_2 や SrRuO_3 (SRO) のような導電性酸化物は、強誘電体膜質が改善されるため、しばしばキャパシタ電極に用いられる。

物理的蒸着 (PVD) や Sol-Gel 法を含む化学溶液法 (CSD) は誘電体膜作成に現在もっともよく使用されている製法である。しかしながら、スケーリングを継続して行くには、MOCVD 等のもっとステップカバレッジの良い製法に移行していく必要がある。

キャパシタ電極の RIE によるエッチングは極めて難しい。適切な電極材料のほとんどが揮発性のエッチング生成物を持たないのがその理由である。そのためスパッタによる加工が広く用いられているが、CD (Critical Dimension) の制御に限界があり、スケーリングが難しくなる。これを解決するためハードマスクを使用した RIE が開発されている。

2005 年以降は最小スイッチング電荷をより大きな Q_{sw} を持った材料で確保するため新材料が導入される可能性がある。有望な材料の一つは BLT、即ち $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ である。²⁶ キャパシタ面積の大きい 3D キャパシタと Q_{sw} の小さい従来の強誘電体材料とを組み合わせることは 2005 年以降のもう一つの選択肢である。PZT と SBT はしばしば不純物を入れて用いられる。たとえば PZT に対し La、SBT に対し Nb である。その目的は、リーク電流の抑制、エンデュランスまたはインプリント特性の改善、後工程による膜質劣化抑制等の膜質の向上である。

最小スイッチング電荷の見積り

最小スイッチング電荷は次のようにして見積もった。FeRAM のセンスアンプは基本的に DRAM と同じと仮定した。次に ITRS 1999 の DRAM のデータを用いてビット線の信号電圧を計算した。ITRS 1999 のデータはキャパシタンス C_s がテクノロジー・ノードに関わらず 25fF/cell のまま一定で、ビット線容量が 1Gb (0.18 μm ノード) 時に 320fF である。このデータとさらにビット線容量が $F^{2/3}$ (ここで F は最

²⁶ B. H. Park, B. S. Kang, S.D. Bu, T. W. Noh, J. Lee, and W. Jo, 682, Nature, 1999.

小寸法である)に比例すると仮定することにより、 $\Delta V_{\text{bitline}}$ の計算が可能となる。²⁷ $\Delta V_{\text{bitline}}$ は約 140mV であり、この値がテクノロジー・ノードに関わらずセンスアンプ回路には必要と仮定する。 $\Delta V_{\text{bitline}}$ (140mV)と C_{bitline} を掛け合わせることで最小スイッチング電荷が得られる。

以上で求められた最小スイッチング電荷を強誘電膜の単位面積あたりのスイッチング電荷 Q_{sw} (20-40 $\mu\text{C}/\text{cm}^2$ と仮定)で割ることにより、必要なキャパシタ面積が得られる。この面積がキャパシタの投影面積より大きい場合は、3次元(3D)のキャパシタが適用されることになる。この議論から3Dキャパシタは2007年までに必要となる(図表55を参照)。従来構造のキャパシタも Q_{sw} が34.5 $\mu\text{C}/\text{cm}^2$ 以上という条件なら2005年に使用可能である。この場合、恐らく前述したBLT等の新しい強誘電体材料の導入が必要となるであろう。

図表55に示すFeRAMに関する予測は、以上の仮定と計算に基づいている。「赤い壁」は早い項目では2005年に現れ、2007年にはさらに広がって行く。これらの壁をうち破るには、後工程による劣化の少ない高信頼性の高誘電体材料を開発することが最も重要である。

Table 55a FeRAM Technology Requirements—Near-term

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM 1/2 PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC 1/2 PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Feature Size (μm): F [A]	0.5	0.35	0.25	0.18	0.18	0.18	0.13
FeRAM Generation (Mass production)[B]							
Standard memory (bit)	1Mb	4Mb	16Mb	64Mb	64Mb	128Mb	256Mb
Embedded memory (Byte)	32KB (256Kb)	128KB (1Mb)	512KB (4Mb)	2MB (16Mb)	2MB (16Mb)	4MB (32Mb)	8MB (64Mb)
Access time (ns) [C]	80	65	55	40	30	30	20
Cycle time (ns) [D]	130	100	80	70	50	50	32
Cell area factor a [E]	60	40	24	16	10	10	10
Cell size (μm^2) [F]	15.000	4.900	1.500	0.518	0.324	0.324	0.169
Total cell area (mm^2) for standard memory [G]	15.73	20.55	25.17	34.79	21.74	43.49	45.37
Total cell area (mm^2) for embedded memory [H]	3.93	5.14	6.29	8.70	5.44	10.87	11.34
Projected capacitor size (μm^2) [I]	2.00	0.98	0.50	0.26	0.13	0.13	0.07
Capacitor area (μm^2) [J]	2.00	0.98	0.50	0.26	0.13	0.13	0.09
Cap area/proj cap size [K]	1.00	1.00	1.00	1.00	1.00	1.00	1.34
Height of bottom electrode/F (for 3D capacitor) [L]	n/a	n/a	n/a	n/a	n/a	n/a	0.17
Capacitor structure [M]	planar	planar	stack	stack	stack	stack	3D
2T2C or 1T1C [N]	2T2C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
Vop (Volt) [O]	3.0	3.0	2.5	1.8	1.5	1.5	1.2
Minimum switching charge density ($\mu\text{C}/\text{cm}^2$) @Vop [P]	4.4	7.1	11.2	17.2	34.5	34.5	40.0
Minimum switching charge per cell (fC/cell) @Vop [Q]	88.5	69.8	55.8	44.8	44.8	44.8	36.1
Retention @85°C (Years) [R]	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years
Fatigue with assuring retention [S]	1.0 E12	1.0 E13	1.0 E14	1.0 E15	> 1.0 E16	> 1.0 E16	> 1.0 E16

²⁷ A. Nitayama, Y. Kohyama, and K. Hieda, 355, IEDM 1998.

White—Manufacturable Solutions Exist and Are Being
Yellow—Manufacturable Solutions are Known
Red—Manufacturable Solutions are NOT Known



Table 55a and b Notes:

- [A] Feature size "F" is defined as the critical dimension in the cell.
- [B] Embedded Memory (Byte) strongly depends on applications, and assumed to be 1/4 of Standard Memory (bit) here.
- [C] ,[D] Values for 1Mb are estimated based on Ramtron FM1808 (256kb): 70ns/130ns and Fujitsu's ISSCC 2001 paper (1Mb, accesstime=80ns).
- [E] $a = \text{Cell size}/F^2$. Assumptions: planar --> stack ($\times 60\%$), 2T2C --> 1T1C ($\times 60\%$).
- [F] Cell size = $a * F^2$
- [G] Cell area*Memory size (bit).
- [H] Cell area*Memory size (bit) . cf. JIS (Japanese Industrial Standard) demands chip area < 20mm² for IC card applications.
- [I] Should be doubled for 2T2C. 2001-2004: $8F^2$, 2005-2008: $4F^2$, 2011-2017: $3F^2$ are assumed.
- [J] Should be doubled for 2T2C. 3D will be a pedestal structure.
- [K] More than 1 for 3D capacitors, otherwise: 1.
- [L] For instance, 0.17 means that the height is $0.17 * F$.
- [M] See figures (right).
- [N] Besides cell structures, configurations are being investigated; ex. Chain-FeRAM.
- [O] Vop=operational voltage. Low voltage operation is a key issue.
- [P] This value can be calculated by 17) divided by 10).
- [Q] Calculated by $\Delta V_{\text{bitline}} * C_{\text{bitline}}$ with the assumptions that $\Delta V_{\text{bitline}} = 140\text{mV}$ is needed and C_{bitline} is the same as DRAM.
- [R] Depends on applications. 85C comes from the specifications for IC cards.
- [S] $100\text{MHz} * 10 \text{ years} = 3E+16$. Some $1E+15$ is required to compete with SRAM and DRAM.

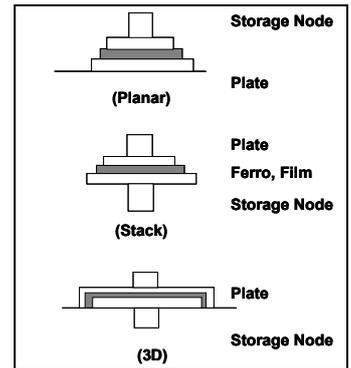


Table 55b FeRAM Technology Requirements—Long-term

YEAR OF PRODUCTION	2010	2013	2016
DRAM 1/2 PITCH (nm)	45	32	22
MPU / ASIC 1/2 PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Feature Size (μm): F [A]	0.1	0.07	0.05
FeRAM Generation (Mass production)[B]			
Standard memory (bit)	1Gb	4Gb	16Gb
Embedded memory (Byte)	32MB (256Mb)	128MB (1Gb)	512MB (4Gb)
Access time (ns) [C]	10	8	6
Cycle time (ns) [D]	16	12	10
Cell area factor a [E]	8	8	8
Cell size (μm^2) [F]	0.080	0.039	0.020
Total cell area (mm^2) for standard memory [G]	85.90	168.36	343.60
Total cell area (mm^2) for embedded memory [H]	21.47	42.09	85.90
Projected capacitor size (μm^2)[I]	0.03	0.015	0.0075
Capacitor area (μm^2) [J]	0.08	0.06	0.05
Cap area/proj cap size[K]	2.53	4.06	6.37
Height of bottom electrode/F (for 3D capacitor)[L]	0.57	1.15	2.01
Capacitor structure [M]	3D	3D	3D
2T2C or 1T1C [N]	1T1C	1T1C	1T1C
Vop (Volt) [O]	1.0	0.7	0.7
Minimum switching charge density ($\mu\text{C}/\text{cm}^2$) @Vop[P]	40.0	40.0	40.0
Minimum switching charge per cell (fC/cell) @Vop[Q]	30.3	23.9	19.1

<i>Retention @85°C (Years)[R]</i>	10 Years	10 Years	10 Years
<i>Fatigue with assuring retention[S]</i>	> 1.0 E16	> 1.0 E16	> 1.0 E16

Year of First Product Shipment	2001	2002	2003	2004	2005	2007	2010	2013	2016
Technology Node	130nm	115nm	100nm	90nm	80nm	65nm	45nm	32nm	22nm
Ferroelectric Materials		PZT*, SBT				PZT, SBT, New Materials (BLT, etc.)			
Deposition Methods		PVD, CSD#		PVD, CSD, MOCVD		MOCVD, New Methods			

*) SBT at present gives less than adequate switching charge for 2005 and beyond.

#) Chemical Solution Deposition

Figure 33 FeRAM Potential Solutions

SRAM や DRAM のような他の RAM を置き換えるには、読み書きの繰り返しに対するエンデュランスが 10^{15} 回は必要である。FeRAM は温度加速係数がやや小さいため、この値を確認するために、実用的な時間内でテストする方法が極めて重要である。

現在、FeRAM が広く使われるために最も大きな障害となっているのは信頼性とコストである。そのため、IC カードのように携帯できる低消費電力の用途に応用が限られている。しかしながら、これらの問題が解決されれば FeRAM の市場は拡大する可能性があることは特に指摘しておきたい。その場合はまず、応用分野が同様なデバイスである、フラッシュと SRAM を置き換えることになるだろう。また、FeRAM は次のような優れた性質を持っているので、マルチメディア製品向けの最適なデバイスであることにもう一度注目しておきたい。

- ・不揮発性
- ・低電圧(低消費電力)動作
- ・高速
- ・高エンデュランス
- ・高密度化の可能性(セル構造が DRAM と同様のため)

フラッシュメモリのメモリ容量が劇的に増加し、今では汎用 DRAM とほぼ等しくなったという事実には勇気づけられるが、これは大容量の不揮発性メモリに対する市場の要求があったから起こったことである。FeRAM もこの要求を満たす可能性があり、結果的に「もう一つのフラッシュ」となり得る。世界の研究者が FeRAM 開発に奮闘されることを大いに期待したい。

結論

この章では、デバイスの微細化進展が材料開発の進み方により制限される時代における ITRS フロントエンドプロセスのチャレンジ、技術的要求、解決策候補について述べた。これからの 10 年間には、スターティングマテリアルから始まる実際上すべてのフロントエンドプロセスの技術分野において、主役となる新しい材料とプロセスの開発と導入が必要となるだろう。Low-k 材料が大チャレンジとなる配線と対照的に、FEP では MOSFET のゲート絶縁膜、DRAM キャパシタ、フラッシュのトンネル絶縁膜・ポリシリコン間絶縁膜等の適用分野において種々の High-k 材料の導入を必要とする。さらに、FeRAM 市場の成長により、いろいろな強誘電体薄膜材料の開発と最適化が要求される。

以上のことに加えて、リソグラフィと Critical Dimension (CD)エッチング技術の進展により短チャネル MOSFET は製作可能となっているが、主要なゲートスタック材料の開発は進んでおらず、微細化デバイスの性能を制限しているという現状がある。従って、すでに述べた High-k ゲート絶縁膜材料への強い要求に加え、デュアルメタルゲート電極が必要とされている。また、従来の酸化窒化膜もこれまでの予想よりも微細なデバイスまで用いられるだろう。その際は、全般的なデバイス信頼性とスタンバイ消費電力についての検討が必要となる。これらの懸念事項は、複数のゲート長、ゲート絶縁膜厚の MOSFET が1チップに含まれる複雑な FEP プロセスフローをもたらすだろう。さらに、SiN ゲート絶縁膜薄層化により短チャネル効果が顕著になるため、ドーピング技術の進展も必要となるだろう。

また、前に述べたように、標準的でないデュアルゲートデバイスもロードマップの予測年代以内に量産化されるだろう。これらのデバイスの製造は、FEP の材料、ユニットプロセス、プロセス・アーキテクチャに大きな影響を与えるだろう。

これらの懸念事項の上にあるものが、次世代シリコンスターティングマテリアルへの要求である。これらの導入は大きなコスト的、技術的チャレンジとなるだろう。

FEP の将来への道には多くの障害とチャレンジが待ちうけている。これらの障害とチャレンジは大きなものだが、乗り越えることは不可能ではない。成功までには、材料とプロセスへの基礎的な理解を得るまでの一定の時間と、その知識を低コストで次世代デバイスを生産できる量産材料・プロセスにタイミングよく転換させるまでの一定の時間が必要である。FEP は多くの研究と革新が実に必要とされる領域である。