

リソグラフィ

概要

- 2001 年およびそれ以降、リソグラフィ技術者達は 2 つの挑戦に果敢に立ち向かっている。最初は物理限界に対する光を用いたパターンニングの延長である。それに続く第 2 の挑戦は量産化を実現する全く新しいポスト光リソグラフィ技術開発である。この非常に難しいチャレンジに対する技術的解決の模索だけでなく、新しい手法導入におけるチップコスト増大の危機にも面している。各世代のリソグラフィ技術は、下記の主要なインフラ要素技術分野に進歩が要求されている。
- 露光装置
- レジスト材料およびプロセス装置
- マスクメーカー、マスク製造装置および材料
- CD 測長のための計測装置、オーバレイ制御および欠陥検査

本章では、リソグラフィの重要課題、技術的要求、およびこれらの要素に対して考えられるソリューション（解決手段）を定義した 15 年間のロードマップを示した。また、国際リソグラフィ TWG（technology working group[技術ワーキンググループ]）と、ESH（Environment, Safety, and Health[環境、安全性、および健康]）、歩留り向上、測定法、モデリングおよびシミュレーションの各 TWG とのクロスカット活動および依存関係についても定義する。

マイクロエレクトロニクス産業の初期の時代より、光リソグラフィは、依然として量産技術の主流をなす技術であり、解像度改善技術と称す RET（resolution enhancement techniques、）、たとえば OAI（off-axis illumination、オフ・アクシス・イルミネーション）、PSM（phase shifting masks、フェーズ・シフティング・マスク）、OPC（optical proximity correction、オプティカル・プロクシミティ・コレクション）の適用により 65nm ノードまでの延長が期待されている。光リソグラフィを長期に渡って実現してゆくためには、RET に加え、短波長化（248nm 193 nm 157 nm）と開口度の増大と収差の減少をさせた投射レンズが求められている。

45nm ノードおよびそれ以細の要求には、光リソグラフィ技術以上の能力が必要であると予見できる。ロードマップの延長には、極端紫外線リソグラフィ EUV（extreme ultraviolet lithography）や電子ビーム投影リソグラフィ EPL（electron projection lithography）に代表される次世代リソグラフィ技術 NGL（Next Generation Lithography）の開発が要求されてくる。また、その次世代リソグラフィ技術 NGL 関係の新しいインフラ整備や量産コストに見合う開発には多大なるプレッシャーがかかるであろう。

困難なチャレンジ

継続される最小寸法の縮小に対して、最も困難なチャレンジをテーブル 56 に示した。マスク製作技術能力とそのコストの増大は進展するリソグラフィの将来に続けてクリティカルであり、その点に関しては重点化されて開発が行われるといえる。積極的なロードマップ加速の影響で、とりわけ MPU ゲート長（エッチ後）は低k1リソグラフィに関連するマスクエラーファクター-MEF (mask error factors) が増大するために、半導体メーカーの要求以上にマスク線幅制御性が低下する。たとえば、1997年の70nm要求では、孤立ラインで9nmCD値、コンタクトで14nmCD値が4倍体マスクで示されていた。現状の要求では、MEFを1.4と3.0それぞれに仮定した場合、孤立ラインで3.4nmCD値、コンタクトで4.3nmCD値である。マスク装置およびそのプロセス技術能力は複雑なOPCやPSMを適用したマスク製作に対応している。それに対してポスト193nmリソグラフィのマスクプロセスはまだ研究開発中である。静電破壊によるマスクダメージは長い間検討されてきており、マスク最小寸法の微細化に伴って、なお一層、問題視されてくるだろう。さらに157nmリソグラフィのマスクでは露光雰囲気中の水分をほぼフリーに保つ必要があり、静電破壊によるマスクへのリスクが増大するであろう。また、低コストな157nm対応のペリクルやマスクハンドリングも未だ認定されていない。

リソグラフィが長い間、全体の半導体製造コストに重大的に貢献する間に、コスト制御とROI (return-on-investment) がおそらく重要な案件となってくる。なぜならばリソグラフィ装置スループットはウェーハの大口径化とともに低下しており、300nmウェーハへの移行時期から全体コストのリソグラフィコスト比は拡大するかもしれない。これらのマスクとリソグラフィコストの課題は光リソグラフィと同様NGLにも関連する。光リソグラフィをさらに延長するために短波長化（193nmおよび157nm）で、優良なパターン忠実度やエッチング耐性を有する新しいレジストが要求される。193nm (ArF) リソグラフィから始まるCaF₂のような硝財の新しいレンズ材料も同様に必要とされる。レジストやCaF₂では性能や供給の不十分さにより先端リソグラフィ技術開発のペースがすでに遅れつつある。

プロセス制御、特定のオーバレイや線幅は同様に主の困難なチャレンジに代表される。プロセス制御への開発および量産に必要な将来要求を満たすために必要な基盤的な計測技術も不透明である。ゲート線幅制御においてレジストラインエッジラフネスLER (line edge roughness) は分子単位と同等になってくるために深刻な課題である。次世代リソグラフィは量産を想定して開発段階での露光装置のアプローチの詳細を注意深くケアする必要がある。それらの装置は低コスト量産を高信頼性で実現する開発を初期段階から実行されなければならない。

Table 56 リソグラフィの困難なチャレンジ

FIVE DIFFICULT CHALLENGES ≈65 nm THROUGH 2007	SUMMARY OF ISSUES
Optical mask fabrication with resolution enhancement techniques for ≤ 90 nm and development of post-optical mask fabrication	Development of commercial mask manufacturing processes to meet requirements of Roadmap options (such as registration, CD control, defectivity, and 157 nm films; defect free multi-layer substrates or membranes) Development of equipment infrastructure (writers, inspection, repair, metrology) for a relatively small market
Cost control and ROI	Achieving constant/improved ratio of tool cost to throughput over time Development of cost-effective resolution enhanced optical masks and post-optical masks including an affordable ASIC solution, such as low-cost masks Achieving ROI for all segments of the industry (chipmakers, equipment and material suppliers, and infrastructure) with sufficient lifetimes for the technologies, especially single node solutions at 90 nm and below
Process control	Development of processes to control gate linewidths to nearly 3 nm, 3 sigma Development of new and improved alignment and overlay control methods independent of technology option for < 25 nm overlay
Resists for ArF and F ₂	Outgassing, LER, SEM-induced CD changes, etch resistance, and defects as small as 40 nm
CaF ₂	Yield, cost, quality
FIVE DIFFICULT CHALLENGES < 65 nm BEYOND 2007	
Mask fabrication and process control	Development of commercial mask manufacturing processes to meet requirements of Roadmap options (defect-free NGL masks, such as EUV multi-layer masks or EPL membranes and stencil masks) Development of equipment infrastructure (writers, inspection of substrates, blanks and patterned masks, repair, metrology) for a relatively small market Development of mask process control methods to achieve critical dimensions, image placement, and defect density control below the 65 nm node
Metrology and defect inspection	Capability for measuring critical dimensions down to 9 nm and metrology for overlay down to 9 nm, and patterned wafer defect inspection for defects < 40 nm
Cost control and ROI	Achieving constant/improved ratio of tool cost to throughput over time Development of cost-effective post-optical masks including an affordable ASIC solution, such as low-cost masks Achieving ROI for industry (chipmakers, equipment and material suppliers, and infrastructure) with sufficient lifetimes for the technologies, especially single node solutions at 45 nm and below
Gate CD control improvements; process control; resist materials	Development of processes to control gate CDs < 1 nm (3 sigma) with appropriate line-edge roughness Development of new and improved alignment and overlay control methods independent of technology option to < 9 nm overlay
Tools for mass production	Post optical exposure tools capable of meeting requirements of the Roadmap

リソグラフィ技術的要求

リソグラフィロードマップは以下に示すテーブルで明確にされる。

リソグラフィ要求仕様 (テーブル 57a, 57b)

レジスト要求仕様 (テーブル 58a, 58b, 58c)

マスク要求仕様 (テーブル 59a, 59b, 59c)

比較的未完成であった新リソグラフィ、ArF、F2 および NGL であったため、ハーフピッチが毎3年ごとに50%縮小に戻ることを期待される中で必要開発仕様を追加した。コンタクトホールは像形成から連想されるように激しい変化のために、エッチング後のコンタクトホールサイズはリソグラフィ後のホールサイズより小さくなる。それはリソグラフィゲート長(レジスト)とMPUゲート間の違いと同様である。これはロードマップを理解する上で重要である。何故ならばコンタクトは非常に小さいプロセスウィンドであり大きなMEFとなり、それゆえにコンタクトサイズの微少な拡大はマスクCD制御要求の大きな実現をもたらす。エッチング後の微少MPUゲートは積極的に微細化がなされるので、計測技術やプロセス制御に多大な変化をもたらす。

各種波長下でのレジストは優良なパターン忠実度、線幅制御性そして低欠陥性を兼ね備えた開発が必要である。130nm、90nm、65nmそれぞれのノードは新しい波長あるいは非光リソグラフィの導入が予測され、そこでそれぞれのノードは全体に新しいレジストプラットフォームの開発が要求される。最小寸法が微細化するにつれ、欠陥サイズとポリマーはレジストのフィタリングサイズとほぼ同等となってくる。

全ての次世代リソグラフィのマスクは光マスクと根本的に異なり、さらにペリクルの手段が未だ見えていない。何故ならばNGLマスクの要求は光マスクの要求しようとは本質的に異なるために、光、EUV、EPLマスク(テーブル59a, b, c)にそれぞれ分割して示した。それらNGLマスクは65nm以下に適用されるために線幅制御や重ね合わせ精度に対して厳しい要求がなされている。EUVマスクはまた非常に平坦度が要求されるとともに反射率等の各種パラメータが記載されている。EPLマスクは特別な要求とともに薄いメンブレンがステンシルと比較され記載されている。NGLマスクは光マスクと形が異なるので新たな欠陥検査関係の開発が同様に要求される。また、NGLマスクのペリクル手段がまだ見つかっていないために、露光装置で使用される際の保管やハンドリング中での欠陥からのマスクプロテクトに関する解決法が付記された。大変異なるNGLマスク要求では光マスクですでに遭遇したコストも問題もさらに悪化することが予測される。

Table 57a リソグラフィ技術的要求—Near-term

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM							
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
Contact in resist (nm)	165	140	130	110	100	90	80
Contact after etch (nm)	150	130	115	100	90	80	70
Overlay	46	40	35	32	28	25	23
CD control (3 sigma) (nm)	15.9	14.1	12.2	11.0	9.8	8.6	8.0
MPU							
MPU ½ Pitch (nm)	150	130	107	90	80	70	65
MPU gate in resist (nm)	90	70	65	53	45	40	35
MPU gate length after etch (nm)	65	53	45	37	32	28	25
Contact in resist (nm)	165	140	122	100	90	80	75
Contact after etch (nm)	150	130	107	90	80	70	65
Gate CD control (3 sigma) (nm)	5.3	4.3	3.7	3.0	2.6	2.4	2.0
ASIC/LP							
ASIC/LP ½ Pitch (nm)	150	130	107	90	80	70	65
ASIC/LP gate in resist (nm)	130	107	90	75	65	53	45
ASIC/LP gate length after etch (nm)	90	80	65	53	45	37	32
Contact in resist (nm)	165	140	122	100	90	80	75
Contact after etch (nm)	150	130	107	90	80	70	65
CD control (3 sigma) (nm)	7.3	6.5	5.3	4.3	3.7	3.0	2.6
Chip size (mm²)							
DRAM, introduction	390	308	364	287	454	359	568
DRAM, production	127	100	118	93	147	116	183
MPU, high volume at introduction	280	280	280	280	280	280	280
MPU, high volume at production	140	140	140	140	140	140	140
MPU, high performance	310	310	310	310	310	310	310
ASIC	800	800	572	572	572	572	572
Minimum field area	800	800	572	572	572	572	572
Wafer size (diameter, mm)	300	300	300	300	300	300	300

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



Table 57b リソグラフィ技術的要求—Long-term

YEAR OF PRODUCTION	2010	2013	2016
DRAM			
DRAM ½ Pitch (nm)	45	32	22
Contact in resist (nm)	55	40	30
Contact after etch (m)	50	35	25
Overlay	18	13	9
CD control (3 sigma) (nm)	5.5	3.9	2.7
MPU			
MPU ½ Pitch (nm)	45	32	22
MPU gate in resist (nm)	25	18	13
MPU gate length after etch (nm)	18	13	9
Contact in resist (nm)	50	37	27
Contact after etch (nm)	45	32	22
CD control (3 sigma) (nm)	1.5	1.1	0.7
ASIC/LP			
ASIC/LP ½ Pitch (nm)	45	32	22
ASIC/LP gate in resist (nm)	32	22	16
ASIC/LP gate length after etch (nm)	22	16	11
Contact in resist (nm)	50	37	27
Contact after etch (nm)	45	32	22
CD control (3 sigma) (nm)	1.8	1.3	0.9
Chip size (mm²)			
DRAM, introduction	563	373	186
DRAM, production	181	239	256
MPU, high volume at introduction	280	280	280
MPU, high volume at production	140	140	140
MPU, high performance	310	310	310
ASIC	572	572	572
Minimum field area	572	572	572
Wafer size (diameter, mm)	300	450	450

Note: The dates in this table are the year of first product shipment of integrated circuits from a manufacturing site with volume exceeding 10,000 units. Exposure tools, resists and masks for manufacturing must be available one year earlier. Development capability must be available 2–3 years earlier.

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



Notes for Table 57a and b

[1] The dates in this table are the year of first product shipment of integrated circuits from a manufacturing site with volume exceeding 10,000 units. Exposure tools, resists, and masks for manufacturing must be available one year earlier. Development capability must be available two–three years earlier.

[2] Linewidth variations are based on linewidth deviations from target dimensions for all critical features for a given product. For example, for microprocessors these would be the gate features critical to circuit performance. This total linewidth variation includes contributions from errors within each exposure field for features of various orientations and with varying pitch. Variations also include contributions from linewidth changes across individual wafers and from wafer-to-wafer. The variances of the final dimensions after etch are assumed to result 2/3 from variance of the linewidths in resist and 1/3 from the etch process. It is assumed that the allowable variations in linewidth are +/-15% of the final, etch feature size for DRAMs and ASICs and +/-10% for MPUs..

Table 58a レジスト技術的要求—Near-term

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
<i>Resist Characteristics *</i>							
Resist meets requirements for resolution and CD Control (nm, 3 sigma) **	7	6	5	5	4	4	3
Resist thickness (nm, imaging layer) ***	300–450	250–400	200–400	170–320	150–280	140–250	140–220
Ultra thin resist thickness (nm)****	x	x	130–200	100–150	100–150	100–150	100–150
PEB temperature sensitivity (nm/C)	4	3	2.5	2	2	1.5	1.5
Backside particles (particles/m ² at critical size, nm)	2500 @ 200	2000 @ 200	2000 @ 150	2000 @ 150	1500 @ 100	1500 @ 100	1500 @ 100
Defects in spin-coated resist films† #/cm ² (size in nm)	0.02 70	0.02 65	0.02 60	0.01 55	0.01 50	0.01 45	0.01 40
Defects in patterned resist films, gates, contacts, etc. #/cm ² (size in nm)	0.08 70	0.07 65	0.07 60	0.06 55	0.05 50	0.04 45	0.04 40
Line Edge Roughness (nm, 3 sigma) <5% of CD, 3 sigma, single side	7	6	5	4	4	3	3

Table 58b レジスト技術的要求—Long Term

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU / ASIC ½ PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
<i>Resist Characteristics *</i>			
Resist meets requirements for resolution and CD Control (nm, 3 sigma) **	2	1	1
Resist thickness (nm, imaging layer) ***	120–160	80–140	50–80
Ultra thin resist thickness (nm)****	80–120	60–100	40–60
PEB temperature sensitivity (nm/C)	1.5	1	1
Backside particles (particles/m ² at critical size, nm)	1000 @ 50	1000 @ 50	500 @ 50
Defects in spin-coated resist films #/cm ² (size in nm)	0.01 30	0.01 20	0.01 10
Defects in patterned resist films for gates, contacts, etc. #/cm ² (size in nm)	0.03 30	0.01 20	0.01 10
Line Edge Roughness (nm, 3 sigma) <5% of CD, 3 sigma, single side	2	1	1

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known solid yellow?

Red—Manufacturable Solutions are NOT Known



Table 58c レジスト感度

EXPOSURE TECHNOLOGY	SENSITIVITY
248nm	20–50 mJ/ cm ²
193nm	10–40 mJ/ cm ²
157nm	2–20 mJ/ cm ²
X-ray @ 1nm	50–100 mJ/ cm ²
Extreme Ultraviolet @ 13.5nm	2–25 mJ/ cm ²
Electron Beam Projection @ 100kV *****	2–10 uC/ cm ²
E-beam Direct Write @ 50kV *****	5–10 uC/ cm ²
Ion Beam Projection	0.2–2.0 uC/ cm ²

***** Linked with resolution

8 リソグラフィ

Notes for Tables 58a and b:

Exposure Dependent Requirements

- * Resist sensitivity is treated separately in the second resist sensitivities table (separate sheet).
 - ** Indicates whether the resist has sufficient resolution, CD control, and profile to meet the device resolution and CD control values.
 - *** Resist thickness is determined by the aspect ratio range of 3:1 to 4:1, limited by pattern collapse.
 - **** Upper thickness limit for ultrathin resist (UTR) is determined by the opacity to the incident radiation from the exposure tool
 - ***** Linked with resolution
- † Defects in coated films are those detectable as physical objects, such as pinholes, that may be distinguished from the resist film by optical detection methods.
- Other requirements:
- A. Need for a positive tone resist and a negative tone resist will depend upon critical feature type and density.
 - B. Feature wall profile should be 90 ± 2 degrees.
 - C. Thermal stability should be ≈ 130 °C.
 - D. Etching selectivity should be $>$ that of poly hydroxystyrene (PHOST).
 - E. Upon removal by stripping there should be no detectible residues.
 - F. Sensitive to basic airborne compounds such as amines and amides. Clean handling space should have <1000 pptM of these materials.
 - G. Metal contaminants < 5 ppb.
 - H. Organic material outgassing ($\text{molecules}/\text{cm}^2\text{-sec}$) while in the 157nm lithography tool (under the lens) for 2 minutes $< 1e12$. Values for electron projection and EUV lithographies are being determined and a preliminary estimate for EUV is $< 1e15$.
 - I. Si species outgassing ($\text{molecules}/\text{cm}^2\text{-sec}$) while in the 157 nm lithography tool for 2 minutes $< 1e8$. Values for electron projection and EUV lithographies are being determined.

Table 59a 光マスク技術的要求

YEAR OF PRODUCTION	2001 130nm	2002 115nm	2003 100nm	2004 90nm		2005 80nm		2006 70nm		2007 65nm	
Wafer minimum half pitch (nm) [A]	130	115	100	90	90	80	80	70	70	65	65
Wafer minimum line (nm, in resist)	90	75	65	53	53	45	45	40	40	35	35
Wafer minimum line (nm, Post Etch)	65	53	45	37	37	32	32	30	30	25	25
Overlay	45	40	35	32	32	28	28	25	25	23	23
Wafer minimum contact hole (nm, Post Etch) [A]	150	130	115	100	100	90	90	80	80	70	70
Magnification [B]	4	4	4	4	5	4	5	4	5	4	5
Mask minimum image size (nm) [C]	360	300	260	212	265	180	225	160	200	140	175
Mask OPC feature size (nm) Clear [D]	260	230	200	180	225	160	200	140	175	130	163
Mask OPC feature size (nm) Opaque [D]	180	150	130	106	133	90	113	80	100	70	88
Image placement (nm, multi-point) [E]	27	24	21	19	24	17	21	15	19	14	17
CD uniformity (nm, 3 sigma) [F] @	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
Isolated lines (MPU gates) Binary	7.4	6.1	5.1	60	5.3	3.7	4.6	3.4	4.3	2.5	3.1
Isolated lines (MPU gates) ALT	10.4	8.5	7.2	5.9	7.4	5.1	6.4	4.8	6.0	4.0	5.0
Dense lines DRAM half pitch)	10.4	9.2	8.0	7.2	9.0	6.4	8.0	5.6	7.0	60	5.2
Contact/vias	8.0	6.9	6.1	5.3	6.7	4.8	6.0	4.3	5.3	3.2	4.0
Linearity (nm) [G]	19.8	17.5	15.2	13.7	17.1	12.2	15.2	10.6	13.3	9.9	12.4
CD mean to target (nm) [H]	10.4	9.2	8.0	7.2	9.0	6.4	8.0	5.6	7.0	5.2	6.5
Defect size (nm) [I] *	104	92	80	72	90	64	80	56	70	52	65
Substrate form factor	152 x 152 x 6.35 mm										
Blank Flatness (nm)	250	250	200	180	280	160	250	140	220	130	200
Transmission uniformity to mask(pellicle and clear feature) (+-% 3sigma)	1	1	1	1	1	1	1	1	1	1	1
Data volume (GB) [J]	64	96	144	216	216	324	324	486	486	729	729
Mask design grid (nm) [K]	8	8	4	4	5	4	5	4	5	4	5
Attenuated PSM transmission mean deviation from target (+/- % of target) [L]	5	5	5	5	5	5	5	4	4	4	4
Attenuated PSM transmission uniformity (+/-% of target) [M]	4	4	4	4	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180o (+/- degree)	4	4	3	3	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from 180o (+/- degree)	2	2	2	2	2	2	2	1	1	1	1
Alternating PSM phase uniformity (+/- degree)	2	2	2	2	2	2	2	1	1	1	1
Mask materials and substrates	Absorber on fused silica, except for 157nm optical which will be absorber on modified fused silica square with pellicles 157nm has no known cost-effective pellicle solution										
(Exposure tool dependent)	Primary PSM choices are attenuated shifter and alternating aperture										

The requirements are for critical layers at defined year. Early volumes are assumed to be relatively small and difficult to produce.

*180 degree phase defects are 70% of number shown

White–Manufacturable Solutions Exist, and Are Being Optimized

Yellow–Manufacturable Solutions are Known

Red–Manufacturable Solutions are NOT Known



10 リソグラフィ

Notes for Table 59a—Optical Mask requirements

- [A] Wafer Minimum Feature Size—Minimum wafer line size imaged in resists. Line size as drawn or printed to zero bias (Most commonly applied to isolated lines. Drives CD uniformity and linearity.)
- [B] Magnification—Lithography tool reduction ratio, $N:1$
- [C] Mask Minimum Image Size—The nominal mask size of the smallest primary feature to be transferred to the wafer (Commonly equivalent to wafer minimum feature size times the reduction ratio.)
- [D] Mask OPC Feature Size—The minimum width of isolated non-printing features on the mask.
- [E] Image Placement—The maximum component deviation (x or y) of the array of the images centerline relative to a defined reference grid.
- [F] CD Uniformity—The three sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitches from isolated to dense. Contacts: Measure and tolerance refer to the area of the Mask Feature. For table simplicity the roadmap numbers normalize back to one dimension. $\bar{O}AREA - \bar{O}TARGET AREA$
- [G] Linearity—Maximum deviation between mask “Mean to Target” for a range of features of the same tone and different design sizes. This includes features that are greater than half the primary feature size and less than five times the primary feature size.
- [H] CD Mean to Target—The maximum difference between the average of the measured feature sizes and the intended feature size (design size). Applies to a single feature size and tone. $S(ACTUAL-TARGET)/NUMBER OF MEASUREMENTS$
- [I] Defect Size—A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The Mask Defect Size listed in the roadmap are the square root of the area of the smallest opaque or clear “defect” that is expected to print for the stated generation.
- [J] Data Volume—This is the expected maximum file size for uncompressed data for a single layer as presented to a raster write tool.
- [K] Mask Design Grid—Wafer design grid times the mask magnification.
- [L] Transmission—Ratio of the fraction of light passing through an attenuated PSM layer and the mask blank with no opaque films expressed in a percent.
- [M] Phase—Change in optical path length between two regions on the mask expressed in degrees.

Table 59b EUVL マスク技術的要求

YEAR OF PRODUCTION	2006 70nm	2007 65nm	2010 45nm	2013 32nm	2016 22nm
Wafer minimum half pitch (nm) [A]	70	65	45	32	22
Wafer minimum line (nm, in resist)	40	35	25	18	13
Wafer minimum line (nm, Post Etch)	30	25	18	13	9
Overlay	25	23	18	13	9
Wafer minimum contact hole (nm, after etch)	80	70	50	35	25
<i>Generic Mask Requirements</i>					
Magnification [B]	4	4	4	4	4
Mask minimum image size (nm) [C]	160	140	100	72	52
Image placement (nm, multi-point) [D]	15	14	11	8	6
<i>CD Uniformity (nm, 3 sigma) [E]</i>					
Isolated lines (MPU gates)	4.5	4	2.5	2	1
Dense lines DRAM (half pitch)	11	10	7	5	3.5
Contact/vias	12.5	11	8	5.5	4
Linearity (nm) [F]	11	10	7	5	3.5
CD mean to target (nm) [G]	5.5	5	3.5	2.5	1.5
Defect size (nm) [H]	55	50	35	25	15
Data volume (GB) [I]	324	486	1644	5550	18736
Mask design grid (nm) [J]	4	4	4	4	4
<i>EUVL-specific Mask Requirements</i>					
Substrate defect size (nm) [K]	39	37	32	27	23
Mean peak reflectivity	65%	65%	66%	67%	67%
Relative reflectivity uniformity of the mask (% 3sigma) [L]	1.5%	1.3%	0.9%	0.7%	0.5%
Peak reflectivity uniformity (% 3sigma absolute)	0.69%	0.61%	0.60%	0.33%	0.24%
Reflected centroid wavelength uniformity (nm 3sigma) [M]	0.06	0.05	0.05	0.04	0.03
Minimum absorber sidewall angle (degrees)	85	85	85	85	85
Absorber sidewall angle tolerance (\pm degrees)	1	1	0.75	0.5	0.5
Absorber LER (3sigma nm) [N]	5	4	3	3	3
Mask substrate flatness (nm peak-to-valley) [O]	80	75	50	45	30
Maximum aspect ratio of absorber stack	1	1.1	1.3	1.5	1.7
Substrate form factor	152 x 152 x 6.35 mm				
Strategy for protecting mask from defects	Removable pellicle and thermophoresis during exposure				

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



12 リソグラフィ

Notes for Table 59b—EUV Mask requirements:

EUVL masks are patterned absorber layers on top of multilayers that are deposited on low thermal expansion material substrates.

[A] Wafer Minimum Feature Size-Minimum wafer line size imaged in resists. Line size as drawn or printed to zero bias (Most commonly applied to isolated lines. Drives CD uniformity and linearity.)

[B] Magnification-Lithography tool reduction ratio, N:1

[C] Mask Minimum Image Size-The nominal mask size of the smallest primary feature to be transferred to the wafer (Commonly equivalent to wafer minimum feature size times the reduction ratio.)

[D] Image Placement-The maximum component deviation (x or y) of the array of the images centerline relative to a defined reference grid.

[E] CD Uniformity-The three sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitches from isolated to dense. Contacts: Measure and tolerance refer to the area of the Mask Feature. For table simplicity the roadmap numbers normalize back to one dimension. $\sqrt{\text{AREA}} - \sqrt{\text{TARGET AREA}}$

[F] Linearity-Maximum deviation between mask "Mean to Target" for a range of features of the same tone and different design sizes. This includes features that are greater than half the primary feature size and less than five times the primary feature size

[G] CD Mean to Target-The maximum difference between the average of the measured feature sizes and the intended feature size (design size). Applies to a single feature size and tone. $S(\text{Actual-Target})/\text{Number of measurements}$.

[H] Defect Size-A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The Mask Defect Size listed in the roadmap are the square root of the area of the smallest opaque or clear "defect" that is expected to print for the stated generation.

[I] Data Volume-This is the expected maximum file size for uncompressed data for a single layer as presented to a raster write tool.

[J] Mask Design Grid-Wafer design grid times the mask magnification.

[K] Substrate Defect Size-the minimum diameter spherical defect on the substrate beneath the multilayers that causes an unacceptable linewidth change in the printed image. Substrate defects might cause phase errors in the printed image and are the smallest mask blank defects that would unacceptably change the printed image.

[L] Relative reflectivity uniformity includes errors in effective reflectivity due to peak reflectivity uniformity, centroid wavelength uniformity, and centered wavelength accuracy.

[M] Includes variation in centroid wavelength over the mask area and mismatching of the average wavelength to the wavelength of the exposure tool optics.

[N] Line edge roughness (LER) is defined a roughness 3sigma one-sided for spatial period < minimum linewidth

[O] Mask Substrate Flatness-Residual flatness error (nm peak-to-valley) over the mask excluding a 5 mm edge region on all sides after removing wedge and or bow that are compensable by the mask mounting and leveling method in the exposure tool.

Table 59c EPL マスク技術的要求

Year of Production	2006 70nm	2007 65nm	2010 45nm	2013 32nm	2016 22nm					
Wafer minimum half pitch (nm) [A]	70	65	45	32	22					
Wafer minimum line (nm, in resist)	40	35	25	18	13					
Wafer minimum line (nm, Post Etch)	30	25	18	13	9					
Overlay	25	23	18	13	9					
Wafer minimum contact hole (nm, after etch)	80	70	50	35	25					
Magnification [B]	4	4	4	4	4					
Mask minimum image size (nm) [C]	112	98	70	50	36					
Non-linear image placement error in sub-field (nm, multi-point) [D]	11	10	7	5	3					
<i>Generic mask requirements</i>										
Isolated lines (MPU gates) [E]	4.5	4	2.5	2	1					
Dense lines DRAM half pitch) [E]	11.5	10.5	7.5	5	3.5					
Contact/vias [E]	13	11.5	8	5.5	4					
Linearity (nm) [F]	11	10	7	5	3.5					
CD mean to target (nm) [G]	6	5.5	4	2.5	1.5					
Pattern corner rounding (nm)	45	40	28	18	15					
Defect size (nm) [H]	55	50	35	25	15					
Data volume (GB) [I]	324	486	1644	5550	18736					
Mask design grid (nm) [J]	4	4	4	4	4					
<i>EPL-specific mask requirements</i>										
<i>Mask type</i>	<i>Membrane [N]</i>	<i>Stencil [O]</i>	<i>Membrane</i>	<i>Stencil</i>	<i>Membrane</i>	<i>Stencil</i>	<i>Membrane</i>	<i>Stencil</i>	<i>Membrane</i>	<i>Stencil</i>
Clear area transmission factor [K]	50%	100%	50%	100%	50%	100%	70%	100%	70%	100%
Membrane thickness uniformity (3 sigma %) [L]	1.0%	N/A	1.0%	N/A	1.0%	N/A	1.0%	N/A	1.0%	N/A
Pattern sidewall angle (degrees)	90	90	90	90	90	90	90	90	90	90
Pattern sidewall angle tolerance (+ degrees)	0.2		0.2		0.2		0.2		0.2	
Scatterer/stencil LER (3sigma nm) [M]	5		4		3		3		3	
Mask substrate flatness (micron peak-to-valley)	10		10		5		5		4	
Mask flatness within a sub-field (micron peak-to-valley)	1		1		1		1		1	
Maximum mask resistivity (ohm-cm)	20									
Substrate form factor	200 mm diameter, 0.725 mm thick									
Strategy for protecting mask from defects	Periodic inspection and cleaning as needed									

White—Manufacturable Solutions Exist, and Are Being Optimized

Yellow—Manufacturable Solutions are Known

Red—Manufacturable Solutions are NOT Known



14 リソグラフィ

Notes for Table 59c—EPL Mask requirements

EPL masks have hundreds of subfields (~1 by 1 mm), and each subfield corresponds to a membrane surrounded by Si struts

[A] Wafer Minimum Feature Size—Minimum wafer line size imaged in resists. Line size as drawn or printed to zero bias (Most commonly applied to isolated lines. Drives CD uniformity and linearity.)

[B] Magnification—Lithography tool reduction ratio, N:1

[C] Mask Minimum Image Size—The nominal mask size of the smallest primary feature to be transferred to the wafer (Commonly equivalent to wafer minimum feature size times the reduction ratio.)

[D] Nonlinear image placement error in sub-field—The three sigma non-linear deviation (x or y) of the images in a sub field relative to a defined reference grid. Please note that a sub field is 1mm X 1mm on the mask. The non-linear error component can be obtained by calculation.

[E] CD Uniformity—The three sigma deviation of actual image sizes on a mask for a single size and tone critical feature. Applies to features in X and Y and multiple pitches from isolated to dense. Contacts: Measure and tolerance refer to the area of the Mask Feature. For table simplicity the roadmap numbers normalize back to one dimension. $\sqrt{\text{AREA}} - \sqrt{\text{TARGET AREA}}$

[F] Linearity—Maximum deviation between mask "Mean to Target" for a range of features of the same tone and different design sizes. This includes features that are greater than half the primary feature size and less than five times the primary feature size

[G] CD Mean to Target—The maximum difference between the average of the measured feature sizes and the intended feature size (design size). Applies to a single feature size and tone. $S(\text{Actual-Target})/\text{Number of measurements}$.

[H] Defect Size—A mask defect is any unintended mask anomaly that prints or changes a printed image size by 10% or more. The Mask Defect Size listed in the roadmap are the square root of the area of the smallest opaque or clear "defect" that is expected to print for the stated generation.

[I] Data Volume—This is the expected maximum file size for uncompressed data for a single layer as presented to a raster write tool.

[J] Mask Design Grid—Wafer design grid times the mask magnification.

[K] Percentage of current incident on a clear area on the mask relative to that arriving at wafer through the axial back focal plane aperture of the projection optics of the exposure tool (for NA of 6 - 8 mRAD)

[L] Membrane Thickness Uniformity - The three sigma variation of membrane thickness over a subfield. Note that a subfield is a 1x1 mm area.

[M] Line edge roughness (LER) is defined a roughness 3sigma one-sided for spatial period < minimum linewidth

[N] Membrane masks have patterned scattering layers on each membrane.

[O] Stencil masks have patterns etched through the membranes in each subfield

解決策候補

図 34 にリソグラフィ技術の解決策候補について示した。光リソグラフィは 90nm までの主アプローチであり、続いて 65nm ノードまで NGL とともに可能性を示している。微細レイヤの像形成のための光リソグラフィは3波長、248nm、193nm そして 157nm が代表である。最近 248nm だけは成熟したインフラになった。193nm をメインストリームにするにはレジストや CaF₂ の多少の改良が必要であり、157nm リソグラフィはまだ初期の開発段階である。

ポスト光もしくは次世代リソグラフィ(NGL)は 65nm 以細の候補である。NGL 技術の可能性について、各極は EUV、EPL およびマスクレスリソグラフィ(ML2)を光リソグラフィの潜在的後継技術と考えている。IPL(ion projection lithography), PXL (proximity x-ray lithography), そして PEL(proximity electron lithography)のような他のリソグラフィ技術も候補としているが、単極だけのアクティビティである。

技術的にはさまざまな選択肢が存在するが、複数の技術に関して完全なインフラ(露光装置、レジスト、マスク、計測)を整備することが可能かどうかということになれば、業界が投入できる資金には限界がある。従って、政府、業界、および大学が密接かつグローバルな相互活動を通じて、これら次世代の技術のなかから適切な技術を選択することがどうしても必要となる。

非光リソグラフィの導入はパラダイムの大きな転換を意味するが、ムーアの法則によって推進される技術的要求や複雑さをクリアするためにはこのような転換が必要になることも考えられる。このような転換はリソグラフィのインフラに大きな変化をもたらす、システムを商業化するためには多額の資源が必要となる。それらの開発コストは露光装置、マスク、材料コストを包含しなければならない。

直接描画リソグラフィは少量生産の ASIC や開発でニッチ応用に活用されているがその役割を拡大するに至っていない。高いスループットを実現した直接描画技術におけるブレークスルーは、パラダイムを大きく転換させるものとなる。それにより、マスクは必要でなくなり、コストの削減および開発時間の短縮が可能になる。マスクを必要としないその他の技術も、同様にパラダイムの転換をもたらす。マスクレスリソグラフィ ML2 は現在研究段階であるが、ML2 は低コスト半導体量産実現には多くの重大な技術ハードルを乗り越える必要があるであろう。

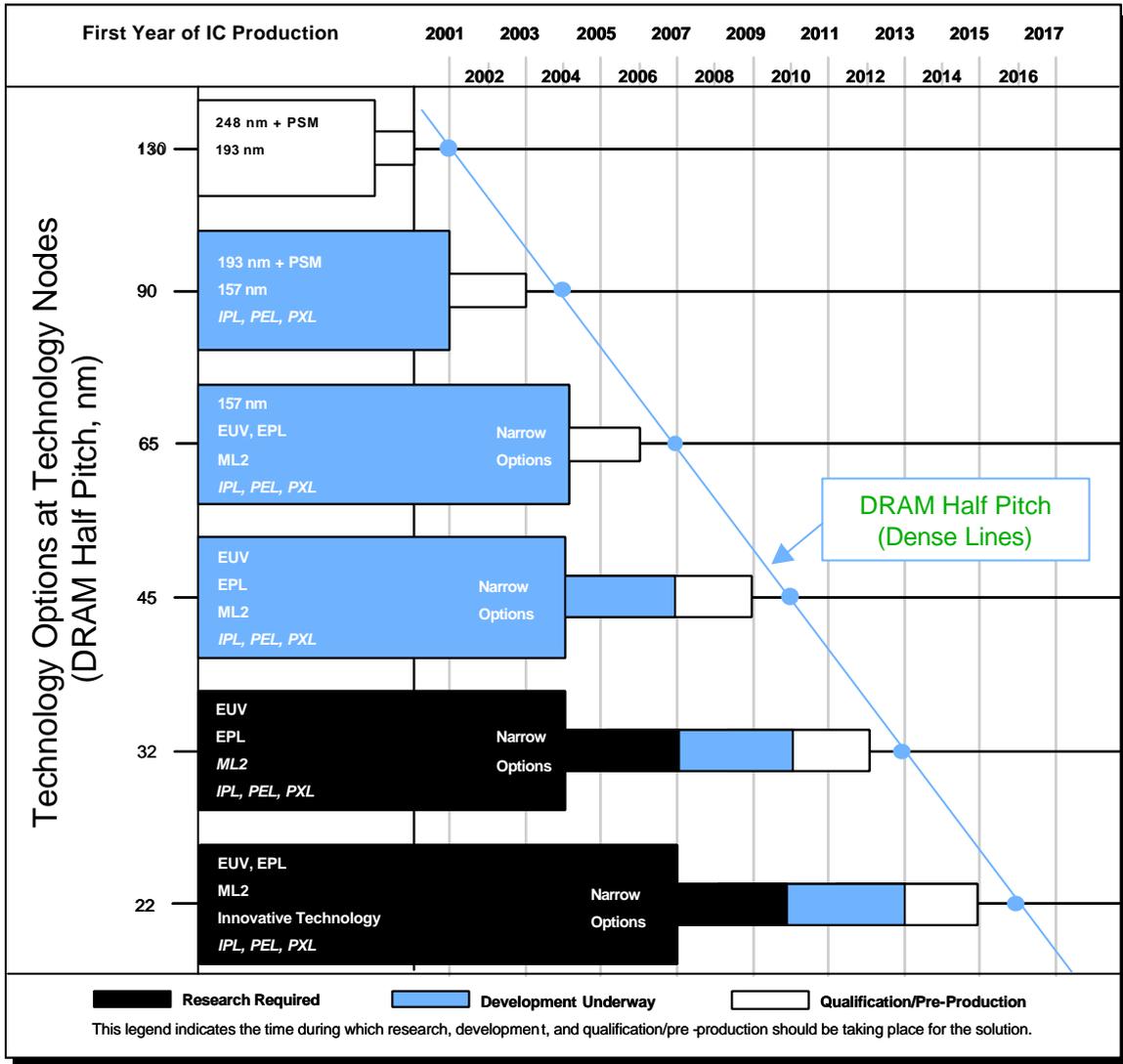


Figure 34 リソグラフィ露光装置の解決策候補

Technologies shown in italics have only single region support.

EUV—extreme ultraviolet

EPL—electron projection lithography

ML2—maskless lithography

IPL—ion projection lithography

PXL—proximity x-ray lithography

PEL—proximity electron lithography

クロスカットに関する必要事項と解決策候補

リソグラフィ、ESH、歩留り向上、計測そしてモデリング・シミュレーションを包含したクロスカット技術ニーズと解決策候補をこの章では概説する。

環境、安全、健康

直近の議論は、つい最近に理解された安全問題が長期間通常使用されていた光反応材である PFOS (perfluorooctyl sulfonates) の継続使用についてである。新技術の導入に伴って、安全環境への影響が殆ど全く知られていない材料やケミカルの使用の必要性を意味する。リソグラフィでのケミカルの使用や廃棄の慣習は作業者の安全や環境を注意深く続ける必要がある。

歩留り向上

光検出限界よりも欠陥サイズが微少になるので、歩留り向上は主の挑戦項目になることが予測される。欠陥検出の非光方法は半導体製造での欠陥制御のための検出レートが未だデモンストレーションされていない。フィルター技術も懸念される。何故ならばレジスト材料のフィルタリングのためにフィルターのポアサイズは 50nm 以下が実現されておらず、65nm 以細ではこの性能値が要求されている。またポイントユースに使用するフィルタ手法も引き続き必要であり、要求を満たすソリューションも必要とされている。

METROLOGY 計測

リソグラフィ技術および微細化の迅速な進歩は、ウェーハおよびマスク計測技術に挑戦し続け留事になります。寸法測定装置の既存の精度は、最も先端ノードでプロセス許容計測を処理するためには、多少甘い 20% の測定精度さえも実現していない。精度は測定装置の装置間マッチングのような短期間、長期間の測定装置変化を含んでいる。ウェーハおよびマスク CD 技術は 3D 測定の要求を満足するために進化している。65nm ノードまでの CD 計測の解決策候補は CD 走査電子顕微鏡使用、scatterometry、走査型プローブ顕微鏡 (SPM) を含んでいる。キーになる新しい要求はラインエッジラフネス (LER) の測定である。LER のための測定精度は線幅以上のものが要求される。

オーバーレイ計測も同様に将来的には挑戦的課題である。古典的なオーバーレイテスト構造は位相シフトや光近接効果補正マスクの使用下において生じるオーバーレイ誤差を完全に解析できない。

リソグラフィ計測の詳細な議論は計測章のリソグラフィ計測および顕微鏡観察に記載されている。この章には同様にリソグラフィ計測要件とその解決策候補も示されている。

モデリング・シミュレーション

リソグラフィモデリングおよびシミュレーション要求は4つのエリアに分割された;レジストモデリング;オーバーレイ;欠陥シミュレーション;リソグラフィ技術。これらのエリアのモデリングとシミュレーションの必要は、テーブル60の中で要約され、モデリングおよびシミュレーション章のリソグラフィセクションで簡潔に議論されている。

Table 60 リソグラフィモデリング・シミュレーション技術的要求と解決策候補

<i>KEY AREAS</i>	<i>SUMMARY OF NEEDS</i>	<i>POTENTIAL SOLUTIONS</i>
Resist Modeling	<p>Chemically amplified resists</p> <p>Post exposure bake</p> <p>Diffusion</p> <p>Line edge roughness</p> <p>Surface interaction</p> <p>Thin and multilayer resists</p> <p>Link litho to etch - uniformity</p> <p>Surface interactions</p> <p>Molecular level modeling</p> <p>Diffusion (model generation)</p> <p>Post exposure bake (model generation)</p> <p>Line edge roughness</p> <p>Stochastic shot noise</p>	<p>Develop methodology for calibrating models on production tooling</p> <p>Validate models across multiple features, sizes and pitches for 2D and 3D profiles</p> <p>Extend models to emerging materials and techniques (optical, EPL and EUVL)</p> <p>Integrate dry etch modeling into lithography simulation</p> <p>Establish mechanism-based models from basic studies on model materials</p>
Overlay	<p>Models for alignment signals</p> <p>Feature size dependent pattern placement</p> <p>45 nm node (and EUVL)</p>	<p>Establish techniques to calibrate, model and optimize overlay on product tooling</p> <p>Tools for optical system level calculation of pattern position and application of correction techniques</p> <p>Extend current models to future technology nodes and emerging lithography</p>
Defect simulation	Sort killer and non-critical defects	Model defect printability from masks through final product
Lithography technology, techniques and issues	<p>Phase shift lithography</p> <p>High numerical aperture effects</p> <p>Surface roughness; scattering</p> <p>EUVL</p> <p>ML2, EPL and other emerging lithographies</p>	<p>Full system level simulation of lithography tools with emphasis on balancing tradeoffs and optimizing performance (resolution, aberrations, throughput, masks, and material inhomogeneities) on product</p> <p>Simulation based assessment of emerging lithographies</p>