

テストとテスト装置

概要

2003年のテストロードマップは2001年版から引き続きスコープを拡張している。このロードマップの内容は、現われ来る課題への網羅性を高めることに焦点をあてており、今後の改訂で更に成長することが期待される。

この改訂のサイクルを通して、テスト装置産業が、伝統的なテストアーキテクチャから、ハイレベルな計測器のカプセル化とモジュール化によるユニバーサルスロットアーキテクチャへと、大きく変化を始めていることがわかる。この変化は、継続的な技術発展と設計コンポーネントの統合化レベルの向上によって可能となった。多くの場合において、一つのFPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) は過去のテスト設計における電子機器のサブシステム全体の代替となり得る。カプセル化とモジュール化は、複数の供給者からのテスト装置を一つのハードウェアとソフトウェアの環境に混載し適合させる可能性を持つ、オープンアーキテクチャの概念を導きだした。今日、この概念は、独自のプラットフォームによるいわば完全垂直統合のテスト装置産業へ、大きなビジネスモデルについての課題をもたらしている。しかし、オープンアーキテクチャアプローチにはいくつかの潜在的な優位性がある。

- ・ テストの基盤設備よりも計測器自体への、費用・工数の両面で研究開発投資の集中
- ・ プラットフォームよりも、テスト能力に基づく差別化
- ・ サプライヤの、得意とする能力、コスト削減、市場投入までの期間短縮に関わるソリューション開発への注力
- ・ 設備構成の再構築に関する投資の削減
- ・ それぞれのサプライヤへの、すべてのものをすべての人にという要求(非常に達成が困難)の排除

最終的にはオープンアーキテクチャの成功は、サプライヤと顧客、供給と需要の双方、すなわち産業界によって牽引されることになる。しかし、これからの数年間、テストソリューションの多くのサプライヤに対して、ターニングポイントとなるのは疑うまでもない。オープンアーキテクチャの成否に関わらず、新しいプラットフォームは、産業やテストの発展に大きなインパクトを持つ新しいレベルの可能性と汎用性と長寿命を提供する。次の重要な装置の選択は、次の十年の間すべての製品に対して展開されるテストプラットフォームを決めることになる可能性が高い。これはテストに関わるエキサイティングな時間である。

本ロードマップの章構成はロードマップの2001年版の構成に従っている。テスト技術課題はキーマーケットセグメントと設計アトリビュートに基づいてセクションに分けられる。これらはテストの判断を左右するものとして主として考慮されるものである。更に、困難な課題のいくつかの分野は、技術の研究開発の要求に対して、付加的な見識を提供するよう拡大された。

謝辞にも記述したように、産業界の多くの部門よりの協力でこのドキュメントは作られている。しかしながら、テスト技術ワーキンググループは常にさらなる参加を求めている。興味がある方は是非、ワーキンググループ主査にご連絡を。

困難な課題

実際のテスト工程の決定は、製品のテストコストとテストの効果の間でのトレードオフによって引き続き左右されるだろう。コスト面の圧力は、DFT (Design for Test) 技術開発フェーズの先端的設計のテスト要求を取り扱うための高性能デジタルおよびアナログテスト装置や、広範なDFTソリューションの対象とならない設計に関して続くであろう。テストの複雑性をチップ上に移動することにより、量産テスト装置への性能要求つまりコストの削減要求という目的のため、DFTの使用は拡大し続けるであろう。装置コストやスループットは、生産コストを支配し続けるだろう。

しかしながら、デバイスのデバッグや特性評価においては、実速度機能テストやアナログテストは設計やプロセスの欠陥や限界性の根本原因解析の重要手段として引き続き役立つであろう。従来のテスト装置による手法は、DFTに基づく結果と最終使用環境での状態の相関性が要求される。この装置については、生産に展開されず、むしろ低コストで多数のテストの性能の証明に使われることが期待されている。これは、産業への重大課題を示しており、この流れが続けば、もっとも複雑で開発集約的なテスト装置の有効な市場の縮小と、研究開発投資の空洞化を引き起こす。この空洞化は、今日、メーカーのハイエンドなソリューション開発に関する一般的な躊躇として現れている。設計のデバッグや特性評価のための新しい方法が、装置コストの上昇を抑制するために特定されなければならない。

汎用メモリのビット密度の増加は、フラッシュやDRAMデバイスのコスト比率を維持するために、連動した量産テストスループットの増大を要求する。並列テストという単純な拡張では不十分であり、おそらく、DUT (Device under Test) のインタフェース速度の上昇と精度要求に制限されるであろう。マルチビットテスト、BIST (Built-in Self Test) やBISR (Built-in Self Repair) は、量産スループットと歩留り確保に欠かせないであろう。複数チッププローブや並列パッケージハンドリング機能によるブレイクスルーは、連続ノードそれぞれについて、ビット当たりのコストのカーブを維持することを要求されるだろう。

トランジスタ数、インタフェース周波数、消費電力、多種多様な回路の集積によるデバイス複雑度の増加は、将来のテスト業界に大きな課題をもたらす。短期的課題は、高度に構造化されたDFT手法によるテストアクセスの提供と、高性能な信号をテスト装置のインタフェースからデバイスに供給する能力が中心となる。長期的課題は、テスト装置とデバイスのインタフェース、先端的テスト手法、および故障解析にある。以下、課題について更に詳しく述べる。

表23は、これらの課題を優先順にまとめたものである。

以下の章では、最も重大な課題のいくつかについて詳しく述べる。その後、キーコンセプトの表を添付する。

高速差動リンク

高速なシリアルインタフェースが長年にわたって通信市場分野において使われている。通信市場に急激な周波数牽引の持続が期待される間に、マイクロプロセッサ、ASICおよびSOC (System on Chip) 市場へのマルチレーンバス方式による高速シリアルプロトコルの展開が急激に進んできた。この傾向は、以前に限定した高速ネットワーク環境について、その本流に複雑なテストの問題を引き起こす。この市場分野で

は、そのインタフェースについて、他との間での広範囲なジッタートレランステストやジッタートランスファテストの実行が必要とされている。今日、そのようなテストは、アナログ分野においてラックアンドスタックやミクスドシグナルテスト手法として行われている。これらの手法は、テスト時間と装置コスト、および一つのデバイスの高速シリアルポートの制限数に応じた対価として莫大な製造コストをもたらす。単一デバイス当りのこれらのインタフェースが激増するとともに、従来のアナログテスト手法がアナログ機器の増大とともに不能になるだろう。これらのインタフェースの周波数の高速化が続くと、代替装置のソリューションとテスト手法が、開発と製造テストを可能とするために必要となる。

高集積設計

民生向け機器の形状要因とバッテリー寿命についての要求の高まりは、シングルチップへの高い集積化レベルを求め、製品タイプの境界を曖昧にする。SOCの出現は、アナログ回路が本来デジタル設計であったものに付加されてきたのか、あるいはデジタル回路が本来アナログ設計であったものに付加されてきたのかを決定することを困難にしている。特定の回路タイプへの装置の最適化で、プロセス技術によって得られた従来設計の境界条件の優位性を、テストが得られることはもはや無い。将来のテストプラットフォーム設計は、単一のチップまたは単一のパッケージ上の全回路タイプの混載とその適合に効果的に対応し、十分に柔軟でなければならない。

アナログの複雑度は、低速ベースバンドと数GHzのRF (Radio Frequency) の間では異なるであろう。ロジックやアナログ回路に加えて、真のSOC設計は、大量の揮発性・不揮発性のメモリの両方またはどちらか一方が混載されるであろう。単一のチップ上でのこれらの回路の組み合わせは、拡大する商品市場に投入されるデバイスのテストの複雑性や課題を更に増大させる。DFTやテスト装置アーキテクチャの根本的な改革には、メモリテストが要求する長いテスト時間とロジックとアナログ回路テストの複雑度とのバランスが必要とされている。

さらにこれらの設計に対するスルーput時間を劇的に縮めなければならない。大規模なSOCは、設計者が再利用可能なテクノロジーの混在したブロックまたはIP (Intellectual Property) コアから構成され、設計者に大幅に少ない工数で新しい品種を作り出すことを可能にする。更に、SIP (System-in-Package) 手法は、一つのパッケージへの複数のチップの組み込みによって、設計密度と多様性のステップ関数的増加を可能とする。高度に構造化された階層的DFT手法は、テストが市場投入までの期間で妨げられないよう、搭載ブロックの高い故障検出率とテストの二次的再利用を可能とすることが要求されるであろう。

マルチチップパッケージング

小さな製品形状を維持し、かつ市場投入までの期間の最小化を満たしながら、大規模メモリアレイのような顧客が定義するオプションを集積することが、マルチチップパッケージングに対する要求を高めている。異なるテクノロジーの複数チップのパッケージングは、それぞれのチップが異なる設計チームや異なる製造者からのものであるなどでDFTにリスクが伴うことから、テストの複雑性の低減などで、SOCデバイスと同様な課題をもたらす。また、特定の技術に対して個々に最適化され特別なテスト上で個々に取り扱われるいくつかのユニークなテストストラテジを持つデバイスが、1つのパッケージに集約されるだろう。これは現在存在するテスト方法やテスト装置機能には大きな課題であることを意味する

4 テストとテスト装置

マルチチップパッケージ構成要素の歩留りは個々のチップの歩留りとパッケージングの歩留りの積である。マルチチップパッケージの歩留りへの影響を縮小するために、ウェーハプローブからKGD (Known Good Die) が必要とされる。KGDは、現状のウェーハプローブの課題や潜在的な故障の加速方法について、ウェーハプローブによる欠陥検出への要求や課題を劇的に高める。マルチチップパッケージングに対して高まっている需要はウェーハレベルテストやバーンインの機能向上への関心の高まりの機動力となり、スルーブットや歩留りを最大化するための新しい製造プロセスフローの発展に導くだろう。

KGD

テストとデバイスのアーキテクチャは整合しなければならない。第一に、何らかの原因による変動を補正するために、高速バスでは転送クロックの利用が増えている。テストシステムもこのような転送クロックに対応しなければならない。第二に、今日最もデータレートが高いのは、セルフタイム式のデータストリームである。このようなデータストリームは、データレートが増加し続けると、フルビット時間を大きく越える変動が現れると考えられている。同期式のタイミング計算に基づいてデバイスの出力をスロープするテストシステムでは、このような変動に追従することはできない。テストアーキテクチャは、このようなセルフタイム式データストリーム固有のクロック方式に対応しなければならない。KGDという表現は10年以上も前に作られて以来、産業において多くの議論的となってきた。本来の定義は、ベアの、バンプのついた、あるいはTABのチップがそのパッケージされたチップと同様の品質と信頼性を持つべきであるということであった。これらの基準に対応させる試みは、複合的な成功でなされてきた。

チップとしての市場は、少量で高性能な航空及び軍事利用にフォーカスしたもから、多量で低コストの民生品へと進化してきたため、品質や信頼性に対する要求は変化してきている。またKGDという表現も、テスト方法の記述やアプリケーションの要求に対応するために使われた信頼性のためのスクリーニングに焦点をあわせることで進化してきた。今日では、顧客ニーズの不明確な判断に基準に焦点をあわせるよりも、KGDプロセスは、顧客が述べたとおりに、特定のマーケットアプリケーションに対する必要性に応じて設計される。

KGDの製造テストプロセスの定義と展開は、産業界にとって短期における主要な課題である。民生機器分野では、高集積に対する要求を満たすためにSIP技術に注力していることから、KGDは、複数のチップを単一のパッケージに組み合わせたときに歩留りやコスト目標を達成するための基本的な要求になる。

信頼性スクリーニング

テスト工程は、顧客での不良率(DPM: Defects Per Million)を減らすために、デバイスの機能、性能、信頼性に影響する製造不良をスクリーニングすることに責任がある。テストフローの一部には、テストフェイルとして現れるのではなく、長期的な信頼性の問題として現れる潜在的な不良を加速する工程がある。信頼性不良のスクリーニングの従来技術としては、IDDQ、バーンイン、電圧ストレスなどがある。

これらの手法の効果は、プロセスの世代が進むことによる継続的なデバイスの微細化により、課題を与えられている。オフ状態でのデバイスの静止電流の増加により、バックグラウンド電流はmAレベル、場合によってはA(アンペア)レベルにまで達している。このようなバックグラウンド電流の増加により、 μA からmAレベルの

IDDQ不良の検出はますます困難となっている。現世代のプロセスで用いているDelta-IDDQなどの延命技術が、今後も更に延命を続けられるかは疑わしい。同時に、バーンインや電圧ストレステストで行われている電圧と温度による加速手法は、通常動作とストレス過剰の条件間のマージンが減ったことにより、その効果が減少している。バーンインのコストは上昇を続けており、高電力製品では製造コストの大部分を占める場合もある。

潜在不良を加速する現在の技術は、そのコストの上昇と効果の減少の両面から、今後の世代のプロセスに対しては、業界の直面している最な困難な課題の一つとなっている。既存技術の延命は今後数年の間は十分かも知れないが、新しい手法の開発の基礎研究が必要である。

潜在的歩留り損失

製造歩留り損失は、テスト工程で正しく機能するデバイスを故障しているとして不良判定すると必ず発生する。歩留り損失の原因としては以下がある。

- テスタ誤差(タイミング、電圧、電流、温度制御など)
- 過剰テスト(例えば、動作しないパスの遅延故障)
- プローブの失敗
- プローブでの機械的損傷
- ハンドリングの問題
- BIST回路の故障
- IDDQのみの不良
- リペア可能な回路のリペア失敗

テスタ誤差による歩留り損失の要因としては、最近ではテスタのタイミング精度が支配的である。本書の他の箇所ではオフチップのピン動作速度の高速化は今後も継続すると予測しており、テスタのタイミング系に厳しい要求を突きつけている。過去の予測では、デバイス自体の不安定性(温度変化、Vddノイズ、その他によるタイミング変動など)を考慮に入れていなかった。テスタの精度だけでは、デバイスの不安定性をなくすことはできない。

テスタとデバイスのアーキテクチャは整合しなければならない。第一に、何らかの原因による変動を補正するために、高速バスでは転送クロックの利用が増えている。テストシステムもこのような転送クロックに対応しなければならない。第二に、今日最もデータレートが高いのは、セルフタイム式のデータストリームである。このようなデータストリームは、データレートが増加し続けると、フルビット時間を大きく越える変動が現れると考えられている。同期式のタイミング計算に基づいてデバイスの出力をストローブするテストシステムでは、このような変動に追従することはできない。テスタアーキテクチャは、このようなセルフタイム式データストリーム固有のクロック方式に対応しなければならない。

これらのデバイスの動作とデータレートの高速化に対応可能なテスタの設計は、現在供給されている高性能のファンクションテスタよりも更に高価となるかも知れない。多くの高速チャンネルを有する複雑なデバイスの実スピード機能テストは、コスト高であり続けることは明らかである。

6 テストとテスト装置

このような潜在的歩留り損失とコスト問題は、実スピード機能テストに別のテスト手法を用いることによって、緩和することが可能かも知れない。今は先進のパターン適用手法と新しい故障モデルによる実スピード機能テストベクタで最も確認できているような、“副次的な”故障に対する対応手段を供給できるように、DFT手法の確立が必要である。適切な故障モデルに関する今後の研究が必要である。

同様の歩留り損失問題が、変化信号の生起と取り込みが不正確なディレイテストにより発生している。ディレイパスの測定で15psの誤差が観測されたが、これは最近報告されている内部クロック周期の5%にあたり、歩留り損失あるいはテスト見逃しの可能性を示している。しかし、ディレイパス測定のテストでマージンを加える方法はまだ知られていない。

不適当なディレイパスが測定されると、ディレイパス測定による歩留り損失が更に増加する。フォールパスを測定することによる歩留り損失を回避するためのツールの開発が必要である。

しかし、広い意味で歩留り損失の概念としては、正しく作られた少数のデバイスに故障があるがために、正しく作られた多数のデバイスや配線を捨てることも含めて考えてもよいであろう。この種の歩留り損失は、高密度メモリでは冗長なローとカラムを設けることにより今は対処している。同様の戦略が、よりハイレベルの再構成を可能とすることで、システムレベルでも成功している。

オンラインのテストやリペアを組み込む方法に関する研究開発は、システム技術の分野で長い歴史がある。これらの成果をICに持ち込むことで、この広い意味での歩留り損失を減少させることができる可能性がある。オンラインのテストとリペアの技術に関して更に研究が必要である。

製造テストのコスト

テスト装置のコスト削減の分野で著しい発展が続いているが、テスト装置産業には多くの課題が残されている。費用に対するテスト能力の増大を可能にしながら、テスト装置産業は半導体デバイスの高性能高機能化という継続的なトレンドから恩恵を受けてきた。このトレンドは、今日実現されている低性能なロジックテスト装置において実証されている。しかし、ロジックやアナログやRFやメモリの幅広い市場に同様な改善を展開するという重要な課題が残されている。

民生機器を主なターゲットにするSOCやSIP)劇的な増加は、その結果として複合技術デバイスのテストコストを削減する圧力を増大させている。そしてデジタルやアナログやRFやミックスドシグナルなどのテスト装置の間にある従来の壁を破り、テスト装置の高構成化やすべてのテストソリューションに対応する共通プラットフォーム化のトレンドに帰着する。このテスト装置の第1世代は各種従来テストからの先端技術の組み合わせになっている。この手法は装置コストが大きくなることから、結果的にテストコストの増大を招いている。DFT対応のデバイスをターゲットにしている低コスト装置ソリューションは、今日の複合技術領域に適合していない。次の論理的な段階は、より適切なコストパフォーマンスを達成することを目的に、テストシステムの構成性や柔軟性を増大させることになる。これはテスト装置アーキテクチャの根本的な転換に通じている。

何年もの間、テストのコストはデバイスのテストコスト計算式の中で主たる要素だった(スループットを唯一の例外として)。テストそのもののコストが低下するにつれてデバイステストコストの主要素は曖昧になってきており、その分析には製造テストのすべてのコスト要素を見渡す必要が生じてきた。製造テストのコスト分析には、DFTに関連する設計NRE(Non-Recurrent Engineering)コスト、ハンドラやプローバの装置コスト、及び他の多くの要因を踏まえる必要がある。

1997年と1999年のロードマップでは、マイクロプロセッサのテストコストが製造コスト全体に影響を及ぼす潜在的なトレンドを取り上げた。ハイエンドマイクロプロセッサにおいては、ピンコストとピン数のトレンドは増加し続けると思われる。1997年SIAロードマップの発刊以来、ATEコストやEDAツールのコストや製造ラインにおけるテストエンジニアリングのコストに着目した重要な議論が交わされてきた。この関心は、半導体テストのコストをより正しく理解することに繋がり、そして潜在的な収束予測を緩やかにするのに役立ってきた。今後は、工程ごとのテストコストやテスト装置コストの検討が、製造テスト方法論の方向性を決めてゆくであろう。

製造テストのコストは多くのコスト要素で構成され、概要は次のとおりである。

1. Test Manufacturing
 - ATE capital cost
 - Handler cost
 - Probe-card cost
 - Spares and maintenance cost
 - Floor space cost
 - Electricity cost
 - Tester utilization
 - Operator cost
 - Other
2. Test Development
 - Test program
 - DFT
 - Tool depreciation
 - Time-to-market
 - Other
3. Product Related
 - DFT area overhead
 - Yield impact
 - Test quality
 - Other

工程ごとのセルコストを示す主要な要素はテストセル効率とスループットである(すなわち、テスト時間と様々なインデックス時間)。従来、ATEコストはデジタルピンあたりの簡単なコスト計算手法で見積られてきた。これは便利な見積基準だが誤解を招くおそれがある。なぜなら、ピン数や同時測定個数の削減で生じるスケールアップだけでなく、装置インフラや中核機器に関連するベースコストも無視されているからだ。更には、テストチャンネルの多様な組み合わせに同じ基本インフラが使われるという、ATEプラットフォーム化の

トレンドに照準があっていないからだ。それゆえ、各種テストに対して次の計算式を利用することはATEコストのトレンドを表現したり評価したりするのにより有益な方法であろうと提案された。

$$C_{ATE} = C_{BASE} + \sum_{i=0}^{x-1} C_{CHANNEL,i}$$

この計算式において、 C_{BASE} はゼロピンやゼロチャンネルのテストシステムのベースコストである(例えば、機械的なインフラ、バックプレーン、中核機器及び給電系統のように装置ごとに必要なリソースのコストが含まれる)。 $C_{CHANNEL,i}$ はピン*i*の増加コストになり、 x はピン数である。この方程式は、異なるテスト機能ピン(例えば、デジタルやアナログやRFやメモリ)を備える複合構成システムにも適用できる。

テストコストの低減

今後はテストコストへの継続的な関心が、テスト方法、故障モデル、及び他の検討事項もある中での複数工程にわたる分散テストの種々のトレードオフを更に良く理解することになるであろう。そして、これは結果的に総合的なテストコストの低減に帰着する。また、歩留り改善に向けたテストの決定的な価値(すなわちtime-to-qualityやtime-to-yieldやtime-to-market)はテストコスト計算式の中で検討されるであろう。統計的ウェーハマップ解析や欠陥検出テストやコアレベルの歩留り特性抽出のような新しい歩留り特性抽出技術は、歩留り改善の工程を支えてゆくであろう。

今後はテスト開発期間とコストが、DFT技術やテスト標準化(すなわち、テスト再利用やテストプログラム互換や適時生産に貢献するような)や自動テストパターン生成(すなわち、構造テスト手法)や設計工程初期のテスト容易化検討によって大いに削減されるであろう。構造テストは一般的になってきているが、短期的には殆どのテスト工程で機能テストを置き換ええないであろう。DFTはハイエンドデジタル論理設計で主流になっており、アナログやSOCへの浸透が近い将来に始まるであろう。

デジタルテストデータの圧縮技術や帯域整合や複数コア(例えば、ADCやDACやデジタルやメモリのコア)の同時測定を可能にするDFTのように、DFT技術はスループットやテストリソース活用の向上に利用されるであろう。複数コアの同時測定機能やEDA環境とATE環境の間の簡単なコミュニケーション(例えば、データログに関して)など、ATEはEDAやDFTの特徴を活かす機能を搭載するであろう。ディーブサブミクロン時代の新しい故障モデルは、技術進歩と同様にテスト品質を維持するために必要とされる。これを適用するために、削減されたテスト時間はある程度は使われるであろう。DFT技術は低コスト低機能装置の利用や現有装置の再利用を可能にするであろう。ある程度の性能と工程を目的に、専用の低コスト装置は経済的に正当化され開発され続けるであろう。

SIP(及び積層パッケージ)のようなパッケージ技術は、ウェーハテスト時間とコストに大きな影響を及ぼしながらKGDのニーズを押し広げるであろう。更には、パッケージピン数の増加の可能性は最終テストの要件を複雑にするかもしれない。ある工程にとって、新しい製造手順は経済的に正当化されるかもしれない(例えば、組込みFlashやDRAMに向けた特別なウェーハテスト工程)。

この章の主な論点はテストセルのコストである。テストセルは、オートハンドラやテストヤある部分をテストするのに必要なテストフィクスチャからなる完全な構成として定義される。テストコストは個々に最小化を図るのではなく、全体最適化で最小のトータル製造コストの達成を図るべきであることに注意してほしい。例えば、もし歩留り向上で更に低いトータル製造コストになるなら、テストコストの増大は歩留り向上を推し進めるために正当化できるかもしれない。このロードマップの今後のアップデートではテストコストに関する他の論点も加えて、この章の検討範囲を広げる予定である。

ベースコストの低減

トータルのベースコストは\$100,000から\$400,000まで変動し、そして長期的にはほんの僅か減少すると思われる。多数個同時測定はスループットを増加させ、複数のチップにベースコストを分散させる。それゆえ、チップあたりのベースコストは減少することになる。多数個同時測定はメモリテストの範囲を越えた分野で普及するであろう。とりわけ、ATEのベースコスト(そして、インデックスコスト)がコスト計算式の大半を占めているデバイステストにおいて普及するであろう。同時測定個数の増加は、多ピン高周波特性を備える新しいプローブカード技術によって可能とされるであろう。超多数個同時測定では、プローブカードのコストと給電コストがトータルセルコストのかなりの部分を占めるかもしれない。ある種のデバイス分野において、これは同測個数を増やすことに対する経済的な正当性を制約するかもしれない。研究開発部門は、製品提案とテスト動向に直結するコスト効率の高いプローブ技術を市場に出し続けることになるであろう。

SOCの製品寿命は短く、そしてSOCはデジタルやアナログやRFやメモリやミックスドシグナルのテスト装置の間にある従来の壁を破っている。複数の異なるデバイス品種に渡って投資コストを回収するために、テスト装置の利用度を上げるために、デバイステストの範囲を広げる柔軟性を備えるために、そして最新のATE技術の有効性を確実にするために、内製プラットフォーム戦略かオープンアーキテクチャイニシアティブのかどちらかでATEはモジュール構成化や拡張構成化になるに違いない。このトレンドは、異なるコスト要因の間にある関連を変えるであろう。例えば、従来は架台内に収められていた多くの機能が今ではピンカードに搭載されている。テスト工程数の増加は、特定のデバイス品種においてのみ経済的に正当化されるようになるかもしれない(例えば、組込みFlashやDRAMに向けた特別なウェーハテスト工程)。

チャンネルコストの低減

チャンネルコストは、テストエレクトロニクスの継続的な高集積化やATEピン要求を減じる幅広いDFT取込によって減少するであろう。

アナログ及びRF計測器の比較的高いコスト、及びこれらの回路のテストに関連する長いテスト時間は、1つのキーチャレンジを残している。アナログとミックスドシグナルのテストを目的にしたDFT方法論は開発の初期段階にあり、テスト業界の重要なチャレンジを象徴している。高速シリアルインタフェースがASICやSOC市場に入り込んでいる。今日既に、ジッタテストは結果的にテストの長時間化と装置の高コスト化を招いている。インタフェースの数が増えるに従って、コスト問題も増えるであろう。今後は、新しいテスト方法論の開発が望まれる。

デバイス対応の例

ベースコストとチャンネルコストの前述のトレンドは4つの異なるデバイス対応で分析できる。表21を参照。

表21 Test Equipment Cost Trend per Product Segment

	Number of Channels					Base Cost
	Functional (high-end)	Functional (low-end)	Structural	Analog/RF	Memory	
Channel Cost	\$2.5K–\$7K	\$500–\$2.5K	\$500–\$1K	\$8K–\$30K	\$900–\$1K	
High-performance ASIC/MPU Product	250		100		20	\$250K–\$550K
Low-performance Microcontroller Product		32	8		2	\$150K–\$350K
Mixed-signal/RF SOC Product	5	50	50	60	50	\$150K–\$400K
Commodity Memory Product					17	\$30K–150K

デバイス対応のテストチャンネル数は対応行に記述されている。チャンネルコストのトレンドは対応列に記述されている。

表22は同時測定個数のトレンドを示している。テストコスト目標を達成するには、多くのやり方や手法があることに注意してほしい。ここに示されている同時測定個数は、異なるデバイス対応の典型的な状況を表している。またある技術ノードに対する最適な同時測定個数は、必ずしも可能な限り最大の同時測定個数とは限らないことに注意してほしい。使い古された経済モデルが利用可能になるであろう。

表22a Multi-site Wafer Test (Package Test) for Product Segments—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
High Performance ASIC/MPU							
Number of sites (wafer test)	1	4	8	8	8	8	16
Number of sites (package test)	2	2	4	4	4	4	8
Low Performance Microcontroller							
Number of sites (wafer test)	16	32	32	64	64	128	128
Number of sites (package test)	96	128	128	256	256	512	512
Mixed-signal/RF							
Number of sites (wafer test)	2	2	2	4	4	4	4
Number of sites (package test)	4	4	8	8	8	8	16
Commodity Memory							
Number of sites (wafer test)	128	128	128	128	256	256	256
Number of sites (package test)	64	128	128	128	256	256	256

表 22b Multi-site Wafer Test (Package Test) for Product Segments—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
<i>High Performance ASIC/MPU</i>						
Number of sites (wafer test)	16	16	16	16	16	16
Number of sites (package test)	8	8	8	8	8	8
<i>Low Performance Microcontroller</i>						
Number of sites (wafer test)	128	128	128	256	256	512
Number of sites (package test)	512	512	512	768	768	1024
<i>Mixed-signal/RF</i>						
Number of sites (wafer test)	8	8	8	8	8	8
Number of sites (package test)	16	16	16	16	16	16
<i>Commodity Memory</i>						
Number of sites (wafer test)	512	512	512	512	512	512
Number of sites (package test)	512	512	512	512	512	512

重要な関心領域

1. 同時測定個数の増加は、ATEアーキテクチャやプローブカード技術に厳しい要求を課している。研究開発部門は、製品提案と同時測定のトレンドに直結するコスト効率の高いプローブ技術を市場に出し続けることになるであろう。
2. 一旦テストの圧縮が普及すると、テストコスト全体に占めるデジタル・テストコストの割合は著しく減少すると思われる。したがってテストコストは、例えばアナログやRFのテストが支配項になるかもしれない。
3. アナログ及びRF計測器の比較的高いコスト、及びこれらの回路のテストに関連する長いテスト時間は、1つのキーチャレンジを残す。同時測定を可能にするために、多くの機器にはFFTのようなDSPテストアルゴリズムの高速並列処理が必要とされる。ミックスドシグナルの同時パッケージテスト次の検討は、パッケージテスト用DUTボードの周辺回路領域である。とりわけ複雑なパッケージテストのための周辺回路領域である。プリント板の高層数化はスルーホール空けを難しくする。またATEのデジタルピン数は同時測定個数を制限する。なぜなら今日のミックスドシグナルは一般的にDFTやBISTを利用しておらず、フル・ファンクションテストを必要とするからである。コスト低減圧力によって、これは将来的に変わると思われる。
4. 高速シリアルインタフェースがASICやSOC市場に入り込んでいる。今日既に、ジッタテストは結果的にテストの長時間化と装置の高コスト化を招いている。インタフェースの数が増えるに従って、コスト問題は直線的に増えるであろう。コスト比率を旨く処理する新しいテスト方法論の開発が望まれる。
5. メモリサイズの増加は結果としてテスト時間を増大させ(すなわち、セルスループットを低下させ)、新しいDFT技術(例えば、BISTやBISR)を加速させる。組込みメモリ技術(FlashやDRAM)は特別なテスト

工程を経済的に正当化させるかもしれない。ビット学習曲線のコストを維持する方法論を開発するために基礎研究は必要とされている。

6. 超多数個同時測定に加えて、ウェーハレベルバーインはいくつかのデバイス品種のテストコストを低減する1つの手法になるかもしれない。

テストと歩留り学習

通常の(良品と不良品を)区別する機能に加えて、テストはディーブサブミクロンの製造プロセスに備わる不良メカニズムを理解するための主要なフィードバックのループを提供する。テストは、致命欠陥や許容範囲を超えたパラメトリックなバラツキ、及び設計とプロセスの相互作用に関するフィードバックの主要なメインソースである。テストは、欠陥位置絞込み、プロセス尺度、及び不良根本原因の究明をコスト面で効果的に支援し続けなければならない。

物理的不良解析

CMOS技術のより小さくてより複雑なデバイスへ向けての移行は、伝統的な物理的不良解析(PFA)工程に対して過酷な課題となるであろう。伝統的なPFA工程は、不良位置絞込みと剥離工程及び物理的特性評価/検査の工程からなるが、型どおりの解析工程に頼るには、徐々に時間がかかり過ぎて、複雑すぎるものになるであろう。代わりに、以下に示されるようなソフトベースの欠陥位置絞込みやシグナチャ解析といった鍵となる分野の発展によって、PFAはサンプリング/検証の役割をなすようになっていくであろう。しかしながら、PFAは既存のツールに対して改良を要する重要な工程であり続けるし、プロセス技術とともに発展を続ける技術であり続け、時には新しいブレイクスルー技術を要するであろう。技術の発展とデバイスの複雑さにより生じるPFA能力の不足点について以下に優先度付けた順に詳細を示す。

1. **回路プロービング** - 不良デバイス内の回路部品の特性評価は歴史的に接触プローブによって行われてきた。集束イオンビーム(FIB)によるプローブパッドは1つの可能性のある解ではあるが、回路特性を変えずにプローブパッドを作成できるかどうかは定かではない。FIBによるパッド作成なしの接触プローブは配置の精度とプローブの近接条件によって律即される。通常、最悪ケースは単一SRAMセル内への4箇所のプロブ配置の要求によって特徴付けられる。
2. **メタル多層配線不良の特定** - デバイスのメタル構造内における不良の物理的特定はメタル層数の増大によって複雑化してきている。TIVAやOBIRCHに代表される熱レーザープローブ技術は、メタル多層配線不良を特定するのに最もよく使われる技術である。そうした技術は、レーザーがメタル多層配線を3層から4層まで貫通する能力、及び多層配線内を熱が伝導する能力で律即される。こうしたいくつかの制限は空間分解能の劣化をもたらす。チップを表面と裏面の両方から観測する戦略は状況を改善できるけれども、そうした戦略は現実的でないこともある、特にフリップチップ構造に対してはそうである。
3. **FIB加工** - プロトタイプを支援し設計修正の回数を削減する回路のFIB加工能力は、要求される空間分解能及びピアのアスペクト比により律即される。更に、出現しつつある新材料での加工能力は確認されていない。

4. **垂直方向の画像分解能** - 欠陥画像の垂直方向分解能はメタル層数の増加に伴い課題が増えてきている。剥離工程と断面解析の組み合わせが歴史的に欠陥の観測手段を提供してきた。“致命欠陥”が小さくなりアスペクト比が増大するにつれ、分解能を向上し物理解析時間を削減するために、集積回路の画像化分野で三次元的アプローチがよりいっそう求められる。欠陥絞込みの空間分解能や画像処理技術はシリコン技術とともに縮小化していないので、特定された欠陥の効果的な画像処理技術は徐々に困難化している。
5. **新材料の扱い** - 新材料は不良解析に数々の課題を生じる。これらの課題は、サンプル準備の課題、FIB加工と断面解析、電子ビーム画像と様々な不良解析ツールとの相互作用を含む。それぞれの新材料は不良解析能力の広範な発展を必要とする。
6. **波形獲得** - デバイスの波形獲得技術の適用性については、それぞれの技術ノードに対して再評価されなければいけない。単一ポイントのPICA解析は将来の技術ノードに対する主要な候補だが、遷移状態における光生成のデバイス物理やフォトン検出可能な範囲について課題が残る。

技術的な課題に加えて、いくつかの不良解析に関する課題が更に存在する。不良解析の新しい能力の開発は、各プロセス世代に対して、だんだん高価でリスクが大きくなってきた。典型的なツールコストは増大しており、過去よりも世界的に展開されることが少なくなって、一定の不良解析ツールへ全体のアクセス可能な市場は縮小し、それ故、不良解析ツール開発への投資は経済的に魅力が薄いものとなる。不良解析ツールの導入が不成功に終わるリスクを低減するため、不良解析ツール製造業者へのコンソーシアムからの資本投入の必要がある。更に、ツールセットの世界的展開が少なくなり、不良解析がより高価になるにつれ、不良解析の価値付けの再評価がもっと吟味されるであろう、またその工程を通過する部品の数も減少しがちであろう。

ソフトウェアベース診断とシグナチャ解析

PFAへの課題がより厳しくなるにつれ、代替手段が必要となっている。伝統的なハードウェアベース不良絞込みに対する鍵となる代替あるいは補充手段はソフトウェアベース不良絞込みである。ソフトウェアベース不良絞込み手法やツールがすべての主要なテスト手法により検出された不良の診断を扱うために必要とされる。それらのテスト手法とはスキャンベースのテスト、BISTベースのテスト、ファンクションテスト、IDDQテスト、それに特に重要なAC(遅延)テストを含む。搭載メモリや単独のメモリ中の不良絞込みは、比較的容易な仕事ではあるが、密な上位層のメタルを欠きマイクロプロセッサが技術先導の役割をRAMに取って代わっている事実のもとでは、もはや十分ではない。それらのツールは抵抗性ブリッジや抵抗性のコンタクト/ピアやオープンを含むすべての現実的な物理欠陥を扱わねばならない。パラメトリック(欠陥でない)で信頼性不良に関わる問題の診断手法もまた開発されるべきである。BISTのようなDFT手法は、必要なデータを収集可能なように特別な考慮で設計されねばならない。IDDQ測定デバイスは診断に要求される精度レベルを満たさねばならない。テストの応答データ取得能力やデータマネージメントシステムはこれらの手法の要求を満たさねばならない。特に、ATEはDFTテストに対する表30に予測されたスキャンベクトレートモデルでスキャンデータを無制限に収集出来るようにすべきである。唯一もしくは数個に不良ネット候補を絞り込むにたる診断データ収集は、全体のテスト時間に対し多大な増加をすべきではない。

ツール及び手法は以下に示す複数レベルのソフトウェアベース診断を実現すべきである。

1. 分解能とテストコストオーバーヘッドとのトレードオフを考えながらの、生産に価値あるデータ収集。課題の中にはデータ圧縮やBISTのアプローチも含まれる。最低限の要求は不良コアの特定である。平均的なテスト時間の増分は1%以下にするべきである。
2. 選択されたエンジニアリングやモニタを目的としたウェアやロットの集中的データ収集。粒子化(クラスタ化)は精確なパレート図分析(要因分析)を行い、ツールによる共通性解析を行えるように十分なものでなければいけない。スループットは、十分な分量の製造プロセスに対して、タイムリーにフィードバックするのに十分短くなくてはならない、また時間0の不良と信頼性不良の両方を扱わなくてはならない。ツールは不良ネットを特定するだけでなく、その不良となっている層も特定しなくてはならない。そのような解析は、レイアウト情報とインラインのテスト結果のどちらか、またはその両方を不良絞込みに統合化することも含むであろう。典型的なテスト時間は秒オーダーでなければならない。
3. 欠陥を単一トランジスタまたは10 μm 以下の導体部分に特定し不良層も特定する個別のチップ解析。そのような解析は特殊用途の診断分解能向上用ATPGやフェイルデータ収集、アナログ再シミュレーションのどちらか、またはその両方を含むかもしれないし、その後の不良解析により確認されることもある。解析時間は前項の2つのケースに比べかなり長くなるかも知れない。

ハードウェアベースの不良絞込みツールは上記を適当に補足あるいは充足するために使われるであろう。これらの技術の空間分解能は画像処理や画像の重ね合わせに用いられる近赤外線光によっておおよそ約0.5 μm に固定されている。(例えば、時間分解型エミッション、エミッション顕微鏡、レーザプロービング、熱誘導型電圧加速 [TIVA]、など)。裏面画像処理に対して他のいかなる手法も存在しない故に、この制約はハードウェアベース不良特定ツールを画像重ね合わせと信号追跡の改良されたCAD能力と統合化することで扱われなければならない。CADナビゲーションは空間的であるとともに時間ベースでなければならない、即ちシミュレーション波形と連動していなければならない。最後にシグナチャ解析手法は、物理不良解析の必要性を大幅に削減または無くするために開発されることが期待される。統計的手法は、精確に前もってテストで区分された特定のクラスから不良チップを選び、物理不良解析の入力を優先度付けるために必要とされる。データマネージメント戦略は、同じ設計コアを含む複数の製品にわたって一貫性のあるデータを収集するために必要とされる。より長期的には、物理不良解析のために再テストをする必要のない、テスト情報に基づいた根本原因の特定のための手法が開発されねばならない。可能とする鍵となる技術は個々の欠陥タイプを区別する能力のある特性評価テスト手法である。電気的特性評価とレイアウトデータ及びテスト構造/インラインのテスト結果の統合もまた鍵となる能力を持っている。

欠陥と不良のメカニズム

企業は、変化するプロセス技術や変化する回路感度とモデリングの限界から来る、新しい製造不完全性に関連したテストと歩留り学習の課題に面している。

1. プロセス技術の進歩は回路の機能に影響を与える物理欠陥の母集団を変えつつある。例えば、より小さい、あるいはより高いアスペクト比のピアは不完全なエッチの疑いがより濃く、抵抗性ピアに非常にやり易くなる。同様に、負の(即ちエッチングプロセスの)アルミニウムプロセスからダマシンCuへの変化は、異物起因のエッチ残りによるメタルショートを減少させ、異物起因のデポ残りメタルオープンを増

加させる傾向がある。更に、配線オープンが起きたときそのまま残りうるリニアメタルのCu配線の導入は、抵抗性配線オープンの可能性を増加させる。低誘導率の誘電体の導入は潜在性の抵抗性短絡を増加させようとするし、より小さいトランジスタは負バイアス 温度不安定性(NBTI)のような劣化メカニズムの重要性を増加させる。

2. 回路感度の変化は過去に良性であった欠陥を将来致命欠陥にするかもしれない。例えば、クロックサイクルがより短くなると、10psや100psの遅延は従来よりも回路不良を起こしやすくなる。更には、電力最適化または合成された、あるいはその両方を満たす設計は、大きなタイミングマージンのパスが少ないので、ランダム遅延を起こす欠陥によって不良を起こしやすいと言える。同様に、クロストークや電源ノイズ/グラウンドバウンスなどの増大するノイズの影響は、ノイズ及びタイミングマージンを現象させ、回路を欠陥に感応しやすくする。
3. 最後に、複雑度のモデリングは、すべてのプロセス条件下で回路機能を保障するため、EDA / 設計の能力を脅し、そのプロセス条件は回路内の微妙なパラメトリック不良モードでテストの土俵に到達するかもしれない。

不良モデリング、テスト生成、テスト検出率評価、DFT手法、テスト適用と診断、などを含むテスト工程のすべての様相は、これらの製造工程の不完全箇所による現実の変化している母集団を扱わなければならない。新しい欠陥のクラスはある種の製品に対しては伝統的なテスト手法を使っては検出できないかも知れない、例えばASICの小さな遅延欠陥がこれにあたる。有望な戦略としては、現実的な欠陥ベース不良モデリング、低VDDや温度での規格外テスト、帰納的不良解析にもとづく欠陥志向テスト生成、統計的手法、及びIDDQテストを継続的に使用可能にする技術が上げられる。ここにあげた技術や他の技術が精確に狙いを定め効果的にするには、製造の不完全箇所による母集団の発生と特性に関する確固たる情報が必要とされ、それゆえ欠陥を理解し特徴付ける手法が開発されねばならない。

自動テストプログラム生成

組み上げただけで正しく動作するテストプログラムとパターンは、テスト開発チームが長年にわたり実現できていないものである。設計の複雑度の増加とチームを組んでの開発の必要性により、time to marketへの影響を抑え短縮するために、テストプログラム生成の自動化の大幅な改善が必要とされている。EDA(Electronic Design Automation)業界は、テスト開発、データ生成、及び装置間変換などの全工程を支援することを目的として、数多くのツールを開発し展開してきた。しかし、単一のEDA業者から供給される統一された環境をデバイスメーカーが利用できることはほとんどなく、ツール間互換性の標準が一般に不在であることでデバイスメーカーは自動化のために困難な労力を強いられている。ツールインタフェースと互換性の標準に焦点を当て、EDAとテスト装置の供給業者の協力は増えているものの、プロセスの世代の進展とそれに伴う設計の集積度の増加により、困難な問題も増えていく。

テストプログラム生成の完全な自動化を実現するためには、テスト装置のソフトウェア環境自体の更なる標準化が必要である。歴史的に、それぞれの装置供給業者は、彼ら特有のソフトウェア環境の定義と開発に対して、包括的で独自のアプローチを取ってきた。EDAに関しても同様であり、デバイスメーカーは、単一の業者から供給される装置の統一されたテスト環境を持っていない。テスト装置のソフトウェア環境の標

準化が進むことにより(適した場面では)、デバイスメーカーの望む通り、供給業者の参入の障壁が下がるとともに、プラットフォーム間でのテストデータの移植が簡単になる。

プラットフォーム供給者単独のソフトウェアソリューションと装置のプログラミング、自動化、カスタマイズのための自社製ツールからなる今日の環境は、テスト開発技術とファクトリインテグレーションにおいて受け入れがたい工数増加を招くであろう。よくある作業の自動化とテストプラットフォーム統合化の時間短縮のためには、製品開発のライフタイムが短くなっていることから、既存リソースのより効果的な利用を可能にする標準化が必要である。結果的に工数が既存の手法より削減され、ツールのスループットの向上がデータの前処理や後処理によって消されることがないように、新しいツールの開発は最終用途を考慮したものでなければならない。

モデリングとシミュレーション

Time to marketは製品の成否を左右しうる。デバイスのデバッグは、製品を顧客に届けるまでに要する時間に大きく影響し、スケジュール的に見ればクリティカルパスとなる。この作業を滞りなく実行するには、予期せぬ問題の発生を最小化し、テストデータとインタフェースの正しさを保証するために、プレ・シリコンでの万全な準備が必要である。プレ・シリコンでのデバイステスト環境の電氣的モデル化は、高電力や高速インタフェースのデバイスにとって、基本的な要求である。

電力と信号伝達パス全体の電氣的モデルは、テストインタフェースボードの設計と製造のために、最初のシリコンができるより数ヶ月前に必要である。高電力デバイスでは、電力パスのレイアウトと電力供給能力に十分注意を払い、寄生容量を最小化し反応帯域を最大化しなければならない。高周波インタフェースを持つデバイスは、容量やインピーダンス不整合や配線材料の性質による損失に非常に敏感であり、材料の選択や配線の設計にとって電氣的モデル化が重大な問題となっている。計測器の位置とパスの性能に対してインタフェースのレイアウト上の配線と配置の最適化を可能とするためには、複雑なシミュレーションができる必要がある。テスト装置の計測器、電気供給パス、プローブカード又はロードボードと接触部分、及びDUTの詳細なモデルがシミュレーションでは必要となる。このようなシミュレーションが、チップでの信号と電力の性能を保証するために必要である。

装置供給業者は、今後のすべての電源供給とピンエレクトロニクスの開発プログラムのために、電氣的モデリングとモデル検証を、基本的な必要物件に含めなければならない。多くの場合、テスト環境との整合を確実にするためには、実際のテスト装置が利用可能になるより前に、プロトタイプの電氣的モデルを提供する必要がある。

表23a Test and Test Equipment Difficult Challenges—Near-term

Five Difficult Challenges ≥45 nm/Through 2010	Summary of Issues
高速デバイスインタフェース	<p>主な障害は高周波多ピン型のプローブとテストソケットへのニーズであろう。寄生インピーダンスを低下させながら低コスト解決策を可能にする研究開発を緊急に必要としている。</p> <p>高速シリアル・インタフェースの速度とポート数のトレンドは、その特性を把握するための高速アナログのソース/キャプチャ、及びジッタ解析機器の能力をドライブしつづける。製造のために、DFT/DFMの各手法を開発しなければならない。</p> <p>特に高周波差動I/O及びアナログ回路の場合は、デバイスインタフェース回路が設備のバンド幅と精度を劣化させてはならない。さもないと、ノイズが発生する。</p>
高度集積化設計	<p>内蔵コアへのテストアクセスを可能にするには高度構造型DFTアプローチが必要となる。DFTと組込みセルフテスト(Built-in Self Test: BIST)を使用してテスト可能にする際に、特別な注意を個別のコアに払う必要がある。</p> <p>テストインタフェース要求傾向と緩慢だが常に増加している機器能力傾向の両方を単純化するため、アナログDFT及びBIST手法を成熟させなければならない。</p> <p>ノイズが発生するデジタル回路を多数含んでいるテストチップの場合、それに加えてRF回路とオーディオ回路が含まれると、テストは大きな目標となる。</p> <p>高度に複雑な設計のテスト開発時間を短縮するために、DFTは、再使用可能設計型コアについてテストの再使用を可能にしなければならない。</p>
信頼性スクリーニング	<p>既存の方式は限られている(バーンイン対熱暴走、IDDQ対バックグラウンド電流の増加)。</p> <p>新たな初期不良欠陥の加速ストレス条件を特定するには、研究が必要である。</p>
製造テストのコスト	<p>製造テストのコスト削減にはテストセルスループットの向上が必要である。機会としては、広範な並列テスト、ウェーハレベルテスト、ウェーハレベルバーンイン、その他を含む。目標には、デバイスのインタフェース/コンタクト(interfacing/contacting)、電力管理、熱管理を含む。</p> <p>少ピンテスト、設備の再使用、テスト時間の短縮を含む低コスト製造テストソリューションを可能にするため、デバイステストのニーズをDFTにより管理しなければならない。</p> <p>テスト開発期間の短縮のため、自動テストプログラム生成が必要である。テスト内容の再使用と小回りの利いた生産のため、テスト標準が必要である。</p>
モデル化とシミュレーション	<p>プレシリコンテストの開発を可能にし、高価なATE上での高コストなポストシリコンテスト内容の開発とデバックを最小にするために、ATE、デバイスインタフェース、DUTなどの正確なロジックとタイミングのシミュレーションが必要となる。</p> <p>チップにおける信号精度と電力品質を確保するため、高性能デジタル及びアナログI/O及び電力の要求はテスト環境シミュレーション能力に大きな改善を必要とする。</p> <p>インタフェースの設計を可能にするため、設備のサプライヤはピンエレクトロニクス、電源、デバイスインタフェースなどの正確なシミュレーションモデルを提供しなければならない。</p>

表23b Test and Test Equipment Difficult Challenges—Long-term

Five Difficult Challenges <45 nm/Beyond 2010	Summary of Issues
DUT ATE インタフェース	<p>光学的な及び他の破壊的な技術のためのプローブ可能化。</p> <p>フルウェーハコンタクトを含む大規模な並列テストのサポート。チップサイズの縮小と回路密度の増大はチップの熱密度の大幅な上昇を推し進める。製造スループットを最大にする並列テストを可能にする要望により、この問題は更に拡大する。ウェーハプローブとコンポーネントテストには新たな熱制御手法が必要となる。</p> <p>インタフェースとテスト装置による接触しないでデバイスピンのテストを可能にする DFT。</p>
テスト方式	<p>新たなDFT 手法(スキャン及びBISTが過去20年以上主流である)。制御と観察用の新しいテスト方式が必要である。設計の階層を利用してテストを開発しなければならない。</p> <p>テストインタフェース要求傾向と緩慢だが常に増加している機器能力傾向の両方を単純化するため、アナログDFT及びBIST手法が成熟しなければならない。</p> <p>新たな故障モデル、故障解析、決定論的なテストをサポートするため、ロジックBIST 手法は進化しなければならない。</p> <p>機能、適用範囲、コスト、回路性能、ATPG性能などを考慮に入れて、DFT挿入用のEDA ツールはDFT選択をサポートしなければならない。</p>
欠陥解析	<p>製造プロセス技術において、欠陥のタイプと挙動は進化しつづけている。新しく現れる欠陥に対応するため、既存及び新たな故障モデルにおける基礎研究が必要である。</p> <p>効率の向上及びテストに伴う設計複雑性の低減のために、先進の故障モデルとDFT挿入に対するATPGの容量と性能に関してEDA ツールに大きな進歩が必要である。</p>
故障解析	<p>多層メタルプロセスにおける欠陥のリアルタイム解析が必要である。</p> <p>アナログデバイスに対する故障解析方式を開発し、自動化しなければならない。</p> <p>破壊式の物理検査プロセスから主に非破壊式の診断機能への移行。特性評価機能は個別の欠陥タイプを識別・特定・区別しなければならない。</p>
破壊的なデバイス技術	<p>MEMS及びセンサ用の新たなテスト方式の開発。</p> <p>先進的/破壊的なトランジスタ構造用の新たな故障モデルの開発。</p>

テストの技術要求

SOC (SYSTEM-ON-CHIP)

本セクションは、単一のSOCデバイス上への、複数の異なるテクノロジーの統合に関連する、テスト上の課題を議論することを意図している。特定のテクノロジー上の課題それぞれについては、以下に続くセクションにおいて議論される。

SOC設計は、多くの異なる設計ブロックやコアから構成されている。これは、各搭載コアとそれに関連するテクノロジー（ロジック、メモリ、アナログ）に固有な特徴を取り扱うためのテスト上の要求が、多様であることを示している。SOCテストは、各コアに結びつくこれらのテスト手法や、コアへのアクセス手法、及びチップ全体でのテスト手法の、適切な組合せを持たなくてはならない。

SOCテストは、各コアの観測性と制御性を有効にするために高度に構造化されたDFT手法に、大きく依存している。SOC設計は今後ますます、既存のIPコアの、設計自身や他ブロックへのインタフェース、及びテスト上の情報をカプセル化したデータベースを、頼りにするようになる。

SOCテストの基本的な課題は、テスト容易性に関する異なるアプローチや手法を持つ、複数の出処からのテスト上の要求を、纏め上げる必要があることである。階層的な手法に当てはめるためのテスト上の標準を定めることもでき、これらの標準は内部的に設計されたコアであれば、従わせることは容易である。しかしながら、IPがサードパーティから購入したり、ライセンスを受けたりしたものである場合は、一般的にはテスト手法を適合させなければならない。多くのEDAツールでは既に、ロジック設計の標準フォーマットに手を着けているが、この標準はアナログ回路など、別タイプのコアに対しても拡張されなければならない。

今日広く使われているSRAMやDRAMのBISTに加え、FlashやMRAM、FeRAMなど、搭載不揮発性メモリデバイスに対するBIST技術の開発が必要である。搭載メモリのサイズが増大するのに伴い、BISR技術が重要になってくる。

アナログコアの低コストテストは、重大な問題である。アナログBIST手法は解となる可能性があるが、一般的に用いるには、まだ十分に成熟していない。アナログコアの故障解析技術も、開発されなければならない。

SOC内の各コアをテストするために、IPコアラッパやテストアクセス機構の構造的な利用方法が、開発されなければならない。これらは機能的なテストや実スピードテスト、特性テスト及びコア間配線テストが行えるよう、注意深く設計されなければならない。更に、これらの手法はEDAツールの相互利用可能性のために、インタフェース言語とともに標準化されなければならない。そのような取り組みの1つとして、CTL(Core Test Language)が、IEEE P1500標準化の一部として開発されている。SOC設計が高度に複雑化すると、設計及びテストのスループットや、テスト品質上の問題が起こってくる。EDAツールの開発により、この複雑さを取り扱えるようにする必要がある。

表24a System on Chip Test Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100nm	90nm	80nm	70nm	65nm	57nm	50nm
Embedded Cores							
Standardization of core test data [1]	Standard format on EDA/ATE	Standard format on EDA/ATE	Standard format on EDA/ATE	Extension to analog cores	Extension to analog cores	Extension to analog cores	Extension to analog cores
<i>Embedded Cores: Logic</i>							
Test logic insertion at RTL design	Partially	Partially	Fully	Fully	Fully	Fully	Fully
Testability analysis and overhead estimation at RTL design	Ad hoc	Fully	Fully	Fully	Fully	Fully	Fully
BIST for logic cores	Yes [2]	Yes [2]	Yes [2]	Yes [2]	Yes [2]	Yes [2]	Yes [2]
BISR for logic cores	Minimal	Minimal	Minimal	Some	Some	Some	Some
<i>Embedded Cores: Memory</i>							
Embedded non-volatile memory BIST	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Embedded memory BIST (redundant configuration, self hard repair) [3]	Partially BISR	Partially BISR	Partially BISR	Partially BISR	BISR	BISR	BISR
Embedded memory BIST (redundant configuration, self soft repair) [4]	Partially BISR	Partially BISR	BISR	BISR	BISR	BISR	BISR
<i>Embedded Cores: Analog</i>							
BIST for analog cores	Restricted use (PLL, ADC, etc.)	Limited use (PLL, ADC, etc.)	Limited use (PLL, ADC, etc.)	Full use	Full use	Full use	Full use
Failure analysis for analog cores	No	No	No	Yes	Yes	Yes	Yes
<i>Core Access</i>							
Standardization of test interface [5]	Standard interface on IP core	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]	Standard interface on IP core/EDA [6]
Analog-mixed signal core access	Direct access	Analog wrapper [7]	Analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]
<i>SOC Level Testing</i>							
Test strategy for IP core-based design (test control integration, test scheduling for low power consumption, test time reduction and test pin reduction)	Partially automated	Partially automated	Fully automated	Fully automated	Fully automated	Fully automated	Fully automated
DFT selection for cores	DFT selection for cores	DFT selection for cores	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool	DFT selection for cores/fully automated EDA tool
DFT at higher level design (behavior level, HW/SW co-design, high level synthesis with testability analysis)	No	No	Yes	Yes	Yes	Yes	Yes
Fault model for SOC level fault coverage [8]	Single stuck-at fault model/transition	Standard fault models	Standard fault models	New standard fault model, its coverage	New standard fault model, its coverage	New standard fault model, its coverage	New standard fault model, its coverage
<i>Manufacturing</i>							
Diagnosis interface/data [9]	Standard format and methods on IP core	Standard format and methods on IP core	Standard format and methods on IP core	Standard format and methods on IP core	Automated SOC diagnosis	Automated SOC diagnosis	Automated SOC diagnosis

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

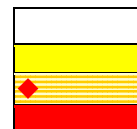


表24b System on Chip Test Requirements—Long-term

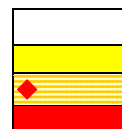
Year of Production	2012 32nm	2015 22nm	2018 16nm
<i>Embedded Cores</i>			
Standardization of core test data [1]	Extension to Analog Cores	Extension to Analog Cores	Extension to Analog Cores
<i>Embedded Cores: Logic</i>			
Test logic insertion at RTL design	Fully	Fully	Fully
Testability analysis and overhead estimation at RTL design	Fully	Fully	Fully
BIST for logic cores	Yes [2]	Yes [2]	Yes [2]
BISR for logic cores	Logic BISR	Logic BISR	Logic BISR
<i>Embedded Cores: Memory</i>			
Embedded non-volatile memory BIST	Yes	Yes	Yes
Embedded memory BIST (redundant configuration, self hard repair) [3]	Yes	Yes	Yes
Embedded memory BIST (redundant configuration, self soft repair) [4]	Yes	Yes	Yes
<i>Embedded Cores: Analog</i>			
BIST for analog cores	Full use	Full use	Full use
Failure analysis for analog circuits	Yes	Yes	Yes
<i>Core Access</i>			
Standardization of test interface [5]	Standard interface on IP core/ EDA [6]	Standard interface on IP core/ EDA [6]	Standard interface on IP core/ EDA [6]
Analog/mixed-signal core access	Standard analog wrapper [7]	Standard analog wrapper [7]	Standard analog wrapper [7]
<i>SOC Level Testing</i>			
Test strategy for IP core-based design (test control integration, test scheduling for low power consumption, test time reduction and test pin reduction)	Fully automated	Fully automated	Fully automated
DFT selection for cores	DFT selection for cores/ fully automated EDA tool	DFT selection for cores/ fully automated EDA tool	DFT selection for cores/ fully automated EDA tool
DFT at higher level design (behavior level, HW/SW co-design, high level synthesis with testability analysis)	Yes	Yes	Yes
Fault model for SOC level fault coverage [8]	New standard fault model, its coverage	New standard fault model, its coverage	New standard fault model, its coverage
<i>Manufacturing</i>			
Diagnosis interface/data [9]	Automated SOC diagnosis	Automated SOC diagnosis	Automated SOC diagnosis

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Definitions for Tables 24a and 24b:

[1] テストプログラム開発のTAT削減に必要な、テストデータフォーマットの標準化

[2] 高い故障検出率、システム動作周波数での実スピードテスト、テスト時間増加の抑制、低消費電力、低エリアオーバーヘッド

[3] ある種の揮発性メモリを用いた電気ヒューズが、BISR時のリペアコード保存に用いられる

[4] パワーオン時のBIST及びBISA実行後、リペアコードがレジスタに保存される

[5] コアラッパ、テストアクセス機構やインタフェース言語の標準化 (IEEE P1500や1450.6 CTLなど)

[6] EDAツールが標準テストインタフェースを用いて、コアテストパターンのチップレベルへの変換や、チップレベルのテスト回路の実装を行う

[7] 搭載アナログMSコアへアクセスするための拡張されたラッパー構造であり、いわゆるアナログバウンダリスキャンとは異なる

[8] IPコア流通を促進するための、故障モデル及び故障検出率の標準化

[9] 故障解析のTAT短縮に必要な、診断におけるデータフォーマット及びインタフェースの標準化

ギガヘルツ領域の高周波差動リンク

高周波I/Oの技術は、通信における本来のトランシーバの応用を超えて拡大し続けている。シリアルI/Oインタフェースは、短距離及び長距離通信や計算応用のためのチップ間リンクなどのバックプレーンアプリケーションに広く適用されている。最近現れた新しい産業規格は、コンソーシアムからの新たな採用と従来からの規格の更なる発展を含んでいる。例えば、通信応用では、SONETは2.5Gbpsから10/40Gbpsへ、ファイバチャネルは1.0625G/2.125Gbpsから4.25Gbpsへ、イーサネットは100Mbpsから1Gbps及び10Gbpsへ進展している。計算応用では、シリアルATAが1.5Gbpsから2004年の3Gbpsへと急激に伸びつつある。PCIエクスプレスは、今日の2.5Gbpsから2006年には5Gbpsへ増加する構えを見せている。2-3Gbpsで実用的な限界に近づきつつある従来のソースシンクロバスですら、5-8Gbps及びそれを超えるスピードに近づくべく、現在新しいクロッキング方式で改良されつつある。動作周波数が絶え間なく増加するため、古いパラレルバスクロッキング方式やシリアルバスクロッキング方式の収束が起こり、差動伝送がシングルエンド伝送に取って代わるであろう。これらの高速差動リンクのすべてが、ATEによる製品テストのチャレンジを示している。

過去2年間に於いて、テスト及び計測業界は、高速シリアルリンクのテストソリューションを提供することにおいて著しい進歩を遂げた。それらのソリューションは、3.2Gbpsまでの高密度・高速テストを供給するものとして出現した。現時点では、3.2Gbpsから12Gbpsの範囲のテストは、高価なスタンドアロンのパターン発生器とビットエラーレート検出器の活動領域に留まっている。いくつかのハイブリッドソリューションでは、SOCやASIC設計での搭載高速シリアルリンクに対処するため、そのような実験機器が製造テストとバンドリングされている。このアプローチの過大なテスト時間とコストは大量生産にとっては魅力的ではないが、それは市場へ迅速に対応する最前線のテスト性能、新製品の導入とデバッグのための価値あるツールを供給する。しかしながら、このハイブリッドアプローチには、これらの機器を接続するためのケーブルの帯域制限が機器の性能に対して支配的になり始めるという基本的な制限があり、それはデータレートが3Gbpsをこえるときにより明確となる。統合型の測定器ではデバイスに非常に接近しており、信号の伝達性を向上させる。しかし、外部機器よりも高い統合性が必要である。このハイブリッドアプローチは、機器の能力が最大限となる前に、デバイスへのフロントエンドインタフェースをテストに統合することで発展する可能性がある。この案は、このアプローチの制限を効果的に緩和すべきである。

全体のシステムコストダウンを維持するために、ほとんどの通信バックプレーンや計算応用のための材料選択では、FR4のような低価格なPCB積層材料が残るであろう。しかしながら、FR4の選択はスペクトル帯域のボトルネックを作り出す。この制約のもとで転送データレートを拡張するために、プリエンファシス/デエンファシス、送信側イコライゼーション/受信側適応イコライゼーション、同時双方向伝送、マルチレベルエンコーディング、フェーズエンコーディングなどの技術が開発されている。もしこれらのすべての技術が展開されれば、高速シリアルリンクのためのテスト要求を著しく複雑にするであろう。

適切なテスト方法と装置がないと、多くのIC製造メーカは、限定的なテスト技術(ループバックやゴールデンデバイスやDUTボード回路など)を使うことを強いられる。それは故障検出率の低下となるかもしれない。これは、プロセス技術の既成概念を超えるべく、しばしば意図的に設計される比較的新しいI/O技術にとって潜在的なリスクとなる。

短期的には、スピードとポート数の急速な発達についていくため、マルチポートとギガビットレート機器を設計し、それらを制御ソフトウェアも含めてテストシステムに統合することがテストメーカへの差し迫った要求となる。これはコスト有効性の高い、明白なソリューションとなることを考慮して実行されなければならない。長期的には、より性能に関連したパラメータに依存するカバレッジを提供するため、既存のDFTの特徴は、現在のトラフィック発生DFTを超えて拡張される必要がある。我々の想像では、DFT/BISTのオンチップ機器技術がオフチップ機器技術と共存することになるであろう。オンチップテストのカバレッジとオフチップテストのカバレッジとの経済的な理想配分は、まだ検討途中である。目的は、製造テストコストを最小にし、高ポート数デバイスを効果的にテストすることである。

関連する重要な領域

1. **データレートの増加** - コンピュータ業界では、現在の400-1024MHzソースシンクロバスが、すぐに1600MHzまたはそれ以上に発展するであろう。2003年から2006年にかけて、古いソースシンクロバスは徐々に組み込みクロックやクロックフォワードイングや同時双方向のアーキテクチャに置き換えられるであろう。これらの新しいアーキテクチャは、古いソースシンクロバスアーキテクチャの2-3Gbpsの制限を突破して、1.5Gbpsから8Gbpsの最大IO速度をもたらすであろう。この傾向は、2.5Gbpsから8Gbpsの通信バックプレーンアプリケーションのデータレート要求と一致する。ほとんどの通信関連バックプレーンは、PCB積層材料である低価格なFR4を使用するよう制限されるため、データレートは少なくとも2010年まで10Gbps以下に留まるであろう。一方で、長距離及び短距離トランシーバは、より高いデータレートへのシリアルリンク技術をリードし続けるであろう。現在の10Gbps長距離応用は、より低いコストとより高い集積性のためにCMOSへ移行しつつある。長距離の40Gbpsについては、2010年まで目に見えるほどの市場の需要はないかもしれない。
2. **ポート数の増加** - 低電圧CMOS技術と低出力電圧がASICやSOCへの大規模な集積を可能にする。2003年現在、多くのICメーカによって1Gbpsから3Gbpsで20～80ペアを備えたバックプレーンのシリアルライザ/デシリアルライザ設計が行われている。このポート数は2005年までに200ペアを超えるであろう。一方、ソースシンクロバスは2005年前後に240ポートを超えるであろう。このような高いポート数については、実験機器による従来のラックアンドスタック手法では非実用的になる。単一デバイス上で増加するシリアルポート数に対処するために、マルチポートテストソリューションが必要とされる。そのようなソリューションは現れ始めてはいるが、コストを縮小して機能を高めるためには更に著しい成果が必要である。
3. **コストファクタ** - 従来のほとんどのマルチギガビットトランシーバは、低いレベルの集積度で比較的少量生産されることを前提に、高性能、高価格、高マージンのデバイスとして設計された。低コストで低消費電力のCMOSマクロセルの導入によって、ギガビットトランシーバは、多くの大量生産できる低価格な(コモディティですらある)価値あるデバイスの1つに付け加えられるようになった。高いポート数への対応に加えて、すべてのシリアルポートを同時にテストできる、コスト効果の高いテストソリューションが製造には必須である。性能のレベルと集積のレベルとの不変のトレードオフは、シリアルライザ/デシリアルライザデバイスを二つのカテゴリに分けた。それらは高性能レベル・シリアルトランシーバと高集積レベル・ギガヘルツリンクマクロセルである。高性能長距離通信の製品に関する計量経済学によれば、主に、より従来の機器に依存したテスト手法や前述のハイブリッドテストが容認されることになる。信頼できるDFTや他の低コストテスト技術は、高ポート数のシリアルライザ/デシリアルライザのための最終ソリュー

ションではあるが、製品の完成前にテストが実スピードで信号を送受信できるようになってほしいという強い要望は依然としてある。加速する技術向上とともに、多くの製品の寿命はより短くなり、それゆえ、検証とDFT回路の最適化はますます困難になるかもしれない。

4. **ジッタの分解測定** - トランスミッタで生成されたジッタは、トランスミッタの品質を保証するための重要なパラメータである。現在、テストのジッタ計測能力は未発達段階にあり、高性能インタフェースのためのノイズフロア、アナログ帯域幅及びテスト時間必要条件を同時に満たすことが可能な機器は存在しない。ジッタを決定論的なジッタ(DJ)とランダムジッタ(RJ)に分ける考え方が、ますますシリアルリンクの標準となっている。ヒストグラムに基づくピーク・トゥ・ピークジッタの古い概念は、シリアルリンクの正確なビットエラーレート(典型的に10-12)に関連するトータルジッタ(TJ)の考え方に置き換えられた。2003年において支配的な3.2Gbpsデータレートについては、シリアライザ/デシリアライザが30ps未満のトータルジッタ(TJ)を持つのが普通であり、2ps-rms未満のRJと10ps-pk-pk未満のDJにそれを分解する機器が必要である。3.2Gbpsのデジタル信号は8から10GHzの周波数成分を持つので、対応するジッタ計測機器は、誤ったデータに依存するジッタが測定に付加されることを避けるため、このアナログ帯域幅を供給しなければならない。現在あるほとんどのジッタ測定のための機器では、高速データストリームからジッタを捕らえるのに20sよりも多くかかる。デバイスクロックに基づいてジッタを測定すればより速いが、これらの設計の多くは内部クロックへの直接アクセスを供給しない。その場合、ジッタはデータストリームからしか測定できない。過去2年間に、多くの会社によってジッタ分解技術が導入されたが、2.5~3.3Gbpsを超えて信頼できるものはわずかしかなく、しかもそれらの間ですら相関は実現し難い。
5. **ジッタ許容テスト** - ジッタ許容テストは、ビットエラーレート(BER)の意味で通信品質が低下するまでにレシーバが許容できる入力信号上のジッタレベルを計測する。これは、レシーバ(Rx)のノイズ耐性の重要な仕様である。ジッタ許容テストを実行するために、ジッタは、管理された方法で注意深くデータストリームに注入されなければならない。現在のところ、今日の高性能設計で要求される速度範囲で、この能力を持つ統合型ATEソリューションはほとんどない。ジッタを決定論的なジッタ(DJ)とランダムジッタ(RJ)に分けるという最近の傾向は、ジッタ許容テストにも当てはまる。2タイプ以上のジッタを注入可能な統合機器は、ATEの世界にも、実験装置の世界にも存在せず、テスト装置業者のロードマップに現れ始めた程度である(しかしながら標準定義と装置の能力の間にはギャップが残る)。低価格な統合された機器が、定義された仕様までジッタをテストできるようになるまでは、いくつかの間接的な測定技術がコスト効力のある製造テストにとってより現実的である。
6. **テスト設備の帯域幅** - デバイスを機器/テストに仲立ちするテスト設備は、プリント回路基盤、ケーブル、コネクタなどを含んでいる。周波数とポート数の増大によって、高周波信号を著しい損失や歪を伴うことなく機器に配送する能力が、テスト環境における重要な課題となる。いったん信号が10Gbpsを超えると、設備の帯域幅要求は20GHzを超える。数本の線を実装することは可能だが、数百本の相互接続経路は抜本的な研究領域にある。フロントエンドDUTインタフェースのATEテストヘッドへの統合が、この問題を軽減するであろう。ソケットとウェーハプローブもまたマルチギガヘルツテストのための深刻な帯域幅ボトルネックとなり、追加的なR&Dが必要とされる。それゆえ、マルチギガビット領域のためには、チップ上でジッタを計測するDFT手法が好ましく、開発されねばならない。
7. **同期** - シリアル通信のほとんどのレシーバは、データストリームからクロックを抽出するためにクロック・アンド・データリカバリサーキット(CDR)を使う。回復されたデータの位相は必ずしもデバイスからデバイスへ固定されるわけではなく、また、必ずしも1つのリセットから次のリセットに固定されるわけですらな

い。フェーズアライメントとフレームアライメントを管理してこの潜在時間変動に順応するため、高度に柔軟性のあるタイミングとクロッキングの仕組みが必要とされる。この分野は、最近ATEでかなり進歩した。

8. *パラメトリックDFTとロジックDFT* - 単なる基本的な機能に関するDFT回路は、従来からシリアライザ/デシリアライザモジュールに実装されている。オンチップBISTは主に組込み擬似ランダムビット系列(PRBS)生成器とビットエラー(BER)チェッカからなる。しかしながら、これらは機能に関するカバレッジを供給するだけで、(入出力ジッタや電圧レベルのような)パラメトリックテストの能力はない。ジッタやレベルに関するBIST回路はまだ研究段階にある。したがって、近い将来については、機器がこれらのパラメータをテストするための唯一のソリューションとして留まる。
9. *先進のシグナルシェイピングとエンコーディング* - プリエンファシス、イコライゼーション、PAM-xマルチレベルエンコーディング、フェーズエンコーディングなどのより洗練されたアナログ技術の採用は、ひょっとして幾分古いアナログ技術へテスト要求を導くかもしれないが、周波数は非常に高い。プリエンファシスとイコライゼーションは現在更にポピュラーになりつつあるが、この領域において、いつマルチレベルコーディングが現在支配的なバイナリコーディングに取って代わるのかは明らかではない。

表25a Gigahertz High Frequency Differential Link Test Requirements—Near-Term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
<i>High-performance-level Serial Transceivers</i>							
Serial data rate (Gbits/s)	10	10	10	10	40	40	40
<i>High-integration-level Backplane and Computer I/O</i>							
Serial data rate (Gbits/s) at Production	2.5	3.2	4.25	6	8	10	10
Introduction	3.2	4.25	6	8	10	10	10
Maximum port count at Production frequencies	80	200	200	200	200	200	200
at Introduction frequencies	80	20	20	20	20	20	20

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

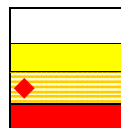


表25b Gigahertz High Frequency Differential Link Test Requirements—Long-Term

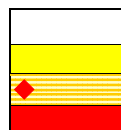
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
<i>High-performance-level Serial Transceivers</i>						
Serial data rate (Gbits/s)	40	40	40	40	160	160
<i>High-integration-level Backplane And Computer I/O</i>						
Serial data rate (Gbits/s)	10	10	10	40	40	40
Maximum port count	200	200	200	50	100	200

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



高性能 ASIC テストの要求

高性能ASICテストの要求を表26a(短期)、26b(長期)に示す。この表では、最近のASICのデジタル部分をテストするためにATEメーカーが対応しなければならないピン数と周波数の要求項目を示している。すべてのピンに関して同時にこれらの要求を満たすことを要求しているわけではない。例えば、1.25、2.5、10、あるいは40Ghzレートで動作する高周波シリアルインタフェースのオフチップデータの最高周波数は、比較的少ない数でおそらく起こるだけであり、大多数のデバイスピンは表に示した低周波数で動作すると考えてよい。高周波数シリアル差動IOバッファの統合によって、その結果として、デバイスピン数の増加傾向は緩やかになり2016年までにそのピン数は約3000になると見込まれている。

表に示したオフチップ周波数は、高周波数シリアルインタフェースピン以外の信号ピンに対するものである。例えば、データは156Mbpsで広いバスからASICへ入り、2.5Ghzの狭いバスから出るかもしれない。

外部の非スキャンテストベクタ数は過去からずっと示してこなかった。その代表的な値は2001年で約32Mであったが、もし制約がないならば将来は1000Mに向かって増えるであろう。テストベクタに対応するための外部高速メモリはATEのコスト高の原因になり、また、長いベクタのロード時間は結果として製造セルのスループットの低下となる。そこで、その低下を防ぐために、近い将来においてDFTとBISTを取り込んだDUT設計が重要な要求となる。過去2年間に渡って検討されたベクタ圧縮手法とシグネチャ手法は、スキャンテスト対応のベクタメモリの要求に対し合理的な制限を設けるであろうと期待されている。

高周波数クロックは、しばしばPLL (phase-locked-loop) オシレータを使用してオフチップで生成される。これらのクロックは、より低周波数であるATEからのクロック信号によって励起されるが、しかしそのクロックは非常に低ジッタであることが要求される。代表的には、ある特別なテストクロックピンにおいては、SONETでは ± 20 ppm、他のシリアルコミュニケーションシステムでは ± 100 ppmの精度で、平均2乗根(RMS)10psオーダのジッタを供給するように求められている。

今日のASICは、メモリやアナログ回路のIPを内在するSOC設計に急激に変わっている。そのため、表26aと26bに含まれる要求には、ATEの要求を決定する際のミックスドシグナルとメモリのテストや高周波数シリアルの要求も含めるべきであろう。前述のSOCセクションがSOCについてのノンロジックと統合の課題を検討しているので、このセクションではロジックテストの課題を概観した。

表26a High-performance ASIC Test Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Off-chip data freq. MHz NRZ (see note).	1000	1100	1200	1300	1400	1400	1500
Overall timing accuracy (% period)	±5	±5	±5	±5	±5	±5	±5
Special clock pin RMS jitter ps	5	5	5	5	4	4	3
Signal pk-pk range V	0.9–3.3	0.9–2.5	0.8–2.5	0.7–2.5	0.6–2.4	0.6–2.4	0.6–2.4
Power/device. DC with heat sink W	150	160	170	170	170	170	180
Maximum number of I/O signal pads. Power and ground could double the number of pads for wafer test.	1700	1800	2000	2100	2200	2200	2300

表26b High-performance ASIC Test Requirements—Long-term

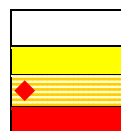
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Off-chip data freq. MHz NRZ (see note).	1500	1500	1800	1800	2000	2000
Overall timing accuracy (% period)	±5	±5	±5	±5	±5	±5
Special clock pin. RMS jitter ps	2	2	2	2	2	2
Signal pk-pk range V	0.6–2.5	0.6–2.5	0.6–2.6	0.6–2.6	0.6–2.7	0.6–2.7
Power/device. DC with heat sink W	180	180	190	190	200	200
Maximum number of I/O signal pads. Power and ground could double the number of pads for wafer test.	2400	2500	2700	2800	3000	3100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



高機能なマイクロプロセッサに求められるテスト

マイクロプロセッサのテストにフォーカスした時、純粋な実スピード機能テストのアプローチからDFTやBIST技術を取り巻くより異なったテストに、多くの従来の製造テストの課題は変化してきている。データ速度やタイミング精度といった従来の課題はテストデータの量や電源や温度管理といった特徴に取って代わられている。実スピード機能テストの比率に関係する従来の課題がなくなるとは言えないが、ポストシリコンのデバッグと確認環境に対するこれらの要因に関する強力な変化が存在するといえる。DFTの手法はテストデータ速度と精度の尺度と関連したテスト制限のキーの影響を最小にし始めた。

結果として、表27aと27bに見られるマイクロプロセッサのトレンドは、製造の必要性よりも、ポストシリコンの効果をより正確に反映している。DFTの手法と関連する製造上の課題は、DFTテストのセクションで述べられる。

テスト方法のこの基本的な変化は、ここ数年産業に劇的な影響を及ぼすであろう。ポストシリコンのデバッグと確認を求めるリーディング装置が、経済的に実行可能な増加する開発のリソースや、低下する装置の需要をどの程度必要とするかは明らかではない。しかしながら、この区分は、最先端のI/Oデータ速度の要求への草案を継続しており、長距離コミュニケーション市場においてこれらの課題のために開発される有効な解決策から恩恵を得るであろう。

ここ数年、装置の能力はデータ速度や消費電力のような多くのデバイスパラメータを拡大するといったことが予想される。タイミング精度の要求は仕様の決定とキャリブレーションの方法へのアプローチを求めるであろう。テスト装置設計の改革が、長い期間、明らかになったインタフェースのプロトコルに対する適応や、絶えず問題となっているタイミング精度の答えを見つけ出すかどうかは明らかではない。しかしながら、機能テストは、適用可能なタイミングマージンがタイミングの不正確さによって取って代わられるであろうと思われるように、斬新的な技術の介在なしには可能にならないということは明らかである。

APG(アルゴリズムパターン発生回路)の能力は、まだなおマイクロプロセッサにおける搭載メモリのテストを必要としている。しかしながら、ほとんどの大規模アレイへのBISTの出現によって、APGの機能のスケールは搭載メモリの総ビット数が増加しているにもかかわらず、実質的に1999年のレベルのままである。

電源帯域幅及び過渡電流現象に対する動的な取り扱いの高まっている懸念に対する取り組みが、ここ2年の間に大きく進歩した。この交流電流分野の研究の継続が、将来求められる。

表 27a High Performance Microprocessor Test Requirements—Near-term

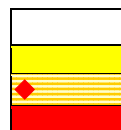
Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Pin count I/O signal channels (maximum pins) [1]	1024	1024	1024	1024	1024	1024	1024
Pin count power and ground (maximum pins)	2048	2048	2048	2048	2048	2048	2048
<i>Busses</i>							
Clock input frequency (MHz) [2]	1200	1200	1200	1200	1200	1200	1200
Clock accuracy (ps) [3]	42	42	42	42	42	42	42
Off-chip bus data rate (Mbits/s)	1600	2400	3200	4800	6400	8000	9600
Accuracy OTA (ps)	31	21	16	10	8	6	5
Bi-directional I/O	Yes	Yes	Yes	Yes	No	No	No
Uni-directional I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Source synchronous	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Differential	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Self clocked	No	No	Yes	Yes	Yes	Yes	Yes
<i>Power Supplies</i>							
High current power supply voltage range (volts) [4]	0.9–2.0	0.9–2.0	0.9–2.0	0.7–1.8	0.7–1.8	0.5-1.2	0.5-1.2
Low current power supply voltage range (volts)	0.9–3.3	0.9–3.3	0.9–3.3	0.7–3.3	0.7–3.3	0.5-3.3	0.5-3.3
Power supply transient accuracy (% of programmed value AC+DC)	10	10	10	10	10	10	10
High current power supply maximum current (A)	200	250	300	300	300	300	300
<i>Patterns</i>							
Vector memory (Meg-vectors per pin)	128	256	256	512	512	512	512
Vector memory load time (minutes)	15	15	15	15	15	15	15
Independent pattern management (# of patterns)	>1000	>1000	>1000	>1000	>1000	>1000	>1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Tables 27a and 27b:

[1] デバッグ用のテストで最大ピン数となる。通常デバッグ用テストは多ピンである。

[2] テスタはRAMBUSタイプのデータレート及びプロトコルを扱うことができるべきである。特性評価用テストは十分なデータレート測定の必要条件を満たす必要がある。量産用テスト「output to output」の測定の精度がクリティカルになる。

[3] テスタはデバッグ用にデバイスにバイパス・モードとしてクロックを供給する必要がある。

[4] 電源は、6000 µFとmaximum currentの2倍のスイッチングカレントを扱うことができるべきである。回路は、CPUの1～20クロックのサイクル間に起動する。

表 27b High Performance Microprocessor Test Requirements—Long-term

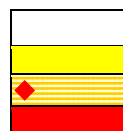
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Pin count I/O signal channels (maximum pins) [1]	1024	1024	1024	1024	1024	1024
Pin count power and ground (maximum pins)	2048	2048	2048	2048	2048	2048
<i>Busses</i>						
Clock input frequency (MHz) [2]	1200	1200	1200	1200	1200	1200
Clock accuracy (ps) [3]	42	42	42	42	42	42
Off-chip bus data rate (Mbits/s)	9600	12800	14400	20000	21600	24800
Accuracy OTA (ps)	5	4	3	2	2	1
Bi-directional I/O	No	No	No	No	No	No
Uni-directional I/O	Yes	Yes	Yes	Yes	Yes	Yes
Source synchronous	Yes	Yes	Yes	Yes	Yes	Yes
Differential	Yes	Yes	Yes	Yes	Yes	Yes
Self clocked	Yes	Yes	Yes	Yes	Yes	Yes
<i>Power Supplies</i>						
High current power supply voltage range (volts) [4]	0.5–1.2	0.5–1.2	0.5–1.2	0.5–1.2	0.5–1.2	0.5–1.2
Low current power supply voltage range (volts)	0.5–3.3	0.5–3.3	0.5–3.3	0.5–3.3	0.5–3.3	0.5–3.3
Power supply accuracy (% of programmed value AC+DC)	10	10	10	10	10	10
High current power supply maximum current (A)	350	350	400	400	450	450
<i>Patterns</i>						
Vector memory (meg-vectors per pin)	1024	1024	4096	4096	4096	4096
Vector memory load time (minutes)	15	15	15	15	15	15
Independent pattern management (number of patterns)	>1000	>1000	>1000	>1000	>1000	>1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



低価格帯のマイクロコントローラに要求されるテスト

今日の市場で8ビットのマイクロコントローラの販売は成功を続けている。有線でも無線でも通信には相互通信機能が必要である。このことがUSB(Universal Serial Bus)とTCP/IP(Transmission Control Protocol/Internet Protocol)そしてRFのインタフェースを含むマイクロコントローラに新しい多くの機能を組み込む開発の原動力になっている。フラッシュメモリの原価が低減されたことで、従来のマスクROM(Read Only Memory)に代わってフラッシュメモリ技術を集積化する動きになっている。現在マイクロコントローラの用途は、家庭用器具、娯楽装置、ゲーム、モータコントローラ及びセキュリティシステムである。

マイクロコントローラのテストの課題はテスト費用の問題である。費用削減の第一の方法はより高度な並列処理を必要とするので、多ピンのテストが必要になる。より高度な並列処理ではテストによる並列テストの効率が悪くなるのが明らかなので、テスト要求表に「並列テスト効率」という新たな行項目を加えた。より高度な並列処理は1024ピンを超えるテストの必要性を更に早めている。表28aと表28bはマイクロコントローラのテストだけに限ったテストの特徴を示す。

表 28a Low-end Microcontroller Test Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Overall timing accuracy (% of period)	5	5	5	5	5	5	5
RMS clock jitter (ps)	75	50	50	50	40	40	40
External test vectors (M) [1]	12	12	12	12	16	16	16
Reliability—MTBF (hrs)	5000	6000	7000	8000	9000	9000	9000
DPS maximum voltage (V)	8	8	8	8	8	8	8
Maximum DPS in tester	128	192	192	320	320	768	768
Maximum devices for parallel testing	96	128	128	256	256	512	512
Maximum tester pins	1536	2048	2048	2048	2048	4096	4096
Parallel test efficiency	97%	99%	99.50%	99.90%	99.90%	99.90%	99.90%

Table 28b Low-end Microcontroller Test Requirements—Long-term

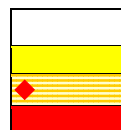
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Overall timing accuracy (% of period)	4	4	4	4	3	3
RMS clock jitter (ps)	40	40	40	30	30	30
External test vectors (M) [1]	16	16	16	32	32	32
Reliability—MTBF (hrs)	10000	10000	10000	10000	10000	10000
DPS maximum voltage (V) [2]	5	5	5	5	5	5
Maximum DPS in tester	768	768	768	768	1024	1024
Maximum devices for parallel testing	512	512	768	768	1024	1024
Maximum tester pins	4096	4096	4096	4096	4096	4096
Parallel test efficiency	99.9%	99.9%	99.9%	99.9%	99.9%	99.9%

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Tables 28a and 28b:

[1] BIST又はDFTを用いない場合。一応満足できるBIST又はDFTあるいは双方に解決策が開発されていれば、数値はより小さくなる。

[2] このカテゴリはマイクロコントローラの並列テスト用であり、メモリの並列テストと混同してはいけない。

ミックスドシグナルテスト

1チップの更なるシステム機能化のトレンドは、ますます従来のデジタルとアナログ、RF/マイクロ波及びミックスドシグナルデバイス間の境界をぼかすであろう。このトレンドは、1チップ上のどんなデバイス構造もテストすることができる単一のプラットフォームソリューションの方へテスト設備を追いやるであろう。

したがって、ATEは、デジタルのみから全範囲(高機能アナログ/RF/マイクロ波 計測器のフルインテグレーション)にわたってモジュールで拡張可能であるに違いない。アナログテスト問題およびテスト技術限界は、より高い帯域幅、より高い任意波形ジェネレータのサンプリングレート、RFアプリケーションのためのより高いダイナミックレンジ、より低いノイズフロア及びデジタル、アナログ計測器のシームレスインテグレーションである。ミックスドシグナルテスト設備用のデジタル必要条件は純粋にデジタルチップ用のものと同等で、関連する市場細分用の表の中で示される。

表29a及び29bのミックスドシグナルテスト設備の必要条件は、特定のICデバイスアプリケーションよりテスト計測器に合わせるほうがよい。現在のアナログ/RF/マイクロ波のテスト方法は、動作時に基づいた測定(つまり、外付け(チップ外部)の計測器を使用して)を要求する;したがって、計測器ニーズは、プロセスおよびパッケージング技術ロードマップで予想されたデバイス性能の増加を反映する。計測器必要条件は、適切などころで、他のロードマップ表中で示されたマイクロプロセッサ、ASIC及びデータ通信必要条件にリンクされる。

アプリケーションの複雑さ及び広がり、更に特定のデバイスアプリケーションに合わせた専用の計測器設計を強要している。しばしば、1つを超える複雑なアナログ機能は単一の設計に統合される。

ATEの計測器設計は、(特に任意の波形ジェネレータ用に)、常に増加するテスト必要条件を追っている。この複雑さは、テストシステムに与えられる計測器を増加させる。(それはコストを増加させて、多様な製品にわたって使用されるに違いない設備のための著しいコンフィグレーション・マネジメント問題を発生する) 計測器の台数増、複合化及び性能向上のトレンドが継続すると予想されるが、そのトレンドがテストコストを押し上げるのを許すことができない。

アナログDFT及びBIST技術は遅れている。実動作アナログテストの証明された代替策は存在しない。また、このエリアにおけるより多くの研究が必要である。アナログBISTは、可能性のあるソリューション及びより多くの研究のための分野として示された。基礎的研究はテスト計測器の複合化の縮小あるいは外部計測を不要とするために必要である。

関連する重要エリア

1. アナログ/RF/マイクロ波信号環境はロードボード設計とテスト手法を非常に複雑なものにしている。ノイズ、クロストーク、信号ミックス、ロードボード設計、そしてATEソフトウェアと言った課題が今後のテスト開発プロセスと工期を支配すると考えられる。
2. 全アナログファンクションテストへのマルチサイトテストやコンカレントテストは、テストタイム低減、生産能力向上、テストコスト低減に必要である。このためにはFFTなどのDSPテストアルゴリズムの高速並列実行が可能な複合手段が必要である。並列テストはこれまで、メモリテストや生産量の多いデジタルデバイス用として十分な実績をもつが、ミックスドシグナルデバイスへの適用には十分な状況ではない。

3. 複数のテストメーカーに対応して使える今までより優れたソフトウェアツールが必要である。このツールはデジタルやミックドシグナルのベクタ発生、ロードボードやテスト治工具を考慮したデバイスのアナログ回路の回路シミュレーション、速やかなミックドシグナルテストプログラム発生に用いられる。現在、ミックドシグナルテストプログラムはマニュアルで作成され、自動テストプログラム発生器はデジタルテストプログラムの作成に広く用いられている。

表 29a Mixed-signal Test Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
BW * (MHz)	30	40	50	60	60	60	60
Fs** (MS/s***)	Moving from Nyquist sample rates to over/under sampling sources/digitizers						
Resolution (bits)	DSP computation to 24 bits—noise floor is more important						
Noise floor (dB/RT Hz)	-155	-155	-155	-160	-160	-160	-165
<i>High Frequency Waveform Source</i>							
Level V (pk-pk)	4	4	4	4	4	4	4
Accuracy (+/-)	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
BW (MHz)	1250	1500	1500	1800	1800	2150	2150
Fs (MS/s)	5000	6000	6000	7200	7200	8600	8600
Resolution (bits) AWG/Sine†	8/10	8/10	8/10	8/10	8/10	8/10	8/10
Noise floor (dB/RT Hz)	-135	-135	-135	-140	-140	-140	-140
<i>High Frequency Waveform Digitizer</i>							
Level V (pk-pk)	4	4	4	4	4	4	4
Accuracy (+/-)	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
BW (MHz) (undersampled)	4000	5200	6400	8000	9200	10800	12500
Fs (MS/s)	Direct conversion remains at 400—move to under sampling						
Resolution (bits)	Minimum 12 bits—noise floor is more important						
Noise floor (dB/RT Hz)	-140	-140	-145	-145	-150	-150	-150
<i>Time Measurement</i>							
Jitter measurement (ps RMS)	Will be driven by high-speed serial communication ports						
Frequency measurement (MHz)	Will be driven by high-performance ASIC clock rates						
Single shot time capability (ps)	Will be driven by high-speed serial communication ports						
<i>RF/Microwave Instrumentation</i>							
Source BW (GHz)	14	14	18	18	18	18	18
Accuracy (+/-dB)	0.2	0.2	0.1	0.1	0.1	0.1	0.1
Source phase noise low frequency Close-In 1KHz (dBc/Hz)	-130	-130	-136	-136	-136	-136	-136
Source phase noise high frequency Wideband 10MHz (dBc/Hz)	-160	-160	-166	-166	-166	-166	-166
Receive BW (GHz)	14	14	18	18	18	18	18
Receive noise floor (dBm/Hz)	-160	-166	-166	-166	-166	-166	-166
Receive dynamic range SFDR (dBc) ‡	140	140	140	160	160	160	160
<i>Special Digital Capabilities</i>							
D/A and A/D digital data rate (MB/s)	Same as high performance ASIC “off-chip data rate”						
Sample clock jitter (< ps RMS)	0.5	0.3	0.2	0.15	0.1	0.1	0.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

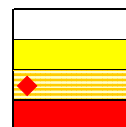


表 29b Mixed-signal Test Requirements—Long-term

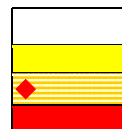
<i>Year of Production</i>	2010	2012	2013	2015	2016	2018
<i>Technology Node</i>	hp45		hp32		hp22	
<i>DRAM ½ Pitch (nm)</i>	45	35	32	25	22	18
<i>MPU/ASIC ½ Pitch (nm)</i>	45	32	28	22	20	18
<i>MPU Printed Gate Length (nm)</i>	25	20	18	14	13	10
<i>MPU Physical Gate Length (nm)</i>	18	14	13	10	9	7
<i>BW * (MHz)</i>	60	60	60	60	60	60
<i>Fs** MS/s***</i>	Moving over/under sampling					
<i>Resolution (bits)</i>	Noise floor more important					
<i>Noise floor (dB/RT Hz)</i>	-165	-165	-165	-165	-165	-165
<i>High Frequency Waveform Source</i>						
<i>Level V (pk-pk)</i>	4	4	4	4	4	4
<i>Accuracy</i>	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
<i>BW (MHz)</i>	3000	3000	3000	3000	5000	5000
<i>Fs (MS/s)</i>	12000	12000	12000	12000	12000	15000
<i>Resolution (bits) AWG/Sine†</i>	10/14	10/14	10/14	10/14	10/14	10/14
<i>Noise floor (dB/RT Hz)</i>	-155	-155	-155	-155	-155	-155
<i>High Frequency Waveform Digitizer</i>						
<i>Level V (pk-pk)</i>	4	4	4	4	4	4
<i>Accuracy</i>	0.50%	0.50%	0.50%	0.50%	0.50%	0.50%
<i>BW (MHz) (undersampled)</i>	10000	10000	10000	10000	10000	10000
<i>Fs (MS/s)</i>	Moving to under sampling					
<i>Resolution (bits)</i>	14	14	14	14	14	14
<i>Noise floor (dB/RT Hz)</i>	-150	-150	-150	-150	-150	-150
<i>Time Measurement</i>						
<i>Jitter measurement (ps RMS)</i>	Driven by high-speed serial ports					
<i>Frequency measurement (MHz)</i>	Driven by ASIC clock rates					
<i>Single shot time capability (ps)</i>	Driven by high-speed serial ports					
<i>RF/Microwave Instrumentation</i>						
<i>Source BW (GHz)</i>	36	36	36	36	36	36
<i>Source phase noise low frequency Close-In 1KHz (dBc/Hz)</i>	-140	-140	-140	-140	-140	-140
<i>Source phase noise high frequency Wideband 10MHz (dBc/Hz)</i>	-166	-166	-166	-166	-166	-166
<i>Receive BW (GHz)</i>	36	36	36	36	36	36
<i>Receive noise floor (dBm/Hz)</i>	-166	-166	-166	-166	-166	-166
<i>Receive dynamic range SFDR (dBc) ‡</i>	160	160	160	160	160	160
<i>Special Digital Capabilities</i>						
<i>D/A and A/D data rate (MB/s) §</i>	Follows ASIC “off chip data rate”					
<i>Sample clock jitter (< ps RMS)</i>	0.1	0.1	0.1	0.1	0.1	0.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



36 テストとテスト装置

Definitions for Tables 29a and 29b:

低周波波形源とデジタイザー - これはいかなるミックスドシグナルテストがもつ基本的な最低限の機能セットである。無線通信、先端のオーディオと無線ベースバンドがこれらの仕様を決めていくであろう。差動入出力は必要である。

高周波波形源 ディスクドライブチャネル(PRML)がサンプルレートや帯域をドライブしていくであろう。ローカルネットワーク(LAN)がサンプルレート、bit分解能や振幅精度をドライブしていくであろう。差動出力は必要である。

高周波波形デジタイザー ダウンコンバージョンやトラックホールドなどのアンダーサンプルされた帯域を示している。サンプルレートやbit分解能はダイレクトコンバージョンデジタイザー用であるが、通常はアンダーサンプラーが先行している。PRMLやLANがデジタイザーの仕様をドライブしている。差動入力が必要である。

時間測定 新しい設計に益々取り入れられているフェイズロックループ(PLL)にはジッタや周波数測定が必要である。これらの測定を効率的に正確に実行するために専用の機器が開発されなければならないであろう。

RF / マイクロ波手法 シングルチップのRF/デジタルベースバンド/オーディオデバイスは変調された搬送源や低ノイズレシーバまたはダウンコンバータのようなRF機器を必要とするであろう。

特別なデジタル能力 コンバータのテストのために、D/Aへのデジタル語の入力やA/Dからのデジタル語のキャプチャができること。

DFTを使用したデバイスのテスト装置

DFTの使用は、半導体産業界全体に急速に広がって来ている。この拡大の理由は、DFTを使うことにより、テスト開発のサイクルタイムを大幅に短縮し、故障検出率を改善し、共通な一部の外部ピンを用いてSOC内部の複数の回路にアクセスし、中程度の性能のインターフェースを用いて高性能回路のテストを行い、並列テストを容易にする等々が可能になるからである。ほんの一部の例外を除いて、ほとんどの今日の構造的な(DFTによる)テストは、一般的なデジタルATEで実行されてきた。これは、ATEにとっては、ある領域においては厳しいテスト要求事項であり、他の領域においては最適値以下しか要求しないという不幸な結果となっている。これは、DFTを使用する多くの素子は必要以上に高いテストコストを支払っていることを意味する。よって、DFTを使用するデバイスのテストに特化したATEの開発の必要性が生じてきている。

表30は、今後7年間にわたる業界のトレンドを取り込もうと試みたものである。ここにあらわされているデータは様々な半導体製造会社からの要求を集めたものである。多くの異なる要因により半導体企業にまたがる要求は少々発散気味である。

1. DFTはまだ成熟しつつある技術なので、企業間で一致して実装されるものではない。
2. デバイステクノロジーや製造工程に依存した異なる開発戦略が存在する。
3. 古い製品ファミリのための様々なレベルの古い「伝統的な」テスト手法をサポートする必要性が存在する。

重要なことは、この表がDFTを使用したデバイスのテスト装置の「仕様」となるべきではないということである。すなわち、どのような構成にしても一つの表では、すべてのDFTアプリケーションを満たすことはできない。

表30 DFT-BIST Device Test Requirements—Near-term

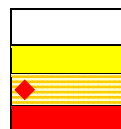
Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Number of parallel sites	64	64	128	128	256	256	256	Cost
Scan data volume (Giga-pin-vectors available per site)	32	32	64	64	128	128	256	Logic Density
Data capture volume (M bits-per-pin)	64	64	128	128	256	256	256	Scan/BIST debug
Scan pin (available per site/system)	384/2K	384/2K	512/4K	512/4K	512/4K	512/4K	512/4K	Logic Density
Scan vector rate (MT or MHz)	100	200	200	300	300	400	400	Test Time
“Full function” pin (available per site/system)	128/512	128/512	128/512	128/512	128/512	128/512	128/512	Test Time
Functional vector depth (M-Vectors)	16	16	16	16	16	16	16	Logic Density
Functional data rate (MHz)	100	200	200	200	200	200	200	Test Time
“Reduced function” pin (available per site/system)(DC only)	3K/4K	4K/5K	4K/5K	5K/6K	5K/6K	5K/6K	5K/6K	I/O Density
Clock pins (available per site/system)	8/64	8/64	8/128	8/128	8/256	8/256	8/256	Clock Domains
Clock frequency (MHz)	400	600	600	800	800	800	1000	On-chip Clock Rate
Scan launch/capture speed (MHz)	100	150	200	200	200	250	250	AC Scan
Power supplies (available per site/system)	8/128	8/128	8/128	8/128	8/256	8/256	8/256	Logic Density
Support for mixed signal and RF DFT	LoFreq	LoFreq	HiFreq	HiFreq	RF	RF	RF	SOC

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Table 30:

Parallel Sites -- デバイスの並列テストは、単一のテストで複数のデバイスを測定することによってデバイスあたりのテストコストを削減する共通の技術である。並列にテストできるデバイスの個数はテストの利用できるリソースにより制限される。しかしながら、ハードウェアあるいはソフトウェアのアーキテクチャによる論理的な制限はあるべきではない。過去におけるこれらの表に共通の数値は、すべての互いの数字を掛け算することにより算出されていた。与えられたテスト上の利用可能なすべてのピン数は、現在の最新のピン密度と一致するべきである。

Scan Data Volume – スキャン入力ピンにシフトされるビットの総数にスキャン出力ピンからシフトアウトされるビットの総数を加えたものである。即ち、デバイス中のスキャン可能素子の総数にスキャン・ロードとスキャン・アンロードの総数を掛け算したものである。1本のピンにシフトインあるいはシフトアウトする単一ビットは、ピン・ベクタとして定義することができる。

Scan Pin – スキャン入力ピンとスキャン出力ピンの最大数である。この数にはスキャンの制御に必要なとされるピンは含まない。

Scan Vector Rate – スキャンデータ入力ピンとスキャンデータ出力ピンの最大シフトレートである(単位はMT(Mega Transfers per second))。

“Full Function” Pin – Full Functionピンは、従来のATEシステムのピンの全機能を持つドライバとレシーバに接続するピンである。これらのリソースは、高いタイミング精度、柔軟な波形出力、高い周波数レート、プログラム可能なドライバレシーバの閾値、パラメトリック測定機能などを持つこともある。これらのFull Functionピンは、クロック、入力、出力、双方向、リファレンス・レベルなどのデバイスの外部I/Oピンを用いて従来のATEアプローチでDUTをテストするときに用いられる。加えて、full functionピンは、Full Functionピンのメモリ制限内、あるいは、スキャンメモリにアクセスすることにより、スキャンの機能も持つ。

Functional Vector Depth – デバイスをテストするために必要とされるベクタの総数である。各ベクタは、デバイスの各ピンに個々の状態(e.g. "0", "1", "H", "L", "X", "Z", etc.)を印加、あるいは比較する。

Functional Data Rate – デバイスのデータピンに印加するベクタの最大周波数レートである。

“Reduced Function” Pin – Reduced Functionピンは、波形機能を持たない、非常にベクタの深さが浅いなどの制限されたデジタルのドライバレシーバの機能を持つ低価格リソースに接続されるピンである。これらのピンは、通常プログラム可能なドライバレシーバの閾値やパラメトリック測定機能を持つ。

Clock Pin – クロックピンは、スキャンやファンクショナル・データ・ピンよりも高い周波数と高い精度を持つ。これらのクロックピンは、DFTテスト上での高性能テストを容易にするためにファンクショナル・データ・レートにおけるファンクショナルテスト、ゆっくりシフトして高速にサンプルするACスキャンテストやBISTで用いられる。

Clock Frequency – 標準クロックソースから供給される最大周波数である。クロックピンの精度とスキューは、最小クロック周期の8%以下にされるべきである。ジッタは、最小クロック周期の1.5%以下にされるべきである。

Power Supplies – デバイスへの電源供給は、テスト中のプログラム可能な電圧/電流を可能とする。一般にVccあるいはVddのようなデバイスの電源端子に接続して電圧、電流を供給する。他の使用は、テスト中のデバイスのピンのリファレンス電圧電源、外部負荷の終端電圧、電流源である。共通の特徴は、プログラム可能なクランプ、テストのパターンジェネレータにより制御されるトリガー/キャプチャの測定、パターンジェネレータにより制御される切り替え可能な出力電圧範囲である。

半導体メモリテストの要求条件

メモリ密度が指数関数的な割合で増大し続けることが予測される。半導体メモリは、新しいプロセス技術開発のテスト媒体であり続けるであろう。DRAMは、歴史的にプロセス技術開発の手段であった。しかし、フラッシュメモリがプロセス技術、設計、及び、テストを定義するための主要な方策として同じく使われるかもしれないといういくつかの徴候がある。表31～33を参照されたい。

汎用DRAMテスト

DRAMのビット数(容量)は、短期的に見ると2年で4倍の割合で増え続けるであろう。しかしながら長期的にみると、この増加傾向は緩くなり、3年ごとに4倍ぐらいの割合になると思われる。メモリサイズが増加する事によりテストタイムが増加しスループットが落ちる。そのため、テスト工程がDRAMの製造工程においてボトルネックとなりつつある。汎用DRAMにおいてリダンダンシは必須であるが、更に、テストにおける生産性を向上させるためには、新しいテスト思考に立ったアーキテクチャが要求されるであろう。マルチビットテストやBIST、及びBISRは、生産処理能力の向上や歩留りを維持するのに不可欠となる。

テスト時の同時測定の個数は、テスト設備及びウェーハプローブ技術やハンドラの能力の中で増え続けるに違いない。同時にテストできるデバイスの個数は、実スピードテストと関連がある。汎用DRAMは、最先端の専用のDRAMに比べI/Oビットレートが遅いが、2Gbps以上の場合、信号伝送方法やソケット、プロービング技術やハンドリングにおいて技術的な壁があり、要求されたタイミング精度を維持しようとする、64個以上の同時測定はかなり困難である。

DRAMの故障モデルは、縮退故障、マルチセル結合、デコーダオープン、またデータ保持欠陥などがあり、これらはしばらく続くであろう。100nm以下の製品の場合、製品開発のためにインラインでの欠陥検出が必要となってくるであろう。インラインでの欠陥のモニタリングで、不良ウェーハの混入が防止でき、ウェーハレベル、及びパッケージレベルでのテスト時間が維持できるであろう。

表 31a Commodity DRAM Test Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU / ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
DRAM capacity (Gbits):	R&D	4	TBD	8	TBD	16	TBD
	Mass Production	1	TBD	2	TBD	4	TBD
DRAM data rate (GHz):	R&D	1.6	TBD	2	TBD	2.4	TBD
	Mass Production	1.3	TBD	1.6	TBD	2	TBD
DRAM access time (ns):	R&D	1	TBD	0.5	TBD	0.3	TBD
	Mass Production	2.5	TBD	2	TBD	1	TBD
DRAM bit width/device (Mass Production)		16	TBD	16	TBD	16	TBD
Tester data rate (GHz):	R&D	1.6	TBD	2	TBD	2.4	TBD
	Mass Production	1.3	TBD	1.6	TBD	2	TBD
Overall timing accuracy (ps):	R&D	50	TBD	40	TBD	30	TBD
	Mass Production	60	TBD	50	TBD	40	TBD
Simultaneous testing (devices/test head)		64	TBD	64	TBD	128	TBD
Test channels (Mass Production)		1200*	TBD	2300	TBD	2300	TBD
		2300**					TBD

*Assuming SDRAM with 32 devices/station, Driver 800, I/O 640

** Assuming RAMBUS with 32 devices/station, Driver 480, I/O 640; 2 64 devices/station, Driver 960, I/O 1280

表 31b Commodity DRAM Test Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
DRAM capacity (Gbits):	R&D	64	TBD	256	TBD	1024
	Mass Production	16	TBD	64	TBD	256
DRAM data rate (GHz):	R&D	3	TBD	3.6	TBD	4.2
	Mass Production	2.4	TBD	3	TBD	3.6
DRAM access time (ns):	R&D	0.2	TBD	0.15	TBD	0.1
	Mass Production	0.8	TBD	0.5	TBD	0.3
Tester data rate (GHz):	R&D	3	TBD	3.6	TBD	4.2
	Mass Production	2.4	TBD	3	TBD	3.6
Overall timing accuracy (ps):	R&D	25	TBD	20	TBD	18
	Mass Production	30	TBD	25	TBD	20
Simultaneous testing (Devices/test head)		128	TBD	256	TBD	256
Test channels (Mass Production)		3500*	TBD	3500*	TBD	3500*

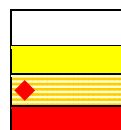
*Assuming RAMBUS with 64 devices/station, Driver 960, I/O 2560

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



汎用フラッシュテスト

フラッシュの容量は、短期的にはDRAM容量の増加傾向と同様に毎年2倍に増加するが、その後この傾向は減速し毎年1.5倍程度の増加になると思われる。従来、NORフラッシュがフラッシュ全体の生産数量を牽引してきたが、NANDフラッシュの生産数量が急速に増加している。NANDフラッシュとNORフラッシュは、一般にバス定義の違いによりテストソリューションが異なる。今後、フラッシュのバスタイプは、アプリケーションの多用途化に伴い、更に多種多様化すると予想される。現在のバス幅は、8ビットと16ビットであるが、32ビットに移りつつある。

フラッシュは、通常バッテリー駆動の製品に使用される。このためにテストは、低レベルの電流や電力の測定が要求される。フラッシュの供給電圧低化要求は今後も続く、しかし内部テストモード時には3倍～5倍の外部電圧を供給する必要性も継続される。供給電圧の低電圧化は進むがその設定電圧精度は一定であることが要求されるために相対的にはテストに対する供給電圧精度要求は高まる。テストの負荷回路は、入出力電圧の低下に伴いこれまでの標準的なものから新しい方式が必要となる。

ウェーハテストは一般的にパッケージテストに比べ高精度は要求されないが、不良ビットの検出及び解析機能、そして冗長(不良救済)機能がより要求される。

フラッシュメモリとその他のメモリやロジックなどの多種デバイスを積み重ねて一つのパッケージの中に組込むことがあたりまえとなり、今後も継続する。このようなパッケージは、パッケージのピン数とデバイス電源数を増大させ、パッケージテスト条件を複雑にする。フラッシュメモリ製品はプログラミングやデータ消去のコントローラを内蔵しているため、ロジック回路やアナログ回路のテスト機能も要求される。ロジックテストの要求は図表30a、30bに表されている。フラッシュのデータ及びクロックは高速化する。しかし、この要求は使用するアプリケーションにより多様化する。図表32a、32bはハイエンド製品のトレンドについて表している。

表 32a Commodity Flash Memory Test Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU / ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
<i>Device Characteristics</i>							
Density (megabits): volume production	256	256	512	512	512	1024	1024
Density (megabits): lead density	512	1024	1024	2048	2048	2048	4096
Data width (bits)	16	32	32	32	32	32	32
Simultaneously tested devices (wafer test)	64	128	128	128	256	256	256
Simultaneously tested devices (package test)	128	128	128	256	256	256	256
<i>Power Supplies</i>							
Power supply voltage range	1.0–5.5	1.0–5.5	1.0–5.5	0.6–3.3	0.6–3.3	0.6–3.3	0.6–3.3
Number of power supplies per device	2	2	2	2	2	2	2
Maximum current (MA)	300	300	300	300	300	300	300
Programming power supply voltage range (V)	1.0–12.0	1.0–12.0	0.6–10.0	0.6–10.0	0.6–10.0	0.6–8.1	0.6–8.1
Number of programming power supplies per device	2	2	2	2	2	2	2
<i>Pattern Generator</i>							
Tester channels per test site [1]	64	64	64	72	72	72	72
<i>Timing</i>							
Maximum data rate (MHz)	125	133	166	166	166	233	233
Accuracy OTA (ns)	0.6	0.5	0.5	0.5	0.5	0.5	0.5

表 32b Commodity Flash Memory Test Requirements—Long-term

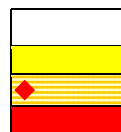
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU / ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
<i>Device Characteristics</i>						
Density (megabits): volume production	1024	2048	2048	4096	4096	8192
Density (megabits): lead density	4096	8196	8196	16384	16384	32768
Data width (bits)	32	32	32	32	32	64
Simultaneously tested devices (wafer test)	256	256	512	512	512	512
Simultaneously tested devices (package test)	256	256	256	256	256	256
<i>Power Supplies</i>						
Power supply voltage range	0.6–3.3	0.6–3.3	0.6–3.3	0.6–3.3	0.6–3.3	0.6–3.3
Number of power supplies per device	2	2	2	2	2	2
Maximum current (MA)	300	300	300	300	300	300
Programming power supply voltage range (V)	0.6–8.0	0.6–8.0	0.6–8.0	0.6–8.0	0.6–8.0	0.6–8.0
Number of programming power supplies per device	2	2	2	2	2	2
<i>Pattern Generator</i>						
Tester channels per test site [1]	72	72	72	72	72	72
<i>Timing</i>						
Maximum data rate (MHz)	200	200	250	250	300	300
Accuracy OTA (ns)	0.3	0.3	0.2	0.2	0.1	0.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



内蔵DRAM とフラッシュテスト

短期的には、内蔵DRAMの容量は2年ごとに2倍になると考えられる。その後、この成長は3年ごとに2倍に遅れると考えられる。デュアルゲートプロセスの併合ロジックDRAMデザインの主要な懸念は、配列間ノイズとセンスアンプ不均衡である。

内蔵フラッシュメモリの容量は、短期的には指数的に増大すると考えられる。しかし、その後、内蔵フラッシュメモリの容量は2年ごとに2倍になると考えられる。内蔵フラッシュメモリはmulti-bitセルアーキテクチャに移行されることが期待されている。ますます多くのICがDRAMとフラッシュメモリを内蔵すると考えられる。酸化物の信頼性、センスアンプ不均衡、及び酸化物 - 窒化物 - 酸化物(ONO)測定は、フラッシュメモリのための主要な懸念である。表31aと31bを参照。

テスト生産性を強化するために、新しいテスト指向のアーキテクチャが必要である。BIST及びBISRは、内蔵DRAM及び内蔵フラッシュメモリのテストにおいて、生産スループットと生産高を維持するために必須である。すべてのデータ背景を持つマーチテストが、内蔵DRAMに必須である間は、フラッシュメモリのための主要なテストアルゴリズムはリードディスタープ、プログラムディスタープ、イレースディスタープであり続けると考えられる。

42 テストとテスト装置

かなりの並列テストが、メモリ密度の上昇に対しテストスループットを維持するために要求されると考えられる。いくつかの設計については、デバイスを2重テストするほうが、ロジック及び内蔵メモリの両方をロジックテストでテストするより費用効率が良いと予想される。2重テストにおいては、内蔵フラッシュとDRAMは、メモリテストにおいてテスト及びリペアされる一方、ロジックブロックはロジックテストにおいてテストされる。

内蔵SRAMテスト要求は、このロードマップの高性能マイクロプロセッサのセクションで説明されている。

表 33a *Embedded Memory (DRAM and Flash) Test Requirements—Near-term*

<i>Year of Production</i>	2003	2004	2005	2006	2007	2008	2009
<i>Technology Node</i>		hp90			hp65		
<i>DRAM ½ Pitch (nm)</i>	100	90	80	70	65	57	50
<i>MPU/ASIC ½ Pitch (nm)</i>	107	90	80	70	65	57	50
<i>MPU Printed Gate Length (nm)</i>	65	53	45	40	35	32	28
<i>MPU Physical Gate Length (nm)</i>	45	37	32	28	25	22	20
<i>Embedded DRAM</i>							
Embedded DRAM size (Mbits)							
R&D	128	128	256	256	512	512	1024
Mass Production	64	64	128	128	256	256	512
Failure concerns	Particle defects; array noise, data retention		Particle defects, array noise; sense-amp imbalance				
Wafer level test	Double insertion						
Usage of on-chip test	100% BIST 100% BISR		100% BIST 100% BISR		100% BIST 100% BISR		100% BIST 100% BISR
<i>Embedded Flash</i>							
Embedded Flash size (Mbits)							
R&D	64	64	128	128	256	256	512
Mass Production	32	32	64	64	128	128	256
Embedded mixed memory size (Mbits)							
Flash	16	16	32	32	64	64	128
DRAM	16	16	32	32	32	64	64
Failure concerns	Oxide defects; ONO scaling		Oxide defects; ONO scaling; over-erase				
Wafer level test	Double insertion						
Usage of on-chip test	BIST/BIST DAT		BIST/BIST DAT		BIST/BIST DAT		BIST/BIST DAT

表 33b Embedded Memory (DRAM and Flash) Test Requirements—Long-term

<i>Year of Production</i>	2010	2012	2013	2015	2016	2018
<i>DRAM ½ Pitch (nm)</i>	45	35	32	25	22	18
<i>MPU/ASIC ½ Pitch (nm)</i>	45	32	28	22	20	18
<i>MPU Printed Gate Length (nm)</i>	25	20	18	14	13	10
<i>MPU Physical Gate Length (nm)</i>	18	14	13	10	9	7
<i>Embedded DRAM</i>						
Embedded DRAM size (Gbits)						
R&D	1	1	2	2	4	4
Mass Production	0.512	0.512	1	1	2	2
Failure concerns	Particle Defects, Array Noise, Sense-amp Imbalance					
Wafer level test	In-line Defect Detection, Double Insertion					
Usage of on-chip test	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR
<i>Embedded Flash</i>						
Embedded Flash size (Mbits)						
R&D	256	512	512	1024	1024	2048
Mass production	64	256	128	512	256	1024
Embedded mixed memory size (Mbits)						
Flash	64	128	128	256	256	512
DRAM	64	128	128	256	256	512
Failure concerns	Oxide Defects, ONO Scaling, Sense-amp Imbalance					
Wafer level test	In-line Defect Detection, Double Insertion					
Usage of on-chip test	100% BIST 100% BISR	BIST/BISR DAT	BIST/BISR DAT	BIST/BISR DAT	BIST/BISR DAT	BIST/BISR DAT

大量生産の容量は、R&Dの容量の約50%の容量とする。

信頼性評価の技術要求

信頼性の解決策は、RDD(信頼性欠陥密度)学習、信頼性スクリーニング&テスト方法(RS&TM)適用、及び、DFR(Design for Reliability)の最適化である。信頼性の解決策の最適な目標は、値が顧客満足対顧客コストの比率と定義される場合、信頼性に費やされた費用に対し最も良い価値を提供することである。信頼性について論じるとき、顧客満足は、フィールドでの故障率、または、単位時間あたりの故障率(FIT)で測定される。信頼性のコストは、2つの構成要素—製造オペレーションコスト、及び、歩留りを持っている。したがって、信頼性の費用方程式のこれらの2つの構成要素は、すべての信頼性ソリューション提供者が直面する主要な課題である。製造オペレーションコストは、アプリケーション仕様外の条件を適用することによって引き起こされるが、それは、ほとんどの場合、リークによる電力(電気的な電力放出、及び、上昇温暖気流/熱放散)及び、スクリーニング持続時間に対するソリューションの提供を求められる。歩留りコストは、“オーバーキル(間違っただ不良判定)”-それらは多くの形で電力に対するソリューションから派生するものと関連付けられるのであるが-を除く方向に厳しくバイアスがかけられる。

信頼性のソリューションの3つのコンポーネントのうちで、このセクションは、特にRS&TMを扱う。欠陥学習は、欠陥モデルと物理的欠陥のセクションで扱われる、そして、信頼性の第3の規則では“信頼性学習は、

歩留り学習に従う—それがそうしないときを除いて”と述べているが、過去のデータは、“信頼性固有の”欠陥の部品は非常に少ないという根拠を圧倒的に裏づけている。

同様に、DFRは、DFTのセクションに関係を持っている、しかしながら、遺伝的關係は欠陥学習の場合のように強く合致はしない。DFRも3つの重要なコンポーネントを持っている。すなわち、テクノロジー設計、チップ設計(論理的および物理的)、及び、システム設計である。

3つの各々において、DFRワークは、欠陥許容性を求めて努力しなければならない。テクノロジー設計の場合は、リークによって引き起こされる電力の低減は欠陥許容性における重要性を維持する。チップ設計及びDFRに関して、電力低減、及び、フォールトレランスは、設計優先順位において標準にある。冗長要素解析、及び、電力消費分析は、かなりの設計エンジニアリング力を必要とする。システムレベルでは、誤り検出/訂正の形態をとる欠陥許容性は信頼性においては常套句のままである。しかし、電力低減は強いセコンドであり、迅速にギャップを縮める。

信頼性スクリーニングとテスト方法については万華鏡のように様々な技術と手法があり、それぞれそのチャンピオンデータとサポートデータ/無理に作ったデータ/偏ったデータによって競っている。したがって、その競争は、技術ノード、チップ/回路タイプ、設計スタイル、性能目標、信頼性要求、及び、そのときの欠陥に応じて、良し悪しを論じ合うものである。

RS&TMはウェーハでの適用とパッケージ(あるいは、モジュール)での適用に最も適切に分類される。さらに、それは“検出”と“加速”技術に分離される。この2段階の構造は、市場返品がテストでの見逃しと初期信頼性故障のどちらによるものであるかということに関する、テストと信頼性の間の長年の議論を和らげるのに役立つであろう。

運用上のプロセスステップ(すなわち、ウェーハかパッケージか)にかかわらず、加速技術は電力との関連を常に考えなければならない。それは単に加速が通常の条件をはるかに超過した温度と電圧(リークは双方の対数比となる)の一方または両方を必要とするという理由からである。検出技術については同じことがいえない。多くの場合において、検出技術は、リークを低減する条件を使用する。また、検出がリークを悪化させる適用条件を要求する事例では、それらの条件は標準的には加速条件のレベルに到達しない。

バーンインの要求

表34a及び34bにおけるバーンインの要求は、前回のロードマップに対して重要な変更は特にない。いくつかのマーケット分野ではバーンインコストが上昇し、バーンインを低減あるいは排除する努力が継続されている。高度で複雑なデバイスにおけるコストの上昇要因は、多ピン化、狭ピッチ化そして多機能化である。また、高電力デバイスにおけるコストの上昇要因は、低電圧での大電流、厳密な温度管理である。これらのデバイスに対してバーンインコストを削減するためには、コスト効果の高い温度管理技術の研究の継続だけでなく、DFTによるバーンイン中のストレス印加も推進する必要がある。一般的に新しいデバイスは、より多くの電源、より厳格な許容誤差(電氣的及び機械的の双方)、バーンイン中のより多くのアナログ的な刺激、そしてより多くの機能的なストレス印加能力が要求される。高信頼アプリケーションにおいては、従来ど

おりのバーンインによるアプローチでは費用は増加し、そして効果は減少するため、システムレベルバーンインの使用が増加するというのが1つの新たな動向である。

バーンインの低減、排除はいくつかの要因によって不都合が生じている。電圧加速は、低電圧化、より高い電圧におけるリーク電流と電力消失の影響、電圧加速によるデバイス破壊までの余裕度の減少のため、新しい技術の上では腐食している。電源への要求の増加や発熱の影響は、バーンイン温度の低減、より低い温度での加速を強要している。バーンインの代わりとなる例としては、HVST(高電圧ストレステスト)、IDDQ/Delta IDDQ、ウェーハレベルでの信頼性テスト、パッケージレベルでの信頼性ストレステストなどがある。バーンインを削減する手段としては、バーンイン実施中のテストの能力、デバイスごとに独立した温度管理、バーンインの候補となるデバイスのためのウェーハマッピング、ウェーハファブへのフィードバックループ統合などがある。製造プロセスを十分に理解した成熟された技術は、バーンインの排除をより成功させる。最先端VLSI、マイクロプロセッサやメモリを含めたより複雑でより高度な信頼性技術を考慮すると、当分の間バーンインを排除できるとは考え難い。

バーンインシステム技術はデバイスの大電力化や大電流化要求に対応するために進歩している。コア電圧レンジの要求は著しく増加している。スキャンは大容量メモリに向けてかなりの深さのベクタを要求する、それと同時に大電力はデバイスごとに独立した温度管理を要求する。システム周波数の能力はいくつかの例外を除いて、最先端デバイスのスピードには対応できていない。その結果、実スピードのバーンインは一般には内部クロックの使用を通じて実行されている。また、DFTが搭載されたデバイスは少量のI/Oインタフェースを使用することができるが、一方でDFTが搭載されていないデバイスはI/O数の増加が要求されている。

バーンインボード技術は、より狭ピッチなソケット、より大きな電流の要求、より多くの熱消費、より低い電圧あるいはより高い電圧双方への対応、そしてクロックレート、データレートの増加などによって推進されている。これは結果として、ボード層数の増加、トレースの減少、ルーティングのためのスペースの減少、プロセスや材料の複雑化、テストコストの高騰(テストチャンネル数の増加やテストプローブの複雑化のため)、そしてボードの信頼性に関する新たな課題が生じている。これらの解決策としては、新しいプリント基板材料、より厚いバーンインボード、新しいソケットインタフェース技術、より精巧なレイアウトツールそしてシミュレーションの使用増加などが必要とされる。

バーンインソケットの設計は、大電流と電力消費、高周波数と低電圧、狭ピッチでかつI/Oピンの増加に伴う大きなパッケージ、人間工学、ツール費用の増加、デバイスライフタイムの短縮、顧客リードタイムの短縮、ソケット開発期間の長期化、バーンインボードインタフェースの課題、パッケージング産業における標準化の不足、デバイスアライメントの課題によって推進されている。研究領域としては、新しいソケット素材、新しい接触設計、従来のコンタクト技術に対する代案、そして電氣的、機械的、熱のモデリングの利用などを含む。

KGDのための多くの要求は、個片チップキャリア技術あるいはチップの信頼性保証のための非バーンイン手法に依存し続ける。DRAMやハイエンドマイクロプロセッサは一般的には最も徹底的なバーンインが要求される2つの製品ファミリーである。しかし、DRAMにおいてはI/Oピン数の多さと限定的なDFTにより、ま

たハイエンドマイクロプロセッサにおいては高電力の要求により、ウェーハレベルバーンイン(WLBI)はあまり適していない。WLBIを最も利用しやすいとされる新製品導入の際でも、急速な設計変更がWLBIツールコストを魅力的でなくすため、WLBIはよい候補とはならない。WLBIはミッドレンジのデバイスに対して最も適している。また、WLBIは、ウェーハあたりのチップ数が多い成熟したプロセスまたバーンインからファブオペレーションまでの迅速なフィードバックを必要とするデバイスに対して、最も有益となるかもしれない。様々なアプリケーションにおけるベアチップ使用の増加は、KGDとWLBIの開発を推進し続けるであろう。

バーンインの全体コストは、成熟したデバイスに対しては低下しているが、一方で高電力、高度で複雑なアプリケーションに対しては、増加している。また、成熟したソケットの多くは価格が低下しているが、最先端のソケット技術は多ピン化や狭ピッチ化のため高騰している。高電力アプリケーションは、1Wごとの基準では従来の技術はコスト競争力があるが、デバイスごとの基準では一般的にはより高価となっている。

表 34a Burn-in Requirements—Near-term

<i>Year of Production</i>	2003	2004	2005	2006	2007	2008	2009
<i>Technology Node</i>		hp90			hp65		
<i>DRAM ½ Pitch (nm)</i>	100	90	80	70	65	57	50
<i>MPU / ASIC ½ Pitch (nm)</i>	107	90	80	70	65	57	50
<i>MPU Printed Gate Length (nm)</i>	65	53	45	40	35	32	28
<i>MPU Physical Gate Length (nm)</i>	45	37	32	28	25	22	20
<i>High Performance ASIC</i>							
Clock input frequency (MHz)	400	400	400	400	400	400	400
Off-chip data frequency (MHz)	50	75	75	75	75	75	75
Power supply voltage range (V)	0.7–3.3	0.7–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5
Power dissipation (W per DUT)	50	75	100	150	200	200	200
Maximum number of signal I/O	384	384	384	384	384	384	384
<i>High Performance Microprocessor</i>							
Clock input frequency (MHz)	200	250	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75	75
Power supply voltage range (V)	0.7–3.4	0.5–3.4	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5
Power dissipation (W per DUT)	200	250	600	600	600	600	600
Maximum current (A)	150	300	400	450	450	450	450
Maximum number of signal I/O	128	128	128	128	128	128	128
<i>Low-End Microcontroller</i>							
Clock frequency (MHz)	200	300	400	400	400	400	400
Off-chip data frequency (MHz)	50	60	75	75	75	75	75
Power supply voltage range (V)	0.7–12.0	0.7–10.0	0.7–10.0	0.7–10.0	0.7–10.0	0.7–10.0	0.7–10.0
Power dissipation (W per DUT)	5	10	10	10	10	10	10
Maximum number of signal I/O	32	32	32	32	32	32	32
<i>Mixed-Signal</i>							
Clock input frequency (MHz)	200	250	250	250	250	250	250
Off-chip data frequency (MHz)	75	75	75	75	75	75	75
Power supply voltage range (V)	0.7–100	0.7–100	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500
Power dissipation (W per DUT)	75	75	150	150	150	150	150
Maximum current (A)	20	20	20	20	20	20	20
Maximum number of signal I/O	128	128	128	128	128	128	128
Analog signal peak-to-peak voltage range (V)	±10V	±10V	±10V	±10V	±10V	±10V	±10V
<i>Commodity Memory</i>							
Clock input frequency (MHz)	400	400	400	400	400	400	400
Off-chip data frequency (MHz)	30	50	50	50	50	50	50
Power supply voltage range (V)	0.6–6.0	0.6–4.0	0.6–4.0	0.6–4.0	0.6–4.0	0.6–4.0	0.6–4.0
Programming power supply voltage range (V)	0.6–10	0.6–10	0.6–10	0.6–10	0.6–8	0.6–8	0.6–8
Power dissipation (W per DUT)	10	15	20	20	20	20	20
Maximum number of signal I/O	36	72	72	72	72	72	72
<i>DFT / BIST Requirements</i>							
Scan pin count (per DUT)	128	128	128	128	128	128	128
Scan vector memory depth (megavectors)	256	256	256	256	256	256	256
Scan vector frequency (MHz)	75	75	75	75	75	75	75

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

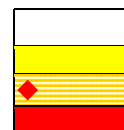


表 34b Burn-in Requirements—Long-term

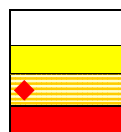
<i>Year of Production</i>	2010	2012	2013	2015	2016	2018
<i>DRAM ½ Pitch (nm)</i>	45	35	32	25	22	18
<i>MPU/ASIC ½ Pitch (nm)</i>	45	32	28	22	20	18
<i>MPU Printed Gate Length (nm)</i>	25	20	18	14	13	10
<i>MPU Physical Gate Length (nm)</i>	18	14	13	10	9	7
<i>High Performance ASIC</i>						
Clock input frequency (MHz)	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75
Power supply voltage range (V)	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.4–2.5
Power dissipation (W per DUT)	200	200	200	225	225	250
Maximum number of signal I/O	384	384	384	384	384	384
<i>High Performance Microprocessor</i>						
Clock input frequency (MHz)	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75
Power supply voltage range (V)	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5
Power dissipation (W per DUT)	600	600	600	600	600	600
Maximum current (A)	450	450	450	450	450	450
Maximum number of signal I/O	128	128	128	128	128	128
<i>Low-End Microcontroller</i>						
Clock frequency (MHz)	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75
Power supply voltage range (V)	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10
Power dissipation (W per DUT)	20	20	20	20	20	20
Maximum number of signal I/O	32	32	32	32	32	32
<i>Mixed-Signal</i>						
Clock input frequency (MHz)	250	250	250	250	250	250
Clock input frequency (MHz)	250	250	250	250	250	250
Off-chip data frequency (MHz)	75	75	75	75	75	75
Power supply voltage range (V)	0.5–500	0.5–500	0.5–500	0.5–1000	0.5–1000	0.5–1000
Power dissipation (W per DUT)	150	150	150	150	150	150
Maximum current (A)	30	30	30	30	30	30
Maximum number of signal I/O	128	128	128	128	128	128
Analog signal peak-to-peak voltage range (V)	±10V	±10V	±10V	±10V	±10V	±10V
<i>Commodity Memory</i>						
Clock input frequency (MHz)	400	400	400	400	400	400
Off-chip data frequency (MHz)	50	50	50	50	50	50
Power supply voltage range (V)	0.5–4.0	0.5–4.0	0.5–4.0	0.5–4.0	0.5–4.0	0.5–4.0
Programming power supply voltage range (V)	0.5–8.0	0.5–8.0	0.5–8.0	0.5–8.0	0.5–8.0	0.5–8.0
Power dissipation (W per DUT)	20	20	20	20	20	20
Maximum number of signal I/O	72	72	72	72	72	72
<i>DFT / BIST Requirements</i>						
Scan pin count (per DUT)	128	128	128	128	128	128
Scan vector memory depth (megavectors)	256	256	256	256	256	256
Scan vector frequency (MHz)	75	75	75	75	75	75

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



IDDQ テスト

通常のバックグラウンドリーク電流(その大きさやバラツキ)は、過去実行されたIDDQテストの点で増加を続けている。そのため、IDDQテストは故障検出が可能になるように変わり続けなければならない。代替案としては、バックグラウンドリーク電流が増加しても、同じ効果を準備すべく開発されていかなければならない。IDDQは、生産チップについての重要な情報を提供しており、今日、多くのケースで不良検出及び特性評価で重要な役割を果たしている。

表35は、将来技術において性能重視の製品でのIDDQの推定値を示す。これらの値はそのまま解釈してはいけない。これらの値はテクノロジスケールとして相対的な値を示す。これらの数値は、低電力技術においては著しく小さい(例えば、3桁位低い)かも知れない。これらのレンジは、最大デバイスオフ電流 I_{off} (2001 ITRS Process Integration Chapterの技術要求テーブル[high performance, low operating power, low standby power table]より)、トランジスタ数(ORTCの表1g-1hより)、標準的なW/L比から導き出されており、オフトランジスタの割合を仮定している。IDDQテストができるように適切にICが設計されることも仮定している。

表35 Projected Performance-oriented IC IDDQ Values

YEAR	MAXIMUM IDDQ
2001	30–70 mA
2003	70–150 mA
2005	150–400 mA
2008	400 mA–1.6 A
2011	1.6–8 A
2014	8–20 A

Note—all table values assume 25°C

単にIDDQ値が大きさにおいて増加すると推定されるだけでなく、IDDQのバラツキが(与えられた技術及び製品に関して)高いと予想される。例えば、表35のIDDQ値は最大値を表すが、典型的な値は著しく低くなりうる。よくこのバラツキの要因を理解し、このバラツキを許容するための新しいテスト技術を開発することが重要である。

以下に、IDDQテストを継続的に使用できるようにする可能性のある(テスト、DFT双方の)技術を記載する。

- “Delta IDDQ” または “IDDQ Ratios” テスト手法の活用
- 基板バイアスによる V_i のコントロール
- より高い V_i (すべてのデバイスが選択されたもの)またはより偏りの少ない V_i を得るためのプロセス変更
- 低温でのIDDQテスト
- チップレベルでの電力供給の分割と複数電源
- トランジスタパスでのリーク電流を制限できる大きなフッタデバイス(header device)の使用
- マルチ V_{dd} 電圧でのIDDQ測定
- トランジェント及びチャージベースの I_{dd} 技法
- 近傍チップとの比較でのIDDQリミットの決定

- 他のパラメータ計測(例えば動作速度)によるIDDQリミットの決定
- 電源パッド集合でのIDDQ同時測定
- 組み込み IDDQセンサ(自己校正機能付きも可能性あり) または他のオンチップ計測支援

IDDQは重要な不良解析及び特性評価技術となっていた。物理的な不良解析は、欠陥位置指摘及び欠陥タイプの識別においてIDDQに依存している。更に、IDDQと例えば温度、電圧及び回路状態のような条件との関係に不良回路のふるまいに関する重要な情報がある。しかし、IDDQが上がるとともに、従来の技術を用いたこれらの診断の有効性はある程度失われるであろう。

IDDQ測定が実行できるテストの割合の改善に対する要求もある。テスト装置の改良あるいはテストフィクチャでのサポートが好ましい。更に、高電流でのIDDQの測定分解能及び精度は、特に新たなシグナチャベースの手法のためには改善しなければならない。

テストハンドラとプローバの技術要求

ウェーハプローバやテストハンドラのコンポーネントは、それぞれの市場において著しい技術的な課題に直面する。両方のプラットフォームに共通する問題として、熱の管理や、より多くの同時測定数、そして増大する設備投資コストなどがある。

ウェーハプローバに特有な技術的傾向は、プローブ本数の増加、プローブピッチ/直径の微細化、プローブ先端の幾何学的な形状の進化など、この装置に影響を与える驚くべきプロセス技術を含んでいる。これらの傾向はDUTエリアに対する熱管理や、ウェーハ供給時の正確な位置決め、チャックに対する電気的な分離、プローブとパッドの複雑な位置精度(PTPA) などの取り組みが必要となる。

メモリハンドラにおける課題は、増大する同時測定数や、ボールからエッジまでのパッケージ寸法、チップの薄型化/スタック実装構造などに対応したキットレスという革新的なハンドリング技術の要求を実現することである。ロジックハンドラにおける課題は、デバイス測定時の自己発熱や、運用の改善、増大するESD感度や高度なパッケージング技術への対応である。これらの傾向は、デバイス測定中のATC(Active Thermal Control: 動的温度制御)や、サイクルタイムの低減とデバイス搬送方式の改善、ESD測定機能の搭載とすべてのパッケージに対応するなどの要求を実現することである。コミュニケーション及びネットワーク製品に対応するハンドラの課題は、高い高温と低温を実現する制御や、10Gbpsを超えるテストへの対応、チップのスタック実装構造のパッケージ対応などである。これらの傾向は、非常に低い温度から高い温度までを実現するトライテンプ・ハンドラや、EMI対策を実現するシールド、デバイスの小型、薄型、スタック実装構造に対応した搬送方式などの要求を実現することである。

結局、これらの問題は、ウェーハプローバやテストハンドラのコンポーネントに対するコストを増やすことになる、一方では構造機能テストに対するコストは減少し続ける。今後数年に渡って、テストハンドリング装置のソリューションは、増加するコスト圧縮への取り組みの中で要求事項を満たすために必要とされる。

表 36a Handler (Memory—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel testing	32–64	32–64	64–128	64–128	64–128	128–256	128–256
Index time (S)	3–5	3–5	3–5	3–5	2–5	2–5	2–4
Throughput (devices per hour)	6–8K	6–8K	8–10K	8–10K	8–10K	8–12K	8–12K
Sorting	5–9	5–9	5–9	5–9	5–9	5–9	5–9
Maximum set point (degrees C)	135	135	135	135	135	135	135
Minimum set point (degrees C)	-55	-55	-55	-55	-55	-55	-55
Temperature accuracy (degrees C)	±2	±2	±2	±2	±2	±2	±1.5
Foot print (ratio)	1–1.3	1–1.3	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5
Number of pins/device	40–80	40–250	40–250	40–250	40–250	40–400	40–400
Pin pitch (mm)	0.5–1.0	0.5–1.0	0.5–1.0	0.4–1.0	0.4–1.0	0.3–1.0	0.3–1.0
Ball edge to package edge clearance (mm)	0.6	0.6	0	0	0	0	0
Minimum package thickness (mm)	0.8–1.8	0.3–1.8	0.3–1.8	0.3–1.8	0.3–1.8	0.2–1.8	0.2–1.8
Conversion time (minutes)	40	40	40	1 (kitless)	1 (kitless)	1 (kitless)	1 (kitless)
Tester/handler communications	SECS/GEM --HSEM	SECS/GEM --HSEM	SECS/GEM --HSEM	SECS/GEM --HSEM	SECS/GEM --HSEM	SECS/GEM --HSEM	SECS/GEM --HSEM

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

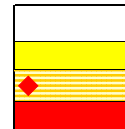


表 36b Handler (Memory—Pick and Place) Requirements—Long-term

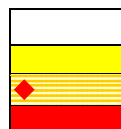
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel testing	128–256	128–256	128–256	128–256	128–256	128–256
Index time (S)	2–4	2–4	2–4	2–4	2–4	2–4
Throughput (devices per hour)	12–20K	12–20K	12–20K	12–20K	12–20K	12–20K
Sorting	5-9	5-9	5-9	5-9	5-9	5-9
Maximum set point (degrees C)	135	135	135	135	135	135
Minimum set point (degrees C)	-55	-55	-55	-55	-55	-55
Temperature accuracy (degrees C)	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5
Foot print (ratio)	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5
Number of pins/device	40–400	40–400	40–400	40–400	40–400	40–400
Pin pitch (mm)	0.3-1.0	0.3-1.0	0.3-1.0	0.3-1.0	0.3-1.0	0.3-1.0
Ball edge to package edge clearance (mm)	0	0	0	0	0	0
Minimum package thickness (mm)	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8	0.2–1.8
Conversion time (minutes)	1 (kitless)	1 (kitless)	1 (kitless)	1 (kitless)	1 (kitless)	1 (kitless)
Tester/handler communications	SECS/GEM-HSEM	SECS/GEM-HSEM	SECS/GEM-HSEM	SECS/GEM-HSEM	SECS/GEM-HSEM	SECS/GEM-HSEM

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Tables 36a and 36b:

インデックスタイムは、テストからテストエンド信号を受信した時点から、ハンドラがテストスタート信号を送信するまでの時間とした。

UPH は 1 時間当たりのデバイス処理個数。但し、テスト時間は 0 秒、ロットの入れ替え時間は無として計算した。

分類数はデバイスを収容する JEDEC トレーを収容する場所の数とした。

±で示す温度数値は、温度設定範囲の最大値と最小値のそれぞれに対する±範囲を示す。

温度上昇の許容範囲は、デバイスのテスト中に発生する温度とした。

ステーション内の交互測定方式とは、並列接続されたソケットにおける個々のデバイスを選択して得られる出力信号を測定する方式である。

作業者がハンドラに対してトレーを供給したり収容したりする作業を実施する際、ハンドラの運転を中断しなくても作業が実施可能な構造とする必要がある。

自動再選機能は、オペレータが介入しなくても自動的に再テストする構造を示す。もし可能であるなら、この機能は初選で測定したソケットと異なった位置で再測定する必要がある。

近年のデバイスは静電気破壊に対する対策がされているが、更にハンドラとして通常運転時に発生する電磁ノイズに対する対策が必要である。

MTBF は SEMI E - 10 の定義による。

表 37a Handler (Logic—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel testing	4	8	8	8	8	8	16
Index time (S)	0.3–0.4	0.3–0.4	0.3–0.4	0.3–0.4	0.25–0.3	0.25–0.3	0.25
Throughput (devices per hour)	4–6K	8–12K	8–12K	8–12K	9–14K	9–14K	12–20K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Maximum set point (degrees C)	125	125	125	125	125	125	125
Minimum set point (degrees C)	-10	-10	-10	-10	-10	-10	-10
Temperature accuracy (degrees C)	±0.5	±0.5	±0.5	±0.3	±0.3	±0.1	±0.1
Total thermal load (Watts) - MPU	80	80	125	125	150	150	175
Total thermal load (Watts) – Non-MPU	25	25	25	25	35	35	35
Thermal Watt density (Watts/cm ²) – MPU	80	80	130	130	175	175	200
Thermal Watt density (Watts/cm ²) – Non-MPU	25	25	25	25	35	35	35
Foot print (ratio)	1	1.2	1.2	1.2	1.2	1.2	1.4
Max socket load per unit (kg)	16	20	24	27	30	30	35
Asynchronous capability	No	No	Yes	Yes	Yes	Yes	Yes
Number of pins or lands/device	700	700	750	750	800	800	850
Pin/land pitch (mm)	1.2	1.2	1.1	1.1	1	1	0.8
EMI event field (ESD measurements) (mV)	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"
Handler/tester communications	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM
Conversion time (minutes)	30	30	30	30	15	15	15
Uninterrupted tray loading/auto-2A	No	No	No	Yes	Yes	Yes	Yes
Reliability (hours)	80	100	100	168	168	500	500

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

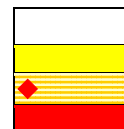


表 37b Handler (Logic—Pick and Place) Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel testing	16	16	16	32	32	32
Index time (S)	0.25	0.25	0.25	0.25	0.25	0.25
Throughput (devices per hour)	12–20K	12–20K	12–20K	20–28K	20–28K	20–28K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6
Maximum set point (degrees C)	125	125	125	125	125	125
Minimum set point (degrees C)	-10	-10	-10	-10	-10	-10
Temperature accuracy (degrees C)	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1
Total thermal load (Watts) – MPU	200	200	200	250	250	300
Total thermal load (Watts) – Non-MPU	50	50	50	75	75	100
Thermal Watt density (Watts/cm ²) – MPU	225	225	225	250	250	250
Thermal Watt density (Watts/cm ²) – Non-MPU	75	75	75	100	100	125
Foot print (ratio)	1.4	1.4	1.4	1.4	1.4	1.4
Max socket load per unit (kg)	35	35	35	35	35	35
Asynchronous capability	Yes	Yes	Yes	Yes	Yes	Yes
Number of pins or lands/device	850	850	850	900	900	1000
Pin/land pitch (mm)	0.6	0.6	0.6	0.4	0.4	0.4
EMI event field (ESD measurements) (mV)	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"
Handler/tester communications	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM
Conversion time (minutes)	5	5	5	5	5	5
Uninterrupted tray loading/auto-2A	Yes	Yes	Yes	Yes	Yes	Yes
Reliability (hours)	1000	1000	1000	1000	1000	1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

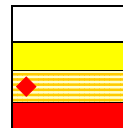


表 38a Handler (Network and Communications—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel testing	4	8	8	8	8	8	16
Index time (S)	0.3–0.4	0.3–0.4	0.3–0.4	0.3–0.4	0.25–0.3	0.25–0.3	0.25
Throughput (devices per hour)	4–6K	8–12K	8–12K	8–12K	9–14K	9–14K	12–20K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Set point range (degrees C)	-45 to +150	-45 to +150	-45 to +150	-45 to +150	-45 to +150	-45 to +150	-45 to +150
Temperature accuracy (degrees C)	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5
Total thermal load (Watts)	25	25	25	35	35	35	35
Thermal Watt density (Watts/cm ²) – MPU	25	25	25	50	50	50	50
Allowable device temperature rise (degrees C)	20	20	20	20	20	20	20
Foot print (ratio)	1	1.2	1.2	1.2	1.2	1.2	1.4
Max socket load per unit (kg)	16	20	24	27	30	30	35
Asynchronous capability	No	No	Yes	Yes	Yes	Yes	Yes
Number of pins or lands/device	700	700	750	750	800	800	850
Pin/land pitch (mm)	1.2	1.2	1.1	1.1	1	1	0.8
EMI event field (ESD measurements) (mV)	250 @ 6” or 150 @ 12”	250 @ 6” or 150 @ 12”	250 @ 6” or 150 @ 12”	250 @ 6” or 150 @ 12”	250 @ 6” or 150 @ 12”	250 @ 6” or 150 @ 12”	250 @ 6” or 150 @ 12”
Handler/tester communications	SECS/GE M--HSEM	SECS/GE M--HSEM	SECS/GE M--HSEM	SECS/GE M--HSEM	SECS/GE M--HSEM	SECS/GE M--HSEM	SECS/GE M--HSEM
Conversion time (minutes)	30	30	30	30	15	15	15
Uninterrupted tray loading/auto-2A	No	No	No	Yes	Yes	Yes	Yes
Reliability (hours)	80	100	100	168	168	500	500

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

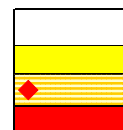


表 38b Handler (Network and Communications—Pick and Place) Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Conformity tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel testing	16	16	16	32	32	32
Index time (S)	0.25	0.25	0.25	0.25	0.25	0.25
Throughput (devices per hour)	12–20K	12–20K	12–20K	20–28K	20–28K	20–28K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6
Set point range (degrees C)	-45 to +150	-45 to +150	-45 to +150	-45 to +150	-45 to +150	-45 to +150
Temperature accuracy (degrees C)	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5
Total thermal load (Watts)	50	50	50	50	50	50
Thermal Watt density (Watts/cm ²) - MPU	50	50	50	50	50	50
Allowable device temperature rise (degrees C)	20	20	20	20	20	20
Foot print (ratio)	1.4	1.4	1.4	1.4	1.4	1.4
Max socket load per unit (kg)	35	35	35	35	35	35
Asynchronous capability	Yes	Yes	Yes	Yes	Yes	Yes
Number of pins or lands/device	850	850	850	900	900	1000
Pin/land pitch (mm)	0.6	0.6	0.6	0.4	0.4	0.4
EMI event field (ESD measurements) (mV)	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"	250 @ 6" or 150 @ 12"
Handler/tester communications	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM	SECS/GEM- -HSEM
Conversion time (minutes)	5	5	5	5	5	5
Uninterrupted tray loading/auto-2A	Yes	Yes	Yes	Yes	Yes	Yes
Reliability (hours)	1000	1000	1000	1000	1000	1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

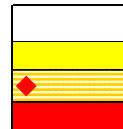


表 39a Prober (Logic MPU—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Wafer diameter (mm)	300	300	300	300	300	300	300
Pad pitch							
Peripheral (mm)	50–125	50–125	40–100	40–100	40–100	30–80	30–80
Bump (mm)	40	40	30	30	30	30	30
Wafer thickness (mm)	180–725	180–725	80–775	80–775	80–775	80–775	80–775
Maximum I/O pads	2200	2200	3000	3000	3000	400	4000
Chuck positioning accuracy							
X & Y (µm)	4	4	4	4	4	2	2
Z (µm)	4	4	2	2	1	1	1
Co-planarity (µm)	TBD	TBD	TBD	TBD	TBD	TBD	TBD
Probe-to-pad alignment (µm)	6.5	6.5	4.5	4.5	4.5	4.5	4.5
Maximum chuck force (kg)	50	50	50	100	100	100	100
Parallel testing	1X	1X	1X	2X	2X	2X	2X
Set point range (degrees C)	-10 to +25	-10 to +25	-30 to +85	-30 to +85	-30 to +85	-30 to +85	-30 to +85
Temperature accuracy (degrees C)	-1	-1	-1	-1	-1	-1	-1
Total power (Watts)	150	150	150	150	200	200	250
Power density (Watt/cm ²)	45	45	90	90	90	90	120
Chuck leakage (picoampere)	3	3	1	1	1	0.1	0.1
Foot print (ratio)	1–1.3	1–1.3	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

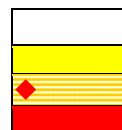


表 39b Prober (Logic MPU—Pick and Place) Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	45	32	28	22	20	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Wafer diameter (mm)	300	300	300	450	450	450
Pad pitch						
Peripheral (mm)	30–60	30–60	30–60	30–60	30–60	30–60
Bump (mm)	20	20	20	20	20	20
Wafer thickness (mm)	50–1000	50–1000	50–1000	50–1000	50–1000	50–1000
Maximum I/O pads	5300	5300	5300	5300	5300	5300
Chuck positioning accuracy						
X & Y (μm)	2	2	2	2	2	2
Z (μm)	0.5	0.5	0.5	0.5	0.5	0.5
Co-planarity (μm)	TBD	TBD	TBD	TBD	TBD	TBD
Probe-to-pad alignment (μm)	3.5	3.5	3.5	3.5	3.5	3.5
Maximum chuck force (kg)	100	100	100	100	100	100
Parallel testing	2X	2X	2X	2X	2X	2X
Set point range (degrees C)	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125
Temperature accuracy (degrees C)	-1	-1	-1	-1	-1	-1
Total power (Watts)	250	250	250	300	300	300
Power density (Watt/cm ²)	120	120	120	120	120	120
Chuck leakage (picoampere)	0.1	0.1	0.1	0.1	0.1	0.1
Foot print (ratio)	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5	1.3–1.5

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

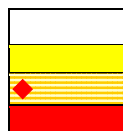


表40 Memory Test Handler Difficult Challenges

Challenge	Issue/Goal
パッケージ形状	サイズ、厚さ、ボールピッチが異なる多品種の薄型チップをチェンジキット無しで搬送できるハンドラの実現。
ボールとエッジのパッケージ寸法	パッケージ寸法に対して、ボールとエッジの寸法が0.6mmから0mmに減少してもソケットに挿入可能とする新たな搬送方式の導入。
同時測定数の増大	ロードマップにおける同時測定数が128個から256個に増大するとき、それぞれのデバイスに対する平行度や温度分布、位置決め精度の確保に対する取り組みが必要。

表41 Logic Test Handler Difficult Challenges

Challenge	Issue/Goal
温度制御	温度制御の改善とデバイス測定中の自己発熱に対応した温度上昇の制御
機能の改善	ロットの連続処理機能(ロット・カスケード)、自動再選機能、交互測定方式、品種交換時間の短縮
ESD	チップに保護回路が組み込まれコストが増加する一方で、製品はESDに一層敏感になっている
パッケージに対する技術	低ストレスソケット、低価格チェンジキット、多ピン化、ヒートリッドによる温度特性の改善

表42 Network and Communications Test Handler Difficult Challenges

Challenge	Issue/Goal
新パッケージに対する技術	KGDソリューション、積層チップパッケージング、薄型チップパッケージング
温度制御	広範囲なトライテンプのソーク要求(-45 ~ 150)がシステムを一層複雑にする
機能の改善	ロットの連続処理機能(ロット・カスケード)、自動再選機能、交互測定方式
40GHzまでの測定	高周波測定(10GHz以上)に対するシールドの問題

表43 Logic Test Prober Difficult Challenges

Challenge	Issue/Goal
ウェーハとチャック間の熱接触抵抗	高い熱抵抗とチャックに対する接触抵抗の変化は、温度制御の改善とテストにおけるデバイスの温度上昇を削減することが必要となる。
テストに対する自己発熱	デバイスの測定時において85 以上になる100W以上の自己発熱するデバイスに対して、現状のプロバではコンタクト精度確保について問題がある。
プローブカードの光学式位置決め方式	プローブカード技術の進歩により、新しい光学式位置決め方式が開発されなければならない。

デバイス インタフェースの技術要求

デバイスのアナログやデジタル入出力のバンド幅そして電源に対する技術要求から、電源と信号の伝達には高い能力が要求される。これらの要求はテスト装置からDUT(Device Under Test: 被テストデバイス)までのインタフェースにおける実装上の課題を左右する。最も高性能なインタフェースでは計測源からDUTまで、すなわちテスト装置～配線～プローブカードやソケット～DUTまでの正確なシミュレーションモデルを必要とする。チップやパッケージ構造の小型化は更なる狭ピッチと多数ピン化への要求をもたらし、機械的インタフェースの課題を更に複雑にする。

プローブカード

ウェーハプローブ技術は製品仕様、テストの実行条件、生産性目標、コスト削減要求などに左右される複雑な電氣的、機械的な課題に直面している。デバイスの製品分布から、これらの課題には高周波応答(帯域幅)、ますます多ピン化する狭ピッチで小さいパッド或いはバンプパッド、増大するスイッチング電流(di/dt)、異なる材質のパッドやバンプへの対応、同時測定への対応などが含まれている。プロービング技術の研究や開発は新規技術・改良技術を問わず、基本的なプロービングの条件、即ち確実な信頼性、堅実で経済的なDUTとの電氣的接続などの課題を満たしている必要がある。

この章に含まれる図表はテスト技術要求の章の構成に準拠し、デバイス製品種別にもとづいた動向が導き出されている。これに加え、プローブカード技術要求にもとづいた図表を別に参考資料として添付する。この重要な貢献は日本地区によるものである。

プローブカード技術動向の影響

下表に示す鍵となる重要課題にみられるように、市場から緊急に要求されている研究開発課題は製品信頼性や機能テストの環境における経済的なプローブ技術である。

バンプ付きデバイスの生産高予測(マーケットシェア)、エリアアレイのI/Oピン数動向から見て、垂直型のプローブカード技術への需要が増え、同時測定テストも同様に必要性が高まるであろう。

デバイス量産時のテストはますます同時測定テストに移行しつつある。いくつかの生産者(メモリ関係)ではウェーハ検査技術として32個、64個そして128個までの同時測定が実施されている。

デバイスの更なるコスト低減要求からプローブ技術は同時測定が推進され、ウェーハ全面コンタクトや300mm以上のウェーハまでもがその目標とされる。またいくつかの多ピン製品(例えばASIC)で緊急に同時測定の必要性が出ている。

ウェーハ検査におけるテストからDUTへ至る経路のさまざまな要素を含む総合的な電氣的モデリングはプローブカード供給者に求められる技術となるであろう。これらのモデルはATEからDUT接続回路網そしてDUTまでも含めた複雑なシミュレーションに必要となるであろう。

新たな或いは進化したプローブ技術が市場に導入されつつある。1社購買の問題点、納期、プローブの寿命、製品サポート、修理対応性、これらはプローブカードを量産現場で使用するために選定する上でとても重要な要素となる。

プローブカードの技術要求

多くのプローブカード技術は市場に見合っているが、デバイスの種別や限界性能に対し正確にテストするための適合性(技術そしてまたテスト手法に左右される)は、プローブカードを更に幅広く使用する際の障害となる。一つのプローブ技術ですべてのデバイス群の要求を満たすものは見当たらない。

表44 Probe Card Difficult Challenges—Near-term

Challenge	Issue/Goal
高周波テスト	既存のプローブ技術では高周波デバイスに対して十分な周波数バンド幅を満たせない。トップエンドの要求仕様は40GHzである。
配置構造	25 μ mピッチ4辺、20 / 40 μ mの千鳥4辺配置、及び45 μ m 2列で4辺すべてが千鳥配置ではないものをサポートする技術。 100 μ mピッチ及び千鳥配置の半田バンブデバイスをサポートする狭ピッチ垂直プローブ技術。 パッド寸法の小型化に伴うスクラブに依る損傷の軽減。 100 μ m高密度アレイの 75 μ mバンブに対する従来と異なるプローブ技術。(バンブ付きデバイスを対象とした垂直プローブ) アレイ面積の増大に伴うプローブの平面度向上。
同時測定	SOCをも同時測定可能とするプローブ技術。 現状I/Oピン数に限界があるバンブ付きデバイスへのプローブ技術。
高温テスト	特に狭ピッチのデバイスにおける - 40 ~ +150 での温度による影響の抑制。 その影響については記載セクションを参照されたい。
製品	数種の酸化を含む銅パッドを直接プローブする技術。 能動回路を介したプローブ技術(フリップチップを含む)。 DUTや低誘電率材料の内層破壊を含む破損を避けるため、接触圧力を減らす。
プローブの汚染除去	微細ピッチ、同時測定、新世代のプローブなどに対する汚染除去の方法や材料の開発。 電気特性を維持している時間を延ばし、汚染除去頻度を減らす。
価格と納期	狭ピッチ、多ピンカードはあまりに値段が高く、製作日数が掛かる。 狭ピッチ、多ピンカードの修理はとて時間とコストが掛かる。 デバイスデザイン終了からウェーハ到着までの時間は既存のカンチレバー技術を除き、カードのデザインから製作までより短い。 配線ピッチ変換機構部の初期工期はあまりに長すぎる。いくつかの垂直プローブも同様である。
プローブの計測	狭ピッチカードの特性とパッド破損計測が可能な装置。 修理のための計測がオンラインで行えるもの。

このセクションではデバイスのテストに左右される独自のプローブ技術要求の課題を調査する。これらにはウェーハに接触する時あるいはその後の接触による影響、生産性向上のための複数デバイスの同時測定に対するプローブカードのデザイン、そして使用環境など、プローブカードが実際に使用される時の予測が含まれる。

ピッチと接続変換

入出力信号の密度の要求は常にパッドやバンブの寸法の微細化を促進する。周知のように最先端のワイヤボンディングのピッチは50 μ m以下である。(当然パッドサイズはこれより小さくなる。)従来のプローブ技術を許容されるプローブ痕とともに微細化する事は手ごわい課題である。

カンチレバー型プローブカードはワイヤボンディング技術に対し今日ではまだ主要な解となっているが、近い将来にはピッチとスクラブ (訳者註 Scrub: プローブ先端を被テストパッドに擦りつける動作を指す。パッド表面の汚染膜を排斥し接触信頼性を高める効果がある。)に対し限界が見えている。このようなことから次世代のプローブ技術では「半導体のような」プロセスが多用され、ピッチやスクラブの微細化要求に対する解を提供するであろう。

エリアアレイの半田バンプではアプリケーションやそれに見合う垂直プローブ技術の必要性や要求の発展が見うけられる。ピッチの微細化が予測されるが、それは次の段階のパッケージに対する制限が解決するまで遅れるであろう。ピッチやバンプの寸法が小さくなると、現在の垂直プローブ技術ではおそらくアレイからの配線引き出しに限界が生じ、新たな技術開発が必要になるであろう。

多数個同時測定

一つ以上のデバイスを同時にテスト(ウェーハ検査)する事で生産性の向上が得られる。メモリのテストがこれを牽引し、最先端の技術では200個の同時測定にさえ迫っている。表に示すようにすべてのメモリのテストで同時測定が行われている。他の製品群でも既にDFTや洗練されたテスト技術が加速され16、32、そして64個同時測定へと移行している。

同時測定の要求は絶えず増大するプローブ面積と更なるプローブ数増加の必要性を促進する。最終的にウェーハに一度でコンタクトする事は必要で、現在いくつかの新しいプローブやコンタクト技術はウェーハ全面コンタクトに漸近している。

電気的性能

ウェーハプローブ技術(プローブカード)はウェーハ上のDUTと電気テスト装置間の電気的な接続を提供するものである。プローブカードはDUTとテスト装置の間で信号や電源を忠実に伝達し供給しなければならない。

このITRS報告の中でデバイスの使用電圧や交流特性に関する情報を得ることが出来る。加えてテストとテスト装置の章のテスト性能情報はウェーハ検査に対する要求を理解するための一助となる広い範囲の電気性能情報を提供している。

プローブ個々の電流容量はあまり増えていないに關らずデバイスの密度やピン数の増大で総合計電流の増大が予想されている。いくつかのアプリケーションでは1A以上の高い電流容量が必要になることを特記しておく。また瞬間最大電流値についても同様である。

接触抵抗は常にプローブ技術と密接な関係にある要素である。それはパッドやバンプの金属材料、パッドやバンプの汚染、同時測定におけるプローブエリアの踏み外し(訳者註 参照)、接触圧力、スクラブ、クリーニング、など多くの要因に左右される。本書の技術要求の表では標準的な使用条件下における実用的な接触抵抗を反映したプローブの寿命を記載している。初期およびクリーニング後の接触抵抗は多くの場合200mΩより低い事が要求される。クリーニングを必要とするまでより長期間(より多くの接触回数)接触抵抗を低く保つ要求が増大する。

(訳者註 :同時測定では1枚のウェーハを複数回に分けてコンタクトし全チップの検査が行われる。これに用いるプローブカードはテストのチャンネル数、DFT を考慮したDUTのパッド数、コンタクト回数とテスト効率などを勘案し最適な同時測定数が定められ、チップの行と列の数すなわちプローブの配列が定まる。ところが円形のウェーハ上のチップはチップサイズをもとにステップで露光されているので、必ずしも前記プローブ配列に依るステップ移動数できれいに割り切れず、全チップにコンタクトするにはチップがプロセスされていないウェーハの余白や円形のウェーハのエッジ部分にプローブがコンタクトせざるを得ない場合

が多い。この時にプローブ先端にフォトレジストの残渣などの汚染を拾い、プローブ先端の状態が劣化し接触信頼性が低下する現象を問題視するためこの様な表現をしている)

温度性能

温度環境のロードマップにあまり変化はないが、プローブに対する要求は多い。下限は0 以下のチャック温度、上限は100 以上の要求と幅が広く、両極端を満たす材料を選び使いこなす事は難しいが、更なる熱膨張の問題に対処する事は可能と思われる。

加えて言えば瞬間電流による発熱効果がある製品を取り扱う上では、ウェーハプローバの動的な熱管理が必須となる。

顧客原価事情を尊重する(COO)価格形成

本ロードマップではプローブカード単価に対するCOO(Cost of Ownership)の動向について現状では言及していない。ITRS加盟各社ではプローブカードが製造原価に占める要求目標を持っているものと思うが、更にプローブカード技術が幅広く市場で工業的に利用可能となるような原価モデルを開発する必要がある。

納期

デバイスの新規設計やシュリンクの動向はプローブカードの新規製作や再発注に対する納期短縮要求を加速する。本ロードマップでは50%納期を削減する必要性が見えている。同時測定されるウェーハの割合の増加とともにプローブ実装は複雑化し、要求納期を満足させるための取り組みが増える。納期を具体的に短縮する技術や方策が求められる。

クリーニング

総じてカンチレバー型プローブカードの工程内クリーニング頻度はロードマップの目標を若干上回っているものの、いくつかのデバイス製品群ではプローブ寿命を延ばすために工程外でのクリーニングが見受けられる。ウェーハプローバとプローブカードのより良い使い方が到達目標である。

垂直型プローブカード技術では、カンチレバー型プローブカードと同等以上の工程内クリーニング頻度の実現やクリーニングまでの接触回数を急速に伸ばすことが強く望まれている。すべてのデバイス製品群で工程外クリーニングを要するまでの接触回数を伸ばす必要があるのはカンチレバーと同様である。

特にこのロードマップに示す年次以降にメモリ製品の工程内クリーニングを排除する方向に向かういくつかの例が見られる。これは多分ウェーハ全面接触を実現する複雑なプローブの設計や多ピン構造を反映したものになる。

表 45a Wafer Probe Technology Requirements—Near-term

Year of Production	2003		2004		2005		2006		2007		2008		2009	
Technology Node			hp90						hp65					
DRAM ½ Pitch (nm)	100		90		80		70		65		57		50	
MPU/ASIC ½ Pitch (nm)	107		90		80		70		65		57		50	
MPU Printed Gate Length (nm)	65		53		45		40		35		32		28	
MPU Physical Gate Length (nm)	45		37		32		28		25		22		20	
I/O Pad Size (µm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	40	70	35	60	35	60	30	55	30	55	25	45	25	45
Bump	75	75	75	75	75	75	75	75	75	75	60	60	60	60
Scrub (% of I/O)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH
Wirebond	25	75	25	75	25	50	25	50	25	50	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Multi-DUT Volume (% of Total Product Type Wafers Probed)														
Memory (DRAM)	99.9		99.9		99.9		99.9		99.9		99.9		99.9	
ASIC	33		45		50		60		75		75		75	
Microprocessor	60		75		75		75		85		85		85	
RF	30		40		45		50		50		60		60	
Mixed-signal	40		45		45		45		50		50		50	
Size of Probed Area (mm ²)														
Memory (DRAM)	64 to 192 devices		64 to 380 devices		100% of wafer		100% of wafer		100% of wafer		100% of wafer		100% of wafer	
ASIC	1560		1700		2050		2050		2050		2400		2400	
Microprocessor	1560		1700		2050		2050		2050		2400		2400	
RF	625		625		900		900		1225		1225		1225	
Mixed-signal	1063		1225		1413		1413		1600		1600		1600	
Number of Probe Points /Touchdown	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
Memory (DRAM)	1730-5180	2240-6720	1730-10260	2240-13300	14500	18700	14500	18700	14500	18700	14500	18700	14500	18700
ASIC	775	1550	950	1900	1050	2100	1050	2100	1050	2100	1200	2400	1200	2400
Microprocessor	310	925	400	1200	450	1350	450	1350	450	1350	560	1675	560	1675
RF	180	325	235	425	250	450	250	450	350	630	350	630	350	630
Mixed-signal	375	500	375	500	450	600	450	600	510	680	510	680	510	680
Maximum Current (mA)	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
Memory (DRAM)	100	<10	100	<10	100	<10	125	<10	125	<10	125	<10	125	<10
ASIC	350	<10	350	<10	350	<10	400	<10	400	<10	400	<10	400	<10
Microprocessor	275	<10	275	<10	275	<10	325	<10	325	<10	325	<10	325	<10
RF	200	<10	200	<10	200	<10	225	<10	225	<10	225	<10	225	<10
Mixed-signal	250	<10	250	<10	250	<10	275	<10	275	<10	275	<10	275	<10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

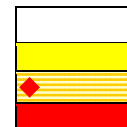


表 45a Wafer Probe Technology Requirements—Near-term (continued)

Year of Production	2003		2004		2005		2006		2007		2008		2009	
Technology Node	hp90				hp65									
DRAM ½ Pitch (nm)	100		90		80		70		65		57		50	
MPU/ASIC ½ Pitch (nm)	107		90		80		70		65		57		50	
MPU Printed Gate Length (nm)	65		53		45		40		35		32		28	
MPU Physical Gate Length (nm)	45		37		32		28		25		22		20	
Maximum Resistance (Ohm)	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
Memory (DRAM)	<1	<4	<1	<4	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
ASIC	<1	<4	<1	<4	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
Microprocessor	<1	<3	<1	<3	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2
RF	<1	<2	<1	<2	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
Mixed-signal	<1	<2	<1	<2	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
Chuck Set-point (°C)	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.
Memory (DRAM)	-40	140	-40	140	-40	140	-40	140	-40	140	-40	140	-40	140
ASIC	25	100	25	110	25	110	25	110	25	110	25	110	25	110
Microprocessor	-20	125	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135
RF	10	120	5	120	5	120	5	120	5	120	5	120	5	120
Mixed-signal	25	115	25	125	25	125	25	125	25	125	25	125	25	125
Soak Time (minutes)														
Memory (DRAM)	10		10		10		8		8		8		7	
ASIC	8		8		8		7		7		7		6	
Microprocessor	13		13		10		10		10		9		9	
RF	10		10		10		10		9		9		9	
Mixed-signal	10		10		10		10		9		9		9	
Order Lead-time—Single DUT (weeks)	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order
Memory (DRAM)	8	4	8	4	6	3	5.5	3	5	3	4	2	4	2
ASIC	4	2	4	2	2.5	1.5	2.5	1.5	2.5	1.5	2	1	2	1
Microprocessor	4	2	4	2	2.5	1.5	2.5	1.5	2.5	1.5	2	1	2	1
RF	5	2	5	2	4	2	3.5	1.5	3.5	1.5	3	1	3	1
Mixed-signal	3	2	3	2	3	2	2.5	1.5	2.5	1.5	2	1	2	1
Order Lead-time—Multi-DUT (weeks)	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order	1 st Order	Re-Order
Memory DRAM)	9	6	8	5	7	4	6	3	5	3	4.5	2.5	4.5	2.5
ASIC	6	2	6	2	5	2	4	1.5	3.5	1.5	3	1	3	1
Microprocessor	6	2	5	2	4	2	4	1.5	3.5	1.5	3	1	3	1
RF	7	3	6	3	5	3	4.5	2	4	1.5	4	1	4	1
Mixed-signal	5	2	5	2	4	2	3.5	2	3	1.5	3	1	3	1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

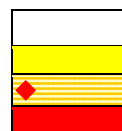


表 45a Wafer Probe Technology Requirements—Near-term (continued)

Year of Production	2003		2004		2005		2006		2007		2008		2009	
Technology Node			hp90						hp65					
DRAM ½ Pitch (nm)	100		90		80		70		65		57		50	
MPU/ASIC ½ Pitch (nm)	107		90		80		70		65		57		50	
MPU Printed Gate Length (nm)	65		53		45		40		35		32		28	
MPU Physical Gate Length (nm)	45		37		32		28		25		22		20	
Touchdowns Before Clean (Cantilever)	Online	Offline	Online	Offline	Online	Offline	Online	Offline	Online	Offline	Online	Offline	Online	Offline
Memory (DRAM)	300	15,000	400	20,000	400	20,000	400	20,000	450	20,000	450	20,000	450	20,000
ASIC	3,250	57,500	3,250	60,000	3,250	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000
Microprocessor	1,250	50,000	1,250	50,000	1,250	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000
RF	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000
Mixed-signal	2,000	150,000	2,000	175,000	2,000	200,000	2,000	200,000	2,000	200,000	2,000	200,000	2,000	200,000
Touchdowns Before Clean (Vertical)	Online	Offline	Online	Offline	Online	Offline	Online	Offline	Online	Offline	Online	Offline	Online	Offline
Memory (DRAM)	1,000	15,000	1,500	20,000	1,500	20,000	2,000	25,000	2,000	25,000	2,000	25,000	2,500	27,500
ASIC	1,000	15,000	1,500	17,500	1,500	17,500	2,000	20,000	2,000	20,000	2,000	20,000	2,500	22,500
Microprocessor	1,000	32,500	1,500	35,000	1,500	35,000	2,000	37,500	2,000	37,500	2,000	37,500	2,500	40,000
RF	100	15,000	100	20,000	100	20,000	100	25,000	100	25,000	125	25,000	125	27,500
Mixed-signal	1,000	82,500	1,500	85,000	1,500	85,000	2,000	87,500	2,000	87,500	2,000	87,500	2,500	90,000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

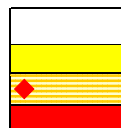


表 45b Wafer Probe Technology Requirements—Long-term

<i>Year of Production</i>	2010	2012		2013	2015		2016	2018	
<i>Technology Node</i>	hp45			hp32			hp22		
<i>DRAM ½ Pitch (nm)</i>	45	35		32	25		22	18	
<i>MPU/ASIC ½ Pitch (nm)</i>	45	32		28	22		20	18	
<i>MPU Printed Gate Length (nm)</i>	25	20		18	14		13	10	
<i>MPU Physical Gate Length (nm)</i>	18	14		13	10		9	7	
<i>I/O Pad Size (um)</i>		X	Y		X	Y		X	Y
Wirebond		20	35		15	25		15	25
Bump		50	50		50	50		50	50
<i>Scrub (% of Pad)</i>		AREA	DEPTH		AREA	DEPTH		AREA	DEPTH
Wirebond		20	40		20	40		20	40
Bump		30	30		30	30		30	30
<i>Volume (% of Total Product Type Wafers Probed)</i>									
Memory (DRAM)		99.9			99.9			99.9	
ASIC		75			75			75	
Microprocessor		85			85			85	
RF		60			60			60	
Mixed-signal		50			50			50	
<i>Size of Probed Area (mm²)</i>									
Memory (DRAM)		100% of wafer			100% of wafer			100% of wafer	
ASIC		2400			2400			2400	
Microprocessor		2400			2400			2400	
RF		1225			1225			1225	
Mixed-signal		1600			1600			1600	
<i>Number of Probe Points/Touchdown</i>		Signal	Total		Signal	Total		Signal	Total
Memory (DRAM)		14500	18700		14500	18700		14500	18700
ASIC		1200	2400		1200	2400		1200	2400
Microprocessor		560	1675		560	1675		560	1675
RF		350	630		350	630		350	630
Mixed-signal		510	680		510	680		510	680
<i>Maximum Current (mA)</i>		Probe Tip	DC Leakage		Probe Tip	DC Leakage		Probe Tip	DC Leakage
Memory (DRAM)		125	<10		125	<10		125	<10
ASIC		400	<10		400	<10		400	<10
Microprocessor		325	<10		325	<10		325	<10
RF		225	<10		225	<10		225	<10
Mixed-signal		275	<10		275	<10		275	<10
<i>Maximum Resistance (Ohm)</i>		Contact	Series		Contact	Series		Contact	Series
Memory (DRAM)		<0.5	<3		<0.5	<3		<0.5	<3
ASIC		<0.5	<3		<0.5	<3		<0.5	<3
Microprocessor		<0.5	<2		<0.5	<2		<0.5	<2
RF		<0.5	<1.5		<0.5	<1.5		<0.5	<1.5
Mixed-signal		<0.5	<1.5		<0.5	<1.5		<0.5	<1.5

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

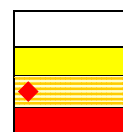


表 45b Wafer Probe Technology Requirements—Long-term (continued)

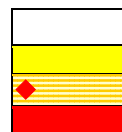
Year of Production	2010	2012	2013	2015	2016	2018			
Technology Node	hp45		hp32		hp22				
DRAM ½ Pitch (nm)	45	35	32	25	22	18			
MPU/ASIC ½ Pitch (nm)	45	32	28	22	20	18			
MPU Printed Gate Length (nm)	25	20	18	14	13	10			
MPU Physical Gate Length (nm)	18	14	13	10	9	7			
Chuck Set-point (°C)		Min.	Max.		Min.	Max.		Min.	Max.
Memory (DRAM)		-40	140		-40	140		-40	140
ASIC		25	110		25	110		25	110
Microprocessor		-30	135		-30	135		-30	135
RF		5	120		5	120		5	120
Mixed-signal		25	125		25	125		25	125
Soak Time (Minutes)									
Memory (DRAM)		7		7		7		7	
ASIC		6		6		6		6	
Microprocessor		9		9		9		9	
RF		9		9		9		9	
Mixed-signal		9		9		9		9	
Order Lead-time—Single DUT (weeks)		1 st Order	Re-Order		1 st Order	Re-Order		1 st Order	Re-Order
Memory (DRAM)		4	2		4	2		4	2
ASIC		2	1		2	1		2	1
Microprocessor		2	1		2	1		2	1
RF		3	1		3	1		3	1
Mixed-signal		2	1		2	1		2	1
Order Lead-time—Multi-DUT (weeks)		1 st Order	Re-Order		1 st Order	Re-Order		1 st Order	Re-Order
Memory (DRAM)		4.5	2.5		4.5	2.5		4.5	2.5
ASIC		3	1		3	1		3	1
Microprocessor		3	1		3	1		3	1
RF		4	1		4	1		4	1
Mixed-signal		3	1		3	1		3	1
Touchdowns Before Cleaning (Cantilever)		Online	Offline		Online	Offline		Online	Offline
Memory (DRAM)		450	20,000		450	20,000		450	20,000
ASIC		3,500	60,000		3,500	60,000		3,500	60,000
Microprocessor		1,500	50,000		1,500	50,000		1,500	50,000
RF		1,000	100,000		1,000	100,000		1,000	100,000
Mixed-signal		2,000	200,000		2,000	200,000		2,000	200,000
Touchdowns Before Cleaning (Vertical)		Online	Offline		Online	Offline		Online	Offline
Memory (DRAM)		2,500	27,500		2,500	27,500		2,500	27,500
ASIC		2,500	22,500		2,500	22,500		2,500	22,500
Microprocessor		2,500	40,000		2,500	40,000		2,500	40,000
RF		125	27,500		125	27,500		125	27,500
Mixed-signal		2,500	90,000		2,500	90,000		2,500	90,000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



解決策候補

図21は、テストとテスト装置の高レベル解決策候補を示す。

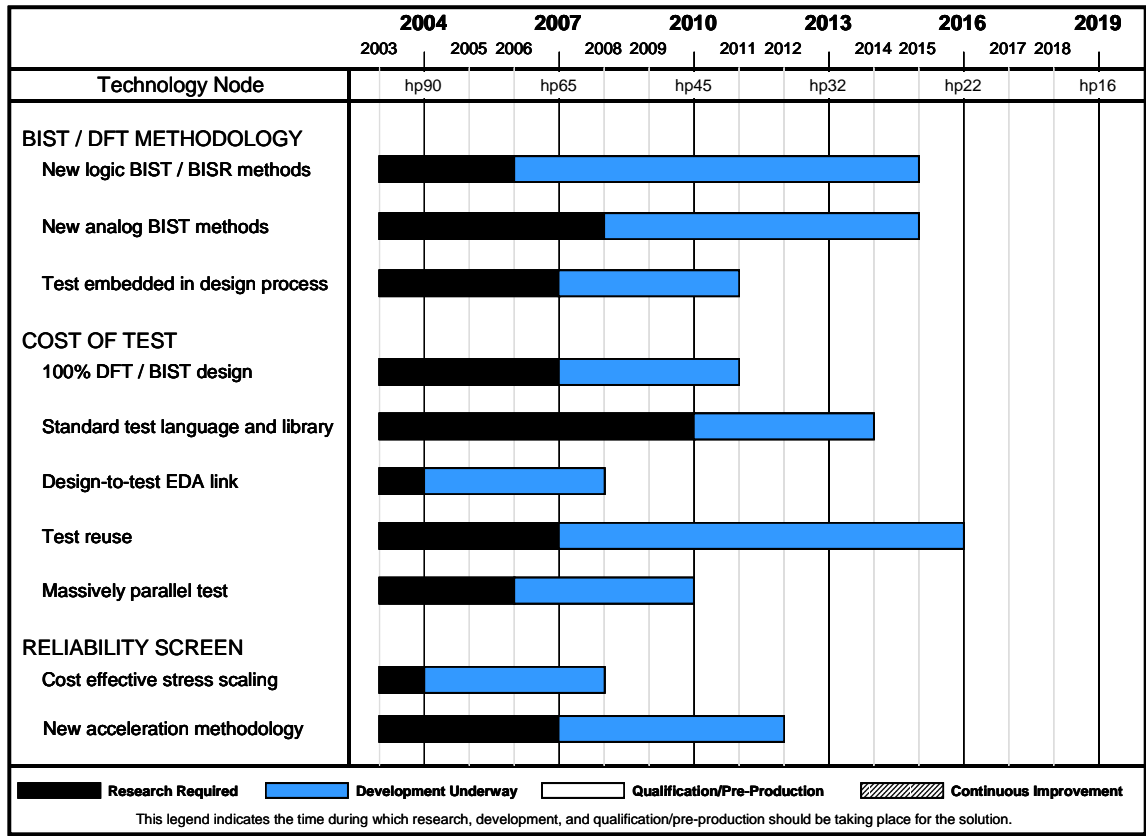


図21 Test and Test Equipment Potential Solutions

クロスカット課題

モデリングとシミュレーション

テスト装置の計測器、電気供給パス、プローブカード又はロードボード、及びテスト対象デバイスのモデル化とシミュレーションは、Test ITWGの短期課題の一つである。テストにとって最も重要なのは、高速信号の電力供給のシグナルインテグリティである。これら項目のモデル化は、特に配線とパッケージのシミュレーション分野で構築可能であるが、記述した項目の中には、Modeling and Simulation ITWGで検討しているシミュレーションの古い領域からは外れるものがある(例えばプローブカード)。しかし、シミュレーションのコミュニティーが活動範囲を広げて、テストの活動を支援するのに重要なこれらの問題解決にも貢献することが推奨される。