

プロセスインテグレーション、デバイス、および構造

概要

プロセスインテグレーション、デバイス、および構造(Process Integration, Devices, and Structure: PIDS)の章では、LSI に使われるデバイスと構造、新しいオプションの技術に関連した信頼性のトレードオフを踏まえた、LSI プロセスフローとそのインテグレーションを扱う。物理的寸法、キーデバイスの電氣的パラメータ、受動素子、信頼性基準など、電氣的要求値と特性が PIDS に含まれる。また、ターゲット値だけでなく統計的なばらつき幅も取り扱う。取り扱うデバイスはロジック、メモリ、それらの信頼性、無線通信用 Radio Frequency (RF)素子、アナログ/ミックスドシグナル素子(Analog/Mixed-Signal; AMS)、新探求素子(Emerging Research Devices; ERD) である。無線通信用 RF と AMS の節は 2003 年版 ITRS から無線通信用途に注目した。これは無線通信が主な用途であることと、重要なテクノロジドライバになりつつあるためである。ERD の節は 2000 年 ITRS アップデート版から PIDS の章に加えられ、定量的な解析と種々な方法による評価を通して改版されてきた。

2003 年版 ITRS の PIDS の章には幾つかのキーとなるテーマがある。その一つが、トランジスタ性能向上率のトレンドを維持するための、最先端ロジック技術の継続的かつ積極的なスケールアップである。この積極的なスケールアップは、産業界に対して多くの重要な技術的革新を促進させている。例えば、高誘電率ゲート絶縁膜、メタルゲート電極など、材料とプロセスの変化を推進させた。長期的には薄膜 SOI、マルチゲート MOSFET のような新しい構造をドライブしてきた。これらの革新的な技術が、加速されたペースで商品に導入されることが期待されている。また、タイムリーな技術の解明、モデリング、信頼性の保障が産業界にとって重要な課題となっている。二番目のテーマは幾つかのタイプの不揮発性メモリ(Non-Volatile Memory; NVM)である。シリコン-酸化膜-窒化膜-酸化膜-シリコン構造(Silicon-Oxide-Nitride-Oxide-Silicon; SONOS)、マグネティック RAM (Magnetic RAM; MRAM)は量産の時期が近づいており、メモリの節で述べられている。三番目は無線通信システム用のバンド幅の広い(1GHz から 100GHz)、Si MOSFET、バイポーラトランジスタ、SiGe-HBT、 α -Si 族の FET や HBT である。四番目は、CMOS の範疇を超えた情報処理能力を持つ、重要かつ新しい CMOS 後に向けたアプローチの紹介と評価である。これはロードマップの終わりを越えて予測されており、ERD の節で詳しく述べられる。最後のキーのテーマは配線、消費電力、信頼性、デバイス性能、コストを同時に満足させつつ種々な機能を一つの LSI で実現する混載技術である。これは将来の LSI の重要なトレンドであるシステムオンチップ(System-on-a-Chip; SoC)応用領域に関連した根本的なテーマである。SoC の課題は、幾つかの章で取り扱われるより大きな横断的な課題であり、本章でも議論される。特に、無線通信用の AMS 技術のところで議論される。SoC 技術開発を促進するために重要なことは、ロジックチップや AMS チップにメモリを混載したり、一つのチップに種々なタイプのトランジスタを搭載して、多様な機能の要求を満足することである。この章ではテクノロジーの進歩を促進させるトランジスタに主に注目する。一方で、システムインパッケージ(System-in-a-Package; SIP)も多様な機能を満足させる手法である。多くの応用がある中、特に高密度に集積され、高性能かつ低コストユニットや RF、AMS 向けに SIP は適している。これらは RF と AMS の節で述べられている。

2 プロセスインテグレーション、デバイス、および構造

ロードマップの目的は、従来の CMOS スケーリングトレンド(ムーアの法則)を維持するために、キーとなる技術要求と課題の解決に向けた手法を明確にすることと、課題解決に向けた研究開発を促進させることにある。特に、本章における解決策候補のリストアップとそれらに関する議論の目的は、重要な技術課題に対しての解の例を示すことである。しかし、ここで挙げた解は包括的なものではなく、異なるアプローチの探求を制限するものではない。

ロジック

半導体デバイス生産の多くの割合をロジック LSI とメモリ LSI が占めている。この節には高性能ロジック用および低消費電力ロジック用のトランジスタが含まれ、詳細な技術要求とその実現に向けた解決策候補が検討されている。キーとなる指標は速度性能、消費電力、集積度である。ここで着目しているのは技術開発を大きく前進させ最も高性能なトランジスタである。

メモリー

ロジック LSI と同様に、メモリ LSI も半導体デバイス生産の中で大きな割合を示している。この章で取り扱うメモリのタイプは、DRAM と不揮発性メモリ(Non Volatile Memory; NVM)である。メモリ技術を牽引する汎用メモリを強調している。混載メモリチップは少しの時間差で汎用メモリと同じトレンドに従うと予想される。DRAM と NVM に対して、詳細な技術要求と解決策候補が述べられている。

上述したように、NVM に対しての技術要求と技術課題は、フラッシュ(NOR 型と NAND 型)、強誘電体メモリ(Ferroelectric RAM; FeRAM)、シリコン-酸化膜-窒化膜-酸化膜-シリコン型(Silicon-Oxide-Nitride-Oxide-Silicon ; SONOS)、マグネティック RAM (Magnetic RAM; MRAM)を対象にしている。読み書き回数の多い NVM に限定しているため、ROM (Read Only Memory)や OTP (One-Time-Programmable)技術は含まない。

信頼性

信頼性はプロセスインテグレーションにおいて重要な項目である。新しい技術ノード(Technology Nodes)は新材料と新プロセスの導入を要求するが、それらについての情報収集とデータベースの構築、新しい故障モードや欠陥のモデル化が間に合わない。プロセスインテグレーションは技術が習熟する前に完成する必要があるため、これまでの信頼性のレベルを維持することは困難になる。信頼性における不確かさは不必要な性能の要求、コスト増大、市場への製品投入時期の遅れなどを引き起こす。これらはテスト、ウエハーレベルの信頼性についても困難な技術課題を課す。実装の信頼性は新材料、新プロセス、狭ピッチのボンディング、耐環境性、接着性などに敏感である。

無線通信用 RF とアナログ/ミックスドシグナル技術

無線通信応用における急速な半導体市場の成長の源は、RF および AMS LSI の高性能化である。RF および AMS LSI の機能は、アナログ回路、RF 回路、アナログ/RF 信号増幅、アナログ信号とデジタル信号の変換、周波数合成/変換などがある。無線通信システムの要求を満たすための技術要求は非常に多様で、しばしばそれらは矛盾した技術要求になったり、デジタルの場合の技術要求と大きく異なる。2001

ITRS のミックストシグナルの節と比べて、2003 年版の RF および AMS の節のスコープと内容は本質的に拡張されている。始めて化合物半導体(ここでは III-V 族)デバイスとその技術が ITRS に含まれた。応用の周波数に依存して、RF および AMS 技術要求と解決策候補は四つのグループで述べられている。それらは、1)AMS (DC -10 GHz)、2)RF トランシーバ (0.8–10 GHz)、3)パワーアンプと電力制御 (0.8–10 GHz)、4)ミリ波 (10–100 GHz)である。これらの周波数はシステムの動作周波数であり、それらのシステムで使われるデバイスの周波数ではない。異なる材料を使った、異なる構造の種々なトランジスタに加えて、集積された受動素子についての技術要求と技術課題にも言及している。

新探求素子 (Emerging Research Devices; ERD)

ERD の目的はロードマップを延長させる概念の可能性を示す発明や研究を促進させることにある。また、興味深い新しい情報処理技術のアプローチに対してバランスのとれた紹介を行うことと、限定された技術課題の簡単な議論と、ロードマップが延長することへの重要な貢献を説明することを目的としている。これらを通して、二つの目的を目指している。一つは、マイクロエレクトロニクス技術をこのロードマップの時間フレームの終わりまで進歩させ続けるために、従来と異なる CMOS 構造とメモリー技術の候補を提供することである。二番目は現状のロードマップの終わりを超えて、情報、信号処理能力を引き伸ばすことを目的としたロジックとアーキテクチャの新しいコンセプトの紹介と評価(保障なし)である。ERD についての活動は、バルクおよびノンクラシカル CMOS と、CMOS の次のマイクロエレクトロニクスの領域の間の橋渡しをすることである。

困難な技術課題(DIFFICULT CHALLENGES)

表 46a Process Integration Difficult Challenges—Near-term

<i>Difficult Challenges ≥ 45 nm/Through 2010</i>	<i>Summary of Issues</i>
1. High-performance applications: meeting performance and power dissipation requirements for highly scaled MOSFETs	Cost effectiveness, process control, and reliability of very thin oxy-nitride gate dielectrics, especially considering the high gate leakage Difficulty in controlling short-channel effects for highly scaled devices Negative impact of high channel doping needed for highly scaled devices. Also, the difficulty in controlling threshold voltage due to statistical fluctuations in the doping Need to reduce series S/D parasitic resistance Controlling static power dissipation in the face of rapidly increasing leakage: architecture and circuit design improvement and innovation will be needed.
2. Low-power applications: meeting performance and leakage requirements for highly scaled MOSFETs	Early availability of manufacturing-worthy high-κ gate dielectrics is necessary to meet stringent gate leakage and performance requirements. Slow scaling of V_{dd} for low standby power logic will make overall device scaling difficult. Rapid scaling of V_{dd} for low operating power logic will make overall device scaling difficult.
3. Assuring the reliability and implementing into manufacturing of multiple material, process, and structural changes in a relatively short period of time	Multiple material changes projected: high-κ gate dielectric, metal gate electrodes, strained Si, nickel silicide by 2008 or so Elevated S/D (selective epi) Ultra-thin body (UTB) SOI by 2008 or so, followed by multiple-gate structures. Near mid-gap metal gate electrodes will be desirable to set the threshold voltage for UTB SOI. Difficulty in ensuring reliability of all these new materials, processes, and structures in a timely manner
4. Implementation of DRAM, SRAM, and high-density nonvolatile memory (NVM) for scaled technologies	DRAM main issues—adequate storage capacitance for devices with reduced feature size, including difficulties in implementing high-κ storage dielectrics; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs SRAM—Difficulties with maintaining adequate noise margin and controlling key instabilities with scaling. Also, difficult lithography and etch issues with scaling NVM, flash—Scaling of tunnel dielectric and interpoly dielectric involves many complex tradeoffs. Dielectric material properties and dimensional control are key issues NVM, FeRAM—Ferroelectric material properties and dimensional control. Sensitivity to IC processing temperatures and conditions NVM, SONOS—ONO stack dimensions and material properties, including nitride layer trap distribution in space and energy NVM, MRAM—Magnetic material properties and dimensional control. Sensitivity to IC processing temperatures and conditions
5. High-performance and low-cost RF and analog/mixed-signal solutions	Signal isolation Optimizing RF/analog CMOS devices with scaled technologies: mismatch, $1/f$ noise, and leakage with high-κ gate dielectrics High density integrated passive element scaling and use of new materials: Q-factor value for inductors; matching and linearity for capacitors Reduced power supply voltages: degradation in SNR (signal-to-noise ratio) and signal distortion performance Reduced device breakdown voltage in scaled technologies High-frequency devices with increased operating voltage for base station applications Compound semiconductor substrates with good thermal dissipation and process equipment for fabrication at low cost See section on RF and A/MS Technologies for Wireless Communications for detailed discussion of these issues

表 46b Process Integration Difficult Challenges—Long-term

Difficult Challenges < 45 nm/Beyond 2010	Summary of Issues
6. Implementation of advanced, non-classical CMOS with enhanced drive current and acceptable control of short channel effects for highly scaled MOSFETs	Advanced non-classical CMOS (e.g., multiple-gate, ultra-thin body [UTB] MOSFETs) with lightly doped body will be needed to effectively scale MOSFETs to well under 20 nm gate length (L_g). Most likely, advanced material solutions such as strained Si (enhanced mobility) channels, elevated source/drain, high-κ gate dielectric, metal gate electrode, etc., will be utilized along with the advanced non-classical CMOS Particularly for the highly scaled UTB MOSFETs required towards the end of the Roadmap, with body thickness well under 10 nm, electrical performance and the impact of quantum effects are not well understood To attain adequate drive current for the highly scaled MOSFETs, quasi-ballistic operation with enhanced carrier saturation velocity appears to be needed See Emerging Research Devices section for more detail.
7. Dealing with atomic-level fluctuations and statistical process variations in sub-20 nm MOSFETs	Fundamental issues of atomic-level statistical fluctuations for sub-20 nm MOSFETs are not completely understood, including the impact of quantum effects.
8. Identifying, selecting, and implementing new memory structures	Highly scaled, dense, fast, non-volatile memory will become highly desirable Increasing difficulty is expected in scaling DRAMs, especially scaling down the dielectric equivalent oxide thickness, attaining the very low leakage currents that will be required, and reducing the cell area factor All of the existing forms of nonvolatile memory face limitations based on material properties. Success will hinge on finding and developing alternative materials and/or development of alternative emerging technologies. See Emerging Research Devices section for more detail.
9. Identifying, selecting, and implementing novel interconnect schemes	Eventually, it is projected that the performance of copper/low-κ interconnect will become inadequate to meet the speed and power dissipation goals of highly scaled ICs. Solutions (optical, microwave/RF, etc.) are currently unclear.
10. Toward the end of the Roadmap or beyond, identification, selection, and implementation of advanced, beyond-CMOS devices and architectures for advanced information processing	Will drive major changes in process, materials, device physics, design, etc. Performance, power dissipation, etc., of beyond-CMOS devices need to extend well beyond CMOS limits. Beyond-CMOS devices need to integrate into a CMOS platform. Integration of the two may be difficult, especially for mixed signal. See Emerging Research Devices sections for more discussion and detail.

PIDS に関する困難な技術課題の説明

[1] 高性能用途 - 高度に微細化の進んだ MOSFET における性能と消費電力要求の整合 - ここでの基本的な課題は、ゲート酸化絶縁膜を EOT(Equivalent Oxide Thickness)で 1.0 nm 以下まで延命させることである。このように薄い酸化膜の信頼性を保証し、その膜厚のばらつき制御を行うことが大きなチャレンジであり、この酸化膜の大きなゲートリーク電流が重要な課題となる。急速に進むトランジスタのスケーリングに伴って、ソース/ドレインの寄生抵抗の許容される要求値に合わせていくことが、困難になりつつある。また、MOSFET のスケーリングによって短チャネル効果の抑制が困難になり、望ましくない高濃度のチャネルドーピングが求められている。さらに、チャネル不純物の統計的なばらつきが顕在化し、結果としてしきい値のばらつきが大きくなる。最終的にはチップの複雑度が増加することや、ここ数年に実現できる技術では大きなリーク電流が流れてしまうことから、チップの静的な消費電力はとりわけ制御が困難になると考えられている。このため、要求性能や消費電力に合致させるために、回路設計やアーキテクチャの革新が求められている。

[2] 低消費電力用途 - 高度に微細化の進んだ MOSFET における性能とリーク電流要求の整合 - 重要な課題は、切迫してきたリーク電流の規格を満たすために、およそ2006年までに高誘電率ゲート絶縁膜が必要になることである。LSTPにおいては、電源電圧 (Vdd) がほとんどスケールアップされないために、横方向電界が許容できないほど大きくなってしまい、短チャネル効果やおそらく信頼性上の問題の制御を困難にする。LOPにおいては、電源電圧 (Vdd) が比較的速くスケールアップされるため、デバイスの性能要求に合わせていくことが困難になるだろう。

[3] 比較的短い期間に複数材料の導入や、プロセスや構造の変更の製造への適用と信頼性の確認 - MOSFET を適切にスケールアップし、デバイスの性能やリーク電流、その他の要求を満足させるために、高誘電率ゲート絶縁膜やメタルゲート電極、持ち上げソース/ドレイン、ニッケルシリサイドなどの多くの主要プロセスや材料の革新(イノベーション)が10年以内に実現される必要があると予測されている。適切な時期にこれらすべての主要な変更を製造現場に取り入れることは困難であろう。結果として、極薄膜 SOI MOSFET から始まって、極薄膜ボディにマルチゲートを組み合わせた MOSFET へ移っていく、新しい構造の MOSFET が実現されると予測され、これが製造での主要なチャレンジになるであろう。さらに、これらすべての革新(イノベーション)の信頼性を適切な時期に確認することは非常に困難と思われる。

[4] 微細化された技術による DRAM や SRAM、高密度不揮発メモリ(NVM)の構築 - DRAM では、高誘電率絶縁材料の実用化が主要な課題であり、たとえセルサイズが縮小されても、結果としてセル当りの適切な蓄積容量を確保するための MIM 構造の実現が必要となる。また、適当なデータ保持時間を確保するために、絶縁膜のリーク電流や電荷蓄積部の接合リーク電流、アクセストランジスタのリーク電流を含むすべてのリーク電流を制御することが重要である。必要なアクセストランジスタの性能を得ようとするとき、低リーク電流の要求は問題となる。SRAM では、スケールアップに伴う困難さが予想されている。特に受容可能なノイズマージンの維持と、ホットエレクトロンによる不安定性と負バイアス温度ストレスによる不安定性(NBTI)などを制御することは困難になる。SRAM は、典型的には高速のオンチップメモリとして使われるため、これらの SRAM の課題を解決することがシステム性能実現に重要となる。利用可能な不揮発の半導体メモリには、二つの課題が内在する。第一の課題は、それぞれの NVM のメモリ要素構造がベースとなる CMOS 技術と幾分異なることと、メモリセルのスケールアップを行いながらこれらの困難さに適応していくことは、幾つかの困難な課題を引き起こし、これらの課題は、どの NVM を採用するか依存して変わってくる。第二の課題は、メモリセルのセット/リセットで使用する通常のメモリ動作が、一般的に材料にストレスを与えることであり、セル特性の劣化が想定される。通常劣化はデバイス固有の特性と言うより、欠陥の関係するメカニズムに連動している。書き換え耐性やデータ保持特性への要求により、デバイスの確実そうな性能に関してユーザにガイドを与えると同時に、利用の安全範囲を決める示唆を与える。両方のパラメータともに、長期の振る舞いを現実的に予測できるようにする継続的なチャレンジが必要である。故障原因の同定は困難であり、リアルタイムテストは現実的ではない。

[5] 高性能、低コストの RF およびアナログ/ミックス・シグナルの解決策 - スケールアップされる技術において、同一チップ上のデジタル/アナログ/RF などの異なるブロック間の信号の分離は、集積化されたシステムソリューションの中で特に次元の異なったチャレンジである。スケールアップされる技術において、能動素子のスケールアップや電源電圧の低減、新規材料の利用は、デバイスの整合性やノイズ、線形性、ノイズ

信号比、デバイスの耐圧に対して、重大な課題となる。また、高集積や高いQ値、良好な整合性、良好な線形性を有する受動素子を作ることも課題である。無線情報通信分野で必要となる高周波への要望や高耐圧デバイスは、継続的なデバイスの革新や化合物ICのための低コストの製造インフラが要求される。最後に、アナログ/RFを組み込む困難さやコスト(結果として、MEMSやGaAsやInPなどの化合物半導体を含む)、およびオンチップの高性能デジタル機能やモジュールは、時間とともに増大していくことが予想される。

[6] 高度にスケージングの進んだ MOSFET において、ドライブ電流を増強し、短チャネル効果を受容可能なレベルに抑制した進歩的で非古典的な CMOS の実現 - 長期においてトランジスタのゲート長が20nmより十分に短い領域まで描かれたとき、極薄膜ボディーや、低濃度チャネル領域を有するマルチゲート MOSFET などの先進的で非古典的な構造が、デバイスを効果的にスケージングするために活用され、また特に高度にスケージングされたデバイスにおいて短チャネル効果を制御するために活用される。上記された高誘電率ゲート絶縁膜やメタルゲート電極、歪シリコン、持ち上げソース/ドレインなどの他の材料やプロセスによる解決策は、非古典的 CMOS 構造に対応して組み込まれていくことが予想される。最後に、これらの先進的で高度にスケージングの進んだ MOSFET において、飽和速度が増強され、結果として駆動電流の増大が期待できる準バリスティック動作が、性能要求に整合させるために必要になることが予想される。これらの先進的で非古典的な MOSFET の作りこみと準バリスティック動作の理解と制御が、産業において主要なチャレンジであると考えられる。

[7] 20nm 以下の MOSFET における原子レベルのふらつきや統計的なプロセス変動の扱い - 非常に短チャネルのプレーナ型のバルクデバイスにおいて、空乏層領域の不純物の総数が相対的に減少し、よって統計的なばらつきが相対的に大きくなり、しきい値制御に制約を課することになる。さらに、そのような短チャネルデバイスの寸法制御の困難さが増しており、さらに MOSFET の電気特性に影響する統計的なプロセスばらつきが増加している。極薄膜ボディーや完全空乏型、非古典的デバイスにおいて、ボディーの膜厚やゲート長の統計的なばらつきが、主要な課題になると予想される。

[8] 新しいメモリ構造の確認、選択と実現 - 長期にわたってスケージングされていく DRAM において、製造の困難さは増大していくと予想され、高密度で、高速で、不揮発性を有し、特に消費電力を下げるための新しいメモリ構造へのニーズが増えると予想される。そのような先進的な不揮発構造の実現が、主要な課題である。

[9] 新しい配線構成の確認、選択と実現 - 銅の抵抗は、スケージングのによって下げることができないし、k値が1から1.5くらいで低誘電率の限界に到達する。その時、更なる配線特性の改善は、新規のアーキテクチャーや材料などの解決策が必要となる。

[10] ロードマップの終端に向けて、あるいはそれを越えた時点で、先進的な情報処理のための先進的な非 CMOS デバイスやアーキテクチャを導入 - ロードマップの終端、およびその先に向けて、MOSFET のスケージングは効果をもたらしなくなり、また非常にコストの掛かるものとなる。そのため先進的な非 CMOS の解決策が、性能や消費電力、集積度などの改善を継続していくために必要となる。そのよう

な解決策は、その時までには開発され使用されている、高性能で適正なコストで製造される非常に高密度の CMOS ロジックのメリットを有する CMOS 基本技術と一緒に集積化されることになる。

ロジックに対する技術要求と解決策候補

ロジックに対する技術要求

技術要求の表は、高性能版と低消費電力版デジタル IC の MOSFET の要求に対応したものである。高性能版のロジックとは、デスクトップやサーバー用などのマイクロプロセッサユニット(MPU)などの非常に複雑で高性能であるが、大きな消費電力のチップを想定している。低消費電力版のロジックとは、許容消費電力、即ち許容消費電流が電池の寿命で制限される携帯システムを想定している。低消費電力版のロジックは、低動作電力ロジック(Low Operation Power, LOP)と低待機電力ロジック(Low Standby Power, LSTP)に分類される。低動作電力用チップは、大容量電池を有したノート型コンピュータのような、比較的高性能なモバイル用途であり、動作時の消費電力削減に注力している。低待機電力用チップは、小容量の電池を有する携帯電話のような、それほど性能を要求されない民生用品に使用され、実現可能な最も小さい待機時の消費電力、すなわち実現可能な最も小さいリーク電流に重点が置かれている。高性能 IC 用のトランジスタは、高性能ロジックのために物理的なゲート長(および、トランジスタに係わる他のパラメータも)が最も急速にケーリングされることによって、最も高い性能を示すが、リーク電流も最も多い。低動作電力チップにおけるトランジスタは、幾分性能が低い、十分に小さいリーク電流を実現する。一方、低待機電力用のトランジスタは、最も性能が低い、最も少ないリーク電流を実現する設定となる。低動作電力トランジスタにおいて、高性能トランジスタのゲート長からのタイミング遅れは 2 年であり、歴史的な動向や携帯用途における低リーク電流の要求を反映している。低待機電力トランジスタにおいては、高性能トランジスタのゲート長からのタイミング遅れは 3 年であり、超低リーク電流の要求を反映している。

ロジックの技術要求のテーブルを作成するために、スプレッドシートに組み込まれた単純化されたモデルが用いられた。これらのモデルは、リーク電流や飽和電流などのトランジスタの重要な電気特性に影響を及ぼす電源電圧(Vdd)、等価ゲート酸化膜厚(EOT)、ゲート長などのキーとなる入力パラメータで構成されている。モデルから導出される一つの重要なパラメータは、イントリンシックな MOSFET の遅延時間($\tau = CV/I$ である。ここで、C は寄生して発生するゲートオーバーラップやフリンジ容量を含むミクロンあたりのゲート容量であり、V は電源電圧(Vdd)、I はチャネル幅1ミクロン当りの飽和電流である。 τ は、イントリンシックな MOSFET の遅延時間に対する良い指標であり、よって $1/\tau$ は、イントリンシックな MOSFET の最大スイッチング周波数の指標となり、トランジスタ性能の主要な指標となる。技術要求の表のパラメータ値を決定するために、リーク電流や $1/\tau$ など重要な出力パラメータの目標値が設定されている。入力パラメータは、スケーリング則やエンジニアリング的な判断、デバイスの物理的な原則に則って仮設定し、目標値を達成するまで入力パラメータをスプレッドシート上で種々変えて計算を繰り返し、最終的な入力パラメータの値を設定した。(ロジックの技術要求の表を作るのに使用された詳細のスプレッドシートは<http://public.itrs.net>で確認できる。) 各テーブルの予測されたパラメータセットの値は、特別なシナリオを反映してキーとなる出力パラメータのターゲット値を満足するように設定されている。各テーブルのスケーリングシナリオを設定する上で追加された目標は、同じ時間軸でできるだけ系統立った入力パラメータを用いて、high-k ゲート絶縁膜やメタルゲート電極、持ち上げソース/ドレイン、非古典的 CMOS トランジスタ構造(解決策候補の

図や説明を参照のこと)などの主要な技術革新の、予想される必要時期をできる限り遅らせることであった。しかし、調整することのできる入力パラメータが数多くあり、また出力パラメータがこれら多くの入力パラメータの複雑な関数になっているため、主要な出力パラメータの目標値を達成する他の入力パラメータの組合せ(すなわち、異なるスケーリングシナリオに従った)が存在しうる。例えばあるシナリオとして、ゲートリーク電流が急激に増大する、EOT を急速にスケーリングする場合、許容範囲にゲートリーク電流を抑えるために high-k ゲート絶縁膜の早期の導入が必要になる。他のスケーリングシナリオでは EOT をゆっくりとスケーリングさせることができる。この場合、ゲートリーク電流はゆっくり増加し、結果として high-k ゲート絶縁膜の導入を遅らせることができる。しかし、ゲート長やチャネルドーピングなどの他の幾つかのパラメータは、EOT のゆっくりとしたスケーリングを補償し、同じ出力パラメータを達成するために、より早くスケーリングさせなければならない。よって、これらのテーブルのスケーリングシナリオは、業界に良い指針を設定するが、各技術ノードで各メーカの採用する実際の道筋は相当食い違うことになると思われる。

高速トランジスタの表において、作成の基準になるのは MOSFET の性能指標である $1/\tau$ である。 $1/\tau$ の目標は、過去の性能向上率に整合する年率平均 17%の向上である。表のその他のパラメータは、上記したように、この目標値を達成できるように設定されている。表から目標に合ったいくつかの重要な結果が読み取れる。NMOSFET の飽和電流 $I_{d,sat}$ は、 $1/\tau$ の 17%/年の増大を維持するために、ロードマップの設定期間を通してかなり着実に増加していく。ソース/ドレイン間のサブスレッショルドリーク電流 $I_{d,leak}$ は、2003 年において 0.03uA/um と相対的に大きいし、飽和しきい値電圧 V_t を年とともに減少させるために、年とともに増大していく(長期的には 0.1uA/um 以上となり、その時サブスレッショルドリーク電流はかなり大きくなる)。 $I_{d,sat}$ は、ゲートオーバードライブ($V_{dd}-V_t$)に強く依存し、 V_{dd} はデバイスのスケーリングと伴に低減されるので、 $I_{d,sat}$ をある値以上に維持するためには、 V_{dd} の減少に沿って V_t も減少させなければならない。しかし、 $(1/I_{d,leak})$ は、指数関数的に V_t に依存するため、 $I_{d,leak}$ は上記したように年と伴に増大する。この $I_{d,leak}$ の増加は、スケーリングの沿った V_{dd} の減少にもかかわらず、一般的にデバイスのスケーリングと伴に増大する単位チャネル幅あたりの静的な消費電力の増加となり、この静的な消費電力は、チップの消費電力において重要な意味を持つようになる。(下記で議論を行う)。

高性能チップにおいては、微細化に伴うトランジスタのサブスレッショルド電流は急激に増大するが、静的な消費電力を許容値以下に保つ必要がある。一つの一般的な解決策は、チップ内に低 V_t の高速トランジスタと高 V_t でゲート酸化膜が厚い低リークトランジスタの、二種類以上のトランジスタを搭載することである。低リークトランジスタは、高速トランジスタと比べて飽和電流は小さく、低いデバイス性能(デバイスの真性遅延時間 τ が大きい)である。高速トランジスタは、クリティカルパスや常時スイッチングしている回路にだけ使用され、低リークトランジスタはその他の全ての所で使われる。低リークトランジスタの積極的な使用は、チップ性能をそれほど犠牲にせず、静的な消費電力を大幅に低減させる。静的な消費電力を縮小する電流の回路やアーキテクチャーとして、パスゲートを用いて電源とグランド間のパスを電氣的に遮断するものや、回路ブロックのパワーを減らすテクニックなどがある。他の方法として、ウエルにバイアスを印加して、動的に V_t の制御を行う方法がある。よって、スケーリングされた高性能 IC の現実的な姿は、静的な消費電力に関して複数のしきい値を持つトランジスタを使用した、デバイス/回路/アーキテクチャーを活用するというものである。技術要求の表においては、高性能トランジスタが技術を牽引するので、このトランジスタだけを扱っている。

低消費電力チップにおいて注目される出力パラメータは、ソース/ドレイン間のサブスレッショルドリーク電流 ($I_{sd,leak}$) であり、LSTP では特にこの値は小さい。上記で議論したように、2003 年の LOP の $I_{sd,leak}$ の値は $1\text{nA}/\mu\text{m}$ であるが、LSTP の $I_{sd,leak}$ の値は $10\text{pA}/\mu\text{m}$ である。両者の値は共に、スケーリングに対応して緩やかに増大する。他のすべてのパラメータの値は、ターゲットの $I_{sd,leak}$ に整合するように選ばれ、結果としてのデバイス性能 ($1/\tau$) の平均的な改善率は、歴史的に LOP、LSTP とともにおよそ年率 17% である。重要な課題の一つは、低消費電力トランジスタの比較的緩やかな電源電圧のスケーリングである。LSTP に関しては、表 48c と 48d を参照のこと。これはサブスレッショルドリーク電流の厳しい要求を満たすために、 V_t のスケーリングを比較的抑制したためである。電源電圧は次の二つの理由で V_t のスケーリングに追随しなければならない。その理由は、目標の性能を得るためにゲートオーバードライブ ($V_{dd}-V_t$) は相対的に大きくなければならないことと、十分なスイッチングノイズマージンを確保するために電源電圧は V_t の 2.3 倍以上でなければならないことである。動的な消費電力は電源電圧の 2 乗に比例するため、低消費電力トランジスタの消費電力は高速用に比べて緩やかにスケーリングされるが、このタイプの活性化の度合いは相対的に小さいと期待されるので、非常に小さいリーク電流によって静的な消費電力が下げられることの効果の方が大きい。他の課題は、横方向電界 ($\sim$ 電源電圧 / ゲート長) である。電源電圧 (V_{dd}) のゆっくりとしたスケーリングにより横方向電界がスケーリングと共に急激に増大し、この結果、短チャネル効果抑制を難しくするだけでなく、長期信頼性で問題を引き起こす。LSTP ロジックと対比して、LOP ロジック (LOP の技術要求の表 48a と 48b を参照のこと) 用の電源電圧 (V_{dd}) は比較的速くスケーリングし、動作時の消費電力 (V_{dd} の二乗に比例する動的な消費電力) を最小化することに重点が置かれる。しかし、 $I_{sd,leak}$ は LSTP のものより大きく、飽和領域でのしきい値は十分に低い設定であり、相応のゲートオーバードライブ ($V_{dd}-V_t$) と適当な回路ノイズマージンが得られる。高性能版および LOP、LSTP の $I_{sd,leak}$ と MOSFET の性能指数 ($1/\tau$) のスケーリングを図 22 に図示している。予想通り、高性能版ロジックの $I_{sd,leak}$ と $1/\tau$ が一番大きく、LOP 用ロジックが中間で、LSTP 用のロジックが最も小さくなる。

スケーリングによって酸化窒化膜のゲート絶縁膜がますます薄くなるにつれて、ゲートリーク電流が重要なポイントとなり、ゲートリーク電流密度の制限に酸化窒化膜が適合するかが、決定的な課題となる (表 47a、47b と 48a から 48d 及び注釈[2]と[5]を参照のこと)。FEP-TWG とノースカロライナ州立大学において、酸化窒化膜を通した直接トンネリング電流密度の詳細なシミュレーションが行われ、技術要求の表でスケーリングされた V_{dd} と EOT を用いてトンネルによるゲートリーク電流密度の予想値が計算された。LSTP と LOP、高性能ロジックにおいて、これらの計算されたゲートリーク電流密度と、システムからの要求であるゲートリーク電流密度の制約を比較し、図 23 から 25 にそれぞれ示した。ここで、 $J_g,limit$ はゲートリーク電流密度の制約であり、 $J_g,simulated$ はシミュレーションより求められたゲートリーク電流密度である。また、技術要求の表毎に EOT を参考としてプロットしている。LSTP と LOP のトランジスタにおいて、二つの J_g は、2006 年の直前に交差する。よって、2006 年以降、直接トンネルのために酸化窒化膜ではリーク電流の制約をクリアできない。特に LSTP においては、2006 年以降 $J_g,simulated$ の曲線は、 $J_g,limit$ の曲線から急速に乖離しており、もし 2006 年以降にゲート絶縁膜として酸化窒化膜を使い続けるとゲートリークは急速に規格から外れること意味している。図 23 から 2004 年と 2005 年で EOT が同じであり、この期間ゲートリークの増加はゆっくりに進み、酸化窒化膜をゲート絶縁膜として利用できるように調整していることに注意すべきである。高性能版のロジックにおいては、図 25 から酸化窒化膜のゲート絶縁膜は、2007 年度以降ゲート電流密度の制約に適合しなくなる。主要な解決策候補は、酸化窒化膜の代わりに high-k ゲート絶縁膜を使うことである。更なる詳細は、ロジックの解決策候補の章を参照のこと。

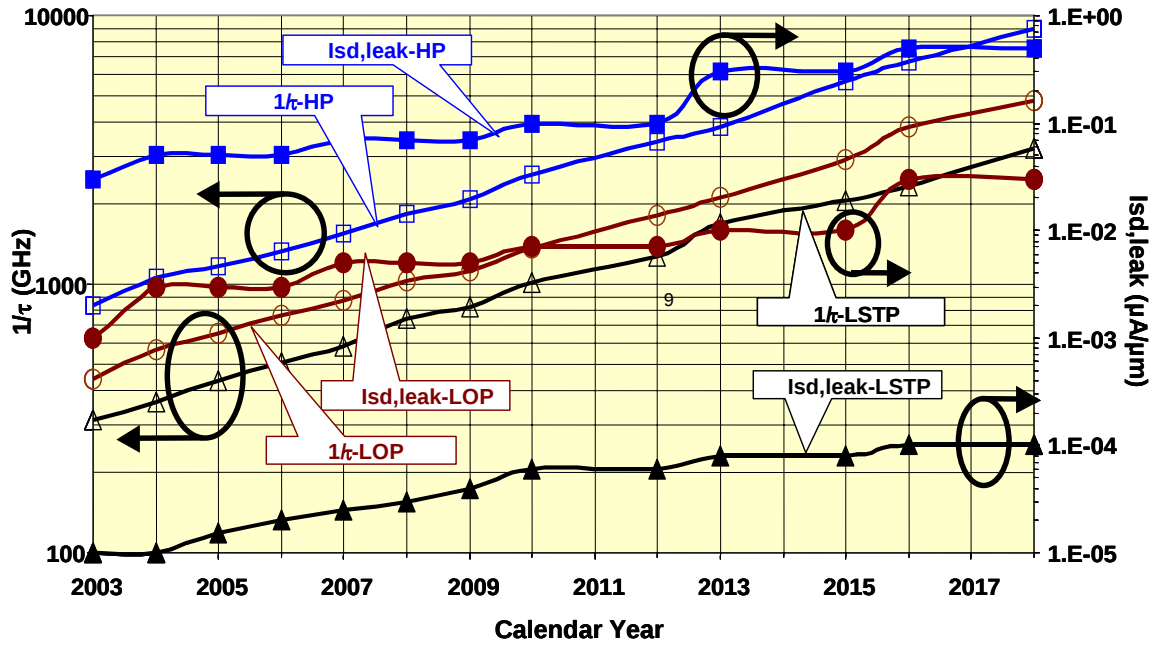


図 22 $1/\tau$ and $I_{sd,leak}$ Scaling for High-performance (HP), Low-operating Power, and Low-standby Power Logic

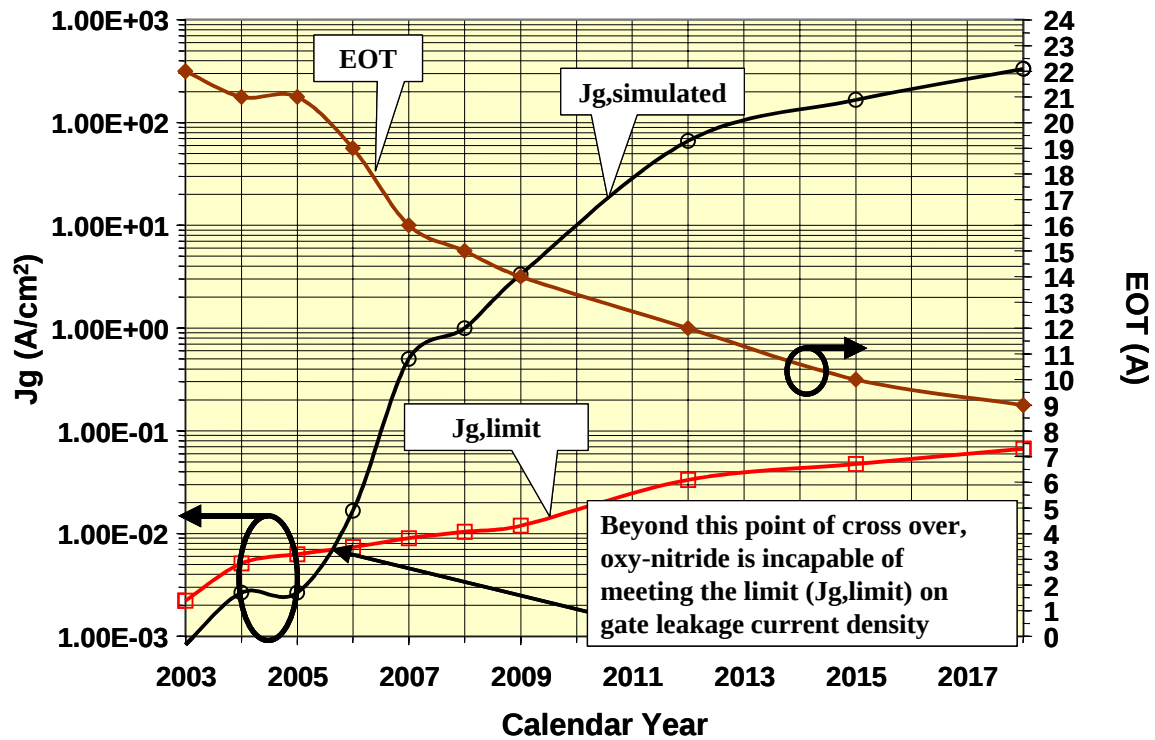


図 23 LSTP Logic Scaling-up of Gate Leakage Current Density Limit and of Simulated Gate Leakage due to Direct Tunneling

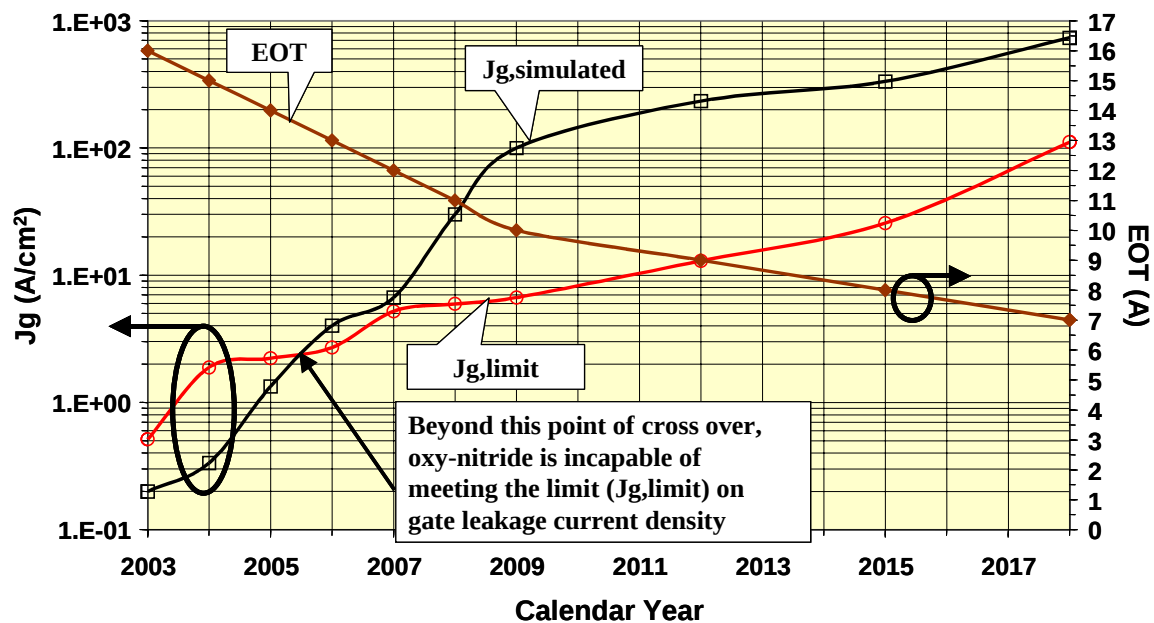


図 24 LOP Logic Scaling-up of Gate Leakage Current Density Limit and of Simulated Gate Leakage due to Direct Tunneling

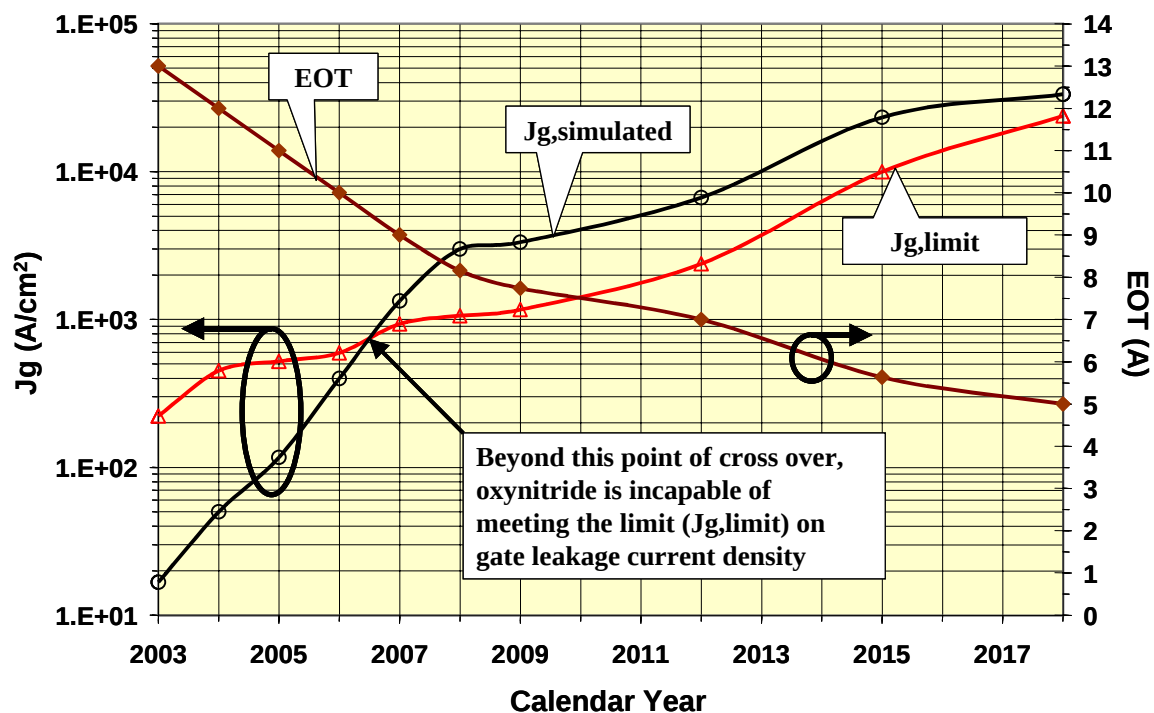


図 25 High-performance Logic Scaling-up of Gate Leakage Current Density Limit and of Simulated Gate Leakage due to Direct Tunneling

表 47a High-performance Logic Technology Requirements—Near-term

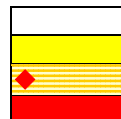
Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Physical gate length high-performance (HP) (nm) [1]	45	37	32	28	25	22	20
EOT: equivalent oxide thickness (physical) for high-performance (nm) [2]	1.3	1.2	1.1	1.0	0.9	0.8	0.8
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.8	0.8	0.7	0.7	0.4	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm) [4]	2.1	2.0	1.8	1.7	1.3	1.2	1.2
Nominal gate leakage current density limit (at 25°C) (A/cm ²) [5]	2.2E+02	4.5E+02	5.2E+02	6.0E+02	9.3E+02	1.1E+03	1.2E+03
Nominal power supply voltage (V _{dd}) (V) [6]	1.2	1.2	1.1	1.1	1.1	1.0	1.0
Saturation threshold voltage (V) [7]	0.21	0.20	0.20	0.21	0.18	0.17	0.16
Nominal high-performance NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (μA/μm) [8]	0.03	0.05	0.05	0.05	0.07	0.07	0.07
Nominal high-performance NMOS saturation drive current, I _{d,sat} (at V _{dd} , at 25°C) (mA/mm) [9]	◆ 980	1110	1090	1170	1510	1530	1590
Required "mobility/transconductance improvement" factor [10]	1.0	1.3	1.3	1.4	2.0	2.0	2.0
Sub-threshold slope adjustment factor (full depletion/multiple-gate effects) (0–1) [11]	1.0	1.0	1.0	1.0	1.0	0.8	0.7
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Parasitic source/drain series resistance (R _{sd}) (Ohm-μm) [13]	◆ 180	180	180	171	162	153	144
Ideal NMOS device gate capacitance (F/μm) [14]	7.40E-16	6.39E-16	6.14E-16	5.69E-16	6.64E-16	6.33E-16	5.76E-16
Parasitic fringe/overlap capacitance (F/μm) [15]	2.40E-16	2.40E-16	2.40E-16	2.30E-16	2.20E-16	2.00E-16	1.90E-16
High-performance NMOS intrinsic delay, τ = C _{gate} * V _{dd} / I _{d,sat} (ps) [16]	◆ 1.20	0.95	0.86	0.75	0.64	0.54	0.48
Relative NMOS intrinsic switching speed, 1/τ, normalized to 2003 [17]	◆ 1.00	1.26	1.39	1.60	1.86	2.20	2.49
Nominal logic gate delay (NAND Gate) (ps) [18]	◆ 30.24	23.94	21.72	18.92	16.23	13.72	12.13
NMOSFET power-delay product (J/μm) [19]	1.41E-15	1.27E-15	1.03E-15	9.66E-16	1.07E-15	8.33E-16	7.66E-16
NMOSFET static power dissipation due to drain and gate leakage (W/μm) [20]	3.96E-07	6.60E-07	6.05E-07	6.05E-07	8.47E-07	7.70E-07	7.70E-07

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



14 プロセスインテグレーション、デバイス、および構造

表 47b High-performance Logic Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	54	42	38	30	27	21
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Physical gate length high-performance (HP) (nm) [1]	18	14	13	10	9	7
EOT: equivalent oxide thickness (physical) for high-performance (nm) [2]	0.7	0.7	0.6	0.6	0.5	0.5
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.4	0.4	0.4	0.4	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm) [4]	1.1	1.1	1.0	1.0	0.9	0.9
Nominal gate leakage current density limit (at 25°C) (A/cm ²) [5]	1.9E+03	2.4E+03	7.7E+03	1.0E+04	1.9E+04	2.4E+04
Nominal power supply voltage (V _{dd}) (V) [6]	1.0	0.9	0.9	0.8	0.8	0.7
Saturation threshold voltage (V) [7]	0.15	0.14	0.11	0.12	0.10	0.11
Nominal high-performance NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (mA/μm) [8]	0.1	0.1	0.3	0.3	0.5	0.5
Nominal high-performance NMOS saturation drive current, I _{d,sat} (at V _{dd} , at 25°C) (mA/μm) [9]	1900	1790	2050	2110	2400	2190
Required "mobility/transconductance improvement" factor [10]	2.0	2.0	2.0	2.0	2.0	2.0
Sub-threshold slope adjustment factor (Full depletion/multiple-gate effects) (0–1) [11]	0.6	0.5	0.5	0.5	0.5	0.5
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.1	1.1	1.1	1.3	1.3	1.3
Parasitic source/drain series resistance (R _{sd}) (Ohm-μm) [13]	135	116	107	88	79	60
Ideal NMOS device gate capacitance (F/μm) [14]	5.65E-16	4.39E-16	4.49E-16	3.45E-16	3.45E-16	2.69E-16
Parasitic fringe/overlap capacitance (F/μm) [15]	1.80E-16	1.50E-16	1.40E-16	1.20E-16	1.00E-16	8.00E-17
High-performance NMOS intrinsic delay, $\tau = C_{gate} * V_{dd} / I_{d,sat}$ (ps) [16]	0.39	0.30	0.26	0.18	0.15	0.11
Relative NMOS intrinsic switching speed, 1/τ, normalized to 2003 [17]	3.06	4.05	4.64	6.80	8.08	10.77
Nominal logic gate delay (NAND gate) (ps) [18]	9.88	7.47	6.52	4.45	3.74	2.81
NMOSFET power-delay product (J/μm) [19]	7.45E-16	4.77E-16	4.77E-16	2.98E-16	2.85E-16	1.71E-16
NMOSFET static power dissipation due to drain and gate leakage (W/μm) [20]	1.10E-06	9.90E-07	2.97E-06	2.64E-06	4.40E-06	3.85E-06

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

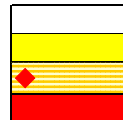


表 47a と 47b の注

リンクした [Microsoft Excel file](#) は、モデルに基づいたスケーリングに関する詳細な項目が記載されたワークシートを含んでおり、MOSFET モデルで用いた式を取り込んでいる。High-performance Logic 技術要求表 47a, 47b の全項目は、そのワークシートから選択されている。表に関する詳細な質問は、リンクされた Excel file を参照してください。

表に記載された数値のスケーリングは、以下の特定のスケーリング・シナリオを反映しており、それは高性能ロジックの目標を達成するために最適化してスケーリングするように試みたものである。具体的には、NMOS トランジスタの本

質的なスイッチング速度(注[16]を参照)を平均年率 17%改善する目標である。ただし、目標を達成するために必要とされるいくつかの主な技術革新の実現が先に伸びると、遅れることがある。主な技術革新とは、金属ゲート電極、高誘電率ゲート絶縁膜およびソース/ドレインの寄生抵抗値を低減するための新規な不純物ドーピング技術と熱処理技術である。しかしながら、多くの可変パラメータ(EOT , V_{dd} , $I_{sd,leak}$ 他)があることから、これらのパラメータのスケールングに関して他の異なったスケールング・シナリオを選択することも可能である。(この観点に関しての詳細は、本文を参照)

[1] エッチング後のゲート電極底部の最終寸法・数値は ORTC(総括ロードマップ技術指標)で設定。ゲート電極の寸法制御は、Lithography と FEP Etch の ITWGs で決定されており、3 σ で $\pm 10\% \times L_g$ と推察される。この 10% の要求を満足することは、スケールングされるとともにますます困難になるであろうと考えられる(Lithography 章と FEP 章を参照)。駆動デバイス・パラメータの変動に対して、ゲート長の変動は主要な要因であると考えられる。

[2] ゲート絶縁膜厚 T_d と比誘電率 κ に関して、 $EOT = T_d / (\kappa / 3.9)$ と定義される。ここで 3.9 とは、熱二酸化シリコン膜の比誘電率である。ゲート絶縁膜厚 T_d の MOSFET に関して、単位面積当たりの理想的なゲート容量は、熱酸化で形成された膜厚 EOT のゲート絶縁膜を有する MOSFET と同じ値である。2006 年の黄色は FEP TWG が決定しており、薄いシリコン酸化ゲート絶縁膜の適切な膜厚制御と信頼性の確保をおこなうことが困難であることによる。2007 年以降の赤色は、酸化ゲート絶縁膜がゲートリーク電流密度の制限を満たす能力がないことに起因する(注[5]参照、詳細は図 25 とともに本文参照)。高誘電率ゲート絶縁膜の利用は、一つの解決策候補である。 EOT を測定することは複雑であり、一般的に MOS キャパシタを用いた精密な容量 - 電圧(CV)測定、および光学測定によっておこなわれる。

[3] ゲート電極の空乏化および量子効果を含む反転層効果に(近似的に)相当する値・反転層効果による電気的な膜厚の調整分を 0.4nm 一定と仮定した。多結晶シリコンゲート電極に対して、ゲート電極の空乏化による電気的な膜厚の調整分は、多結晶シリコンのドーピングに依存する。ゲート空乏化による膜厚の調整分の要求値を満足するような適切な多結晶シリコンへのドーピング(特に P^+ ホウ素ドーブ電極に対して)は困難であると判断から、FET TWG によって 2005 年と 2006 年は黄色となった。2007 年以降の赤色は、ゲート空乏化による膜厚の調整分の要求値を満足するような適切な多結晶シリコンへのドーピングが不可能であることを反映している。金属ゲート電極の導入は一つの解決策候補であり、ゲート空乏化効果をゼロへ減少する。

[4] EOT と電気的な膜厚調整値の合計(上記注[2],[3]参照)。MOSFET の反転では、単位面積当たりの理想的なゲート容量(注[14]参照)は、 $\epsilon_{ox} / ($ 電気的シリコン酸化膜換算膜厚 $)$ であり、 ϵ_{ox} とは熱二酸化シリコンの誘電率である。反転における電気的シリコン酸化膜換算膜厚は、 CV/I 本質的遅延(注[16]参照)および CV^2 動的スイッチング・エネルギー(注[19]参照)の計算に用いられる。赤色/黄色は、 EOT および電気的膜厚調整(上記注[2],[3]参照)に従う。

[5] 25 における許容ゲートリーク電流の最大値であり、チャネル幅 $1\mu m$ 当たりのサブスレッショルド・リーク電流 $I_{sd,leak}$ と関係する(下記注[8]参照)。許容ゲートリーク電流密度 = $[I_{sd,leak} / ($ 物理的ゲート長 $)] \times [$ 温度係数 / 積層オーバーラップ係数 $]$ 。“温度係数” = 10 とは、高性能ロジックの予期される動作温度を考慮しており、 $I_{sd,leak}$ の温度上昇にもなう急激な増加およびゲートリーク電流(直接トンネル電流であるため)の温度鈍感性の両方に対して調整したものである。“積層・オーバーラップ係数” = 3 とは、 $I_{sd,leak}$ とロジック・ゲートにおける積層トランジスタのゲートリーク電流との異なった効果およびトランジスタのゲート・オーバーラップとを調整したものである。温度係数と積層オーバーラップ係数の両方の値は、桁の見積もり程度の大まかなものである。黄色と赤色は、 EOT に従う(上記注[2]参照)。

[6] 電源電圧は、必要とされる飽和駆動電流値を満たすための十分な電圧過駆動(V_{dd} - 飽和しきい値電圧(注[7]参照))を維持するよう選択されており、またゲート絶縁膜にかかる合理的な縦方向電界強度を維持している。実際の IC における電源電圧の目標値は、この表に示された値から $\pm 10\%$ と考えられ、特定の回路設計用途もしくは技術最適化に依存する。

[7] V_{dd} と等しい電圧をドレインに印加したときの最小ゲート長のトランジスタに対する計算されたしきい値電圧(注[6]参照)。しきい値電圧値とそれに対応したサブスレッショルド・リーク電流値(注[8]参照)は、必要とされる飽和駆動電流値(注[9]参照)を満たすための十分なゲート過駆動(V_{dd} - 飽和しきい値電圧)を維持するよう選択されている。縮

小された MOSFET に対する短チャネル効果の制御は、ここでは主な課題であるために、黄色 / 赤色はサブスレッショルド傾き調整係数(下記注[11]参照)にしたがう。

[8] サブスレッショルド・リーク電流値は NMOSFET のチャネル幅 $1\mu\text{m}$ 当たりのソース電流によって定義され、 25°C 、ドレイン印加電圧を V_{dd} (注[6]参照)とし、ゲートとソースと基板の印加電圧を 0V とした条件である。MOSFET デバイスの全寸法は、基準値 / 目標値と仮定した。NMOS の全オフ状態電流は、 25°C におけるチャネル幅 $1\mu\text{m}$ 当たりの NMOSFET のドレイン電流であり、NMOS のサブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流の 3 要素の合計である。 25°C あるいは高温の条件では、サブスレッショルド・リーク電流は接合リーク電流よりも大きいと仮定した。 $I_{\text{sd,leak}}$ とゲートリーク電流密度の関係は、注[5]を参照。黄色と赤色は、サブスレッショルド傾き調整係数にしたがい、その係数は極薄膜基板、完全空乏 MOSFET、多重ゲート MOSFET といった進歩したデバイスを用いることを考慮した(下記注[11]参照)。上記サブスレッショルド・リーク電流、ゲートリーク電流、接合リーク電流のスケーリング・シナリオは、PMOS デバイスにも適用される。ここでのサブスレッショルド・リーク電流値は、最高速 MOSFET だけに適用されることに注意。現在および将来のチップが高リークと低リークの両デバイスの混載により構成されるならば、ここでのサブスレッショルド・リーク電流値は、低速 / 低リーク MOSFET にも適用される(詳細は本文参照)。

[9] 飽和電流駆動 $I_{\text{d,sat}}$ は NMOSFET のチャネル幅 $1\mu\text{m}$ 当たりのドレイン電流によって定義され、 25°C 、ゲートとドレインの印加電圧を V_{dd} (注[6]参照)とし、ソースと基板の印加電圧を 0V とした条件である。MOSFET デバイスの全寸法は、基準値 / 目標値と仮定した。飽和駆動電流値は、歴史的なスケーリングである年率約 17%のデバイス性能の向上を継続するように選択した(下記注[17]参照)。PMOS の飽和駆動電流値は、NMOS の飽和駆動電流値の(40-50)%と仮定した。黄色 / 赤色は、以下の3つの項目にしたがう。寄生ソース / ドレイン直列抵抗 R_{sd} (下記注[13]参照)、反転における電気的な酸化膜換算膜厚(注[4]参照)、必要とされる移動度 / 相互コンダクタンス増加係数(注[10]参照)。ここでの飽和電流駆動値は、最高速 MOSFET だけに適用されることに注意。現在および将来のチップが高リークと低リークの両デバイスの混載により構成されるならば、ここでの飽和電流駆動値は低飽和駆動電流 / 低リーク MOSFET にも適用される(詳細は本文参照)。

[10] 基礎的なデバイス移動度 / 相互コンダクタンスの改善(ひずみ Si チャンネルが現在実行可能な選択肢)は、キャリア移動度の倍數化によって可能である。そのような改善は、必要とされる飽和駆動電流値を満足するために 2004 年に目標設定されている(注[9]参照)。2004 年以降の黄色は、ひずみ Si チャンネル・デバイスの適用への目標の困難さを反映している。2007 年以降の赤色は、この移動度増加係数を 2.0 とするような最適化が困難であることを反映している。進歩した極薄膜基板デバイスに対する移動度の増加は困難である。

[11] サブスレッショルド傾き調整係数は、以下の影響を考慮している。それは、進歩した単一ゲート電極薄膜基板完全空乏 SOI MOSFET、さらには高度に縮小されたトランジスタに対する短チャネル効果を制御することが必要な極薄膜基板多重ゲート MOSFET が適用されることである。特に、この値はサブスレッショルド傾きへの掛け算係数であり、 60 mV/decade という最小理論値へと減少する。係数 1.0 は古典的な平面バルク MOSFET に対応し、係数範囲 0.7 から 0.8 は単一ゲート極薄膜基板 MOSFET に対応し、係数範囲 0.6 から 0.5 は極薄膜基板多重ゲート MOSFET に対応する。これらの数値は、それらの進歩したデバイスの影響をおおまかに見積もったものである(極薄膜基板 MOSFET に対する議論は [Emerging Research Devices 章の Non-Classical CMOS 表](#)を参照)。黄色は 2008 年に単一ゲート極薄膜基板 MOSFET の導入目標を反映しており、赤色は 2010 年に多重ゲート MOSFET の導入目標を反映している。

[12] この値はキャリア飽和速度に対する掛け算係数であり、高度に縮小された極薄膜基板 MOSFET、とりわけ多重ゲート MOSFET における準バリスティック輸送を反映している。2010 年以降の赤色は、必要とされる飽和電流駆動値を満足するために飽和速度の増加の目標を反映している(注[9]参照)。

[13] R_{sd} は、チャネル幅 $1\mu\text{m}$ 当たりの最大許容寄生直列ソースとドレイン抵抗である。これらの値は、必要とされる飽和電流駆動値(注[9]参照)を満足するように縮小される。黄色 / 赤色は、FET TWG の目標としたコンタクト抵抗、サリサイド・シート抵抗およびドレイン・エクステンションのスケーリングを反映している。

[14] $C_{g,ideal}$, チャネル幅 $1\mu\text{m}$ 当たりの理想的なゲート容量 . $C_{g,ideal}=[\epsilon_{ox} / (EOT_{inv})] \times L_g$, ここで ϵ_{ox} とは熱酸化シリコンの誘電率 , EOT_{inv} とは反転における電氣的酸化膜換算膜厚 (注[4]参照) , L_g とは物理的なゲート長 (注[1]参照) . 黄色 / 赤色は , EOT_{inv} (注[4]参照) にしたがう。

[15] チャネル幅 $1\mu\text{m}$ 当たりの寄生ゲート・オーバーラップ / フリンジ容量 [$3 \times$ Miller 効果を含む片側オーバーラップ / フリンジ容量] . これらの値は , バイアス条件に依存しないと仮定した。

[16] τ とは , 25 における NMOS デバイスの本質的なトランジスタ遅延 . $\tau = (C_{gate} \times V_{dd} / I_{d,sat})$, ここで C_{gate} とは , チャネル幅 $1\mu\text{m}$ 当たりの理想的なデバイス・ゲート容量 (注[14]参照) とチャネル幅 $1\mu\text{m}$ 当たりの寄生ゲート・オーバーラップ / フリンジ容量 (注[15]参照) との合計 . PMOSFET の τ も同様に縮小されると仮定した . ただし , PMOS $I_{d,sat} \sim (0.4 - 0.5) \times (\text{NMOS } I_{d,sat})$ (注[9]参照) . τ はデバイスの本質的なスイッチング遅延時間に対する良い尺度であり , $1/\tau$ はデバイスの本質的なスイッチング速度に対する良い尺度である . 赤色 / 黄色は , 飽和駆動電流 (注[9]参照) および理想的なゲート容量 (注[14]参照) の両方にしたがう。

[17] NMOS 性能の尺度 ($1/\tau$, NMOS の本質的なスイッチング速度--注[16]参照) , 2003 年を基準とした . 歴史的な年率約 17% のデバイス性能改善というスケーリング・トレンドの維持が , 高性能ロジックのスケーリングの最終目標である . 赤色 / 黄色は , τ (注[16]参照) にしたがう。

[18] 典型的なロジック・ゲートを表現するために選択された 2 入力 3 出力 NAND ゲートに対して計算された遅延時間 (計算の詳細はリンク・ファイルを参照) . 赤色 / 黄色は , τ (注[16]参照) にしたがう。

[19] フルスイッチング周期における MOSFET のチャネル幅 $1\mu\text{m}$ 当たりのエネルギー消費 , $C_{gate} \times V_{dd}^2$ で定義 , ここで C_{gate} とは , チャネル幅 $1\mu\text{m}$ 当たりの理想的なデバイス・ゲート容量 (注[14]参照) とチャネル幅 $1\mu\text{m}$ 当たりの寄生ゲート・オーバーラップ / フリンジ容量 (注[15]参照) との合計 . (τ (注[16]参照) の計算に用いられた C_{gate} とおなじ) . 動的電力消費は , 電力 - 遅延積の直接的に關係する . 赤色 / 黄色は , $C_{g,ideal}$ (注[14]参照) にしたがう。

[20] MOSFET のチャネル幅 $1\mu\text{m}$ 当たりの静的電力消費 , $V_{dd} \times [\{I_{sd,leak} \text{ (注[8]参照)}\} + \{\text{チャネル幅 } 1\mu\text{m} \text{ 当たりの最大ゲートリーク電流 } (L_g \times \text{許容ゲートリーク電流密度で定義, 注[5]より})\}]$ (接合リーク電流は , ソース / ドレインのサブスレッショルド・リーク電流もしくはゲートリーク電流より十分に小さいものと仮定した) . 黄色 / 赤色は , 許容ゲートリーク電流密度 (注[5]) にしたがう。

表 48a Low Operating Power (LOP) Logic Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Physical gate length low operating power (LOP) (nm) [1]	65	53	45	37	32	28	25
EOT: equivalent oxide thickness (physical) for LOP (nm) [2]	1.6	1.5	1.4	1.3	1.2	1.1	1.0
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.8	0.8	0.7	0.7	0.7	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm) [4]	2.4	2.3	2.1	2.0	1.9	1.5	1.4
Nominal gate leakage current density limit (at 25°C) (A/cm ²) [5]	0.51	1.89	2.22	2.70	5.21	5.95	6.67
Nominal LOP power supply voltage (V _{dd}) (V) [6]	1.0	0.9	0.9	0.9	0.8	0.8	0.8
Saturation threshold voltage (V) [7]	0.31	0.26	0.27	0.28	0.26	0.25	0.25
Nominal LOP NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (μA/μm) [8]	1.0E-03	3.0E-03	3.0E-03	3.0E-03	5.0E-03	5.0E-03	5.0E-03
Nominal LOP NMOS saturation drive current, I _{d,sat} (at V _{dd} , at 25°C) (μA/μm) [9]	520	530	580	610	570	730	770
Required "mobility/transconductance improvement" factor [10]	1.0	1.0	1.0	1.0	1.0	1.3	1.3
Sub-threshold slope adjustment factor (full depletion/multiple-gate effects) (0–1) [11]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Parasitic source/drain series resistance (R _{sd}) (Ohm-μm) [13]	180	180	180	180	180	180	180
Ideal NMOS device gate capacitance (F/μm) [14]	9.35E-16	7.96E-16	7.40E-16	6.39E-16	5.82E-16	6.45E-16	6.17E-16
Parasitic fringe/overlap capacitance (F/μm) [15]	2.40E-16	2.40E-16	2.40E-16	2.40E-16	2.40E-16	2.40E-16	2.40E-16
LOP NMOS intrinsic delay, τ = C _{gate} * V _{dd} / I _{d,sat} (ps) [16]	2.26	1.76	1.52	1.30	1.15	0.97	0.89
Relative NMOS intrinsic switching speed, 1/τ, normalized to 2003 [17]	1.00	1.29	1.49	1.74	1.96	2.33	2.54
Nominal logic gate delay (NAND gate) (ps) [18]	57.0	44.3	38.3	32.7	29.1	24.4	22.4
NMOSFET power-delay product (J/μm) [19]	1.18E-15	8.39E-16	7.94E-16	7.12E-16	5.26E-16	5.66E-16	5.48E-16
NMOSFET static power dissipation due to drain and gate leakage (W/μm) [20]	2.0E-09	5.4E-09	5.4E-09	5.4E-09	8.0E-09	8.0E-09	8.0E-09

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

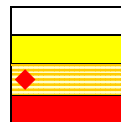


表 48b Low Operating Power (LOP) Logic Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	54	42	38	30	27	21
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Physical gate length low operating power (LOP) (nm) [1]	22	18	16	13	11	9
EOT: equivalent oxide thickness (physical) for LOP (nm) [2]	0.9	0.9	0.8	0.8	0.7	0.7
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.4	0.4	0.4	0.4	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm) [4]	1.3	1.3	1.2	1.2	1.1	1.1
Nominal gate leakage current density limit (at 25°C) (A/cm ²) [5]	11	13	21	26	91	111
Nominal LOP power supply voltage (V _{dd}) (V) [6]	0.7	0.7	0.6	0.6	0.5	0.5
Saturation threshold voltage (V) [7]	0.22	0.23	0.21	0.19	0.16	0.17
Nominal LOP NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (μA/μm) [8]	0.007	0.007	0.01	0.01	0.03	0.03
Nominal LOP NMOS saturation drive current, I _{d,sat} (at V _{dd} , at 25°C) (μA/μm) [9]	770	830	780	900	920	950
Required "mobility/transconductance improvement" factor [10]	1.3	2.0	2.0	2.0	2.0	2.0
Sub-threshold slope adjustment factor (full depletion/multiple-gate effects) (0–1) [11]	0.8	0.8	0.8	0.5	0.5	0.5
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.0	1.0	1.1	1.1	1.3	1.3
Parasitic source/drain series resistance (R _{sd}) (Ohm-μm) [13]	160	135	126	107	98	80
Ideal NMOS device gate capacitance (F/μm) [14]	5.84E-16	4.78E-16	4.60E-16	3.74E-16	3.45E-16	2.83E-16
Parasitic fringe/overlap capacitance (F/μm) [15]	2.20E-16	1.80E-16	1.60E-16	1.40E-16	1.30E-16	1.10E-16
LOP NMOS intrinsic delay, $\tau = C_{gate} * V_{dd} / I_{d,sat}$ (ps) [16]	0.73	0.56	0.48	0.34	0.26	0.21
Relative NMOS intrinsic switching speed, 1/τ, normalized to 2003 [17]	3.1	4.1	4.7	6.6	8.7	10.9
Nominal logic gate delay (NAND Gate) (ps) [18]	18.4	14.0	12.0	8.6	6.5	5.2
NMOSFET power-delay product (J/μm) [19]	3.94E-16	3.22E-16	2.23E-16	1.85E-16	1.19E-16	9.81E-17
NMOSFET static power dissipation due to drain and gate leakage (W/μm) [20]	9.8E-09	9.8E-09	1.2E-08	1.2E-08	3.0E-08	3.0E-08

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

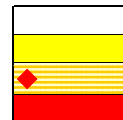


表 48c Low Standby Power (LSTP) Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Physical gate length low standby power (LSTP) (nm) [1]	75	65	53	45	37	32	28
EOT: equivalent oxide thickness (physical) for LSTP (nm) [2]	2.2	2.1	2.1	1.9	1.6	1.5	1.4
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.8	0.8	0.7	0.7	0.7	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm) [4]	3	2.9	2.8	2.6	2.3	1.9	1.8
Nominal gate leakage current density limit (at 25°C) (A/cm ²) [5]	4.4E-03	5.1E-03	9.4E-03	1.5E-02	2.3E-02	3.1E-02	4.8E-02
Nominal LSTP power supply voltage (V _{dd}) (V) [6]	1.2	1.2	1.2	1.2	1.1	1.1	1.1
Saturation threshold voltage (V) [7]	0.50	0.50	0.51	0.52	0.50	0.47	0.47
Nominal LSTP NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (μA/μm) [8]	1.0E-05	1.0E-05	1.5E-05	2.0E-05	2.5E-05	3.0E-05	4.0E-05
Nominal LSTP NMOS saturation drive current, I _{d,sat} (at V _{dd} , at 25°C) (μA/μm) [9]	410	440	470	510	510	670	700
Required "mobility/transconductance improvement" factor [10]	1.0	1.0	1.0	1.0	1.0	1.3	1.3
Sub-threshold slope adjustment factor (full depletion/multiple-gate effects) (0–1) [11]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Parasitic source/drain series resistance (R _{sd}) (Ohm-μm) [13]	180	180	180	180	180	180	180
Ideal NMOS device gate capacitance (F/μm) [14]	8.63E-16	7.74E-16	6.54E-16	5.98E-16	5.55E-16	5.82E-16	5.37E-16
Parasitic fringe/overlap capacitance (F/μm) [15]	2.40E-16	2.40E-16	2.40E-16	2.40E-16	2.40E-16	2.40E-16	2.40E-16
LSTP NMOS intrinsic delay, τ = C _{gate} * V _{dd} / I _{d,sat} (ps) [16]	3.23	2.77	2.28	1.97	1.72	1.35	1.22
Relative NMOS intrinsic switching speed, 1/τ, normalized to 2003 [17]	1.00	1.17	1.42	1.64	1.88	2.39	2.64
Nominal logic gate delay (NAND Gate) (ps) [18]	81.4	69.7	57.5	49.7	43.2	34.0	30.8
NMOSFET power-delay product (J/μm) [19]	1.6E-15	1.5E-15	1.3E-15	1.2E-15	9.6E-16	9.9E-16	9.4E-16
NMOSFET static power dissipation due to drain and gate leakage (W/μm) [20]	2.4E-11	2.4E-11	3.6E-11	4.8E-11	5.5E-11	6.6E-11	8.8E-11

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

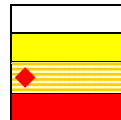


表 48d Low Standby Power (LSTP) Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	54	42	38	30	27	21
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Physical gate length low standby power (LSTP) (nm) [1]	25	20	18	14	13	10
EOT: equivalent oxide thickness (physical) for LSTP (nm) [2]	1.3	1.2	1.1	1.1	1.0	0.9
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.4	0.4	0.4	0.4	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm) [4]	1.7	1.6	1.5	1.5	1.4	1.3
Nominal gate leakage current density limit (at 25°C) (A/cm ²) [5]	8.00E-02	1.00E-01	1.48E-01	1.90E-01	2.56E-01	3.33E-01
Nominal LSTP power supply voltage (V _{dd}) (V) [6]	1.0	1.0	0.9	0.9	0.8	0.8
Saturation threshold voltage (V) [7]	0.39	0.43	0.34	0.38	0.36	0.40
Nominal LSTP NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (μA/μm) [8]	6.0E-05	6.0E-05	8.0E-05	8.0E-05	1.0E-04	1.0E-04
Nominal LSTP NMOS saturation drive current, I _{d,sat} (at V _{dd} , at 25°C) (μA/μm) [9]	760	790	880	870	860	990
Required "mobility/transconductance improvement" factor [10]	1.3	1.3	1.3	1.3	2.0	2.0
Sub-threshold slope adjustment factor (full depletion/multiple-gate effects) (0–1) [11]	0.8	0.8	0.5	0.5	0.5	0.5
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.0	1.0	1.0	1.0	1.1	1.3
Parasitic source/drain series resistance (R _{sd}) (Ohm-μm) [13]	180	144	135	116	107	88
Ideal NMOS device gate capacitance (F/μm) [14]	5.08E-16	4.32E-16	4.14E-16	3.22E-16	3.21E-16	2.66E-16
Parasitic fringe/overlap capacitance (F/μm) [15]	2.40E-16	1.90E-16	1.70E-16	1.50E-16	1.40E-16	1.20E-16
LSTP NMOS intrinsic delay, τ = C _{gate} * V _{dd} / I _{d,sat} (ps) [16]	0.98	0.79	0.60	0.49	0.43	0.31
Relative NMOS intrinsic switching speed, 1/τ, normalized to 2003 [17]	3.28	4.10	5.40	6.61	7.54	10.36
Nominal logic gate delay (NAND gate) (ps) [18]	24.80	19.83	15.06	12.31	10.80	7.85
NMOSFET power-delay product (J/μm) [19]	7.48E-16	6.22E-16	4.73E-16	3.83E-16	2.95E-16	2.47E-16
NMOSFET static power dissipation due to drain and gate leakage (W/μm) [20]	1.20E-10	1.20E-10	1.44E-10	1.44E-10	1.60E-10	1.60E-10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

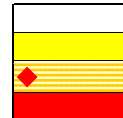


表 48a から 48d の注

リンクした [Microsoft Excel file](#) は、モデルに基づいたスケーリングに関する詳細な項目が記載されたワークシートを含んでおり、MOSFET モデルで用いた式を取り込んでいる。LOP と LSTP Logic 技術要求表 48a-48d の全項目は、そのワークシートから選択されている。表に関する詳細な質問は、リンクされた Excel file を参照してください。

表に記載された数値のスケーリングは、以下の特定のスケーリング・シナリオを反映しており、それは低電力ロジックの目標を達成するために最適化してスケーリングするように試みたものである。ただし、目標を達成するために必要

とされるいくつかの主な技術革新の実現が先に伸びると、遅れることがある。主な技術革新とは、金属ゲート電極、高誘電率ゲート絶縁膜およびソース/ドレインの寄生抵抗値を低減するための新規な不純物ドーピング技術と熱処理技術である。表中のサブスレッショルド・リーク電流(注[8]参照)の目標を満足するように最終設定されている。しかしながら、変更可能なあるいはトレードオフ関係の多くパラメータ(EOT , V_{dd} , $I_{sd,leak}$, R_{sd} 他)があるために、これらのパラメータのスケーリングに関して他の異なったスケーリング・シナリオを選択することも可能である。(この観点に関しての詳細は、本文を参照)

[1] エッチング後のゲート電極底部の最終寸法。ここに示された値は、高性能ロジックに対するゲート長の値から LOP で 2 年, LSTP で 3 年遅れたものである(詳細な議論は本文参照)。ゲート電極の寸法制御は、Lithography と FEP Etch の ITWGs で決定されており、3 σ で $\pm 10\% \times L_g$ と推察される。この 10% の要求を満足することは、スケーリングされるとともにますます困難になるであろうと考えられる(Lithography 章と FEP 章を参照)。駆動デバイス・パラメータの変動に対して、ゲート長の変動は主要な要因であると考えられる。

[2] ゲート絶縁膜厚 T_d と比誘電率 κ に関して、 $EOT = T_d / (\kappa / 3.9)$ と定義され、ここで 3.9 とは熱二酸化シリコン膜の比誘電率である。ゲート絶縁膜厚 T_d の MOSFET に関して、単位面積当たりの理想的なゲート容量は、熱酸化で形成された膜厚 EOT のゲート絶縁膜を有する MOSFET と同じ値である。LOP と LSTP との両方に関して、2006 年以降の赤色は、酸化ゲート絶縁膜がゲートリーク電流密度の制限を満たす能力がないことに起因する(注[5]参照、詳細は図 23 と図 24 とともに本文参照)。高誘電率ゲート絶縁膜の利用は、一つの解決策候補である。

[3] ゲート電極の空乏化および量子効果を含む反転層効果に(近似的に)相当する値。反転層効果による電気的な膜厚の調整分を 0.4nm 一定と仮定した。多結晶シリコンゲート電極に対して、ゲート電極の空乏化による電気的な膜厚の調整分は、多結晶シリコンへのドーピングに依存する。2008 年以降の赤色は、ゲート空乏化による膜厚の調整分の要求値を満足するような適切な多結晶シリコンへのドーピングが不可能であることを反映している。金属ゲート電極の導入は一つの解決策候補であり、ゲート空乏化効果をゼロへ減少する。

[4] EOT と電気的な膜厚調整値の合計(上記注[2],[3]参照)。MOSFET の反転では、単位面積当たりの理想的なゲート容量(注[14]参照)は、 $\epsilon_{ox} / (\text{電気的シリコン酸化膜換算膜厚})$ であり、 ϵ_{ox} とは熱二酸化シリコンの誘電率である。反転における電気的シリコン酸化膜換算膜厚は、 CV/I 本質的遅延(注[16]参照)および CV^2 動的スイッチング・エネルギー(注[19]参照)の計算に用いられる。赤色/黄色は、 EOT 項および電気的電気的膜厚調整(上記注[2],[3]参照)に従う。

[5] 25 における許容ゲートリークの最大値であり、チャンネル幅 $1\mu m$ 当たりのサブスレッショルド・リーク電流 $I_{sd,leak}$ と関係する(下記注[8]参照)。許容ゲートリーク電流密度 = $[I_{sd,leak} / (\text{物理的ゲート長})] \times [\text{温度係数} / \text{積層オーバーラップ係数}]$ 。“温度係数” = 1 とは、LOP と LSTP のロジックが室温付近で動作すると思われ、温度係数は高温動作に対して調整したものである。“積層・オーバーラップ係数” = 3 とは、 $I_{sd,leak}$ とロジック・ゲートにおける積層トランジスタのゲートリーク電流との異なった効果およびトランジスタのゲート・オーバーラップを調整したものである。温度係数と積層オーバーラップ係数の両方の値は、桁の見積もり程度の大まかなものである。黄色と赤色は、 EOT (上記注[2]参照)に従う。

[6] 電源電圧は、許容される回路スイッチング・ノイズ・マージン(しきい値電圧の約 2.3 倍)を維持するのに十分な最小値が選択されている。実際の IC における電源電圧の目標値は、この表に示された値から $\pm 10\%$ と考えられ、特定の回路設計用途もしくは技術最適値に依存する。様々なシステム応用によって、LOP と LSTP ロジックの電源電圧の値は最適化され、またそれぞれ独立に設定される。 V_{dd}^2 に比例する動作時電力消費を最小限になるように、特に LOP の V_{dd} 値は可能な限り最小限の値とした。システム全体としての電力消費は、様々な回路ブロックごとに“off”または“省電力”する回路/システム技術の利用が必要となることに注意(この点に関する詳細な議論は本文参照)。もう一点は、必要とされる飽和駆動電流値を満たすための十分なゲート過駆動(V_{dd} - 飽和しきい値電圧(注[9]参照))を維持することである。

[7] V_{dd} と等しい電圧をドレインに印加したときの最小ゲート長のトランジスタに対する計算されたしきい値電圧(注[6]参照)。しきい値電圧値は、必要とされるサブスレッショルド・リーク電流値(注[8]参照)を満たすために選択されている。縮小された MOSFET に対する短チャネル効果の制御は、ここでは主な課題であるために、黄色 / 赤色はサブスレッショルド傾き調整係数(下記注[11]参照)にしたがう。

[8] サブスレッショルド・リーク電流値は NMOSFET のチャネル幅 $1\mu\text{m}$ 当たりのソース電流によって定義され、 25°C 、ドレイン印加電圧を V_{dd} (注[6]参照)とし、ゲートとソースと基板の印加電圧を 0V とした条件である。MOSFET デバイスの全寸法は、基準値 / 目標値と仮定した。NMOS の全オフ状態電流は、 25°C におけるチャネル幅 $1\mu\text{m}$ 当たりの NMOSFET のドレイン電流であり、NMOS のサブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流の 3 要素の合計である。 25°C あるいは高温において、サブスレッショルド・リーク電流は接合リーク電流よりも大きいと仮定した。ただし、 $I_{sd,leak}$ とゲート・リーク電流密度の関係は注[5]を参照。LOP ロジックと特に LSTP ロジックのサブスレッショルド・リーク電流は高性能ロジックの値よりかなり小さく、サブスレッショルド・リーク電流を低い値にする要求を達成することが LOP と LSTP のスケールリングでは最終目標である。黄色と赤色は、サブスレッショルド傾き調整係数にしたがい、その係数は極薄膜基板、完全空乏 MOSFET、多重ゲート MOSFET といった進歩したデバイスを用いることを考慮した(下記注[11]参照)。上記サブスレッショルド・リーク電流、ゲートリーク電流、接合リーク電流のスケールリング・シナリオは、PMOS デバイスにも適用される。ここでのサブスレッショルド・リーク電流値は、最高速 MOSFET だけに適用されることに注意。現在および将来のチップが高リークおよび低リークの両デバイスの混載により構成されるならば、ここでのサブスレッショルド・リーク電流値は、低速 / 低リーク MOSFET にも適用される(詳細は本文参照)。

[9] 飽和電流駆動 $I_{d,sat}$ は NMOSFET のチャネル幅 $1\mu\text{m}$ 当たりのドレイン電流によって定義され、 25°C 、ゲートとドレインの印加電圧を V_{dd} (注[6]参照)とし、ソースと基板の電圧印加を 0V とした条件である。MOSFET デバイスの全寸法は、標準 / 目標値と仮定した。PMOS の飽和電流駆動値は、NMOS の飽和電流駆動値の(40-50)%と仮定した。黄色 / 赤色は、以下の 2 つの項目にしたがう。寄生ソース / ドレイン直列抵抗 R_{sd} (下記注[13]参照)、反転における電氣的な酸化膜換算膜厚(注[4]参照)。ここでの飽和駆動電流値は、最高速 MOSFET だけに適用されることに注意。現在および将来のチップが高リークおよび低リークの両デバイスの混載により構成されるならば、ここでの飽和駆動電流値は、低飽和駆動電流 / 低リーク MOSFET にも適用される(詳細は本文参照)。

[10] 基礎的なデバイス移動度 / 相互コンダクタンスの改善(ひずみ Si チャンネルが現在実行可能な選択肢)は、キャリア移動度の倍數化によって可能である。そのような改善は、必要とされる飽和電流駆動値を満足するために 2008 年に目標設定されている(注[9]参照)。2008 年以降の黄色は、ひずみ Si チャンネル・デバイスの適用への目標の困難さを反映している。2012 年以降の(LOP)と 2016 以降の(LSTP)の赤色は、この移動度増加係数を 2.0 とするような最適化が困難であることを反映している。進歩した極薄膜基板デバイスに対する移動度増加は困難である。

[11] サブスレッショルド傾き調整係数は、以下の影響を考慮しており、それは、進歩した単一ゲート電極薄膜基板完全空乏 SOI MOSFET、さらには高度に縮小されたトランジスタに対する短チャネル効果を制御することが必要な極薄膜基板多重ゲート MOSFET が適用されることである。特に、この値はサブスレッショルド傾きへの掛け算係数であり、 60 mV/decade という最小理論値へと減少する。係数 1.0 は古典的な平面バルク MOSFET に対応し、係数範囲 0.7 から 0.8 は単一ゲート極薄膜基板 MOSFET に対応し、係数範囲 0.6 から 0.5 は極薄膜基板多重ゲート MOSFET に対応する。これらの数値は、それらの進歩したデバイスの影響をおおまかに見積もったものである(極薄膜基板 MOSFET に対する議論は Non-Classical CMOS tables in Emerging Research Devices 章を参照)。黄色は 2010 年に単一ゲート極薄膜基板 MOSFET の導入目標を反映しており、赤色は 2013 年(LSTP)および 2016 年(LOP)に多重ゲート MOSFET の導入目標を反映している。

[12] この値はキャリア飽和速度に対する掛け算係数であり、高度に縮小された極薄膜基板 MOSFET、とりわけ多重ゲート MOSFET における準バリスティック輸送を反映している。2013 年以降の LOP および 2016 年以降の LSTP の赤色は、必要とされる飽和電流駆動値を満足するために飽和速度の増加の目標を反映している(注[9]参照)

24 プロセスインテグレーション、デバイス、および構造

[13] R_{sd} は、チャネル幅 $1\mu\text{m}$ 当たりの最大許容寄生直列ソースおよびドレイン抵抗である。これらの値は、必要とされる飽和電流駆動値(注[9]参照)を満足するように縮小される。黄色 / 赤色は、FET TWG の目標としたコンタクト抵抗、サリサイド・シート抵抗およびドレイン・エクステンションの縮小を反映している。

[14] $C_{g,ideal}$, チャネル幅 $1\mu\text{m}$ 当たりの理想的なゲート容量。 $C_{g,ideal} = [\epsilon_{ox} / (EOT_{inv})] \times L_g$, ここで ϵ_{ox} とは熱二酸化シリコンの誘電率, EOT_{inv} とは反転における電氣的酸化膜換算膜厚(注[4]参照), L_g とは物理的なゲート長(注[1]参照)。黄色 / 赤色は, EOT_{inv} にしたがう(注[4]参照)。

[15] チャネル幅 $1\mu\text{m}$ 当たりの寄生ゲート・オーバーラップ / フリンジ容量。 [$3 \times$ Miller 効果を含む片側オーバーラップ / フリンジ容量] これらの値は, バイアス条件に依存しないと仮定した。

[16] τ とは, 25 における NMOS デバイスの本質的なトランジスタ遅延。 $\tau = (C_{gate} \times V_{dd} / I_{d,sat})$, ここで C_{gate} とは, チャネル幅 $1\mu\text{m}$ 当たりの理想的なデバイス・ゲート容量(注[14]参照)とチャネル幅 $1\mu\text{m}$ 当たりの寄生ゲート・オーバーラップ / フリンジ容量(注[15]参照)との合計。 PMOSFET の τ も同様にスケールされると仮定した。ただし, PMOS $I_{d,sat} \sim (0.4 \sim 0.5) \times (\text{NMOS } I_{d,sat})$ (注[9]参照)。 τ はデバイスの本質的なスイッチング遅延時間に対する良い尺度であり, $1/\tau$ はデバイスの本質的なスイッチング速度に対する良い尺度である。赤色 / 黄色は, 飽和駆動電流(注[9]参照)および理想的なゲート容量(注[14]参照)の両方にしたがう。

[17] NMOS 性能の尺度 ($1/\tau$, NMOS の本質的なスイッチング速度--注[16]参照), 2003 年を基準とした。ソース / ドレイン間の低いサブスレッショルド・リーク電流(注[8]参照)である LOP と LSTP ロジックのスケール目標を達成している間は, 歴史的な年率約 17% のデバイス性能改善というスケール・トレンドが維持されている。赤色 / 黄色は, τ (注[16]参照) にしたがう。

[18] 典型的なロジック・ゲートを表現するために選択された 2 入力 3 出力 NAND ゲートにおける計算された遅延時間(計算の詳細はリンク・ファイルを参照)。赤色 / 黄色は, τ (注[16]参照) にしたがう。LOP と LSTP の拡張シートを参照。

[19] フルスイッチング周期における MOSFET のチャネル幅 $1\mu\text{m}$ 当たりのエネルギー消費, $C_{gate} \times V_{dd}^2$ で定義。ここで C_{gate} とは, チャネル幅 $1\mu\text{m}$ 当たりの理想的なデバイス・ゲート容量(注[14]参照)とチャネル幅 $1\mu\text{m}$ 当たりの寄生ゲート・オーバーラップ / フリンジ容量(注[15]参照)との合計。(τ (注[16]参照) の計算に用いられた C_{gate} とおなじ)。動的電力消費は, この電力 - 遅延積の直接的に関係する。赤色 / 黄色は, $C_{g,ideal}$ (注[14]参照) にしたがう。

[20] MOSFET のチャネル幅 $1\mu\text{m}$ 当たりの静的電力消費, $V_{dd} \times [\{I_{sd,leak}\} + \{\text{チャネル幅 } 1\mu\text{m} \text{ 当たりの最大ゲートリーク電流}(L_g \times \text{許容ゲートリーク電流密度で定義, 注[5]より})\}]$ (接合リーク電流は, ソース / ドレインのサブスレッショルド・リーク電流もしくはゲートリーク電流より十分に小さいものと仮定した。)黄色 / 赤色は, 許容ゲートリーク電流密度(注[5]) にしたがう。

ロジックに対する解決策候補

技術要求の表における色付けで示された課題と解決策候補とには強い相関関係がある。多くの場合, 技術要求表に示された赤色(量産における解決策はわかっていない)と黄色(量産における解決策は知られている)は, それらの色によって示された課題に対する解決策候補の導入する目標とする年に対応している。他の一般的重点として, 図に示された解決策候補は主たる重要な変化を含んでおり, それらの変化を成功裏に遂行するために, 新規で異なった信頼性, 歩留およびプロセス・インテグレーションの課題を理解することを含んでおり, 品質認定 / 前量産の期間を一年半と設定している。

第一の解決策候補である複数のしきい電圧を有し, 且つ, 複数の酸化膜換算膜厚を有する多様な型のトランジスタを集積することは, 現在, 高性能ロジックにおいて量産がなされている。ロジックに対する技術

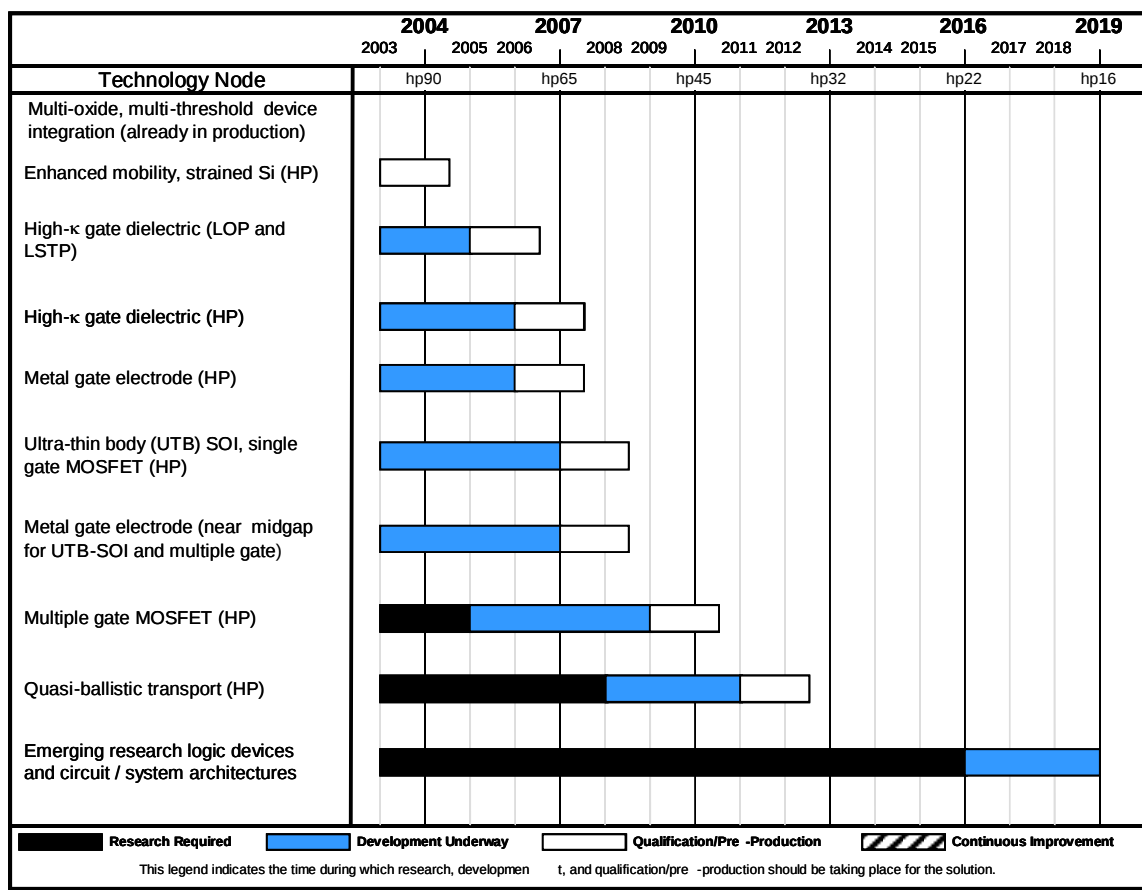
要求において議論したように、このことはチップの静的電力消費を制御することに対して重要であり、システム・オン・チップ(SoC)用途に対する適応性を改善することへの付加的な利点を有している。次の解決策候補であるひずみシリコン・チャンネルを利用した移動度の向上は、飽和電流駆動を向上されることに対して必要であり、高性能ロジックに対して 2004 年に実行することを目標としている。低電力ロジックへの適用にはかなり遅れておよそ 2008 年頃に実行する目標設定がなされており、その理由は高性能ロジックに比べてゆっくりしたスケーリングと低デバイス性能であるためである。

2004 年に基本的な MOSFET 構造を 90nm ノード以下にスケーリングする(物理的なゲート長を 37nm)のために、デバイスのゲート積層(ゲート絶縁膜とゲート電極の組み合わせ)を含んだ主な技術的議論が必要である。物理的なゲート長が継続して減少していることから、ドレイン起因の障壁低下によるオフ時のリーク電流およびサブスレッショルド傾きの劣化といった短チャンネル効果を制御するために、ゲート長の減少に対応したゲート絶縁膜の酸化膜換算膜厚(EOT)の減少が必要である。しかしながら、酸窒化膜を用いた伝統的なゲート絶縁膜の継続的な薄膜化は、直接トンネル電流の急激な増加によってゲートリーク電流が増加する結果をもたらす。加えて、電気的な酸化膜換算膜厚を増加するスケーリングされないゲート電極の空乏化と反転層効果によって、継続してきた EOT 減少の効果が限界となる。これらの点の詳細に関しては、表 47a, 47b, 48a から 48d および図 23-25 を含むロジックに対する技術要求の章を参照。LOP と LSTP ロジックに対して、高誘電率ゲート材料は 2006 年以降の大きなゲートリーク電流という課題を解決する一つの解決策候補である。LSTP ロジックにおいて EOT は比較的大きく、ゲートリークの限界は比較的小さい(2006 年では $EOT=1.9\text{nm}$, ゲートリーク電流密度限界 $=0.015\text{ A/cm}^2$)。高性能ロジックに対して、高誘電率ゲート絶縁膜は 2007 が目標であり、 $EOT=0.9\text{nm}$ の場合には酸窒化膜ではゲートリーク電流密度限界の 930 A/cm^2 を満たすことができない。ゲート電極の空乏化を効果的に制限するために金属ゲート電極は 2007 年に実行する目標設定がなされ、その結果、電気的な酸化膜換算膜厚のスケーリングが許容される。PMOSFET に対してシリコン価電子帯付近の仕事関数と NMOSFET に対してシリコン伝導帯付近の仕事関数が必要とされるために、ゲート電極は、PMOSFET と NMOSFET に対してそれぞれ異なった物質がおそらく必要である。代替として、ドーピングや他の方法によって PMOSFET と NMOSFET の両方に対して適切な仕事関数へ変化させる単一ゲート電極が研究開発されており、実現する可能性がある。EOT のスケーリングが高性能ロジックに比べて遅れていることから、LOP および LSTP ロジックへの金属ゲート電極の実用が遅れそうである。

2007 年以降に 65nm ノードよりスケーリングが進んだ場合、平面バルク CMOS デバイスの効果的なスケーリングは困難になると思われる。特に、短チャンネル効果を効果的に制御することは、そういった短チャンネル・デバイスに対してとりわけ不確かである。さらに、チャンネル・ドーピングは極めて高い値へ増加させることが必要となり、その結果、移動度の減少と接合リーク電流の増加をもたらす。最後に、そのように小さな MOSFET のチャンネルへの不純物の総数はかなり少なくなり、その結果、しきい値電圧の統計的なゆらぎが許容できないほど大きくなる。これらの困難さは、スケーリングが進むほど深刻になる。一つの解決策候補は、極薄膜完全空乏化 SOI 基板 MOSFET の適用である。平面バルク MOSFET がチャンネル不純物濃度でしきい値電圧を設定するが、これと異なり、チャンネル不純物が比較的少ないためにデバイスのしきい値電圧は、ゲート電極の仕事関数で調整される。バンド中心付近(NMOSFET にはシリコンのバンド中心よりわずかに高く、PMOSFET にはシリコンのバンド中心よりわずかに低い)に仕事関数を有する金属ゲート電極が用いられると思われる。この場合、異なった仕事関数であることから、平面バルク MOSFET の値とはお

そらく異なるであろう。低不純物で完全空乏チャネルにより、しきい電圧はゲート電極の仕事関数で制御される。極薄膜 SOI 基板 MOSFET は、かなりのスケールアップが可能であり、同等の平面バルク MOSFET よりも飽和駆動電流を増加させる。単一ゲート SOI MOSFET は、2008 年に高性能ロジックに対して実現することを目指す。多重ゲート極薄膜完全空乏化 MOSFET は、より複雑でスケールアップ可能であり、2010 年の実現を目指す。ゲート長が 20nm 以下に縮小された時、低不純物 MOSFET は準バリスティック・モードで動作すると考えられ、その結果、飽和速度が増加し、飽和電流駆動が増加する。

最後に、ロードマップの最後の年以降において、MOSFET のスケールアップは非効率、もしくは高コスト、高価になると考えられる。非 CMOS (emerging research) デバイスもしくは回路 / アーキテクチャが解決策候補である (これらの詳細な議論は Emerging Research Devices 章を参照)。そのような解決策は、今後更なる発展と集積化された高性能、低コスト、高密度な CMOS ロジックを利用した CMOS 基板技術と組み合わせられると思われる。



HP—high-performance

図 26 Logic Potential Solutions

メモリに対する技術要求と解決策候補

DRAM に対する技術要求と解決策候補

DRAM に対する技術要求は、スケーリングとともにますます厳しくなると予想されている。なかでも、2003 年に量産される予定の DRAM ハーフピッチ 100nm で使用される 193nm の波長対応のフォトレジストは対エッチング耐性及び選択性に大きな難しさがある。これらは、キャパシタ形成工程・高アスペクトコンタクト加工工程での長いエッチング時間に対しフォトレジストが十分な耐性を必要とされるため、トレンチやスタックキャパシタ構造におけるプロセス上の重大な問題を引き起こすと考えられる。2002 年および 2003 年始めのプロセス改善の努力によって、フォトレジストに関する技術レベルは向上し、その結果、100nm の初期量産を実現できるようになった。しかし、まだ不十分で、更なる改善が期待される。一方、周辺 CMOS 回路素子のスケーリングに従い、特に素子形成後のプロセスでは低温プロセス工程が必要とされる。これは CMOS 素子が形成された後での低温プロセスが必要なスタック DRAM セルでの大きな課題となる。更に、セルアレーの平面構造のアクセストランジスタは、データ保持特性を満足するために、低レベルのサブスレショルドリーク電流と低レベルの拡散層リーク電流が必要であるため、ますます設計が困難となってきた。他の DRAM に対するプロセス要求として、前工程プロセスでの素子分離技術、低抵抗のワード線やビット線の低抵抗材料、自己整合の高アスペクトの加工技術、そして平坦化技術等が将来の高密度 DRAM には必要である。

DRAM のセルキャパシタはスケーリングと共に微細化され、キャパシタ絶縁膜の実効酸化膜換算膜厚 (ETO) は、セルに必要な電荷量を維持するために急激にスケーリングされなければならない。表 49a 及び b 中に見積もられている様に EOT をスケーリングするには、高い比誘電率 (k) を持つ誘電体が必要となるであろう。DRAM メーカーの中には、90nm ノードまでの対応として Ta_2O_5 や Al_2O_3 ($k \sim 10-25$) を使った MIS (Metal Insulator Semiconductor) を追求しているところもある。2004 年の 90nm 以下のノードでは、MIM (Metal Insulator Metal) 構造及び Ta_2O_5 や Al_2O_3 より高い誘電率を持った誘電材料が要求されるであろう。結果として、2007 年の 65nm ノードでは、非常に高い例えば 100 を超える高い k 値を有する材料が要求されるだろう。結局、2006 年の 70nm ノードでは誘電率 k 値が 50 より大きな値が要求される。また、このような高い k 値を持った絶縁材料の物理膜厚はセル内の最小寸歩に合うように縮小される必要がある。要するに、十分なセル電荷量の確保を維持するには、DRAM の継続的なスケーリングのためにますます困難な要求を提起することになるであろう。

表 49a DRAM Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm) [1]	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
DRAM cell size (μm^2) [2]	0.082	0.065	0.048	0.036	0.028	0.019	0.015
DRAM storage cell dielectric: equivalent physical oxide thickness, EOT (nm) [3]	3.5	2.3	1.8	1.3	0.8	0.8	0.8
Minimum DRAM retention time (ms) [4]	64	64	64	64	64	64	64
DRAM soft error rate (FITs) [5]	1000	1000	1000	1000	1000	1000	1000

表 49b DRAM Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm) [1]	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	54	42	38	30	27	21
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
DRAM cell size (μm^2) [2]	0.0122	0.0077	0.0061	0.0038	0.0025	0.0016
DRAM storage cell dielectric: equivalent physical oxide thickness, EOT (nm) [3]	0.70	0.58	0.53	0.42	0.37	0.25
Minimum DRAM retention time (ms) [4]	64	64	64	64	64	64
DRAM soft error rate (FITs) [5]	1000	1000	1000	1000	1000	1000

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

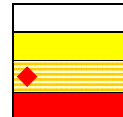


表 49aと49bに対する注

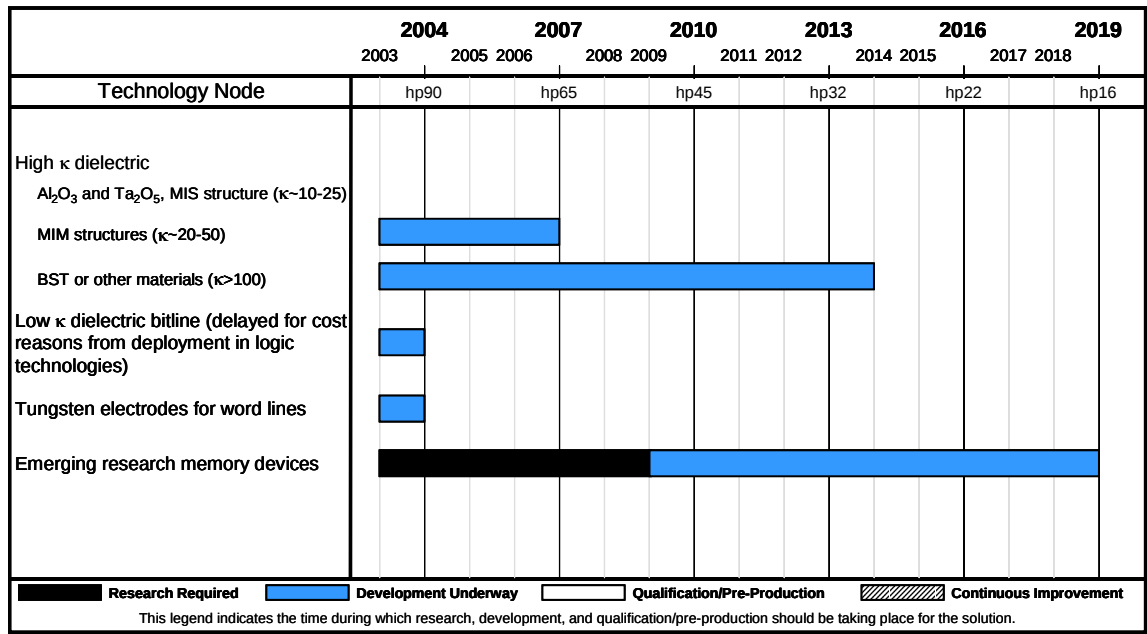
[1] ORTC (Overall Roadmap Technology Characteristics) 表 1a および 1b に基づく。DRAM のハーフピッチは、2002 年と 2003 年初めにおける DRAM ハーフピッチスケールアップの加速がなかったために、2002 年版と同じである。

[2] DRAM のセル・サイズは前工程 (FEP) の章で詳細に議論されているように DRAM のビット容量とチップサイズから決定されている。前工程 (FEP) の章で使われているビット容量は ORTC 表 1a 及び 1b に基づいている。前工程 (FEP) の章の DRAM のビット容量とチップサイズは大変積極的であるので、セル・サイズも積極的にスケールアップされるとしている。困難な点は、セルサイズファクター “a” (=セル・サイズ / F^2) (F は DRAM のハーフピッチ) の縮小にあるだろう。“a” の値として 90nm ノードでは “8” が、55nm ノードでは 2008 年に “6” が 32nm ノードでは “5” ($4F^2$ のレイアウトが必要) が必要となる。“6” の数値の導入の遅れは、黄色で示されているように、解がはっきりとはしていないためである。“5” については 32nm ノード以降の対応として必要であるが赤の領域で示されている様に解は知られていない。

[3] キャパシタ実効酸化膜換算膜厚(ETO)は、前工程(FEP)の章で詳細に議論されているように、DRAM のビット容量とチップサイズに対応する値によって決定される。前工程の章で使用されているビット容量とチップサイズは ORTC 表 1a および 1b から引用している。前工程の DRAM のビット容量およびチップサイズの値が非常に積極的であるため、EOT も積極的にスケールされるにちがいない。90 nm ノードまではキャパシタの絶縁材料は、MIS 構造の Al_2O_3 あるいは Ta_2O_5 が基本となる。そのため、色は白となっている。90 nm 以下のノードに対しては、MIM 構造やより高い比誘電率材料が必要なため色は黄色である。65 nm およびそれ以下ノードのために実証された確かな既知の解決策はない。従って、色は赤としている。それぞれの世代に対して実際の EOT は、さらにセル高さ、3D 構造、膜中漏れ電流、コンタクト構造のような他の要因に依存する。一方、トレンキャパシタについては、セル誘電体にたいしては異なる条件が必要となる。

[4] データ保持時間は85 で定義され、メモリのデータを列アドレスによるリフレッシュをせずに正確に読み取ることができる最小の時間である。ここに指定された64msはPC適用のために必要とされる値である。データ保持時間は、素子のリーク電流、信号強度、センス回路の感度の相互作用に依存し、さらにオペレーション周波数および温度に依存する。

[5] これは典型的なFIT割合で、サイクル期間、およびセル・コンデンサ及びセンス回路の性能に依存する。



DRAM に対する解決策候補

図 27 DRAM Potential Solutions

不揮発性メモリに対する技術要求

不揮発性メモリ(NVM)技術は、一般に CMOS 構造とメモリ構造とが一体化されたものである。継続するノードを通してのメモリの発展は、メモリの要素部品に対し CMOS のスケールリング以上にプロセス集積化や構造設計に関し付加的な制限が必要とされるため、より複雑となっている。フラッシュ(NOR と NAND)、FeRAM、SONOS、そして MRAM の技術に対する要求項目が表 50a と b に示されている。

歴史的に、過去のある時期の不揮発性メモリ(NVM)は、その当時の CMOS のノードは使われてはおらず、1~2 年遅れていた。表 50a と表 50b には、現在の CMOS の feature size と不揮発性のセルを構成するための feature size(NVM の feature size の“F”値)が示されている。独特な不揮発性メモリ技術により、CMOS ノードから不揮発性メモリの時間遅れは減少し、そして結果的にゼロとなることが期待される。

それぞれの技術に関する情報は 3 つに分けられる。第一は、メモリの密度である。不揮発性メモリの“F”値が特定され、セルエリアファクタ a (セル・サイズが F^2 の何倍かを示す数値)が決まる。セル面積は、 $a \cdot F^2$ で計算される。第二は、それぞれの特別な技術に対し重要なゲート長、書き込み消去電圧、重要な材料パラメータなどの多くの技術数値である。これらの数値は、スケーリングのモデルや重要な課題領域を見極めるのに重要である。第三は、耐久特性(消去-書き込みサイクル、または、読み-書きサイクル)、データ保持特性である。耐久性(エンデュアランス)やデータ保持特性(リテンション)は、不揮発性メモリ技術に関する特殊な要求項目であり、この特性でもって、不揮発性メモリが最終ユーザーからみて魅力のある製品かどうか決定される。

それぞれの技術に対する課題はメモリの要素の特徴や、製品の中に使われている CMOS との相性の程度によって異なる。フラッシュメモリは、電荷を絶縁物質により分離されている浮遊ゲートから(あるいは浮遊ゲートへ)転送することによりメモリ動作をする。強誘電メモリ(FerRAM)は、強誘電キャパシタの分極状態を切り替え読み取ることによって、Silicon-oxide-nitride-oxide-silicon(SONOS)メモリは、電荷を窒化膜中のトラップへ(から)転送することにより、MRAM は、磁性トンネル接合(MTJ)を形成している積層化された磁性材料の一層の磁気スピンの方向を切り替え MJT の抵抗差を認識することによりメモリ動作を行う。

表50a Non-Volatile Memory Technology Requirements—Near-term

(訳者註：FeRAM の技術要求値については 2003 年版の英語版では FEP の表と不一致があったため、日本語訳の際に FEP の数値にあわせ修正を行った。)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Flash technology node – F (nm) [1]	107	90	80	70	65	55	50
Flash NOR cell size – area factor a in multiples of F^2 [2]	10–12	11–14	11–14	11–14	11–14	12–14	12–15
Flash NAND cell size – area factor a in multiples of F^2 SLC/MLC [3]	5.5	5.5	5.5	5.5	4.5	4.5	4.5
Flash NOR typical cell size (μm^2) [4]	0.135	0.101	0.08	0.061	0.053	0.039	0.034
Flash NOR L_g -stack (physical – μm) [5]	0.22–0.24	0.2–0.22	0.2–0.22	0.19–0.21	0.19–0.21	0.18–0.20	0.18–0.20
Flash NOR highest W/E voltage (V) [6]	8–10	7–9	7–9	7–9	7–9	7–9	7–9
Flash NAND highest W/E voltage (V) [7]	18–20	17–19	17–19	17–19	15–17	15–17	15–17
Flash NOR I_{read} (μA) [8]	34–42	31–39	29–37	28–36	27–35	26–34	25–33
Flash coupling ratio [9]	0.65–0.75	0.65–0.75	0.65–0.75	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Flash NOR tunnel oxide thickness (nm) [10]	9–10	8.5–9.5	8.5–9.5	8.5–9.5	8–9	8–9	8–9
Flash NAND tunnel oxide thickness (nm) [11]	7–8	7–8	7–8	7–8	6–7	6–7	6–7
Flash NOR interpoly dielectric thickness (nm) [12]	11–13	10–12	9–11	9–11	8.5–10.5	8.5–10.5	8.5–10.5
Flash NAND interpoly dielectric thickness (nm) [13]	13–15	13–15	13–15	13–15	10–13	10–13	10–13
Flash endurance (erase/write cycles) [14]	1.00E+05	1.00E+05	1.00E+05	1.00E+05	1.00E+05	1.00E+05	1.00E+05
Flash nonvolatile data retention (years) [15]	10–20	10–20	10–20	10–20	10–20	10–20	10–20
Flash maximum number of bits per cell (MLC) [16]	2	2	4	4	4	4	4
FeRAM technology node – F (nm) [17]	250	180	150	130	120	110	100
FeRAM cell size – area factor a in multiples of F^2 [18]	15	15	12	12	12	10	10
FeRAM cell size (μm^2) [19]	0.938	0.486	0.270	0.203	0.173	0.121	0.100
FeRAM cell structure [20]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [21]	stack	stack	stack	stack	3D	3D	3D
FeRAM capacitor footprint (μm^2) [22]	0.44	0.23	0.16	0.12	0.058	0.048	0.040
FeRAM capacitor active area (μm^2) [23]	0.44	0.23	0.16	0.12	0.086	0.081	0.076
FeRAM cap active area/footprint ratio [24]	1.00	1.00	1.00	1.00	1.48	1.67	1.89
Ferro capacitor voltage (V) [25]	2.5–3	1.8	1.5	1.5	1.2	1.2	1.2
FeRAM minimum switching charge density ($\mu C/cm^2$) [26]	12.8	19.8	22.9	30.5	40	40	40
FeRAM endurance (read/write cycles) [27]	1.00E+13	1.00E+14	1.00E+15	>1E16	>1E16	>1E16	>1E16
FeRAM nonvolatile data retention (years) [28]	10	10	10	10	10	10	10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

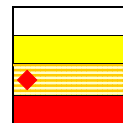


表 50a Non-Volatile Memory Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
SONOS/NROM technology node – F (nm) [29]	130	115	100	90	70	65	55
SONOS/NROM cell size – area factor a in multiples of F ² [30]	5	5	5.5	5.5	6	6	6
SONOS/NROM typical cell size (nm ²) [31]	0.085	0.066	0.055	0.045	0.029	0.025	0.018
SONOS/NROM maximum number of bits per cell (MLC) [32]	2	2	2	2	2	2	2
SONOS/NROM area per bit (nm ²) [33]	0.042	0.033	0.028	0.022	0.015	0.013	0.009
SONOS L _g -stack (physical – μm) [34]	0.18	0.18	0.17	0.17	0.16	0.16	0.16
SONOS highest W/E voltage (V) [35]	6.0–7.0	6.0–7.0	5.0–6.0	5.0–6.0	5.0–5.5	5.0–5.5	5.0–5.5
SONOS/NROM I _{read} (μA) [36]	35–45	33–43	31–41	29–39	27–37	25–35	25–35
SONOS/NROM tunnel oxide thickness (nm) [37]	5	5	4.5	4	3.5	3.5	3.5
SONOS/NROM nitride dielectric thickness (nm) [38]	6	5	5	4.5	4	4	4
SONOS/NROM blocking (top) oxide thickness (nm) [39]	5	5	4.5	4.5	4	4	4
SONOS/NROM endurance (erase/write cycles) [40]	1.00E+06	1.00E+06	1.00E+07	1.00E+07	1.00E+07	1.00E+07	1.00E+07
SONOS/NROM nonvolatile data retention (years) [41]	10–20	10–20	10–20	10–20	10–20	10–20	10–20
MRAM technology node F (nm) [42]	180	130	90	90	65	55	50
MRAM cell size area factor a in multiples of F ² [43]	24.7	23.7	24.7	22.2	22.2	22.2	22.2
MRAM typical cell size (μm ²) [44]	0.80	0.40	0.20	0.18	0.09	0.07	0.06
MRAM switching field (Oe) [45]	50	60	80	70	90	100	110
MRAM write energy (pJ) [46]	150	100	70	70	50	45	40
MRAM active area per cell (μm ²) [47]	0.28	0.20	0.11	0.10	0.05	0.04	0.03
MRAM resistance-area product (Kohm-μm ²) [48]	3.0	2.5	2.0	1.7	1.5	1.3	1.2
MRAM magnetoresistance ratio(%) [49]	45	45	50	50	60	60	60
MRAM nonvolatile data retention (years) [50]	>10	>10	>10	>10	>10	>10	>10
MRAM write endurance (read/write cycles) [51]	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15
MRAM endurance – tunnel junction reliability (years at bias) [52]	>10	>10	>10	>10	>10	>10	>10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

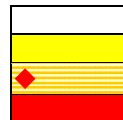


表 50b Non-Volatile Memory Technology Requirements—Long-term

(訳者註：FeRAM の技術要求値については 2003 年版の英語版では FEP の表と不一致があったため、日本語訳の際に FEP の数値にあわせ修正を行った。)

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	54	42	38	30	27	21
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Flash technology node – F (nm) [1]	50	39	35	28	25	20
Flash NOR cell size – area factor a in multiples of F ² [2]	12–15	12–15	13–16	14–17	14–17	15–18
Flash NAND cell size – area factor a in multiples of F ² SLC/MLC [3]	4.5/2.3	4.5/2.3	4.5/2.3	4.5/2.3	4.5/2.3	4.5/2.3
Flash NOR typical cell size (μm ²) [4]	0.034	0.021	0.018	0.012	0.010	0.007
Flash NOR L _g -stack (physical – μm) [5]	0.17–0.19	0.15–0.17	0.14–0.16	0.13–0.15	0.12–0.14	0.11–0.13
Flash NOR highest W/E voltage (V) [6]	7–9	7–9	7–9	7–9	7–9	7–9
Flash NAND highest W/E voltage (V) [7]	15–17	15–17	15–17	15–17	15–17	15–17
Flash NOR I _{read} (μA) [8]	27–33	26–32	25–31	23–29	22–28	20–26
Flash Coupling Ratio [9]	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Flash NOR tunnel oxide thickness (nm) [10]	8–9	8–9	8	8	8	8
Flash NAND tunnel oxide thickness (nm) [11]	6–7	6–7	6–7	6–7	6–7	6–7
Flash NOR interpoly dielectric thickness (nm) [12]	8–10	7–9	6–8	5–7	4–6	3–5
Flash NAND interpoly dielectric thickness (nm) [13]	10–13	10–13	9–10	9–10	9–10	9–10
Flash endurance (erase/write cycles) [14]	1.00E+06	1.00E+06	1.00E+06	1.00E+06	1.00E+07	1.00E+07
Flash nonvolatile data retention (years) [15]	10–20	10–20	20	20	20	20
Flash maximum number of bits per cell (MLC) [16]	8	8	8	8	8	8
FeRAM technology node – F (nm) [17]	90	70	65	50	45	35
FeRAM cell size – area factor a in multiples of F ² [18]	8	8	8	8	8	8
FeRAM cell size (μm ²) [19]	0.065	0.039	0.034	0.020	0.016	0.010
FeRAM cell structure [20]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [21]	3D	3D	3D	3D	3D	3D
FeRAM capacitor footprint (μm ²) [22]	0.024	0.015	0.013	0.008	0.0061	0.0037
FeRAM capacitor active area (μm ²) [23]	0.071	0.060	0.057	0.048	0.045	0.038
FeRAM cap active area/footprint ratio [24]	2.90	4.06	4.48	6.37	7.33	10.20
Ferro capacitor voltage (V) [25]	1	1	0.7	0.7	0.7	0.7
FeRAM minimum switching charge density (μC/cm ²) [26]	40	40	40	40	40	40
FeRAM endurance (read/write cycles) [27]	>1E16	>1E16	>1E16	>1E16	>1E16	>1E16
FeRAM nonvolatile data retention (years) [28]	10	10	10	10	10	10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

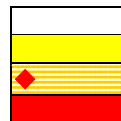


表 50b Non-Volatile Memory Technology Requirements—Long-term (continued)

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	54	42	38	30	27	21
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
SONOS/NROM technology node – F (nm) [29]	50	40	35	28	25	20
SONOS/NROM cell size – area factor a in multiples of F ² [30]	6	6	6.5	6.5	7	7
SONOS/NROM typical cell size (mm ²) [31]	0.015	0.010	0.008	0.005	0.004	0.003
SONOS/NROM maximum number of bits per cell (MLC) [32]	4	4	4	4	4	4
SONOS/NROM area per bit (mm ²) [33]	0.0038	0.0024	0.0020	0.0013	0.0011	0.0007
SONOS L _g -stack (physical – μm) [34]	0.16	0.16	0.15	0.15	0.14	0.14
SONOS highest W/E voltage (V) [35]	5.0–5.5	5.0–5.5	5.0–5.5	5.0–5.5	4.5–5.0	4.0–4.5
SONOS/NROM I _{read} (μA) [36]	25–35	24–34	23–33	22–32	21–31	20–30
SONOS/NROM tunnel oxide thickness (nm) [37]	3	3	2.5	2.5	2	2
SONOS/NROM nitride dielectric thickness (nm) [38]	4	4	4	4	3.5	3.5
SONOS/NROM blocking (top) oxide thickness (nm) [39]	4	4	4	4	4	4
SONOS/NROM endurance (erase/write cycles) [40]	1.00E+08	1.00E+08	1.00E+08	1.00E+08	1.00E+09	1.00E+09
SONOS/NROM nonvolatile data retention (years) [41]	10–20	10–20	10–20	10–20	10–20	10–20
MRAM technology node – F (nm) [42]	45	35	32	25	22	18
MRAM cell size – area factor a in multiples of F ² [43]	22.2	22.2	22.2	22.2	22.2	22.2
MRAM typical cell size (μm ²) [44]	0.04	0.03	0.02	0.01	0.01	0.01
MRAM switching field (Oe) [45]	120	120	120	120	120	120
MRAM write energy (pJ) [46]	35	30	25	23	20	18
MRAM active area per cell (μm ²) [47]	0.03	0.02	0.01	0.01	0.01	0.01
MRAM resistance-area product (Kohm-μm ²) [48]	1.1	0.95	0.8	0.7	0.6	0.55
MRAM magnetoresistance ratio(%) [49]	60	65	70	70	70	70
MRAM nonvolatile data retention (years) [50]	>10	>10	>10	>10	>10	>10
MRAM write endurance (read/write cycles) [51]	>1e15	>1e15	>1e15	>1e15	>1e15	>1e15
MRAM endurance – tunnel junction reliability (years at bias) [52]	>10	>10	>10	>10	>10	>10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

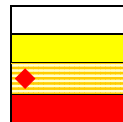


表 50aと50bに対する注

[1] 過去フラッシュメモリは、CMOSの技術ノードに対し遅れる傾向があったが、もはやその遅れはない。示されている時間で設計に対しF値が示されている。

[2] フラッシュNORセル・サイズは、技術ノードのF²を用いて、a=セル・エリア/F²で示されている。ロングタームではスケールリングが不十分であることを注意。

[3] セルエリアファクタ”a”=セル・エリア/F²。この数字は、セル・エリアがF²の何倍となっているかをNANDセルの実際

の数値で示している。フラッシュNANDは、セル構造の多くの部分が1つのセルグループで共有されているので、より小さなセル・サイズとなっている。(SLC: 単レベルのセル、MLC: 多レベルのセル)

[4] 代表的なフラッシュNORのセル・サイズが μm^2 で示されている。セル・サイズは、中くらいの“a”の値となっている。

[5] フラッシュNORのコントロールゲートの物理的な長さである。

[6, 7] セル配列の中で使われる最高電圧である。通常外部供給電源とは異なる。

[8] 電流はオーバードライブ電圧を低減するため $W/(L \cdot C_{ox})$ より高い割合でスケールアップと共に減少する。

[9] カップリング比率: (フローティング・ゲート容量に対するコントロールゲート容量)/(ソース、ドレイン、基板容量に対する総フローティング容量)

[10, 11] トンネル酸化膜はデータ保持を保証できるように十分に厚くしなければならないが、読み書きを容易にするために十分薄くしなければならない。この難問はスケールアップを妨げることになる。

[12, 13] インターポリ絶縁膜はデータ保持を保証するために十分に厚くしなければならないが、一定のカップリング比率を保証するために十分薄い必要がある。絶縁膜のスケールアップの際のデータ保持特性は重大な問題となる。

[14] E/W耐久性の必要条件は、応用の仕様に依って変わる。しかし、1E5サイクルは、これまでの経緯から製品のために可能な最小の許容レベルとして受け入れられている。今後の革新的な技術は、製品設計要求オプションとして規定された耐久性能の向上とデータ保持特性のトレードオフにたいし余裕を持たせると期待される。

[15] データ保持特性はデバイス固有の特性ではなく欠陥に関連するパラメータである。デバイスの発展及び欠陥コントロールの改良により20年のデータ保持仕様が実現されると期待される。さらに、E/W耐久性を向上させるためのトレードオフとして、データ保持特性を低減することも受け入れられるかもしれない。

[16] セルの読み取りでは、2ビットを提供するために、4レベルの電荷の蓄積状態を識別している。16および256レベルまで改善しうることが予想される。(MLCの多レベルのセル)

[17] 混載メモリではない汎用メモリとしてのFeRAMセル中の限界寸法である“F”値を示している。

[18] セルエリアファクタ“a”=セル・エリア/ F^2 。FeRAMセル・サイズは、FeRAMに適用される技術ノードの F^2 を用いて、 $a = \text{セル・エリア}/F^2$ で示されている。

[19] FeRAMセル・サイズは μm^2 で示されている。セルサイズは $a \cdot F^2$ 。

[20] FeRAMのセル構造は、1T / 1C型に移っている。チェーンFeRAMのような他の構成のセルは開発中である。

[21] キャパシタの構成は、セル寸法を決定する重要な要因である。積層化された平面膜は、効率の良い三次元構造に置き換えられていくと思われる。

[22] キャパシタの平面積は μm^2 でしめされている。2003年-2004年に $8F^2$ が、2005年-2006年に $4F^2$ が、そして、2010年-2018年には F^2 が仮定されている。

[23] キャパシタの実効面積である。3次元で面積を使用しているために、セルの平面積よりも大きくなっている。

[24] 平面積に対する実効面積の割合は、三次元での効率を示す数字である。

[25] キャパシタに印加される動作電圧である。低電圧動作が設計の難しい課題である。

[26] 最小のスウィッチング電荷密度($\mu\text{C}/\text{cm}^2$)は有用な設計パラメータである。それは、実際の有効キャパシタ面積によ

り割られた最小のセルのスイッチング電荷に等しい。キャパシタ電圧は V_{op} としている。

[27] FeRAMは破壊読み出し技術となっているため、どの読み出しサイクルにおいてもデータの再保存のためにライトと一緒にになっている。耐久性を示すサイクルは、読み書きの全サイクルを足したものである。DRAMやSRAMと競合するためにFeRAMでは耐久サイクル数は、 $1E15$ となるべきである。 $1E15$ サイクルの信頼性を保証するテスト時間は重大な課題である。 100MHz で10年は、 $1E16$ サイクルに対応する。

[28] デバイスが電源から切り離されている時に要求されるデータ保持特性である。通常 85°C で評価される。

[29] SONOS/NROMの素子は最近市場に導入され、現在のCMOSの技術ノードに対し約1年遅れとなっている。しかしながら、フラッシュのフローティングゲート技術と同様に、この遅れはCMOS技術と適合する(すなわち単一層ポリシリコン技術を使った)プログラミングの低電圧要請の点から急速に狭まっている。

[30] セルエリアファクター $a^2 = \text{cell area} / F^2$ 。この表には、期待されているSONOS/NROM NORセルのセル面積に対し、実際に使われる技術ノード F^2 面の何倍もの面積が示されている。薄膜化されたONOのゲートのスタック高さや低プログラミング電圧は、長期に渡るスケールリングを可能にするであろう。

[31] 期待される代表的な“SONOS/NROM NORセル面積は μm^2 の単位で表されている。

[32] MBCは多ビット保存、MLCは複数レベルの保存を示す。SONOS/NROMセルはソース・ドレイン拡散層上の窒化膜中の別々の2ヶ所に電荷を蓄える。これにより、一つのセルに2つの別々のビットが存在する。しかし、それぞれの電荷の場所は、複数のレベルに分けて蓄えられることもありえる。その結果、1個のセルに蓄えられるビットを増やしている。

[33] 期待される代表的な“SONOS/NROM NORのビット当たりのセル面積は μm^2 の単位で表されている

[34] SONOS/NROMのデバイスの物理長を μm で示している。MOSFETと同様に一個のゲートだけで構成されている。

[35] セル中での0Vに対しての最大電圧である。それは普通外部電圧とは異なる。

[36] 減少率は、電圧のオーバードライブ電圧を低減するために、 $W/L \cdot C_{ox}$ より高い。

[37] トンネル酸化膜は、データ保持特性を保証するのに十分厚くならなければならない。しかし、読み書きを簡単に出来る様に十分薄い必要がある。このことは、スケールリングに対する課題を与える。

[38] 窒化膜は電荷蓄積ができる。その膜厚はプログラム/消去電圧、消去/書き込みの窓、データ保持、プロセス制御、そして耐久性の間で最適化される。

[39] 上層のブロッキングの酸化膜厚はゲート電極から、電荷の保存領域(窒化膜)を分離する。その膜厚は、プログラミング/消去電圧とデータの保持特性との間で最適化されたものである。

[40] 消去書き込み耐久性(消去書き込みサイクル)の要求は応用分野に対する仕様で変わる。しかし $1E5$ サイクルは歴史的に実製品に対しての最小サイクル数受容レベルとして受け入れられてきている。新規技術は、設計オプションとして特定される最小の耐性の増加のみならず、リテンションと耐性とのトレードに対して余裕をもたせるようにするだろう。

[41] データ保持特性は、真性のデバイス特性よりもむしろ欠陥に関係したパラメータである。欠陥の制御とデバイス知識の蓄積の改善で、20年のデータ保持特性が期待される。また、耐性の改善に対するトレードオフとしての後退したデータ保持特性が受け入れられるようになるようになるかもしれない。

[42] MRAM素子は、2007年の65nmまでは現在のCMOS技術ノードに対し立ち遅れると思われる。この製品のロード

マップでは設計に対し使われるF値が示されている。

[43] セルエリアファクター“a” = cell area/ F^2 。この数値は、実際に使われる技術ノードの数値 F^2 の何倍かのセル面積になっている。

[44] 代表的なMRAMのセル面積は μm^2 の単位で表されている。

[45] MRAMのデータを書き換えるのは、セルの磁化の方向を変化させるのに必要な磁力“H”である。

[46] MRAMのデータを書き換えるのに必要なビット当たりのスイッチングエネルギーは、書き込み電流と電源電圧と書き込み時間の積として計算される。メガビットのメモリアレーで測定結果されたスイッチングエネルギーの中央値が使われることが望ましい。パワーの良い見積もり値は、スイッチングエネルギーと一秒あたりの書き込み数の積である。

[47] MRAMのアクティブなビット面積は、セルの中で磁性材料が積層されている面積である。それは、 $R \cdot A$ の中のAとなっている。

[48] MRAMの抵抗と面積の積(すなわち $R \cdot A$ の積)は、異なる面積を有するセルとを比較する時の便利な基本となる磁性材料の積層特性を与える真性特性である。 $R \cdot A$ 積は実効的な低抵抗状態の磁性トンネル接合抵抗(R_{low})を測定し、実際のセルの磁性積層面積を掛け合わせるにより、計算できる。

[49] MRAMの磁性抵抗率は、 $100 \cdot (R_{\text{high}} - R_{\text{low}}) / R_{\text{low}}$ として計算される。この比率は、“1”と“0”のロジックレベルの間の違いをまとめている。また、それは、磁性積層構造の真性な能力を示す。磁性トンネル接合の抵抗値は低電流で評価される。

[50] MRAMは電源が切れている状態で、データを保存している必要がある。時間としては年単位での要求となる。

[51] MRAMが、全動作仕様に対し影響を与えるような劣化は無い状態で、継続動作しなければならない要求される読み書きのサイクル数である。

[52] MRAMは、磁性材料の積層構造が継続的にある電圧下におかれている状態で、要求される最小の寿命を実現する必要がある。

不揮発性メモリの解決策候補

フラッシュメモリは、浮遊ゲートに電荷を蓄積しそれをセンスすることにより不揮発性を実現している。電荷の蓄積と引き抜きは、浮遊電極を覆っている絶縁膜を通しての電流が必要となる。これは、高い電界が発生する事を示す。従来のメモリセルのトランジスタの積層形状は、耐熱性サリサイドのコントロールゲート電極、ポリ電極間絶縁膜、ポリシリコン浮遊ゲート電極、トンネル絶縁膜そしてSi基板から形成されている。ポリ間絶縁膜の膜厚は、トンネル絶縁膜に印加される消去または書き込みパルスに対応した適切な容量結合率を保証するために、トンネル絶縁膜にあわせスケーリングする必要がある。トンネル絶縁膜は、リードサイクルまたはオフ状態での電荷の消失をなくしながら、適切な電圧条件での浮遊ゲートに電荷を注入するために十分薄くしなければならない。電流の注入方法、消去やプログラム時の電圧レベルや波形、絶縁材料そしてセルの構造の選択は、技術にたいするトレードオフを生ずる。スケーリングされた微細化CMOS技術との相性を維持しつつ小さなセル面積を実現し、これらの多くの問題を均衡させる複雑さは技術に対する最大の課題である。単純なセル寸法の調整は、さらに小さなセルを実現するためのふさわしい手法ではない。ありうる対応解としての数字は、可能なトレードオフを調査するプロセスが基礎研究を含ま

ない継続的な仕事であることを示している。また、示された時間軸は近い将来の可能性だけをあらわしている。この種の仕事進め方は、継続する技術ノードに対して繰り返される。

FeRAM は強誘電キャパシタの分極状態を切り替え、読み取ることによって不揮発性メモリを実現している。適切な分極の違いを与え、拡張された動作サイクルの下で必要な安定性を与える適切な強誘電材料を見つけることが、技術課題である。強誘電材料は、CMOS 形成するものすべてに対し異質であり、そして、従来の CMOS プロセス条件により劣化するのである。強誘電材料は、物理的にも化学的にも配置されている CMOS 素子から分離されていなければならない。強誘電材料、緩衝材料そしてプロセス条件は、改善され続けられていなければならない。さらに、高密度化の目標を達成するために、セルの配置は、要求される CMOS からの分離を維持しながら最適化される必要がある。対応策の中に示されている様に、もし 65nm のノードで必要であれば、それに対応する材料の選択及びその開発は速やかに進められなくてはならない。

SONOS/NROM は、不揮発性を実現するために電荷を窒化中のトラップへ(から)転送することによってデータの読み書きを行う。SONOS の文字が示す様に、メモリのトランジスタの断面(上平面)は、ポリシリコンゲートとブロッキング酸化膜、窒化膜、トンネル酸化膜、そして、Si基板表面のチャンネルから成り立っている。SONOS は電荷がソースとドレインの接合近傍の局在化され位置に蓄えられるという NROM の概念の出現で、新しい局面に入りつつある確立されている成熟技術である。二つの局在化された領域を持つということは、一つのトランジスタに 2 ビットの情報をもつメモリを提供するというを示す。このメモリがスケールリングされるにつれ、短期的な課題は各層の膜厚、トラップのエネルギー、そして空間分布などを含む ONO 積層構造の性能および制御し最適化することであろう。長期的な課題として、ゲート長のスケールリングが、局在化された電荷の蓄積された領域間の分離能力の減少、窒化膜中の電荷の広がり制御などの減少を引き起こすだろう。対応策の表中では、現在進行中の積層膜の改善が、90nm ノードの要求に合致するような成果が提供されなくてはならないということが示されている。

MRAM は、磁気トンネル接合(MTJ)をメモリの素子として使っている。磁気トンネル接合(MTJ)セルは薄い絶縁膜により分離された 2 つの強磁性材料により形成されている。片方の層の磁気モーメントが他の層のモーメントと一致する様に变化する時(あるいは他の層にの方向に対抗する時)、MTJ の実効抵抗が変わる。“1”または“0”が蓄えられているかを判断するためにトンネル電流の大きさを認識することができる。MTJ の寸法そしてプロセスを制御すること、そして開発することは大きな課題である。IC のプロセス温度や条件にたいし敏感な材料を管理することも課題である。長期的には、課題は、スケールリングされたセルでは、配線を流れるエレクトロマイグレーションが限界に近づいているのであるが、その電流と関連がある適切な磁気強度“H”をいかに実現するかであろう。対応策の表では、65nm ノードの量産時に向けて集中しなければならない現状の材料研究活動での一端が示されている。

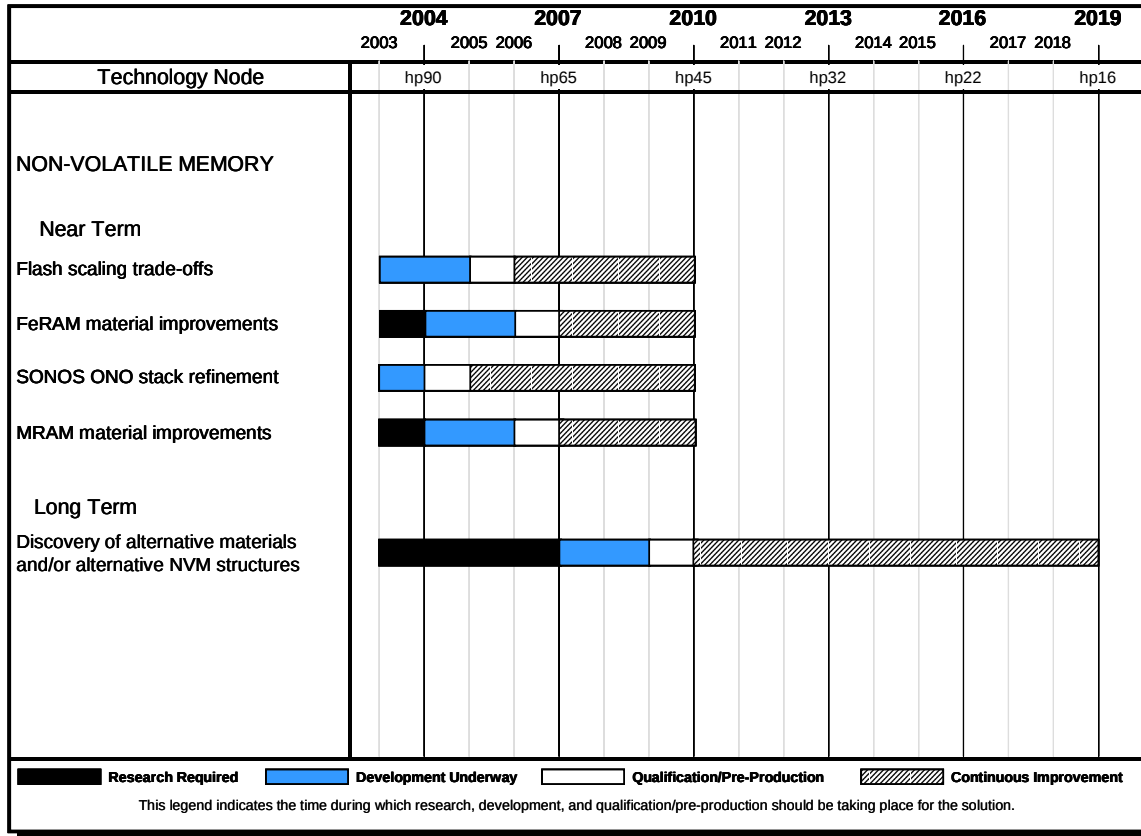


図 28 Non-volatile Memory Potential Solutions

信頼性

信頼性の困難な技術課題

現在の材料とデバイスがスケールングされ漸進的に変化していくと、広範囲な信頼性の技術課題が誘起される。さらに、新規材料と新規デバイスの導入されることによる革新的な変化により、より深刻な信頼性の技術課題が誘起される。銅配線と Low-k 中間絶縁膜の導入における半導体産業の経験は、技術変更で遭遇する重要な信頼性の技術課題の証左である。表 51 を参照。

信頼性の技術課題の広範囲にわたる項目の詳細は、International Sematech の Reliability Technical Advisory Board (RTAB)が発行した関連文書 “Critical Reliability Challenges for International Technology Roadmap for Semiconductors (ITRS)”にある。この報告書には、13 の領域における信頼性上の問題、研究の必要性を述べている。 High k, メタルゲート, Cu/low-k, SOI, 新規デバイス, マイクロシステム, フラッシュメモリ, ソフトエラー, ESD, ラッチアップ, パッケージ, design for reliability, defect screening である。

表 51 は、最も重大な 5 つの短期信頼性技術課題における RTAB の認識を示す。これは、この章の最初に記述された PIDS の全体の技術課題 “多くの材料、プロセス、構造の変化を比較的短期に製造する上での信頼性と作りこみの確保”の詳細に対応する。 High-k 絶縁膜によるシリコン酸化膜の置き換えは、絶縁膜の不良モード (絶縁破壊と安定性)、さらには、ホットキャリア効果や負バイアス温度不安定性

(NBTI)と言ったトランジスタの不良モードに大きく影響する。この変化を展望する場合、数十年の研究を経てもシリコン酸化膜の信頼性には、解決すべき問題が依然残されていることを認識しなければならない。メタルゲートによるポリシリコンの置き換えも絶縁膜の信頼性に重大な影響を与える。さらに、熱力学的な問題も誘起することになる。

上で述べたように、Cu/low- κ への移行は、エレクトロマイグレーション・ストレス誘起ボイド、弱い界面密着性、low- κ 絶縁膜の低い熱伝導性、さらには、吸湿性の問題を引き起こす。銅からアルミへの変更は、エレクトロマイグレーション(グレインバンダリから表面拡散へ)、ストレス誘起ボイド(狭い配線から広い配線を繋ぐピアへ)を変化させた。Cu/low- κ における信頼性は、界面の問題に非常に敏感である。

より高性能でより高いパワーを持つ集積回路向けの先進的なパッケージにも、信頼性の技術課題がある。技術開発と設計の期間に前もって信頼性を確認できるように Design for Reliability のツールが必要である。さらに、先進的で、高いパワーを出す世代では、信頼性のテストとスクリーニングが、より大きな技術課題となる。

多くの主要な技術的な変更の導入を短い期間に必要とされることで、これらの信頼性の技術課題は、さらに、状況が厳しくなる。複数の変更の相互作用で、不良モードの原因解明とその制御が、益々、難しくなる。さらに、数々の大きな問題を同時に扱わなければいけなく、これが信頼性を扱う限られたリソースへの重い負担となる。

表 51 Reliability Difficult Challenges

<i>Difficult Challenges ≥ 45 nm/ Through 2010</i>	<i>Summary of Issues</i>
High- κ Gate Dielectrics	Dielectric breakdown characteristics (hard and soft breakdown) Influence of charge trapping and NBTI on threshold voltage stability Stability and number of fixed charges
Metal Gate	Impact of metal-ion drift and/or diffusion on gate dielectric reliability Work function control and stability Metal susceptibility to oxidation Thermo-mechanical issues due to large thermal expansion mismatch Impact of implantation
Copper/Low- κ Interconnects	Stress migration of Cu vias and lines Cu via and line electromigration performance Thermal-mechanical stability of the interfaces between metals, barriers and interlevel dielectrics and resulting line-to-line leakage Time Dependent Dielectric Breakdown (TDDB) of the Cu/low- κ system Reliability impact of lower thermal conductivity of low- κ dielectric Reliability issues due to the porous nature of the low- κ dielectrics and moisture Reliability impact of the lower mechanical strength in the Cu/low- κ system, including the impact of packaging
Packaging	Ability of bumps to withstand thermal and mechanical stresses while providing sufficient current carrying capability Solder joints fracture at 1 st and 2 nd level interconnects Electromigration in package traces, vias and bumps Impact of increasing Coefficient of Thermal Expansion (CTE) mismatch between low- κ , silicon and organic packages

Design and Test for Reliability	Simulation tools for concurrent optimization of circuit performance and reliability Tools to simulate electromigration, thermal-mechanical stress and process induced charging Soft error detection and correction at chip and system level, including random logic faults Screens for resistive and capacitively coupled interconnect defects Alternative screens for decreasing burn-in effectiveness
---------------------------------	---

信頼性の技術要求

信頼性への要求は、アプリケーションに大きく依存する。多くの顧客に対しては、現在のチップレベルの全体的な信頼性（パッケージ・レベルの信頼性も含む）は、膨大な技術の変更により信頼性のリスクがあるにも関わらず、次の 15 年も維持される必要がある。信頼性のレベルを改善する要求を持つニッチマーケットもある。より高い信頼性のレベル、より劣悪な環境、また、より長い寿命を要求するアプリケーションでは、主流であるオフィスやモバイルのアプリケーションより困難さが増す。チップレベルの全体的な信頼性を同一に維持するだけでも、トランジスタあたりの信頼性、また、配線の単位長さあたりの信頼性は、スケーリングにより継続的な改善が不可欠であることに注意しなければならない。信頼性の要求仕様を満足することは、重要な顧客要求である。また、信頼性の要求に答えることに失敗すれば、大きな被害となり得る。

これらの顧客要求は、全ての関連する不良モードへの深い物理的な知識、さらに、Design for reliability とスクリーニングに対する強力なエンジニアリング能力を持つことを製造者に要求することになる。今日、これらの能力には、いくつかの大きなギャップがある。新材料と新デバイス構造の導入は、これらのギャップをさらに大きくする。不適切な信頼性のツールは、不必要な性能劣化と不必要なリスクを生む。結局、性能と信頼性のトレードオフは、さらに難しくなるが、過剰な信頼性のマージンは除く様にならなければならない。

信頼性試験は、常にある程度のリスクを含んでいる。実は信頼性の要求を満足しない技術の認定をしてしまうリスク、または、実は要求を満足する技術を却下するリスクがある。新規技術においては、あらゆる時点で評価と認定が行われる。しかながら、その評価と認定のリスクは、より大きくなり得る。そのリスクのレベルは、信頼性の物理と信頼性の工学的な知識と能力の質に直接的に関係している。

信頼性の技術要求におけるカラー表示は、新規材料とデバイスに対する不完全な知識とツールに起因する信頼性のリスクを表現している。黄色からストライプ、さらに赤と進むに従い、信頼性のリスクが増加することを示す。2004 年に初めて黄色（“製造上の解決策は知られている”を意味する）になるが、これは、歪シリコン基板の製造への導入は比較的小さいリスクであることを意味している。

2007 年に初めてストライプ（“暫定の解決策は知られている”を意味する）になる。これは、High-k ゲート絶縁膜の導入が信頼性のリスクを増加させるためである。信頼性に対する知識ベースとツールがシリコン酸化膜と同じ程度には発展していないと思われる。暫定的な解決策としては、現在、酸化膜の信頼性評価に使われている技術が High-k 絶縁膜にも使われるであろう。しかしながら、新しい不良モードに関連する現実的なリスクと High-k に移行することで知られている不良モードが変化してしまう現実的なリスクが存在する。これらの理由により、High-k 絶縁膜に、どのような要求（不良率、時間、動作温度）の信頼性試験をするべきかは、知られてはいない。しかし、この信頼性が重大な阻止要因（すなはち、赤 表示）と考えてはいいない。High-k の導入に続いて、他の変更（メタルゲート、完全空乏型 SOI など）が導入される。これらもストライプのカテゴリに入る。

42 プロセスインテグレーション、デバイス、および構造

信頼性の技術要求に対する赤表示は、ロードマップの終わり近くに置いてある。技術の選択枝がまだ特定されていない領域(例えば、ポスト銅配線に何が使われるか?)に、解決策が知られていない赤が使われている。これらの技術変更の詳細が特定された時、信頼性リスクのより進んだ言及が可能となろう。

表 52a Reliability Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
Early failures (ppm) (First 4000 operating hours)** [1]	50–2000	50–2000	50–2000	50–2000	◆50–2000	◆50–2000	◆50–2000	Customer needs; new materials (High κ in 2004)
Long term reliability (FITS = failures in 1E9 hours) [2]	10–100	10–100	10–100	10–100	◆10–100	◆10–100	◆10–100	Customer needs; new materials (High κ in 2004)
Soft error rate (FITS)	1000	1000	1000	1000	◆1000	◆1000	◆1000	Scaling
Relative failure rate per transistor (normalized to 130 nm) [3]	1	0.8	0.63	0.5	◆ 0.4	TBD	TBD	Number of transistors
Relative failure rate per m of interconnect (normalized to 130 nm node) [4]	1	0.84	0.64	0.58	◆ 0.52	◆ 0.41	◆ 0.37	Customer needs; J11 length of interconnect

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

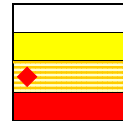


表 52b Reliability Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
Early failures (ppm) (First 4000 operating hours)**[1]	◆50–2000	50–2000	50–2000	50–2000	50–2000	50–2000
Long term reliability (FITS = failures in 1E9 hours) [2]	◆10–100	10–100	10–100	10–100	10–100	10–100
Soft error rate (FITS)	◆ 1000	1000	1000	1000	1000	1000
Relative failure rate per transistor (normalized to 130 nm) [3]	◆ 0.2		0.1		0.04	
Relative failure rate per m of interconnect (normalized to 130 nm) [4]	◆ 0.36	0.26	0.25	0.16	0.17	0.11

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

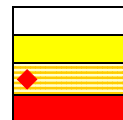


表 52a と 52b の注

信頼性の要求は、アプリケーションにより異なる。多くの主流の顧客に対しては、これからの急激な技術進化の期間においても、現状の信頼性のレベルを維持することが十分条件であろう。しかし、他の顧客は、信頼性のレベルをさらに改善することを望むであろう。現状の信頼性のレベルを悪くすることは受け入れられない。信頼性の要求は、パッケージされたデバイスに対してである。これは、チップとパッケージに関連した不良モードを含むことになる。

信頼性試験は、常に、既存の知識を元に行われる。知識レベルが上がれば信頼性でのリスクはそれだけ減る。逆は逆である。黄色の表示は、あるレベルのリスクがあることを示す。ストライプは、より大きなリスクを示す(解釈の変更が必要な不良モード、潜在的な新不良モードに対応する)。最後に、赤はまだ特定されていない解決策を示す。そこでは、解決策の詳細(例えば、ポスト銅配線に何が使われるか?)が決まっていないので、信頼性のリスクも言及できない。

- [1] 最初の 4000 時間動作での不良(50%のデューティサイクルで使って約 1 年)。初期不良は、欠陥に関連する。
- [2] 長期信頼性レートは、IC 固有のライフ・タイムとして使われる。
- [3] IC の不良率は、トランジスタの数が増加(ORTC より)しても変化しないので、トランジスタあたりの不良率は減少しなければいけない。
- [4] 配線の長さは増大(配線技術要求の表から)するので、配線の単位長さ(m)あたりの不良率は減少しなければいけない。信頼性にとってさらに重要なのは、ビアの数の増加である。

信頼性の解決策候補

信頼性の要求に答える最も効果的な方法は、それぞれの技術ノードの開発初期に完全なビルトイン信頼性と Design-for-reliability を得られる様にするることである。これは、信頼性と性能とパワーの最適な選択を可能にするであろうし、高い信頼性歩留を持つ製造プロセスの設計を可能にするであろう。残念ながら、今日、これらの能力には大きなギャップがある。将来、これらのギャップはさらに大きくなる。そのペナルティは、信頼性問題のリスク増大と性能、コスト、タイム・ツー・マーケットの向上への減速である。

信頼性の要求に答えるには、おのこの不良モードに対する深い物理的な理解と強力で実用的な信頼性解析ツールが必要である。歴史を振り返れば、これらの能力(研究開発により、不良モードを解析し、正しくて予測可能なモデルを導き、信頼性の作り込み設計法、信頼性 TCAD ツールの開発を行う)を開発するには、新規技術ノードの製造開始の前に多くの年月(通常、十年)が必要である。技術の評価能力は向上してきた。しかし、まだ、大きなギャップがある。さらに、特に、代替となるゲート絶縁膜やこれまで使っていないデバイスなど主要な技術に不連続があり、信頼性の能力を如何に早く向上させるかについても限界がある。主要な技術シフトを評価する“短距離競争”は、正しい信頼性の知識ベースが無くては非常に問題が多い。

図 29 に示される信頼性の解決策候補は、ロードマップの全工程における主要な技術変更を含む(図には挙げていないが信頼性に影響する変更が他にも多くある)。これらの信頼性上の重大な技術変更があるので、研究開発により、不良モードを特定しモデル化し(黒 表示)、それらを実用的な信頼性工学のレベルにし(青 表示)、最後には、新規技術ノードの信頼性手法を確立する(白 表示)には 5 - 6 年が必要である。さらには、新規材料やデバイスが製造に入る時まで、信頼性モデルと信頼性の工学的手法の継続的な改良が必要である。もちろん、深刻でない変更はより短い時間で解析されるだろう。現状において、図 29 に示される必要なマイルストーンの時期に対して、これらの解決策候補が実際に開発されるまでには時間的な遅れが存在する。

信頼性の能力をキャッチアップさせるには、信頼性の研究開発の増強と歴史的なタイムスケールより圧倒的に短く必要な能力を得る器用さを根本的に増大させる必要がある。短時間で結果が出る解析技術、

おのおのの不良メカニズムの正確なモデルと設計ツールの開発を目指した研究が必要である。Cu, low-k, 代替のゲート絶縁膜の様な新規材料については、特別な注意が必要である。大規模な IC での忠実性の良いシミュレーションを妥当な時間でこなす Design for reliability ツールの開発などのブレークスルーが必要かもしれない。上で述べたように、短い期間に多くの重大な技術変更の導入を扱うには、より多くの信頼性に取り組むリソースもまた必要になる。

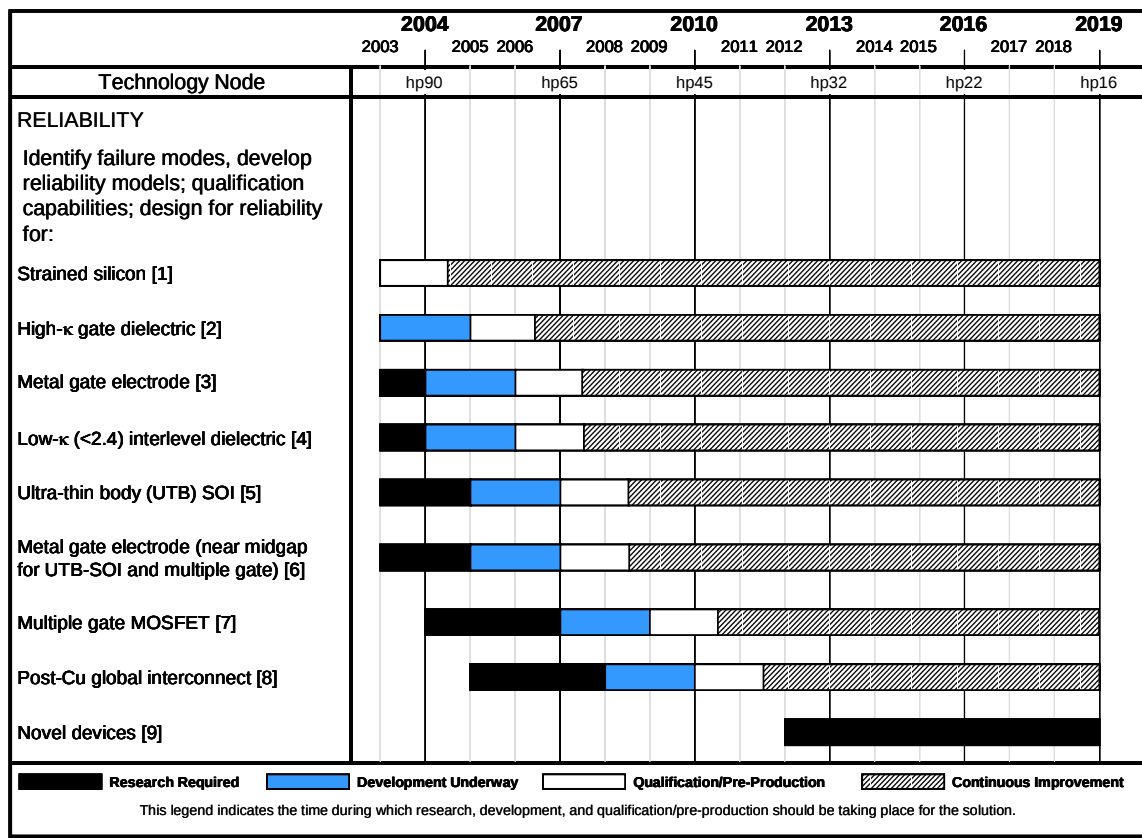


図 29 Reliability Potential Solutions

図 29 の注

- [1] HP ロジックにおける 2004 年の歪シリコンの要求による (PIDS ロジック解決策候補の図参照)
- [2] LOP と LSTP における 2006 年の High-k ゲート絶縁膜の要求による (PIDS ロジック解決策候補の図参照)
- [3] HP ロジックにおける 2007 年のメタルゲート電極の要求による (PIDS ロジック解決策候補の図参照)
- [4] 2007 年の層間絶縁膜の比誘電率 $k < 2.4$ の要求による (MPU 配線技術要求の表参照)
- [5] HP ロジックにおける 2008 年の Ultra Thin Body SOI の要求による (PIDS ロジック解決策候補の図参照)
- [6] HP ロジックにおける 2008 年の Ultra Thin Body SOI での mid-gap work function メタルゲートの要求による (PIDS ロジック解決策候補の図参照)
- [7] HP ロジックにおける 2010 年の multiple-gate MOSFET の要求による (PIDS ロジック解決策候補の図参照)
- [8] 2009-2011 年の光配線の導入の要求による (グローバル配線の解決策候補の図参照)
- [9] 将来のロードマップにより、タイミングは見直しが必要である。新規デバイスの信頼性問題についても研究が必要であり、ここに掲載した (新探求素子の章 参照)

横断的な ITWG の課題

モデリングとシミュレーション

PIDS の章で要求されるキーとなる革新には、モビリティの向上(歪シリコンにあたる)、High-k 絶縁膜、メタルゲート、先進的な MOSFET(完全空乏型 SOI など)、バリスティック・トランスポートを必要とする飽和速度の向上が含まれる。他の長期的な課題として原子レベルのゆらぎ、統計的なプロセス・バラツキ、新規配線構造、ミックスド・シグナル・デバイス技術、進化した非 CMOS デバイス、プロセスと材料、物理、設計を大きく変更するであろうアーキテクチャ等が含まれる。これらの課題は、この ITRS のモデリングとシミュレーションの章にある。特に、“フロント・エンド・プロセス・モデリング”、“デバイス・モデリング”、“配線と絶縁膜のモデリング”の節にある。

新探求素子についてのモデリングとシミュレーションへの短期要求は、ノン・クラシカル CMOS から挙げられる。これは、この ITRS では、PIDS の章のロジックへの技術要求とロジックの解決策候補の節で議論されてきた。これらの要求は、その要求を示した種々の表とデバイス・モデリングの節を共有してモデリングとシミュレーションの章に統合される。

PIDS の中にあるワイアレス・コミュニケーション・ワーキンググループで作成されたアナログ・ミックスド・シグナルと RF 技術からのシミュレーションへの要求には、主として、シリコンベースの基板のみでなく - 族化合物への拡張、MOSFET を越えるデバイス・アーキテクチャ、100GHz に至る周波数のシミュレーションが含まれる。システム・オン・チップ(SoC)でのデバイス/回路/システムの統合シミュレーション、正確で早く、さらに、予測精度の高いアナログ/RF コンパクト・モデル、効率的な計算時間を可能とするキャプチャ輸送現象に対しての物理モデル 等への要求が増している。これらは、ある程度は、既に ITRS のモデリングとシミュレーションの章の“デバイス・モデリング”、“配線と絶縁膜のモデリング”、“回路要素モデリング”に述べられている。また、将来、さらに研究が進み、その章に入れられることであろう。