

配線

概要

1994年のNTRS(National Technology Roadmap for Semiconductor)の配線技術の章では、予想される技術的要求全体を満たすための新しい配線金属と絶縁膜材料への最初の要求が示された。NTRSの1997年版では、銅(Cu)を使ったチップの開発導入が差し迫っていた。1999年版NTRSでは、かつてないペースで導入されつつあった新材料の継続的開発が強調された。2001年版ITRSでは、新材料の継続的な導入が記載され、また配線幅が電子の平均自由行程に近づくに従って、配線抵抗の増加問題が強調された。2003年版では、MPUやASICへの低誘電率(low-k)絶縁膜の導入ペースが予想したものより遅れていることが、ITRS配線分野の中心課題のひとつである。依然としてメモリデバイスが、最小寸法を争うテクノロジードライバーではあるものの、チップ分類としてのシステムオンチップ(SOC)の出現が、複雑さの増加とデザインルールを縮小化を牽引すると予想される。当面(near term)の挑戦的技術にあげられている事柄は、急速に立ち上がる材料導入と、それに伴う複雑さを反映している。長期(long term)でみると、従来型のスケーリングに伴う材料変更では、もはや性能要求を満たせなくなっている。解決策は、設計・実装の斬新な開発努力とあいまった垂直配線インテグレーション、あるいは光、無線(RF)を使った革新的な配線技術の中にあるであろう。

配線あるいはワイヤリングシステムの役目は、チップ上のさまざまな回路やシステムに、同期などの信号を伝達し、電力とか接地ラインを供給することである。配線に関する開発要求の基本は、デザインルールをさらに縮小しても、チップの高速伝送要求を満足することである。

銅配線を使用したチップは、層間膜に酸化膜を使って1998年に導入されたが、技術ロードマップで予測された層間膜の誘電率の減少は、問題含みで推移してきている。すなわち、低誘電率膜をCuデュアルダマシンプロセスで統合化(インテグレーション)した場合に、信頼性や歩留まりの問題が、当初の予想よりも困難であることが明らかになってきた。フッ素添加酸化膜($k=3.7$)は180nm技術ノードで導入されたが、比誘電率が $k=2.6-3.0$ の材料は、130nmで広く採用されなかった。これらの材料は、90nm技術ノードで使用されると予測される。 $k < 2.6$ の多孔質(ポーラス)低誘電率(low-k)材料のインテグレーションは、さらに困難が予想される。これらの新しい低誘電率膜の開発と完成度の向上は、絶えず行われることになるから比誘電率の低下は技術ロードマップの加速とともに、より小さなノードに対応していくだろう。層間膜のバルクとしての比誘電率値は解決策候補の図で明示され、統合化(インテグレーション)された場合の実効的な比誘電率値の範囲は技術的要求表に載せられている。(より詳しい説明が必要であれば、「様々な統合化(インテグレーション)方法に対する実効的な比誘電率値の計算」のサイトにアクセスしてください)。これらの新しい低誘電率膜の導入は、拡散防止(バリア)膜や核成長(シード)膜の膜厚低減と、均一性の向上と合わせて行う必要があり、インテグレーションする上で困難といえる。

導電膜、拡散防止膜、核成長膜の解決策の候補は、ローカル、メタル1、中間層配線層、グローバル配線層の箇所に、受動素子と一緒にまとめられている。電子散乱効果によるCuの抵抗率上昇は、長期的に重要な要素になるであろうし、注目すべき分野である。原子層堆積法(ALD)は、下地の凹凸に無関係な優れた膜厚均一性と膜厚制御性が特徴であり、導電膜、拡散防止膜や核成長膜、高誘電率膜の形成用として、まだ注目さ

れている。「ALD に対する広範囲の参考文献」のリンクサイトが補足資料の中に含まれている。

図 63 は、エッチング、図 64 は、剥離、洗浄の解決策の候補を含んでいるが、これらの工程のインテグレーションにおける課題が増加していることを踏まえてのことである。たとえばデュアルダマシン構造のエッチングは、埋め込まれた溝エッチストップの有無によって変わってきてしまう。エッチング前後の洗浄に対する技術的要求が、超臨界 CO₂ のような新技術を利用する可能性もあり、広がってきている。

平坦化の解決策候補は、導電膜の平坦化と絶縁膜の平坦化の2つに分かれてきた。低誘電率膜とのインテグレーションに関する主要課題の一つは、平坦化過程での拡散防止層やキャップ層と、層間膜との密着性不良である。多孔質低誘電率膜では、さらに問題となりやすく、それ故、平坦化技術開発努力の最重要領域の一つである。技術的要求表に示されている「デッシング、エロージョン、膜厚減少に関する概要」のさらに詳細な内容は補足資料のリンクを見てください。

困難なチャレンジ

表 80 に 45nm ノードまでの当面 (near term) の 5 大課題と、45nm ノード以降の長期 (long term) の 5 大課題を示す。45nm ノードまでの配線分野での最大の課題は、導電率の要求実現と低誘電率の新材料の導入である。長期的には、配線構造へのサイズ効果の影響が現れるに違いない。

表 80 *Interconnect Difficult Challenges*

<i>Five Difficult Challenges ≥45 nm/Through 2009</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity*	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures compatible with new materials and processes*	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/package architecture design optimization tool
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling and control of failure mechanisms will be key.
Three-dimensional control (3D CD) of interconnect features (with it's associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet ma The International Technology Roadmap for Semiconductors: 2003 nufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.
<i>Five Difficult Challenges <45 nm/Beyond 2009</i>	<i>Summary of Issues</i>
Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low-κ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity
Three-dimensional control (3D CD) of interconnect features (with it's associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.

Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low- κ dual-Damascene metal structures and DRAM at nano dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
Identify solutions which address global wiring scaling issues*	Traditional interconnect scaling will no longer satisfy performance requirements. Defining and finding solutions beyond copper and low κ will require material innovation, combined with accelerated design, packaging and unconventional interconnect.

* Top three challenges (上位3つのチャレンジ)

3 次元的な加工制御は、現在および将来の配線技術の主要課題である。主な配線構造である、ダマシン構造では、厳しいパターニング、エッチング、平坦化の制御が求められる。最高性能を引き出すためには、配線構造は、好ましくない RC 特性劣化につながるプロファイル変動を許容できない。3 次元的な加工制御を実現するためには、高スループットの高アスペクト比構造を計測する技術が新たに望まれる。密着性、その他の微細構造、機械的性質、超薄膜バリアや欠陥のインラインモニタリングのための新しい計測技術も求められる。より大口径なウェーハの導入や、テストウェーハの削減要望により、in-situ でのプロセス制御技術の採用が推進されるであろう。

3 次元的な加工制御は現在も課題であるが、多孔質低誘電率材料や CVD メタルなどの新材料が、より微細なピッチや、より高い A/R 比の中間配線層やグローバル配線層に用いられるようになると、さらに重要な課題となってくる。45nm ノードの時代になると電子表面散乱などの微細化の影響により、実効抵抗率が増大するため、新しい導電体材料が求められると予想される。Cu と低誘電率材料は将来のチップでも使われるであろうが、グローバル配線に対しては RF 伝送、または光伝送なども視野に入れた新しい配線ソリューションが求められると予想され、これらの技術導入には、さらに困難な材料およびプロセスの課題を伴う。

半導体製品に要求される性能と目標

配線に対する、より適切な記述をするために、near term(2003-2009)、long term(2010-2018)での技術的要求および解決策候補が、MPU(micro-processor unit),DRAM(dynamic random access memory),SOC(system on a chip)に分類して示されている (Table81 - 82)。MPU に対しては、現在広く採用されている階層的スケールリング法を前提としており、配線ピッチ、アスペクト比が、メタル1 (M1)、中間層配線、グローバル配線で区別して示している。

Cu および低誘電率材料の導入は、特に中間配線層のスケールリングを可能にし、配線遅延の影響を極力少なくすることに効果がある。M1 配線層での配線遅延に関しては、従来通りのスケールリングによる影響は比較的少ない。RC 遅延への影響は、グローバル配線におけるものが支配的で、トータル性能を向上するためには、長期的には材料変更のみ対応できない。Fig.54 に将来のメタル1 (M1)、グローバル配線の配線遅延の推移を示す。グローバル配線での配線遅延を緩和するためには、リピータを導入することが有効であるが、一方でリピータの導入は、消費電力の増加、チップサイズの増加を余儀なくする。

4 配線

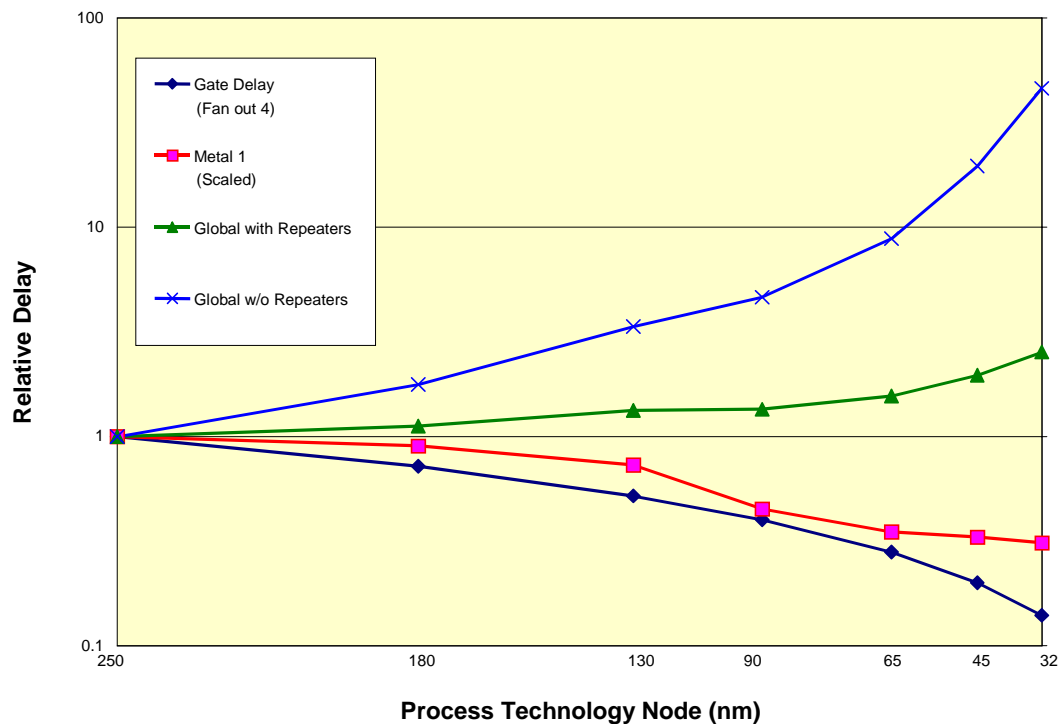


図 54 Delay for Metal 1 and Global Wiring versus Feature Size

電源電圧のスケーリング(低電圧化)と信号レベルの減少に伴い、すべてのクロック配線、信号線におけるクロストークが大きな問題となってくる。Near term での解としては、メタル配線の配線厚を薄くし、配線間の容量を低くするという方法がとられる。この方法は、Al 配線においては配線膜厚を薄くすることで抵抗を犠牲にしなければならないが、Al から抵抗の低い Cu にすることでこの犠牲を少なくできる。膜厚低減によるアプローチによって層間膜の誘電率低下に対する要求が緩和でき、インテグレーションが困難な low-k 膜のダマシン配線への導入時期に猶予を与えることになる。2003 版のロードマップでは、(配線間容量を減らす他の方法として)配線のアスペクト比を低減することを特徴とする構造設計を引き続き反映するものとなっており、誘電率のアグレッシブなスケーリングを抑制したものになっている。

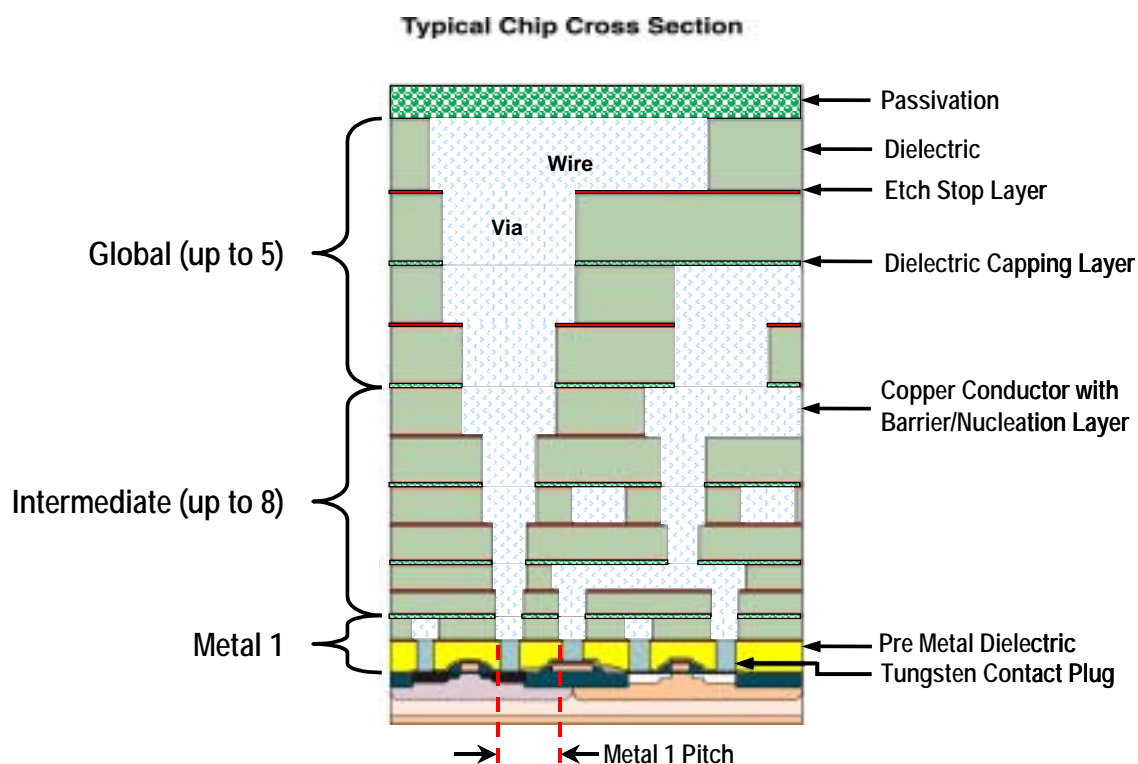


図 55 Cross-section of Hierarchical Scaling

動作周波数が上昇するに従って、インダクタンスの効果が、近いうちに、益々重要になってくる。そして、追加のメタルパターンやグランドプレーン（接地層）が、インダクタンスのシールドのために要求される可能性がある。

接地層あるいはチップ上のデカップリング容量の必要性に対応するために、配線層数の増加が、性能要求のみの場合以上に増える。表 81a,b に、オプション層に関する情報が、補助ファイルへのリンクとして用意されている。

長期的には、新しい設計あるいは技術的解決策（コプレーナ導波路、自由空間 RF 伝送、光配線など）が、従来の配線技術の性能限界を克服するために必要になるであろう。

6 配線

表 81a MPU Interconnect Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	120	107	95	85	76	67	60
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Number of metal levels	9	10	11	11	11	12	12
Number of optional levels – ground planes/capacitors	4	4	4	4	4	4	4
Total interconnect length (m/cm ²) – active wiring only, excluding global levels [1]	579	688	907	1002	1117	1401	1559
FITs/m length/cm ² × 10 ⁻³ excluding global levels [2]	8.6	7.3	5.5	5.0	4.5	3.6	3.3
Jmax (A/cm ²) – intermediate wire (at 105°C)	3.7E05	5.0E05	6.8E05	7.8E05	1.0E06	1.4E06	2.5E06
Metal 1 wiring pitch (nm) *	240	214	190	170	152	134	120
Metal 1 A/R (for Cu)	1.6	1.7	1.7	1.7	1.7	1.8	1.8
Interconnect RC delay (ps) for 1 mm Metal 1 line	191	224	284	355	384	477	595
Line length (mm) where τ = RC delay (Metal 1 wire)	79	65	55	46	41	34	28
Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	19	18	16	14	13	12	11
Intermediate wiring pitch (nm)	320	275	240	215	195	174	156
Intermediate wiring dual Damascene A/R (Cu wire/via)	1.7/1.5	1.7/1.5	1.7/1.5	1.7/1.6	1.8/1.6	1.8/1.6	1.8/1.6
Interconnect RC delay (ps) for 1 mm intermediate line	105	139	182	224	229	288	358
Line length (mm) where τ = RC delay (intermediate wire)	107	83	69	58	53	43	37
Cu thinning at minimum intermediate pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	27	23	20	18	18	15	10
Minimum global wiring pitch (nm)	475	410	360	320	290	260	234
Ratio range (global wiring pitches/intermediate wiring pitch)	1.5–5.0	1.5–6.7	1.5–6.7	1.5–6.7	1.5–8.0	1.5–8.0	1.5–8.0
Global wiring dual Damascene A/R (Cu wire/via)	2.1/1.9	2.1/1.9	2.2/2.0	2.2/2.0	2.2/2.0	2.3/2.0	2.3/2.0
Interconnect RC delay (ps) for 1 mm global line at minimum pitch	42	55	69	87	92	112	139
Line length (mm) where τ = RC delay (global wire at minimum pitch)	169	132	112	93	83	69	59
Cu thinning of maximum width global wiring due to dishing and erosion (nm), 10% × height, 80% areal density	168	193	176	158	172	160	144
Cu thinning global wiring due to dishing (nm), 100 μm wide feature	30	29	24	21	19	17	15
Conductor effective resistivity (μΩ-cm) Cu intermediate wiring	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Barrier/cladding thickness (for Cu intermediate wiring) (nm) [3]	12	10	9	8	7	6	6
Interlevel metal insulator (minimum expected) – effective dielectric constant (κ)	3.3–3.6	3.1–3.6	3.1–3.6	3.1–3.6	2.7–3.0	2.7–3.0	2.7–3.0
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	<3.0	<2.7	<2.7	<2.7	<2.4	<2.4	<2.4

*Refer to Executive Summary Figure 4 for definition of Metal 1 pitch (メタル1 の定義は、Executive Summary の図4を参照)

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

図81a と81b の但し書き

[1] ローカル配線層とセミグローバル配線層に関して、最小ピッチ配線3トラック毎に1トラックのみの密度と仮定する。それぞれの配線層について、配線長を足し合わせて、有効領域1cm 当りの総配線長を計算。

[2] 最高の信頼性品質のMPU 配線に対して5FIT の信頼性予測値を割り当てられたと仮定して計算。それを総配線長で割り、1 平方cmの有効エリアあたり、1mあたりのFIT 数を得る。

[3] 実効的な導電体の最小抵抗率の要求に合うように、中間配線層についてコンフォーマルな膜として計算。

表 81b MPU Interconnect Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	54	42	38	30	27	21
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Number of metal levels	12	12	12	13	14	14
Number of optional levels – ground planes/capacitors	4	4	4	4	4	4
Total interconnect length (m/cm ²) – active wiring only, excluding global levels [1]	1784	2214	2544	3544	4208	5035
FITs/m length/cm ² × 10 ⁻³ excluding global levels [2]	2.8	2.3	2.0	1.4	1.2	1.0
Jmax (A/cm ²) – intermediate wire (at 105°C)	3.0E06	3.7E06	4.3E06	5.1E06	5.8E06	6.9E06
Metal 1 wiring pitch (nm) *	108	84	76	60	54	42
Metal 1 A/R (for Cu)	1.8	1.8	1.9	1.9	2	2
Interconnect RC delay (ps) for 1 mm Metal 1 line	616	963	970	1510	2008	2679
Line length (mm) where τ = RC delay (Metal 1 wire)	25	18	15	11	9	6
Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	10	8	7	6	5	4
Intermediate wiring pitch (nm)	135	110	95	78	65	55
Intermediate wiring dual Damascene A/R (Cu wire/via)	1.8/1.6	1.9/1.7	1.9/1.7	1.9/1.7	2.0/1.8	2.0/1.8
Interconnect RC delay (ps) for 1 mm intermediate line	380	552	614	908	1203	1582
Line length (mm) where τ = RC delay (intermediate wire)	32	23	19	14	11	8
Cu thinning at minimum intermediate pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	12	10	9	7	7	6
Minimum global wiring pitch (nm)	205	165	140	117	100	83
Ratio range (global wiring pitches/intermediate wiring pitch)	1.5–10	1.5–10	1.5–13	1.5–13	1.5–16	1.5–16
Global wiring dual-Damascene A/R (Cu wire/via)	2.3/2.1	2.3/2.1	2.4/2.2	2.4/2.2	2.5/2.3	2.5/2.3
Interconnect RC delay (ps) for 1 mm global line at minimum pitch	143	220	248	354	452	618
Line length (mm) where τ = RC delay (global wire at minimum pitch)	52	37	30	23	19	13
Cu thinning of maximum width global wiring due to dishing and erosion (nm), 10% × height, 80% areal density	155	127	148	122	130	130
Cu thinning global wiring due to dishing (nm), 100 μm wide feature	14	13	10	9	8	7
Conductor effective resistivity (μΩ-cm) Cu intermediate wiring	2.2	2.2	2.2	2.2	2.2	2.2
Barrier/cladding thickness (for Cu intermediate wiring) (nm) [3]	5	4	3.5	3	2.5	2
Interlevel metal insulator – effective dielectric constant (κ)	2.3–2.6	2.3–2.6	2.0–2.4	2.0–2.4	<2.0	<2.0
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	<2.1	<2.1	<1.9	<1.9	<1.7	<1.7

*Refer to Executive Summary Figure 4 for definition of Metal 1 pitch (メタル1 の定義は、Executive Summary の図4 を参照)

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

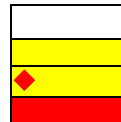


図81a と81b の但し書き

[1] ローカル配線層とセミグローバル配線層に関して、最小ピッチ配線3トラック毎に1トラックのみの密度と仮定する。それぞれの配線層について、配線長を足し合わせて、有効領域1cm 当りの総配線長を計算。

[2] 最高の信頼性品質のMPU 配線に対して5FIT の信頼性予測値を割り当てられたと仮定して計算。それを総配線長で割り、1 平方cmの有効エリアあたり、1mあたりのFIT 数を得る。

[3] 実効的な導電体の最小抵抗率の要求に合うように、中間配線層についてコンフォーマルな膜として計算。

表 82a DRAM Interconnect Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Number of metal layers	4	4	4	4	4	4	4
Contact A/R – stacked capacitor	13	15	15	16	16	17	17
Metal 1 wiring pitch (nm) *	180	160	140	130	114	100	90
Specific contact resistance ($\Omega\text{-cm}^2$)	1.00E-07	8.50E-08	7.00E-08	5.00E-08	4.00E-08	3.50E-08	3.00E-08
Specific via resistance ($\Omega\text{-cm}^2$)	1.10E-09	9.00E-10	7.50E-10	5.80E-10	5.00E-10	4.00E-10	3.50E-10
Conductor effective resistivity ($\mu\Omega\text{-cm}$)	3.3	3.3	3.3	3.3	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	3.6–4.1	3.6–4.1	3.6–4.1	3.6–4.1	3.1–3.6	3.1–3.6	3.1–3.6

*Refer to Executive Summary Figure 4 for definition of Metal 1 pitch (メタル1 の定義は、Executive Summary の図4を参照)

表 82b DRAM Interconnect Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Number of metal levels	4	4	4	4	4	4
Contact A/R – stacked capacitor	>20	>20	>20	>20	>20	>20
Metal 1 wiring pitch (nm) *	80	64	57	44	40	32
Specific contact resistance ($\Omega\text{-cm}^2$)	2.30E-08	1.60E-08	1.20E-08	7.70E-09	5.50E-09	3.90E-09
Specific via resistance ($\Omega\text{-cm}^2$)	3.20E-10	2.20E-10	1.60E-10	1.00E-10	7.60E-11	5.00E-11
Conductor effective resistivity ($\mu\Omega\text{-cm}$)	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	2.7–3.1	2.7–3.1	2.7–3.1	2.7–3.1	2.0–2.4	2.0–2.4

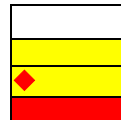
*Refer to Executive Summary Figure 4 for definition of Metal 1 pitch (メタル1 の定義は、Executive Summary の図4を参照)

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



DRAM の配線技術は、もっとも厳しい配線ピッチ、もっとも高いコンタクトのアスペクト比を要求し、またもっとも厳しい寸法制御、欠陥制御を要求する(表 82 参照)。また、DRAM においても高速のメモリ製品に対応するために、低誘電率膜(FSG)が進行中で、またハーフピッチが 65nm では Cu 配線の導入が要求されることになるであろう。DRAM においてはマーケットにおける価格要求との兼ね合いであり、Cu 配線を用いることが価格を上昇させることになれば、その導入が遅れることもありえる。即ち、DRAM では、従来の Al 配線の改良と拡張が引き続き必要となる。

ダマシンプロセスフローは MPU/ASIC 製造方法の主要部分を占めていて、DRAM への使用も広がってくるのが期待されている。図 56 は いくつかの代表的な配線層間(ILD)構造を図示している。現在の Cu マシンプロセスは、物理的気相成長法(PVD)による Ta ベースの拡散防止膜と Cu 核成長層を利用している一方で、デザインルールの継続した縮小化が、異なる材料や核成長膜の堆積方法の開発を要求している。装置や薬液(ケミストリー)を継続して改善することによって鍍金(ECD)によって堆積した銅配線を 22nm の技術ノードまで延命しようとしているが、微細、且つアスペクト比の高い形状が、別な埋め込み技術の並行開発と継続的な選択検討を必要としている。薄い拡散防止膜もまた これらの微細形状でも実効的な導電性を維持することが必要とされている。核成長層の 孔の中の膜厚均一性に関する要求はダマシン構造への鍍金による埋め込みを可能とするため益々厳しくなる。表面処理(分離)、CVD、ALD、そして誘電膜の拡散防止が、途中状態での解決策候補であり、膜厚ゼロの拡散防止膜は望ましいが、必ずしも要求されていない。

当面(near term)では、層間絶縁膜としては低誘電率化を、またデカップリングや金属・絶縁物・金属(MIM)キャパシタにおいては高誘電率化、さらに FRAM に対して残留分極の増大が、それぞれに用いられる絶縁膜に要求される。これらの絶縁膜の熱的、機械的、電気的な特性はプロセスインテグレーションに対してきわめて厳しい要求をすることとなる。より長期的には、高周波での誘電特性がより重要になるであろう。また、低損失導波路を形成するために十分な光学的なコントラストを有する光学材料が要求されるであろう。

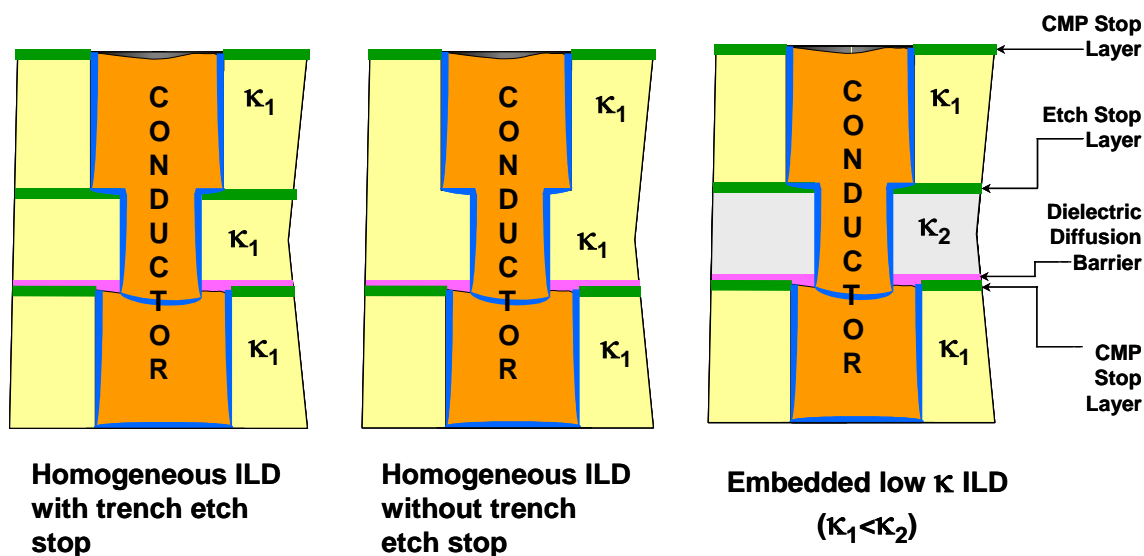


図 56 Typical ILD Architectures

絶縁膜 CMP と CMP 後の欠陥低減技術の継続的な改良が当面(near term)において要求されるであろう。CMP 以外の平坦化技術の開発が、長期な解決策候補である。Cu の CMP おいては、Cu の厚さがスケールアップされるに従って、エロージョンやディッシングを極力小さくすることが、要求性能を満たすために必要となるであろう。また、低誘電率膜は、一般に低密度で機械強度が弱いいため、それに対応できる平坦化技術(とそれに伴う終点)の開発が必須となる。また、将来のデバイスの低欠陥化に対して、ポスト CMP クリーニング技術の開発が非常に重要である。また、エッチストップ層やバリア層との高い選択比を持ち、low-k を劣化させないエッチング技術、レジスト剥離技術、ポストエッチクリーニング技術の開発も必須である。また、エッチングや堆積プロセスでのダメージを低減化あるいはなくすることがゴールであり、特に、より薄膜のゲート絶縁膜、新ゲート絶縁膜の導入に際して重要である。

解決策候補

絶縁膜に関する解決策候補

昨年までの技術ロードマップでは、130nmテクノロジー・ノードで使用される絶縁膜材料は、将来にわたって必要とされる技術ではなく一時的なものであり、130nm 以降のノードにおいては、きわめて革新的な材料へ変更が行われるという懸念が拡大していることを指摘している。このような新材料への要求は、従来型のまたは新規のデバイスのみならず、ほとんどすべての現存するエンドユーズによるものである。絶縁膜材料の中には、電氣的、機械的、そしてプロセス上の特性に対する要求に対して、現状の層間絶縁膜に取って代わるための、付加的な特性をもたせたものもある。しかし、たとえ、将来のテクノロジー・ノードに対して、より説得力がある要求があったとしても、新材料には、その特性やインテグレーションにおける数々の問題が存在し、そのため、現在使用されている絶縁膜材料の寿命が延長されつつあるのである。この、最も明白で、しばしば引用される2つの例が DRAM キャパシタへの高誘電体材料の導入の遅れと、量産における実効的な低誘電率($k < 3.0$)層間絶縁膜材料のインテグレーションの導入が成功していないことである。

次の3点のバックエンド工程全体にかかわる絶縁膜材料の技術課題は、本技術ロードマップの範囲で15年間通じて有効性を保っている。

- ・ 真の低誘電率材料を開発し、Cu デュアルダマシン技術で実現可能なコストで最大のパフォーマンスを得るデバイスを得るための、最小な実効誘電率を可能とする生産プロセスを構築すること。
- ・ 中程度の誘電率($k > 20$)から高誘電率($k > 100$)材料の開発し、実現可能な単位価格あたりのビット数の増大を目指し続ける単体メモリーへ適用すること、および、MPU/ASIC や SoC のためのデカップリングや MIM キャパシタへ適用すること。
- ・ 従来型の配線を、高周波や光配線、バイオ配線などに置き換える技術のために必要な、新しい材料の発明とインテグレーションにフォーカスした開発を行うこと。

絶縁膜材料への要求の範囲を明確にし、また今回初めて PMD (Pre-Metal Dielectric) に対する要求も含めることとしたバックエンド工程で、それぞれの詳細な用途にフォーカスするため、絶縁膜に関する解決策候補は、材料別ではなく、用途別にグループ分けすることにした。

金属配線下層絶縁(PMD)膜

PMD(Pre-Metal Dielectric)膜については、その成膜技術の改良または変更が必要とされてくるだろう。ニッケルシリサイド(NiSi)の導入および、DRAM の隣接ゲート間隙のアスペクト比増大と高濃度のリンドーブの必要性、そして、NOR 型フラッシュメモリにおける熱履歴低減の必要性が、その牽引力となっている。

ロジック回路の接合およびゲートへの NiSi の使用拡大は、450-490 °C 以上の熱がかかるような成膜方法のへ異議を唱えるものとなるだろう。NiSi 導入と同様に、メタルゲートの導入においても熱履歴の制限が必要になる。この問題は高濃度のリンドーブの要求で、さらに深刻になる。NOR 型のフラッシュメモリの中には、既に、リテンション対策として 10%のリン濃度を必要としながら、かつ NiSi を導入しているものもある。これは、単なる熱成膜の方法では、打破しがたい技術課題である。

DRAMのゲート間隙のアスペクト比は2005年には16:1に達し、さらに増大し続けると予想されている。その結果、なされるであろうプラズマを用いたPMD膜成膜にも、疑問点が増大している。今のところ、プラズマを用いた成膜による、ゲート絶縁膜のプラズマダメージ(Plasma Induced Damage)が、重要な問題となっている確証はない。しかし、この問題はゲート絶縁膜がさらに薄膜化されても、新たなhigh-k材料に替わっても、懸念されつづける問題なのである。

また、DRAMのビットライン間の容量低減のためにlow-k絶縁膜の導入が切望されている。例えば、2010年までには実効k値(k_{eff})が2.7-3.1に、2018年には2.0-2.4にまで低減することが要求されている。このような、ギャップフィルや、低温化、リンドープ等に対する要求を満足するためには、将来のPMD成膜のプロセスにはマルチステップ成膜が導入されるであろう。

層間絶縁膜

IC製造において昔から使われてきたシリコン酸化膜($k=4.1$)とアルミ配線の構造を最初に打破したのが、180nmテクノロジーノードでCuのデュアルダマシン配線と合わせて導入されたFSG($k=3.7$)膜である。FSGはシリコン酸化膜からの比較的マイナーな変更でありながらも、フッ素の移動や、高融点金属バリアとの反応、密着性や吸湿等の問題のため、真に頑強な生産プロセスを確立するまでには、何年にも及ぶ、多くの技術リソースの投入を要したのである。

さらに、 $k < 3.0$ のlow-k層間絶縁膜の導入にあたっては、このときと比べて桁違いの量の技術課題がある。このlow-k材料の導入と同時に、バリアメタルの成膜技術の流動的な変更(PVD→CVD→ALD)と、目標とするCu配線の抵抗値を維持するために行われるバリアメタルの継続的な薄膜化が、導入されなくてはならない。これらのインテグレーション上の技術課題および、クロストークやRC遅延の見積りに関する設計上の改良に関する問題を検討した結果、ここ3年間にわたり本ITRSで提案していたlow-k層間絶縁膜の生産レベル導入時期について、今回、これを延期した。

シリコン系絶縁膜材料のインテグレーションにおいては、250nm技術ノードでシリコン酸化膜プロセスの時に導入された“full-via-first”プロセスが一般的に用いられている。一方、有機系の絶縁膜材料については、通常、2層の無機系のハードマスクを用いる構造が採用される。そして、パフォーマンスを最適化し、インテグレーションの複雑性を最小に抑えるために、有機系/無機系のハイブリッドの絶縁膜構造の使用が検討されている。

多くの電氣的なシミュレーションモデルではこれらの見積もりを、一つのチップ内の試験用の構造から求めている。“Supplemental file”シミュレーションが、代表的なlow-kインテグレーションの構造を抽出した結果が、いくつかのテクノロジーノードに示されている。このモデルは、ITRSがターゲットとする、膜厚、アスペクト比の目標値および、生産立ち上げのタイミングに合致して提供される市販のlow-k材料のパラメータを採用している。

エッチングの選択性とダメージ、193nm用レジスト、Cu-CMP、そして実装プロセスの適合性に関するいくつかの技術課題については、いまだに、ほとんどすべてのlow-k絶縁膜材料に対して、解決のための努力が必要である。歴史的な、物理的、機械的、そして電氣的な材料特性の関連性からは、インテグレーションの成功は予見できない。そのため、産業界において急激な学術の進歩が進行中である。幸運にも、low-k材料に起因

する、新たなエレクトロマイグレーションの故障モードは認められていない。技術集団は、ポーラス low-k 材料の、ポアサイズ、ポア形状、アスペクト比そしてポアの連結性(オープンポア対クロズドポア)等の微細構造への要求について、健全で活発な議論を続けている。

ハードマスク

ハードマスクとはメタル間のトレンチ層のトップに成膜する絶縁膜の総称である。これには、1)デュアルダマシン構造のパターニングの補助 2)高選択比CMPのストッパー層 という二つの機能がある。さらに、この膜には、248nm および 193nm で使用される従来タイプの化学増幅型フォトレジストにとって有害な酸や塩基成分の拡散を防止する役割もある。ハードマスクを効果的な CMP や酸・塩基成分のバリア層とすることは、 k_{eff} の低減とは相反する。ほとんどのインテグレーションの構造では、このハードマスクの組成は、他の絶縁膜材料とは無関係に選択されている。しかし、エッチングの容易性を考慮すれば、ハイブリッドインテグレーションでは、ヴィアレイヤーの絶縁膜とハードマスクは類似した材料を用いることが、最も望ましい。現在使用されている塗布系およびCVD系の成膜方法では、誘電率を少なくとも3.0まで下げることができる。さらに、塗布系の材料の中には、誘電率 2.2 を提供するものもある。

エッチストップ層ビア

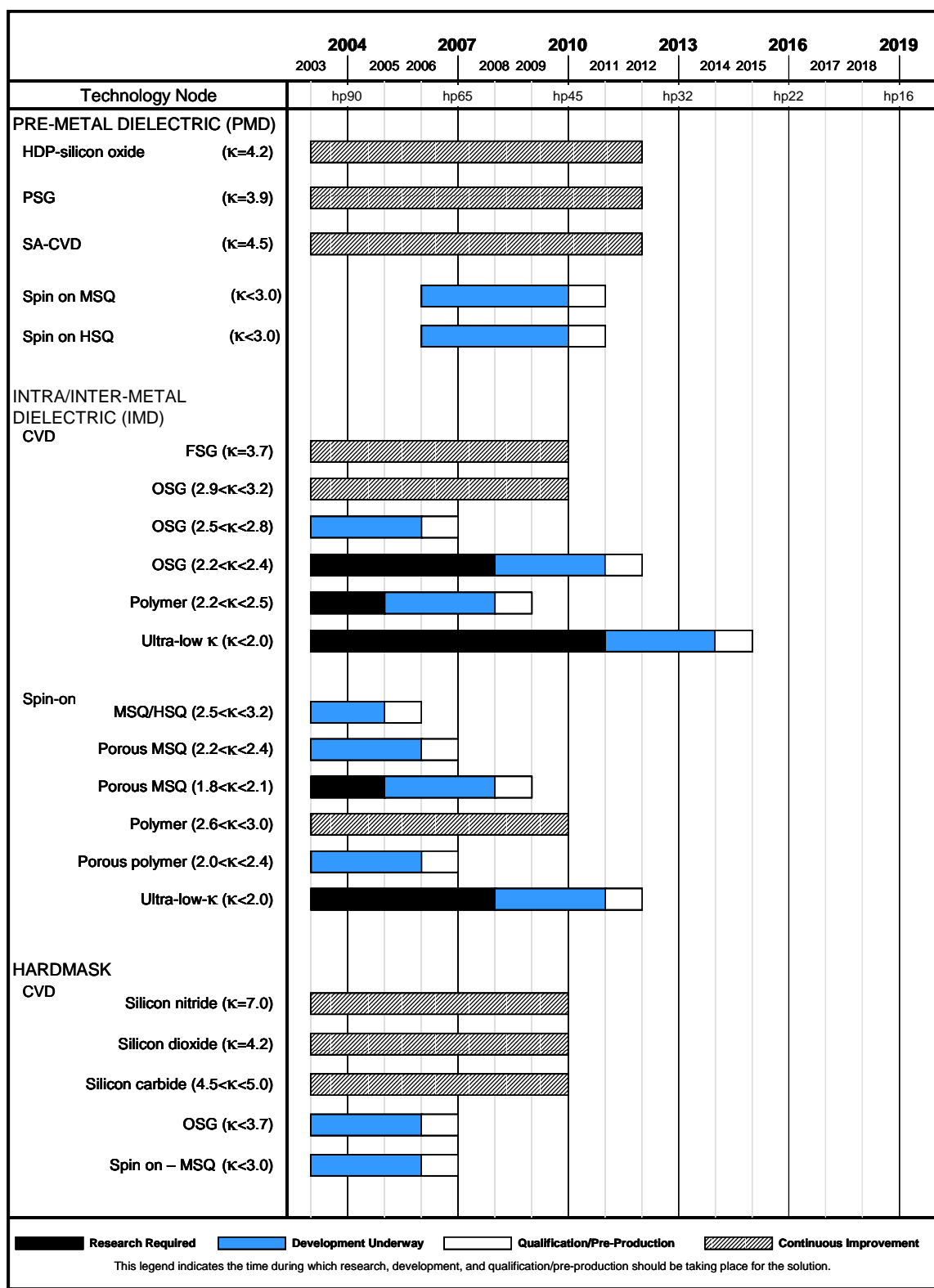
ビアのエッチストップ層にもまた、二つの機能がある。ひとつは、孤立したビアに隣接する下地層絶縁膜がエッチングされることを防ぐために、ビアの絶縁膜に対して十分なエッチング選択性を確保する役割である。そして、このビアのエッチストップ層はまた、下層の Cu 配線のキャップ層としての役割もある。そのため、Cu の拡散を防止し、かつ、Cu のエレクトロマイグレーションの要求を満たすだけの、界面の密着性を有する必要がある。また、ビアエッチストップ層は、全体的な k_{eff} 大きな影響をあたえるため、その膜厚と誘電率を最小にすべきである。

エッチストップ層トレンチ

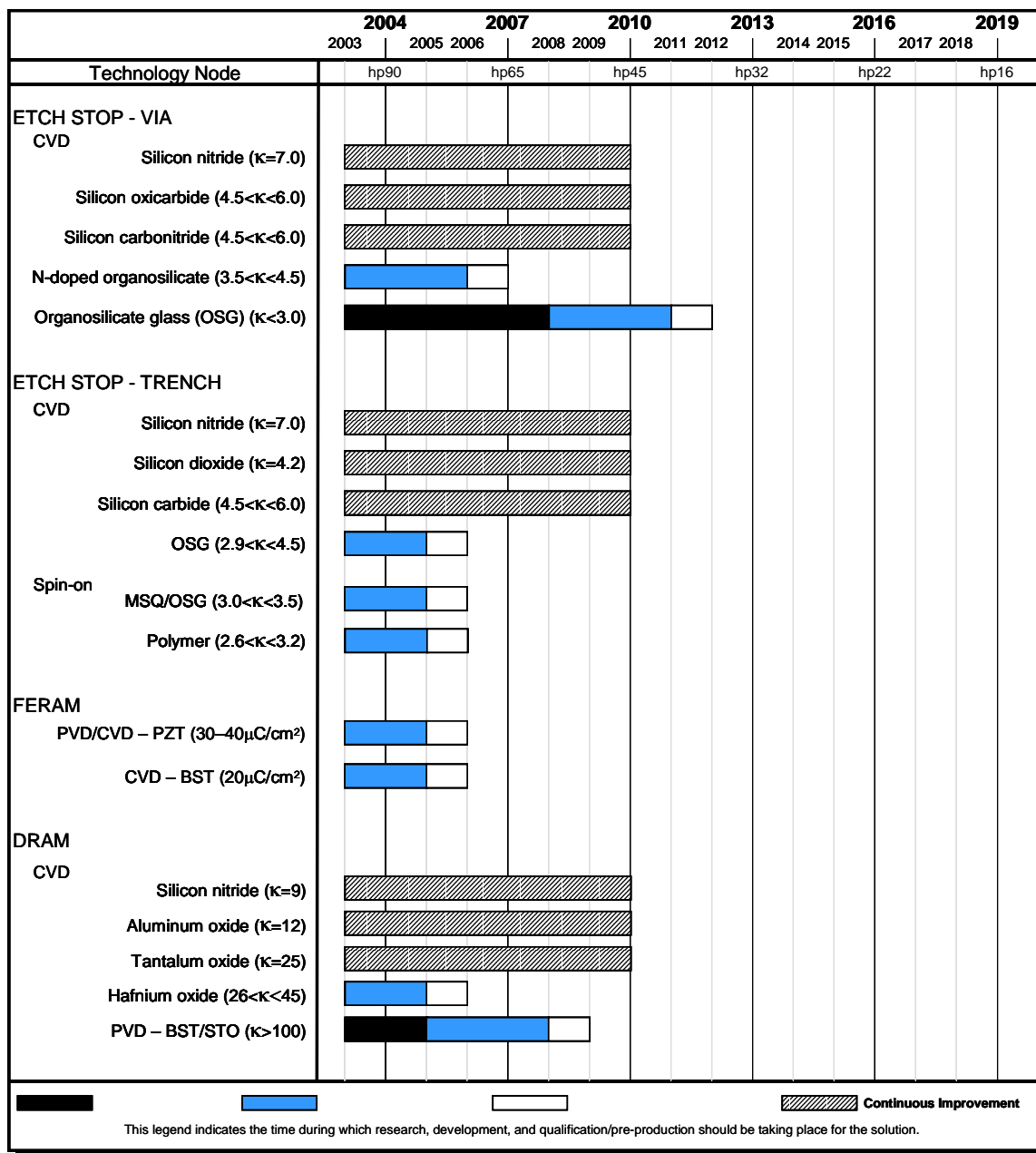
この絶縁層の当初の機能は、スムーズで良好な形状のトレンチボトムを形成するために、トレンチ絶縁膜と比較して十分な選択性を提供することである。トレンチ底部のラフネスはバリアメタルのカバレッジに影響するため、信頼性上の問題になる。トレンチ深さのばらつきは、配線抵抗のばらつきを招く。ハイブリッドのインテグレーションでは、これらの機能をビア絶縁膜が果たすようになるため、個別なトレンチエッチストップ層の必要性はなくなってきている。

DRAM

DRAM技術においては、中程度の誘電率($5 < k < 40$)材料の、スタックキャパシタへの導入が始まったばかりである。トレンチキャパシタ型のDRAM技術では、キャパシタ面積の増大が容易であるため、このような中程度の誘電体材料の実施は少し先送りにすることができる。どちらのDRAM技術においても、これら中程度の誘電率材料は、さらなる高誘電率材料($k > 40$)のための途中段階と考えられている。次なる高誘電体材料もまた、スタックキャパシタ構造のDRAMで最初に導入され、トレンチ型ではその後になると思われるが、いずれにせよ、キャパシタへの high-k 材料の導入は、ゲート絶縁膜への導入よりも早いだろう。



HDP—high density plasma SA-CVD—sub atmospheric CVD PSG—phospho-silicate glass MSQ—methyl silsesquioxane
 HSQ—hydrogen silsesquioxane FSG—fluorinated silicate glass OSG—organosilicate glass



PVD—physical vapor deposition PZT— $\text{Pb}(\text{Zr},\text{Ti})\text{O}_4$ BST—barium strontium titanate STO—strontium titanate

図 57 Dielectric Potential Solutions (continued)

導電体膜に関する解決策候補

しばしば“M0”とよばれるローカル配線は、隣接するコンタクトやトランジスタのみの使用されるきわめて短い配線に限定される。MPU、ASIC、DRAM 等のコンタクトとローカル配線については、タングステンが引き続き使用されるだろう。CVD 技術と合わせて ALD (Atomic Layer Deposition) 技術が、シームのないタングステン埋め込みのために、まず利用されるようになる。ローカル配線やコンタクトにおいて、次工程に電気メッキの銅配線を

用いる場合、その欠陥を回避するためには、タングステン埋め込みにシームがないということが特に重要なのである。

スタックキャパシタ DRAM における高アスペクトコンタクト(2009 年には 17:1 になる)におけるタングステンの埋め込みのためには、ALD によるタングステンの継続的な開発が必要である。長期的には、スタックキャパシタ DRAM には 2012 年までの予想されるアスペクト比 20 以上のコンタクトを想定した、新材料、新技術も必要になってくる。アルミ配線はローカルな配線として継続的に使用される一方、向上する CVD/PVD のフロー技術によってダマシン構造の改良もなされていくだろう。

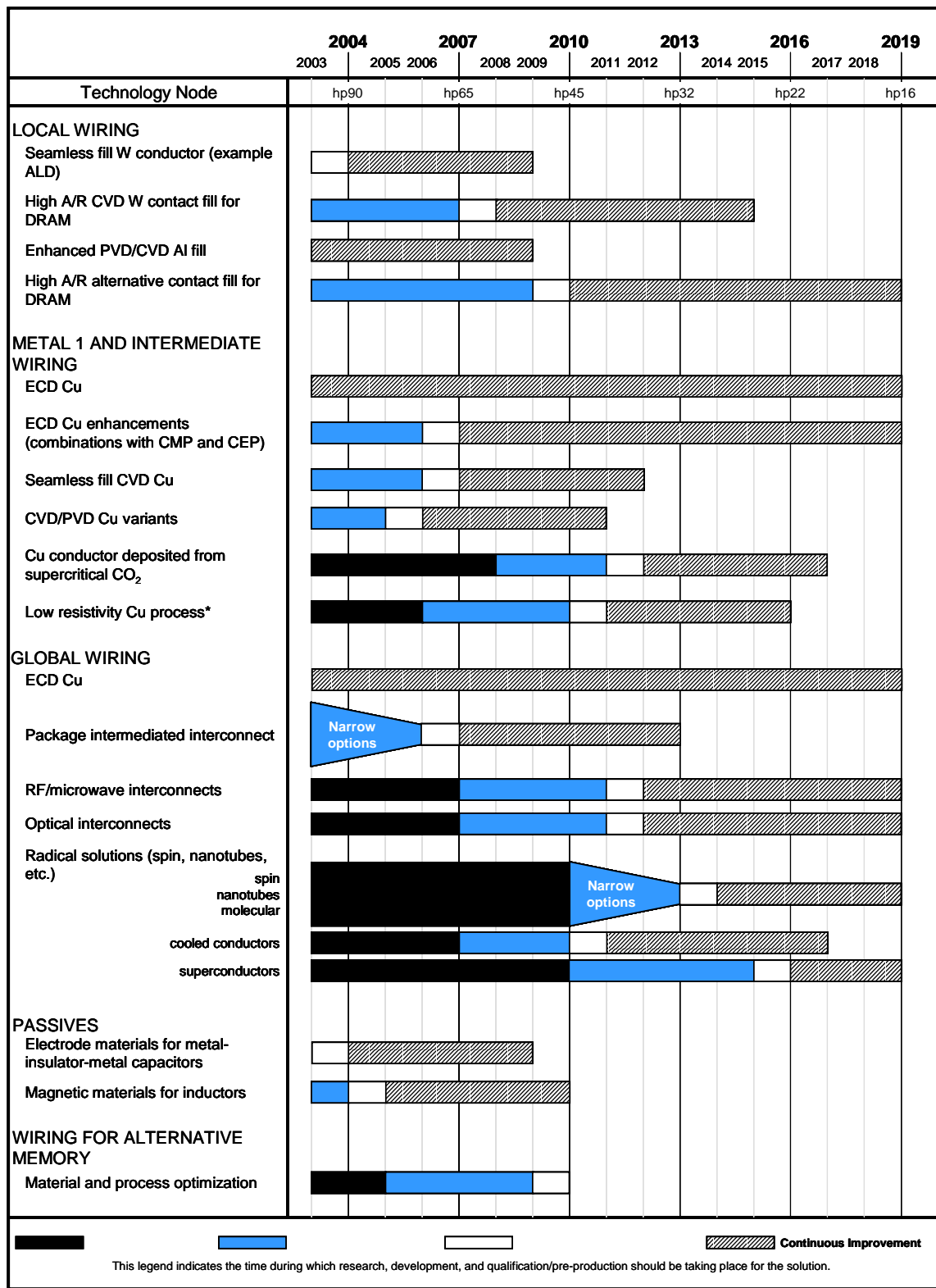
MPU や ASIC の第1層配線および中層の配線としては、Cu 配線を用いるのが望ましく、メッキによる成膜技術が近い将来の市場においてもなお支配的だろう。シームのない埋め込みやより高いアスペクト比に対応するために電気メッキ技術および装置の改良が継続的になされる。メッキ技術と CMP または CEP (Chemically Enhanced Planalization) 技術を統合した装置を用いて、成膜と平坦化を同時に達成する技術が開発も進行中である。

CVD による Cu 埋め込みは、電気メッキと同レベルの卓抜した埋め込み特性と微細構造が得られるようになれば、競合する埋め込み技術となってくるだろう。CVD と PVD の組み合わせの技術はより小さな構造へのシームのない埋め込みを達成するために使われるようになるだろう。超臨界二酸化炭素により Cu やその他の金属を成膜する技術は現段階ではまだ研究レベルであるが、これも今後期待できる技術である。

サイズ効果による Cu の抵抗上昇は 2010 年までに第1層目に使用される Cu 配線に大きなインパクトを与えることになる。そして、その後まもなく、中間層の配線においても Cu の抵抗上昇をもたらすであろう。中間層配線は配線長がより長いために、第1層配線と比べて、Cu の抵抗上昇がその性能に大きく影響を与えてしまうことになり、この現象は非常に深刻な問題になる。ここ 2 - 3 世代において、この抵抗上昇のインパクトを緩和するためには、Cu の界面、微細構造、不純物レベル等の最適化が必要である。

グローバル配線のレベルでは、ずっと幅広い配線が用いられるため、サイズ効果の影響は最後まで受けないだろう。しかし、グローバル配線は通常、チップサイズと同等レベルの配線長をもつため、世代ごとのスケールリングが大きなインパクトを与える。この問題は、今のところリピーターを工夫すること、またはドライバーを大きくすることで対処しているが、この方法では、チップサイズや消費電力に影響を与えてしまう。近い将来最も望ましい解決策は、グローバル配線の抵抗の影響を最小にするための設計と信号選択、パッケージ、三次元配線の最適化である。これらの問題を解決するための高周波や光技術の利用について、膨大な量の研究開発が行われている。より、急進的な解決策には冷却電動、超伝導、ナノチューブ等がある。これらすべてのグローバル配線のための新しい技術は、配線ロードマップのなかでの新コンセプトの節で詳細に議論する。

無線デバイスと通信分野の市場の増大は受動素子の配線構造のプロセスや材料への注力に拍車をかけている。特に、歩留まりと信頼性を向上させるために MIM キャパシタの電極形成および材料に注目が集まっている。アルミも Cu も標準的なスパイラルインダクターに塩要されているが、将来様々な磁性体材料や、異なったインダクターのデザインがこれらのデバイスの面積を低減するために出現するかもしれない。



ALD—atomic layer deposition ECD—electrochemical deposition CMP—chemical mechanical planarization
 CEP—chemically enhanced planarization

*Cu process with optimized interfaces, microstructures, and impurities to alleviate resistivity rise at small critical dimensions

拡散防止(バリア)膜解決策候補

Ti/TiN は、Wで埋め込まれるコンタクトに対するコンタクトおよび拡散防止材料として継続して使用されるだろう。長距離やイオン化 PVD は CVD や ALD 技術と同様に、この技術領域の解決策候補として開発されるだろう。CVD Ti/TiN バリア膜は DRAM スタックキャパシタなど高アスペクト比構造への W 埋め込みに使用される。ALD Ti/TiN、ALD W の連続埋め込みプロセス開発もホール中央部のシームを皆無にするために開発中である。

Al 埋め込みにおいても従来の PVD 法と CVD バリア法の組み合わせでより高アスペクトホール埋め込みを狙うが、このプロセスでも ALD 法は必要となり、プロセスと同様、新たな材料開発も進行中である。

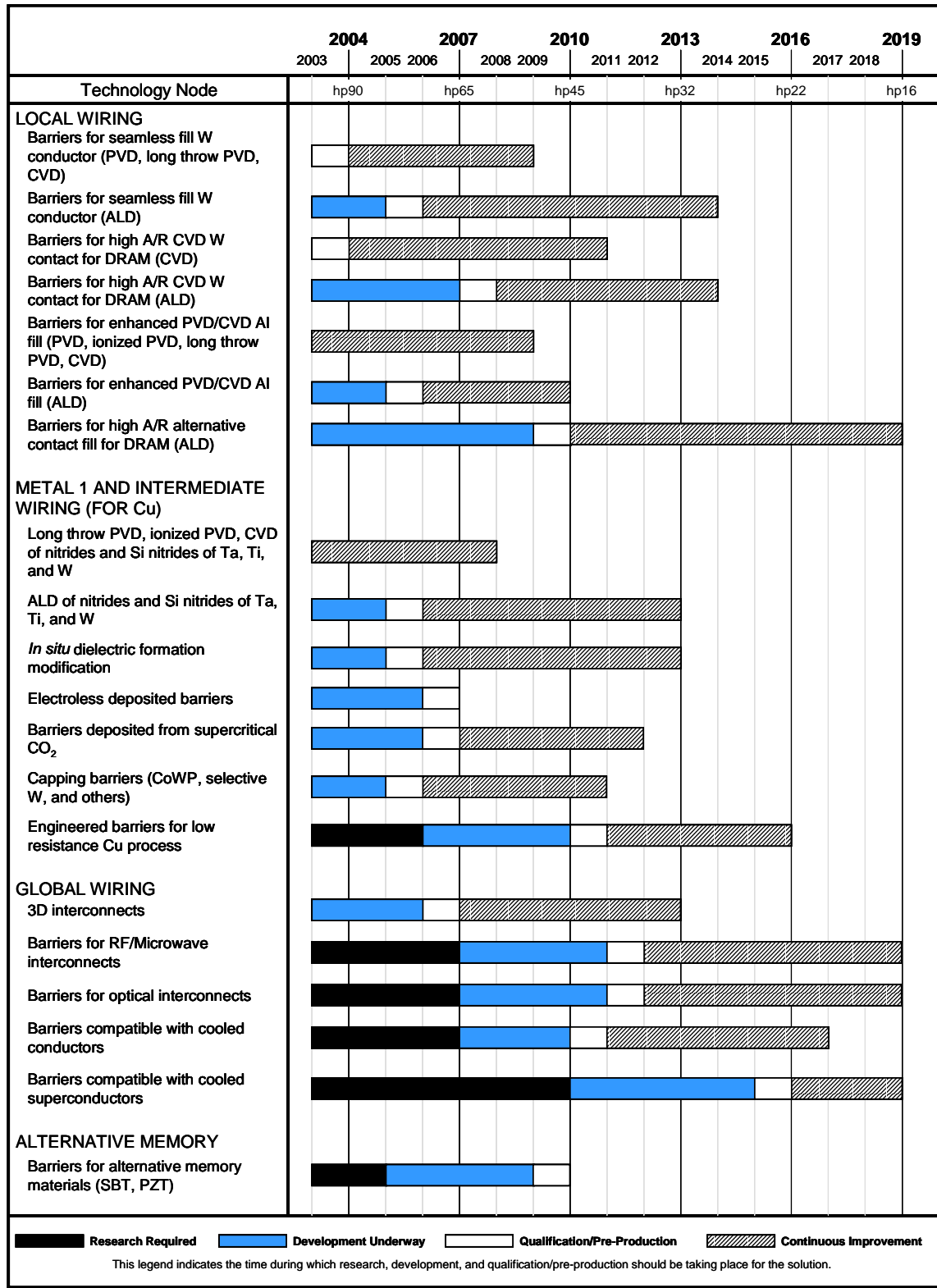
銅配線に使用される拡散防止材料は Cu の種々の界面での拡散を防止すると同様に Cu 配線内の空孔拡散を低減しエレクトロマイグレーション耐性を向上させる必要がある。今後も Ta、Ti、Wの窒化膜や Si を含んだ窒化膜から選ばれ続けるだろう。

長距離やイオン化 PVD や CVD による膜形成は主要な解のままである続けるだろう。しかしながら ALD 形成方法が、デュアルダマシン配線での電界めっき法による埋め込み性能を向上させるという観点でその並外れた均一性と膜厚制御性の向上の故に今後主要な解として登場してくることになるだろう。

ALD バリア膜を実用化する上で ALD 膜形成の材料であるプリカーサー原料が多孔質 low-k 膜内の空孔へ拡散する現象を防止することが重要である。エッチングされた低誘電率膜の側面を何らかの処理をすることによって ALD 膜プリカーサーの拡散を防止できると同時に、違う観点で見ればバリアメタル不要のプロセスを構築することも可能である。CO₂ を用いた超臨界法による Cu 膜形成も開発途上である。

銅配線上部での Cu 拡散を防止するため、これまで Si₃N₄、SiCN、SiC などが使用されているが、これらの材料は誘電率が高くトータルとしての実効誘電率の低減が不可能なため、現在では絶縁膜に代わり、W や CoWP などのバリア膜が開発されている。

拡散防止は技術ロードマップの長期期間に向けた重要項目となるのは疑問の余地がない、というのは拡散防止膜との界面のなめらかさやその他の性質を技術調整することが電子散乱効果によって見込まれる銅抵抗の上昇を改良するために不可欠となるからである。



SBT—strontium barium titanate

膜成長核形成に対する解決策候補

膜成長核形成層の微細構造部での被覆性、カバレッジは微細ホール金属埋め込みでのシームやボイドを発生に対して際めて大きな要因である。ローカル配線やコンタクト埋め込みにおいては従来高アスペクト比コンタクトへの W 埋め込みに用いていた ALD W を用いた成長核形成の継続的な改善が必要である。Al 埋め込みにおいては CVD Al 成長核形成と同様に ALD Al も必要とされるであろう。

DRAM での高アスペクトコンタクト埋め込みでの新材料開発は依然として継続中であり、これらに関しても ALD 成長核形成は必要となる。

第1メタルや中間層配線、グローバル配線での Cu めっきプロセスにおいてはロングスローやイオン化スパッタ技術が今後も主要な成長核形成技術となる。しかしながらこれらの技術が次世代の Cu めっきプロセスでの成長核形成層として使用できるかどうかの検討が急務である。

無電界 Cu めっきや CVD Cu 成長核形成や ALD や超臨界 CO₂ 技術を用いた Cu 成長核形成も開発中である。また電界めっき法を用いた成長核層のリペア技術も PVD Cu による成長核形成技術の余裕度を広げている。一方、上に述べた成長核形成を不要とする自己核形成によるバリア膜、Cu めっき膜の形成技術も重要となる。

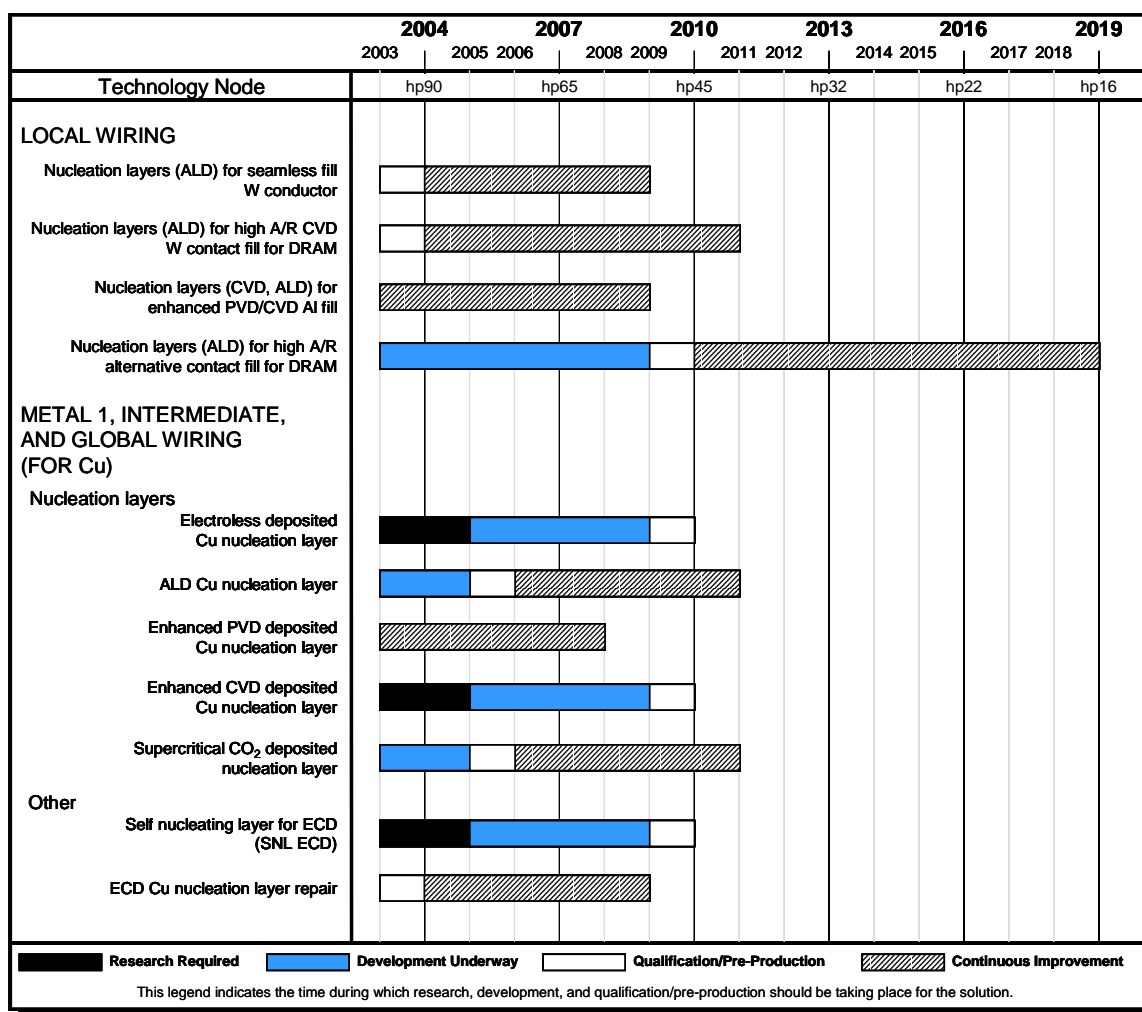


図 60 Nucleation Potential Solutions

平坦化に関する解決策候補

平坦化は配線技術にとって益々不可欠な工程になってきた。材料と構造がこれまでのものとは変わり、また、平坦度の許容値に対する要求が益々精密になっているので、平坦化プロセス自体がインテグレーションスキームの選択と密接に関わるようになってきている。化学機械的研磨(CMP)とそれに近い代替技術は、現在は勿論将来に渡って LSI 製造において主流であり続けるであろう。CMP の応用を決める材料と構造の組み合わせは益々増えるであろう。それぞれの応用は固有の要求をもち、固有の解決策をもたらすかも知れない。

金属配線形成前の層間絶縁膜(PMD)対応の不純物ドーパされたシリコン酸化膜の平坦化 CMP やローカル配線やコンタクト対応の W-CMP は予見可能な将来に渡って要求され続けるであろう。PMD の平坦化は CMP 応用の一例であり、同様な材料についても多くの応用が考えられる。すなわち、PMD の平坦化 CMP は目標の膜厚になった時点で止める必要があるが、これは層間絶縁膜(ILD)の平坦化 CMP でも同様のことである。一方、同じ PMD の CMP でも段差形状を最適化するために下地膜上かその中で選択的に止めるものもある。多結晶シリコンの CMP は今日メモリデバイスで使われている。

ILD 及び W-Via の CMP の機会は今後徐々に減っていくであろう。これらは Cu デュアルダマシンプロセスの採用とともに、Cu 配線形成用の CMP に代わっていくであろう。

Cu とバリアメタル(BM)の CMP は先端ロジックデバイスにおいて標準プロセスであり、メモリデバイスや他のデバイスもこの後を追いかけるであろう。Cu ダマシンプ配線用の絶縁材料の比誘電率(k 値)は低減されてきているが、それぞれの材料の変化は新しい金属膜の平坦化チャレンジをもたらす。そのチャレンジの中には超低誘電率(ULK)材料の機械的強度が低下することによって引き起こされる絶縁材料間の密着性不良を抑制するために CMP 時にウエーハにかかる機械的圧力を減らすものがある。この問題は、ULK 材料の上に Cap 材料を用いることも含めてインテグレーション上の工夫によって避けることもできるが、実効的な k 値上昇をもたらす。このペナルティを避けるためにハードマスクを除去するようなインテグレーションも考慮すべきである。

世代が進み最小配線幅が縮小されると、配線膜厚の制御性に対する平坦化への要求が益々重要となる。CMP 時のエロージョンによって最小ピッチの第1金属配線(ローカル配線)とインターメディエイト配線の膜厚ばらつきが生じる。グローバル配線の膜厚ばらつきは、エロージョンとディッシングの両方の影響で生じる。この先予想される配線膜厚の薄膜化に伴って、CMP による膜厚ばらつきの程度は、どの配線層においても設定膜厚の 10%以下に制御されなければならない。

Cu 及び BM-CMP 後の段差形状はその後の配線層において導電性の欠陥を発生させる。段差形状に対する要求は、リソグラフィー工程におけるフォーカスマージンによって牽引される。そして、これらの要求は世代とともに(特にテクノロジーノード 32nm 以降になると)より厳しくなる。メタル平坦化に対するより厳密な制御を行うために、CMP の装置(終点検出、膜除去の不均一性、プロセスパラメータ)、スラリー(選択比、リセス)、研磨パッド(平坦化長さ)などの改善が行われるであろう。さらに平坦な成膜技術も検討が続けられるであろう。

また、代替の金属膜の平坦化技術の開発も続けられるであろう。これらには、化学的に促進された平坦化(CEP)や電解研磨、そして電気化学機械的研磨(ECMP)が含まれる。これらの代替技術は、もしそれぞれの技術課題が解決されれば、生産性やエロージョンにおいて優位性を発揮するであろう。特に、脆弱な多孔質絶縁材料を用いる場合に低圧力で行えるメリットがある。これらはどのような ULK 材料が採用されるかにかかっている。

金属膜 CMP のための平坦化装置は、先端絶縁材料を使った場合でも Cu がきちんと研磨できるように進化しなければならない。現状の装置はすべて、ウエーハ表面に対する相対速度や荷重分布を制御している。また、インラインでの絶縁膜の膜厚計測のために様々な研磨の終点検出技術が使われている。ウエーハ洗浄プロセスも標準になってきている。

(Ultra)low- k 絶縁材料を適用した Cu 配線形成のための CMP 装置においては、低せん断荷重に対応して設計することが重要である。加えて、次世代製造装置には、摩擦力の計測や、絶縁材料や金属膜厚のインシチュ(研磨中)やインライン(研磨後)計測、そして Cu や BM に対して信頼性の高いウエーハレベルの終点検出などの機能が含まれるであろう。これらの機能は、機械的に調整可能な研磨やウエーハ径方向に均一な研磨を可能にし、改善された自動プロセス制御(APC)をもたらすであろう。この研磨装置には十分に統合化され

たスラリー計測機能や、多くの“環境対策(Green Tool)”機能が盛り込まれるであろう。これらの要求は新しい装置設計を要求するであろう。

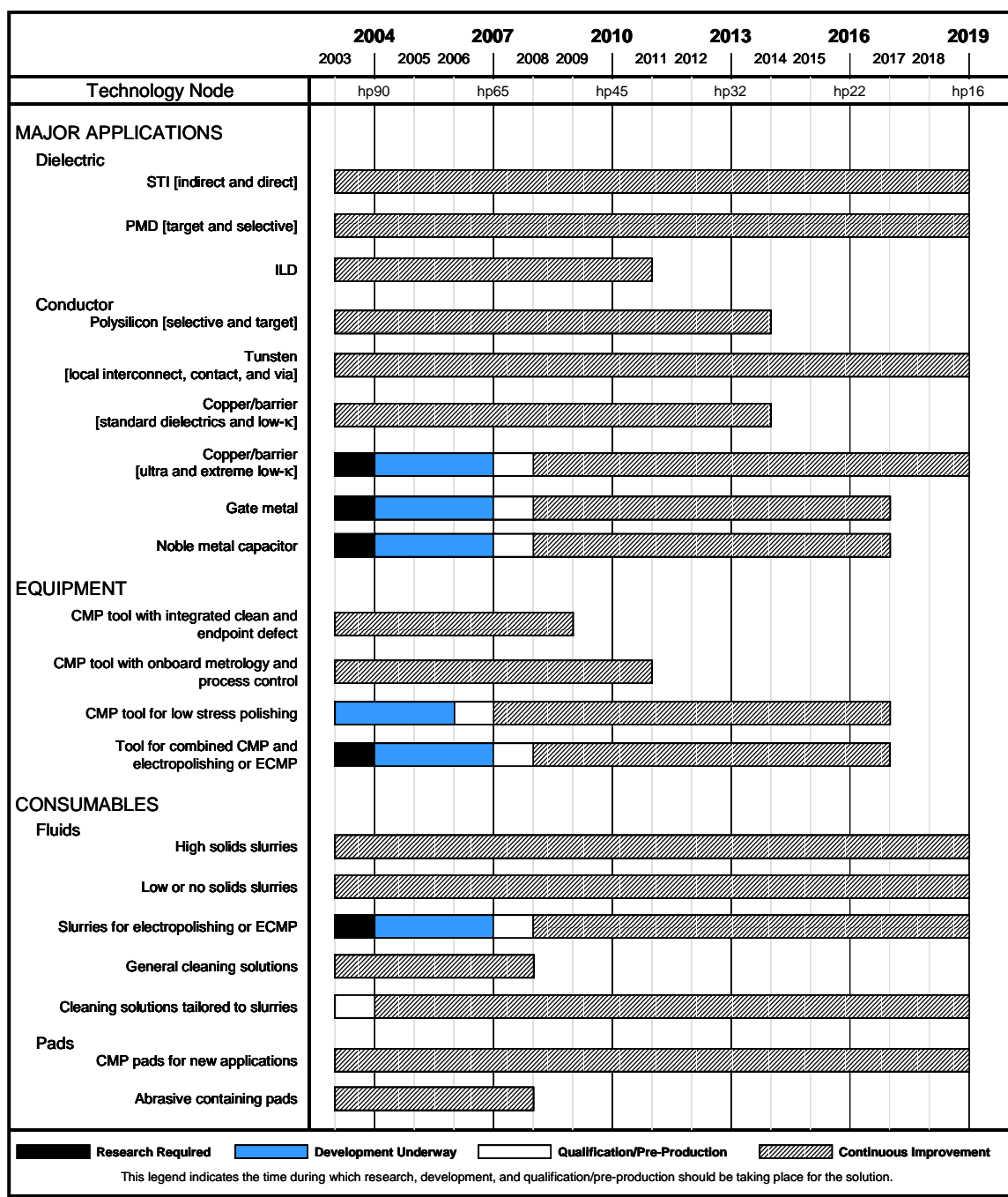
摩擦に関する計測技術は、研磨中の動的荷重制御をするために完全に統合化されるかもしれない。そして、ウエーハ表面温度の計測と動的制御が研磨中の化学反応を防止するために益々重要になるであろう。その装置は精密なスラリー調合ができる能力をもつことになるかもしれない。そして、環境対策(Green Tool)のための設計が十分に確立されなければならない。

将来の金属膜の平坦化を可能にする上で、CMP の消耗品も装置同様に重要になってくるであろう。研磨スラリーに注目したこれまでの対応策は、研磨性能における平均値だけでなくばらつきにおいても大幅な改善をもたらしてきた。Cu、BM、絶縁材料それぞれに対して制御された選択比を有するスラリーを開発することによって、Cu シニングを最小化できる研磨シーケンスを確立してきた。それと同時に、Cu 配線や絶縁膜上にスクラッチや残留欠陥、コロージョン(腐食)を発生させるスラリーの役割についても注意を払うべきである。界面散乱効果が細線 Cu における伝導に影響を及ぼし始めているので、研磨された Cu 表面上の RMS ラフネスは重要になるであろう。

Cu-CMPのための低濃度の砥粒あるいは砥粒を用いないCMPケミストリーの出現は、選択比やディッシング制御性の改善を通して製造マージンを改善するであろう。望ましい化学的物物理的特性をもつ新しい砥粒材料やパッド材料の開発はより精密で優れた欠陥性能をもたらすであろう。低せん断荷重メタル研磨に対応できる材料は潜在的な解決策である。

CMP 消耗品については、現存する応用において絶え間のない改善が図られることが期待される。新しい材料のための新しいCMP 応用の導入はこのまま続けられ、low-k 材料の導入以降も消耗品の開発を牽引するであろう。例えば、ゲートコンダクタや金属膜キャパシタ形成には多結晶シリコンを用いないことも含む。金属膜ゲートの場合には、インテグレーションスキームの選択が CMP を必要とするかどうかを決めるであろう。テクノロジー・ノード 45nm 以降は、新しいCMP 応用が新しい材料やデバイス構造とともに出現し続けるであろう。

CMP 後のウエーハ洗浄は、金属膜の平坦化プロセスと益々密に統合化されるであろう。装置に関しては、研磨機と洗浄機が一体になった Cu-CMP 装置が常識である。超音波洗浄と化学処理が組み合わされたブラシスクラパーが現状は好まれる。洗浄のためのケミストリーは今や金属膜応用のために処方されており、将来は、固有のスラリーや CMP プロセスのために用意される必要があるかもしれない。洗浄できる欠陥の化学的な特性は、使われるスラリーや研磨時の副生成物によって益々決定されるようになっているため、スラリー供給者、ケミカル供給者そしてエンドユーザー間の共同開発が求められるであろう。金属腐食は、金属成膜の特性と関連していることがあるため、依然として課題のままである。代替洗浄技術の開発が続けられるであろう。



STI—shallow trench isolation ECMP—Electro-chemical-mechanical polishing

エッチ加工に関する解決策候補

将来のエッチング技術開発は、BEOL の要求に応えるように絶縁材料や導電材料の両方の分類を包含するであろう。ロジックデバイスの設計や様々な絶縁材料の組み合わせ(無機材料、無機 / 有機材料のハイブリッド、すべて有機材料)のためのエッチング技術の開発が ITRS ドキュメントの中の絶縁材料ポテンシャルチャレンジに含まれる絶縁材料ロードマップによって牽引されることが期待される。容量結合ベースのプラズマソース技術の絶えまぬ最適化は、配線のライン / スペースや Via / コンタクトのアスペクト比が維持されたとしてもこれらの縮小に対して十分に対応できることが予想される。将来のメモリ技術開発は部分的にオフセットしたセルエリヤ縮小のために高誘電材料の導入を要求するであろう。これらの材料は、低揮発性のエッチング副生成物を形成する部類に属する。高アスペクト比のコンタクトエッチングは、世代とともにアスペクト比が増大することにより引き続き挑戦することを期待されている。現状の誘電結合型プラズマソースを用いたエッチング装置は将来の要求に応えることができるだろう。

導電体のエッチング要求には、少なくともテクノロジー・ノード 90nm 世代までは現存する誘電結合プラズマソース技術で Al をエッチングすることが含まれている。将来のメモリ技術開発を支える高誘電体材料の進歩的な導入は、その上下への貴金属や高融点金属のような新しい金属電極材料が要求される。現在のところ、これら金属電極材料のエッチングは現存の容量結合プラズマソースを用いた装置で対応されつつある。

新コンセプトの配線技術及び或いはパッケージ技術(例えば後のセクションにある 3 次元 IC)は量産へと向かいつつある。この技術の鍵となるチャレンジの一つは、ダイの裏側の電氣的(或いは熱的)接続のためにウエーハへの 100 μ m 径のスルー Via を開孔することである。Xenon を含むエッチングガスの使用が必要となるであろう。

デュアルダマシン構造の絶縁膜エッチングを支えるそれぞれのプロセス技術開発において、エッチングマスクをどのように積層構成するかという重要性が増してきた。図 62 に示したように、インテグレーション技術者はエッチングや剥離シーケンスと同様に、それぞれのエッチングマスクの積層数(1 層、2 層、3 層)の最適化やそれぞれのマスク層の組成面での最適化を言い続けている。エッチングマスク積層の機能は、下地のデュアルダマシン形状(通常は Via)エッチング中に高い選択比(>20:1)を取ることや、それぞれの層の除去や同時パターン形成が可能になることである。無機材料、有機材料、無機 / 有機ハイブリッドを用いた実例が技術文献に記載されており、これらの材料が将来においても組み合わせて使われることが予想される。

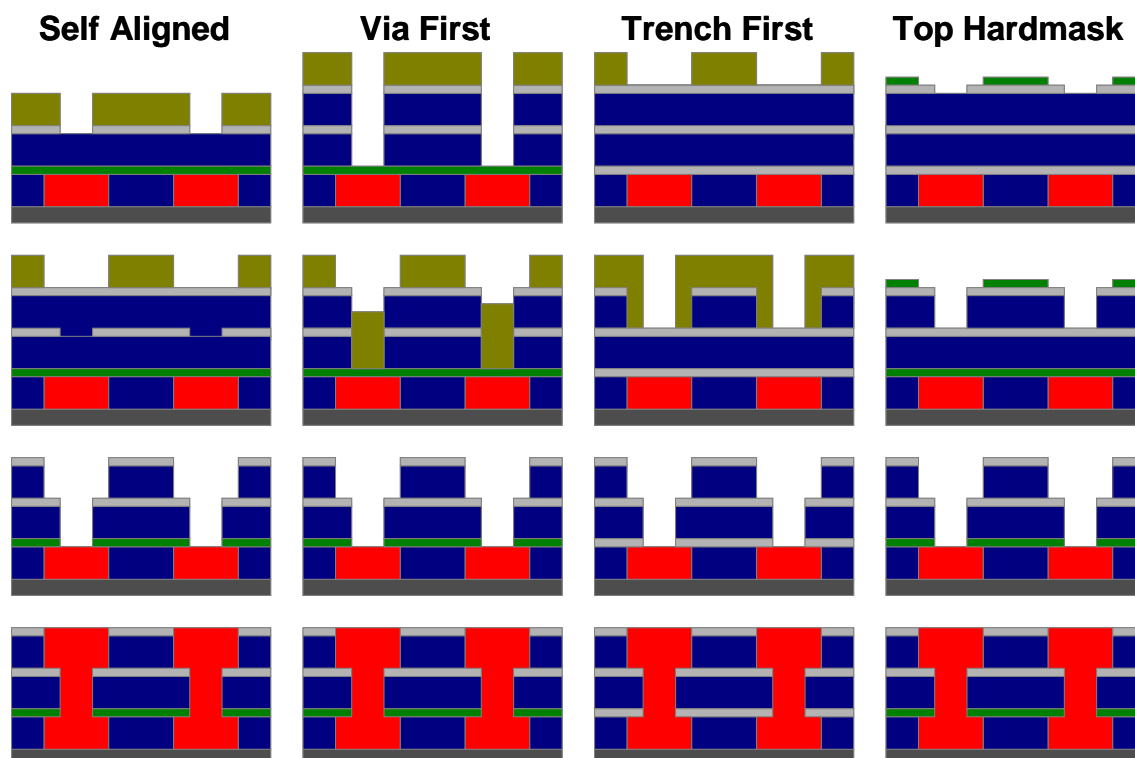


図 62 Etch Schemes for Dual Damascene

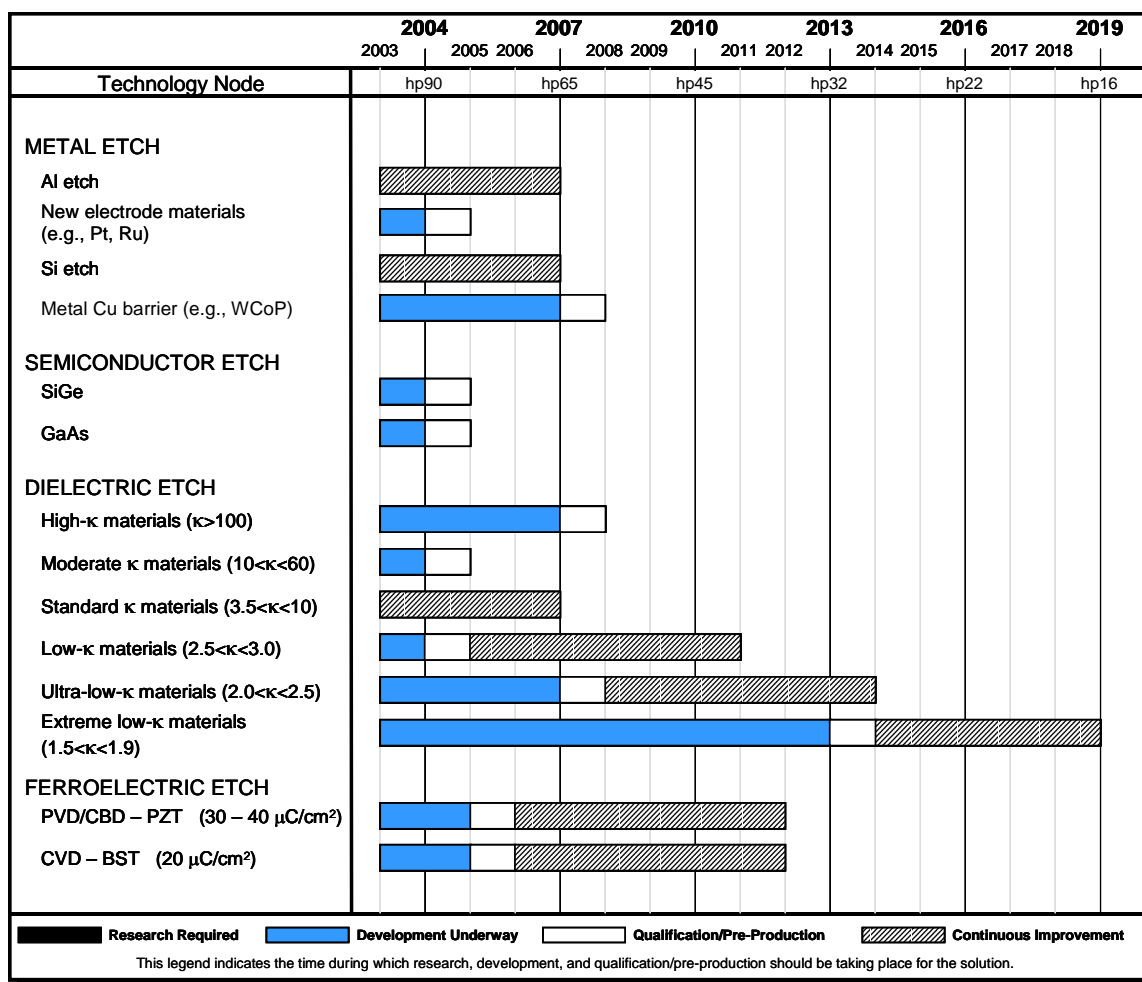
エッチングクラスター装置は、これまでは1つや2つか、せいぜい3つのクラスター数であったが、現在はクラスターの中のモジュール数やユニット動作数を増やしてきている。インシチュフォトレジストエッチ、洗浄、エッチングダメージ除去・修復そして出ガス機能をもつクラスターによるエッチングの重要性は、現状の金属膜のPVDクラスター(出ガス、スパッタエッチ、バリア1、バリア2、シード、シード形状最適化)に類似したクラスタープラットフォームへと潜在的に拡大するであろう。

金属膜のエッチングにおけるフォトレジスト除去技術は、あらゆる露出した有機材料の除去や露出金属膜の保護ができる現有技術が使われ続けるであろう。絶縁材料に関しては、もしILD構造が全て緻密な無機材料から構成されている場合には古典的なアッシング技術が革新的な進化をもって使われ続けるであろう。有機材料を用いたILD構造インテグレーションは、フォトレジスト/エッチ残渣と有機材料の高い選択比が要求されるであろう。無機材料/有機材料ハイブリッド構造におけるフォトレジスト剥離技術の開発が最も大きなチャレンジであり続けるであろう。

露出した材料の組み合わせとして、金属膜や無機材料、有機材料、無機材料/有機材料ハイブリッドなどが同時に含まれる場合には、洗浄技術はこれまでの単一Wet洗浄ステップからシーケンスアプローチへと進化するであろう。これには、バリア成膜プロセスにおいては、洗浄1、保護膜1、洗浄2、保護膜剥離、絶縁膜固定、表面処理が含まれる。

ウエーハへのスルーViaエッチは既に実証されてきた。そして、限定量産しているところも出てきている。一般的に、それはRIE及び/或いはパイアスが印加できる平行平板反応炉によって行われる。そこでは新しいエッチング装置は不要である。ウエーハ当たり比較的大量の材料が除去されなければならないので、より分子

質量の重いガスがエッチング効率を向上するために研究されている。再度言うが、大量の材料を除去する必要があるため反応炉の洗浄時間が装置の稼働率に影響を与えるぐらい増加する可能性がある。そのためのエッチングケミストリーとプロセス課題が一旦解決されると、反応炉のダウン時間を減らせるより効果的な手段が研究される必要があるかもしれない。



WCoP—tungsten cobalt phosphide CBD—chemical bath deposition

図63 Etch Potential Solutions

配線構造の表面処理

Cu 及び ULK 材料に基く配線構造は、前のテクノロジー・ノードではなかった固有の表面状態を整えるチャレンジを作り出す。加えて、高アスペクトコンタクト及びキャパシタ構造は洗浄や表面状態を整えるチャレンジを増やす。配線表面の処理には、絶縁膜や金属膜のエッチ後のフォトレジスト剥離、剥離後の残渣除去、CMP 後洗浄、成膜前処理、そして成膜後処理が含まれる。これらの表面処理についての表の記載は、主に Cu と low-k 絶縁材料を用いたデュアルダマシンプロセスに注目したものとなっている。配線には、エッチストップやハードマスクに使われるシリコン酸化膜やシリコン窒化膜と同様に、バリヤやシード層のような幾つかの他の金属材料も当然ながら含まれる。

Wet 洗浄、プラズマ洗浄、そして例えば超臨界流体や低温生成エアロゾル(超微氷粒)のような他のドライ洗浄法が考慮されている。表面処理に対するすべての技術課題を解決できる技法や技術は存在しない。例えば、プラズマ剥離プロセスはフォトレジストや残渣の除去に使うとコストメリットがあるが、金属性の汚染は除去することはできない。Wet 洗浄は、金属性の汚染は除去できるが、高アスペクト形状の場合に乾燥が難しいことが判明している。

表面処理は一般的に、他の装置とは分離・独立されていると考えられているが、技術的な有効性が認められる CMP 装置のように、他のプロセス装置の中に合体されてきた。様々な表面処理法の組み合わせがウエーハ表面の洗浄に効果的であることが判明している。例えば、デュアルダマシン形成の配線トレンチエッチング後の典型的な洗浄シーケンスやその後のバリヤ及びシード Cu PVD 成膜工程には、インシチュエッチング後フォトレジスト剥離や洗浄、Wet 剥離や洗浄、Wet 成膜前処理や最終的なインシチュ成膜前スパッタ洗浄が含まれている。エッチング後のフォトレジスト剥離や残渣除去は、今や、デュアルダマシン形成のための絶縁膜エッチング装置の中でインシチュで行うことができる。

ロジックデバイスと DRAM デバイスの両デバイスが洗浄に対してチャレンジをもっている。DRAM が Cu 配線へ移行すると、ロジックデバイスが直面する表面処理上の課題と同じ課題に対応していく必要がある。加えて、DRAM 固有の高アスペクトのコンタクトやシリンダー型のキャパシタは洗浄や乾燥が難しいという課題がある。ウエーハの表面や裏面、エッジに付着した粒子や金属性 / 有機性の汚染を有効に洗浄しなければならない。その表面は荒れていてはいけなし、その材料に影響を及ぼしてはならない。

表 83a Interconnect Surface Preparation Technology Requirements*—Near-term

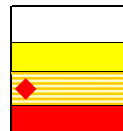
Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	D ½
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	M
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	M
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	M
Wafer diameter (mm)	300	300	300	300	300	300	300	D ½, M
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	D ½, M
Front surface particles								
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.0172	0.0217	0.0283	0.0185	0.0233	0.0158	0.0199	D ½
Critical particle diameter, d_c (nm) [B]	50	45	40	35	32.5	27.5	25	D ½
Critical particle density, D_{pw} (#/wafer) [C]	59	75	97	64	80	54	68	D ½
Back surface particles								
Back surface critical particle diameter (nm) [D]	TBD	TBD	TBD	TBD	TBD	TBD	TBD	D ½, M
Back surface critical particle density (#/wafer) [E]	TBD	TBD	TBD	TBD	TBD	TBD	TBD	D ½, M
Edge bevel particles								
Edge bevel critical particle diameter (nm) [F]	200	180	160	140	130	114	100	D ½, M
Particles (cm ⁻²) (G)	TBD	TBD	TBD	TBD	TBD	TBD	TBD	M
Particles (#/wafer) (G)	TBD	TBD	TBD	TBD	TBD	TBD	TBD	M
Metallic Contamination								
Critical front surface metals (10 ⁹ atoms/cm ²) (H)	50	50	10	10	10	10	10	M
Critical back surface metals (Cu) (10 ⁹ atoms/cm ²) (I)	1000	1000	1000	1000	500	500	500	M
Mobile ions (10 ¹⁰ atoms/cm ²) [J]	5	5	5	5	2.5	2.5	2.5	D ½
Organic contamination (10 ¹³ C at/cm ²) [K]	1.8	1.6	1.4	1.3	1.2	1.0	0.9	M
Cleaning Effects on Dielectric Material								
Maximum dielectric constant increase due to Strip + Clean [L]	4.00%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	M
Maximum dielectric constant increase due to rework [L]	4.00%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	M
Maximum effect on dielectric critical dimension due to Strip + Clean [M]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	M

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for 表 83a and 83b:

[A]キラー欠陥密度(Killer defect density)は、歩留まり 99%に相当する欠陥密度を、式 $Y=0.99=\exp(-D_p R_p A_{eff})$ から計算する。ここで A_{eff} は有効チップ面積、 D_p は欠陥密度、 R_p は欠陥のキラー率；着目する欠陥がデバイス動作を不良にする確率である。積 $D_p R_p$ はウェーハ上のキラー欠陥密度を示す。 R_p は、パーティクルの大きさや形状、組成、および特定のデバイスレイアウトといった数多くの要因に依存する。これまで、クリティカル パーティクル サイズ(Critical Particle size); d_c より大きなパーティクルに対して、すべて R_p を 0.2 と仮定してきた。 A_{eff} は、Front End Surface Preparation の項と同じ値を仮定する。DRAM では、 $A_{eff}=2.5F^2T+(1-aF^2T/A_{chip})\times 0.6A_{chip}$ 。ここで F は最小寸法、 a はセル フィル ファクタ、 T はチップあたりの DRAM ビット数(トランジスタ数)、 A_{chip} は DRAM チップサイズ。MPU では、 $A_{eff}=aT(GL)^2$ で、 GL は

ゲート長。Aeff は一連の技術ノードにおいて増減するため、DpRp は年毎に減少するわけではない。

[B] クリティカル パーティクル径(Critical particle diameter);dc、は歩留まり改善の項で、配線のハーフピッチ寸法の 1/2 と定義される。ほとんどのパーティクル状汚染物の形状は一定でないため、この値は“実効的な”粒径と考えるべきである。

[C]クリティカル パーティクル サイズより大きなパーティクルの欠陥キラー率 Rp を 0.2 と仮定した場合の一例を示している。旧版のロードマップから用いている仮定で、一般的に有効な値ではなく、具体的な計算例を示すための値である。ウェーハあたりのパーティクル数は、 $Rp \times 3.14159 \times (\text{ウェーハ半径} - \text{ウェーハエッジの除外長さ})^2$ を用いて計算される。ウェーハあたりのパーティクル数を、クリティカル パーティクル サイズに対する値から、替わりのパーティクルサイズに対する値に変換するための換算式は以下の通り。 $D_{\text{alternate}} = D_{\text{critical}} \times (d_{\text{critical}} / d_{\text{alternate}})^2$ 。

[D] and [E] ウェーハ裏面のクリティカル パーティクル サイズとその個数の基準値について 2003 年度版に記載される予定はない。裏面パーティクルは重要な管理項目で、装置認定の際に評価されるが、経験的にも理論的にも裏面パーティクルとデバイスの歩留まりを結び付ける明確なモデルが無い。過去に、裏面パーティクルにより露光プロセスでウェーハ表面の焦点面がズレ、最小寸法が変動するためデバイス歩留まりに影響を与えるという主張があった。しかしながら、ピンチャックを介してのみ接触可能な裏面コンタクトで、裏面パーティクル密度がどのようにウェーハ表面の平坦性の変動を引き起こすのか明確でない。さらに、露光の焦点深度(depth of focus: DOF)がどのように年毎に変わるのかは、露光のロードマップに明記されておらず、明らかではない。で達成可能な限られた背面接触がどのように背面粒子密度と対話するかが明確ではありません。一般に、裏面パーティクルのクリティカルサイズを最小線幅の露光ステップにおける DOF の 1/2 で管理するのが、良い基準となりそうである。2003 年の DOF がおよそ 0.4 ミクロンであるので、裏面パーティクルのクリティカルサイズは 0.2 ミクロンであると考えられる。裏面パーティクルの絶対量をインプロセスのウェーハで計測するのは、裏面仕上げの状態や成膜状態による変動が大きいため不可能である。一般に受け入れられている手法は、研磨ウェーハの処理を行い、着目するプロセスや処理による裏面パーティクルの増分を評価する。現在、最も良い例は、裏面パーティクルの増分が 2003 年版のいかなる工程に対しても、0.2 ミクロンが 400 個未満である。

[F] and [G] ウェーハエッジ、ベベル部のクリティカル パーティクルサイズは、DRAM 1/2 ピッチの 2 倍としている。剥がれ落ちて、ウェーハ表面上に付着し、致命的な歩留まり低下を引き起こすパーティクルのサイズである。エッジ欠陥と歩留まりとを結びつける文献はほとんど存在しないが、パーティクルの数や密度をできるだけ減らすことは重要である。その基準はまだ評価中であり、この表には値が記されていないが、最新の実験では配線プロセス工程、特に CMP 工程でのエッジ ベベル部のパーティクル増分は、1/4 ウェーハあたり 4 個以下にすべきという指摘がある。繰り返すが、この値は指針として扱うべきで、仕様ではない。

[H] 表側表面の金属汚染濃度は、トランジスタへの金属拡散による歩留まりの低下、あるいはデバイスのリーク電流に基づいている。データは、濃度 $1E13$ 以下の Cu が配線リークを引き起こし、 $1E10$ 以下でトランジスタの劣化を引き起こす可能性があるとして示している。Cu が誘電膜中に拡散し、さらにトランジスタまで拡散する可能性について、疑問は残るが、Cu 汚染は低いほうが良い。汚染濃度はまだ評価中であり、ここに示された値は指針として扱うべきで、仕様ではない。

[I]裏面の Cu 汚染濃度は、シリコン中の Cu 拡散によって引き起こされるトランジスタの電氣的パラメータの劣化に基づいている。裏面 Cu 汚染がトランジスタに及ぼす効果を評価する多くの研究が行われてきた。最も深刻な影響は、電界ドリフトによる TDDB である。裏面の酸素はシリコン中への拡散を防ぐ。しかし、いったんシリコン中に入ると、熱処理により拡散し、析出する。参考文献には、デバイス特性を劣化させる濃度として、 $1E15$ 以上や、 $1E11$ 以下という値が記されており、試験デバイスの構造や薄膜の厚さに依存している。繰り返すが、この値は指針として扱うべきで、仕様ではない。

[J]配線の可動イオンはフロントエンドの基準ほど厳しくない。可動イオンは誘電膜中であっても同様の電氣的な劣化を引き起こし、膜の損傷を生じるが、酸化膜にはある程度のナトリウムをゲッターリングする作用がある。裏面の汚染濃度として、

フロントエンドの値を用いる。配線に対して、ここで示される原因は許容レベルについての指針であり、フロントエンドの基準値の約2倍である。

[K] 有機汚染は通常、レジスト剥離と洗浄後にウェーハ上に残存するハイドロカーボン層として存在する。有機汚染膜が残っていると、その上に成膜された膜が剥離する可能性がある。カーボンの残留物は、不適切に除去されたレジストやプロセスチャンバ内のパーティクルにも由来する。配線に対してフロントエンドと同じ基準が使われており、180nm ノードの Dc は、Si ウェーハ表面の被覆率 10% ($7.3E+13$ の原子/cm²)に相当する。それに続くノードの Dc は CD との比率でスケールリングされる。Dc = (CD/180) ($7.3E+13$)

[L] 剥離と洗浄のプロセスは、絶縁膜の誘電率に有害な影響を及ぼすことが知られている。特に多孔質系誘電体材料で問題になる。この影響を最小限にし、ゆくゆくは無くすることが不可欠である。露光パターニングの再生処理には剥離と洗浄が含まれ、誘電率に同様の影響を及ぼす。これらの値は、許容できる誘電率の劣化量の指針である。

[M] 剥離と洗浄のプロセスには、幾分かの絶縁膜の除去が含まれる。特に CDO 膜からカーボンが抜け、薄い SiO_x 膜が残る。CD を維持するためにこれを最小にする必要がある。これらの値は許容できる誘電率の劣化量の指針である。

表 83b Interconnect Surface Preparation Technology Requirements*—Long-term

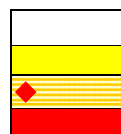
Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	D ½
MPU / ASIC ½ Pitch (nm)	45	35	32	25	22	18	M
MPU Printed Gate Length (nm)	25	20	18	14	13	10	M
MPU Physical Gate Length (nm)	18	14	13	10	9	7	M
Wafer diameter (mm)	300	300	300	450	450	450	D ½, M
Wafer edge exclusion (mm)	2	2	2	2	2	2	D ½, M
Front surface particles							
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.0250	0.0199	0.0250	0.0199	0.0136	0.0215	D ½
Critical particle diameter, d_c (nm) [B]	22.5	17.5	16	12.5	11	9	D ½
Critical particle density, D_{pw} (#/wafer) [C]	86	155	195	155	106	168	D ½
Back surface particles							
Back surface critical particle diameter (nm) [D]	TBD	TBD	TBD	TBD	TBD	TBD	D ½, M
Back surface critical particle density (#/wafer) [E]	TBD	TBD	TBD	TBD	TBD	TBD	D ½, M
Edge bevel particles							
Edge bevel critical particle diameter (nm) [F]	90	70	64	50	44	36	D ½, M
Particles (cm ⁻²) (G)	TBD	TBD	TBD	TBD	TBD	TBD	M
Particles (#/wafer) (G)	TBD	TBD	TBD	TBD	TBD	TBD	M
Metallic Contamination							
Critical front surface metals (10 ⁹ atoms/cm ²) (H)	10	10	10	10	10	10	M
Critical back surface metals (Cu) (10 ⁹ atoms/cm ²) (I)	250	250	100	100	100	100	M
Mobile ions (10 ¹⁰ atoms/cm ²) [J]	2.5	2.5	2.4	2.4	2.3	2.3	D ½
Organic contamination (10 ¹³ C at/cm ²) [K]	0.9	0.9	0.9	0.9	0.9	0.9	M
Cleaning Effects on Dielectric Material							
Maximum dielectric constant increase due to Strip + Clean [L]	2.00%	2.00%	2.00%	2.00%	0.00%	0.00%	M
Maximum dielectric constant increase due to rework [L]	2.00%	2.00%	2.00%	2.00%	0.00%	0.00%	M
Maximum effect on dielectric critical dimension due to Strip + Clean [M]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	M

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



配線の表面処理に対する“チャレンジと有望解”は、主に Cu と low-k 材料のインテグレーションの課題に基づいている。90nm、65nm ノードでの表面処理のチャレンジは、表面にダメージを与えることなく、また残留物を残すことなく、Cu と low-k 誘電膜を洗浄し、乾燥することである。コンタクト、ビア、スタックキャパシタ、およびその他のストレージデバイスにおける高アスペクト形状を効果的に洗浄し、深い底部の水分を除去しなければならない。多孔質 low-k 誘電膜の中に湿気が取り込まれてはいけなく、カーボンが抜けてはいけなく、そして誘電率が変化してはいけなく。積層化した構造で、界面にボイドを発生させてはいけなく。Cu 膜、特にバリアと Cu の界面を腐食させることなく洗浄しなければいけなく、そして仕上げ表面に厚い酸化膜が残らないようにして、電気的なコンタクトを確保しなければいけなく。トランジスタ部への Cu の混入を避けるために、ウェーハ端や裏面の Cu を洗浄しなければいけなく。

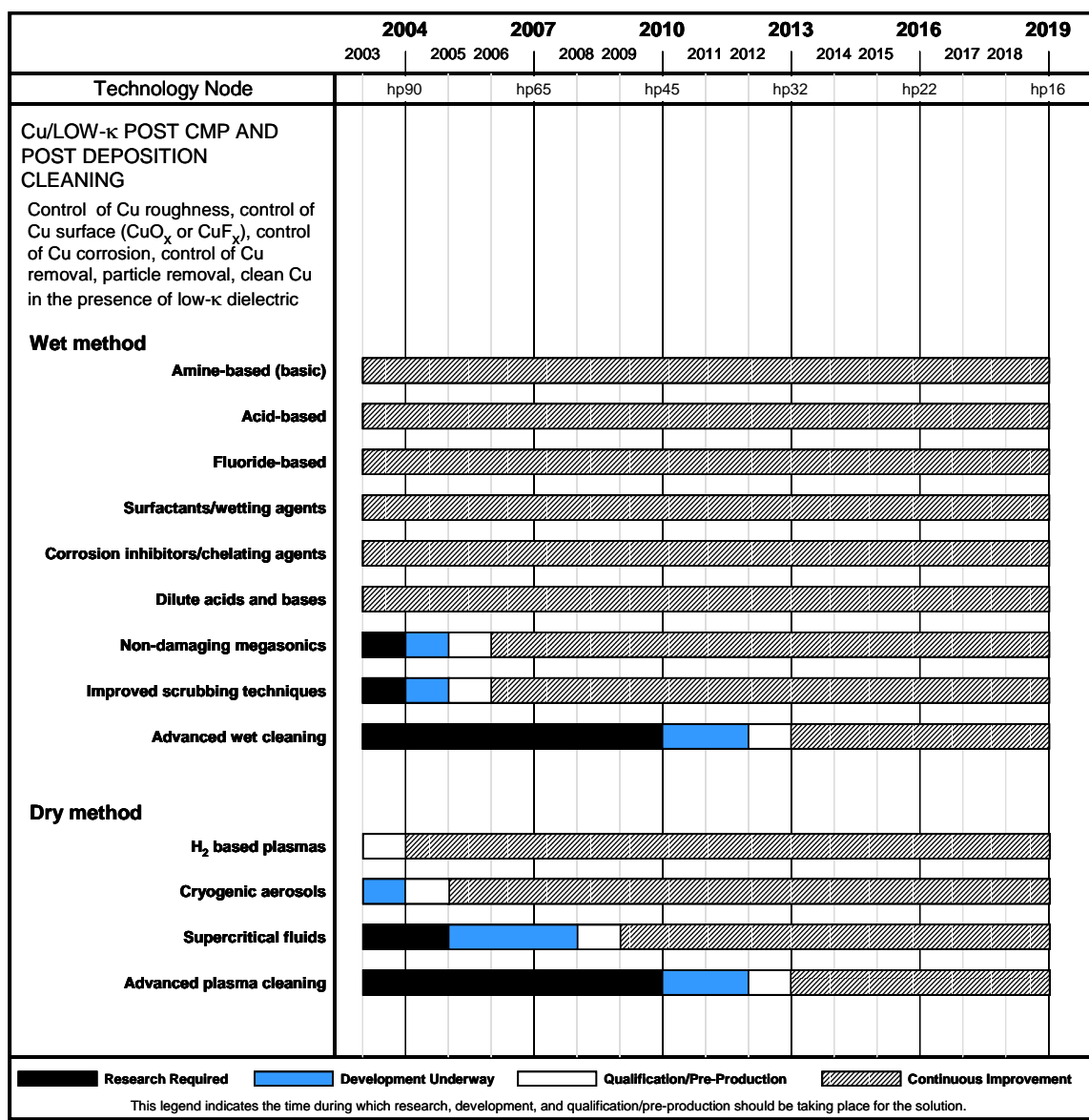
45nm ノードの表面処理のチャレンジは 65nm で直面する問題の延長にある。多孔質でカーボンを含む ultra low-k 誘電膜のインテグレーションは、特に難しいことがわかるかもしれない。このノードに対して考えられている表面処理と洗浄の技術は、wet 洗浄やプラズマ洗浄の域を超えたところまで広がっている。検討段階の新技術として、超臨界流体、極低温のエアロゾル、およびレーザ洗浄などがある。wet 技術やプラズマ技術がさらに改善されれば、それらが延長して使われるので、ロードマップ上には Advanced wet と Advanced plasma の項がまだ残されている。

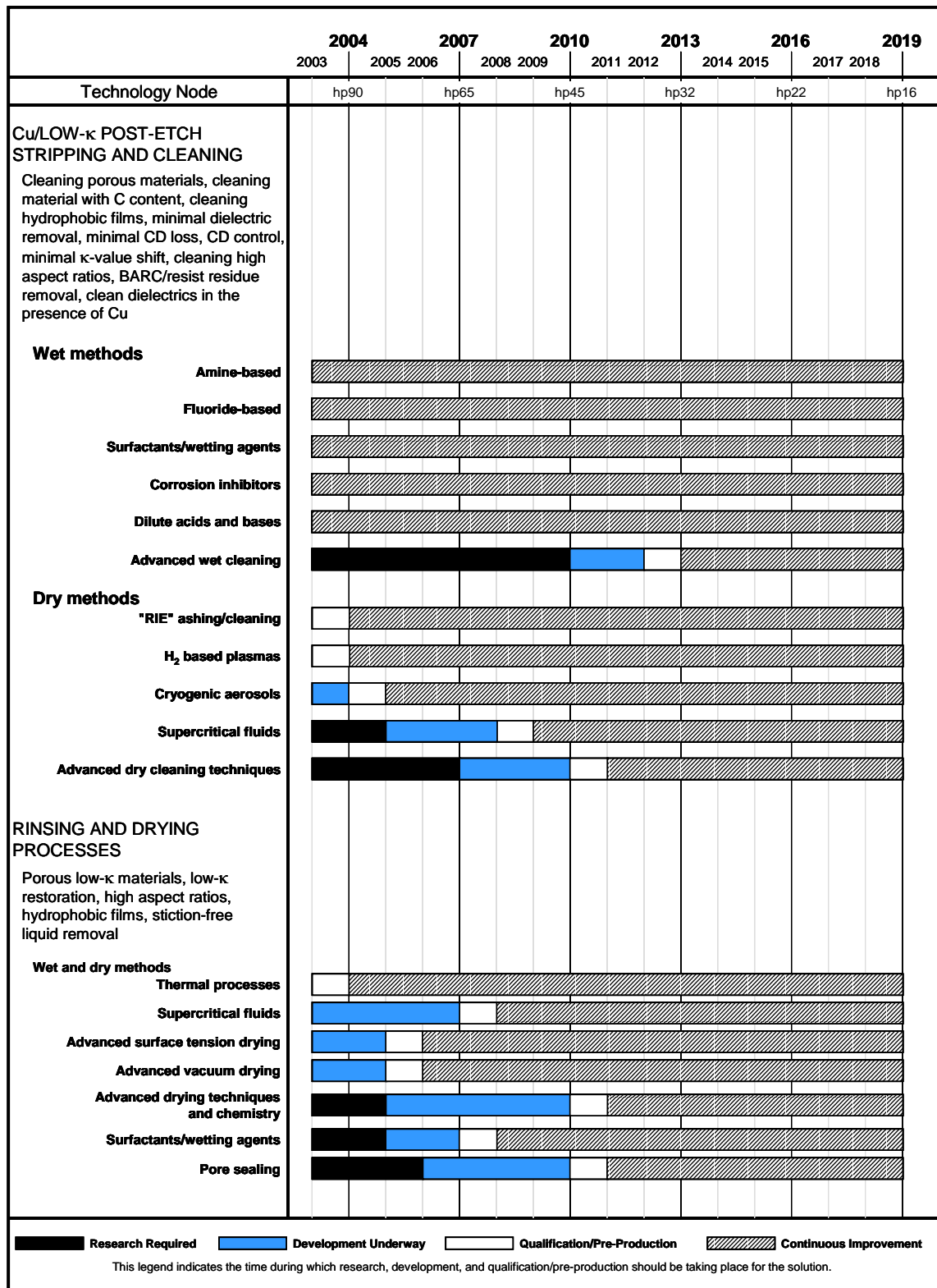
wet 洗浄は、90nm と 65nm ノードでの、CMP 後、レジスト剥離後、および成膜前の洗浄プロセスの選択肢であり続ける。Cu と low-k 誘電体材料は wet 式で洗浄できる。希薄な酸をベースに、フッ素系の化学物質、表面活性剤、キレート剤、そして/あるいは、腐食防止物質を添加した薬液が、90nm と 65nm ノードの洗浄に使用されるであろう、さらに 45nm まで拡張可能である。希薄なオゾン水やその他の独特な化学物質を用いる、さらに先の wet 洗浄技術は、45nm ノード以降の技術として、まだ研究段階である。

カーボンを含んだ low-k 誘電膜は、疎水性表面が問題を引き起こしている。リンスした後、ウォーターマークが残らないように、あるいは表面活性剤の不要な残渣が残らないように乾燥させることがむずかしい。この問題に対して、表面張力乾燥法などのフロント・エンドの表面処理技術で対処するかもしれない、あるいは超臨界 CO₂ のような新規プロセスの導入や、イソプロピル・アルコール(IPA)と置換可能な新しい薬液の導入を加速するかもしれない。

微細化の進展にともない、パーティクルの除去はますます重要となる。ウェーハ裏面、端、表面のパーティクルを除去し、ウェーハを洗浄しなければならない。研究中の新方式には、メガソニック、ブラシ、およびウェーハダメージを最小にする他の物理的な方法を発展させた方法が含まれている。ウェーハの縁と裏面のパーティクルが歩留まり低下を引き起こすことが知られているが、定量化は難しい。縁と裏面のパーティクルを測定でき、歩留まりとの相関が得られる新しい装置は、まだ手に入らないが、研究中である。

洗浄プロセスと化学構造式“chemical formulation”は、濃度の薄い洗浄薬液、毒性の低い薬液、そして環境にやさしい薬液を使用することで、環境、健康、および安全の問題に取り組むことになる。フッ素ベースの薬液と、特にキレート剤には廃液の問題がある。また、水の使用量を減らすこともゴールである。





BARC—bottom anti-reflective coating

受動素子

イントロダクション

高精度のオンチップ受動素子の導入は、現在あるいは将来の配線アーキテクチャに対する新しいチャレンジとなる。高品質のキャパシター、インダクター、抵抗に対する要求は、先進的なミックスドシグナル、高周波 (RF)、システムオンチップ (SoC) への用途によって、主にドライブされている。ミックスドシグナル及び RF CMOS 用途に対しては、基板とのカップリングノイズやその他寄生効果の低減と制御が、最も重要な項目の一つとなる。アプリケーションの観点での受動素子に対する要求は、(PIDS のワイヤレスコミュニケーション用の RF 及びアナログ/ミックスドシグナル技術の項の) 表 53a と 53b に示されている。過去においては、IC 上の受動回路要素 (例えばキャパシターや抵抗) を実現するための従来法は、フロントエンドプロセス中に作り込むものであった。この場合には、ドーパされた単結晶シリコン基板、多結晶シリコンおよびシリコン酸化膜、シリコン窒化膜が用いられた。これらは、シリコン基板の近傍にあるため、フロントエンドプロセス中に作られた受動素子は、特に高周波で使われる場合に性能劣化の増大に苦しむことになる。そのため、配線レベルで作成した、損失と寄生効果が少なく高品質な受動素子に対する要求が強くなっている。

配線のインテグレーションで、この目標をモジュール的かつコスト効率よく、しかも総合的な配線性能と信頼性を損なうことなく達成することが、重要なチャレンジとなる。現在の所、オプション的な配線層および新材料を導入することが、必要な機能と特性を実現するための好ましいアプローチである。

MIM キャパシター

高品質な金属-絶縁膜-金属 (MIM) キャパシターは、CMOS、Bi-CMOS およびバイポーラーチップにおいて、使用の拡大が見込まれている。典型的な用途は、(例えば A/D、D/A コンバーターにおける) フィルターやアナログキャパシター、RF のオシレーターや共振回路、マッチングネットワークにおける RF カップリングや RF バイパス用キャパシターである。MIM キャパシターの重要な特性は、幅広い電圧範囲での高いリニアリティ (小さな電圧依存性)、低い直列抵抗、良好なマッチング特性、容量の温度依存性が小さいこと、リーク電流が小さいこと、絶縁破壊耐圧が大きいこと、十分な絶縁膜の信頼性を有することである。

チップ領域の消費を小さくしたいという経済的な要求は、MIM の電荷蓄積密度をより大きくしたいという直接的な要請をもたらす。 $1.5\text{-}2\text{fF}/\mu\text{m}^2$ を越えるには、従来使われてきたシリコン酸化膜や窒化膜の更なる薄膜化では、リーク電流の増大や絶縁膜信頼性の劣化のために、もはや使うことができない。そのため、新規の高誘電率絶縁膜材料が使用されることが必要である。

常にそうであるように、新しい材料の導入は、材料のプロセスやインテグレーションにおいて、新たなチャレンジを引き起こす。良好な膜厚均一性を有した、欠陥が少なく高誘電率な良質の膜を、 450\AA 以下で形成する必要がある。温度の制約は、総合的な配線アーキテクチャとの整合性を保つためである。基板との寄生カップリング容量の低減と、MIM キャパシターの高い Q 値を実現可能とするためには、上層の配線レベルでのインテグレーションが望ましい。

高い MIM の Q 値と優れた信頼性を達成するためには、低抵抗なキャパシター電極と、完璧に制御された電極と絶縁膜の界面が求められる。MIM キャパシターにおいて、高誘電率絶縁膜材料の有望なインテグレーション

ションを行った例が、文献で幾つか報告されている (Appendix: Optional levels – passive devices を参照)。しかしながら、最小限の工程付加で、コスト効率と生産性の良い解を実現していくには、未だ、更なる改善が必要である。

インダクター

高品質のオンチップインダクターは、アナログ/ミックスドシグナルや高周波 RF の用途において、重要な部品となる。現在の所、特にインピーダンスマッチング、RF フィルター、RF トランシーバー、電圧制御オシレーター、パワーアンプや低ノイズアンプ用の RF 回路において、これらは広く使用されている。重要な特性は、高いインダクタンス、高自己共振周波数、低オーミック損失、低い渦電流、そして低容量基板損失を保った状態で、高い Q 値を実現することである。

現在の所、最適な Q 値を達成するため基板から十分な距離を取った低抵抗のコイルを作成する必要がある。このため、上層の厚い Al または Cu 配線レベルで形成したスパイラルインダクターが最も広く使われている。これらの単純なスパイラルインダクターは、通常の配線プロセスを使って比較的簡単に作ることができる。しかし、これらは、あらゆる場合に、将来の RF の要求を満たせるほどには良好ではない。そのため、より先進的ないくつかの構造やアプローチが追及されている。

いくつかの配線層で実現したシャントコイル、金属または磁気的なグランドプレーン、エアギャップ中のスパイラルインダクター、厚い再配置配線で形成したコイルを持ったパッシベーション後の追加モジュール、または強磁性のコア有 / 無のソレノイドコイルのような例が、成功裡に報告されている (appendix: Optional levels – passive devices を参照)。しかしながら、インテグレーションとプロセスの複雑さの問題があるため、これら全ての代替の形成法が、生産に適しているという訳ではない。これらの多くのアプローチの存在は、性能改善に対する絶えまない格闘の現れとも言える。ここで言う性能改善は、高い周波数領域で、より高いインダクタンスを得ることや、コイルや寄生基板におけるオーミック損失を低減することによって Q 値を改善することを伴う。基板損失を低減するための他の可能性としては、低抵抗のシリコン基板を使用することである。しかしながら、このアプローチは、様々なデバイスやプロダクトの要請と、いつも整合性が取れるとは限らない。

抵抗体

高精度の薄膜抵抗体は、アナログやミックスドシグナル回路、特定の SoC 用途において広く使われている。重要な特性は、正確な抵抗制御、優れたマッチング特性、電圧に対する高いリニアリティ、小さい温度係数 (TCR)、小さな $1/f$ ノイズ特性、高い Q 値を実現するための低い寄生抵抗である。現在、最も広く使われているフロントエンドプロセスで形成されたシリコン基板、他結晶シリコンまたはシリサイド抵抗体は、劣悪な $1/f$ ノイズ特性と基板損失に主として苦しんでいる。

配線レベルでの薄膜抵抗体は、 $1/f$ ノイズ特性とその他の基板損失を、かなり改善することができる。配線における抵抗体の重要なチャレンジは、標準的な配線材料やインテグレーション方式と整合性があり、優れた膜厚制御、モジュールインテグレーション的に絶縁膜と良好なエッチング選択比を有し、適当かつ調整可能なシート抵抗を持った材料を見つけ出すことである。特に銅配線の場合は、TaN が有望な候補であることが見出されている。しかしながら、他の材料も、近い将来、使われることになるかも知れない (appendix: Optional levels – passive devices 参照)。

信頼性

イントロダクション

前のテクノロジー世代で起こった配線材料や構造における急速な変化は、配線の信頼性に対して重大な新しいチャレンジをもたらした。将来の世代の配線では、先進的な構造への変更が予想されるが、これには、さらなるチャレンジと配線の信頼性に関する新しい理解を必要とする。この節では、Cu/low-k 配線で認知された信頼性上の課題と、将来の技術の方向性を左右する主な懸念点として、信頼性を取り上げる必要があることについて述べる。

Cu/Low-k の課題

許容電流密度や動作上限温度を大幅に改善することができる Cu 配線を採用する方向に半導体業界は動いているが、一方で材料や信頼性に関する多くの課題が生じる。これらの課題は、配線の密度、配線層数、消費電力の増加に伴って、更に悪化する。Al 配線の信頼性は、過去何年にも渡って確証されてきており、Jmax やクリティカル長といった設計上の制約として使用できる少数のパラメーターによって、特性づけできることが見出された。このような特性づけは、Cu 配線に関しては未だ確立されていない。基礎的な材料の特性と設計上の制約間の関係を確立するパラメーターは、IC での Cu 配線の継続的な使用拡大のために、必然的に求められている。

界面

Cu は Al と異なり、表面不動態層がない。このため表面拡散がエレクトロマイグレーションの主要なマイグレーションパスとなると想定され、異種材料間の界面特性がトータルの信頼性を決める主因子となる。Cu は Si 中やほとんどの絶縁膜中に容易に拡散するため、メタル配線間リークやトランジスタ特性の劣化を防止するには、Ta や TaN などの金属や SiN や SiC などの絶縁膜で構成された拡散バリア膜で Cu を覆う必要がある。Cu の拡散はデバイス動作中に配線間に印加される電界によって著しく加速され、長期間のデバイス信頼性を保証するためには、完全なバリア特性が必須である。目標とする実効抵抗率を実現するためには、バリア膜厚は配線幅の微細化とともに薄膜化する必要がある。しかしその結果として Cu の拡散防止はさらに困難になる。最終的には「バリア膜厚ゼロ」ソリューションを実現するために、新しい Cu のパッシベーション技術や Cu が拡散しない絶縁膜、またはこれらの併用が必要となる。

Cu の比抵抗に対する表面散乱の効果(基本的には、界面効果)は、90nm 幅の Cu 配線で現れている。この効果が、デバイス作製中の表面保護処理によって例えば許容範囲に低減できたとしても、これが長期的な信頼性上の制約に対して安定であることを証明していく必要がある。

Cu/Low-k 材料とプロセスの信頼性への影響

ダマシン構造の採用により、フォトレジスト除去方法やそれに続く配線層の洗浄方法が革新される。ハードマスク材料と酸素ベースの有機 low-k 材料エッチングガスの採用により、トレンチ、コンタクトまたはビアエッチステップでのフォトレジストの同時除去が可能となる。ドライ除去のみでは low-k 材料や Cu、およびバリア膜に対してダメージを与える恐れがあるため、高アスペクト比構造において残渣やパーティクルを十分に除去すること

ができないと考えられる。多孔質 SiO₂ や SiO₂ に近い組成の low-k 材料を採用すれば、従来の酸素ベースのレジスト除去プロセスを使用することができるとも知れない。しかしながら、これらの材料と本プロセスを組み合わせた場合の信頼性に与える影響を、詳細に調査する必要がある。上記の個別プロセスステップは、長期間の信頼性問題の要因となりうるとともに、特有の歩留り低下の要因ともなり得る。

新しい low-k 材料の採用は特性向上のために必要であるが、熱的または機械的起因によるクラックや密着性低下、機械的強度不足、水分の吸収、経時変化、表面の凹凸の影響、低い熱伝導率などの数多くの信頼性課題をもたらす。low-k 膜の典型的な熱伝導率は SiO₂ 膜の熱伝導率の 1/3 以下であるため、配線温度の上昇を招き、エレクトロマイグレーションを加速する。将来の low-k 材料系の機械的強度や冷却特性を改善するためには、絶縁膜の積層化や SiO₂ 膜への low-k 膜の埋め込み技術が必要となると考えられる。

low-k 膜の機械的強度の低下や Cu 配線の高温動作が予期されるため、これらを実現できるような画期的なパッケージ技術やパッケージ構造が求められる。これらの課題はパッケージプロセスの高温化や鉛フリーはんだへの移行とともに、研究開発部門に新たな信頼性課題をもたらすであろう。将来の製品信頼性を保持するためには、エリアアレイバンプなどの最新技術の組立工程への採用拡大を検討し、回路、材料、プロセスの選択と統合して扱う必要がある。このような統合は low-k 材料とアンダーバンプフィル工程などの組立工程を包括的に扱う上で特に重要である。

モデリングとシミュレーション

新製品や新技術の設計において、コスト効率よく最初の設計で成功するためには、信頼性を考慮した CAD ツールが必要となる。モデリングとテスト技術の改善によって高精度化した不良メカニズムとそのモデリング用いて、新しい CAD ツールの入力データ作成する必要がある。これらのデータと高性能な信頼性 CAD ツールの採用により、設計手法を選択する際の製品信頼性に対する影響を評価することができる。新しい CAD ツールは、時間に対する回路の電気的特性劣化を計算できるように、開発されるべきである。この場合に用いられる入力データは下記の因子に基づく配線およびビアの抵抗上昇であろう。

- ・ 配線長
- ・ 回路の電流特性より導かれる電流密度
- ・ 回路またはその他のジュール発熱から計算された局所的な温度

これらのツールを回路設計者のツールセットに含めることにより、製品の信頼性を製造開始する前に予想し、解決策を編み出し、解決策の適用を促進する必要がある。

将来の信頼性の動向

上記の節では、Cu/low-k に対して同定された信頼性上の問題に関してのみ議論した。多様な Cu/low-k 配線信頼性特性を十分に解明し、設計段階での信頼性作りこみのための正確なモデルを構築するためには、継続的な研究が必要である。配線のサイズが微細化され、配線の体積に対する表面の面積が増加し、比抵抗に対する電子の表面散乱効果の寄与が大きくなるにつれて、Cu の信頼性課題を引き起こす多くの問題が生じることが予想される。この領域に入った時に技術が延命できるかを見極め、発生する特有の不良モードを同定す

るためには、Cu/low-k の根本的な信頼性限界を確認する必要がある。

他の配線技術、つまり光配線技術、パッケージを介した配線技術、3次元配線技術、またはマイクロ波配線技術などに対するアプローチが、今後5年以内の実用化を目指して始まる。これらのアプローチに対するトータルへのインテグレーション技術は不明で、信頼性の調査を完了することはできない。しかしながら研究部門では代替配線プロセスや設計技術を選択する際には、信頼性保証を主要検討項目とする必要がある。

システムおよび性能に関する課題

配線性能

現在、および近い将来の配線技術(Cu配線とlow-k絶縁膜)が、今後の技術ノードにおいても回路の特性要望を満足し続ける上で適切であるかどうかは、配線網の規模とCu配線の製造技術に依存する。180nmから15nmノードに縮小する場合、現状存在するロードマップの値を使った計算では、長さもスケールされる配線の遅延は、約10倍なのに対して、固定長さの配線遅延は、約2000倍にも増大する。もし、これらの配線にリピーターが使われた場合には、遅延は、スケール長配線に対して約3倍、固定長配線の場合には約40倍まで改善される。いくつかの設計においては、固定長配線の必要性を少なくするモジュールアーキテクチャーの採用のような変更によって、これらのリピーターの増加を処置することができる。しかしながら、このような回路アーキテクチャーの主要な変更は、新しい設計ツールが必要になるという不利益に苦しむことになるし、あらゆる設計に対して、これが適用可能となる訳でもない。多くのデジタルアプリケーションでは遅延が主要な問題となるが、寸法の微細化と電流の増加によるクロストークとノイズは、デジタルとアナログの両方の回路に対する大きな問題となっている。これらの傾向は、設計の戦略に強く依存しており、その流れの中で、考慮されるべきものである。

クロックや信号のためのスケール配線での問題に加えて、同様に困難な配線の問題は、回路の電力分配である。供給電流の増加は、V_{dd}の減少と相まって、固定長配線での電力供給部とバイアスポイント間の電圧降下の増加を引き起こす。この問題は、固定長さのクロックや信号配線でのリピーターによる解ほど容易には解決できない。現在の所、この問題は、ボールグリッドアレイパッケージ技術の導入によって、部分的には取り組みが為されている。この技術の導入により、チップの全面領域に渡る電力の分配が可能となり、比較的高抵抗なグローバル配線を通した、オンチップでの平面方向の電力供給の大部分を削減することができる。パワーとグラウンドの解を仲介する他のパッケージを用いた、もっと新規の解は、更にスケールリングされた配線システムに対して要求されるであろう。

システムレベルでの集積化

システムレベルでの集積化は、目標の動作特性を実現するためにシステムのマクロ機能を物理的、機能的に組み立てることを指す。個々の機能部品(たとえば未パッケージのチップやチップの機能ブロック)のシステムへの組み立てに際しては、システムに求められる全特性要望や信頼性要望を満たす必要がある。配線に対しては今の所、オンチップ配線、パッケージング、ボードレベルでの技術というそれぞれ全く相関のない技術を用いて特性要望や信頼性要望を満たしている。

プロセス技術だけでは現在の設計手法におけるオンチップグローバル配線の課題を解決することはできな

いことは今や広く認められている。それよりもむしろ現在の考え方は、設計、プロセス技術、パッケージ、およびボード組み立てのすべてが協力して、配線に対する要望を満たす最適化された集積システムレベルでの解を作り出す必要があるというものである。

配線の進化に対する現在の展望としては、近い将来については、ICの配線遅延問題は平面的な(3次元的でない)配線技術の制限の下で、クリティカルパスの配線長が最短になるように特別な注意を払うという、回路設計上の工夫によって解決されると予測される。この手法はより先進的なパッケージやボード技術の採用とともにCu/low-k技術という実効的な後押しもあり、ITRSの予測する特性向上の実現にあたり、設計アーキテクチャの変更を最小限に抑えるために採用されるであろう。

中期的な展望としては、Cu/low-k技術はその限界まで追求され、また要望される特性向上の実現を促進するために、新しい設計アーキテクチャがチップ-パッケージの一体化設計とともに、新しいCADツールによって実現されるであろう。以上のような、現在の取り組みの延長以外に、革新的な新しい設計、パッケージ、プロセス技術の選択肢が必要となるであろう。

配線の特性向上要望を満たすために多くの技術革新が必要である。設計上の選択肢としては、非同期型クロック、配線中心のアーキテクチャおよび設計ツール、配線特性を考慮した検証、分析技術などがある。パッケージ部門は、近い将来のグローバル配線課題解決のためにチップとパッケージの配線の一体化設計を実現する上で、重要な役割を担うと期待されている。この手法は最適化されたシステムインパッケージ(SIP)の実現につながる。SIPの手法は、RC遅延を最小化するための高速クロックや信号線のパッケージ中の厚いリード線への移行や、配線層のみのチップの採用などの多くの特殊な配線の実用化に道を開く。遠い将来にはウェーハスケールパッケージングやパッケージを介したチップ間、チップ内配線などの技術革新が配線課題を緩和するために必要である。

多くの新技術の選択肢がCu/low-k技術やIC/パッケージ再設計の次の技術として現在見込まれている。これらの技術にはマイクロ波配線やパッケージを介した配線(たとえばマルチチップパッケージ、アクティブ基板パッケージなど)、RFカップリング配線、3次元配線、光配線、ナノチューブなどがある。その他の未来的な手法としては、セルフアセンブル配線やスピンを介した量子通信などが興味深い考え方である。しかし回路に適用するには大きな技術革新が必要である。

以上の高いシステムレベルでの手法は全て、グローバル配線に関する課題を最小化する可能性がある。これら将来の選択肢のタイムリーな実用化を確実にするために、上記全分野での研究開発が求められる。

新たな配線コンセプト

イントロダクション

伝統的なメタル/層間膜系にかわる新たな配線コンセプトの必要性が、1997年のロードマップ作成の際にドラマチックに指摘された。より微細なサイズ、より高い周波数、より大きなチップサイズに対する継続的な要求の結果、配線に対する要望と予測される配線特性は急激に乖離することが判明した。さらに調査した所、問題は基

本的にグローバル配線にあるが、伝統的なメタル/層間膜配線系では最も楽観的な抵抗や比誘電率の予測値を用いてもロードマップの向上要望を満たせないことが分かった。この認識に基づき、ムーアの法則曲線に沿った IC 技術の発展を今後も継続させるために、新たな配線コンセプトの検討が始まった。

グローバル配線問題の可能な解として同定された新コンセプトは、非常に幅広い。これらのオプションは、長い配線の必要性を最小限にするという設計変更から、電子スピンや量子効果のような新しい物理原理に基づくアプローチにまで広がっている。これらの両極端の間に、3D のようなジオメトリーからのアプローチ、ナノチューブやモレキュラー（分子）導体のような新しい材料、パッケージを介した配線のような他の IC と同調する方法などがある。

過去数年の間に、提案された可能性の内の幾つかが、研究から開発の段階に進められたが、将来世代のグローバル配線に対する明確な選択肢として同定された技術はない。これらのオプションが、実現可能なのか、量産性があるのか、そして、配線や集積回路の性能へのチャレンジに対する、コスト効率が高く拡張可能な解を提供するのを見極めるのに、多くの仕事が必要とされている。Al と W、または Cu と SiO₂ や low-k の場合と違って、これらの解の一つが、ほとんど全ての IC 製品に対してユニバーサルに使われることは、恐らくないであろう。

進歩するロードマップの要請と幾つかのクリティカルな課題に適合するために追求されている、さらに有望な技術の選択に関して、以下に述べられている。これらのオプションは、グローバル配線のオプションとして、導体の有望解 (図 58) に記載されている。

パッケージを介した配線

グローバル配線課題を緩和する選択肢として、配線の一部をチップ上からパッケージ、または配線層のみで構成される追加チップ内のより厚く高速の配線に移載する方法がある。これらの信号は適切なポイントでチップ上に戻される。グローバル配線だけでなく、電源、グランド配線の問題を同時に改善する目的で、I/O 数を大幅に増加するための「密集リード (sea of leads)」手法がとられる可能性がある。パッケージを介したアプローチのほとんどの要素技術は、研究所レベルで検証されている。これらのアプローチの実用化に対して創造的な開発が必要とされており、追加される部品要素や結線の導入による、本質的なコストや信頼性での限界を回避する必要がある。

クリティカルチャレンジ

- チップとパッケージ間の新たな配線のコストと信頼性
- 新たに付加されたチップのコスト（使用時）
- チップとパッケージ間の配線を区分することによる設計課題
- プロービングとテストのコストと信頼性

3 次元配線

3 次元配線は、配線長最小化の要求にこたえるため、多層のデバイスを互いに積み重ねることにより構成される。積層デバイスは、通常のボンディングパッドを介したパッケージによって接続されているチップであったり、革新的な“ウェーハ貫通コンタクト”によって接続されたチップであったり、単一チップ上の配線内デバイスの多

層積層であったりする。今日、パッケージにより個別のチップを接続する技術が使われているが、これは、三次元デバイスの最短配線長を提供するようなものにはなっていない。同様に、三次元デバイス内のリピーターが高速信号伝送を達成するという利点を提供するわけでもない。しかしながら、三次元配線の主たる目的は製品やシステムとしての展望であって、配線そのものの性能を改善するものではない。

この SoC と SIP の議論においては、三次元デバイスは、DRAM や不揮発性メモリ、ミックスドシグナル、バイポーラ、III-V 化合物などとデジタル CMOS などの異種 IC の積層を可能にする。三次元デバイスへの取り組みは多くの方法があり、新しいユニークな技術エリアへの門戸を開いている。これらの中では、クリティカルなものは、アライメントの許容差、材料の特性やコンパチビリティ、熱処理の問題である。

クリティカルチャレンジ

- 三次元デバイスの高熱伝導に互換性のある熱容量
- 薄層化とウェーハ接合
- リソパターン、エッチング、アライメント、およびチップ間の密集した狭いビアの埋設
- 能動デバイスは、配線層の最上層上に形成されるが、トランジスタグレードの電子材料を低温で配線層の上に形成する方法
- 特定の製品へのアプリケーションを目指したオプションの中から、最適な選択を可能にする三次元デバイスの製造コストと歩留まりのモデル

RF とマイクロ波配線

従来の金属 / 絶縁膜配線から急速に取って代わるものとして、チップ内の一部から他のビアへ RF やマイクロ波を使つての信号伝送がある。このオプションは、本質的にチップ上で、アンテナ、及び、適切な信号発生、及び、信号検出回路を持つ、送信器、及び、受信機からなる LAN の形をとる。この場合の伝送は、パッケージ、及び、IC 構造を通した「フリースペース伝送」であることが提案されている。他の可能性は、RF シグナルが容量的にパッケージ内で導波管とカップリングする可能性のあることである。その伝送は、シノソイドシグナル、あるいは、特定のシステム概念に応じてコード化されたデジタルシグナルとして提案されている。各オプションは、それぞれのユニークな要求と同様に、特有の利点、及び、欠点を持っている。このアプローチの基礎的な概念、に、グローバル配線を目指したこの基礎的なコンセプトが示されている。

クリティカルチャレンジ

- 代替手段と比較しての、コスト及び性能面でのトータルシステムの特徴づけ
- RF、マイクロ波配線のための電気、電磁気の面からのデザインルール

光配線

光配線は、グローバル配線の導電体/絶縁体の代替手段として、ひとつのオプションとして考えられている。光学的なアプローチは、多くの種類があり、最も簡単な手法は、チップの最上部に、エミッタオフチップ、フリースペース導波管、検出部を有するものであろう。次第に、モノリシックエミッタ、導波管、検出部においても複雑なオプションが取り入れられる。光学配線には多くの利点があるが、重要な研究を必要とするいくつかの研究

分野が明らかになっている。どちらのシグナルを光通信に入れるかに関する決定,そして,従来の導電体,絶縁体を残すか,そしてオンチップ光学エミッタの選択が重要である。信号が「光のスピード」で移動することから,この手法がスピード要求を満たすであろうことは容易に推測できる。しかしながら,トータルの配線システムを定義するためには,光学エミッタや検出部の降伏時間,移送媒体中の光のスピード,導波管中の損失(用いている場合),導波管同士のカップリングノイズ,その他のものに起因した遅延が憂慮される。

クリティカルチャレンジ

- Si CMOS に(低コストで)完全にインテグレーションされる高効率,高速スイッチングレーザーソース
- オフチップの連続レーザーと同時に, Si CMOS に(低コストで)完全にインテグレーションされる低パワーモジュレータ
- Si CMOS (低コストで)に完全にインテグレーションされる低パワー,高効率,小さいサイズの光学の検出器

テラヘルツ導波配線

テラヘルツ導波は, 10^{12} Hz (1 テラヘルツ:1 兆ヘルツ) の周辺での周波数の伝送を使った, RF と光学信号のハイブリッドである。これらは, Cu/low-k, SiO₂ 構造 によって造られた マイクロストリップ導波管を通して増幅する。このアプローチは, 材料のセットを変えない配線システムの帯域幅を著しく拡大する機会を提供する点で, 魅力的である。この技術は, 光学や RF 伝送よりもより微細化を達成できる可能性があり, 「Intermediate」の配線層に適用できる可能性がある。

クリティカルチャレンジ

- Si CMOS へインテグレーションされる高効率テラヘルツ ソース(低コストで)
- Si CMOS へインテグレーションされる低パワーテラヘルツモジュレータ(低コストで)
- Si CMOS にテラヘルツ検出器へインテグレーションされる低パワーテラヘルツモジュレータ(低コストで) (現在利用可能である「小さい」検出器は, 大きな輻射があり, テラヘルツキャリアにより見積もられた帯域幅の余裕がない)
- インピーダンス, 損失, 分散, モード安定性, パワーハンドリング, 電氣的信頼性, マイクロストリップ間のクロストーク, その他設計上必要なパラメータを決定するため, マイクロストリップラインのスケラビリティの研究。

革新的な解

上記のグローバル配線に対する選択肢に加え、独自の長所を持ついくつかのより革新的な選択肢がある。これらの革新的な選択肢にはナノチューブ、スピнкаップリング、分子配線などが含まれる。これらの選択肢は、まだ開発段階の初期にあり、量産のための計測技術と同様に、配線における有用性を証明できるトータルシステムとしてのコンセプトに向けての、共通のクリティカルな要求がある。配線課題に対する革新的な解が多くの重要な特性をもつことが認識されているが、これらの手法の実用化に対しては多くの研究が必要である。コストと生産性に関する課題を克服しながら、定められたロードマップの目標値を実現できる、あらたな創造的な手法が切実に求められる。

以上では IC 技術の進歩を継続する際に発生する配線課題に対する解を実現するためのいくつかの新しいコンセプトを紹介した。いくつかの個々の手法を説明したが、解決手法は適用対象によって異なるため、最終的な解は上述のうち、複数の手法を組み合わせたものになると考えられる。これを実現するには、考えられる全ての技術を駆使して最良の手法を十分に評価し、確認することという、各分野にまたがった研究が不可欠である。

配線技術は、1959 年のロバート・ノイスの特許に端を発し、進化の途を辿ってきた。困難とされている Cu/low-k への変更でさえ、上述の崩壊的な技術と比べると、マイナーな技術推移でしかない。取り上げるべき技術課題は数多くあるが、産業が巨額の投資をともしない解決に至るまでに、指針といくつかの戦略的課題を列挙すると。

1. その解決法は、配線全てにわたっているか？
2. どれくらいの問題を解決するか？(どの製品のために？)
3. いつ実行できるか？
4. 狙った実行時期でのニーズにどれくらいマッチしているか？
5. どれくらいの汎用性、あるいは、何世代分に利益があるか？
6. 実行するためには、必要なほかの技術は無いか？
7. 有効に実行するために、適切な、ソフトウェア、ハードウェア、生産、アプリケーションあるいはビジネスなどの変化が必要か？
8. どの技術的な問題を実行の前に解決する必要があるか？また、それらの現状は？
9. 実行するために、何を時間どおりに完了あるいは付加しなければならないか？
10. どのようにその技術が主流になっていくのか？

分野をまたがる問題

グローバル配線の問題を解決する際の、その規模と困難さに応じて、配線技術においては、Cu/low-k をその限界まで押し上げる特別な努力を始めただけでなく、設計や実装の方法に基本的な変革をもたらすような抜本的な代替方法の探索も行っている。同時に、設計、実装、モデリングとシミュレーション技術においてもグローバル配線問題を取り込むために、これまでの研究方法を変更する特別な努力を開始した。可能性のある解は、既存の技術を比較的わずかな変更すればよいものから、既存の方法を抜本的に置き換えるものまで及

んでいる。この場合、ITRS 技術的要求表の記載事項があらゆる技術領域からの要求事項をもらさず含んでいることが極めて重要となる。また配線技術においては、将来像として描く共通の要求事項を設計、実装、モデリングとシミュレーション関連研究開発社会に値踏みしてもらうことも忘れてはならない。次の節でこれらの要求事項のいくつかを議論する。

設計、モデリングとシミュレーション

現在の配線設計ツールは、完全な多層配線の性能を正確に予測しえ無い。その上そのモデルは、RLC (抵抗、インダクタンス、容量) でなく、主に RC パラメータに依存している。性能を最大化するための最適化は、しばしば、試行錯誤により行われてきた。周波数と配線層数の増大に連れ、最先端の部品の市場投入は、レイアウトや、配線の修正の能力に影響されつづけており、(関数ブロック配置、レベルおよび推論ライン寸法は) 全ての配線の目標仕様を満たしている。設計の能力は、ユーザーが効果的に、近未来から長期に渡り利用できる拡張性が無ければならない。次世代の配線のチャレンジは特に、

1. RLC にも対応したモデルは、10GHz あるいはそれ以上でのオペレーションに耐えうることが必要。(30GHz での、フリースペース波長は、概ね 1 cm まで)。この能力は RF またはテラヘルツ波配線にも必要。
2. 関数ブロック配置の最適化手段は、個々のダイ上だけでなく、スタックダイ上の三次元 IC にも必要。
3. 新しいモデルは、エミッタおよび検知器の待ち時間を考慮した光学配線の最適化により開発。
4. 上記の技術はすべて、ダイ全体の熱消費を増大させ、ダイ内のクリティカルな「ホット・スポット」の発生の数を増加させる。3D IC では多くの熱発生層が埋め込まれているが、RF 定常波の熱衝撃を生み出す熱予測モデルは、熱特性と同様に、光学装置や量子井戸デバイスが必要、

モデリングとシミュレーションは、配線問題にかかわるすべての技術分野を支援する重要なツールである。要求されるモデリングとシミュレーションの必要とされる能力は、配線が IC レイアウトやその電気特性(伝送遅延、ディストーション、信頼性など)に及ぼす効果のような高次元の予測から、(グレイン構造による)Cu 配線の微細化に抵抗上昇や、新しい低誘電率層間膜やその他の馴染みのない配線材料を用いた物理構造の予測まで及んでいる。

これらの要求は、モデリングとシミュレーションは、膨大なコストと広範囲な実験をできるだけ抑えるのに十分な確度を与えるべきである。これらの要求は、が比較的成熟した技術に対する実験の誤差範囲内での予測特性から、さらに具体的な物理モデルが実験結果の意味のある説明を与えることを立証するための実験パラメータの限定領域に関する正確な指摘にまで及んでいる。

これらのすべての場合についてモデリングとシミュレーションは、広範囲にわたる実験を走らせる必要性(と費用)を除くために十分な精度の予測を与える必要がある。配線におけるモデリングとシミュレーションの要求事項は、他の多くの技術分野と同じように、含まれなければならないパラメータの数が広がっているのも、これまで以上に厳しくなっている。たとえば、熱伝導率の低い低誘電率層間膜に変更することにより配線技術の発展で必要とされる一揃いのモデリングとシミュレーションのツールに対して電気的モデルと熱的モデルを組み合わせることの重要性が強調されることになる。(これは、短期のモデリングとシミュレーションのチャレンジとしてロードマップに新しく記載されている)

モデリングとシミュレーションの配線に関する具体的な要求は、問題となるアプリケーションのスピードと正確さのトレードオフを最適化するための階層的特性を持って、実際の理想化されていないプロセス(エッチング、PVD、CMPを含む)での複雑な構造(三次元のような)の配線性能予測(高周波効果と信頼性を含む);目標仕様を満足するためや不一致を識別するためにフロー中の製品とプロセス設計を結びつけると方法;そしてこの配線中で使われている材料(金属、バリア、絶縁膜)の物理的、電気的特性と同様に、構造を予測する材料モデリング。特に重要なのはCuのサイズ依存性、表面拡散、エレクトロマイグレーション、そしてCMP時に薄くなること(Thinning、Dishing)である。「モデリングとシミュレーション」の章を参照のこと。

アセンブリとパッケージング

最も厳しい短期のチャレンジは、ダイ表面より脆弱な low-k 材を使った IC のパッケージングである。これらの材料は、SiO₂ より一桁脆弱で、誘電率が低下するとともに、強度が落ちる。組み立て及び使用環境下で、ゼロに近いストレスでパッケージをする方法を構築する必要がある。あるいは、配線層あるいは何かで、“支柱保護膜”のような(それでも容量には影響しない)ものを用いた配線の強化の必要がある。

三次元 IC への実用的な取り組みはまだ決まっていない。いくつかのインパクトは;

- ・ ダイをつかみ、他のダイ上に正確に置き、引き続いて電気的にも機械的にも接続する方法の開発
- ・ 積層ダイを、上層、下層、そして側壁も電気的に接続する方法の開発
- ・ 積層ダイからの熱の除去、自動的に、あるいは強制的に“流体”による冷却などの手法を与えるパッケージ方法の開発

光学、RF 技術へ向かうことは、パッケージ内のダイから外部の世界へのフリースペースや導波路の通信に適応した、新しいタイプのパッケージを要求することになる。

計測

ダマシンプロセス技術は、今や、確立され、研究開発は最初の low-k 材が生産に移行する段階にある。計測技術の目標はパターン付のウェーハの測定であるが、最もすぐに利用できる方法は全面に膜が形成されたウェーハやテスト構造上で使用される。Cu 中のボイドの計測はクリティカルなチャレンジであり続けている。low-k 材におけるポアサイズの分布が示された。問題は、歩留や信頼性の低下にキラーとなるボイドやポアを見つけることである。Cu メッキ浴の自動制御も導入された。いくつかのキーとなる計測技術のチャレンジは、配線技術に負うところが大きい。以下に列挙する。配線計測と計測ロードマップの中により詳細が記されている。

- ・ ダマシンが全ての計測方法に挑戦するように、高アスペクト比の制御。キーとなる要求は Cu 配線中のボイドの計測と、パタニングされた low-k 中のポア。
- ・ 物理的、電気的特性を含めた、複合積層膜とそれらの界面の計測
- ・ デバイスと配線技術が不明瞭な段階での量産計測手法の決定

歩留りの向上

配線幅の微細化に先導されて、配線はその歴史的な歩留の挑戦、配線の集積度、信頼性と格闘しつづけることになるであろう。ダマシンへの移行は、アルミエッチングでの配線ショートの問題を大きく改善したが、ビアホール開孔の不良を大きく増大させた。この問題は配線微細化における本質的な“統治者”である。Cu は Al に比べて高いエレクトロマイグレーション耐性を示すが、この利点はもはや、微細配線の電流密度の使い尽くされた。これらの開口を電氣的な測定でなくすばやく調べる方法が望まれている。

新たなメトリクスとして、裏面パーティクルが導入された。今日、もともとの要求は、CMP からであり、配線層数の増加が CMP 工程の増加をもたらした。パーティクル除去の新たな方策として、ブラシスクラブ、超音波スクラブ、界面活性剤洗浄などが、今日使われている手法が、確立されるべきである。

三次元 IC では、Known Good Die (良品とわかっているもの) の認識と分別が重要である。ウェーハ全体を積層するものでは、多数の歩留低下が生じる。他のダイスタックや、ダイの事前テストが無い場合やファンクションだけが良好とわかっている場合も多く歩留低下を引き起こすことになる。

環境、安全性、健康(ESH)

配線技術に関しては、環境、安全性、および健康(ESH)の面で独自の課題が伴う。特に、性能優先のチップで要求される新材料(Low- κ 絶縁膜、High- κ 絶縁膜、Cu やバリア材料など)や、プロセス(電気化学的な成膜、CVD による金属/絶縁膜の成膜、Cu/バリアの CMP、Low- κ /high- κ のエッチ/洗浄など)を急速なペースで導入しようとする場合は、ESH に関するさまざまな問題を考慮することが必要になる。CMP のスラリーや銅の電気化学的な成膜槽の処理やリサイクル方法を、継続的に改善してゆく必要がある。ドライおよびウエットプロセスはいずれも引き続き使用されることになるが、適切なかたちで削減してゆく必要がある。新しい金属や絶縁材料の導入も ESH に関するこれらの課題に加わる。ウエットプロセスに対する解決策候補としては、薬液の close-loop 制御と補充が考えられる。将来の Low- κ 絶縁膜や CVD によるメタル/バリアの成膜で必要となる新しい材料、プリカーサー、およびプロセスについても、開発の早い段階で ESH の問題を考慮して入念にスクリーニングする必要がある。ESH に対する影響を改善するためには、反応生成物の放出、健康および安全面での特性、材料と装置や化学物質との適合性、可燃性、反応性といったことがらをあらかじめ特定することが必要である。また、業界もプロセスの最適化、代替技術の導入、リサイクル、除害等を通じて排出される化学物質や廃棄物(銅のメッキ溶液、CMP のスラリー、酸/溶剤、PFC、水)の削減を図る必要がある。(包括的な情報と新しい薬品のスクリーニングについては ESH の章参照)【化学薬品規制表】

ESH にとって、low-k 材の導入は大きなインパクトではない。材料そのものは良性である。CVD プリカーサー(原料)は多くの点で、これまでのシランガスより危険性が少ない。スピンオン系の low-k の溶剤は、標準的な量産工程において、環境の面でも扱いやすく設計されている。ダマシン構造を形成するためのエッチングガスも、扱いや除害の面において量産の実績があるものを使用している。

Cu 配線への移行は、Al エッチング時のハロゲンガスの使用を回避させたが、大量の水の消費や、銅金属、イオンの沈殿を生みだした。この消費は、電解メッキや後の Cu ^ CMP 工程の“残渣”の結果である。廃棄される水の中の Cu は源泉(メッキ、CMP 装置のリンス)で、あるいは、工場で他の“酸系廃棄物”と一緒に、希釈され

ている, CMP の場合, スラリーの砥粒が, Cu 金属やイオンに比べて相対的に多く含まれている。解決策は, 電気泳動, 電解採取あるいはイオン交換樹脂のようなもので, 排水から銅を取り除くことにある。しかしながら, 業界は, ユースポイント(装置, ベイ)あるいは工場レベルでこれらの施策を適用するかどうかを決定する。

将来出現するデバイスのインパクト

Cu/low-k 配線は, おそらく最後の“既存の”配線材料といえる。Cu より, 大幅に低抵抗の材料などは無いからである。業界は絶縁膜の誘電率を, 理想とされる1に可能な限り近づけることを強力に進めるであろう。ゆえに, どんな高速・高出力デバイスでも, Cu/low-k 配線を使うことになる。

現在の多層配線においては, 複雑な構造が不可欠である; 組み立てはマイクロからナノスケールへ移った。これらの構造を設計するツール, 製造プロセス, 特性評価のための手法はマイクロからナノスケールへの拡張されることになる。

結論

新材料の急速な導入と, それに伴う技術の複雑化への対応が配線技術全体に関わる課題である。長期的には, 従来のスケーリングによる素材の改善ではもはや性能的な要求を満たすことは困難となろう。グローバル配線での遅延, あるいはクロストークやノイズの問題を解決するためには, さらなる開発努力が必要となる。SOC については, 市場においてチップの機能と集積密度がトレードオフになるため, 様相 (picture) 即ち技術的タイミングが変わる可能性がある。つまり, 光, RF, あるいは設計およびパッケージング技術の開発の加速と垂直統合するような革新的な技術が, 配線技術のソリューションをもたらすことになる。