

# 歩留り改善(YIELD ENHANCEMENT)

## 概要

歩留り改善(YE)は、ある技術ノードの基準歩留りを R&D レベルから成熟状態まで改善していく過程として定義される。この定義は、その技術ノードについて生産される実製品の設計に適用可能な基準ウェーハプロセスの存在を仮定している。この定義は、歩留り向上曲線中のランプアップ部分の章を強調する。歩留り改善の章の範囲は、ウェーハテスト歩留りに限定され、ウェーハプロセスライン内の工程歩留りや組立て歩留り、組立てられた製品での最終テスト歩留りは含まない。

歩留り改善の章は、歩留りモデルと装置許容欠陥数(Yield Model and Defect Budget)、欠陥検出と特徴付け(Defect Detection and Characterization)、歩留り習熟(Yield Learning)、ウェーハ環境汚染制御(Wafer Environmental Contamination Control)の4つの章に分けられる。半導体ビジネスにおいて鍵となる指標は、特に300mm導入では、これら4つの技術領域での優位性と、その優位性による短期間での歩留り向上の成功によっている。この優位性は、工場システム、回路設計、プロセスインテグレーションとすべてのプロセス技術に連携している。キーメッセージには、歩留り成熟時の装置許容欠陥数実現に向けたプロセス及び各装置の生成する欠陥の継続的削減が含まれる。システムチックな要因を持つ歩留り低下を安定化、減少、制御するには大変な努力が求められる。デバイスの物理寸法及び欠陥サイズも縮小を続けているので、欠陥と不良/不良と欠陥の対応付けやキラー率、不良個所特定技術も重要な技術課題である。現状より高い欠陥検出感度とデータ処理能力を有する新規の欠陥検出、レビュー、欠陥分類技術が開発されなければならない。垂直立ち上げ実現には、工場システム、設計、プロセス、テスト、WIPを連携させる自動化された知的な解析手法/問題簡略化手法の開発が必要となるだろう。標準モニタウェーハの準備や、検査用レシピ、エッジ除外、TEG、短/長工程やサンプリングによるライン管理や歩留り向上には、それぞれについてアイデアが必要である。ガスや液体等の使用薬剤の不純物濃度改善は、90nmでは特に必要ではないと考えられている。使用薬剤自身の不純物濃度からユースポイントでの不純物濃度へのウェーハ汚染発生の危険がある個所の明確化が、使用薬剤本来の持つ不純物濃度に対する管理システムを決めることになるだろう。また全ての新材料用材料に対して評価確認が必要である。

## 困難な技術課題

歩留り改善の章の困難な技術課題は、表107に要約されている。縮小を続ける歩留りに影響する欠陥、高アスペクト比形状の中の欠陥、見えない欠陥(Non-visual defects)、歩留り低下を引き起こすシステムチック要因の検査時痕跡消滅が歩留り改善の章の課題の上位にリストアップされる。それ以上に、歩留り改善の関係者においては、許容可能な歩留り向上速度や最終到達歩留りの実現という課題に常にさらされているが、それは後続技術ノードでプロセスは複雑化する一方で歩留り習熟期間の短期化が必要とされるからである。

装置許容欠陥数は、将来のプロセス技術に関する情報が適用可能になるにしたがって、定期的に再確認を行い更新していく必要がある。歩留りモデルは今後の技術ノードの為に、電気的特性や回路マージン等のシステムチック要因による歩留り低下だけでなくランダム欠陥起因の歩留りの点からも、複雑に絡み合った問題を考察する

## 2 歩留り改善(Yield Enhancement)

必要がある。将来の欠陥モデルは、光学的検査 / 解析の結果を過度に重視せず、電気的特性の情報を考慮すべきである。高アスペクト比のコンタクトとデュアルダマシンプロセス配線の溝及びビアの組み合わせからの欠陥検出は、今後も課題であり続けるだろう。詳細に言及すると、100 億個に及ぶダマシンプロセス配線の溝の中のビアの欠陥を検出するのは、主要な技術課題であり続けるだろう。この課題は高感度と高スループットを同時に必要とするので複雑になるが、その 2 つの検査装置性能は、拡散ラインが検査装置の最適活用を基準歩留り向上から量産時のモニタリングに移行する中でのトレードオフとして捉えられる。不良分離の難しさは、水平方向と垂直方向での位置を特定するという困難な作業が伴うので、指数的に増加すると予想される。物理的に観察出来る様な痕跡を残さない回路動作不良を解析するのは、非常に困難な技術課題である。頻繁に数量がばらつく殆ど欠陥数増加がない測定結果を精度よく取り扱う統計的手法は、基本的なデータ量削減に関する課題である。よく工夫された TEG とモデリング技術によって、不純物濃度分布と歩留り、信頼性、パフォーマンスの間の関係を把握することが、重要なプロセス材料に関して基本となる課題である。この関係把握が、次第に厳しくなっていく不純物汚染限界が本当に必要かどうかを教え、より厳しい仕様の必要性についての初期の警告をしてくれる。プロセス装置は、歩留り急低下、故障、動作異常に関して自動的に自己診断しながら稼働し、問題があれば是正措置を開始する機能を向上させていかなければならない。

表107 Yield Enhancement Difficult Challenges

困難な技術課題 $\geq 45\text{nm}$ ノード / 2009 年以前	問題の内容
製造やテストのための設計 (DFM, DFT) とシステムチェック歩留り (SMLY) IC 設計はプロセス能力を最適化していなければならない。テストや診断が可能でなければならない。これまでの歩留り立上げを将来も達成するには、システムチェック歩留りの理解が絶対に必要である。	プロセスと整合した設計、製造のための設計、テストのための設計、診断のための設計、システムチェック歩留りモデルの開発。
高アスペクト比パターン検査 高速で低価格な装置が開発されなければならない。この装置では、高アスペクト比のコンタクト / ビア / トレンチ部にあるグラウンドルールの 1/2 のサイズの欠陥を検出できる必要があり、特に底や底付近の欠陥を検出できる必要がある。	ビアの底にエネルギーが届きにくいことと検出系へ情報が戻ってこないこと。ウェーハあたりのコンタクトとビア数が多いこと。
絶えず微細になっている歩留りに影響する欠陥の検出対象になるサイズが絶えず縮小する欠陥を、高スループットかつ高捕捉率で検出できる装置が必要である。	LER (Line Edge Roughness), ACLV (Across Chip Line width Variation), 微妙なプロセス変動。どこまでがプロセス変動でどこから欠陥発生なのか? プロセス変動から欠陥を分離するために S/N 比の改善が必要。
見えない欠陥の原因究明 見えない欠陥が検出される場所を特定するために、不良解析のための装置と技術が必要。	電気的不良になる多くの欠陥はインラインでは検出されない。
困難な技術課題 $45\text{nm}$ ノード / 2010 年以降	問題のまとめ
新材料とそのインテグレーションを考慮した歩留りモデルモデルはパラメータに対する感度の向上、複雑なインテグレーションの問題、超薄膜の品質、回路設計の影響、搭載トランジスタ数の増加等を考慮に入れる必要がある。	新しい技術ノードのためのテスト構造開発。複雑なインテグレーション問題への取組み。超薄膜の信頼性モデル。増大するトランジスタ搭載密度を考慮に入れてフロントエンドプロセス (FEP) のスケーリング方法を改善すること。
欠陥検出 検出と同時に多種類のキラー欠陥を区別することが、高い欠陥捕捉率と処理速度達成のために必要である。	現存技術は感度のために処理速度を犠牲にしているが、予想される欠陥レベルでは処理速度と感度を両立させることが統計的有意性を確保するために必要。問題となる寸法でパーティクルを検出する能力は無いかもしれない。
不純物量と歩留りの相関 使用方法および液体 / 気体の種類と標準テスト構造 / 製品歩留りとの相関。	各材料ごとに使用方法を確立すること。歩留り / パラメータに及ぼす影響を調べるための標準検査方法を決定すること。

歩留り向上と成熟歩留り プロセスの複雑さが増し、後続の技術ノードでの歩留り向上サイクル数が減少する中で、これまでの歩留り立上げ速度と到達レベルを実現することが困難になっている。	長く複雑なプロセスのために、これまでのような歩留り立上げが困難になっている。加えて、歩留り問題への影響が予想できない新材料が導入される。歩留り習熟サイクルを短くするような新しい装置と手法が必要である。
--	--

(訳注: 短期は英文で Through 2010 とあるが、Grand Challenge での説明から 2010 年を含まないことが明らかのため 2009 年以前とした。長期は英文で Beyond 2010 とあるが、同様に Grand Challenge での説明から Beyond 2009 であり、2009 年は含まないことも明らかにされているので、2010 年以降とした。)

## 必要とされる研究

以下に記述される技術的要求と解決策候補は、すべての利害関係者の間での継続的な協力関係が求められている。例えば装置による発生欠陥数は、半導体メーカーにとってランダム欠陥起因の歩留りモデルを整合するのに必要である。特に電氣的不良が光学もしくは EB による外観検査で捉えられない場合には、欠陥箇所分離の為に革新的なアルゴリズムが求められる。

高アスペクト比の検査(HARD)や 100nm 以下(直径)の欠陥検出と特徴抽出は、装置の処理能力の低さと高い CoO に悩まされている。もし仕掛かりに対する高いリスクを避けたいなら、経済的な解決策を見つけなければならない。

ウェーハ環境汚染制御(WECC)は、現実的な製造コストを維持する為に材料のユースポイントでの管理に着目しなければならない。再使用出来る薬剤から除去したい成分だけをフィルタリングする様な、斬新なアイデアに対する検討が必要である。先行使用メーカーに新材料を供給しようとするベンダは、全ての新材料について、そのメーカーの使用方法を鑑みてその純度要求を吟味する必要がある。

## 技術的要求

### 歩留りモデルと装置許容欠陥数

$$Y_{Die} = Y_S * Y_R = Y_S * \left( \frac{1}{1 + \frac{AD_0}{\alpha}} \right)^\alpha$$

IC プロセス全体のチップ歩留りは、一般にシステムチック成分起因の歩留り( $Y_S$ )とランダム成分起因の歩留り( $Y_R$ )との積で表現される。装置許容欠陥数に関する技術的要求は、 $Y_R$ をランダム歩留り、 $A$ をチップ面積、 $D_0$ を電氣的不良密度、 $\alpha$ をクラスタ係数とした負の二項分布に基づいて表109と表110に提示される。

この版の装置許容欠陥数に関する技術的要求で用いた前提を表 108 に示す。装置許容欠陥数の算出は、1997年、1999年、及び2000年に international SEMATECH の会員会社で行われた各処理毎のパーティクル数増加(PWP: Particle per Wafer Pass)調査に基づいている。装置許容欠陥数は、一般的なプロセス装置の PWP の中央値を用いた推定を行っており、それぞれ MPU 及び DRAM の一般的なプロセスにあわせて計算されている。この装置許容欠陥数には、装置のウェーハ搬送による欠陥欠陥数も含まれる。またロット中の 10%のウェーハが検査されると仮定している。

#### 4 歩留り改善(Yield Enhancement)

ある技術ノードの PWP 予算を元に他の技術ノードの PWP 予算を計算するには、PWP 推定式(PWP Extrapolation equation)が使用される。この推定は、チップサイズの増加、プロセスの複雑度の向上、デバイスサイズの縮小を考慮している。この式では、PWP はウェーハが通過した時のパーティクルによる欠陥密度増加(1m<sup>2</sup> あたり)、F はマスク工程毎の平均欠陥数(ランダム電氣的欠陥数 D0 をその技術ノードのマスク層数で割った数字で定義される)、S は不良を発生させる最小の欠陥サイズで、n は技術ノードを示す。全ての PWP 予算は、最小欠陥サイズに対して定められる。PWP の章の表 109 と表 110 の各数値は、MPU もしくは DRAM のプロセスで使用される一般的な装置形式について言及している。将来の装置やプロセスはまだ不明であるので、ロードマップでは新プロセス、材料もしくは装置に対して従来より大きな PWP を許してはいない。この仮定は、定期的な見直しを必要とする。この許容欠陥予算作成方法は、最小のデバイス寸法を実現するプロセス技術を基準としている為に、ワーストケースの見積もりになる傾向がある。実際、各社のプロセスには、その技術ノードのプロセスの設計基準を緩和した部分がある。しかしながら、同じ装置が最小設計基準でも緩和した設計基準でも用いられる。歩留りを低めに予想した場合の損害(低稼働の損害)は小さく、増産の機会に隠れてしまう場合も有る。歩留りを高めに予想した場合の最大の損失要因は、材料の廃棄である。従って、許容欠陥予算を高めに見積もることが賢明である。

表 108 は歩留りと製品の成熟に関する仮定を示し、MPU と DRAM の電氣的欠陥密度及び PWP 装置許容欠陥数目標値の設定に用いられる。これらの仮定の大半は、ORTC に基づいている。クラスタ係数は、5 から 2 に戻した。その理由は、クラスタ係数を 2 とする方が多くの拡散ラインの欠陥分布の説明に適しているからである。表 109 は、ORTC の表 1a+1b で定義されたコストパフォーマンス MPU に関する仮定を満たすランダムな PWP の許容数を示している。MPU は、小さな L1 キャッシュ以外は主にロジックランジスタ動作部分で構成されるものと仮定している。MPUs に関しては、それぞれの技術ノードで適合すべきプロセス/デザイン改善目標値(1g+1h)を前提としている。同様に表 110 は、表 108 に提示された DRAM の歩留りに関する仮定に適合するランダムな PWP の予算目標を示している。マスク数当たりの不良数(PWP 推定式の入力として用いられる)を算出するのに用いられる電氣的欠陥密度は、DRAM のロジックやデコーダ部分のみに基づいている。これは、ORTC の中で製品成熟期にはチップサイズの 37%として反映されている。DRAM の周辺回路にはリダンダンシが無いので、その部分はランダム成分に対する 89.5%の歩留り実現が求められる。DRAM のセル領域はチップ全体で歩留り 85%を実現する為にリダンダンシが導入されることが仮定されている。DRAM のチップサイズは、次世代品が導入される時にはチップサイズが増加し、同世代を生産する場合には ORTC の表 1c+1d に示される様に縮小する。それで DRAM のチップサイズは変動し、そのチップサイズから得られた装置許容欠陥数もそれに従って変動することになる。表 109 と表 110 の内容を特定の使用者の歩留り、技術、チップサイズに置き換える計算は、このロードマップの表 111 に含まれている。

装置のクリーン度の継続的な向上の他に、許容できる歩留りを実現する為に取り組むべき少なくとも 2 つの主要な課題がある。

1. システムチックな歩留り制限要因(SMLY)が歩留り改善速度を律速するので、その要因を理解しモデル化し消去する一環した努力が必要である。
2. 現在及び将来において受容可能な歩留りを実現する為には、ラインエッジラフネス(LER)の歩留りに与える影響を理解しモデル化し制御しなければならない。

表108 Defect Budget Technology Requirement Assumptions

Product	MPU	DRAM
Yield Ramp Phase	Volume Production	Volume Production
$Y_{OVERALL}$	75%	85%
$Y_{RANDOM}$	83%	89.50%
$Y_{SYSTEMATIC}$	90%	95%
Cluster Parameter	2	2

表109a Yield Model and Defect Budget MPU Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
<b>MPU</b>							
MPU ½ Metal One Pitch (nm) [A]	107	90	80	70	65	57	50
Critical Defect Size (nm)	54	45	40	35	33	29	25
Chip Size (mm <sup>2</sup> ) [B]	140	140	140	140	140	140	140
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at Critical Defect Size Or Greater [C]	2210	2210	2210	2210	2210	2210	2210
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	1395	1395	1395	1395	1395	1395	1395
Number of Mask Levels [E]	29	31	33	33	33	35	35
Random Faults/Mask	48	45	42	42	42	40	40
<b>MPU Random Particles per Wafer pass (PWP) Budget (defects/m<sup>2</sup>) for Generic Tool Type Scaled to 54 nm Critical Defect Size Or Greater</b>							
CMP clean	397	263	195	149	129	93	72
CMP insulator	961	636	472	362	312	226	174
CMP metal	1086	719	534	409	352	255	197
Coat/develop/bake	174	115	85	65	56	41	31
CVD insulator	854	565	420	321	277	201	155
CVD oxide mask	1124	744	552	423	364	264	203
Dielectric track	273	181	134	103	89	64	49
Furnace CVD	487	322	239	183	158	114	88
Furnace fast ramp	441	292	217	166	143	104	80
Furnace oxide/anneal	285	188	140	107	92	67	52
Implant high current	381	252	187	143	124	90	69
Implant low/medium current	348	230	171	131	113	82	63
Inspect PLY	355	235	174	133	115	83	64
Inspect visual	380	252	187	143	123	89	69
Lithography cell	294	195	145	111	95	69	53
Lithography stepper	279	185	137	105	91	66	51
Measure CD	332	220	163	125	108	78	60
Measure film	285	188	140	107	92	67	52
Measure overlay	264	175	130	99	86	62	48
Metal CVD	519	343	255	195	168	122	94
Metal electroplate	268	177	132	101	87	63	48
Metal etch	1153	763	566	434	374	271	209
Metal PVD	591	391	291	222	192	139	107
Plasma etch	1049	694	515	395	340	247	190
Plasma strip	485	321	238	182	157	114	88
RTP CVD	317	210	156	119	103	74	57
RTP oxide/anneal	208	137	102	78	67	49	38
Test	81	53	40	30	26	19	15
Vapor phase clean	729	482	358	274	236	171	132
Wafer handling	33	22	16	12	11	8	6
Wet bench	474	314	233	178	154	112	86

6 歩留り改善(Yield Enhancement)

表 109b Yield Model and Defect Budget MPU Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
MPU 1/2 metal one Pitch (nm) [A]	45	35	32	25	22	18
Critical Defect Size (nm)	23	18	16	13	11	9
Chip Size (mm <sup>2</sup> ) [B]	140	140	140	140	140	140
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at Critical Defect Size or Greater [C]	2210	2210	2210	2210	2210	2210
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	1395	1395	1395	1395	1395	1395
Number of Mask Levels [E]	35	35	35	37	39	39
Random Faults/Mask	40	40	40	38	36	36
<i>MPU Random Particles per Wafer pass (PWP) Budget (defects/m<sup>2</sup>) for Generic Tool Type Scaled to 54 nm Critical Defect Size or Greater</i>						
CMP clean	58	35	29	17	12	8
CMP insulator	141	85	71	41	30	20
CMP metal	159	96	81	46	34	23
Coat/develop/bake	25	15	13	7	5	4
CVD insulator	125	76	63	37	27	18
CVD oxide mask	165	100	83	48	35	24
Dielectric track	40	24	20	12	9	6
Furnace CVD	71	43	36	21	15	10
Furnace fast ramp	65	39	33	19	14	9
Furnace oxide/anneal	42	25	21	12	9	6
Implant high current	56	34	28	16	12	8
Implant low/medium current	51	31	26	15	11	7
Inspect PLY	52	31	26	15	11	7
Inspect visual	56	34	28	16	12	8
Lithography cell	43	26	22	13	9	6
Lithography stepper	41	25	21	12	9	6
Measure CD	49	29	25	14	10	7
Measure film	42	25	21	12	9	6
Measure overlay	39	23	20	11	8	6
Metal CVD	76	46	38	22	16	11
Metal electroplate	39	24	20	11	8	6
Metal etch	169	102	85	49	36	24
Metal PVD	87	52	44	25	19	12
Plasma etch	154	93	78	45	33	22
Plasma strip	71	43	36	21	15	10
RTP CVD	46	28	23	14	10	7
RTP oxide/anneal	30	18	15	9	7	4
Test	12	7	6	3	3	2
Vapor phase clean	107	65	54	31	23	15
Wafer handling	5	3	2	1	1	1
Wet bench	70	42	35	20	15	10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

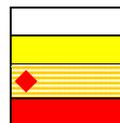


表 109a と表 109b の注:

[A] ORTC 表 1a+1b で定義

[B] ORTC 表 1g+1h で定義

[C] 量産時全体歩留り 75%と仮定

[D] ORTC 表 5a+5b で定義、ランダム欠陥起因歩留り(RDLY)83%と仮定

[E] ORTC 表 5a+5b で定義

表110a Yield Model and Defect Budget DRAM Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
DRAM ½ Pitch (nm) [A]	100	90	80	70	65	57	50
Critical Defect Size (nm)	50	45	40	35	33	29	25
Chip Size (mm <sup>2</sup> ) [B]	139	110	82	122	97	131	104
Cell Array Area (%) at Production [B]	63%	63%	63%	63%	63%	63%	63%
Non-core Area (mm <sup>2</sup> )	51	41	30	45	36	49	39
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ), at critical defect size or greater [C]	3288	4143	5568	3758	4735	3480	4385
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	2216	2791	3751	2532	3190	2345	2954
Number of Mask Levels [E]	24	24	24	24	24	24	24
Random Faults/Mask	92	116	156	106	133	98	123
DRAM Random Particle per Wafer pass (PWP) Budget (defects/m <sup>2</sup> ) for Generic Tool Type Scaled to 50 nm Critical Defect Size or Greater							
CMP clean	1068	1068	1068	598	598	367	356
CMP insulator	827	827	827	463	463	284	276
CMP metal	1267	1267	1267	709	709	435	422
Coat/develop/bake	331	331	331	185	185	114	110
CVD insulator	916	916	916	513	513	315	305
CVD oxide mask	1125	1125	1125	630	630	387	375
Dielectric track	464	464	464	260	260	159	155
Furnace CVD	633	633	633	355	355	218	211
Furnace fast ramp	597	597	597	334	334	205	199
Furnace oxide/anneal	477	477	477	267	267	164	159
Implant high current	555	555	555	311	311	191	185
Implant low/medium current	529	529	529	296	296	182	176
Inspect PLY	724	724	724	405	405	249	241
Inspect visual	746	746	746	418	418	257	249
Lithography cell	619	619	619	347	347	213	206
Lithography stepper	412	412	412	231	231	142	137
Measure CD	618	618	618	346	346	213	206
Measure film	582	582	582	326	326	200	194
Measure overlay	566	566	566	317	317	195	189
Metal CVD	583	583	583	326	326	200	194
Metal electroplate	443	443	443	248	248	152	148
Metal etch	1072	1072	1072	600	600	369	357
Metal PVD	639	639	639	358	358	220	213
Plasma etch	1136	1136	1136	636	636	390	379
Plasma strip	872	872	872	488	488	300	291
RTP CVD	570	570	570	319	319	196	190
RTP oxide/anneal	417	417	417	233	233	143	139
Test	81	81	81	46	46	28	27
Vapor phase clean	1206	1206	1206	675	675	415	402
Wafer handling	34	34	34	19	19	12	11
Wet bench	864	864	864	484	484	297	288

表110a と 表110b の注:

[A] ORTC 表 1a+1b で定義

[B] ORTC 表 1c+1d で定義

[C] ORTC 表 5a+5b で定義、ランダム欠陥起因歩留り(RDLY)89.5%と仮定

[D] ORTC 表 5a+5b で定義、ランダム欠陥起因歩留り(RDLY)89.5%と仮定

[E] ORTC 表 5a+5b で定義

8 歩留り改善(Yield Enhancement)

表 110b Yield Model and Defect Budget DRAM Technology Requirements—Long-term

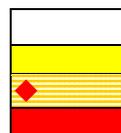
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
DRAM 1/2 Pitch (nm) [A]	45	35	32	25	22	18
Critical Defect Size (nm)	23	18	16	13	11	9
Chip Size (mm <sup>2</sup> ) [B]	83	104	83	104	138	87
Cell Array Area (%) at Production [B]	63%	63%	63%	63%	63%	63%
Non-core Area (mm <sup>2</sup> )	31	39	31	39	51	32
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at critical defect size or greater [C]	5524	4385	5524	4385	3315	5261
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	3722	2954	3722	2954	2233	3545
# Mask Levels [E]	26	26	26	26	26	26
Random Faults/Mask	143	114	143	114	86	136
<i>DRAM Random Particle per Wafer pass (PWP) Budget (defects/m<sup>2</sup>) for Generic Tool Type Scaled to 50 nm Critical Defect Size or Greater</i>						
CMP clean	335	161	161	82	48	51
CMP insulator	260	125	125	64	37	40
CMP metal	398	191	191	97	57	61
Coat/develop/bake	104	50	50	25	15	16
CVD insulator	288	138	138	70	41	44
CVD oxide mask	353	170	170	87	51	54
Dielectric track	146	70	70	36	21	22
Furnace CVD	199	95	95	49	29	30
Furnace fast ramp	187	90	90	46	27	29
Furnace oxide/anneal	150	72	72	37	22	23
Implant high current	174	84	84	43	25	27
Implant low/medium current	166	80	80	41	24	25
Inspect PLY	227	109	109	56	33	35
Inspect visual	234	113	113	57	34	36
Lithography cell	194	93	93	48	28	30
Lithography stepper	129	62	62	32	19	20
Measure CD	194	93	93	48	28	30
Measure film	183	88	88	45	26	28
Measure overlay	178	85	85	44	25	27
Metal CVD	183	88	88	45	26	28
Metal electroplate	139	67	67	34	20	21
Metal etch	337	162	162	82	48	51
Metal PVD	201	96	96	49	29	31
Plasma etch	357	171	171	87	51	54
Plasma strip	274	131	131	67	39	42
RTP CVD	179	86	86	44	26	27
RTP oxide/anneal	131	63	63	32	19	20
Test	26	12	13	6	4	4
Vapor phase clean	379	182	182	93	54	58
Wafer handling	11	5	5	3	2	2
Wet bench	271	130	130	66	39	41

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



## 許容欠陥目標値カルキュレータ

表 109 と 表 110 に示されるランダム欠陥目標値は、30 の一般的な装置カテゴリに分類された 164 の装置について International SEMATECH 会員会社で集められたデータによる特定技術ノードの数値に基づいている。メモリとロジック製品の目標値に関しては、実際の使用者の線幅やチップサイズが ITRS での仮定と一致することは殆どない。それで Wright、Williams と Kelly は半導体サプライヤや製造会社がロードマップの目標値と自らの計画での必要性との比較を助ける為に、許容欠陥目標値カルキュレータを開発した。<sup>1</sup>

### 指示

表 111 に計算の一例を示す欠陥目標値カルキュレータは、使用者が技術ノードを入力することにより特定チップに関する欠陥目標値を推定することが出来る。

この欠陥目標値カルキュレータを動かす為には、既にカルキュレータが活性化している ITRS ではここを 1 回クリックするか、右クリックでこのカルキュレータを自分の PC にダウンロードすればよい。

計算に必要なパラメータは、最小欠陥サイズ、ランダム欠陥起因歩留りに対する要求値、チップサイズ、マスク数、及びメモリに関しては周辺回路(ロジック部)の面積である。このカルキュレータは、ロードマップのテーブルと同様な推定方法を使っている。

### 定義

最小欠陥サイズ - 計算しようとするプロセスのメタル1ピッチの 1/2 (nm)。

ランダム欠陥起因歩留り - チップ歩留りの一部で、使用者のランダム不良状況で低減可能。チップ全体の歩留りを得るにはシステムチック要因起因歩留りを掛けなければならない(%)。

チップサイズ - 使用者のデバイスの有効部分(有効もしくは全体)面積(mm<sup>2</sup>)。

マスク数 - 周辺回路のマスク数(ロジック限定)。

チップエリア - リダンダンシのないエリアで、チップエリアからセルエリアを引いたもの(%)、DRAM 計算時のみ使用

表 111 Defect Target Calculator

	MPU	DRAM	User Input	
Minimum Critical Defect Size (nm)	53.5	50	53.5	
Random Defect Limited Yield (%)	83.0%	89.5%	83.0%	
Chip Size (mm <sup>2</sup> )	140	139	140	
Number of Mask Levels	29	24	29	
Peripheral (Logic) Chip Area (%)	NA	37.0%	100.0%	
Random D <sub>0</sub> (faults/m <sup>2</sup> )	1395	2216	1395	1395
Random Faults/Mask	48	92	48	48
			User Targets	
			MPU	DRAM
CMP clean	397	1068	397	637
CMP insulator	961	827	961	493
CMP metal	1086	1267	1086	756
Coat/develop/bake	174	331	174	197
CVD insulator	854	916	854	547
CVD oxide mask	1124	1125	1124	671
Dielectric track	273	464	273	277
Furnace CVD	487	633	487	378
Furnace fast ramp	441	597	441	356
Furnace oxide/anneal	285	477	285	285
Implant high current	381	555	381	331
Implant low/medium current	348	529	348	316
Inspect PLY	355	724	355	432
Inspect visual	380	746	380	445
Lithography cell	294	619	294	369
Lithography stepper	279	412	279	246
Measure CD	332	618	332	369
Measure film	285	582	285	347
Measure overlay	264	566	264	338
Metal CVD	519	583	519	348
Metal electroplate	268	443	268	264
Metal etch	1153	1072	1153	640
Metal PVD	591	639	591	381
Plasma etch	1049	1136	1049	677
Plasma strip	485	872	485	520
RTP CVD	317	570	317	340
RTP oxide/anneal	208	417	208	249
Test	81	81	81	49
Vapor phase clean	729	1206	729	719
Wafer handling	33	34	33	20
Wet bench	474	864	474	515

<sup>1</sup> Developed by Darren Dance, Wright, Williams, and Kelly: 1999.

## 欠陥検出と特徴付け

欠陥検出に対してまず第一に要求されていることは、歩留りに影響を及ぼす欠陥を特定のプロセス層においてインラインで検出できる能力を得ることである。プロセスの研究開発段階、歩留り立上げの段階、そして量産の様々なフェーズに対応して処理能力を向上させていくことは、欠陥検出技術の適用範囲を拡大することを意味し、また検査感度向上と処理能力向上の両立という極めて複雑な課題に対する解を得ることを意味する。以上のような要求はますます重要になっているが、その背景として、欠陥検査装置への多額の投資投資に見合う最大の効果を出すために、同じ欠陥検査装置を用いて様々なプロセス成熟度にある複数の製品を量産するようになってきていることがある。

プロセスの開発から量産の各フェーズに対応した性能を持つ装置が、デバイスメーカーに対してジャストインタイムで供給されなければならない。とりわけプロセスの研究開発に必要な装置は新しい世代のデバイス技術が導入されるのに先行して必要とされている。また歩留り立上げのフェーズに必要な装置は量産が始まる数ヶ月前に準備できていなければならない。最後の量産段階、即ち高い製品歩留りを追求している段階においては、その技術世代の製造プロセスの異常をモニタリングできる能力が必要である。

技術上の要求項目は、パターン無しウェーハ検査、パターン付きウェーハ検査、並びに高アスペクト比パターン検査に分けられる(表 112 参照)。この中で CMP (Chemical Mechanical Polishing: 化学機械研磨) 後のレーザ散乱を用いたパターン付きウェーハ検査は、パターンが絶縁膜に埋まっているため、むしろ装置管理を目的として使用されるパターン無しウェーハ検査に近いものとなり、このロードマップに適切なものとなっている。装置管理に広く利用されているパターン無しウェーハ検査は欠陥レビューにも用いられ、ここ数年その重要性が増している。高アスペクト比パターン検査というのは、パターンの幅に対し深さの比が3以上の深いパターンの底の部分に存在する欠陥を検出する技術であり、通常のパターン付きウェーハ検査とは分けて考えられる。これは困難なチャレンジ課題の項と表 112 の脚注 C でも述べられているように、検出能力に特殊な要素が求められているからである。HARI (High Aspect Ratio Inspection; 高アスペクト比パターン検査) 欠陥検査装置には技術ノードの 0.3 倍程度の欠陥として、コンタクト、VIA 形状(パターンの底の部分の形状)、寸法、および残留物を検出する能力が要求されている。現状の表 112 は現状のボルテージコントラスト法により検出を行うものとして 1x 倍の欠陥寸法を示しているが、デバイス製造の観点からは有害な抵抗の影響のため技術ノードの 0.3 倍程度の欠陥を検出することが要求されている。

パターン無しウェーハ検査における要求技術項目はウェーハそのものとデポ膜の種類に依存している。また、ウェーハ裏面の欠陥検出の際にはウェーハ表面に何らコンタミネーションや物理的な接触をもたらさないことが望まれる。このウェーハ裏面に関する要求項目は、リソグラフィ章の技術要求の表にあるプロセスにおける焦点深度への影響を排除する目的から設けている。さらに、フロントエンドプロセスにおけるシリコンウェーハ、および表面処理への影響をも排除する必要から規定されている。今後の要求には、ウェーハ端あるいはウェーハ裏面の検査標準化ないし汚染制御がある。

他にも幾つかの欠陥モードが検査装置で検出可能であることが必要となっている。見えない欠陥(従来の光学的手法で検出できない欠陥)に対する知見の獲得についても、電子ビーム技術を用いた検出技術の適用拡大と合わせて必要性が高まってきている。上述の大半の欠陥は表面下の位置に存在し、デバイスの縦構造に対し無視できない大きさを持つ傾向がある。今の所これらの欠陥の検出すべき最小寸法の定義は明確になっていない。多くの欠陥はデバイス性能に電氣的な影響を強く及ぼし、それはフロントエンドプロセス(コンタクト酸化膜形成プロセ

ス以前のプロセス)にもバックエンドプロセスにも同様に影響を及ぼす。また、以下で規定されるようなサブミクロンの欠陥検出を急ぐあまり、ウェーハの広い領域に影響を及ぼすマクロ欠陥が見落とされることがあってはならない。マクロ検査のスキャンスピードはすべての技術ノードにおけるリソグラフィおよび時には CMP の処理能力(検査時間を含む)に合致するよう、継続して向上されなければならない。

一方、半導体デバイスメーカーは急速な歩留り立上げと歩留り損失のリスクを避けるために十分な頻度の自動検査を行うが、それにかかるコストと得られる利益とのバランスを取ることが重要である。欠陥検査装置の価格と占有面積、そして処理能力が CoO(Cost of Ownership)に響く主要な要素である。現在の所、この CoO の高さのため多くの半導体デバイスメーカーが僅かな検査装置の配備しかできない状況を生み出している。歩留りの習熟曲線を最大限高めるためには理想的には統計的に最適化したサンプリングアルゴリズムが必要であり、そのためにも検査装置がフルに活用されなければならない。もし将来、検査感度は向上するものの処理能力が低下したとすると、その装置の CoO は上昇し、半導体デバイスメーカーはさらに僅かなサンプリングしかできず、結果として歩留り損失と歩留り習熟の速度の低下を招くことになる。

表 112 に示された検査感度に対する要求値は、テストウェーハあるいは校正用ウェーハ上に付けられたポリスチレンラテックス(PSL)球に対する検出感度で規定されている。しかし、実際には新規の装置はプロセス開発の間に発生する実際の欠陥に対する検出能力で評価されることが多い。このような欠陥は高解像度光学系を持つ装置で検出される。これらの欠陥にはパーティクル、ピット状のパターン傷、表面荒れ、スクラッチが含まれている。また、様々な工程において様々な欠陥タイプが増えてきており、新旧の欠陥検査装置においてこれらの欠陥をどの程度検出できるかその能力を評価するため、標準欠陥ウェーハを開発することが急務となっている。さらに、歩留りへの影響を基にした欠陥の統一的定義が必要である。別の課題として、実際の欠陥と擬似欠陥の識別がある。できることは、検査装置やレビュー装置で ADC を用いることであり、それは正確で十分速い必要がある。

将来の技術世代においては欠陥レビューを行う顕微鏡により高い分解能が要求される。SEM の利用技術が急速に開発されることにより、今や上述のような欠陥の素早いレビューと分類が可能となっている。SEM レビューの速度を向上させることは、現状に比べより多くの欠陥情報を収集する機会を増やすことになり、結果として歩留り立上げの習熟速度を向上させることにつながる。

12 歩留り改善(Yield Enhancement)

表112a Defect Detection Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
<i>Patterned Wafer Inspection, PSL Spheres * at 90% Capture, Equivalent Sensitivity (nm) [A, B]</i>								
Process R&D at 300 cm <sup>2</sup> /hr (1 "200 mm wafer"/hr)	50	45	40	35	32.5	28.5	25	0.5 x DR
Yield ramp at 1200 cm <sup>2</sup> /hr (4 "200 mm wafer"/hr)	80	72	64	56	52	45.6	40	0.8 x DR
Volume production at 3000 cm <sup>2</sup> /hr (10 "200 mm wafer"/hr)	100	90	80	70	65	57	50	1.0 x DR
Tool matching (% variation tool to tool) [C]	5	5	5	3	3	3	3	
Wafer edge exclusion (mm)	2	1	1	1	1	1	1	
Cost of ownership (\$/cm <sup>2</sup> )	0.055	0.055	0.055	0.055	0.055	0.055	0.055	
<i>High Aspect Ratio Feature Inspection: Defects other than Residue, Equivalent Sensitivity in PSL Diameter (nm) at 90% Capture Rate * [D, E]</i>								
Sensitivity without speed requirement	100	90	80	70	65	57	50	1.0 x DR
Process verification at 300 cm <sup>2</sup> /hr (1 "200 mm wafer"/hr)	◆ 100	90	80	70	65	57	50	1.0 x DR
Volume manufacturing at 1200 cm <sup>2</sup> /hr (4 "200 mm wafer"/hr)	◆ 100	90	80	70	65	57	50	1.0 x DR
CoO HARI (\$/cm <sup>2</sup> )	◆ 0.66	0.66	0.66	0.66	0.66	0.66	0.66	
<i>Unpatterned, PSL Spheres at 90% Capture, Equivalent Sensitivity (nm) [F, G]</i>								
Metal film	80	72	64	56	52	45.6	40	0.8 x DR
Bare silicon and non-metal film	50	45	40	35	32.5	28.5	25	0.5 x DR
Wafer backside (defect size, nm) [H]	100	90	80	70	65	57	50	1.0 x DR
CoO (\$/cm <sup>2</sup> )	0.0017	0.0017	0.0017	0.0017	0.0017	0.0017	0.0017	
Wafer edge exclusion (mm)	3	3	2	2	2	2	2	
<i>Defect Review (Patterned Wafer)</i>								
Resolution (nm) * [I]	2.5	2.3	2.0	1.8	1.6	1.4	1.3	0.05 x pattern sensitivity R&D
Coordinate accuracy (μm) at resolution [J]	1	1	1	1	1	1	1	
<i>Automatic Defect Classification at Defect Review Platform * [K]</i>								
Redetection: minimum defect size (nm)	40	36	32	28	26	22.8	20	0.4 x DR
Number of defect types [L]	◆ 10	15	15	15	15	15	15	
Speed (defects/hours)	512	720	720	720	720	720	720	
Speed w/elemental (defects/hours)	◆ 275	360	360	360	360	360	360	
Number of defect types (inline ADC) [M]	◆ 10	15	15	15	15	15	15	

\*PSL—polystyrene latex (spheres utilized to simulate defects of known size during sizing calibration)

Manufacturable solutions exist, and are being optimized  
 Manufacturable solutions are known  
 Interim solutions are known  
 Manufacturable solutions are NOT known

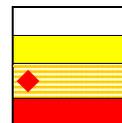


表112b Defect Detection Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18	
MPU Printed Gate Length (nm)	25	20	18	14	13	10	
MPU Physical Gate Length (nm)	18	14	13	10	9	7	
<i>Patterned Wafer Inspection, PSL Spheres * at 90% Capture, Equivalent Sensitivity (nm) [A, B]</i>							
Process R&D at 300 cm <sup>2</sup> /hr (1 “200 mm wafer”/hr)	22.5	17.5	16	12.5	11	9	0.5 x DR
Yield ramp at 1200 cm <sup>2</sup> /hr (4 “200 mm wafer”/hr)	36	28	25.6	20	17.6	14.4	0.8 x DR
Volume production at 3000 cm <sup>2</sup> /hr (10 “200 mm wafer”/hr)	45	35	32	25	22	18	1.0 x DR
Tool matching (% variation tool to tool)[C]	2	2	2	2	2	2	
Edge exclusion (mm)	1	1	1	1	1	1	
Cost of Ownership (\$/cm <sup>2</sup> )	0.055	0.055	0.055	0.055	0.055	0.055	
<i>High Aspect Ratio Feature Inspection: Defects other than Residue, Equivalent Sensitivity in PSL Diameter (nm) at 90% Capture Rate *[D, E]</i>							
Sensitivity without speed requirement	45	35	32	25	22	18	1.0 x DR
Process verification at 300 cm <sup>2</sup> /hr (1 “200 mm wafer”/hr)	45	35	32	25	22	18	1.0 x DR
Volume manufacturing at 1200 cm <sup>2</sup> /hr (4 “200 mm wafer”/hr)	45	35	32	25	22	18	1.0 x DR
CoO HARI (\$/cm <sup>2</sup> )	0.66	0.66	0.66	0.66	0.66	0.66	
<i>Unpatterned, PSL Spheres at 90% Capture, Equivalent Sensitivity (nm) [F, G]</i>							
Metal film	36	28	25.6	20	17.6	14.4	0.8 x DR
Bare silicon and non-metal films	22.5	17.5	16	12.5	11	9	0.5 x DR
Wafer backside (defect size nm) [H]	45	35	32	25	22	18	1.0 x DR
CoO (\$/cm <sup>2</sup> )	0.0017	0.0017	0.0017	0.0017	0.0017	0.0017	
Wafer edge exclusion (mm)	2	2	2	2	2	2	
<i>Defect Review (Patterned Wafer)</i>							
Resolution (nm) [I]	1.125	0.875	0.8	0.625	0.55	0.45	0.05 x pattern sensitivity R&D
Coordinate accuracy (µm) at resolution [J]	0.5	0.5	0.5	0.5	0.5	0.5	
<i>Automatic Defect Classification [K]</i>							
Re-detection minimum defect size (nm)	18	14	12.8	10	8.8	7.2	0.4 x DR
Number of defect types [L]	20	20	20	20	25	25	
Speed (defects/hour)	720	720	720	720	720	720	
Speed w/elemental (defect/hour)	360	360	360	360	360	360	
Number of defect types (inline ADC) [M]	20	20	20	20	25	25	

\*PSL—polystyrene latex (spheres utilized to simulate defects of known size during sizing calibration)

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

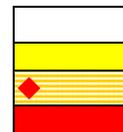


表 112a と 112b の注:

[A] パターン付きウェーハの走査速度は、プロセス研究開発モードにおいては少なくとも 300cm<sup>2</sup>/時間、また、歩留り立上げモードにおいては少なくとも 1200cm<sup>2</sup>/時間、さらに量産モードにおいては少なくとも 3,000cm<sup>2</sup>/時間が要求される。現存の解決手段では、上記表中の感度要求値において、これら 3 つの速度目標は達成されていない。また、表中に走査速度と合わせて 200mm ウェーハの大まかな毎時あたりの走査枚数を併記した。300mm ウェーハの毎時あたりの枚数を得るためには、200mm に対するレート 0.435 を掛ければよい。(例:3000cm<sup>2</sup>/時間 約 10 枚;200mm は、約 4.3 枚;300mm)

[B] パターン付きウェーハの擬似(nuisance)欠陥率は、全てのプロセスにおいて 5%以下とすべきである。また虚報カウントは、研究開発段階で 5%以下、また歩留り立上げ段階と量産期間はそれぞれ 1%以下とすべきである。擬似欠陥は、ただ単に関心

## 14 歩留り改善(Yield Enhancement)

のないタイプの欠陥として定義されるのではなく、ある欠陥として存在し、1つの項目として定義されたものである。この欠陥は日数が経過したときに、ことによると重大にもなるし、または取るに足らないものになるかもしれない。欠陥分類にたずさわる人は、欠陥のタイプと欠陥の重要度合いを決めることを考慮するべきである。虚報は欠陥として表示されたもののうち、欠陥検査装置のレシピセットアップの有効性を支援する欠陥レビュー用の光学系を用いても見つからない欠陥として定義される。

[C] %変動のための算出指針、装置間の整合性の無い欠陥個数/基準装置の総欠陥個数

手順: 1 号機(基準機)の虚報が5個以下になるよう感度レシピをセットする。このレシピを変更することなく他の号機に転送し 10 回の測定を行う。その時のウェーハ欠陥数は最低 30 個である。

[D] 高アスペクト比(High Aspect Ratio)は、コンタクト 15:1 で定義される。

[E] HARI(高アスペクト比検査)による欠陥は、すでにあらゆるプロセスの段階において致命欠陥となると考えられているが、すべての特徴的なサイズを捕まえるためのコンタクト/ピア比のレベルにて定義される。そのため、すべての生産の段階において最小欠陥感度は、 $1.0 \times$ 技術ノードとして規定された。物理的に障壁の無いメタル 1 層あるいはそれ以上の層のコンタクト底部領域が検出すべきモデルである。もし、将来、欠陥検査装置がサイズ、形状、あるいは材料の残留物を  $0.3 \times$ 技術ノードのオーダで定義できる場合、抵抗値変化として知られている経験とさらに十分に適合するであろう。HARI(高アスペクト比検査)装置の走査速度は、プロセス検証と量産タイプにおいて向上してきた。プロセス検証は通常ボルテージコントラストの能力を持った SEM 式の装置(将来は不必要を参照している。表に 200mm ウェーハの時間あたりの概算処理枚数を示した。300mm ウェーハの毎時あたりの枚数を得るためには、200mm に対するレート 0.435 を掛ければよい。

[F] 鏡面ウェーハ用欠陥検査装置は、擬似欠陥率および虚報率それぞれ 5% 以下の条件において時間あたり 200 枚(300mm ウェーハまたは相当品)の処理能力が要求される。ロードマップのシリコン基板の章にて規定されたヘイズ(Haze:表面の曇り)や結晶起因のピット欠陥(COP: Crystal Originated Pit)に対する要求に適合しなければならない。

[G] 検査装置は、メタル膜上において  $0.8 \times DR$  の大きさの欠陥を検しなければならない。また、メタル以外の膜上とベアシリコン上において  $0.5 \times DR$  の大きさの欠陥を検しなければならない。

[G] 検査装置は、メタル膜上において  $0.8 \times DR$  (Design Rule) の大きさの欠陥を検しなければならない。また、メタル以外の膜上とベアシリコン上において  $0.5 \times DR$  (Design Rule) の大きさの欠陥を検しなければならない。

(訳注: DR は技術ノードと表記されるべきもの)

[H] これらの値はリソグラフィ TWG が指摘している(パターン)重ね合わせズレ許容値の問題に大きく影響する。欠陥検出はウェーハ裏面の表面微小粗さにより制限される。

[I] 欠陥レビューの解像度は、研究開発向けのパターン付き欠陥検査の要求感度  $\times 0.05$  で定義される。

[J] 5000 倍視野における SEM ADC 機器の再検出率により大きく影響する。

[K] 前提: 1 週間あたりウェーハ 5000 枚スタート。ウェーハ 1 枚あたりの欠陥は FEOL における洗浄に依存する。レビューを必要とする欠陥の欠陥個数/時間を導く、100% ADC

[L] 欠陥分類は左記に適合のこと: 再現性(Repeatability) 95%、精度(Accuracy) 85%、純度(Purity) 80%

[M] 欠陥分類は左記に適合のこと: 再現性(Repeatability) 95%、精度(Accuracy) 80%、純度(Purity) 80%

### 歩留り習熟

歩留り習熟とは、システムチックもしくはランダムに発生する製造工程において発生する事象の解析と解決を通して、デバイスの歩留りを向上させるための製造プロセスとウェーハに対する知見の収集およびその適用と定義する。表 113 にある歩留り習熟技術への要求にあるように、歩留りのランプアップに必要な主な要求として、微細化する歩留りに影響する欠陥の検出、増加するデータ数の中でのタイムリーな根本原因の究明、チップおよびプロセスの複雑さ、および習熟サイクルあたりの歩留り習熟率の向上などが挙げられている。製造プロセスの複雑さ増し、習熟期間が長くなるに従って、それぞれの技術ノードにおける歩留り習熟サイクルを増やすための装置や手法が必要とされる。さらに、絶え間なく続く微細化、工程数の増大、300mm ウェーハおよび新材料(low-k, high-k, etc.)の導入になどに伴い、歩留りを低下させる全ての相互作用を理解するための装置や手法も要求されている。SOI, SiGe その他の新しいデバイス構造と材料の導入は、更なる歩留り習熟への新たななる挑戦となるであろう。

産業における歩留りとは、販売可能な製品数を製造可能な製品数で割った値で定義されてきた。半導体産業においては Si ウェーハが集積回路の集合体とみなせるので、ある特定の集積回路が設計された製品(i)の歩留り( $Y_{total\_i}$ )は式(1)のように表現される。

$$Y_{total\_i} = (Y_{line}) * (Y_{batch\_i}) \quad (1)$$

式(1)の  $Y_{line}$  は、ライン歩留り、ウェーハ歩留り、もしくは生存率を示している。それは、全製造ラインを通して生き延びるウェーハの確率である。 $Y_{batch\_i}$  は、バッチ歩留り、チップ歩留り、あるいはダイソート歩留りを示している。これは、製造ラインの最終段階で正常に機能するある特定の設計(i)の集積回路数のウェーハ内における比率である。

バッチ歩留りは式(2)によって表わすことができる。

$$Y_{batch\_i} = (Y_{sys\_i}) * (Y_{random\_i}) \quad (2)$$

$Y_{sys\_i}$  はシステムチック不良起因のバッチ歩留り成分を意味している。また、 $Y_{random\_i}$  はランダムに分布する不良に起因したバッチ歩留り成分である。 $Y_{random\_i}$  はランダム不良密度とランダム欠陥に敏感なクリティカルエリアを変数とする高次元非線形関数で典型的に表現される。 $Y_{random\_i}$  はしばしば負の二項分布則で表現されることがある。

歴史的に言って、半導体産業はバッチ歩留り、その中でも特にそのランダム成分によって牽引されてきた。しかし、time to market という重圧による製品価格の指数関数的に低下するという環境の中で、半導体産業は経営を強いられるようになってきた。主に、利益は急峻な歩留りの立ち上がりによってもたらされる。高いバッチ歩留りを早く達成することによって、大量生産を早く立ち上げることができ、その結果としてより利益を上げることができるようになる。製造の初期段階においてバッチ歩留り支配するシステムチック成分の改善は、チップ単価が極めて高い時期に製品の生産性を上げることで利益率を加速させる<sup>2</sup>。それゆえに、製造初期段階での歩留り習熟は、製造後期におけるそれとは極めて異なる性格のものとなるであろう。

また、ファウンドリーにおける歩留り習熟も、大量生産を行う半導体製造メーカーとは異なるものになる。大量生産ラインにおいては、製造の初期段階におけるバッチ歩留りによって支配される。ひとたびバッチ歩留りが高くなり量産が開始された後は、ライン歩留りが支配的な要因となる。それとは対症的に、ファウンドリーは非常に多くの少量製品を比較的成熟した製造プロセスに投入する。しばしば、非常に短い期間に販売を行うため、一ロットの 300mm ウェーハが製品寿命になることもある。ほんの少量のチップが工場から出荷される。このような状況下においては、正確な回路設計と欠陥の無いマスクの製造が最初であれば、短い製造工程期間と高いライン歩留りが、バッチ歩留りよりも重要であろう。

<sup>2</sup> See for example C. Weber, D. Jensen and E. D. Hirleman, "What drives defect detection technology?" *Micro*, June 1998, pp. 51-72.; C. Weber, "Yield Learning and the Sources of Profitability in Semiconductor Manufacturing and Process Development," *Proc. IEEE/SEMI/ASMC*, Boston, Mass., May 1, 2002, pp. 324-329.

もう一つの最近の挑戦は、300mm ウェーハでの迅速な歩留り習熟である。他のウェーハ径での場合と同様に300mm ウェーハにおける半導体デバイス製造には、極めて高いレベルの歩留りとコストの目標が課せられている。これらの試みの大半は300mm において新しいことではなく、新しいウェーハ径の導入時に発生してきた過去の現象なのである。これらの挑戦は、清浄度、欠陥なしの基板、基板の熱容量、プロセスの均一性、そして新しい材料を網羅している。これら全ては、新しい基板技術を実現する要素であり、またそのどれもが、大口径化の計画時あるいは開始時期に解決されていなければ、利益をもたらす歩留り達成を数ヶ月から数年を遅らせてしまうものである。

簡単に言えば、300mm の製造ラインにおいて高歩留りを達成することは、最新でかつ最高性能の製造装置群をラインアップすることである。それらの装置群の大半は、過去の履歴に基づく学習と改善のプログラムを持っている。それらをもっとも洗練された装置にすることは、すでに最初から確立していた。300mm ラインにおいて利益を上げることが、より良いプロセスの設計とシミュレーションをシリコンが製造レベルになる前に実現することでもある。プロセスシミュレーションは非常にコスト効率がよく、そして変化を加速する迅速な手法である。また、これまでであったような製造プロセスの後追的な予測ではなく前もって予想するために必要なメトロロジーが、300mm ウェーハの製造ラインには組み込まれている。その結果、300mm ウェーハの“スウィート”スポットは、200mm ウェーハのその2倍以上も大きいものになる。

300mm 生産ラインでの製造初期における高い歩留りに対する作業は、他のいかなる基板技術の移行時期と同じように現れるごく普通の挑戦である。誰もが新たな基板と同時に導入したいと思われる Low-k 膜のような新しい材料が、また再び基板の変更とあわせて出てくるものである。300mm の唯一の問題は、全ウェーハ表面領域に渡っての不均一性だと広く信じられている。不均一性の問題は膜厚、エッチング形状、そしてドーズ制御の要因を含んでいる。300mm ウェーハの広い領域を正確にカバーするメトロロジーによるモニタリング能力、また不均一な表面の問題が発生した時に検知でき能力もまた大きな技術課題である。

300mm ウェーハの生産工場における歩留り管理は、これまでのどの工場およびどの技術ノードよりも、データ管理と密接に関連していくであろう。工場の全発生ソースのからのデータを収集、保存、編集、そしてアクセスする手法は、これまでのいかなる製造環境においてより、より活力のあるものになるであろう。先行した製造ラインにおいては、発生したいかなるデータは、歩留り問題を理解および解決するためのキーとなりえる。その歩留り問題は必要とあれば歩留り技術者がアクセス可能なように記録されたりリストから確認されたものである。極めて貴重な相関性と結果を導き出す生データへのアクセスは、300mm ノードにおいては重要な要求になるであろう。これらの工場が開始時、データの保存とそのデータへアクセスするユーザーインターフェースを取り扱うことができない。

他の口径と比べての300mm の世界の違いは、データの起原であろう。150mm と200mm の製造ラインにで使われたデータソースに比べて、300mm ラインでのデータソースは大幅に増やす必要がある。我々は明白なインラインメトロロジー、電気テスト、およびそのソート結果を参考にする。また一方、工場内に完全に組み込まれた APC によって得られた先行的なプロセス条件と一緒に、詳細なプロセス装置情報<sup>3</sup>、FOUP ウェーハ位置、工場の環境条

<sup>3</sup>例として、装置の修理あるいはメンテナンスの状況、使用中の構成要素と部品キット、RF出力、ガス流量、真空度などを含むシステムの動作状況、現状のパーティクル発生状況などが挙げられる。

件, デリバリーサービス<sup>4</sup>なども我々は参考にするのである。

300mmラインに組み込まれたADCとFDCは、これまでのいかなる技術ノードよりも一般的なものになるであろう。しかし、このような制御方法は、全システムをサポートするためには極め大きなデータ転送およびデータ処理システムが必要とされる。工場の利益にリアルタイムに繋がるようにこれを運用することは、極めて大変な試みである。内部および外部の最適なシステムを同時に運用することができる、標準的でかつオープンアクセスのシステムを維持することが必須である。

工場が保有する全てのデータのダウンストリーム、もしくはオフライン解析は、歩留りに関連のある全ての情報を完全に掌握するために、既存の方法に加えてあたらしい手法も必要となるであろう。歩留り習熟に必要とされる包括的データマネージメントシステムに対する最大の挑戦は、連続的、周期的、散発的、さらにある期間を置いたようなデータの流れを、そのデータの全てが共通のカップリングシステムやユーザーインターフェースによって関連付けられ技術者によって解決できるように、処理および集積する技術を構築することである。ウェーハレベルおよび、おそらくダイレベルにデータを並び替えることは、現状では卓上のコンピュータで特殊な処理によって唯一行われるような自動データマッチング技術を必要とするであろう。たとえば、全てのウェーハ表面の情報<sup>5</sup>を汎用的な座標系で整理するという単純な作業も、歩留りの解析において効果的な要求である。このような解析は、大半の企業では今日においても依然として汎用的に取り扱われていないのである。問題発見時に歩留り技術者のリソースを最大限に有効活用するために複数のユーザーインターフェースによって全てのデータソースをオープンにし、それにアクセス可能にするとしたこともまた、極めて難しいことである。今度導入されるベストオブブリードなデータシステムでは、内製システムはもちろんのこと複数のサードパーティーのソフトソリューション(GUIs)が、歩留りを決定している問題の発見と解決において技術者が最も柔軟に対処できる生データのフォーマットにアクセスが許されるであろう。もし企業が歩留り問題に最短の時間で対処したいなら、300mmウェーハによる量産に先立ちこれらの障害を取り除く必要がある。

集積されたデータマネージメントを通しての欠陥および不良原因の早期発見は、迅速な歩留り習熟のエッセンスである。表 113 は歩留り習熟に焦点をあてた技術的な要求を示している。ウェーハのロット規模において情報量が増えており回路の複雑さも増しているにもかかわらず、期待された時間内に導入から成熟期までの歩留りの立ち上りを実現するために、加速して歩留り習熟を達成しなくてはならない。集積回路の製造技術の複雑さが増すにしたがって、データ集積、記憶速度、検索速度は指数関数的に増大している。将来の技術ノードにおいて、製造問題の解明にかかる時間は歩留りの立ち上がりの時期には平均的に1工程サイクルといった具合に少なくとも一定でなければならない。増大する複雑さに直面して、統合データ管理(IDM; Integrated Data Management) が生産性を維持するためのキー技術と認識されるようになった。IDMは、歩留りを低下させるメカニズムを迅速に判別するために集積回路の設計、見える欠陥と見えない欠陥、パラメトリックデータ、プロセストレンドと突発不良を検知する電氣的テストの情報を網羅していなくてはならない。IDMシステムは、ひとたび歩留り低下のメカニズムが認識されると、歩留り低下要因の発生箇所にかかのぼる機能が必要である。欠陥、パラメトリック不良、もしくは電氣的不良を発生させるプロセス装置、設計、テスト、もしくはプロセスインテグレーションが問題発生箇所として特定される。IDMは製造ラインに存在する多様なデータソースを統合する必要がある。このデータの統合化は現在は相互の関係な

<sup>4</sup> 工場データは、内部と外部およびすべての化学的物質の保管場所、処理場所の温度と湿度状況を網羅している。また、現在使用中の化学物質の原料と品質の情報が入っている化学物質供給システムのデータも工場データの中に含まれている。

<sup>5</sup> ウェーハ表面情報は、膜厚メトロロジー、CD・アライメントメトロロジー、欠陥、電氣的テスト、電氣的ビットマップなどを含んでいる。

く存在する物理的あるいは仮想的データを統合することにより達成できる。多様なデータソースと自動欠陥分類(ADC; Automatic Defect Classification)や空間分布分析(SSA; Spacial Signature Analysis)のような自動解析技術の革新が、欠陥、パラメトリックそして電氣的テストのデータを利用価値のある製造プロセス情報に変換させることが可能になる。さまざまな種類の欠陥に対する技術的要求を以下に述べる。

### 見える欠陥(Visible Defects)

装置は検出、レビュー、分類、それに原因究明のための解析が要求され、技術ノードの進展に伴って見える欠陥サイズは小さくなっている。

### 見えない欠陥(Non-visual Defects)

見えない欠陥とは、電氣的不良の原因になるが、今日の検査技術では物理的痕跡程度しか検出できない欠陥と定義する。回路設計がより複雑になると、物理的痕跡すら残さない欠陥が原因で生ずる回路不良が増える。こうした不良の一部は、たとえばウェーハ間やチップ間での抵抗や容量の変動の様に、系統的かつパラメトリック(特性規格はずれなど)な形で顕在化する。あるいは、応力起因の転位や局所的な結晶欠陥/原子結合不良(訳注:原子レベルでの結合が無いもの。たとえば界面準位)のような、偶発的かつパラメトリックではない形で顕在化する。後者の迅速な原因究明は、より挑戦的課題になると考えられている。開発が必要な技術は、不良を迅速に特定する技術および、特定された不良の原因を見える欠陥、見えない欠陥、それにパラメトリック欠陥に分類する技術である。

### パラメトリック欠陥(Parametric Defects)

最小寸法が小さくなるに伴って、システムチック欠陥が規定する歩留り(SMLY or  $Y_S$ )も同様に減少する。ウェーハ内およびウェーハ間の特性変動(parametric variation)がシステムチック成分の主要素となっている。パラメトリック欠陥は歴史的に見えない欠陥とされてきた。しかしながら迅速な欠陥原因究明のためには、見えない欠陥とは分離して扱う必要が出てきている。

### 電氣的不良(Electrical Faults)

プロセス層数の増加、チップ内トランジスタ数の増加、回路密度の増加、問題となる欠陥寸法の縮小が進んでいるが、それに伴って生ずる欠陥数の増加は電氣的不良としてしか検知されない。電氣的不良には、点状欠陥やパラメータ値を変えるプロセス変動による不良も含まれている。欠陥発生原因を特定するためには電氣的不良の位置をチップ内で特定しなくてはならない。この作業の複雑さは単位面積( $\text{mm}^2$ )あたりのトランジスタ数×総プロセス数にほぼ比例するため、表 113 にはその数値を欠陥特定の複雑度として表示してある。複雑さが増す状況にあっても欠陥発生原因を特定する時間を一定に保つため、チップ内での電氣的不良が発生している位置を特定するための時間を増加させない様にする必要がある。さらに、散発的なクロスチップタイミング変動によって発生するソフト不良は、点欠陥不良とシステムチック不良の中間に位置するため、発生原因を究明する新たな手法が必要とされる。

## データ管理システム(Data Management System)

現存するデータ管理システム(DMS; Data Management System)は数種類の独立したデータベースを持ち、歩留り解析に携わる幾つかの技術者グループが利用できるようになっている。このデータはベースライン歩留り解析、突発的歩留り低下の抑制、歩留りトレンドの確認、プロセス設計、歩留り予測などに用いられている。

IDMの有効性を阻害する主要因は、システム間の情報伝達、データ仕様、データベース間の共通ソフトウェアインターフェースが基準とするデータの標準規格が無いことである。使いやすい標準規格を作ることは自動化を促進するためにも必要である。現在の技術的解析手法は人による操作が必要であり、発見的性格の域を出ていない。SPC(Statistical Process Control)チャートや他のシステムのアラームをキューにして、多様なデータベースからの自動的にデータを収集する能力は、データの山からプロセスに関連した情報をタイムリーに引き出すために必要である。欠陥源究明を閉じたループ作業とするためには、DMS、特に市販のDMSがプロセス管理情報や装置管理情報(たとえばWIPデータ)を扱えるようにする必要がある。こうした情報処理が特に重要になると予想されるのは、装置が異常と判断された時に装置を停止するという単純な機能に留まらず、別の装置へのロットおよびウェーハの自動的な迂回や装置の異常内容の診断といった先端プロセス制御/装置制御の導入を考えた場合である。

DMSは今の所、その場(In-situ)センサ - 出力、装置の正常/異常出力、装置のログデータといった装置の時系列データを扱うに留まっている。ロットあるいはウェーハベースのデータと関連付けて装置の時系列データを記録できる方法が必要である。

今日のDMSで扱える製造データは非常に多様であるにもかかわらず、歩留り予測のためのハードやソフトは少数の専門家にしか扱えない状況が続いている。こうした解析手法を広範な技術者グループが使えるようになれば、優先して解決すべき欠陥発生メカニズムを迅速に明確化でき、その結果、最も重要な問題にすばやく対応できるようになるであろう。

歩留り習熟の要求技術表は、デバイスの生産時に発生する歩留りを劣化させる事象の迅速な学習とその問題を解決する能力を、それぞれの新しい技術ノードごとにコンパクトに示すことを目的としている。“欠陥/不良原因究明の複雑度”の指標は、ある技術ノードにおける即行的な原因究明の複雑度と将来の技術ノードにおける複雑度の増大率の両方を示すものとして定義されている。欠陥の原因究明の複雑度指数は、単位面積あたりのトランジスタ密度とプロセス工程数の積である。それは、完成したウェーハ内で正常動作しなくてはならない素子数の指標とみることができる。例えば、 $1E9$ の内1個の悪い素子が不良を発生させるとすると、1平方センチメートル内に10億個オーダーの素子が存在することを意味している。“欠陥データ量(defect data volume)”は検査とレビューによって一枚のウェーハから集められるデータサンプル数の指標である。その値は、それぞれの技術ノードにおける検出感度とウェーハ径の関数である。“データ量トレンド(data volume trend)”は技術ノード進むにしたがって、データ量の増加率を示すものである。この値は欠陥原因究明の複雑度と関連している。たとえば、もしプロセスの複雑度のトレンドがデータ量トレンドを大きく上回ったとしたら、十分にサンプルが得ることでできず、歩留り習熟ができなくなる。表の“立ち上がり時期の歩留り習熟(Yield Learning During Ramp)”の項目は、欠陥原因究明の複雑度とデータ量トレンドの考え方を、製造プロセスに対して歩留りを修正するために必要な時間に適用したものである。現在および将来の技術ノードにおける迅速な歩留り習熟を容易にするために、要因の理解と適用可能もしくは将来必要とされる技術を製造者と供給者に知らしめることが、全体の目的である。

表113a Yield Learning Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Wafer Size (mm)	300	300	300	300	300	300	300
Number of Mask Levels	29	31	33	33	33	35	35
Number of Processing Steps	516	530	543	556	570	583	596
Cycle Time During Ramp (number of days)	43.5	46.5	49.5	49.5	49.5	52.5	52.5
<i>Defect/Fault Sourcing Complexity [A] [G]</i>							
Logic transistor density/cm <sup>2</sup> (1E6)	61	77	97	122	154	194	245
Defect sourcing complexity factor (1E9) [B]	31	41	53	68	88	113	146
Defect sourcing complexity trend [C]	1	1	2	2	3	4	5
<i>Data Analysis for Rapid Defect/Fault Sourcing</i>							
Patterned wafer inspection sensitivity (nm) during yield ramp	80	72	64	56	52	46	40
Average number of inspections/wafer during full flow	2.9	3.1	3.3	3.3	3.3	3.5	3.5
Defect data volume (DV) (number of data items/wafer) (1E13) [D]	4.7	7.2	9.7	12.7	14.6	18.7	21.6
Defect data volume (DV) trend [E]	1.0	1.5	2.1	2.7	3.1	4.0	4.6
<i>Yield Learning During Ramp from 30% to 80% Sort Yield [F]</i>							
Number of yield learning cycles/year based on full flow cycle time	8.4	7.8	7.4	7.4	7.4	7.0	7.0
Required yield improvement rate per learning cycle	6.0	6.4	6.8	6.8	6.8	7.2	7.2
Time to identify and fix new defect/fault source during ramp	43.5	46.5	49.5	49.5	49.5	52.5	52.5
Number of learning cycles/year for 4 defect/fault source/year [I]	4.4	3.8	3.4	3.4	3.4	3.0	3.0
Required yield improvement rate/learning cycle for 4 defect/fault sources/year [I]	11.4	13.0	14.8	14.8	14.8	16.9	16.9

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

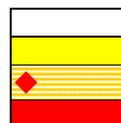


表 113a と 113b の注:

[A] 欠陥 / 不良原因究明 ( Defect/fault sourcing ) は欠陥 / 不良の発生場所の特定を意味している ( 見える欠陥あるいは見えない欠陥、パラメータ変動問題、電氣的不良を引き起こすプロセス装置、試験もしくはプロセスインテグレーションを特定する )

[B] 欠陥原因究明の複雑さ指数 ( Defect sourcing complexity factor ) = ( ロジックトランジスタ密度 #/cm<sup>2</sup> ) × ( # プロセス工程 )

[C] 欠陥原因究明の複雑さのトレンド ( Defect sourcing complexity trend ) は 100 nm 技術ノードで規格化している。

[D] 欠陥データ量 ( DV : Defect data volume ) = ( # 検査ウェーハ数 ) ( ウェーハ面積 ) / 立ち上がり時のパターンウェーハの検出感度立ち上がり時にはマスクあたり平均して 10% の領域の検査を仮定。

[E] DV trend は 100 nm 技術ノードで規格化している。

[F] マスクあたり 1.5 日のサイクルタイムを仮定。また、欠陥 / 不良の原因の特定と解決にかかる時間を基にした歩留り習熟時間の線形的な減少を仮定。

[G] 迅速な欠陥原因究明と歩留り習熟の仮定は下記のとおり:

- 歩留り立ち上がり率は一定 ( 30% 初期歩留りから 80% の成熟期歩留り )。
- 新しい歩留り低下要因の解明に 1x プロセスサイクル時間を維持する。
- 新材料の導入は欠陥 / 不良の原因究明時間を増大させない。
- 欠陥 / 不良の原因究明を歩留りの習熟曲線の立ち上がり時期に着目する。

表 113b Yield Learning Technology Requirements—Long-term

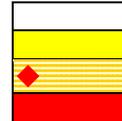
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Wafer Size (mm)	450	450	450	450	450	450
Number of Mask Levels	35	35	35	37	39	39
Number of Processing Steps	610	636	650	676	690	716
Cycle time During Ramp (number of days)	52.5	52.5	52.5	55.5	58.5	58.5
Defect/Fault Sourcing Complexity [A] [G]						
Logic transistor density/cm <sup>2</sup> (1E6)	309	490	617	980	1235	1960
Defect sourcing complexity factor (1E9) [B]	188	312	401	662	852	1403
Defect sourcing complexity trend [C]	6	10	13	21	27	45
Data Analysis for Rapid Defect/Fault Sourcing						
Patterned wafer inspection sensitivity (nm) during yield ramp	36	TBD	26	TBD	17.6	TBD
Average number of inspections/wafer during full flow	3.5	3.5	3.5	3.7	3.9	3.9
Number of data items/wafer (1E13) [D]	28.7	TBD	60.4	TBD	135.6	TBD
Defect data volume (DV) trend [E]	6.1	TBD	12.9	TBD	28.9	TBD
Yield Learning During Ramp from 30% to 80% Sort Yield [F]						
Number of yield learning cycles/year based on full flow cycle time	7.0	TBD	7.0	TBD	6.2	TBD
Required yield improvement rate per learning cycle	7.2	TBD	7.2	TBD	8.0	TBD
Time to identify and fix new defect/fault source during ramp	52.5	TBD	52.5	TBD	58.5	TBD
Number of learning cycles/year for 4 defect/fault sources/year [I]	3.0	TBD	3.0	TBD	2.2	TBD
Required yield improvement rate/learning cycle for 4 defect/fault sources/year [I]	16.9	TBD	16.9	TBD	22.3	TBD

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



## ウェーハ環境汚染制御 (Wafer Environmental Contamination Control)

ウェーハ環境汚染制御に関する要求は、表 114 に示すように、製造に用いる材料や環境によって分類される。

ウェーハ環境制御—サイズ 90nm 以降のデバイスに対して、ウェーハ隔離が有効な技術になるというコンセンサスができる。今後は非パーティクル性汚染や分子汚染によって影響を受けるプロセス工程の比率が増加すると予想される。半導体プロセスへの Cu 配線やその他の新材料の使用により、新たな汚染物質が導入される可能性がある。このような動向に対して、装置のミニエンバイロメント化やクローズドキャリア (例、FOUPs; Front Opening Unified Pods) など、ウェーハを隔離できる技術が必要とされている。FOUPs の採用によって工場の自動搬送もやりやすくなる。ウェーハ環境汚染制御(WECC)技術の要求は、特定の工程における雰囲気中の酸性物質、アルカリ物質、凝縮性有機物質、ドーパント、金属などの目標レベルを決める。大気暴露時間と付着係数の影響は線形と考えられるであろう。

気中分子汚染(AMC; Airborne Molecular Contamination) — クリーンルーム、プロセス装置、ウェーハポッドなどの構成部材からの脱ガスは、プロセスで使用する化学薬品からの蒸発物と並んで、気中分子汚染(AMC)の 2 大ソースである。酸素と水蒸気と低濃度汚染物(例、一酸化炭素)も気中分子汚染と考えることができる。空気中にある酸の蒸気によって HEPA(High Efficiency Particulate Air)フィルターからボロンが出てくる現象やアミンが DUV (Deep Ultraviolet) 光露光用レジスト解像度に影響する現象は、気中分子汚染がウェーハプロセスに悪影響を与える良く知られた例である。デバイスサイズが小さくなるほど、気中分子汚染の影響はより深刻になると考えられる。ク

クリーンルーム雰囲気中の濃度として ppt レベルをモニターできるような、より良い気中分子汚染モニター装置が必要である。SAW(Scanning Acoustic Wave)デバイスと APIMS(Atmospheric Pressure Ionization Mass Spectroscopy)は、低濃度の気中分子汚染物質の測定に用いられてきたが、デバイスが分子サイズに近づくにつれて、低価格で定常的に使えるモニター法が必要になると思われる。数原子層程度の炭化水素膜によってプロセスの制御性が無くなることもある。特に、フロントエンドプロセスではその可能性が高い。ポッドや FOUPs の構成材からの気中分子汚染物の脱ガスに関しては多くの研究がなされ、材料選択のガイドラインとして使われたが、重要な工程に関しては、さらにポッド内を窒素パージする必要があるかどうかを明らかにする必要がある。全ての工程が気中分子汚染の影響を受けるわけではない。たとえば、将来の露光システムは真空プロセスになる可能性があり、その場合にはクリーンルーム雰囲気に関して新たな分子汚染制御の対象から外れる。新しいプロセスに対する気中分子汚染の影響に関しては、インテグレーションの観点から検討する必要がある。

*プロセス影響を与える材料* — スパッタターゲット、メッキ溶液、CMP スラリー、CVD 用原料、high / low-k 材料のような新規材料に対する不純物制御レベルはほとんど理解されておらず、さらに実験での検討が必要である。一定体積あたりのパーティクル数の要求レベルは、問題となる最小のパーティクル寸法で一定としてきた。このことは、パーティクル密度が  $X^{-3}$  則( $X$ :パーティクル寸法)の仮定に従うことを考慮すると、技術ノードごとに約2倍のクリーン化が必要なことを意味する。問題となる最小寸法のパーティクルの測定が望ましい。しかし、最小寸法より大きな寸法のパーティクルをモニターし、推定されるパーティクルサイズ分布を用いて問題となる最小サイズでのパーティクル濃度に換算すれば同じことである。

*超純水(UPW; Ultra Pure Water)* — 一般に超純水に対しては 25 で 18.2 M の比抵抗が要求され、さらにイオン化合物(陽イオン、陰イオン、金属)、TOC(Total Organic Carbon、融解またはコロイド状)、パーティクル、バクテリアの含有量が 1ppb 以下であることも要求される。パーティクルレベルは、現在入手可能な最高レベルの濾過技術を用いることにより、実用レベルまで減少している。バクテリアは水面および低温の場合には液体内部にも存在するが、非常に低いレベルに制御されている。表 114 にある 2003 年のロードマップの値は、最先端デバイスを製造する工場で現在使用している代表的な超純水の水質の値となっている。2003 年版を超える更に厳しい基準値は、製造プロセスの要求が更に厳しいものに改善された場合にのみ反映される。超純水に対する要求については、脚注でも議論する。

超純水に関する重要なトレンドの一つとして、汚染よりはプロセスに影響するパラメータを考えるべきであり、その絶対値よりは安定性に注目すべきというものがある。幾つかの半導体メーカーでは、溶存酸素をそのような対象として扱い、それ以外の項目を汚染物質として扱っている。温度や圧力の安定性もより重要な因子となりつつある。

超純水の汚染品質に関しては、品質が必要とされる場所はどこかと品質が計測される場所はどこかという視点を忘れてはならない。測定箇所は、供給ポイント(POD: Point of Distribution)・接続ポイント(POC: Point of Connection)・ユースポイント(POU: Point of Use)との関係で論じられる。供給ポイントは純水製造システムの最終処理ステップの直後であり、接続ポイントは装置との接続部、ユースポイントは装置の内部になる。2003 年版ロードマップで示されている超純水についての値は供給ポイントである。超純水の品質は、他の重要な液体に比べても、上記の 3 つのポイント間での変化が大きく、とりわけ接続ポイントとユースポイントの間では、品質の管理には特に注意が必要である。更に、正確な分析結果を得るためにサンプリング技術も重要となる。供給ポイントからユースポイントに焦点を移すと、計測法はより困難に、またより高価格になる。ユースポイントでのサンプリングはリンス槽や

ハンドシャワーからのバッチサンプリングに限定される。スプレー方式の装置の正確な分析を保証するため、特にオンラインで分析するためには、サンプリング方法を改善する必要がある。いくつかの会社では、既に確立しているウェーハ表面汚染分析方法を、超純水の分析へ応用する方法を研究している。測定再現性を保証するためには、接触方法や接触時間などのような、標準的なパラメータを開発することが必要である。

*超純水のリサイクル* — 資源の最適化を促進するために、超純水使用量を効果的に改善することが、広く求められている。システム全体を通してより多くの水をリサイクルするため、超純水の品質が維持されていることを保証できるような、処理方法と分析方法を含んだコスト削減効果のある技術が必要である。リサイクルを上手く行くと、利益を生むだけでなく、食物の洗浄水として使える水質にまで改善できることが証明されてきている。

*超純水の測定方法* — 近年、インラインのパーティクル計測と実行可能なバクテリアの測定は発展してきている。現在、パーティクルカウンターでは、純水中においては 30nm の計測が可能である。外挿またはパーティクルサイズ分布を仮定することによって、30nm 以下のパーティクルの濃度を推定することができる。現在では、バイオルミネセント法によりバクテリアの計測時間を短縮できるようになっている。純水中の汚染計測の一般的な方法を図 76 に示す。純水に関しては、この章の脚注で更に詳細に論じる。

<i>Parameter</i>	<i>Measured (POD/POC)</i>	<i>Test Method</i>
Resistivity	Online	Electric cell
Viable bacteria	Lab	Incubation
TOC	Online	Resistivity / CO <sub>2</sub>
Reactive silica	Online or lab	Colormetric
Dissolved N <sub>2</sub>	Online	Electric cell
Total silica	Lab	ICP/MS or GFAA
Particle monitoring	Online	Light scatter
Particle count	Lab	SEM—capture filter at various pore sizes
Cations, anions, metals	Lab	Ion chromatography, ICP/MS
Dissolved O <sub>2</sub>	Online	Electric cell

図76 General Test Methodology for Ultrapure Water

*ガスと液体化学薬品* — 表 114 中の汚染の要求の最小値は、2003 年に最先端デバイス製造メーカーで使われたガスや液体化学薬品の典型的な品質の値となっており、ITRS の以前のバージョンの要求値よりも高くなっている。多くのアプリケーションでは、これらのガスや液体化学薬品中の汚染の要求値は、もっと緩和されるであろう。一方で、いくつかのメーカーは、更に汚染レベルを下げることにより得られる利点を追求している。実際には、低汚染レベルによる利点は、高純度のガスや化学薬品による汚染の変動を減少させることであると思われる。平均汚染レベルを下げることも、純度の変動を抑える方が歩留りの改善に効果があり、半導体生産で使われるガスや化学薬品の現在到達可能な純度のレベルが多世代デバイスにとって十分であると予想される。それゆえ、これらのプロセス

材料の製造時や供給時には、統計的なプロセス制御により汚染レベルを改善する必要がある。

**液体化学薬品** — 表 114a および 114b にプロセス装置に供給される化学薬品に対する純度の要求値をまとめる。拡散前洗浄の要求値が、最もアグレッシブな不純物レベルとなっている。液体化学薬品中のイオン汚染のレベルは、2016 年まで一定値であると予想されている。液中パーティクルレベルの目標は、どの技術ノードについても、より高い値となっている。現在、液体化学薬品中では、パーティクルカウンターの検出感度は 65nm に過ぎない。パーティクルサイズ分布を仮定することによって、より小さなパーティクルの濃度を推定することができる。CMP とめっき用の化学薬品の使用量増加と共に、これらの化学薬品の純度要求値を明確にしなくてはならない。

**一般ガス/特殊ガス** — 最も一般的なガスについて、2003 年度版ロードマップでは表 114 に、分類してリストアップしている。表に示すとおり、要求値は以前のバージョンのロードマップのものよりも緩和されている。ロードマップの将来の技術ノードにおいて、これらのガスの要求値を改善する必要があるという特別な報告はないが、表では 45nm ノードにおいて改善が必要であると予想している。表に示すとおり、トータルハイドロカーボン (THC; Total Hydrocarbons: 総炭化水素量) は一般的なガスそれぞれについて明記されている。メタンは空気中に約 2ppm 自然に存在し、空気から精製される不活性ガス中一番多くに存在するハイドロカーボン (炭化水素) 不純物である。メタンの定量に一般的に使われる分析技術は GC-FID (Gas Chromatograph – Flame Ionization Detector) である。FID は C-H 結合に対し感度があり、ハイドロカーボン中の炭素原子計測に用いられる。FID を不純物分離する GC カラムなしで使えば、トータルハイドロカーボンのリアルタイム検出装置として使用可能である。しかしながら、ハイドロカーボンの種類が異なると、その反応が異なるため (反応はハイドロカーボンの CH 結合の数に比例する)、FID の校正が重要となる。一般的には、FID はメタン標準により校正され、THC の結果はメタン換算の THC 量で示される。多くのアプリケーションにおいて、これは存在するトータルハイドロカーボン量の指標を提供することが可能である。ハイドロカーボンの正確な定量は行えないかもしれないが、それにもかかわらずハイドロカーボン量のリアルタイムモニターとして使うことができる。

メタンの非メタンハイドロカーボン (NMHC; Non-Methane Hydrocarbons) の計測概念は、環境の分野から半導体の分野にもたらされてきた。この方法では、分離および FID を用いたメタン濃度測定のために GC カラムを用いる。メタン測定後、他のハイドロカーボンを検出するために、GC 排気を FID 中に逆流させる。この手法を用いても、NMHC の定量については同様の問題がある。CH<sub>4</sub> に対する FID の反応により、NMHC を定量する。明言できないが、NMHC は通常メタンとして定量される。先端リソグラフィプロセスにとって、重いハイドロカーボン (例えば C<sub>6</sub>-C<sub>30</sub>) は、暴露表面へ吸着量が増加するため、微量であっても有害となる。同様の理由で、シロキサンや有機リン酸塩のようなその他の潜在的な汚染についても、極微量でも非常に有害となる可能性がある。

ハイドロカーボンの種類ごとに分離して検出し、ハイドロカーボンのそれぞれの種類について標準を用いれば、ハイドロカーボンを正確に定量することが可能となる。分析についての高度な専門性が必要であり、また時間がかかるものの、これは TD GC/MS を用いることで可能である。この分析方法でも、重いハイドロカーボンやカラムの中に残留する可能性の高い極性種に対しては、分析ミスを引き起こしたり、またはとても広いピークになってしまう可能性がある。APIMS を使うことにより、個々のハイドロカーボンのリアルタイム測定は原理的には可能であるが、大きなハイドロカーボンはイオン化プロセスにおいて衝突分解するため、校正することが困難である。校正に注意すれば、CH<sub>4</sub><sup>+</sup>ピークやその他のピーク (イオン化のコンディションに依存する) により、トータルカーボンの含有量の測定が可能である。大きなハイドロカーボンの反応は分子の性質や分析のコンディションに依存しているため、校

正は簡単ではない。この手法においても、THC の定量はシングルハイドロカーボン(メタンなど)で換算される。現実的には、100ppb 以上のレベルの測定には、簡単な FID による THC 計測が推奨される。もっと低いレベルの測定には、10ppt までは APIMS が使えるであろう。もし重いハイドロカーボンが特に重要であれば、重要なハイドロカーボンを含んだ混合物により装置を正確に校正する必要がある。

一般的に、酸素とアルゴンの両方のアプリケーションでは、窒素不純物に対しては他の汚染よりも許容量が高く、表はこのことを反映している。クリティカルクリーンドライエア、リソグラフィのパージガス、超臨界 CO<sub>2</sub> 供給に対する要求値が、2003 年版の表に追加されている。これらのガスについても、ロードマップ中に記載されている技術ノードにおいては、現在の純度レベルで十分であるとしている。

特殊ガスにおいては、エッチャントやドーパント、デポガス中の汚染の値が、表に記されている。パーティクル濃度のインラインモニターは一般的に実行されておらず、またユースポイントのパーティクルフィルターは効果があるというデータが確認されているため、特ガス中のパーティクル汚染の値は 2003 年版の表からは削除されている。ロードマップの範囲内で特ガスについて純度を改善する必要があるということは実証されていない。一般ガスと特ガスの両方にとって、製品純度を一定に保つことは、純度レベルを更に改善することよりも、重要であるようだ。汚染レベルは実際のプロセス制御パラメータではないため、現実には品質保証手続きによりガスの品質が一定に保たれる。製品汚染に関連した統計的なプロセス制御の手法が必要である。

**新規材料** — プロセスに使われる新規材料の不純物仕様は、ますます重要になるであろう。メタル酸化物、CMP スラリー、低ノ高誘電体材料、バリアメタル用原料(CVD やめっき液)、配線金属(Cu,Ta)のような問題となる材料の仕様は、あまり研究されていない。これらの材料が技術要求を満たす不純物仕様によって生産されるために、新規測定技術や影響研究が必要となる。

**設計とプロセスの相互作用** — ウェーハ環境中、気中、プロセス影響を与える材料、超純水中に存在する、歩留りを低下させる汚染物質を同定し制御するために、データ、テスト構造およびテスト方法が必要である。欠陥源やメカニズムを決定する際重要となる標準的なテスト構造が必要とされる。いったん、設計とプロセスの相互作用を解明できれば、プロセス感度が低いデバイス設計の基本ルールを確立できるであろう。プロセス感度分析やプロセス感度を鈍感化させるためのサイクル時間は、デバイス設計と歩留りの向上に重要となる。その上、様々な層のランダム欠陥に対する設計感度は、設計プロセスにおいて考察される必要がある。

**プロセスとプロセスの相互作用** — プロセス工程間の欠陥形成(レジスト膜厚とコンタクト密度がビア/コンタクト内の残渣レベルに影響するような)の相互作用は、対象の装置やプロセスに必ずしも密接な関連がないような前後の工程の装置やプロセスに特別な要求を与えるかもしれない。隣接モジュールの性能を劣化させるあらゆる汚染物質が移送されないように、クラスタ装置や洗浄槽等は、注意深く設計されなければならない。不要なプロセス相互作用を検出し、理解し、なくすために、プロセスモニタと制御は重要な役割を果たす。適切なセンサとデータは、上流・下流のプロセスパラメータや歩留りにすばやく反映させるための適切な情報管理システムとともに、装置間や装置内の統計的プロセス制御(SPC)を可能にしなければならない。

表114a Technology Requirements for Wafer Environmental Contamination Control—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
<i>Wafer Environment Control</i>							
Critical particle size (nm) [A]	50	45	40	35	33	29	25
Number of particles > critical size (/m <sup>3</sup> ) [B]	ISO CL 2						
<i>Airborne Molecular Contaminants in gas phase (pptM) [C] [H] [R]</i>							
Lithography—bases (as amine, amide, and NH <sub>3</sub> )	750	750	750	<750	<750	<750	<750
Gate—metals (as Cu, E=2×10 <sup>-5</sup> ) [I]	0.15	0.1	0.1	0.07	<0.07	<0.07	<0.07
Gate—organics (as molecular weight ≥ to 250, E=1×10 <sup>-3</sup> ) [D]	80	70	60	60	50	50	50
Organics (molecular weight ≥ to C <sub>7</sub> H <sub>16</sub> ) normalized to hexadecane (C <sub>16</sub> H <sub>34</sub> ) equivalent	5000	4500	4000	3500	3000	3000	<2500
Salicidation contact—acids (as Cl-, E=1×10 <sup>-5</sup> )	10	10	10	<10	<10	<10	<10
Salicidation contact—bases (as NH <sub>3</sub> , E=1×10 <sup>-6</sup> )	12	10	8	4	<4	<4	<4
Dopants [E]	<10	<10	<10	<10	<10	<10	<10
<i>Airborne Molecular Contaminants, Surface Deposition Limits (for Si Witness Wafer, 24-hour Exposure to Closed FOUF, Pod, Mini-environment or Air)</i>							
SMC organics on wafers, ASTM 1982–99, ng/cm <sup>2</sup> [O]	4	2	2	2	2	2	2
Front-end processes, bare Si, total dopants added to 24-hour witness wafer, atoms/cm <sup>2</sup> [E] [P]	<2E12	<2E12	<2E12	1.E+12	1.E+12	1.E+12	1.E+12
Front-end processes, bare Si, total metals added to witness wafer, atoms/cm <sup>2</sup> [G] [Q]	<2E10	<2E10	<2E10	<2E10	<2E10	<2E10	<1E10
<i>Process Critical Materials [H]</i>							
Critical particle size (nm) [A]	50	45	40	35	33	29	25

SMC—surface molecular condensable

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

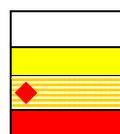


表114a Technology Requirements for Wafer Environmental Contamination Control—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
<i>Ultrapure Water [N]</i>							
Resistivity at 25 °C (MOhm-cm)	18.2	18.2	18.2	18.2	18.2	18.2	18.2
Total oxidizable carbon (ppb)	<1	<1	<1	<1	<1	<1	<1
Bacteria (CFU/liter)	<1	<1	<1	<1	<1	<1	<1
Total silica (ppb) as SiO <sub>2</sub>	1	1	0.75	0.75	0.5	0.5	0.5
Reactive silica (ppb) as SiO <sub>2</sub>	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Number of particles > critical size (/ml) [A]	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Dissolved oxygen (ppb) (contaminant based) [S]	3	3	3	3	3	3	3
Dissolved oxygen (%value) (process variable based) [S]	+/- 20	+/- 20	+/- 20	+/- 20	+/- 20	+/- 20	+/- 20
Dissolved nitrogen (ppm) [K]	8–12	8–12	8–12	8–12	8–12	8–12	8–12
Critical metals (ppt, each) [G]	1	1	1	<0.5	<0.5	<0.5	<0.5
Critical anions (ppt each) [G]	50	50	50	50	50	50	50
Boron (ppt, each) [N]	50	50	50	50	50	50	50
Temperature stability (°C)	+/- 1	+/- 1	+/- 1	+/- 1	+/- 1	+/- 1	+/- 1
<i>Liquid Chemicals [F]</i>							
49% HF, 37% HCl: number of particles > critical size (/ml) [A] [L]	—	—	<10	<10	<10	<10	<10
30% H <sub>2</sub> O <sub>2</sub> , 29% NH <sub>4</sub> OH, 100% IPA: number of particles > critical size (/ml) [A] [L]	<1000	<1000	<1000	<1000	<1000	<1000	<1000
49% HF, 30% H <sub>2</sub> O <sub>2</sub> , 29% NH <sub>4</sub> OH, 100% IPA: Na, K, Fe, Ni, Cu, Cr, Co, Pt, Ca, Al, Zn (ppt, each)	<150	<150	<150	<150	<150	<150	<150
49% HF, 30% H <sub>2</sub> O <sub>2</sub> , 29% NH <sub>4</sub> OH, 100% IPA: all other metals not listed in row above (ppt, each)	<500	<500	<500	<500	<500	<500	<500
49% HF: total oxidizable carbon (ppb)	—	TBD	TBD	TBD	TBD	TBD	TBD
29% NH <sub>4</sub> OH: total oxidizable carbon (ppb)	—	TBD	TBD	TBD	TBD	TBD	TBD
37% HCl: total oxidizable carbon (ppb)	—	TBD	TBD	TBD	TBD	TBD	TBD
30% H <sub>2</sub> O <sub>2</sub> : total oxidizable carbon (ppb)	—	TBD	TBD	TBD	TBD	TBD	TBD
37% HCl, 96% H <sub>2</sub> SO <sub>4</sub> : K, Ni, Cu, Cr, Co, Pt (ppt)	<1000	<1000	<1000	<1000	<1000	<1000	<1000
37% HCl, 96% H <sub>2</sub> SO <sub>4</sub> : other cations and metals (ppt)	<10000	<10000	<10000	<10000	<10000	<10000	<10000

*Manufacturable solutions exist, and are being optimized*

*Manufacturable solutions are known*

*Interim solutions are known*

*Manufacturable solutions are NOT known*

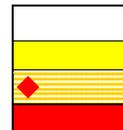


表114a Technology Requirements for Wafer Environmental Contamination Control—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
<i>Liquid Chemicals [F]</i>							
BEOL solvents, strippers K, Li, Na, (ppt, each)	<10000	<10000	<10000	<10000	<10000	<10000	<10000
Planar slurries: scratching particles (/ml > key particle size) [J] [T]	—	TBD	TBD	TBD	TBD	TBD	TBD
Planar rinse chemicals: particles > critical size (/ml) [A] [L] [T]	—	TBD	TBD	TBD	TBD	TBD	TBD
Planar rinse chemicals: elements TBD (ppt, each) [T]	—	TBD	TBD	TBD	TBD	TBD	TBD
Plating chemicals: particles > critical size (/ml) [A] [L] [T]	—	TBD	TBD	TBD	TBD	TBD	TBD
<i>ILD CVD Precursors (e.g., TEOS)</i>							
Metals (ppb)	<1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
H <sub>2</sub> O (ppmV)	<10	<5	<5	<5	<1	<1	<1
<i>Bulk Gases (Contaminants, ppbv)</i>							
N <sub>2</sub> (O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<5	<5
O <sub>2</sub> (N <sub>2</sub> X <sub>5</sub> , ArX <sub>5</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC) [U]	<10	<10	<10	<10	<10	<10	<10
Ar (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<5	<5
H <sub>2</sub> (N <sub>2</sub> X <sub>5</sub> , O <sub>2</sub> , ArX <sub>5</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC) [U]	<10	<10	<10	<10	<10	<10	<10
He (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<10	<10	<10	<10	<10	<10	<10
CO <sub>2</sub> (N <sub>2</sub> , H <sub>2</sub> O, O <sub>2</sub> , THC)	<1000	<1000	<1000	<1000	<1000	<1000	<1000
Critical clean dry air (e.g., lithography) (H <sub>2</sub> O, THC) (SO <sub>x</sub> , NO <sub>x</sub> , amines all X0.05)	<100	<100	<100	<100	<100	<100	<100
Lithography purge for 193 nm (O <sub>2</sub> and H <sub>2</sub> O X1000, CO, CO <sub>2</sub> , THC)	<1	<1	<1	<1	<1	<1	<1
Lithography purge for 157 nm (CO, CO <sub>2</sub> , THC)	N/A	N/A	N/A	<0.01	<0.01	<0.01	<0.01
Lithography purge for 157 nm (O <sub>2</sub> , H <sub>2</sub> O)	N/A	N/A	N/A	<1000	<1000	<1000	<1000
Number of particles > critical size (/M <sup>3</sup> ) [A]	<100	<100	<100	<100	<100	<100	<100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

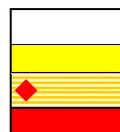


表114a Technology Requirements for Wafer Environmental Contamination Control—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Specialty Gases							
Etchants (Corrosive, e.g., BCl <sub>3</sub> , Cl <sub>2</sub> )							
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	<1000	<1000	<1000	<500	<500	<500	<100
Critical specified metals/total metals (ppbw) [V]	<10/1000	<10/1000	<10/1000	<10/1000	<10/1000	<1/TBD	<1/TBD
Etchants (Non-corrosive, e.g., C <sub>2</sub> F <sub>6</sub> , NF <sub>3</sub> )							
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	<1000	<1000	<1000	<1000	<1000	<1000	<1000
Deposition (e.g., SiH <sub>4</sub> , NH <sub>3</sub> , (CH <sub>3</sub> ) <sub>3</sub> SiH)							
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	<1000	<1000	<1000	<1000	<1000	<1000	<1000
Critical specified metals/total metals (ppbw) [V]	<10/1000	<10/1000	<10/1000	<10/1000	<10/1000	<1/TBD	<1/TBD
Dopants (e.g., AsH <sub>3</sub> , PH <sub>3</sub> , GeH <sub>4</sub> )							
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	<1000	<1000	<1000	<500	<500	<500	<100
Inerts—Oxide/Photoresist Etchants/Strippers							
Inerts (O <sub>2</sub> , H <sub>2</sub> O, ppbv)	<1000	<1000	<1000	<1000	<1000	<1000	<1000
He, H <sub>2</sub> cylinder carrier/purge gases (N <sub>2</sub> , H <sub>2</sub> O, ppbv)	<100	<100	<100	<100	<100	<100	<100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

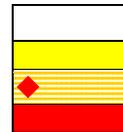


表 114a と 114b の注:

[A] クリティカルパーティクルサイズはデザインルール の 1/2 である。すべての欠陥密度はクリティカルパーティクルサイズに「標準化」されている。クリティカルパーティクルサイズは「キラー」欠陥を意味する必要はない。装置の制限により、90nm 以下の技術ノードに対するクリティカルサイズのパーティクル密度は、より大きなサイズのパーティクル密度とパーティクルサイズ分布を仮定して評価する必要があるだろう。パーティクルサイズ分布は流体(例えば、水、クリーンルームエア、ガスなど)に依存しているが、重要な流体では  $f(x)=K \cdot X^{-2.2}$  が妥当な近似式となる<sup>6,7</sup>。

[B] 気中パーティクルの要求値は、ISO 14644-1 に基づく<sup>8</sup>。

[C] 表にあるイオン / 種は計算値、暴露時間は 60 分で、ウェーハ初期濃度はゼロ。リソグラフィの推測値は、リソグラフィのロードマップから定義される。ゲートメタルと有機物は、洗浄ロードマップの中のメタルと有機物から定義する。すべての気中分子汚染は  $S=E \cdot (N \cdot V / 4)$  から計算される;ここで、S は到達率(molecules/second/cm<sup>2</sup>)、E は付着係数(0 から 1 の間の値)、N は気中濃度(molecules/cm<sup>3</sup>)、V は平均熱速度(cm/second)とする。

[D] 有機物の付着係数は分子の構造により大きく変わり、表面終端による影響も受ける。一般的には、250 よりも小さい分子量では、揮発性が高いため考慮しない。

[E] P, B, As, Sb を含む

<sup>6</sup> Cooper, D. W., "Comparing Three Environmental Particle Size Distributions", *Journal of the IES*, Jan/Feb 1991, pages 21-24.

<sup>7</sup> Pui, D. Y. H. and Liu, B. Y. H., "Advances in Instrumentation for Atmospheric Aerosol Measurement", *TSI Journal of Particle Instrumentation*, Vol. 4, Number 2, Jul-Dec 1989, pages 3-2.

<sup>8</sup> ISO 14644-1 *Cleanrooms and Associated Controlled Environments—Part 1: Classification of Air Cleanliness*.

[F] 汚染目標は POC(プロセス装置の接続ポイント)に適用し、供給される化学薬品や POU(ウェーハ槽のユースポイント)には適用しない。

[G] クリティカルメタルおよびイオンには、Ca, Co, Cu, Cr, Fe, Mo, Mn, Na, Ni, W を含む。

超純水について、1ppt というレベルはプロセスには恐らくその必要がなく、純化システムはその純度にするには不可能であり、分析技術からも計測するのは不可能であるので、すべてのイオンに 1ppt レベルを適用することは、非常に疑問であることに注意しなければならない。多くの元素に対しては、もっと高い値にすることが適当である。特定のプロセスに対して最もクリティカルなイオンのみを、このレベルで考慮すべきである。このレベルでの測定はいくつかの先端の研究所に限られるため、確認することは困難である。こう述べると共に、いくつかのイオンをこのような低いレベルに制御する必要性が現実的には存在する。純水中の Ca と Fe, Ni のレベルにより、ウェーハ上で問題となる濃度(atoms/cm<sup>2</sup>)となったという、3つの異なった事例がある。これら元素の純水中のレベルを、10ppt を十分に下回るレベルに低減することにより、容認できるレベルに低減されている。たった一つの事例ではあるが、0.5ppt を下回る値が得られたというデータが存在する。他の 2 つの事例では、10ppt(その時点での純水中での検出限界)以下のレベルでも問題があった。イオン交換を追加することにより、この問題がなくなった。このイオン交換により汚染レベルが低減できたと推測することはとても合理的である。これらの結果から、1.0~0.5ppt という値を決めている。

[H] 表 114 中のすべての汚染の単位は ppb が用いられる(もしくは ppm や ppt が用いられるが、ここでは ppb を使って説明する)。これらの 10 億分率(ppb)の単位が質量、体積、またはモル比であることを認識すべきである。特に指定しない場合には、以下のガイドラインのとおりとする。化学薬品や純水は一般的には質量濃度、ガスやクリーンルームは一般的には体積濃度とする。理想気体として振舞う流体では、体積濃度はモル濃度に等しい。上記の例外として、ガス中の金属は質量濃度とする。

[I] 表にあるレベルでのメタル検出は、サンプリング時間と流量に依存する。

[J] スクラッチを引き起こす原因となるパーティクルのサイズは、スラリーのパーティクルサイズの平均値に依存する。目標値はスラリーおよびウェーハ表面の感度により特定される。

[K] 溶存酸素の行はメガソニック洗浄の物理的なプロセスの必要性のためだけに存在する。メガソニック洗浄なしのプロセスであればこの行の項目は無視できる。このレベルはプロセス特有であり、エンドユーザーによって決められる。他のガスを使うことができるが、異なる最適なレベルにする必要があるだろう。他のガスに関する化学薬品中のプロセス環境については、この章の範囲外とする。特に、温度が高いと温純水のガス溶解度は低くなることから、気泡に関して、ガス添加物に注意する必要がある。

[L] 2003 年版アップデートでは、化学薬品中の液中パーティクルの最小感度は 0.065  $\mu\text{m}$  である。これらのパーティクルカウンターによって得られた値はロードマップの値と直接比較できるものではなく、上記に記述した計算式と方法を用いたクリティカルパーティクルサイズの値に標準化する必要がある。

[M] 超純水おける値は接続ポイント(POC)である。ユースポイント(POU)での測定が不可能であるため困難であるが、目標はユースポイント(POU)までこの値を維持することである。多くの値では、接続ポイントからユースポイントに変更することは期待されていない。一方で、溶存酸素(特に PFA(Perfluoro Alkoxyalkane)配管により純水が供給される場合)のようないくつかの値については、間違いなく変更されるだろう。パーティクルやバクテリアのような他のものは、水質管理上、装置メーカーの専門技術により変更されるであろう。超純水の溶存酸素の目標は今後も一定値となっている。洗浄(Surface Preparation)の表の脚注、更に詳細には表面酸素から参照される重要なアプリケーションではもっと低いレベルが要求されるだろう。

[N] 超純水中のボロンレベルは現在議論中のテーマである。現在、入手可能な最適な情報では、高抵抗のデバイス構造(例えば、フラッシュメモリーで使われるような)のみが表中の値の根拠があるかもしれない。他のデバイス(ロジック、DRAM)では、もっと高濃度のボロンレベルでも容認されるであろう。

[O] 有機フリーウェーハを作るためにウェーハを酸化し、その後、24 時間暴露し、400 °C の熱脱離による TD-GC-MS (Thermal Desorption – Gas Chromatograph – Mass Spectrometry)により表面を分析する。定量はヘキサンの外部標準に基づく。TIC(Total Ion Chromatogram)反応係数は ASTM 1952-99<sup>9</sup>から。上記手法によって決定される限界は、多くの有機物の指標となる。次のプロセスステップより前に酸化や洗浄されたプロセスウェーハにより高い限界値を使う可能性があることに注意すべきである。ゲート酸化形成やポリシリコン成膜のようなプロセスは、特に DOP(Dioctyl Phthalate)のような蒸気圧の高い有機物に対し、より敏感である。いくつかのプロセスにとっては、SiN 成膜は上記より更に敏感である。ドーパントの要求についてはこれより前の章でカバーされていることに注意。

<sup>9</sup> ASTM 1982-99\*\*\*citation to be updated

[P] ドープフリーの表面を作るためにウェーハを最初に HF(Hydrofluoric Acid)により剥離処理し、24 時間暴露する。信頼性よくボロンを回収できる方法により、ウェーハ最表面を分析する。これは、稼動している工場でのサンプリング値に基づくドーパントの指標となる。キーとなる FEP に対しては、特に更に微細な構造や更に低いサーマルバジェット、そして低いドーパ量のデバイスには、更に低い基準値が要求されるであろう。もし、ウェーハが次の熱プロセスの直前に HF もしくは BOE(Buffered Oxide Etchants)により剥離処理されるのであれば、表面の分子ドーパントに対しステップは敏感でなくなり、より高い限界値が適用される。バックエンドプロセス(BEP; Back-end processes)では FEP よりもドーパントに対しては敏感ではない傾向があることに注意すること。

[Q] ITRS の FEP の Si 基板の表のスペックに合致した  $1E10$  atoms/cm<sup>2</sup> の濃度のウェーハを、クリーンな環境に 24 時間暴露する。次に VPD-ICP-MS (Vapor Phase Decomposition – Inductively Coupled Plasma – Mass Spectrometry) や VPD-GFAA (Vapor Phase Decomposition – Graphite Furnace Absorption Spectrometry) により、最表面を分析する。キーとなる FEP に対して、特により微細な構造に対して、より低い指標が要求されるであろう。次の熱工程の前に洗浄工程がある場合、洗浄前のステップ中に空気中で暴露されても問題は少ないだろう。環境からの金属汚染の大多数は、分子ではなくパーティクルであることに注意しなければならない。ウェーハ上のすべてのパーティクルが(金属の大多数よりも)基準内に保持されている場合、環境からのほとんどのメタルは基準内となるだろう。BEP は、FEP よりもパーティクル起因でない金属に対しては敏感ではない傾向がある。入ってくるウェーハの 2 倍の基準値は容易に到達可能であり、24 時間暴露されたウェーハ場合にはこの値は容易に計測できる。

[R] 実際のプロセスでははるかに短時間しかウェーハは暴露されないため、24 時間暴露することにより、ウェーハの汚染は強調される。上記 SMC (表面分子汚染; Surface Molecular Contamination) の限界値は予備的なものであり、すべてのプロセスステップや有機物、ドーパント、金属のすべてのタイプに適用する単一の値は存在しない。SMC の限界値は、プロセスごとに実質的に変わる可能性があり、また局所的な空気純化もしくはパージにより汚染レベルを制御する必要がある。

[S] 溶存酸素(DO; Dissolved Oxygen) は汚染として考慮するべきであり、低い値に、もしくはプロセスを変動させ制御するものとすべきである。表にある「汚染」レベルもしくはそれに近い値となるように、DO のレベルを正確に制御しようと試みることは必要ではない。

[T] 工場で使われるさまざまな化学薬品に対する目標レベルや、化学薬品中のパーティクルやイオン汚染に対するウェーハの感度は、現在でははっきりわからない。これらのパラメータは、今後考慮される可能性のあるクリティカルなものとして認識されており、正確なレベルを定義する作業は現在進行中である。

[U] Ar と N<sub>2</sub> のあとに記述されている 5 価の X は、これらの汚染許容値は他の汚染の値の 5 倍となることを示す。この規則はガスに関する表すべてにあてはまる。

[V] クリティカルな金属のリスト(例: Al, Ca, Cu, Fe, Mg, Ni, K, Si, Na)は、基板中での金属の移動度はもちろんのこと、ゲート酸化完全性や少数キャリアライフタイムのような電氣的パラメータへのインパクトに依存するプロセスごとに変わる。プロセスで使われる液体化学薬品にとって、脚注[G]中にリストされる金属は重要であるが、特殊ガス中の金属については、腐食によりガス中のメタルパーティクル(例: Fe, Ni, Co, P)となる可能性が一番の問題である。金属を含んだ揮発性物質の可能性は、各特殊ガスについては考慮するべきであるが、概して一般ガス中には存在していない。

表114b Technology Requirements for Wafer Environmental Contamination Control—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
<b>Wafer Environment Control</b>						
Critical particle size (nm) [A]	23	18	16	13	11	9
Number of particles > critical size (/m <sup>3</sup> ) [B]	ISO CL1					
<b>Airborne Molecular Contaminants in gas phase (pptM) [C] [H] [S]</b>						
Lithography—bases (as amine, amide, and NH <sub>3</sub> )	<250	<250	<250	<250	<250	<250
Gate—metals (as Cu, E=2×10 <sup>-5</sup> ) [J]	<0.07	<0.07	<0.07	<0.07	<0.07	<0.07
Gate—organics (as molecular weight ≥ 250, E=1×10 <sup>-3</sup> ) [D]	40	40	30	30	20	20
Organics (molecular weight ≥ C <sub>7</sub> H <sub>16</sub> ) normalized to hexadecane (C <sub>16</sub> H <sub>34</sub> ) equivalent	<2500	<2500	<2500	<2500	<2500	<2500
Salicidation contact—acids (as Cl <sup>-</sup> , E=1×10 <sup>-5</sup> )	<10	<10	<10	<10	<10	<10
Salicidation contact—bases (as NH <sub>3</sub> , E=1×10 <sup>-6</sup> )	<4	<4	<4	<4	<4	<4
Dopants (P or B) [E]	<10	<10	<10	<10	<10	<10
<b>Airborne Molecular Contaminants, Surface Deposition Limits (for Si Witness Wafer, 24-hour Exposure to Closed FOUP, Pod, Mini-environment, or Air)</b>						
SMC organics on wafers, ASTM 1982-99, ng/cm <sup>2</sup> [P]	1	1	1	1	1	1
Front-end processes, bare Si, total dopants added to 24 hour witness wafer, atoms/cm <sup>2</sup> [E] [Q]	1.00E+12	1.00E+12	1.00E+12	1.00E+12	1.00E+12	1.00E+12
Front-end processes, bare Si, total metals added to witness wafer, atoms/cm <sup>2</sup> [G] [R]	<1.00E+10	<1.00E+10	<1.00E+10	<1.00E+10	<1.00E+10	<1.00E+10
<b>Process Critical Materials</b>						
Critical particle size (nm) [A]	23	18	16	13	11	9
<b>Ultrapure Water [N]</b>						
Resistivity at 25 °C (MOhm-cm)	18.2	18.2	18.2	18.2	18.2	18.2
Total oxidizable carbon (ppb)	<1	<1	<1	<1	<1	<1
Bacteria (CFU/liter)	<1	<1	<1	<1	<1	<1
Total silica (ppb) as SiO <sub>2</sub>	0.01	0.01	<0.01	<0.01	<0.01	<0.01
Reactive silica (ppb) as SiO <sub>2</sub>	0.5	0.5	0.5	0.5	0.5	0.5
Number of particles > critical size (/ml)	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Dissolved oxygen (ppb) (contaminant based) [T]	3	3	3	3	3	3
Dissolved oxygen (%value) (process variable based) [T]	+/- 10	+/- 10	+/- 10	+/- 10	+/- 10	+/- 10
Dissolved nitrogen (ppm) [L]	8–12	8–12	8–12	8–12	8–12	8–12
Critical metals (ppt, each) [G]	<0.5	<0.5	<0.5	<0.5	<0.5	<0.5
Critical anions (ppt each) [G]	50	50	50	50	50	50
Boron (ppt, each) [O]	50	50	50	50	50	50
Temperature Stability (°C)	+/- 1	+/- 1	+/- 1	+/- 1	+/- 1	+/- 1

SMC—surface molecular condensable

Manufacturable solutions exist, and are being optimized  
 Manufacturable solutions are known  
 Interim solutions are known  
 Manufacturable solutions are NOT known

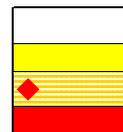


表114b Technology Requirements for Wafer Environmental Contamination Control—Long-term (continued)

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
<b>Liquid Chemicals [F]</b>						
49% HF, 37% HCl: number of particles > critical size (/ml) [A] [M]	<10	<10	<10	<10	<10	<10
30% H <sub>2</sub> O <sub>2</sub> , 29% NH <sub>4</sub> OH, 100% IPA: number of particles > critical size (/ml) [A] [M]	<1000	<1000	<1000	<1000	<1000	<1000
49% HF, 30% H <sub>2</sub> O <sub>2</sub> , 29% NH <sub>4</sub> OH, 100% IPA: Na, K, Fe, Ni, Cu, Cr, Co, Pt, Ca, Al, Zn (ppt, each)	<150	<150	<150	<150	<150	<150
49% HF, 30% H <sub>2</sub> O <sub>2</sub> , 29% NH <sub>4</sub> OH, 100% IPA: all other metals not listed in row above (ppt, each)	<500	<500	<500	<500	<500	<500
49% HF: total oxidizable carbon (ppb)	TBD	TBD	TBD	TBD	TBD	TBD
29% NH <sub>4</sub> OH: total oxidizable carbon (ppb)	TBD	TBD	TBD	TBD	TBD	TBD
37% HCl: total oxidizable carbon (ppb)	TBD	TBD	TBD	TBD	TBD	TBD
30% H <sub>2</sub> O <sub>2</sub> : total oxidizable carbon (ppb)	TBD	TBD	TBD	TBD	TBD	TBD
37% HCl, 96% H <sub>2</sub> SO <sub>4</sub> : K, Ni, Cu, Cr, Co, Pt (ppt)	<1000	<1000	<1000	<1000	<1000	<1000
37% HCl, 96% H <sub>2</sub> SO <sub>4</sub> : other cations and metals (ppt)	<10000	<10000	<10000	<10000	<10000	<10000
BEOL solvents, strippers K, Li, Na, (ppt, each)	<10000	<10000	<10000	<10000	<10000	<10000
Planar slurries: scratching particles (/ml > key particle size) [K] [U]	TBD	TBD	TBD	TBD	TBD	TBD
Planar rinse chemicals: particles > critical size (/ml) [A] [M] [U]	TBD	TBD	TBD	TBD	TBD	TBD
Planar rinse chemicals: elements TBD (ppt, each) [U]	TBD	TBD	TBD	TBD	TBD	TBD
Plating chemicals: particles > critical size (/ml) [A] [M] [U]	TBD	TBD	TBD	TBD	TBD	TBD
<b>ILD CVD Precursors (e.g., TEOS)</b>						
Metals (ppb)	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
H <sub>2</sub> O (ppmV)	<1	<1	<1	<1	<1	<1
<b>Bulk Gases (Contaminants, ppbv)</b>						
N <sub>2</sub> (O <sub>2</sub> , H <sub>2</sub> H <sub>2</sub> O, CO <sub>2</sub> , THC)	<1	<1	<1	<1	<1	<1
O <sub>2</sub> (N <sub>2</sub> X <sub>5</sub> , ArX <sub>5</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC) [V]	<5	<5	<5	<5	<5	<5
Ar (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<1	<1	<1	<1	<1	<1
H <sub>2</sub> (N <sub>2</sub> , O <sub>2</sub> , Ar, H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<5
He (N <sub>2</sub> X <sub>5</sub> , O <sub>2</sub> , ArX <sub>5</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC) [V]	<5	<5	<5	<5	<5	<5

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

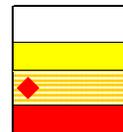


表114b Technology Requirements for Wafer Environmental Contamination Control—Long-term (continued)

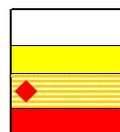
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
<b>Bulk Gases (Contaminants, ppbv)</b>						
CO <sub>2</sub> (N <sub>2</sub> , H <sub>2</sub> O, O <sub>2</sub> , THC)	<1000	<1000	<1000	<1000	<1000	<1000
Critical clean dry air (e.g., lithography) (H <sub>2</sub> O, THC) (SO <sub>x</sub> , NO <sub>x</sub> , amines all X0.05)	<100	<100	<100	<100	<100	<100
Lithography purge for 193 nm (O <sub>2</sub> and H <sub>2</sub> O X1000, CO, CO <sub>2</sub> , THC)	<1	<1	<1	<1	<1	<1
Lithography purge for 157 nm (CO, CO <sub>2</sub> , THC)	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01
Lithography purge for 157 nm (O <sub>2</sub> , H <sub>2</sub> O)	<1000	<1000	<1000	<1000	<1000	<1000
Number of particles > critical size (/m <sup>3</sup> ) [A]	<100	<100	<100	<100	<100	<100
<b>Specialty Gases</b>						
<b>Etchants (corrosive, e.g., BCl<sub>3</sub>, Cl<sub>2</sub>)</b>						
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	100	100	100	100	100	100
Critical specified metals / total metals (ppbw) [W]	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD
<b>Etchants (Non-corrosive, e.g., C<sub>2</sub>F<sub>6</sub>, NF<sub>3</sub>)</b>						
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	100	100	100	100	100	100
<b>Deposition (e.g., SiH<sub>4</sub>, NH<sub>3</sub>, (CH<sub>3</sub>)<sub>3</sub>SiH)</b>						
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	100	100	100	100	100	100
Critical specified metals / total metals (ppbw)	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD
<b>Dopants (e.g., AsH<sub>3</sub>, PH<sub>3</sub>, GeH<sub>4</sub>)</b>						
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	100	100	100	100	100	100
<b>Inerts—Oxide/Photoresist Etchants/Strippers</b>						
Inerts (O <sub>2</sub> , H <sub>2</sub> O ppbv)	<1000	<1000	<1000	<1000	<1000	<1000
He, H <sub>2</sub> cylinder carrier/purge gases (N <sub>2</sub> , H <sub>2</sub> O ppbv)	<100	<100	<100	<100	<100	<100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



## 解決策候補

### 歩留りモデルと欠陥予算

International SEMATECH で 1997 年、1999 年、2000 年に得られた装置許容欠陥数に関する適正化の結果が、2003 年版にも活用されている。今後の装置許容欠陥数の適正化に関しては、出来るだけ速やかに更なる検討が必要である。今後に向けたモデル化への取り組みとして、より優れたモデル化技術の研究が必要である。システムチック起因歩留り(SMLY)は、歩留り習熟のエキスパートが次第に大きく注目する様になった。これは SMLY が初期歩留り向上時の主要問題であり、その歩留り向上速度は加速され続けているという事実による。更に、パラメトリック歩留りと設計/プロセスのミスマッチが初期歩留り向上期における歩留り低迷を起こす傾向がある。それ以上に、

最近のラインエッジラフネスによって引き起こされるプロセスばらつきが、顕在化しつつある。次第に主流となって来た見えない欠陥が、歩留りモデルと装置許容欠陥数をより複雑なものにする。よって、欠陥モデルは電気的特性のモデル化を考慮し、外観検査による解析への偏重を低下させる必要があるだろう。これは、新しい特徴抽出装置や方法の研究を必要とする。インターコネクは、特別な課題で技術要求の中でもそのように認識されてきた。薄膜の膜質が歩留りに与える影響や、プロセスの複雑度の増大、相互接続の速度及び伝達特性、欠陥になるかどうか判らないようなレティクルの波長依存欠陥の影響等のモデル化にはいくつかの問題が含まれている。この研究は、大学やその他研究機関の先端領域半導体試作能力の欠如により、複雑化している。図 77 に、将来の歩留りモデルへの技術的要求に対する助けになるかも知れないいくつかの解決策候補を示した。

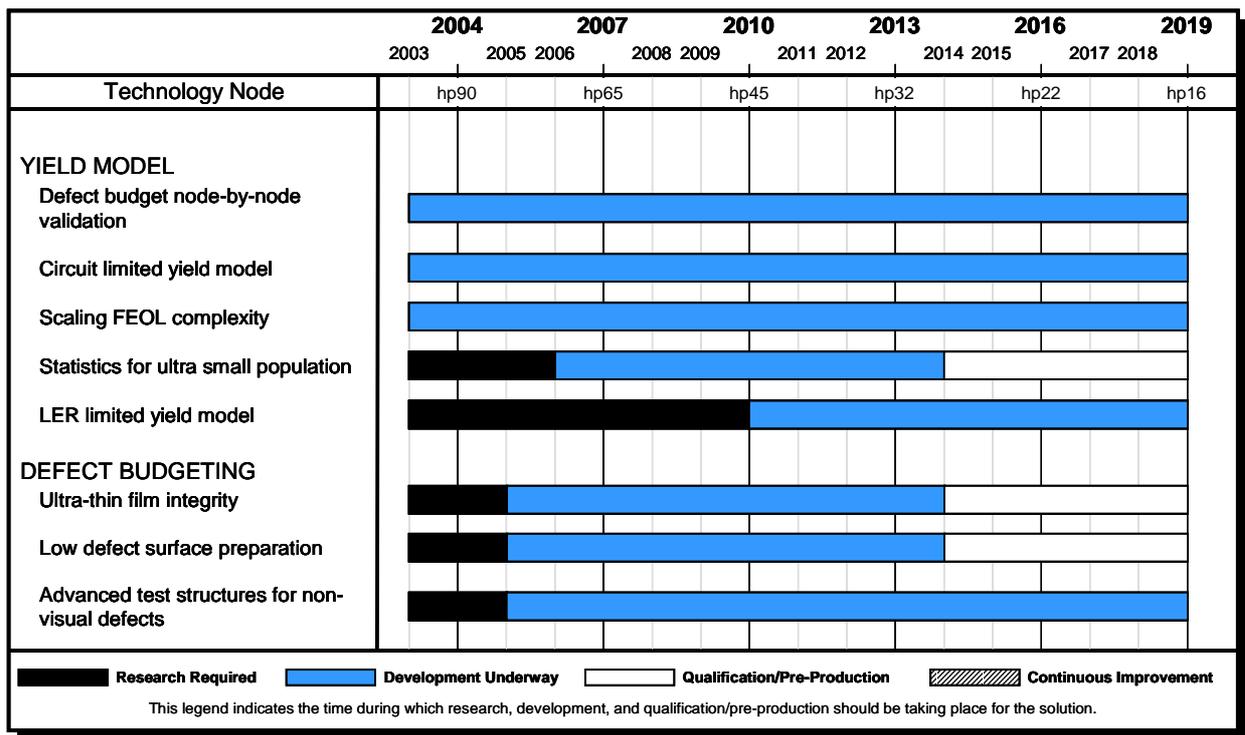


図77 Yield Model and Defect Budget Potential Solutions

### 欠陥検出と特徴付け

欠陥検出装置に対する技術的要求を満たすためには、多大な研究と開発が今すぐに必要である。エッチング工程で形成された高アスペクト比(HAR; high aspect ratio)構造での検出(図 78)は現在十分ではない。量産時期での光散乱方式および光学画像比較方式による解決は、2005年に限界となる。孤立した高アスペクト比構造の底部に生じた非常に薄い残渣を検出する有効な解決法を探るために、ホログラフィー画像比較、電子ビーム(散乱、または画像形成)、音響画像技術、およびX線画像形成などの新手法の早期開発が望まれる。

新たな検出システムの開発には適切な部品技術が不足している。経済的な光学技術の開発を継続するために、短波長化、連続波長レーザ、高い量子効率と高速捕捉、適当な低損失で低収差レンズ、波長板、偏光子、および安定した機械的、音響-光学走査装置が今すぐに必要である。

ロードマップで要求される感度を満たした上での歩留り立上げ時期および量産時期の目標処理能力を達成するためには大きなブレークスルーが要求されている。ウェーハ上の大面積領域からの並列データ取得のためにはアレイ検出が開発されるべきである。ソフトウェアのアルゴリズムの改良により SN 比を向上できれば、光学的検出技術を延命させることができるであろう。

解決策候補は、莫大な量の欠陥に関連した組成、形状、欠陥分類などに関するデータ、および、迅速な意志決定の必要性を含まなければならない(この領域における必要性についての補完的説明は次節の歩留り向上を参照)。自動欠陥分類、空間分布解析、動的サンプリング、歩留りへの影響評価、およびその他のアルゴリズム技術はすでに意思決定までの時間と、リスクを負った製造を減少させている。欠陥検出と特徴付けのための評価・解析装置はこれらの技術を分析するためにより多くの情報を生み出すことが必要である。より小さい欠陥を検出するために感度を上げようとする課題は、分解能を上げるために特徴付けのためのプラットフォームをインラインに移した。処理能力と情報量のどちらを優先するかは重要な課題である。このため、欠陥検出は欠陥の発生源により近い所で行われている。欠陥検出機能をプロセス装置に集積するための開発は自動プロセス制御を導入するために加速する必要がある。

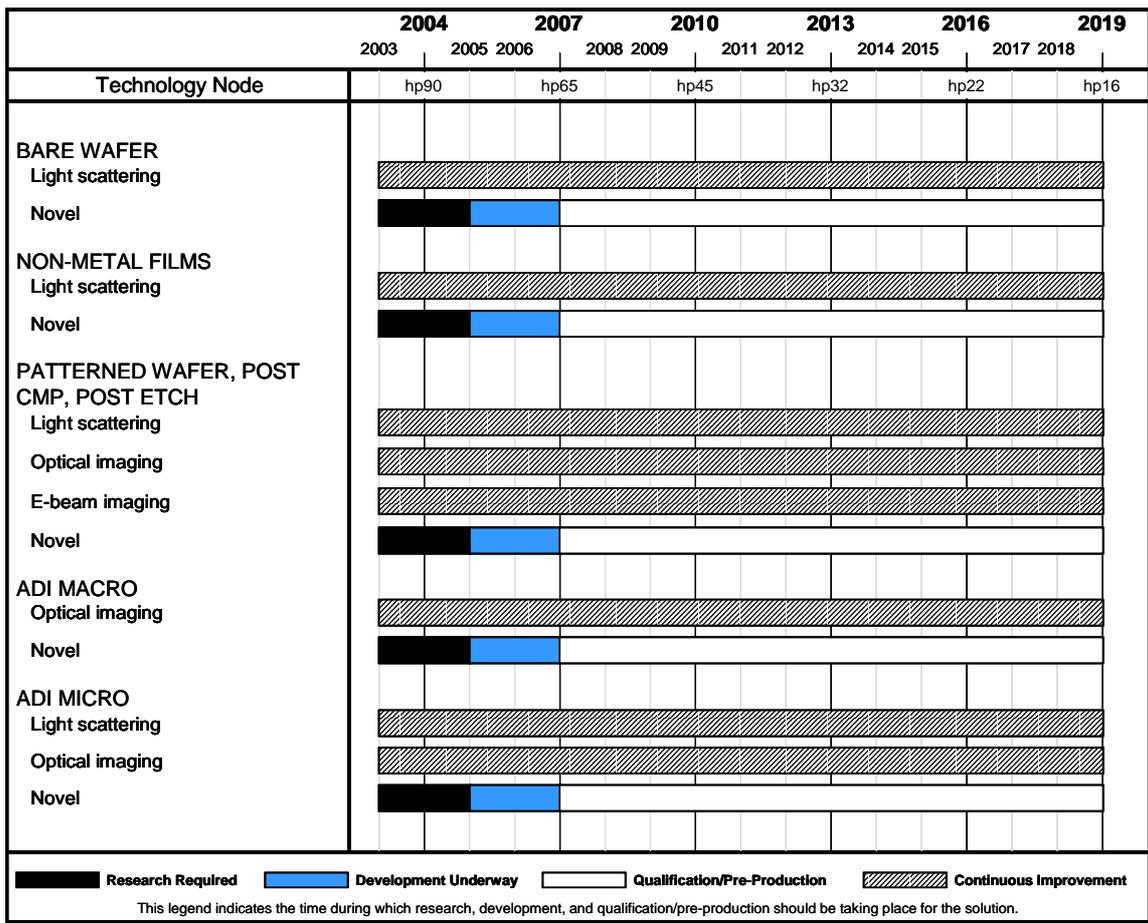


図78 Defect Detection and Characterization Potential Solutions

## 歩留り習熟

歩留り習熟の技術的要求の表の yellow と red の領域で示されているように、着目されなければならない2つの技術分野は、データ管理と欠陥 / 不良の原因究明である。デバイスメーカーの関係者、メトロロジーと情報技術のサプライヤそれと大学、研究機関関係者の協力した努力が迅速な歩留り習熟に関連した全てのデータを管理するための戦略的な計画を立案し実行するために必要である。このような協同ワークなしにはデータ管理と不良原因探求のための解析分野においては多くの非効率が存在し続けるであろう。下のデータ管理システムの所で他の解決策候補を示す。

これまで指摘してきたように、欠陥 / 不良の原因がなければ歩留り習熟は毎月 5%以上の受容される速度で改善が進むと期待できる。しかしながら、我々の半導体工業の過去の技術移転の歴史を考えると、プロセス技術がプロセス R&D グループから生産ラインに手渡された後も数多くの欠陥 / 不良原因が予想されるであろう。要求されている1年以内に30%から80%への歩留り向上を達成するには2つの方法がある:1.原因やメカニズムの究明が必要な新たな欠陥 / 不良の数を減らす。2.新たな欠陥 / 不良の原因やメカニズムの究明とその確定に要する時間を減らす。第一のアプローチはそれぞれの企業の事情に依存する一方、第二のアプローチは以下に示すような急速な欠陥 / 不良の原因の究明のためには多くのツールや技術を必要とする。

さらに設計と製造工程の複雑さがますます増大することに伴って、歩留りに影響を与える傾向や突発的な不良を検出しタイムリーに反応することができる能力は、パッシブデータへ大きく依存している。このことは、そこでは最大の生産性と利益が得られる歩留り立上げ(yield ramp)の期間において特に真実になる。パッシブデータとは、適切な抜き取り戦術によって製品からインラインで収集された欠陥、パラメトリックそして電氣的テストデータであると定義できる。短ループ試験のような実験のための時間的余裕は将来の技術ノードでは簡単には手に入らないであろう。潜在的な問題を傾向づけたり、プロセスの突発不良を明確にするために許される時間の要求から、測定データ固有の SN 比を最大にする抜き取り技術の開発が必要である。統合データ管理(IDM)のゴールは可能な限り少ない試料でプロセスの問題点を明確にすることである。製造プロセスに関連づけて製品データを整頓する解析手法はより強力な信号をもたらす、そして、それらは様々なレベルのプロセス履歴や人間の経験(学習した知識)を理解しているので、測定ノイズの影響をほとんど受けなくなりそうである。それ故に、歩留り習熟への解決策候補は、製品データや装置の健康状態あるいはその他のその場(in-situ)プロセス測定から情報を発生させる技術の開発を含んでいる。データ・マイニングとも呼ばれる、製品情報を製造プロセスとを相関付ける自動化の方法もまた要求されている。新しい手法や技術をうまく統合する基本は、仮想的なあるいは物理的に組み合わせられたデータベース環境でデータコミュニケーションを促進する規格を作成することである。

## 見える欠陥(Visible Defects)

見ることができる欠陥源をつきとめる装置(光学方式あるいは SEM 方式による検出、そして欠陥レビュー、SSA, ADC, EDX, FIB)はよく整備されているが、背景の疑似欠陥から真の欠陥を弁別するための十分な信号対雑音比を達成し、ますます小さくなっていく見える欠陥の元素組成を測定評価するために、新しい装置や手法が開発されなければならない。

### 見えない欠陥(Non-visual Defects)

光学顕微鏡技術の次に、処理能力を犠牲にしないで高い分解能を提供できる適正価格の検査技術が必要とされる。見えない欠陥源をつきとめるために、不良解析装置の分解能が改善されることを要求している。90nm以下の技術ノードは、原子レベルの欠陥領域まで検出可能な拡張性のある不良解析技術の開発を要求している。さらに、個々の回路やトランジスターを特性評価し、あるいはリーク経路を同定するために、内部回路用DCマイクロプロービングの分解能が向上されることが必要である。局所的な検出の難しい構造欠陥をひきおこす設計とプロセスの相互作用を研究してモデル化しなければならない。テスト容易化手法および診断容易化設計は、欠陥原因箇所を同定する能力を向上させるために、これらのモデルを必要としている。

Optical Proximity Correction(OPC)のような新しい技術に、リソグラフィーマスクにおける位相差 欠陥に起因しない歩留り問題が今後増えていくであろう。リソグラフィによるパターン形成とエッチングの問題を把握し迅速に補正するために、計測された三次元形状を設計データから推定されるプリントされたパターンと付き合わせるような新しい戦略や技術が必要になるであろう。光学干渉の技術、ステレオ走査電子顕微鏡、そして高スルーブット原子間力顕微鏡などが、ウェーハ内の所望の場所の三次元形状を計測することが可能である(線幅測定を行うCDメトロロジーとの類推から)。設計データから推定される参照となる形状をつくりだせるこれらの計測技術を用いることで、歩留りエンジニアは電気的なデバイス特性を決定づける物理的な形状の複雑な変化を見つけ出すことができる。ウェーハ内の複数点の計測を迅速に行い、推定された形状と比較する機能は、見えない形状に起因した歩留り問題の習熟に効果を発揮するであろう。

### パラメトリック欠陥(Parametric Defects)

回路テスターでの測定中により多くのパラメトリックデータを保存しておくことは、パラメトリック起因の欠陥の原因を突き止める助けになるであろう。この情報は、空間分布解析(SSA)を含む各種の技術を使って、プロセスデータとの相関を可能とするであろう。"パラメトリック欠陥"を引き起こす可能性のある項目の確率をモデル化することで、原因まで遡るのに費やす時間を減らすこともできる。BIST(Built-In Self Test)技術は、パラメータの変動やミスマッチによって起こるレース条件や不良モードを明確にするために開発されるべきである。

### 電氣的欠陥(Electrical Faults)

現在、メモリアレーテストチップやマイクロプロセッサに内蔵されたメモリアレーは、迅速に欠陥を同定するために用いられている。さらに、この技術はノンアレーデバイスにも引き続き使われるであろう。将来の製品はテスト工程で不良を同定するように設計されていなければならない。Design for test(DFT)とBISTは、欠陥を同定するための有力な手法である。DFTとBISTの両者の不良パターンは回路中の物理的な位置を表示しなければならない。不良と欠陥の対応づけができる正確なモデルも将来の欠陥位置の同定作業を支援するために開発されなければならない。その他、テストプログラムには不良パターンの情報を保存し、あらかじめ規定された(モデル化された)不良モードの可能性に基づいて解析することが必要である。これらの技術は全ての歩留り技術者に、回路不良の位置と原因をより迅速かつ精密に突き止めることを提供する。

### データ管理システム (Data Management System)

次の分野が次期 DMS の挑戦を実現するために必要な研究開発投資の対象である。これはセマテックが後援した DMS 調査研究の一部として Oak Ridge National Lab. (ORNL) による報告で指摘されている。

- データファイルフォーマットと座標系の標準化
- DMS / WIP の統合
- データ収集、保管、記録と破棄についての DMS の方法論
- 先行的なツール / プロセス管理のための DMS

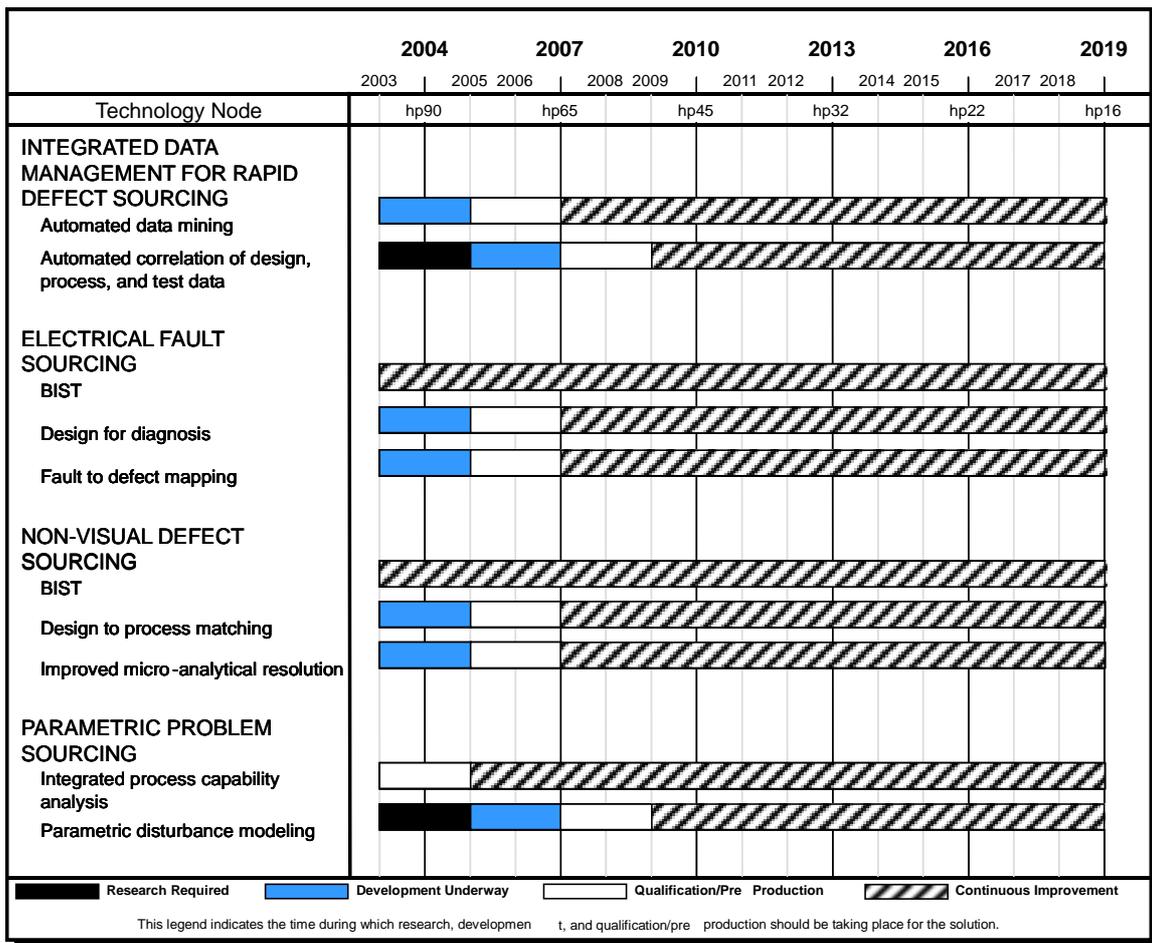


図79 Yield Learning Potential Solutions

## ウェーハ環境汚染制御(Wafer Environmental Contamination Control)

プロセス装置—プロセス装置の欠陥を低減することは、欠陥密度ターゲットを達成するための最大の課題である。次の 15 年に能力の大きな増進をもたらす、また、130-100nm およびそれ以降のデバイスのコスト効率的な大量生産を実現するため、解決策および技術の発展が期待される。図 80 参照。装置の欠陥目標は、主に水平方向のスケーリングに基づく。しかし、縦方向の欠陥、特にゲート積層構造を問題にした時、金属、その他の見えない汚染、そしてデバイスパラメータへの影響を理解する必要がある。新しい洗浄技術、その場(in-situ)チャンバーモニタリング、材料開発、そして部品クリーニング技術の改善を含む他の技術は、ウェーハ処理ごとのチャンバー清浄度の維持およびチャンバーのウェットクリーニング頻度の大幅低減に役立つ。こうした技術の発展は、装置の稼働率も向上させる。ウェーハ裏面の汚染を減らす要求は、計測技術および装置の根本的改善を促すだろう。ウェーハ裏面から隣のウェーハ表面への金属/パーティクルのクロス汚染、リソグラフィにおける焦点深度/ホットスポット、静電チャック上でのパンチスルーなどは、すべて今後の装置開発に向けての課題である。パーティクル防止技術(Oリングの材料選択、ガス流量/温度管理、ウェーハチャック最適化)は欠陥密度低減のためのキーテクノロジーであり続けるであろう。現在の装置およびプロセス設計を高度化するために、また、その場(in-situ)センサからのデータ解釈やセンサ配置最適化のため、リアクターの汚染形成、輸送、堆積メカニズムなどの更なる原理的な理解が求められてくるであろう。こうした基本的な物理的モデル、化学的モデル、プラズマリアクターの汚染モデルが採用されるべきである。その場(in-situ)プロセス制御は、プロセス誘起欠陥を低減させることはもちろんのこと、プロセス後の測定を削減にするためにも、ますます重要になってくるだろう。装置における知的プロセス制御のために、装置パラメータがデバイス性能にどのように影響するのか原理的理解が必要である。新しいセンサと新しい制御ソフトを装置メーカーやユーザーが簡単に取りつけられるようなオープンな制御システムは、知的プロセス制御を可能にするために必要となるだろう。

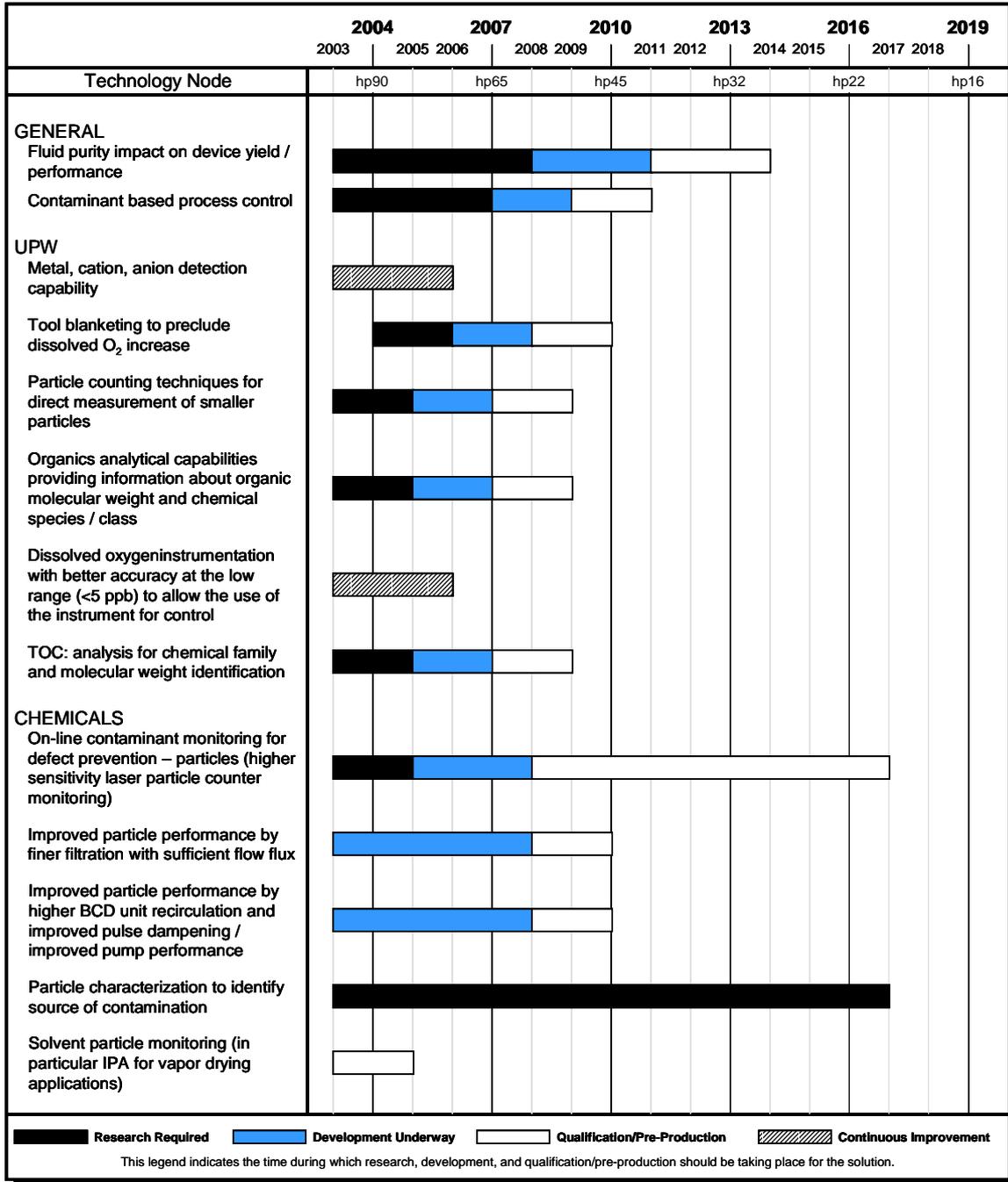


図80 Wafer Environmental and Contamination Control Potential Solutions

プロセスに致命的影響を与える材料 — 欠陥の発生防止および排除に対する一連の解決策候補技術を図 80 に示す。更なる清浄化の必要性を明らかにするために、不純物汚染のデバイスへの影響について引き続き研究する必要がある。たとえば腐食のようにシステム的な懸念がある場合には、より高純度な材料を探すという様な形でプロセスの問題に繋がる場合もある。

超純水 — 超純水の品質はユースポイントに注目する必要がある。水の品質は一般的には製造ポイントで測定されているのであって、ユースポイントでもウェーハでもない。装置の水質への影響、特にパーティクル、シリカ、溶存酸素の影響を理解することは、水質を保証するために必要である。プロセスに影響を与える材料に対するイン

ライン微量不純物分析技術は、ユースポイントでの清浄度レベルをさらに理解するために必要である。超純水のパーティクルレベルの目標値は、現在の設計、フィルタリングの実施、市販のオフラインパーティクル計測を用いた確認によって、容易に達成できる。0.1  $\mu\text{m}$  以下のパーティクルの乱高下をリアルタイムで検出するためには、オンラインモニタリング技術を改善しなければならない。また、極微量レベルのシリカを解析するために、分析技術の改善が必要である。超純水の再生と再利用を推進するためには、ユースポイントにおいて再生された超純水の水質がシングルパス水と同等以上であることを保証する必要がある。高速オンライン分析技術、特に有機物検出の改善が必要である。

**化学薬品** — ウェーハ製造工程へ供給される化学薬品の清浄度を向上するために必要であると考えられる、様々な技術的なエリアを図 80 に示す。

**ウェーハ環境制御(Wafer Environmental Contamination Control)** — 環境雰囲気中の制御すべき汚染物質の種類が増加するにつれ、測定能力も拡大しなければならない。粒子性ではない汚染に対して、実用的で精度が良く、再現性も有るリアルタイムセンサの必要性が高まっている。プロセスの感性が高まるにつれ、不活性ガス中でのウェーハ保管技術と搬送技術への期待が高まっている。ゲート酸化前の洗浄、コンタクト形成前の洗浄、サリサイド工程は、真っ先にこの技術が必要となる工程である。加えて、不活性雰囲気の採用は、真空ロードロック装置への水分混入を低減し、それによって汚染とロードロックの真空引き時間を低減する効果ももたらす。密閉式キャリアパージシステムが現存し進化している中で、ウェットステーションのような装置での雰囲気不活性化も必要であり、一つの挑戦課題である。ウェーハ隔離技術の進化とともにキャリアおよびポッドの設計や材料選択は重要性を増すだろう。それは雰囲気からウェーハを隔離するためと、隔離雰囲気自体の汚染を避けるためである。加えて、プロセス間のクロス汚染を助長しない材料および設計が必要となる。密閉技術、低アウトガス、非吸着性の材料開発が、効果的なウェーハ隔離技術開発の鍵である。