

計測 (METROLOGY)

材料評価が計測の範疇にあるので、計測が新しい材料、プロセスおよび構造の導入・製造を可能にするという状況が続く。一般に用いられている測定技術がパターン寸法縮小の速さに追従してゆくことは困難である上に、デバイス設計がどのように変わるかを読めないことがその難しさに拍車をかけている。長期にわたるナノデバイスの研究が、新しい測定方法を生み出すと同時に、計測にとっての試験台になってくれるかも知れない。新しい製造ラインは、殆どの計測をインライン装置で行っているけれども、その場計測に展開してゆくことが継続して進められる。全ての計測は工場全体を結ぶ自動化システムに接続され、その自動化システムが“データ処理機能に依って獲得された知的情報を格納しているデータベース”を持っている。オフラインの材料評価もまた、工場全体を結ぶ自動化システムに接続される方向へと進んでいる。材料評価は材料開発やプロセス開発にとって欠かせないものであるが、“材料評価の中で製造時にも必要とされる計測は何か”ということは、予測されておらず、曖昧なままである。プロセスの課題がプロセス改良に因って解決しても、“信頼性を保証するために、何を製造時に測るべきか”という問題が未解決のまま残っている。

“計測技術開発とプロセス技術開発との関係”を根本から再構築することが必要になっている。かつての課題は、対象とするプロセス技術に先行して計測を開発することであった。今日の問題は、“材料が全く新しくなりデバイス設計が劇的に変わると言うのに、それらの選択が為されていない”という見通しの悪さにある。“計測データや情報”と“最適フィードフォワードプロセス制御や実時間プロセス制御”との相互関係を理解することが、計測とプロセス技術との関係を再構築する際に重要となる。スピネレクトロニクスや分子エレクトロニクスのような“根本的变化をもたらすような新技術における計測ニーズ”の節が、新しく書き加えられた。

新しい計測技術は勿論、革新的な計測技術も、“3年計画で導入される新しい技術世代”に歩調を合わせて研究・開発されねばならない。パターン寸法縮小のロードマップは、“新しい材料、プロセスおよび構造に係わる計測課題の解決期限”を前倒しにしている。SOI や歪みシリコンのような新しい基板材料は、測定をより複雑化する。計測は、これらのことを踏まえた上で開発されねばならない。計測は、装置開発、試作ラインや新しい生産ラインの垂直立上げ、および生産ラインでの歩留り向上を可能にする。計測は、プロセス装置やプロセスをより正確に評価できるようにしてくれることから、“製造コストの削減”や“新製品を市場に投入するまでの時間の短縮”を可能にしてくれる。チップ種類の多様化が進むことは、課題の範囲をさらに広げることになり、すでに限界にある計測研究・開発のリソースを分散させることになるであろう。装置メーカー、半導体メーカー、コンソーシアムおよび研究機関の計測に携わっている人達は、ITRS で示された要求期限に間に合わせるために、協力して研究・開発および装置試作を行わねばならない。開発された最先端の計測技術は、時宜に合ったやり方で製品化されねばならない。パターン寸法と材料は、2003年ロードマップにおけるこれから先の10年間、“プロセス開発および材料開発に必要とされる計測”にとっての大きな課題になる。

計測の短期的な課題は、スケールは勿論、ゲート積層膜に係わる新材料とプロセス、極浅接合、そしてCu/low-k配線の各プロセスを制御することに関連している。技術ノード毎に、数多くの材料が使用候補として考えられており、材料を開発し処理する過程で必要とされる評価や制御を行うために、これら材料の特性を評価することが必須になる。さらに、或る技術ノードについてみると、“半導体メーカーに依っては異なった材料が使われる”ということも十分考えられ、異なった計測が必要とされることも有り得る。high-kおよびlow-k誘電体膜の

2 計測(Metrology)

電気計測および物理計測を引続いて進歩させなければならないし、low-k 膜のポアのサイズ分布や Cu 配線のポイドの新しい計測を検討することが進んでいる。新しい計測ニーズとして、スクライプラインに配置されたテスト構造の代わりにアクティブエリアの構造を測定したいとの要求が増えている。長期的な課題は、デバイス設計や配線技術の動向が明確でないことから、今述べることは難しい。Cu 配線に代る技術の選択は、研究課題のまま残されている。材料評価や現行インライン計測の幾つかは新しいデバイスや配線の構造に使えるけれども、生産に適用可能な計測を開発するためには“材料、デバイスおよび配線構造の動向についての もっと確かな知識”が必要である。

あらゆる計測項目(特に“歩留り改善の章”に記載されている項目)は、“情報に基づいたプロセス制御”を行うために、コンピュータ統合製造(CIM; computer integrated manufacturing)およびデータ管理システムに接続されている。統合計測は、未だ普遍的な定義が成されていないけれども、“オフラインからインライン および その場測定への漸進的な移行”に係わる用語である。オフライン、インライン および その場測定を適当に組み合わせることに依り、“最新のプロセス制御(APC; advanced process control)”および“歩留りの垂直立上げ”が可能になる。

計測装置の開発を成功させるためには、“新材料や新構造の計測に使えるようにすること”が必要である。使用できるためには、“必要とされる標準試料の製作”や“生産に先立つ計測方法の開発”に最新の技術・設備を活用できるようにしなければならない。活用するためには、計測技術開発とプロセス開発との関係をより緊密にするように注意しなければならない。計測がプロセス装置およびプロセスに上手く適合していれば、試作ラインや生産ラインの立上げ期間は短縮される。妥当な CoO(Cost Of Ownership)を維持しながら最大の生産性を得るためには、上手く設計・製作された装置と適切な計測を適当に組み合わせることが必要になる。

概要

2003 年の計測ロードマップに記述されている項目は、顕微鏡観察;パターン寸法(CD; Critical Dimension)と重ね合わせ;膜厚とプロファイル;材料と汚染解析;ドーパントプロファイル;プロセス制御に用いる その場計測用センサとクラスタツール用計測ステーション;標準試料/標準物質(訳者注:寸法・形状に係わる Reference Materials を標準試料、その他の Reference Materials を標準物質とした);物理測定と電気測定との相関;そしてパッケージング(封止技術)である。これらの話題は以降の各節で述べられる:統計限界に直面しているプロセスおよび原子サイズに近づきつつある物理構造の計測;顕微鏡観察;リソグラフィにおける計測;FEP(Front End Process)における計測;配線における計測;材料および汚染の評価・解析;統合計測;基準測定システム(RMS; Reference Measurement Systems)、標準試料/標準物質;および新デバイスの評価・解析と計測。

新しい計測技術および標準(訳者注:国家的あるいは国際的な規格、および標準試料/物質)の開発には、国際的な協力が必要になるであろう。計測およびプロセスの研究・開発機関は、装置メーカーおよび IC メーカーなどの産業界と共同して機能しなければならない。IC メーカーと計測装置メーカーが早い時期から協力することで、“測定装置を最も効果的に使用できるような技術ロードマップ”ができるであろう。計測・プロセスおよび標準の研究機関、標準の推進組織、計測装置メーカー、および大学で計測に携わる人々は、計測方法の標準化・改善および標準試料/標準物質の製作に関し、引き続き協力して行かねばならない。尺度に関する標準化された定義と手順があるにも拘らず、測定の精密さ対プロセス許容度比(P/T 比; Measurement Precision to Tolerance

Ratio) のように、尺度を個々に用いることが普通である¹。P/T 比は、統計的プロセス制御 (SPC; Statistical Process Control) に不可欠な自動測定能力を評価するためのものであり、測定ばらつきすなわち測定の精密さを製造ばらつきと関連付けるものである。測定装置の測定ばらつきは、当該製品あるいは当該プロセスとは無関係の標準試料 / 標準物質を用いて求められることが多い。したがって、公称測定精度は製品ウエーハを測定する際の装置起因測定ばらつきを反映していないかも知れない。装置感度が不十分なため、“小さいけれども許容することができないプロセス変動”を見逃すことも有り得る。計測装置の分解能を統計的プロセス制御に使用するためには、分解能を正確に表わす尺度が必要である。“測定の精密さ対プロセスの変動し易さの比”の逆数は、信号対雑音比 (S/N 比) あるいは弁別比と云われることもある。しかしながら、何の分解能かは対象プロセスに依る (例えば、厚さや幅の測定には空間分解能、表面汚染金属のレベル測定には原子パーセントの違いを弁別するための分解能が要る) ので、分解能の尺度を測定項目毎に定めることが必要になるかも知れない。新しいニーズとして、“計測装置が連続的なデータではなく離散的なデータを出力する場合の測定精度の決め方”を標準化することが挙げられる。このようなことは、例えば、有意差が装置分解能よりも小さい時に起こる。

統合計測の考え方は、スタンドアロン計測および“センサに基づいた計測 (Sensor Based Metrology)”自体にも適用される。雰囲気温度や湿度の僅かな変動のような装置校正および測定精度に影響を与える要因は、監視され、計測装置の性能 については 統計的なプロセス制御を改善するために用いられる。

ウエーハメーカ、プロセス装置メーカ、試作ライン、および新しく立ち上げる生産ラインの夫々で、測定への要求内容 および 必要時期が異なる。試作ラインでは、より短い期間で立ち上げることが必要であり、試作開始前にプロセス装置やプロセスを十分に評価・把握できるようにしなければならない。しかし、プロセスの完成度が高くなるにつれて、計測の必要性は減小するはずである。デバイス寸法が縮小して行くのに伴い、物理計測の課題は “重要な電気特性データを取るためのインライン電気テストに歩調を合わせて行くこと”になる。

産業基盤の必要性 (Infrastructure needs)

メーカが計測装置、センサ、制御装置、および標準試料 / 標準物質を合理的な価格で提供しようとするならば、健全な産業基盤が必要となる。“MEMS (Micro-Electro-Mechanical Systems) を用いた計測”や“ナノテクノロジー”のような芽を研究・開発段階から市販される製品へと育てようとするならば、新規の研究や開発が必要となるであろう。多くの計測装置メーカは、小さな企業であり、先端的な用途向けに新しい装置を開発するための費用を負担できない。計測装置が当初に売れるのは、装置開発およびプロセス開発用だけである。開発した計測装置が半導体メーカに数多く・継続して売れるようになるまで、数年間を待たねばならない。“装置メーカが新しい技術を設計概念の証明から装置試作・製品化を経て数多く売れるようにする”までの必要投資金額に見合う資金助成が必要である。

¹ For example, refer to SEMI E89-0999 “Guide For Measurement System Capability Analysis.”

困難な技術課題

以下にあげてある計測に関する短期的課題の多くは、45nm ノード以降も継続課題として残される。2009 年以降の計測ニーズは、これから明らかとなるであろう新材料および新プロセスの在り方に応じて変る。従って、今後の計測ニーズを全て洗い出すことは難しい。パターン寸法の縮小、しきい値電圧やリーク電流のようなデバイスパラメータをより精密に制御すること、そして新しい配線材料は、物理計測技術に大きな挑戦課題を与えるであろう。所望のデバイス・スケールを成し遂げるためには、原子スケールでの特性測定ができなければならない。表 115 に、計測の 10 大課題を示す。

表 115 Metrology Difficult Challenges

5 つの困難な技術課題 ≥ 45nm ノード / 2009 年以前	問題の内容
工場および会社規模での実時間 / その場 / 統合された / インライン計測; 頑丈なセンサ (robust sensors、訳者注: 測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発; センサの追加統合が可能なデータ管理。	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種 / エネルギー / ドーズ量 (電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。
シリコンウェーハ (starting materials) 製造やデバイス製造での計測技術は SOI のような新しい基板の導入によって影響を受ける。シリコンウェーハで問題となる量の不純物検出 (特に微粒子)、およびウェーハ周辺部の検査不能領域の削減。CD、膜厚、欠陥検査は薄い SOI の光学的性質や電子・イオンによる帯電によって影響を受ける。	現行のままでは、ロードマップの目標レベルを達成できない。極微小粒子の検出とサイズ分類が必要である。SOI ウェーハに対する性能向上が必要である。課題は、SOI 構造による余分な散乱と表面の品質に起因する。
ダマシンのような高アスペクト比技術を制御するための計測技術。重要な要求は、寸法制御、Cu 配線中のポイド検出、それにパターン形成後の低誘電率 (low-k) 膜中のポアサイズ分布とキラーポアの計測。	プロセス制御に必要なとされる新しいニーズが不明確である。たとえば、新しい低誘電率 (low-k) 材で作られたトレンチ構造の 3 次元 (CD と深さ) 測定が必要であろう。側壁の凹凸は、配線やビア構造でのバリア膜の品質と電気特性に影響する。
複雑な積層材料の測定、および界面における物理的性質や電氣的性質の計測。	制御された薄膜と界面層を含む新 high-k ゲート / 容量誘電膜、配線バリアのような薄膜と low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料 / 標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別に必要になる。歪 Si や SOI でのゲートスタックに対するキャリア移動度評価が必要になるだろう。バリア層についても同様である。高周波域での誘電率測定は周波数依存性がないことが判ったので、もう必要性は高くない。
測定用のテスト構造と標準試料 / 物質。	特にスクライブ線において、テスト構造に割当てられる面積は縮小している。スクライブ線上にあるテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合せその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブ線上とチップ内の対応が取れるように設計を改善する必要がある。適切な標準物質を作るために、標準化機関は最先端技術を用いて開発や製造の能力を向上させる活動に早急に着手する必要がある。

5つの困難な技術課題 45nm ノード / 2010 年以降	問題の内容
ウェーハおよびマスクに関する3次元構造の寸法測定 / 重ね合わせ精度測定 / 欠陥検出 / 解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションは SEM 像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならない。ダマシプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と3次元対応が必要。
チップ内特性を測ることでチップ間やウェハ間ばらつきを反映できるような新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。
統計変動が顕在化する 45nm ノード以降でのプロセス制御。	自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となる。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。
デバイススケールでの構造や組成の解析。	界面層制御、ドーパント位置、元素濃度に関して、デバイススケールとの対応が取れるような材料評価や計測方法が必要。一例は、3次元のドーパントプロファイル測定。
デバイス構造と配線技術が明確にならない段階で製造における計測を決める必要がある。	現在のトランジスタに代る新デバイス構造や Cu 配線に代る材料が検討されている。

* SPC(Statistical Process Control) - 検査を置き換える、プロセス変動を減らす、欠陥を制御する、あるいは廃棄量を減らすために、統計的プロセス制御のパラメータが必要である。

(訳注:長期は Beyond 2009 とあり、この表現には 2009 年は含まれていないため 2010 年以降とした)

技術要求と解決策候補

計測装置に対する主な測定要求を表 116-120 に挙げてある。顕微鏡観察の分解能は、幅の異なるラインを見分けるために、パターン寸法測定装置に必要とされる能力に係わるものである。2次元および3次元(2D および 3D)のドーパントプロファイル観測に必要とされる空間分解能は、モデリング&シミュレーションの要求に基づくものである。2次元ドーパントプロファイルの空間分解能の要求に応えることは難しいであろう。多少空間分解能の悪い観測方法でも、有用な情報が得られるかも知れない。測定の正確さを保証するために、あらゆる計測において、適当な標準試料/標準物質が必要とされる。

表116a Metrology Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60	MPU/ASIC
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
<i>Microscopy</i>								
Inline, nondestructive microscopy process resolution (nm) for P/T=0.1	0.40	0.33	0.29	0.25	0.22	0.20	0.18	MPU Gate
Microscopy capable of measurement of patterned wafers having maximum aspect ratio / diameter (nm) (DRAM contacts) [A]	13	15	15	16	16	17	17	D1/2
	120	107!	95	85	76	67	60	
<i>Materials and Contamination Characterization</i>								
Real particle detection limit (nm) [B]	45	37	32	28	25	22	20	MPU
Minimum particle size for compositional analysis (dense lines on patterned wafers) (nm)	33	30	27	23	22	19	17	D1/2
Specification limit of total surface contamination for critical GOI surface materials (atoms/cm ²) [C]	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	5.0E+09	MPU Gate
Surface detection limits for individual elements for critical GOI elements (atoms/cm ²) with signal-to-noise ratio of 3:1 for each element	5.0E+08	5.0E+08	5.0E+08	5.0E+08	5.0E+08	5.0E+08	5.0E+08	MPU Gate

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

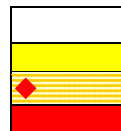


表 116a および 116b の注:

[A] デュアルダマシンプロセスの場合には、配線金属およびビアホールのアスペクト比が加わる。

[B] この値は、膜の表面粗さおよび組成に依存する。

[C] 金属汚染に対する要求は、FEP 章に記載された洗浄の技術要求の表、注 F に基づいて、緩和される方向に変更された。

訳注) 表 116a の Microscopy の色分けに不適切な部分(黄の後ろに白)があるが、原本のままとしている。

表 116b Metrology Technology Requirements—Long-term

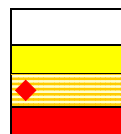
Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18	
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)	54	42	38	30	27	21	
MPU/ASIC Un-contacted Poly 1/2 Pitch (nm)	45	35	32	25	22	18	
MPU Printed Gate Length (nm)	25	20	18	14	13	10	
MPU Physical Gate Length (nm)	18	14	13	10	9	7	
Microscopy							
Inline, nondestructive microscopy process resolution (nm) for P/T=0.1	0.16	0.13	0.12	0.09	0.08	0.06	
Microscopy capable of measurement of patterned wafers having maximum aspect ratio / diameter (nm) (DRAM contacts) [A]	>20	>20	>20	>20	>20	>20	
	50	35	30	25	21	18	
Materials and Contamination Characterization							
Real particle detection limit (nm) [B]	18	14	13	10	9	7	
Minimum particle size for compositional analysis (dense lines on patterned wafers) (nm)	15	12	11	8	7	6	
Specification limit of total surface contamination for critical GOI surface materials (atoms/cm ²) [C]	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	
Surface detection limits for individual elements for critical GOI elements (atoms/cm ²) with signal-to-noise ratio of 3:1 for each element	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



“統計限界に直面しているプロセスと原子サイズに近づきつつある物理構造”の計測

デバイス寸法が このまま縮小して行くと、デバイスを構成する原子の大きさを無視することができなくなり、これがパターン寸法ひいてはデバイス特性の統計変動を引き起こすことになるであろう。さらに、デバイスの構造が このまま縮小して行くと、量子力学的効果および平均自由行程効果のために、その物理特性がバルクの特性和とはかけ離れたものになるであろう。例えば、35nm ゲートのシリコン原子の格子間隔は、ゲート長の約 1% になる。統計変動の影響は、厚さが数原子層の異なった成分から成る多層ゲート絶縁膜構造において、より顕著に現れるかも知れない。このような構造の設計・製作では、LSI として十分均一なデバイスおよび回路性能を得るために、“ドーパント原子や真性欠陥の統計変動”および“小さく閉じられた構造での量子力学的効果”を考慮しなければならない。

配線技術が進歩し、“半導体基板内に侵入させてはならない Cu のような配線材料”や“low-k 層間膜”が使用され始めている。“僅か 2~3 原子層程度の厚さで かつ ピンホールの無いバリア層”を堆積させるために、プロセスやプロセスモデルの進歩が必要になる。“バリア層が完全無欠であることを確認するための計測技術”を開発しなければならない。配線断面積が電子の平均自由行程程度にまで縮小されると、最早 バルクでの導電率モデルを適用できなくなる。

トランジスタ構造の測定課題として、幾つかの問題がある。ゲート絶縁膜構造の計測では、シリコン・絶縁膜界面およびゲート電極・絶縁膜界面での“量子力学的効果についての実用的な標準化モデル”が必要になる。

8 計測(Metrology)

確率的モデル化の考え方が、これまで用いられてきた決定論的(連続的)モデル化技術を補うために、必要になるであろう。モデルを検証するためには、2次元および3次元ドーパントプロファイル計測の非常な進歩が必要とされるであろう。機械的応力はトランジスタの輸送特性を変化させる、そしてこのことが益にも害にもなり得る。応力の影響を取り扱うために、“計測とモデル化の技術”を開発することが必要である。

現実の材料や構造に現れるこれ等の統計変動は、測定の不確かさとは無関係であり、測定して求められた全不確かさに二次的に加えられる。さらに、回路設計およびプロセス設計に際しては、やり方は未だ考えられていないが、これ等の統計変動を考慮しなければならない。ロードマップ中に規定されている次世代デバイス用パラメータの幾つかは、計測自体とは殆ど関係の無い根本的な物理的理由のために、その要求される測定不確かさを満足できなくなるように思われる。

顕微鏡観察(Microscopy)

顕微鏡観察は、2次元分布すなわち“IC(Integrated Circuit)パターンの形状や外観を示すデジタル画像”が重要な情報を与えてくれるので、核となるプロセス技術の多くに用いられている。通常、“先ず画像形成ありき”ではあるが、画像形成は多くの場合“それを観、測り、制御することができる”という一連の過程の第1段階に過ぎない。顕微鏡は、一般的には、光線、電子ビーム、あるいは走査プローブを用いる。“画像形成した後に測る・制御する”ということでのオンライン応用には、欠陥/微粒子の検出・レビュー・自動分類に加えて、パターン寸法(CD)測定や重ね合わせ精度測定がある。ウエーハが高価かつ多量なことから、高速、非破壊、インラインでの画像形成・測定の要求が増えつつある。ICパターンのアスペクト比が大きくなりつつあることから、これまでの横方向のパターン寸法、例えば線幅、の測定に加えて、3次元形状を詳細測定することの重要性が増しており、インラインで使えるようになると良い。“先進的なデジタル画像処理・解析技術、遠隔存在(Telepresence; 訳者注:ここに居るのに、其処に居るように感じさせること)、およびネットワークで結んだ測定装置”を活用する新しい計測方法は、近い将来のIC技術ニーズに合わせて開発することが必要であろう。これらの技術を用いた顕微鏡観察の技術や測定は、技術者がプロセスをより自動的なやり方で管理できるように、詳細で十分なプロセス情報を逸早く提供するように機能しなければならない。[顕微鏡観察の詳細については補足資料を参照されたい。](#)

電子顕微鏡観察 - “電子ビームを試料に照射し画像を形成する原理の顕微鏡観察”には、様々な方式がある。走査電子顕微鏡観察、透過電子顕微鏡観察、走査型透過電子顕微鏡観察、電子線ホログラフィ、および低エネルギー電子顕微鏡観察などである。走査電子顕微鏡観察および電子線ホログラフィについては以下に述べる。透過電子顕微鏡観察、走査型透過電子顕微鏡観察、および低エネルギー電子顕微鏡観察については、“材料および汚染の評価・解析”の節で議論する。

走査電子顕微鏡観察(SEM; Scanning Electron Microscopy) - 断面加工試料の評価・解析、微粒子および欠陥の解析、欠陥像のインライン観察(欠陥レビュー)およびCD測定のために、オフライン(at-line; 訳者注:米国では工場内でのオフライン計測を at-line と云い、ウエーハを工場外に持ち出して行うオフライン計測を offline と云う。この場合は前者の意味で使用されている)およびインラインの像形成法として使用され続ける。65nm 世代以降も CD 測定および欠陥レビュー(および試作ラインでの欠陥検出)を効果的に行って行くためには、改良が必要である。十分な分解能を保ちながら“試料表面の帯電、コンタミネーション、および照射損傷に起因した像質の劣化”を防ぐためには、超低エネルギー電子ビーム(< 250 eV)や高エネルギーSEMを用

いるなどの新しいインライン SEM 技術が、必要となるかも知れない。球面収差を低減して分解能を上げようとすると、実用にならないほど焦点深度が浅くなってしまふので、“幾つかの焦点位置で取られた信号を重畳して像形成すること” およびあるいは“ビーム形状を考慮したアルゴリズムを使用すること”が必要になるかも知れない。SEM の分解能を大幅に上げるために、透過電子顕微鏡で用いられていた収差補正レンズ技術が、SEM に転用されるようになった。ナノチップの使用や電子線ホログラフィのような非従来型の像形成技術を開発することが、価値のあることが証明された場合には、その開発は進められなければならない。圧力下すなわち雰囲気制御下での顕微鏡観察は、“高加速電圧での高分解能な像形成および計測”への可能性を開いてくれるもので、新しい代替手法の一つとなり得る。バイナリマスクおよび位相シフトマスクが、この方式の高分解能走査電子顕微鏡で上手く観測された。試料をガス雰囲気中に置くことは、表面帯電やコンタミネーションを低減することが分った。この方法は、ウエーハの検査、像形成、および計測にも高い可能性を持っている。

SEM に依る測定を統計的に見て問題の無いものとするためには、正しい種類・量の情報を集めることが不可欠である。情報の収集は、その際に必要とされる情報よりも多ければスループットの低下を招き、少ないか集める種類を間違えれば制御の不足をもたらす。“必要な情報を測定の妥当性を表す示度を用いて明示するような計測方法”を開発することが大切である。測定の物理に従いかつ収集された全ての情報を用いるようなデータ解析法は、独自の方法に比べて優れていることが実証された。“測定された像とモデル化された像”および“速くて正確な比較技術”は、SEM の寸法計測において、重要性を増しつつあるように見える。

CD 測定精度を向上するために、“試料物質と得られたラインプロファイルとの関係について理解を深めること”が望まれる。試料物質の直接電離とゲート構造の帯電に起因した試料損傷が、荷電粒子ビームを用いる全ての顕微鏡の根本的使用限界を決めることになるかも知れない。

90nm 以下のコンタクト/ピアホール、トランジスタのゲート、配線ラインあるいはダマシンの溝と言った構造の実際の 3 次元形状を測るためには、現行の顕微鏡観察および試料作成法を引続いて進歩させることが必要であろう。FIB (Focused Ion Beam: 収束イオンビーム) を用いた断面加工 および TEM (Transmission Electron Microscope: 透過電子顕微鏡) あるいは STEM (Scanning Transmission Electron Microscope: 走査型透過電子顕微鏡) で像観察するためのリフトアウト (訳者注: FIB を用いてウエーハから切り出した試料を顕微鏡の試料台に装填すること) は、効果的であることが実証された。

走査プローブ顕微鏡観察 (SPM ; Scanning Probe Microscopy) - CD SEM (Critical Dimension Measurement Scanning Electron Microscope) の測定結果校正に使用されるかも知れない。尖鋭なプローブを用いた SPM は、“被測定試料の材質に影響され難い 3 次元測定”を可能にする。プローブが細過ぎると、プローブ先端のチップ先端部が曲げられて測定精度が悪くなる。したがって、プローブ材質と走査時に受ける力を考慮して、チップ先端部の形状とアスペクト比を妥当な値に設定しなければならない。短いカーボンナノチューブ (訳者注: 炭素原子で構成された径が nm 程度の筒) のような非常に硬いプローブ材料が、この問題を多少とも解消してくれるかも知れない。

遠視野顕微鏡観察 (Far-field Optical Microscopy) - 訳者注: 回折光を利用した通常の顕微鏡での観察) - 分解能は光の波長に依って決められる。波長による限界を打破するため、遠紫外光源を用いた顕微鏡および近接場光学顕微鏡 (Near-field Microscopy; 訳者注: 光が波としての性質を発揮できない極微小な領域の光、

すなわち近接場光あるいはエバネッセント光を利用する顕微鏡での観察)の開発が進んでいる。自動欠陥分類ソフトの改良が必要である。光学顕微鏡は、今後も引続いて、マルチチップモジュールのハンダバンプのような大きなパターンの検査に使われて行くであろう。

欠陥検出技術 - 各技術が極限的問題を抱えている。欠陥は“歩留りを低下させる恐れがある全ての物理的、電気的あるいはパラメータ的な異常”として定義される。現行の SEM や SPM の欠陥検出速度は、光学顕微鏡に取って代わるには余りにも遅すぎる。アレー型 SPM (訳者注: 複数の SPM を配列した SPM) を用いることで高速走査の可能なことが実証されてきた (SEM より速いかも知れない)、しかしプローブチップ先端部の寿命、均一性、特性、および摩滅に係わる問題が処理されねばならない。アレー型 SPM の技術は、並べる SPM の数を増やすことと多様な操作モードを開発することに力を注ぐべきである。アレー型マイクロカラム SEM (訳者注: 複数の超小型鏡筒を配列した SEM) が SEM のスループットを上げるための手法として提案され、単鏡筒のマイクロカラム SEM ではその動作が実証された。静電レンズおよび磁界レンズの設計限界に挑む研究が必要である。

リソグラフィにおける計測 (Lithography metrology)

パターン加工技術の急速な進歩は、リソグラフィ用計測に対して、相変わらず困難な課題を課し続けることになる。あらゆるプロセス分野の新材料が、リソグラフィ用計測の直面する課題を大きくする。トランジスタのゲート長の変動を適正に制御することは、先ずマスク計測から行うことになる。マスク上のあらゆるパターンは転写されたレジストパターンの 4 倍の大きさであるけれども、位相シフトや光近接効果補正用のパターンは、レジストパターンの約半分の大きさになる。実際、マスク誤差係数 (MEF; Mask Error Factor) が大きい場合には、マスクプロセスをかなり厳しく制御しなければならないかも知れない; したがって、もっと正確で精密な計測を開発しなければならない。マスク計測には、光の位相が正しく転写されていることを観るための計測が含まれる。ウエーハ上に形成されたパターンの寸法 (CD) や重ね合わせ精度の測定もまた、より困難な課題となりつつある。トランジスタのゲート長の CD 制御は、クロック速度が速くなり続けることを考えると、IC 製造における重要な要素であり続けることに変わりはない。将来の技術世代でも使用できる計測を提供しようとするならば、CD や重ね合わせ精度を計測するための研究・開発活動を加速することが必須である。これら問題の全てにおいて、“測定能力の評価方法”を改善することが必要である。

CD 測定に関しては数多くの解決策候補があるけれども、“その技術だけで測定要求に応えられる”と言うような方法は無い。特別なテスト構造を用いて製造中の測定を行うことが普通である。この場合には、デバイスのアクティブ領域を測れない。CD-SEM は、ウエーハおよびマスク上に形成されたラインパターンやビア / コンタクトホールパターンの測定に今後も使われる。193nm 露光用ホトレジストにおける電子ビーム損傷を軽減するために、相当の努力が為されてきた。157nm 露光装置が導入される時にも同じことが行われるであろう。積層材料、表面状態、ライン形状および“ライン傍のパターンレイアウト”ですらも、CD-SEM のラインプロファイル、したがって計測線幅に影響を与える。これらの要因を正確にモデル化し補正しなければ、これら要因に因る影響が測定ばらつき、ひいては CD-SEM 測定の全不確かさを大きくしてしまう。分解能を向上し測定精度を改善するために、電子ビーム源の技術開発が進んでいる。CD-SEM は、新しい手段を導入しない限り、焦点深度不足という問題に直面することになる。高加速電圧 CD-SEM と低エネルギー損失電子検出器が CD-SEM の延命

化手段として提案された²。スキヤトロメトリは、製造検査に使用されるようになり、ラインパターンの形状計測に用いられている。ここで言うところのスキヤトロメトリには、単一波長・多入射角光散乱測定と多波長・単一入射角光散乱測定がある。最近の進歩の結果、シミュレーション結果のライブラリーに頼らなくても、CD やラインパターン形状を求められようになった。スキヤトロメトリは、最新のプロセス制御 (APC) と組み合わせて用いれば、トランジスタの重要な電気特性に合った分布を提供してくれることが分かった。次の段階は、コンタクトおよびピアホール用スキヤトロメータを開発することである。スキヤトロメトリのモデルは、ラインパターンおよび下地材料が均一な光学的性質を持っているものと仮定している。表面の異常や不均一なドーパント分布が、測定結果に影響を及ぼすかも知れない。したがって、スキヤトロメトリのモデルでは、校正と測定された周期の検証を欠かせない。リソグラフィやエッチングにおけるマイクロローディング効果が、ライン線幅測定結果に大きな影響を与えるかも知れない。スキヤトロメトリは特殊なテスト構造を用いて測定を行うので、SEM あるいは AFM のような他の CD 計測技術を用いて、スキヤトロメトリ用テスト構造の CD と回路部分の CD との相関を取ることが必要である。スキヤトロメトリは、測定精度を改善する一方で、より小さなテスト構造でも測れるようにすることが必要である。製品の性能を向上させるために、リソグラフィ計測におけるフィードフォワード制御の概念を広げ、レジストパターンの測定データを用いてエッチングなど次工程の処理を制御するようにしなければならない。重ね合わせ精度測定装置を CD 制御に使うという報告もある。この方法は、“レジスト線幅の変化が 線長をも変化させるということと、その線長変化を重ね合わせ精度測定システムの光学顕微鏡を用いて測定できる”という事実に基づいたものである。ライン配列とスペース配列とを持った特殊なテスト構造が必要である。CD-AFM (Critical Dimension Measurement-Atomic Force Microscope) を用いての測定は、ラインパターン形状を検証したり、CD 測定結果を校正したりするための手段として優れている。CD-AFM を 90nm 技術ノード以降の密なラインパターンの測定に適用しようとするならば、新しいプローブチップ技術や 3 次元傾斜が可能なカンチレバーが必要となる。焦点 露光量の関係 (特にコンタクト / ピアホールにおける関係) を調べるためには、ラインパターン形状を直接観察できるデュアルビーム FIB (SEM+FIB) は勿論として、上述した何れの方法も使用可能である。電子線ホログラフィが将来の CD 測定技術として提案されている。

ラインエッジラフネス (LER; Line Edge Roughness) は、リソグラフィプロセスにおける重要な制御課題である。ライン幅ラフネス (LWR; Line Width Roughness) は、エッチングプロセスにおける重要な制御課題である。リソグラフィのロードマップでは、LER および LWR の尺度を示している。2001 年には、LWR の要求値が LER として呈示されていた。LWR は、駆動電流を変化させるからと云うことではなく、トランジスタのリーク電流を増加させると云う理由³で、2001 年の ITRS に記載された。LER に対する測定精度の要求値が、以下に示すように、CD に対する要求値の数年先に行くものであることに注意しなければならない。CD-SEM やリソグラフィプロセスシミュレーションシステムでは LER を求めるためのソフトウェアを搭載しているけれども、LER を決めるための標準的な方法があるわけではない。したがって、“ロードマップの要求値に対して現状の LER や LWR を査定した結果”を標準化することはできない。

パターン寸法測定的能力は、要求測定精度が個々の装置の再現性、装置間のマッチング誤差および試料間の測定バイアスの変動を包括するものだとしたら、要求値を満足させることができない。測定の精密さは、SEMI によって、再現性の倍数として定義されている。序文の中で指摘したように、再現性は 繰返し精度、ウエ

² A.C. Diebold and D. Joy. CD measurements for Future Technology Generations. *Solid State Technology*, June 2003.

³ K. Patterson, J.L. Sturtevant, J. Alvis, N. Benavides, D. Bonser, N. Cave, C. Nelson-Thomas, B. Taylor, K. Turnquest, *Experimental Determination of the Impact of Polysilicon LER on sub-100 nm Transistor Performance*, In *Metrology, Inspection, and Process Control for Microlithography XV*, SPIE Vol 4344, 2001, pp 809-814.

一八を再装填することに起因する変動、および長期のドリフトを含むものである。実際、再現性は長い期間にわたり、同じ試料を繰返し測定して求められる。ITRS に記載された CD 測定精度の要求値はラインパターン形状や材質の違いを含めたものであるけれども、同じ試料を繰返し測定しても試料間のバイアス変動を含めた測定不確かさを求めることにはならない。したがって、現在の手法では、ラインパターン形状、材質、レイアウトあるいはその他のパラメータに係わる測定不確かさが測定精密さの中に含まれないことになる。一般に、CD 制御に用いる標準試料は、プロセス工程毎に特に選別された最高のウエーハ すなわち“ゴールデン(golden)ウエーハ”である。したがって、産業界のやり方は、測定精密さをプロセス工程毎の測定再現性として求めていることになる。測定バイアスを検出することはできない。このやり方では、測定不確かさの測定バイアス変動成分が抜けることになる。この点を考慮して、新しい尺度“全測定不確かさ(TMU: Total Measurement Uncertainty)”が提案された。全不確かさの成分は、計測装置毎に適当に査定されなければならない。このことは、比較を意味あるものとするし、装置マッチングの改善を可能にするようになるであろう。測定変動の合計は、新しい“精密さに適した変数 P(TMU)”を与える。P(TMU)は、“各プロセス工程における測定バイアスの変動を考慮した 或る技術を代表する一組の試料”を使って決められるであろう。TMU を小さくする一つのやり方は、各プロセス工程での CD 測定バイアスを補正することである。

インライン CD 測定装置の校正では、校正用測定装置を注意深く扱うことが必要になる。例えば、主に研究所で行われることになるが、断面 SEM あるいは CD-AFM は インラインの CD 装置に匹敵するか あるいは それを凌ぐ測定精度を持っていないなければならないし、時々校正されなければならない。製造中に使用される標準試料は、実際のプロセスおよび構造を代表するものでなければならない。他の構造のみならずトランジスタのゲート長を継続して制御することが重要であることから、トランジスタゲート制御のためには別の計測システムを選ぶことになるかも知れない。この手法についての報告が、既に出されている。

CD 測定の範囲は、ラインパターン形状の制御にまで広げられた。傾斜ビーム CD-SEM、ラインスキャン強度変化と“ゴールデンウエーハ”のラインスキャン強度変化との対比、スキャトロメトリ、CD-AFM、およびデュアルビーム FIB(電子ビームとイオンビームのシステム)は全て、ラインパターン形状測定に用いられてきた。側壁の傾斜角は、重要なプロセス変動要因であることが提起された。ホトレジストのラインパターンは、既に“一枚の平面図では側壁を上手く表せないような形状”を持っている。ライン方向のラインエッジラフネスやライン幅ラフネス、垂直方向のラインエッジラフネス、および肩の丸みは、プロセス制御を考える上で重要な項目である。上述したように、測定精度の値はプロセス工程毎に異なる。このことが、エッチバイアス(エッチング前後での CD の差)を求めることを更に難しくする。電気的な CD 測定は、ゲート幅や配線線幅のモニタとして使えるが、ウエーハの再生処理やプロセスパラメータの実時間補正を必要としない場合にのみ用いられる。

マスク計測は、現在の光技術では測れない領域に入っている。圧力/雰囲気制御走査電子顕微鏡観察法を用いてバイナリマスクおよび基板掘り込み型位相シフトマスクを調べることが行われ、良い結果が得られた。この手法をマスク計測に応用し成功したことは、高分解能、高信号、大きな試料室および試料交換機能と組み合わせでの電界放出技術を装備した圧力制御 SEM を利用できるようになったという点で、画期的なことである。圧力制御 SEM の手法は、試料をガス雰囲気中に置くことで、電子ビーム照射に起因した帯電を軽減しようとするものである。この方法は、電荷を中和することに関しては非常に期待が持てるけれども、今までは ホトマスク計測あるいはウエーハ計測に本格的に用いられることがなかった。これは、この分野への この技術の 新規な応用であり、“ホトマスクの検査、像形成、および計測を帯電無く行うこと”への大きな期待を抱かせる。この手

法は、“ウエーハ計測にも同じ様に適用できる可能性”を持っている。圧力制御 SEM の手法は、正確な計測を行うために帯電をモデル化することの必要性を、全く無くすることはできないにしても、最小にする道を示してくれる。

リソグラフィ計測は、重ね合わせ精度や CD の計測(本質的にはリソグラフィ工程を終えた後でのレジストパターンの幅、深さ、およびパターン形状を測るための顕微鏡観察)ばかりではなく、リソグラフィプロセスに必要なとされる材料、特にホトレジスト、位相シフタ、および反射防止膜(ARC; Anti-Reflective Coating)のプロセス制御や評価・解析をも含んでいる。これ等のリソグラフィ材料が複雑さを増すとともに、それら材料の評価・解析もより困難になる。さらに、ウエーハ製造プロセス(ゲート酸化膜、配線金属、low-k 絶縁膜、SOI 基板など)で使用される(リソグラフィでは用いない)多くの材料が、間接的なかたちでリソグラフィプロセスに係わってくる。というのは、それら材料の光学的特性が“或る特定波長の光の反射”に影響を及ぼすからである。通常はリソグラフィプロセスにとって重要だと見なされない層のプロセス条件の僅かな変動(例えば、SOI 基板の埋め込み酸化膜の厚さ)ですら、このプロセス変動が“その層の光応答”に影響するものであるならば、レジストパターンの寸法あるいは形状を変えてしまう。

最低限のこととして、全ての層の露光波長における複素反射率(反射率 n と減衰係数 k)を知ることが必要である。このような特性の文献データは、通常、利用できない すなわち 時代遅れで信頼できないもの(Kramers-Kronig 変換を用いて、材質が確かでない材料を時代遅れな反射率測定法で測定した結果から求められたもの)である。理想的な場合には、露光波長での分光エリプソメトリを用い、インラインで n と k を測定することができる。特に、157nm 以下の場合には測定が非常に難しく、通常は技術要員が工場外で測定する。EUV の光学的性質は、特別な光源(シンクロトロンのような光源)を用いてのみ求められることができる。したがって、実際上は光学的性質を直接測ることができない場合に、材料組成を指標として用いることがある。しかし、同じ組成の物質でも、異なる光学特性を示すことが有り得る(例として、非晶質 Si と結晶 Si の場合が挙げられる)。

表面粗さ、界面層、複屈折すなわち光学的異方性(ホトレジストあるいは他の有機層が応力を受けた時にしばしば観られる)、あるいは“組成が深さに依存して変わる”ことに起因して、光学的性質を求めることが複雑になる。ウエーハプロセスラインで使われる幾つかの材料では、楕円偏向角から光学定数を求めるという逆問題を完全には解けないので、材料の光学的性質を求められない。それゆえに、物理的な性質、材料の特性および光学定数が全て相互に関係していることから、光学的性質を求めるには材料の物理的評価・解析をしなければならない。

重ね合わせ精度の測定では、位相シフトマスクおよび光学的近接効果補正マスクが課題であり、メタル配線のトレンチとビアとは異なった露光装置を使うことが困難さを増大させている。

画像コントラストが低いことに起因した問題に加えて、今後 重ね合わせ精度測定の要求が厳しくなると、走査プローブ顕微鏡(SPM)、新しい光学的な方法あるいは SEM を用いた方法の開発が必要になるであろう。“従来のターゲット構造では検出できない位相シフトマスクや光学的近接効果補正マスクのアライメント誤差に係わる問題”を解決するための手段として、新しいターゲット構造の必要であることが示唆された。オンチップ配線の重ね合わせは、引続いての課題である。平坦化のために化学的機械研磨法(CMP; chemical mechanical polishing)を用いることが、ターゲット構造を劣化させる。したがって、重ね合わせを より厳しく制御

14 計測 (Metrology)

しようとする要求に応えるため、配線のアライメントターゲットはラインエッジをでこぼこにしている。絶縁体として使用される Low-k 材料は、特に 多孔質の low-k 材が製造に使われるようになると、重ね合わせを更に難しくする。

リソグラフィ計測の技術要求テーブルは、ウエーハでの要求とマスクでの要求とに分けられている。マスクでの計測技術要求は、更に露光技術毎に分けられる: 光露光、EUV 露光、そして電子線投影露光である。

表 117a Lithography Wafer Metrology Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Printed gate CD control (nm), Uniformity (variance) is 10% of CD Allowed lithography variance = 4/5 total variance of physical gate length [A]*	4.0	3.3	2.9	2.5	2.2	2.0	1.8
Wafer dense line CD control (nm) *, Uniformity is 15% of CD Allowed lithography variance = 2/3 total variance	12.2	11.0	9.8	8.6	8.0	7.0	6.1
Wafer minimum contact hole (nm, post etch) from lithography tables	115	100	90	80	70	65	55
Wafer contact CD control (nm)*, iformity is 15% of CD = minimum contact hole size, Allowed lithography variance = 2/3 total variance	14.1	12.2	11.0	9.8	8.6	8.0	6.7
Line width roughness (nm, 3 σ) <8% of CD ***	3.6	3.0	2.6	2.2	2.0	1.8	1.6
Wafer CD metrology tool precision (nm) * 3σ at P/T = 0.2 for isolated printed and physical lines [A]	0.8	0.7	0.6	0.5	0.4	0.4	0.4
Wafer CD metrology tool precision (nm) *, (P/T=2 for dense lines**)	2.4	2.2	2.0	1.7	1.6	1.4	1.2
Wafer CD metrology tool precision (nm) * (P/T=.2 for contacts**)	2.8	2.4	2.2	2.0	1.7	1.6	1.3
Wafer CD metrology tool precision (nm) * (P/T=.2) for LWR***	0.72	0.592	0.512	0.4	0.4	0.352	0.32
Maximum CD measurement bias (%) [B]	10	10	10	10	10	10	10
Wafer overlay control (nm)	35	32	28	25	23	21	19
Wafer overlay output metrology precision (nm, 3 σ) * P/T=.1	3.5	3.2	2.8	2.5	2.3	2.1	1.9

*全ての測定精度値は、単位 nm の 3 で表わされており、計測装置間のマッチングを含んでいる。

**測定装置の性能は、ターゲットの形状、材質、および密度には依存しないことが必要である。

***リソグラフィのロードマップでは、ラインエッジラフネス (LER) をライン幅ラフネス (LWR) に換えた。

LER - “技術ノードの 2 倍に等しい空間波長“以上の距離にわたって測られた局所的なラインエッジのばらつき (3 合計、全周波数成分含む、両エッジ)。LWR は、相関関係の無いラインエッジラフネス毎に、 $LWR = 2 \times (LER)$ のように定義される。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

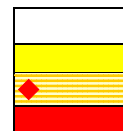


表 117b Lithography Metrology Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)	54	42	38	30	27	21
MPU/ASIC Un-contacted Poly 1/2 Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Printed gate CD control (nm), Uniformity (variance) is 10% of CD Allowed lithography variance = 4/5 total variance of physical gate length [A] *	1.6	1.3	1.2	0.9	0.8	0.6
Wafer dense line CD control (nm) *, Uniformity is 15% of CD Allowed lithography variance = 2/3 total variance	5.5	4.3	3.9	3.1	2.7	2.2
Wafer minimum contact hole (nm, post etch) from lithography tables	50	35	30	25	21	18
Wafer contact CD control (nm)*, Uniformity is 15% of CD = minimum contact hole size, Allowed lithography variance = 2/3 total variance	6.1	4.3	3.7	3.1	2.6	2.2
Line width roughness (nm, 3 σ) <8% of CD ***	1.4	1.1	1.0	0.8	0.7	0.6
Wafer CD metrology tool precision (nm) * 3 σ at P/T = 0.2 for isolated printed and physical lines [A]	0.3	0.3	0.2	0.2	0.2	0.1
Wafer CD metrology tool precision (nm) * (P/T=.2 for dense lines**)	1.1	0.9	0.8	0.6	0.5	0.4
Wafer CD metrology tool precision (nm) * (P/T=.2 for contacts**)	1.2	0.9	0.7	0.6	0.5	0.4
Wafer CD metrology tool precision (nm) * (P/T=.2) for LWR***	0.288	0.224	0.208	0.16	0.144	0.112
Maximum CD measurement bias (%) [B]	10	10	10	10	10	10
Wafer overlay control (nm)	18	14	12.8	10	8.8	7.2
Wafer overlay output metrology precision (nm, 3 σ)* P/T=.1	1.8	1.4	1.3	1.0	0.9	0.7

*全ての測定精度値は、単位 nm の 3 σ で表わされており、計測装置間のマッチングを含んでいる。

**測定装置の性能は、ターゲットの形状、材質、および密度には依存しないことが必要である。

***リソグラフィのロードマップでは、ラインエッジラフネス(LER)を線ラインラフネス(LWR)に換えた。

LER - “技術ノードの2倍に等しい空間波長”以上の距離にわたって測られた局所的なラインエッジのばらつき(3 合計、全周波数成分含む、両エッジ)。LWR は、相関関係の無いラインエッジラフネス毎に、LWR= 2 \times (LER)のように定義される。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

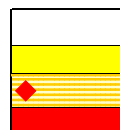


表 117a および表 117b の注:

[A] 短期の表で、孤立ラインの CD 測定に付されているオレンジ色の指定は、ロードマップの成果である。パターン加工精度(process range)および“測定精度要求に装置マッチングを含めること”が要求値の達成を非常に困難なものにしている。孤立ラインの CD 測定では、1台の装置だけを使うことによって装置マッチングを考えなくても良いようにし、上の問題を回避している。長期的には、既知の方法の延長で25nm線幅のCD測定を行えないかも知れないので、技術的なブレイクスルーを必要とする。

表 118a Lithography Metrology (Mask) Technology Requirements: Optical—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Printed gate CD control (nm) allowed lithography variance = 4/5 total variance of physical gate length [A] *	◆4.0	3.3	2.9	2.5	2.2	2.0	1.8
Wafer overlay control (nm)	35	32	28	25	23	21	19
Wafer minimum contact hole (nm, post etch) from lithography tables	115	100	90	80	70	65	55
Wafer contact CD control (nm)*, Uniformity is 15% of CD = minimum contact hole size, Allowed lithography variance = 2/3 total variance	14.1	12.2	11.0	9.8	8.6	8.0	6.7
Mask nominal image size (nm) [B]	260	212	180	160	140	128	112
Mask minimum primary feature size [C]	182	148.4	126	112	98	89.6	78.4
Optical Section							
Minimum OPC size (opaque at 4x, nm) [D]	130	106	90	80	70	64	56
Image placement (multipoint at 4x, nm)	21	19	17	15	14	13	12
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4
Mask error factor (MEF) from lithography tables isolated lines, binary	1.4	1.4	1.4	1.4	1.6	1.6	1.6
MEF isolated lines, alternating phase shift [G]	1	1	1	1	1	1	1
MEF dense lines [G]	2	2	2	2	2.5	3	3
MEF contacts [G]	3	3	3	3	3.5	4	4
<i>CD Uniformity (3 Sigma at 4x, nm) Refer to Lithography Chapter Table for Optical Mask Requirements</i>							
Isolated lines (MPU gates), binary Uniformity is 10% of CD [E], [F]	4.6	3.8	3.3	2.9	2.2	2.0	1.8
Isolated lines (MPU gates), alternated Uniformity is 10% of CD [E], [G]	6.4	5.3	4.6	4.0	3.6	3.1	2.9
Dense lines (DRAM half-pitch) Uniformity is 15% of CD [E], [H]	9.8	8.8	7.8	6.9	5.1	3.7	3.3
Wafer minimum contact hole (nm, post etch) from lithography tables	115	100	90	80	70	65	55
Mask contact CD control (nm)* Uniformity is 15% of CD = minimum contact hole size Allowed lithography variance = 2/3 total variance	5.0	4.4	3.9	3.5	2.6	2.1	1.8
Mask image placement metrology (precision, P/T=0.1)	2.1	1.9	1.7	1.5	1.4	1.3	1.2
Mask CD metrology tool precision* (P/T=0.2 for isolated lines, binary**)	◆0.9	0.8	0.7	0.6	0.4	0.4	0.4
Mask CD metrology tool precision* (P/T=0.2 for isolated lines, alternated**)	◆1.3	◆1.1	0.9	0.8	0.7	0.6	0.6
Mask CD metrology tool precision* (P/T=0.2 for dense lines**)	◆2.0	◆1.8	◆1.6	◆1.4	1.0	0.7	0.7
Mask CD metrology tool precision* (P/T=0.2 for contact/vias**)	◆1.0	◆0.9	0.8	0.7	0.5	0.4	0.4
<i>Specific Requirements</i>							
Alternated PSM phase mean deviation	2	2	2	1	1	1	1
Phase metrology precision, P/T=0.2	0.4	0.4	0.4	0.2	0.2	0.2	0.2
Alternated PSM phase uniformity (±degrees)	2	2	2	1	1	1	1
Phase uniformity metrology precision, P/T=0.2	0.4	0.4	0.4	0.2	0.2	0.2	0.2

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

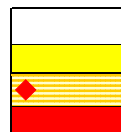


表 118b Lithography Metrology (Mask) Technology Requirements: EUV—Near and Long-term

Year of Production	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node			hp45		hp32		hp22	
DRAM ½ Pitch (nm)	57	50	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	67	60	54	42	38	30	27	21
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	22	20	18	14	13	10	9	7
EUV								
Image placement error (nm, multipoint)	13	12	11	9	8	7	6	6
CD Uniformity (3 sigma at 4x, nm)								
Isolated lines (MPU gates), Uniformity is 10% of CD Mask error factor varies with year	3.0	2.5	2.0	1.5	1.3	0.7	0.5	0.4
Dense lines (DRAM half-pitch), Uniformity is 15% of CD Mask error factor varies with year	12.5	11.0	9.0	6.5	5.5	2.0	1.5	1.0
Wafer minimum contact hole (nm, post etch), from lithography tables	65	55	50	35	30	25	21	18
Contact/Vias, Uniformity is 10% of CD mask error factor varies with year	8	7	6.5	4.5	3.5	2.5	2	1.5
Mask CD metrology tool precision*, (P/T=0.2 for isolated lines)**	0.6	0.5	0.4	0.3	0.3	0.1	0.1	0.1
Mask CD metrology tool precision*, (P/T=0.2 for dense lines)**	2.5	2.2	1.8	1.3	1.1	0.4	0.3	0.2
Mask CD metrology tool precision*, (P/T=0.2 for contact/vias)**	1.6	1.4	1.3	0.9	0.7	0.5	0.4	0.3
Specific Requirements								
Mean peak reflectivity	65%	66%	66%	67%	67%	67%	67%	67%
Peak reflectivity uniformity (3 sigma %)	0.58%	0.56%	0.54%	0.48%	0.42%	0.36%	0.30%	0.24%
Absorber sidewall angle tolerance (degrees)	1	1	0.75	0.62	0.5	0.5	0.5	0.5
Absorber LER (3 sigma, nm)	4.5	4	3.5	3	3	3	2	2
Mask substrate flatness (peak-to-valley, nm)	60	55	50	40	35	25	25	20
Metrology mean peak reflectivity precision (P/T=0.2, %)	1.30%	1.30%	1.30%	1.30%	1.30%	1.30%	1.30%	1.30%
Peak reflectivity uniformity metrology precision, (3 sigma, P/T = 0.2)	0.12%	0.11%	0.11%	0.10%	0.08%	0.07%	0.06%	0.05%
Absorber sidewall angle metrology precision, (degrees 3 sigma, P/T = 0.2)	0.2	0.2	0.15	0.124	0.1	0.1	0.1	0.1
Absorber LER metrology precision (3 sigma, P/T=0.2)	0.9	0.8	0.7	0.6	0.6	0.6	0.4	0.4
Mask substrate flatness metrology precision, (nm 3 sigma, P/T=0.2)	12	11	10	8	7	5	5	4

*全ての測定精度値は、単位 nm の 3 で表わされており、計測装置間のマッチングを含んでいる。

**測定装置の性能は、ターゲットの形状、材質、および密度には依存しないことが必要である。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

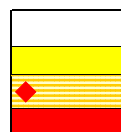


表 118a および表 118b の注:

[A] 短期の表で、孤立ラインの CD 測定に付されているオレンジ色の指定は、ロードマップ活動の成果である。パターン加工精度(process range)および“測定精度要求に装置マッチングを含めること”が要求値の達成を非常に困難なものにしている。孤立ラインの CD 測定では、1台の装置だけを使うことによって装置マッチングを考えなくても良いようにし、上の問題を回避している。長期的には、既知の方法の延長では 25nm 線幅の CD 測定を行えないかも知れないので、技術的なブレイクスルーを必要とする。

[B] 公称マスクパターン寸法 ウエーハ上に形成された最小レジストパターンの寸法の 4 倍 (マスク縮小比) になる

[C] 最小主マスクパターン寸法 CD 設定 / 欠陥制御のために OPC を適用した後の転写可能な最小マスクパターンの寸法

[D] OPC マスクパターン寸法 転写されない最小マスクパターンの最小幅

18 計測 (Metrology)

[E] 孤立ゲートに対する“リソグラフィでの CD 加工ばらつき (process range)”は、全 CD 加工ばらつき (3σ で CD の 1/10) の 4/5 である。密なライン群に対しては CD の 15% の 4/5 であり、コンタクト/ピアホールに対しては CD の 15% の 2/3 になる。加工精度は変化するものである。リソグラフィ加工ばらつきに占めるマスクの割合が全リソグラフィ加工ばらつきの 40% を占めるということは、注目すべきことである。マスク誤差係数 (MEF) は CD の加工裕度を小さくし、マスクの占める加工ばらつき分を MEF で割った値がマスクでのばらつきとなる。

[F] バイナリマスクの孤立ラインに対するマスク誤差係数は、65nm 技術ノードでは、1.4 から 1.6 の間にある。

[G] レベンソン型位相シフトマスクのマスク誤差係数は1である。

[H] 密なライン群に対するマスク誤差係数は、70nm 技術ノードで 2 から 100 であり、65nm 技術ノードで 2.5、57nm および 50nm 技術ノードでは 3 になる。

[I] コンタクト/ピアホールに対するマスク誤差係数は、70nm 技術ノードで 3 から 100 であり、65nm 技術ノードで 3.5、57nm および 50nm 技術ノードでは 4 になる。

表 118c Lithography Metrology (Mask) Technology Requirements: EPL—Near and long-term

Year of Production	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node			hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	57	50	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)	67	60	54	42	38	30	27	21
MPU/ASIC Un-contacted Poly 1/2 Pitch (nm)	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	22	20	18	14	13	10	9	7
Wafer gate CD control*	2.0	1.8	1.6	1.3	1.2	0.9	0.8	0.6
Wafer overlay control*	22	20	16		11		10	
EPL								
Minimum stitching feature size (nm)	TBD	TBD	56	TBD	40	TBD	30	TBD
Image placement error in sub-field (nm, multipoint)	8	7.5	6.5	5.5	5.4	4	3.5	3
Complementary mask pair placement error (nm, multipoint) for stencil mask	TBD	TBD	10	TBD	7	TBD	5	TBD
Metrology stitching precision, (3 sigma, P/T=0.1)	TBD	TBD	5.6	TBD	4	TBD	3	TBD
Mask image placement metrology precision, (3 sigma, P/T = 0.1)	TBD	TBD	1.1	TBD	0.8	TBD	0.6	TBD
Complementary mask pair metrology precision, (3 sigma, P/T = 0.1)	TBD	TBD	1	TBD	0.7	TBD	0.5	TBD
<i>CD Uniformity (3 sigma at 4xnm)</i>								
Isolated lines (MPU gates), Uniformity is 10% of CD	3.1	2.9	2.6	2.0	1.9	1.4	1.3	1.0
Dense lines (DRAM half-pitch), Uniformity is 15% of CD	11.2	9.8	8.8	6.9	6.3	4.9	4.3	3.5
Wafer minimum contact hole (nm, post etch) from lithography tables	65	55	50	35	30	25	21	18
Contact/Vias, Uniformity is 15% of CD mask error factor is 1	12.7	10.8	9.8	6.9	5.9	4.9	4.1	3.5
Mask CD metrology tool precision*, (P/T=0.2 for isolated lines)**	0.6	0.6	0.5	0.4	0.4	0.3	0.3	0.2
Mask CD metrology tool precision*, (P/T=0.2 for dense lines)**	2.2	2.0	1.8	1.4	1.3	1.0	0.9	0.7
Mask CD metrology tool precision*, (P/T=0.2 for contact/vias)**	2.2	2.0	1.8	1.4	1.3	1.0	0.9	0.7

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

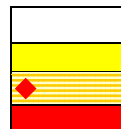


表 118c Lithography Metrology (Mask) Technology Requirements: EPL—Near and long-term (continued)

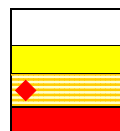
Year of Production	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node			hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	57	50	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)	67	60	54	42	38	30	27	21
MPU/ASIC Un-contacted Poly 1/2 Pitch (nm)	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	22	20	18	14	13	10	9	7
<i>Specific requirements</i>								
Clear area transmission uniformity (3 sigma %) for membrane	TBD	TBD	0.70%	TBD	0.60%	TBD	0.05%	TBD
Energy loss (delta E/E) (%) for membrane	TBD	TBD	0.07%	TBD	0.05%	TBD	0.04%	TBD
Scatterer sidewall angle tolerance (degrees)	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Scatterer/stencil LER (3 sigma, nm)	TBD	TBD	3	TBD	2	TBD	1.5	TBD
Metrology transmission uniformity precision (P/T=0.2, %)	TBD	TBD	0.07%	TBD	0.06%	TBD	0.05%	TBD
Energy loss metrology precision (3 sigma, P/T = 0.1)	TBD	TBD	0.01%	TBD	0.01%	TBD	0.00%	TBD
Sidewall angle metrology precision (3 sigma, P/T = 0.2)	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
LER metrology precision (3 sigma, P/T=0.2)	TBD	TBD	0.6	TBD	0.4	TBD	0.3	TBD

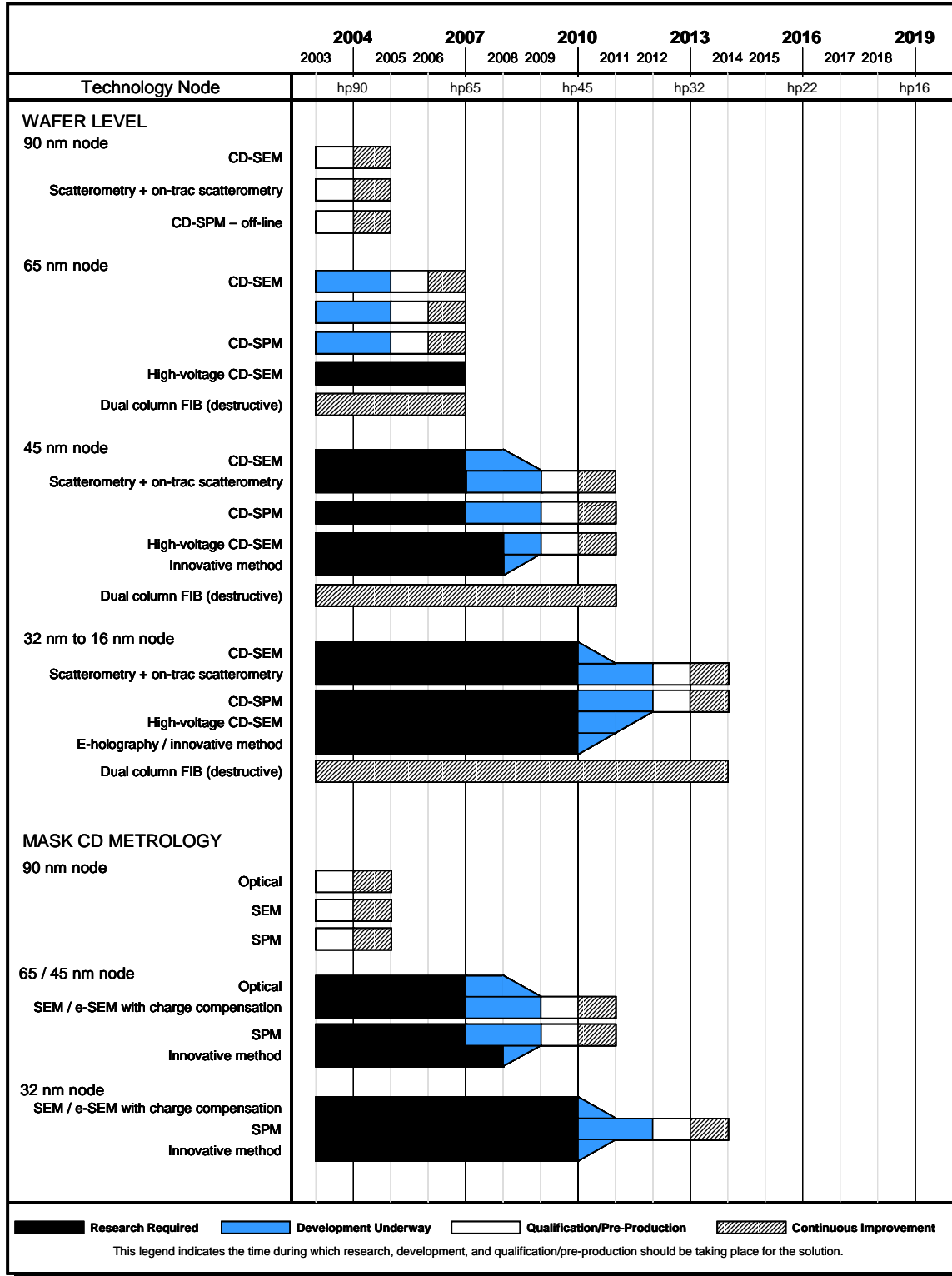
Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known





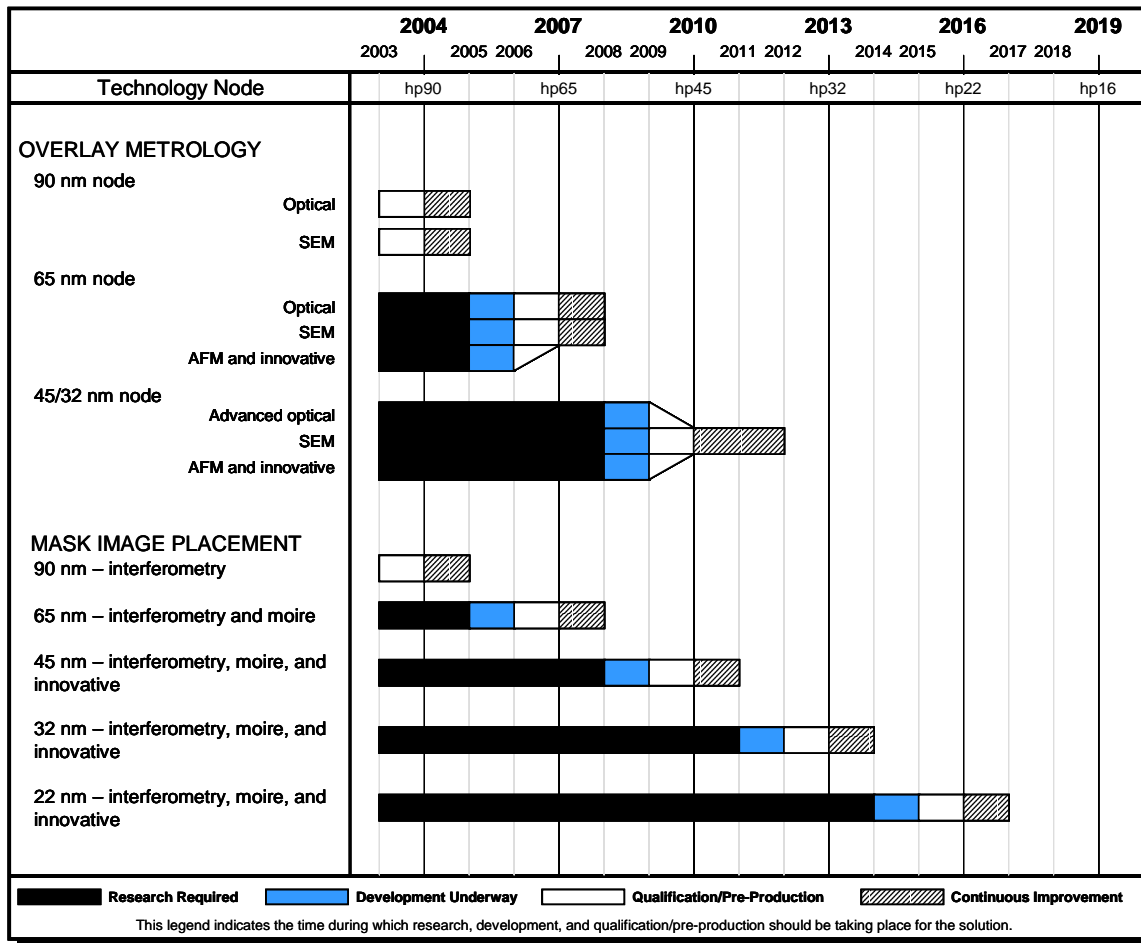


図 82 Lithography Metrology—Overlay Potential Solutions

FEP における計測 (Front End Processes Metrology)

次世代技術の導入時期が早められる傾向にあり、トランジスタの開発・製作時に使われる計測も、その技術開発を加速しなければならない。本節では、シリコンウェーハ、洗浄、熱酸化および薄膜形成技術、ドーピング（ドーパントの導入あるいは注入）技術、FEP 用プラズマエッチングに特有な計測ニーズを検討する。リーク電流の制御、しきい値の低電圧化とゲート遅延の短縮、それらの許容度といったプロセスインテグレーションの課題が、ゲート絶縁膜の厚さ、ドーパントの分布、接合深さ、ドーズ量といったプロセスパラメータの許容範囲と密接に関連している。プロセス許容度のモデルを作ることは、トランジスタの計測を考える上で、依然として重要な要件である。FEP における計測の目標到達レベルを表 119、解決策の候補技術を図 83 に示す。

表 119a Front End Processes Metrology Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60	
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Bulk control limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	
Bulk detection limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	
High-performance logic EOT equivalent oxide thickness (EOT) nm	1.3	1.2	1.1	1	0.9	0.8	0.7	
Low-operating power logic EOT	2.2	2.1	2	1.9	1.8	1.7	1.6	
±3σ dielectric process range (EOT) (nm)	±4%	±4%	±4%	±4%	±4%	±4%	±4%	
EOT measurement precision 3σ (nm) [B]	0.0052	0.0048	0.0044	0.004	0.0036	0.0032	0.0028	MPU high-performance
DRAM stacked capacitor structure	Cylinder	Cylinder	Cylinder/ Pedestal	Cylinder/ Pedestal	Pedestal	Pedestal	Pedestal	
DRAM stacked capacitor electrodes	MIS	MIS/MIM	MIM	MIM	MIM	MIM	MIM	
DRAM stacked capacitor dielectric material	Ta ₂ O ₅ / Al ₂ O ₅	Ta ₂ O ₅ / Al ₂ O ₅	Ta ₂ O ₅ / Al ₂ O ₅	Ta ₂ O ₅ / Al ₂ O ₅ others	Ta ₂ O ₅ / Al ₂ O ₅ others	Ta ₂ O ₅ / Al ₂ O ₅ others	Ta ₂ O ₅ / Al ₂ O ₅ others	
DRAM stacked capacitor dielectric constant	22	22	40	50	50	50	50	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

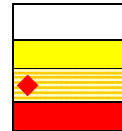


表 119a Front End Processes Metrology Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60	
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Equivalent oxide thickness (EOT) (nm) for stacked capacitor	3.5	2.3	1.8	1.4	0.8	0.8	0.8	
DRAM stacked capacitor dielectric physical thickness (nm)	19.3	12.7	18.0	17.5	10	10	10	
±3 σ process range	±4%	±4%	±4%	±4%	±4%	±4%	±4%	
DRAM capacitor dielectric physical thickness measurement precision (nm 3σ) [C]	0.077	0.051	0.072	0.070	0.040	0.040	0.040	
Dopant concentration [channel maximum] (atoms/cm ³), for V _t = 0.4	1.5–2.5E18	1.5–2.5E18	1.5–2.5E18	2.0–4.0E18	2.5–5.0E18	NA, New Device on FD SOI	NA, New Device on FD SOI	
Dopant atom	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	
Metrology for junction depth [based on drain extension] of (nm) Note change to different structure for 2008	19	15	13	12	10	22	20	
Lateral steepness of dopant profile (nm/decade)	5	4.1	3.5	3.1	2.8	na	na	
Lateral/depth spatial resolution for 2D/3D dopant profile (nm)	5	4.1	3.5	3.1	2.8	2.8	2.8	
At-line dopant concentration precision (across concentration range) [D]	4%	4%	4%	4%	4%	4%	4%	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

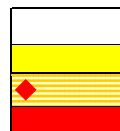


表 119b Front End Processes Metrology Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)	120	107	95	85	76	67
MPU/ASIC Un-contacted Poly 1/2 Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Bulk control limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰	<1×10 ¹⁰
Bulk detection limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹	<1×10 ⁹
High- performance logic EOT [A] equivalent oxide thickness (EOT) nm	TBD	0.7	TBD	0.6	TBD	0.5
Low-operating power logic EOT	TBD	TBD	TBD	TBD	TBD	TBD
±3σ process range (EOT) (nm)	±4%	±4%	±4%	±4%	±4%	±4%
Logic dielectric measurement precision 3σ (nm) [B]	0	0.0028	0	0.0024	0	0.002
DRAM stacked capacitor structure dielectric material process control requirements	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
(Dielectric constant)	50	60	60	80	80	100
Equivalent oxide thickness (nm) stacked capacitor	0.7	0.6	0.5	0.4	0.4	0.25
DRAM stacked capacitor dielectric physical thickness (nm) ±3σ process range [C]	8.8 ±4%	9.0 ±4%	7.5 ±4%	8.0 ±4%	8.0 ±4%	6.3 ±4%
DRAM capacitor dielectric physical thickness measurement precision (nm 3σ) [C]	0.035	0.036	0.03	0.032	0.032	0.025
Dopant concentration [channel maximum] (atoms/cm ³)	NA New Device on FD SOI	NA New Device on FD SOI	NA New Device on FD SOI	NA New Device on FD SOI	NA New Device on FD SOI	NA New Device on FD SOI
Dopant atom	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B
Metrology for junction depth [based on drain extension] (nm)	18	14	13	10	9	7
Lateral Steepness of dopant profile (nm/decade)	TBD	TBD	TBD	TBD	TBD	TBD
Lateral/depth spatial resolution for 2D/3D dopant profile (nm)	2.8	2.8	2.8	2.8	2.8	2.8
At-line dopant profile concentration precision (across concentration range) [E]	2%	2%	2%	2%	2%	2%

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

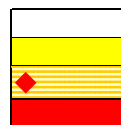


表 119a と 119b の注:

[A] SOI ウェーハを使うには計測技術の開発が必要。

[B] 計測精度は $P/T=0.1=6x$ 計測精度 / プロセスレンジから求められる。計測要求値は SiO₂ 膜と電気的に等価な膜厚を示している。SiON と SiN/SiO₂ スタックは 130-100nm ノードのロジックデバイスで SiO₂ に置き換わると考えられ、Ta₂O₅ のような高誘電率膜は 70nm ノード以降、もしかしたら 100nm ノード、のロジックデバイスで使われるだろう。高誘電率膜の物理膜厚は、EOT と比誘電率 ($\epsilon_{\text{high-k}} / \epsilon_{\text{ox}}$) を掛けることで求められる。例えば 6.4nm の Ta₂O₅ ($k \approx 25$) は EOT=1nm (SiO₂ の $k=3.9$) である。表にある精度は EOT 換算であり、対象の高誘電率膜の精度を知るには比誘電率を掛けなければならない。スタックの総容量には誘電率膜に界面層が含まれ、チャンネル部の量子効果とポリシリコンゲートの空乏層の成分も含まれる。従って、ゲート誘電体の膜厚測定の課題には、界面層の計測技術も含まれている。

[C] MIS 構造の場合、物理膜厚 t_{diel} は $t_{\text{diel}} = (t_{\text{eq,ox}} - 1\text{nm})_{\text{diel}} \times \text{high-k} / 3.9$ 式で求めることができ、熱処理時にポリシリコンと高誘電率膜の界面に形成される酸化膜を考慮に入れる必要がある。MIM 構造の場合、物理膜厚 t_{diel} は $t_{\text{diel}} = t_{\text{eq,ox}} \times \text{high-k} / 3.9$ で求めることができる。ここで、 $t_{\text{eq,ox}}$ は SiO₂ 換算膜厚であり、 high-k は高誘電率膜の比誘電率である。

[D] 統計的エラーの少ない状態で高精度に測定する必要がある。

シリコンウェーハ (Starting Materials) シリコンウェーハに関連した計測技術の課題は、SOI、歪 Si およびこれらの組合せのように新規な層状物質に関連している。何層もの界面を伴いつつ、進行する薄膜化によって、多くの材料計測技術には課題が提起されることになる。

関連する領域は次のようなものである：

- p+ウェーハ、SOI ウェーハ、歪 Si それに SSOI ウェーハの Si 中にある Ni や Cu の測定
- 薄膜 SOI ウェーハのトップ Si 中の 10^9 - 10^{10}cm^{-3} の Fe (やその他の金属) の測定
- 窒素ドーピングしたエピやアニールウェーハ中にある $1 \times 10^{14}\text{cm}^{-3}$ 以下の窒素濃度ばらつき測定
- 非常に薄い SOI 層 (<20nm) の膜厚と均一性
- 薄膜中の欠陥密度 (例、貫通転位や HF 欠陥)
- 層状物質の表面にあるパーティクルの検出 (<100nm)

今でもナノポグラフィ (2-20mm の長さレンジでのナノメートルスケールの凹凸) に関する計測要求は現れている。微小パーティクル (<50nm) の検出は、将来に向けて重要であり続ける。シリコンウェーハに対して、90nm 以下のパーティクル仕様にはサブ 90nm の計測技術を直接用いるのではなく、モデルベースで、90nm パーティクルの検出値を基にして 90 nm 以下のパーティクル要求値を求めることになるということを指摘しておく。詳細については、FEP ロードマップのシリコンウェーハ (Starting Materials) の節を参照されたい。

SOI (Silicon-On-Insulator) は、IC デバイス応用の本流に入った。そしてロードマップの要求に応えるべく進化してゆくと予想できる。今までの鏡面シリコン基板のための材料仕様が SOI 仕様に移ることが期待される。しかし、SOI の下層絶縁膜構造では、鏡面シリコン基板に利用されている多くの計測の性能が低下する可能性が高いので、必要なレベルでの SOI の材料特性の測定や制御に機能していない。これは、SOI 計測にとって主要な課題であり、計測関係者はすぐに対応しなくてはならない。これらの計測の課題のより多くの詳細については、FEP の章のシリコンウェーハ (Starting Materials) の部分を参照されたい。

2001 年のロードマップで予測されたよりも早く、SOI なしの歪 Si がチャネル移動度増加の有力解として姿をあらわした。歪 Si に関する計測技術の問題は、計測の章の材料評価 (Materials Characterization) の節を参照されたい。

洗浄 (Surface Preparation) 微粒子、化学組成、そして可能ならば微量金属をその場計測するため、その場 (in-situ) センサが一部のウェット洗浄装置に組み込まれつつある。微粒子検出は "歩留り改善" の章で取り扱われている。微粒子、欠陥と金属、そして有機汚染の解析は、本章の "材料と汚染の評価 / 解析" の節で述べられる。high-k ゲート絶縁膜中の不純物の影響と、そのために生ずる計測に対する要求は今後の研究項

目である。

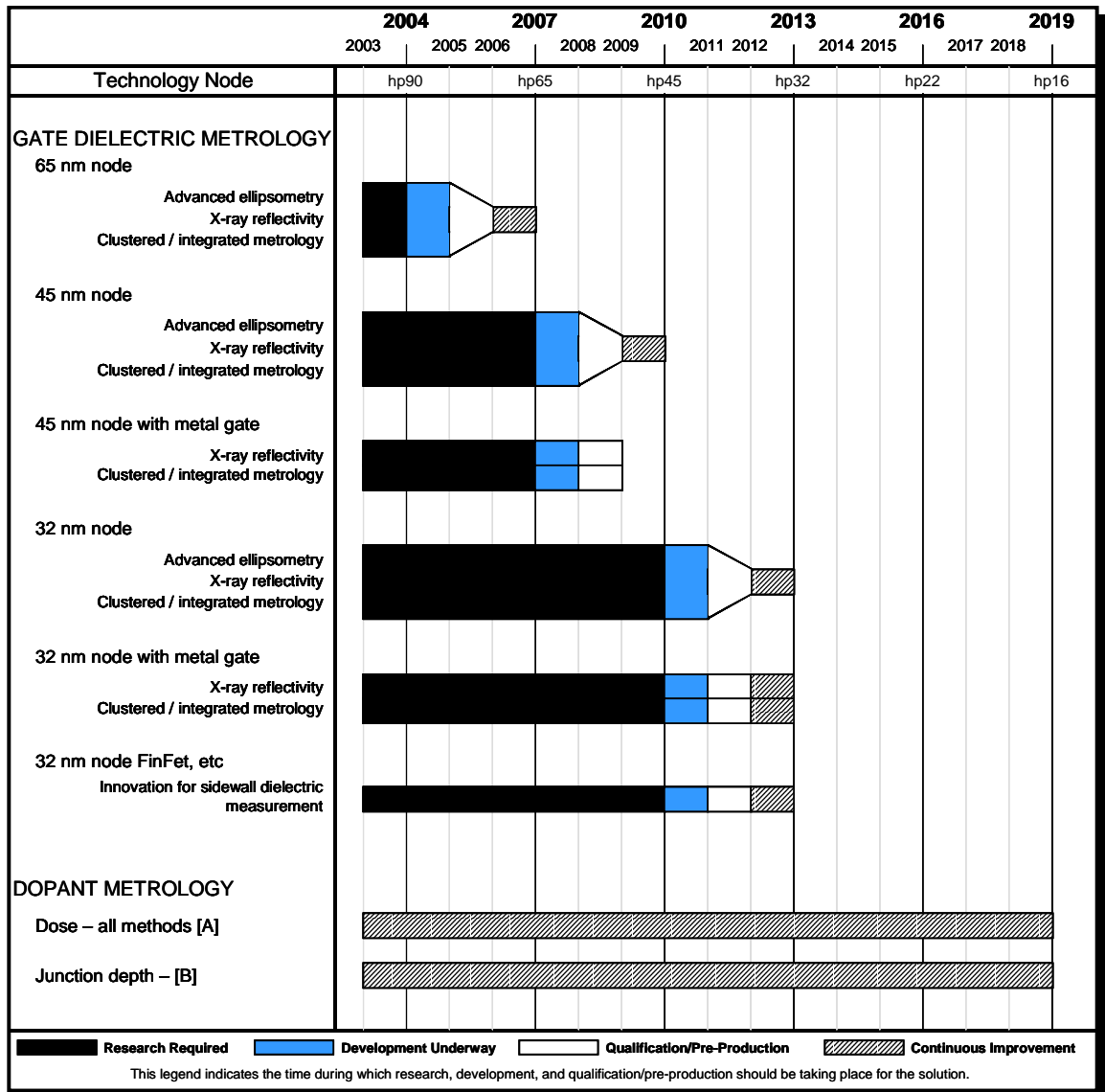
熱酸化 / 薄膜形成技術 (Thermal/Thin Films) SiON から高誘電率 (high-k) 材料へ移行することは、今でも計測の主要な課題のままである。High-k 材料の計測の開発は継続する必要がある、そして、界面層の計測は課題のまま残されている。FEP のロードマップでは、2005 年に低電力デバイスと高性能デバイスの両方で High-k 材料の適用を示している。界面層の制御を可能とする解決策候補は、赤外線、および / または紫外線波長領域へ拡張したインライン光学計測手法である。高周波電気試験法の継続的な開発と標準化、および絶縁物の信頼性を試験する新しい方法が必要である。High-k の電氣的試験方法として、従来法の容量とトランジスタ構造による方法、水銀プローブによる方法、非接触コロナ放電法がすべて開発段階にある。"膜堆積後のゲート絶縁膜 / 容量絶縁膜の誘電特性は、熱処理後の誘電特性とは異なる" という無視できない証拠がある。このことは、電気計測データと物理計測データとの比較を複雑なものにする。しかし、両者の相関をはっきりさせることが必要である。High-k 材料への STEM や X 線反射率法のような材料評価・解析手法の応用は、SiGe チャンネル内の Ge の制御のための手法と同様に本章の "材料と汚染の評価 / 解析" の節で検討される。

ゲート電極プロセスを制御するために、更に計測技術の開発が必要である。新たなゲート電極プロセスとその膜厚制御の例として、複数膜厚を有するポリシリゲートプロセスが挙げられる。メタルゲート電極の膜厚と仕事関数制御のためには、新しい計測技術が必要である。

FERAM 誘電体膜の厚さが 100 から 200nm であっても、新しい材料の組合せが使用されるときには、金属酸化物のインライン膜厚測定のための光学モデルを開発しなければならない。10¹⁶ 回以上の読み・書き込みサイクルでの容量部分の疲労劣化試験のための計測技術が第一に必要である。

ドーピング技術 活性ドーパント注入を制御するために、90nm 技術ノード以降に向けて、インライン測定技術を改良しなければならない。現在、高ドーズ注入のプロセス制御には 4 探針法が用いられ、低ドーズ注入にはサーマルウェーブ法 (Thermally Modulated Optical Reflectance) が用いられている。両手法ともに改善されねばならない。リアルタイム制御を可能とするドーズ量、ドーパントプロファイル、ドーズの均一性の直接その場測定ができる新しい測定方法の開発が必要である。B、P、As 注入を制御するための新計測技術が必要である。そして、B、P、As の蛍光 X 線法に基づいてドーズ量測定用に最適化されたインライン型の電子マイクロプローブシステム (In-line Electron Microprobe System) が最近導入されている。オフラインであるが、SIMS (Secondary Ion Mass Spectroscopy) を用いれば、極浅接合などで現在必要とされる測定精度を達成できる。キャリアイルミネーション法 (光学技術) などの新しい非破壊測定法について、どの程度の可能性と能力を有するものであるかが、現在評価されている所である。2次元、可能ならば3次元のドーパントプロファイルを観測することが、次世代技術の開発には不可欠である。新しいドーピング技術を開発するためには、活性ドーパントのプロファイルとその TCAD (technology computer-aided design) モデルの作成と欠陥の分布を知ることが必要となる。

(訳注: キャリアイルミネーション (Carrier Illumination) 法とは、光照射によってキャリアを発生させ、より長波長のプローブ光で接合位置などを検出する方法。)



- [A] インライン: 4 探針プローブ、TMOR、電子ビーム+XRF、キャリアイルミネーション法
 オフライン: SIMS (Secondary Ion Mass Spectroscopy)、新規計測技術
 [B] キャリアイルミネーション法、オフライン SIMS、新規計測技術

図83 Front End Processes Metrology Potential Solution

配線における計測

半導体業界は今や Cu/low-k ダマシン配線での量産経験を保有するに至った。量産中ではなく研究開発段階で用いられた主な計測項目により得た指針と同様に、量産経験により管理すべきプロセスパラメータが何であるかといった重要なガイダンスを手に入れた。今日では Cu を用いた金属配線の信頼性はエレクトロマイグレーションとストレスマイグレーションの影響により低下することが分かっている。180nm から 130nm への技術変遷初期の経験から、金属ピアと Cu 配線の信頼性問題はプロセス条件を調整し膜応力や他のパラメータを変える事により解決できることが分かっている。メタル配線と Via 中のポイドは Cu メッキ後、CMP 後、アニール後のどの段階でも存在し得るし、エレクトロマイグレーションやストレスマイグレーションによりマイクロポイドが凝集することによってもポイドが生成され得る。エレクトロマイグレーションとストレスマイグレーションに関する最近の研究努力により、メタル構造の形状と low-k 膜ストレスの効果に目が向けられるようになった。

計測技術の進歩により CMP のその場制御が可能となり、埋め込みバリア膜膜厚 (水平面内) の値付けが可能になった。また、多孔質 low-k 材の空孔 (ポア) サイズ分布は小角 X 線散乱やエリプソメトリック・ポロシメトリ (Ellipsometric Porosimetry) により計測できるようになった。Cu 配線領域でのポイドは検出できるようにはなったものの、大半の手法は Cu 配線の体積変化を捉えているに過ぎない。従って、CMP により引き起こされるウェーハ面内不均一性などのプロセス変動がポイドの存在を隠してしまう場合がある。メッキ液組成のインライン制御を目的とした計測が実施されつつある。

いくつかの計測項目についてはまだ良い方法が見つかっていない。例えば、サイドウォール上のバリア膜、Cu シード膜の膜厚は未だに計測することが出来ない。最近、サイドウォールの組織構造を結晶学的に計測する方法についての報告が出されている。接着強度については、未だに破壊検査により計測されている。多孔質 low-k 膜用の新しいエッチングストップ材に対応したエッチング終点検出技術が開発されなければならない。キラーとなるポア、ポイドの検出はまだ出来るようになっていない。

パターンサイズ縮小が加速されるのに伴い、オンチップ配線の開発と量産において高アスペクト比構造の計測技術開発がより重要な技術課題となってきた。配線プロセス開発においても CD 計測技術が重要な鍵となっている。多孔質誘電体で出来た非常に高いアスペクト比構造にも適用出来る CD 計測技術が必要であり、トレンチやピア/コンタクトの側壁に関する 3次元情報が CD 計測に必要となっている。これらの計測は、下層の多層膜の影響によりさらに複雑となっている。

配線用の装置、プロセス開発及びパイロットライン生産のどの段階に於いても、パターン付き膜、パターン無し膜の両方の詳細な評価が求められている。現在、配線構造に係わるインライン計測の多くは、簡略化された構造を計測するか、もしくはモニタウェーハを計測するものであり、その多くは破壊検査である。超薄バリア層を含む構造の微細化により、現在の技術は進展を続けるであろう。電気的性能、歩留まりや信頼性と相関が取れるような CD 寸法や物理測定データを提供することが求められ、そのためには、計測技術の継続な開発が必要である。製造段階でより効率的かつ経済的な計測を行うためには、パターン付きウェーハを計測できるようにしなければならない。配線における計測の目標到達レベルを表 120 に、解決策の候補技術を図 84 に示す。Cu 配線中のポイド計測と Low-k 膜中のキラーポア計測に関する新しい要求は実現困難もしくは不可能であるように見える。要求されているのは、素早く、インラインで非常に少ない数のポイドと比較的大きいサイズのポアを観察できる技術である。主たる技術課題は表 120 で示したような割合のポイド、ポアについて統計的に意味のある情報をもつ計測方法を得ることである。

表 120a Interconnect Metrology Technology Requirements—Near Term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Metrology for maintaining planarity requirements: lithography field (mm × mm) for minimum interconnect CD (nm) [A]	500	500	500	500	500	500	500
Measurement of deposited barrier layer at thickness (nm) / Process range ($\pm 3\sigma$)	12 10%	10 10%	9 10%	8 10%	7 10%	6 10%	6 10%
Precision 1s (nm) for P/T=0.1 [B]	0.12	0.1	0.09	0.08	0.07	0.06	0.06
Metrology capability to measure Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	27	23	20	18	18	15	10
Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1% or more of total metal level conductor volume of copper lines and vias.	10.7	9	8	7	6.5	5.7	5
Detection of killer pore in ILD at (nm) size	10.7	9	8	7	6.5	5.7	5
Measure interlevel metal insulator bulk/effective dielectric constant (κ) and anisotropy on patterned structures [C]	<2.7 3.0–3.6	<2.7 3.0–3.6	<2.7 3.0–3.6	<2.7 3.0–3.6	<2.4 2.6–3.1	<2.4 2.6–3.1	<2.4 2.6–3.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

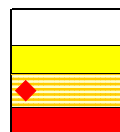


表 120a, 120b の注:

[A] 平坦性制御は主にトランジスタコンタクトを持つ第一配線間絶縁層に必要。CMP による平坦性はその後の工程での平坦性を決めてしまう。エッチストップ膜として絶縁層の最上層にハードマスクを設けることにより、Cu 配線 CMP 後の平坦性を得る方法が広く用いられている。

[B] ロードマップでは、堆積法によるバリア膜が 65nm ノード以降も使われるとしている。計測については黄色 (Manufacturable Solutions are Known) として示されている。これは、水平部の膜厚ではなく、本来はコンタクト/ビアの側壁や底部の膜厚を計測すべきであるからである。計測の精密さについては、水平部であれば 45nm ノードのバリア膜の計測要求を満たしている。

[C] 実効誘電率の最小値を記している。DRAM とロジックで要求が異なるため、ここに記されている最小値はロジックの要求に基づくものである。Low-k 材の誘電率と非対称性は 40GHz までの計測技術が開発されている。

表 120b Interconnect Metrology Technology Requirements—Long-term

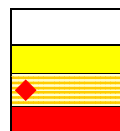
Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	
MPU/ASIC Un-contacted Poly ½ Pitch (nm)	45	35	32	25	22	18	
MPU Printed Gate Length (nm)	25	20	18	14	13	10	
MPU Physical Gate Length (nm)	18	14	13	10	9	7	
Metrology for maintaining planarity requirements: lithography field (mm × mm) for minimum interconnect CD (nm) [A]	500	500	500	500	500	500	MPU
Measurement of deposited barrier layer at thickness (nm)/Process range ($\pm 3\sigma$) Precision 1σ (nm) for P/T=0.1 [B]	5 10% 0.5	4 10% 0.4	3.5 10% 0.35	3 10% 0.3	2.5 10% 0.25	2 10% 0.2	MPU
Metrology capability to measure Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	10	8	7	6	5	4	MPU
Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1% or more of total metal level conductor volume of copper line and 5% of vias.	4.5	3.5	3.2	2.5	2.2	1.8	MPU
Detection of killer pore in ILD at (nm) size	2	1.6	1.4	1.1	1	0.8	MPU
Measure interlevel metal insulator bulk / effective dielectric constant (κ) and anisotropy on patterned structures at 5× to 10× clock frequency (GHz) [C]	<1.9 2.1	<2.1 2.3	<1.7 1.9	<1.7 1.9	<1.6 1.8	<1.5 1.7	MPU

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



低誘電率 (Low-k) 膜における計測要求

非多孔質 Low-k 材を使ったプロセスでは、膜厚と CMP 後の平坦度が計測される。また、CMP の制御に in-situ センサが広く用いられている。多孔質 low-k 材の研究開発においては、計測はクリティカルな部分であり続ける。研究開発段階で使われた計測項目の中からいくつかのものを量産段階へ移行する必要があるが、どのようなものを移行するかは議論を要する。例えば、ポアサイズ分布の計測がこの中に含まれる。ポアサイズ分布はこれまで低角中性子散乱法や陽電子消滅法、エリプソメトリとガス吸着法を組み合わせた方法 (エリプソメトリック・ポロシメトリ)、そして X 線低角散乱法 (SAXS) によりオフラインで評価されてきた。SAXS とエリプソメトリック・ポロシメトリについては、量産でもライン内で使われ得るものである。これらの計測技術を量産ラインにも展開するという要求に対しては、現在可能性を評価中である。配線ロードマップにおいて、パターン加工後の low-k 膜中の大きなキラーポアを検出することが、量産段階での計測で欠かすことの出来ない項目として強調されている。

Low-k 材料とテスト構造の高周波計測については、40GHz までの計測技術が開発されている。広範囲にわたる評価の結果、配線技術関係者の間では高周波計測はもはや危うい計測技術ではなくなった。Low-k 材料は、関心の対象となる周波数範囲 (1 GHz から 10 GHz) では一定の誘電率を持っているようである。

化学的機械研磨 (CMP) 時の多孔質 low-k 膜薄膜化を制御することが必要であり、パターン加工された多孔質 low-k ウェーハの平坦度を測定する技術が必要である。触針式プロファイラと走査型プローブ (原子間力) 顕微鏡を用いることにより、局所的な平坦度とグローバルな平坦度を計測することが出来るが、スループットが

低く改善を要する。リソグラフィプロセスの統計的プロセス制御に必要な情報を得るため、平坦度試験方法が標準機関により開発されている (開発継続中)。

エッチングプロセス制御のため配線特有の CD 計測手順をさらに開発する必要がある。トレンチとコンタクト / ピア構造のサイドウォール角度やボトム寸法を知るため、高速な三次元形状観察技術が必要とされている。これは現状のインライン CD-SEM の能力を超えるものである。レジストパターンの CD 計測精度が十分でないため、エッチバイアス量の決定は困難なものとなっている。一つの解決策として、スカタロメトリがある。この方法では M1 (第一メタル配線) 層などのレベルでは配線 CD 寸法平均値を高い精度で計測できる。しかし、上層のメタル配線層では精度が低下する可能性がある。加えて、スカタロメトリではコンタクトやピアへも適用範囲を拡大できる技術が必要となっている。電気的テスト構造については、パターン加工された low-k 膜の R-C 特性を評価する重要な手段であることに変わりはない。

配線膜 (特に Cu) における計測

Cu メッキシステムでは、メッキされた Cu 膜の特性を狙いどおりに維持するため、メッキ槽中の添加剤、副生成物及び無機成分の定量的測定が必要である。また、プロセスモニタリングのため、メッキ液の劣化から来る添加剤や副生成物、無機成分の変化をその場計測することが求められている。メッキ液のリアルタイムサンプリングによる質量分析により、計測の新たな解決策がもたらされた。サイクリック・ボルタメトリック・ストリッピング (CVS) 法は、メッキ膜の品質に影響する添加剤と副生成物とを合わせた形で測定し、広く用いられている。また、液体クロマトグラフィは、電気化学的に不活性な個々の元素や化合物の定量計測に用いることが出来、無機物のモニタリングには滴定による定量法を用いることが出来る。

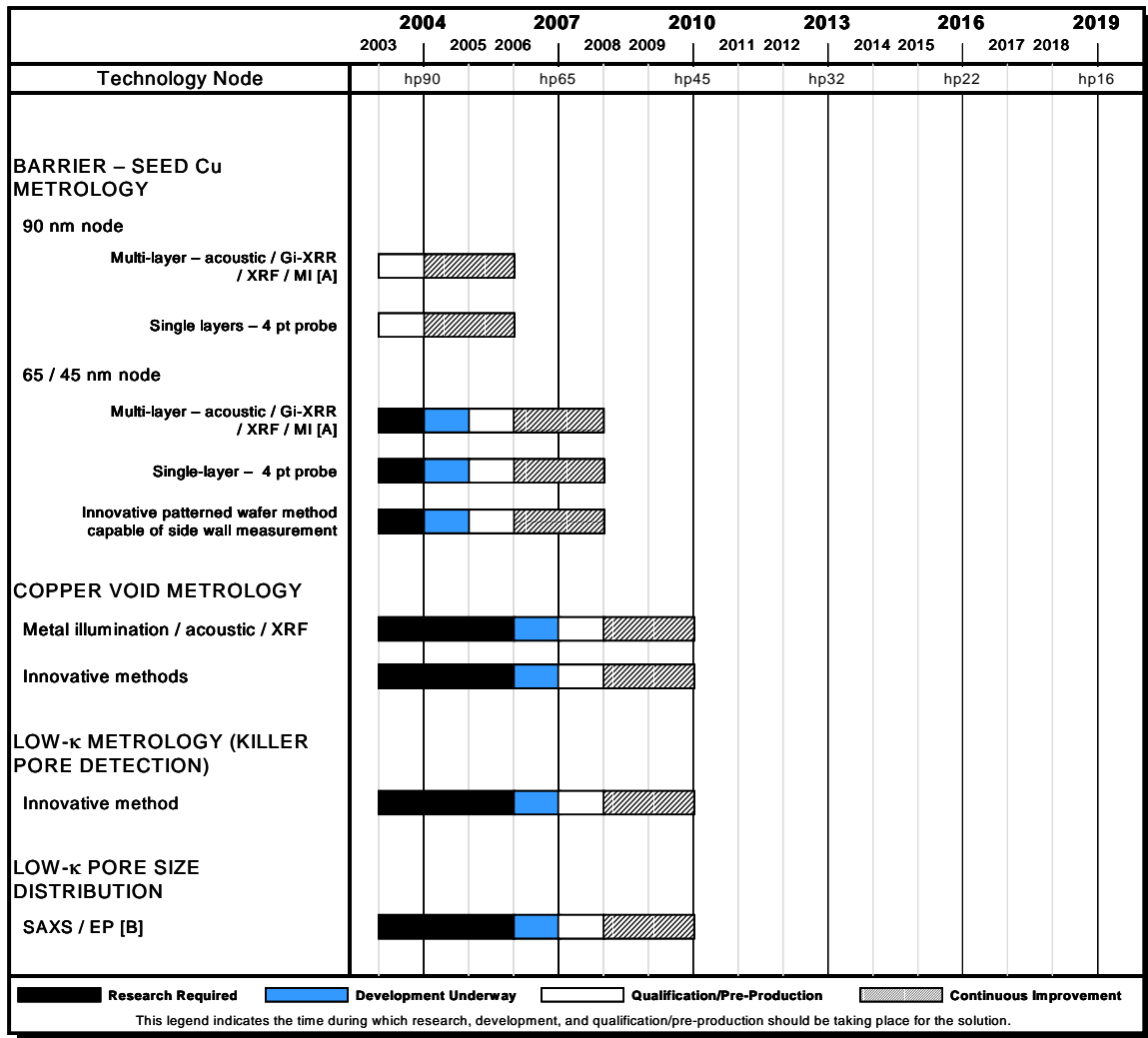
極薄バリア膜の統計的プロセス制御に関するアプリケーションについては、いくつかの懸念がある。配線に関する技術要求から、将来バリア膜の厚さが 5nm を下回ることが予想されている。2001 版 ITRS では膜厚変動のプロセスウィンドウとして総膜厚の 20% 以下とすることが求められている。例えば、6nm 厚さの膜の計測は 0.12nm 以下の計測精度 (6 σ) が要求されている。古典的な SPC 手法を使わずとも現有の計測技術を使ってこれらの非常に薄い膜があるのか無いのかの判定は可能であるかもしれない。現在のところ、水平面の膜厚であれば Cu シード層下のバリア膜の膜厚がいくつかの方法により計測可能である。これらの計測方法の中には、音響、X 線反射、そして蛍光 X 線を使った方法が含まれる。これらの計測方法のいくつかはパターン付きウェーハ上でも可能である。結晶層学的組織 (結晶方位) をライン内で決定する方法として、微小角入射 X 線回折法が紹介されている。Cu 配線中のポイド検出は CMP 後とアニール後での適用が最も有効と考えられている。配線ロードマップで Cu ポイドに関する指標が示されており、Cu ポイドの計測は多くの開発要素持つ課題とされている。しかしながら、これらの努力はポイドを検出することだけに向けられており、プロセス制御のために必要な統計的サンプリングには向けられていない。計測手法の多くは Cu 配線の総体積の変化を信号として捉えるものである。チップを横切る方向に特徴的な Cu 配線の膜厚ばらつきは、これらの手法により観測されるポイドからの成分を隠してしまう。配線構造は様々な厚さや材料の多くの層から構成されており、短時間かつ (製品ウェーハに対して) 必要な空間分解能で多層膜の膜厚測定を行うという最も厳しい技術課題が突きつけられている。

Cu / バリア膜の結晶学的相と結晶学的組織 (結晶方位) のインライン計測は、今では X 線回折を使った手法により可能となっている。この技術はプロセスモニタリングへの適用を評価している段階にあり、電気的特性

やプロセス歩留まりとの関係が調べられているところである。

配線構造の CMP 後工程については、Cu 配線のディッシングとエロージョンの計測が必要とされている。光学音響法が詳細に調べられてきたが、量産環境下でディッシングとエロージョンを正確に検出するためには統計的なサンプリング技術を確立することが必要である。

計測に関する他の関心領域は新しい材料や構造設計に関するもので、この中には膜中の水分含有量、膜の化学量論的組成比(ストイキオメトリ)、機械的強度 / 硬度、局所応力(ウェーハ応力に対して)、そして配線抵抗(母材抵抗に対して)が含まれている。



MI—metal illumination(メタルイルミネーション法), GI-XRR—grazing incidence X-ray reflectivity(微小角入射 X 線反射率測定法), XRF— X-ray fluorescence(蛍光 X 線法),SAXS—small angle X-ray scattering(X 線小角散乱法), EP— ellipsometric porosimetry(エリプソメトリック・ポロシメトリ)

図 84 Interconnect Metrology Potential Solutions

材料と汚染の評価・解析

急速な新材料の導入、微細化、新デバイス構造や低温プロセスの導入などにより、材料解析や汚染の評価・解析が引続き挑戦課題である。適切なオフラインの評価・解析手法とインラインでの物理計測・電気計測手法との相互的関係を、もっと拡充すべきである。評価・解析手法は、薄膜の厚さや元素濃度などの正確な情報を得るために、今後も使われ続ける。評価・解析手法の開発方向は、ウェーハ全面にわたって計測でき、クリーンルーム内で使用できるようにして行くことである。

オフラインの評価・解析によって、しばしば、インライン計測では取れない情報が得られる。たとえば、透過電子顕微鏡 (TEM) や走査型透過電子顕微鏡 (STEM)、特に環状の暗視野検出器を用いて像形成する TEM や STEM (ADF-STEM; Annular Dark Field STEM) を用いることにより、極薄膜や界面層の断面を超高分解能で観察・分析することができる。ADF-STEM に X 線分析やエネルギー損失電子の検出機能を備えれば、界面の化学結合状態を知ることができる。高性能の二次イオン質量分析 (SIMS) やその派生の飛行時間 (TOF; Time Of Flight) SIMS を用いて、表面汚染や積層薄膜の分析ができる。微小角入射 X 線反射率測定法を用いて、薄膜の厚さや密度を測定することができるし、微小角入射 X 線回折法を用いると、薄膜の結晶構造に関する情報を得ることができる。RRR (X-Ray Reflectivity) の測定において拡散散乱や特異散乱を利用することが界面モデルを組み立てる上で他の方法 (TEM / STEM、SIMS やイオン後方散乱法) と比較することも含め非常に重要であると考えられる。電界放射型電子銃を備えたオージェ電子分光 (FE-AES; Field Emission Auger Electron Spectroscopy) によって 20nm 以下の大きさの粒子の元素分析が可能となっている。また、新しい材料を評価するためには、多孔質の low-k 絶縁体のポイド含有量、ポア (孔) サイズ、膜の接着性、機械的性質などの物理特性をオフラインで評価・解析できることが必要である。現在では 300mm ウェーハの全面までを解析できるこれらのオフライン装置が入手可能となっている。

TEM と STEM については画像取得法のさらなる改善・開発が望まれる。画像に関していくつかの技術が high-k や low-k 材料とそのプロセスの開発で利用されつつある。界面の画像は STEM の ADF 検出器によって大きく改善された。STEM モードの鍵は物質の評価・解析が最小の電子ビーム径の範囲で可能となることである。電子エネルギー損失分析 (ELS; Energy Loss Spectroscopy) は直径 0.2nm の範囲で測定可能である。この改良された空間分解能により、ELS を high-k とシリコン基板との界面領域等の評価・解析に使うことができる。ADF と ELS を装備した STEM は現在半導体デバイス量産の評価装置として使われ始めている所である。画像の再構成ソフトウェアの発達により画像分解能が向上し、界面の画像の分解能も高くなった。TEM / STEM の改良に関しては、現在市販化され入手可能となった。それらの技術の中にはレンズの収差改善や電子ビームの単色化が含まれている。

高エネルギー分解能の X 線検出器など、有望な新技術が早急に市販化されることが望まれる。マイクロカロリメータ型 (EDS; energy-dispersive spectroscopy) と超電導トンネル接合型のエネルギー分散型 X 線分光器を試作した結果では、非常に高いエネルギー分解能が得られ、従来の EDS では不可能であったオーバーラップピークの分離や化学結合の情報が得られている。これらの技術は従来形 EDS や在りきりの波長分散型分光器に勝っており、クリーンルームに設置した SEM に装着して使用すれば、より微小な粒子や欠陥の分析が可能になる。現在ベータサイトシステムがテスト中である。

汚染制御の新しいアプローチとしてインラインの計測が開発されつつある。液体の薬品バスから実時間で試料採取しながら質量分析をベースとしたシステムでバス中溶液の微量汚染の分析が行われている。他の解析機器も含めこれらのオフライン装置を利用することによって、ロードマップを進める上で重要な情報を得ることができ、また挑戦課題は多く残っている。たとえば今後採用されると考えられる high-k のゲートスタックの解析は、層間の化学的な相互混合や構造、界面の粗さ、また分析に使用する方法(プローブ)によってはマトリクス効果を誘発するなどの影響によって非常に困難となっている。さらにデバイスの微細化が今後進行し続けると、平面構造デバイスを想定した解析方法はもはや疑わしくなってくる。スケーリングの進行により高アスペクト比となる構造の中に潜り込んだ汚染の分析などはもっともっと難しいものとなる。

新材料の導入は汚染分析にも新しい技術課題をもたらす。たとえば、Cu メタライゼーションで可能性高く起こると考えられる相互汚染の分析には、この金属の拡散係数が大きいため、 10^{10} 個/cm³ の Cu のバルク汚染の検出感度が必要となる。さらに表面汚染についても、ウェーハのエッジ除外部分やベベルといった領域まで分析する必要がでてくる。微細化の進行はまた、プロセスの熱的許容度を低下させる傾向にある。そうすると、金属汚染の挙動やその悪影響を低減するための方策を得るために汚染の評価・解析技術への要求も変化してくる。たとえば低温プロセスにおいては、どの汚染元素に注目しどの程度に制御や分析をしなければいけないのかということが現状とは違ったものとなる。重要な具体例としてカルシウムが非常に薄いゲート酸化膜の完全性に対して与える影響が上げられる。そしてこの元素を 10^8 個/cm³ レベルで分析することは困難な技術課題となる。気相分解 ICP-MS 法などの従来技術ではこのレベル分析を行うにはブランク試料の日間変動による限界がある。さらに付け加えれば、低温プロセスは金属汚染のゲッターリングについても変化をもたらす。この変化によって、適切なゲッターリングを得るためには、金属汚染の評価・解析技術の確立が必要になる。

SOI (Silicon On Insulator) なしの歪みシリコンの使用が予想以上に加速したことは、新しい計測技術と分析方法への要求を、2001 年のロードマップでの予想よりも早める結果となった。これらの技術は、現在評価中であったり、開発中であったりしている。もし、歪み Si をチャンネル構造に持つ基板がバルク Si や SOI ウェーハの代わりに使われるようになったら、ゲート酸化膜の計測は一段と複雑になるであろう。歪み Si は、バルク Si 上の厚く緩和された SiGe パッファ層の上でも、または SOI 上の多層の薄い SiGe 層からなる非緩和基板の上でも成長させられる。いずれにしても、これらの膜を含んだ基板の計測技術は以下のような多くの管理パラメータを求めるとして不可欠である。1) SiGe パッファの厚さと Ge の濃度プロファイル。2) 歪み Si チャンネルの厚さ。3) Si/SiGe の界面と Si の表面の粗さ。4) Si チャンネル内のストレスの大きさや局所的なばらつき。5) Si 内の貫通転位の密度。(望ましい転位密度は、 10^3 から 10^4 cm⁻² 以下と極めて低いため、高感度な測定が必要とされる。) 6) 双晶や、転位のピルアップ、または特に SiGe/Si チャンネル界面におけるミスフィット転位等その他の欠陥密度。7) チャンネルやパッファ内でのドーパントの分布(特に熱処理後)。

TEM は、マイクロスケールでの歪みシリコンの厚さや界面と表面の粗さを決定するのに、まもなく使用されるようになるであろう。貫通転位とミスフィット転位の両方が TEM 像として観測することができる。しかし、視野が限られているため転位に対する TEM の感度は良くない。原子間力顕微鏡 (AFM) を用いれば、Si チャンネルの表面の粗さを決定出来る。エッチピット密度 (EPD) 測定は、表面付近にある貫通転位の密度を決定するのに用いられる。エッチの深さを選択するためには、EPD 画像の明確な解釈が必要である。EPD の光学画像における線や点の意味が説明される必要がある。EPD 画像のコンピューター制御されたデータ解析が望ましいが、現在のところ実現可能ではない。X 線トポグラフィーは、欠陥検出を行える、将来性のある新手の技術である。

Ge やドーパント濃度のプロファイルは SIMS によって簡単に測定することができる。厚い SiGe バッファには高いスパッタレートが必要である一方、高い深さ方向分解能(できる限り低エネルギーのフローティングイオン銃を使って)は薄い Si チャンネルや、チャンネル/バッファ界面の分析を可能にする。スパッタリングで出来たクレータに照射する赤色ホトダイオードを使用した光学的キャリア励起法は SIMS でのチャージアップの問題を回避出来る。これは、SOI 上の歪み Si やドーパされてない層の分析にとって特に重要である。

Si チャンネルのストレスは、電子や正孔の移動度の高速化を決める重要なパラメータである。この 2 軸方向のストレス量はラマン分光分析によって測定することができる。それは、Si チャンネル内での Si-Si 結合の振動エネルギーがストレスによるものだからである。しかしながら、フォノンの歪み電位法(Si-Si 結合のフォノンエネルギーの変動がストレスによるものであるとする)は薄い Si チャンネルには適用出来ない。薄い Si チャンネルに適用する場合、ラマン分光では、Si 基板へのレーザーの貫通を防ぐため、紫外レーザーを使った測定を行わなければならない。325nm の波長では、全てのラマン信号は薄い Si チャンネルから発生し、データ解析が行いやすくなる。波長が長いと、SiGe バッファ内の Si-Si 結合の振動まで現れてしまう。この振動のエネルギーは SiGe の組成比とストレスによるものであり、それは Si チャンネルとは別の情報を与える。ラマン分光でのマッピングは、約 0.5 μm の最高分解能でウェハ全域のストレス分布を与える。このようにして、移動度の高速化についてトランジスタ間でのばらつきを予測することができる。この分解能は、固体または液体浸漬技術を用いて更に改善されることが望ましい。

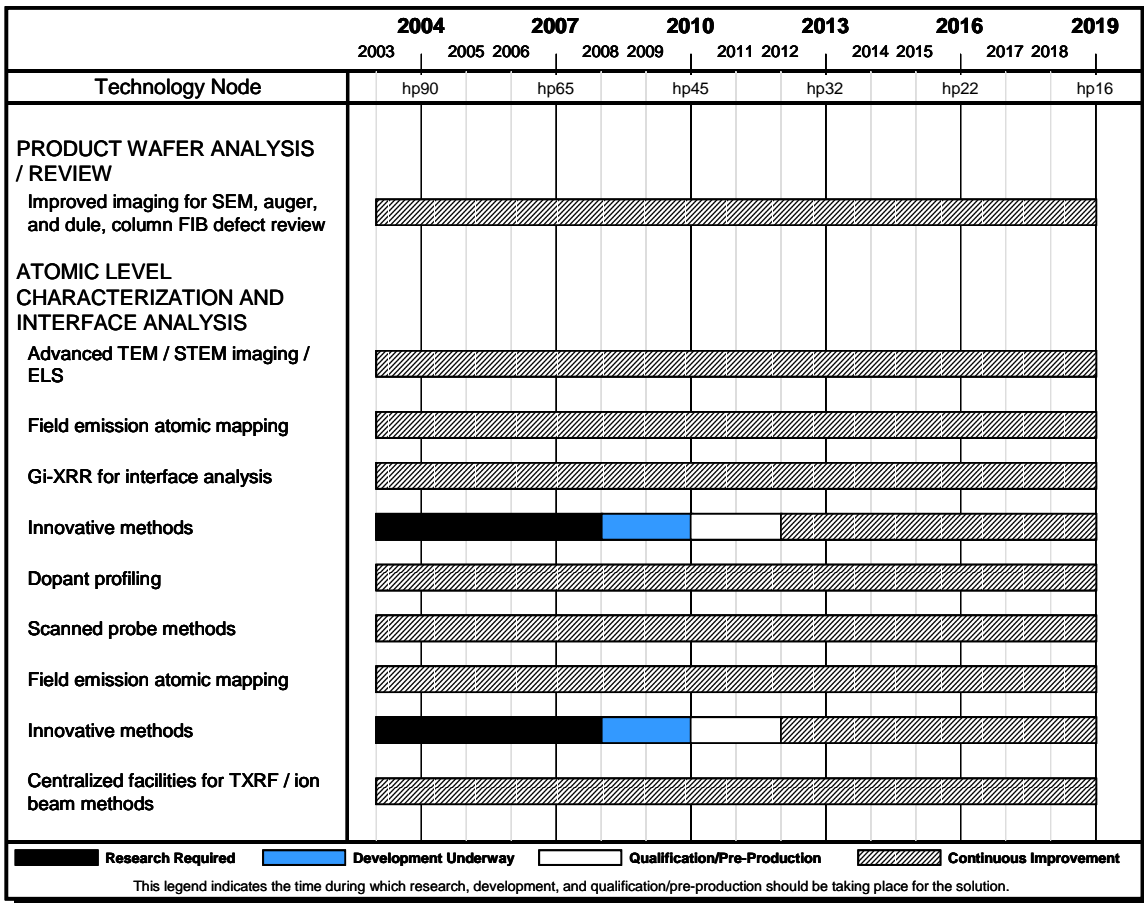
Si の誘電率はストレスの関数となっているため、歪み Si のエリプソメトリデータの解析は複雑である。この関係(圧光学または弾性光学テンソルを使って記述される)は、定性的には理解されているが、Si チャンネルの厚さを算出するための、歪み Si のエリプソデータにフィッティングを施すのに必要な、充分正確な定量データが欠けている。エリプソスペクトルの紫外部分だけを考慮に入れると、少なくとも十分に滑らかな表面なら、ゲート酸化膜の厚さを決定できる可能性が多少ある。粗い表面だと、表面の粗さのファクタが通常自然酸化膜や、ゲート酸化膜解析時と同様の形で導入されてしまうので、新たな誤差要因となってしまふ。正確なゲート酸化膜計測のためには、Si 表面の粗さはゲート酸化膜の厚さより 1 桁程度小さい値が必要である。これが通常のバルクシリコンウェハの場合だと条件を満たすが、歪み Si の場合、この条件を満たしていないので測定自身に問題がある。薄い Si チャンネルのみを計測するという課題は、エリプソスペクトル中の可視部や紫外部を使うという条件の中からは未だ解決策がない。原則として、エリプソメータは、Si チャンネルの厚さだけでなく、その下にある SiGe バッファ層の Ge 含有量も決定できるべきである。しかしながら実際には、データから決定された Ge 含有量は少なすぎるが、それはおそらく Si 誘電率計算に歪みの影響を無視していることが原因であろう。(擬似多層の Si/SiGe のヘテロ構造の解析の方がエリプソメータは遥かにうまくいく。)

X 線反射率法は、歪み Si の厚さを決定できる、分光エリプソメトリとは代替可能な魅力的な方法である。それというのも、X 線の屈折率は殆んど 1 で、ストレスの影響を受けないからである。実際、10-20nm 程度の厚さの Si チャンネルだと、明確な干渉縞(時として、高角度側に、原因不明のピークが現れることがある)を得ることができる。しかしながら、市販のフィッティングルーチンを有したソフトウェアパッケージを使った Si チャンネルの厚さの解析では、常に正しい値が得られるわけではない(TEM との比較において)。おそらく、これは表面の粗さが関係しており、表面の粗さは、分光エリプソメトリよりも、より波長の短い光(X 線)を扱う X 線反射装置の方が影響を受けやすい。X 線装置におけるデータの信頼性や調整法など実験に関することは、既に述べた High k ゲート絶縁膜での測定時の注意と同様である。Si チャンネル中の縦方向(成長方向)の Si の格子定数を決

定すること及び Si チャンネルや SiGe 中のストレス測定にラボや SR の X 線源を使い、うまく行われている。

数々の顕微鏡観察方法が研究、そして開発されている段階にある。これらには、ポイント投影顕微鏡(電子線ホログラフィー)や低エネルギー電子顕微鏡があげられる。低エネルギー電子顕微鏡は表面科学の研究に数年間使われてきた。この方法での材料分析や、また可能であればインライン計測の必要性について研究する必要がある。これらの方法の議論は、本章の「顕微鏡観察 (Microscopy)」の節で取り上げている。

計測において長期課題とされている 5 つの項目のうちの 1 つは、デバイススケールでの構造や組成の解析である。このニーズを満たすには、原子レベルでのマップを提供する材料分析法を発展させる必要がある。局所電極原子プローブやそれに類似した方法は、伝導性サンプルの原子間マップを提供できる可能性がある。この技術には、方法とそのアプリケーションについてさらなる開発が必要である。1 つの課題は、データ取得の際にそれぞれの元素について 100%に近い検出を得なければならないということであろう。



85 Materials and Contamination Potential Solutions

統合計測とアドバンスド・プロセス・コントロール(APC)

アドバンスド・プロセス・コントロール(APC: advanced process control)を通じた生産性向上において、計測は重要な役割を担っている。とりわけ、オフラインからインラインへ、さらに in-situ (その場) 技術に統合計測が向かうにつれ、より豊かで力強いプロセス制御の仕組みが実現可能となる。この点において、APC の進歩は主に R2R(run-to-run) 制御と FDC (fault detection and classification) 技術の成功により進んできたと言える。統合計測と APC におけるこれらの進歩はいくつかの点で偶然ではあるものの、本質的な進歩である。この点に関し、以下のことが明らかである。1) APC によりもたらす主な価値は半導体産業界で証明されており、1994 年ロードマップでの記載以来、たいいていの半導体製造メーカーである程度適用されている。2) APC の持つ能力、関連するセンサ、APC をサポートする計測技術が今日では CMP やリソなどのキープロセスで利用可能となっている。3) しかし、真に内容の充実した APC 生産戦略はまだ実現しておらず、工場規模での完全な展開を進める上でのセンサと計測装置の組み合わせ方法も出来上がっていない。とりわけ将来の技術ノードで予測される材料、プロセス、デバイス構造の変化に対して、既に APC によりもたらされた利益によって、新しいセンサと関連ソフトウェアの開発が進んでいる。これらにより近い将来、内容豊かな工場規模の解決策が出来上がるであろう。

APC は以下の 2 つの異なる推進力からなる。1) *プロセス推移の補正* これは装置とプロセス挙動の規則的なドリフトを補正するためにプロセスパラメータを調整することを狙いとしている。ここでは R2R 制御が支配的なドライバであり、プロセスばらつきに対し製品品質を維持する目的で、またノンプロダクトウェーハを減らす目的でインライン計測がフィードバック制御やフィードフォワード制御に使われる。これらは wafer-to-wafer や batch-to-batch での制御もまた基本としている。プロセス中の推移補正用の in-situ センサとリアルタイムセンサを出発点としたリアルタイム制御は、十分な計測精度を持ち、よりプロセスに特化したセンサの更なる開発を一般的には必要としている。2) *故障管理* これは装置問題の素早い見極めとその対応に目を向けたものである。主たるドライバは FDC であり、FDC では一般的な装置故障の検出、補修の指示、製品不良の低減のため in-situ センサやリアルタイムセンサが使われる。加えて、次のような恩恵がある。センサと計測データが情報処理技術と組み合わせられることにより、より微妙な故障原因に対しても高度に洗練された故障分類が行えるようになり、装置の故障予測と保守スケジュールの見直しが可能になる。これにより装置効率、工場効率も向上する。R2R と FDC の成功による自信の高まりを頼りにして、これら 2 つの APC 要素の技術課題として、推移補正のための R2R 制御へのリアルタイム制御、並びにより幅広い故障管理への FDC 技術の拡張、が加わった。

フィードバック制御と多段階フィードフォワード単変数制御 / 多変数制御機能を含む R2R 制御を広く実施する上で、今やインライン計測装置が支えとなっている。In-situ リアルタイムセンサは原理的には R2R 制御を押し進めることが出来るが、リアルタイムでの故障検出に主に利用されており、リアルタイムでの推移補正への適用例は数少ない(例: 干渉法によるエッチングエンドポイント制御)。R2R 推移補正とリアルタイム FDC の両方ももたらす経済的価値は、EEC (Equipment Engineering Capability) の進歩に通じている。すなわち、工場規模での情報共有、スケジューリングと運営を伴う APC ハードウェア、モデル、そしてアルゴリズムの幅広い統合をもたらす。これらの進歩はあるが、内容の充実した APC システムを利用可能にしていくには、APC に対する理解と受け入れ障壁を下げるためのセンサ、制御方式、新アプリケーション、ユーザーインターフェース改善に向けたさらなる研究開発が必要である。

R2R がインライン計測に主に基礎を置いていることから、長期間のプロセスや装置のドリフト補正を行うことに有用性がある。その際、フィードバック情報を次ウエーハのプロセス設定条件の調整に使い、次工程の調整に同じウエーハのフィードフォワード情報を使うことにより製品の変動(ウエーハ間、ロット間など)を補正する。FDC の有用性は、in-situ 情報(プロセス、装置、及びウエーハ)の評価を通して装置やプロセスの健全性を診断することによるものである。この評価はリアルタイムで起こるかもしれない。すなわち、プロセス中もしくはプロセス後にまとめとしての評価が完了する。後者の場合、インラインでのウエーハ計測は R2R 制御と同様に FDC を推進するものとなる。R2R 制御と FDC の活用と標準化、そして関連するインターフェース技術が増えることは、両技術の能力を相補的手法で合体した制御方式と、その解決策にも繋がるであろう。R2R 制御と FDC は次のように統合されるであろう。1) データ保管のレベル: アプリケーション間でのデータ共有とデータマイニングの支援、2) ユーザーインターフェースのレベル: APC 習熟期間の短縮と APC による工場の状態表示、3) 論理相互作用のレベル: R2R 制御と FDC の持つ能力の相補的活用のための制御ルール(FDC 結果による R2R 制御、並びにその逆)、4) 最後にアルゴリズムのレベルでは、FDC と R2R のモデル、そしてモデリング手法の統合。上記項目の1)から3)は、工場規模の充実した生産戦略を実現する上で重要なものである。これら全ての項目をサポートする技術は未だ完成していない。工場規模の戦略を導く他の要素には次のもの、1) 階層的制御の解決策、2) プロセス間の段階的(カスケード)制御、3) 歩留まり管理アプリケーションとの連携、が含まれる。APC 実現での別の鍵は、APC アプリケーション間、そして外部との間での相互作用を決める標準を上げることである。これらのアプリケーション支援に必要なウエーハ、プロセス、装置に関するデータへのアクセスに関する標準作りも鍵となる。

APC による恩恵は統合計測への動きからもたらされる。R2R 制御では、オフライン計測、例えばリソグラフィでの重ね合わせと CD 寸法制御によってもかなり多くの恩恵がもたらされるが、統合計測は次のような恩恵をもたらす。1) 制御ループ時間の短縮とそれによる制御精度の向上、2) 非統合計測の場合での人的要素、ウエーハ搬送にかかわる要素の排除、3) プロセスに対する計測の良い状態への調整、最適化、4) プロセス装置と計測装置へのレスピダウンドロートを通したマッチング過程の自動化。これらの項目の全てがスループットと歩留まりの向上へと導いてくれる。今のところ、統合計測は CMP(膜厚)だけで広く使われているが、エッチング(膜厚と CD)並びにリソグラフィ(CD)でも使われ始めている。リソグラフィでの重ね合わせ計測は、スループットを向上させかつ最小のスループット悪化での 100% サンプリングを達成するため、オフライン(スタンドアロン)計測からインライン計測へ進化しなければならない。オフライン計測からの置き換えとしてのインライン計測は、スループットを向上させサイクルタイムを短縮し、サンプリング量の増加(ウエーハ内の計測点数と同様にウエーハ枚数も)を可能とし、そしてフィードフォワード・フィードバック制御での時間遅れを減らすであろう。

大きなスケールでの統合計測が広まる前に困難な技術課題は解決されていなければならない。技術課題は以下の領域のものである。1) 統合計測の性能とコストを表す指標作り(これによりスタンドアロン計測との比較がなされるべき)、2) 装置スループットへの影響(0を目指す)、3) 統合、4) データマネージメント、5) セットアップ(キャリブレーションとトレーニングを含む)と校正に要する時間と管理、6) メンテナンスのコストと難しさ、及び装置稼働時間への影響、7) (スタンドアロン計測と異なり)統合計測の精度レベルが統合度と制御環境の関数であること、統合計測の重要な恩恵を生み出す上でスタンドアロン計測と同等の精度が必要ではないかもしれないことに対する理解。

リアルタイムの in-situ センサがどの程度定量的かつ精度高く出来るかによって、in-situ センサに追加することの出来るリアルタイム推移補正能力、短期間のランダムなプロセス変動を補正する能力が決まる。同様に、このことにより真にリアルタイムでの APC が可能になる。リアルタイムでの応答性を持つ in-situ センサは推移補正と故障検出の両方を押し進めることが出来る。リアルタイム推移補正が使えると新しい APC 階層構造が刺激され、そこでは調整式装置制御が長い間使われてきたようにリアルタイム推移補正と故障検出は装置 (ユニットプロセス) レベルで動作する。インライン計測により見られた様に、リアルタイム推移補正はユニットプロセスの変動項目と結び付けられるが、R2R 制御の恩恵は残るであろう。このシナリオでは、全体の APC 戦略の中でアルゴリズムと責任範囲が最適化され階層構造の中で計測情報が上位へあげられる (例えば、in-situ センサのデータが R2R 制御の能力を高める)、という新しい制御階層が開発されるべきであることを示唆している。

In-situ センサ技術は完全なものからは程遠いままである。プロセスからの光学的、化学的、電気的信号を使った妥当なセンサ群を利用することが可能であるが、推移補正に必要な定量性を十分備えた計測技術を開発し実証することには限りがある。注目したいのは、この点において推移補正が故障検出に比べて量的に高い精度を要求している点である。特に、ウエーハを横切る方向の均一性と縦方向プロファイルを計測する in-situ センサが必要であり、もしこれらが入手可能なら、不均一性を直接補正する制御が行えるように装置設計に組み入れるべきである。

In-situ リアルタイムセンサは装置の重要不良モードの検出と対応に広く利用されているが、より微妙な不良モードの原因特定とメンテナンス / 補修スケジュールの最適化 (すなわち、故障の分類と予測) を行えるようにするためには、いつかは in-situ センサとインライン計測は幅広く調和し統合されなければならない。

In-situ センサは将来の技術ノードで予想されている様々な複合材料、プロセス、そしてデバイス構造に対応するための技術課題増加に直面している。ALD (Atomic Layer Deposition) を適用したとしても超薄ゲート絶縁膜や金属バリア層の成分、厚さ、均一性の計測は大きな技術課題である。ALD の材料と同様にその化学的性質は複雑で、その利点と生産スループットに対する要求との妥協点を見つけなければならない。ナノポーラス low-k 材と特にバリア層を含むその界面は、in-situ センサにとっては同等の技術課題である。そして、製品品質に表面の化学的性質が大きな影響を及ぼすため、in-situ 化学分析がますます重要になってきている (例えば、high-k ゲート絶縁材、メッキ添加剤、CMP、low-k 絶縁材)。

APC と統合計測のすべての形態において性能だけでなく受容性を必要とするキーの要素は、データの品質である。不十分なデータ品質は APC システムによりプロセス性能を改善するどころか低下させてしまいかねない。従って APC の展開に当たっては、装置、計測器、センサから得られるデータ品質が許容レベルにあることがまず必要となる。データ品質の問題には、入手可能性、適時性 (データ取得と引渡し)、精度、分解能、新鮮さ、そしてコンテキストの豊富さ (時刻記録含む)、が含まれている。有効な APC を展開するのに必要な最低限のデータ品質を見極めることは、データ品質の定量化という恩恵を APC システムにもたらすであろう。従って、有効に APC を支援するため、ロードマップはデータ品質に関する最低限の要求事項 (例えば、アプリケーション毎、技術ノード毎に) を確立する必要がある。 [キーとなるセンサ技術の要求項目に関しては、リンクがはられている。](#)

新しいデバイステクノロジーのためのキャラクタリゼーションと計測

電気的特性評価とともに材料評価技術は、新デバイス開発に極めて重要である。本節では、分子エレクトロニクス、ナノワイヤデバイス、スピントロニクス技術を例にして、材料評価技術の現状を述べる⁴。ここで重要なことは、これらの新しい技術を用いて、新規な、あるいは改良された計測手法を評価するためのテスト構造を製作できる場合があることである。ここでは網羅するつもりはなく、むしろ計測分野と新しいデバイス分野の議論の交流を始めることを意図している。

分子エレクトロニクス

分子エレクトロニクスでは、トランジスタかコンデンサの機能のいずれかを分子コンポーネントで置き換える。分子エレクトロニクスの一例として、二次元状に「タイル張り」された交差ワイヤとしての用途がある。分子スイッチは、上下のワイヤを接続し、従って、二端子スイッチを構成する。電気的試験は、分子エレクトロニクスの評価の重要な部分である。二端子スイッチの一つに、カテナンかロタキサンから作られた超分子錯体がある。カテナンやロタキサンは機械的に連結された分子で、それらの酸化状態に基づいて互いに異なるポジションを示す。これらの分子が異なる物理的形態をとると、トンネリング電流が大きく異なる。このような新しい「分子スイッチ」の電気的性質では、従来にない電気的試験法が必要となる。重なり合ったワイヤは SEM を用いると観察できるが、分子構造まではたとえ低解像度といえども観察できない。このように、現在の顕微鏡法では、これらの構造における分子の形態を観察することができない。しかしながら、分子スイッチは、適切な条件下でスイッチングする間に観察され得る。導電性スイッチングの現象は、走査トンネル顕微鏡法を用いて観察された。ここでは、分子は、高さが変わる棒状の構造として現れる。材料評価法は、これ以外にも重要な情報をしばしば提供する。分子超構造を持つ結晶の X 線回折によると、分子超構造の原子構造がわかる。電気的試験や化学分析は、分子の電子的構造による酸化状態や機能を理解するために使われた。紫外 - 可視波長の吸収分光法は、[2]カテナンのコンフォーメーション状態や酸化還元電位を確認するために使われてきた。

ナノワイヤ

ナノワイヤは、多種多様な形と幅を持っている。ナノワイヤの大きさは、しばしば銅配線の先端に見つけられるものより大きいことがある。最も細いナノワイヤは、特徴的な伝導性や磁性的特性を有している。二次元における量子的閉じこめ効果により、最も細いナノワイヤでは新しい特性が生じる。透過電子顕微法は、プローブ顕微鏡および電気的評価法と組み合わせて、一個から数原子の太さの棒状の金ナノワイヤを調べるために用いられてきた。これらのナノワイヤは、ワイヤ直径に対応した原子の数によって量子化されたコンダクタンス (G) を示した。数原子の太さを持つらせん状の金やシリコンのナノワイヤの構造は、量子化されたコンダクタンスが温度に依存することを示した。また、4-5 nm 幅のシリコンナノワイヤは、アルカンチオールで覆われた直径が 2.5 nm のナノ金結晶を用いて成長させられる。これらのシリコンナノワイヤの結晶方位は、反応物のガス圧力によって制御された。TEM および電子線回折による解析では、ナノワイヤを標準試料ホルダーの上に抽出するのにクロロホルムが必要となる。これらのナノワイヤは、光ルミネセンスや吸収スペクトルにおいて量子閉じこめ効果 (および、恐らくは新しい表面準位) を示すための十分小さな直径を持っている。吸収端は、バルク Si の 1.1eV の間接バンドエッジからブルーシフトし、単独の吸収特性を示した。ナノワイヤの研究に使われる

⁴ Metrology Requirements and the Limits of Measurement Technology for the Semiconductor Industry, A.C. Diebold, in Characterization and Metrology for ULSI Technology 2003, AIP.

作製方法は、CD 測定のための参照試験試料を作製する方法として、大量生産に利用されるリソグラフィ法を用いる前の手段を提供するかもしれない。トランジスタ構造がこの技術を用いて同じく作製されている。ここでも TEM は、材料評価のキー技術である。ナノワイヤ技術が将来における大量生産に使われるようになるならば、新しい性能を持った顕微鏡法が開発されなければならない。

スピントロニクス

選択された電子スピン状態で動作するデバイスにとって重要な材料特性を評価するために様々な手法が用いられる。一例は、材料の磁化による光の偏向の変化を測定するための時分割ファラデーローテーションである。ファラデーローテーションは透過測定によって決定される。その効果は、量子井戸共鳴の近くで非常に増強される。時分割ファラデー測定において、スピン - アップ、スピン - ダウン励起子は、選択的に励起され、これらの励起子のスピン散乱が試料の磁化に影響する。スピン敏感な計測法はまだ応用されていないため、生産の制御に用いるのは別の課題であろう。

標準計測システム

基準計測システム(RMS; Reference Measurement System) は一つの機器であるか、いろいろなアスペクトの寸法測定においていくつかの機器がそれぞれの性能によって互いに補完し合う一組の機器である。RMS は、応用物理、厳密な統計、測定誤差の適切な取り扱いなどのような寸法計測のための最良の科学技術に基づいて十分に評価されたものである。十分に評価されているために、RMS は生産のFABに置かれている他の装置よりも、多分析違いに正確で、精度が高いであろう⁵。RMS はその他の測定システムがうまく折り合えるように十分に安定していなければならない。RMS は FAB の計測装置間での測定の違いを追跡し、生産用計測器のパフォーマンスやマッチングを昼夜に渡り制御するために利用できる。

この機器に要求されたパフォーマンスや信頼性のために、RMS は FAB の他の装置よりも著しく高度の注意、精査、テストを必要とする。その測定によって、このすばらしい(“golden”) 機器は、生産に役立ち、コストを減少させ得る。しかしながら、これは、半導体プロセスの性質によって、この装置の中で測定されたウェハーをプロセスストリームに戻すことができるように、FAB のクリーンな環境の中になければならない機器である。測定するウェハーは、他の FAB から届けられ、一企業内、あるいは複数企業を横断して in-house 標準として戻すことがある。

標準試料 / 標準物質

標準試料 / 標準物質は、一つあるいは複数のよく確定された特性値を有する形を持った物であり、計測機器を校正するために用いられる。標準試料 / 標準物質は、計測において非常に重要な役割を担う。その理由は、異なった計測方法で得られたデータ同士、(内部のあるいは外部の) 設置場所の違う同種の装置によって得られたデータ同士を相互比較したり、モデルと実験結果との照合を行う際、その「物差し」となるからである。また、標準試料 / 標準物質は、装置の試験運転やベンチマーキングに非常に有用である。標準試料 / 標準物質は、複数の作製元から種々な形態や等級の物が供給される。呼称は作製元によって色々である: 認証標

⁵ Lauchlan, L., Nyyssonen, D. and Sullivan, N. 1997. *Metrology Methods in Photolithography in Handbook of Microlithography, Micromachining, and Microfabrication Vol 1*. P. Rai-Choudhury, ed. SPIE Engineering Press, Bellingham, WA.

準試料 / 標準物質 (certified reference material, CRM)、コンセンサス標準試料 / 標準物質 (consensus reference material)、NISTトレーサブル標準試料 / 標準物質 (NTRM®)、或いはスタンダード標準試料 / 標準物質 (standard reference material, SRM®) 等がある⁶。

(訳者注: ISO の VIM (国際計量計測用語集) には、標準物質 (RM) と認証標準物質 (CRM) が定義されている。RM の定義は、"機器の校正、測定法の評価、または物質の値付けに用いるために、単一または複数の特性値が十分に均一で良く確定された物質または材料"、CRM の定義は、"特性値の表現に用いられている単位の正確な現示へのトレーサビリティが確立され、かつ表記された信頼の水準での不確かさが各認証値に付されるという手続きによって、その一つまたは複数の特性値が認証された認証書付きの標準物質" とされている。; 本ロードマップでは、NIST (訳者注: 標準に関する米国立研究機関) の用法が記載されている。NIST の RM は、ISO の RM に適合しており、CRM に適合している場合も有る。NIST の SRM は、ISO の CRM に適合している。)

NIST は、半導体産業における計測科学の国家的な権威のある先進的機関として、これまで国際的に認められてきた。しかし、進歩の激しい半導体産業から寄せられる標準試料 / 標準物質の要望に対し、これまで通りのニーズの捉え方、装置・技術の開発、SRM の開発をしては対応できない。このことは、NIST 自身も認識している。このような状況のもと、民間企業が NIST の足りない所を補完し、標準試料 / 標準物質を製作できるようにするため、幾つかの取り組みが為されている。民間の供給業者は、校正用に役に立つと思われる物質を NIST における NTRM を開発するための認証システムに提出することができる。標準試料 / 標準物質の生産者は、このような要求の元で実施することによって、NIST によって確認された一連の物質に対して NTRM のトレードマークを付けることができる⁷。もう一つの取り組みは、ASTM インターナショナルのような権威ある標準推進組織の管理下で、複数の分析機関の試験結果を用いてコンセンサス標準試料 / 標準物質を開発することである。標準試料 / 標準物質の作製・検定・認証に際し、以下のような技術的要件がある：

- 標準試料 / 標準物質は、使用しても変化・変質せず、安定した特性値を保持できること；
場所的 / 時間的な特性値の変動は、所望の校正の不確かさ以下でなければならない。
- 標準試料 / 標準物質は、必要とされるレベルの特性で作製できないときがある；
特殊な製造技術を用い、短い時間の中で測定と確認の作業を行わなければならないことが多い。
- 標準試料 / 標準物質を検定し認証するためには、規格化されたか、あるいは、詳細に文書化された手順に基づいて実施されなければならない。現在、満足な測定方法・手順が決められていない分野もある。基本的な測定方法・手順が確立されていなければ、標準試料 / 標準物質を作ることはできない。
- 標準試料 / 標準物質を用いた現場での最終的な測定の不確かさは、標準試料 / 標準物質自身の認証値の不確かさと標準試料 / 標準物質を未知試料と比較した際の不確かさを含めたものである。このために、標準試料 / 標準物質の不確かさは最終的に必要な不確かさよりも小さくなくてはならない。半導体製造プロセスの評価・制御に用いられる装置を校正する場合、校正用標準試料 / 標準物質の認証値の不確かさは、プロセスの変動し易さの 1 / 4 以下でなければならない。
- シミュレーションの入力データとして用いられるドーパントプロファイルのように、正確な測定が要求される場合には、標準試料 / 標準物質の認証値の正確さ (バイアスと変動し易さの双方を含めた) は、要求されている最

⁶ NTRM® and SRM® acronyms are registered trademarks of NIST.

⁷ Use of the NTRM mark on a subsequent series of artifacts, even of the same type, requires additional verification testing by NIST.

終的な正確さの 1/4 より良くなければならない。

- 測定に携わるプロセスエンジニアには、標準試料 / 標準物質の取扱や取得結果の判断に間違いが生じ無いように、十分な教育・訓練を積ませなければならない。
- 新世代技術を立ち上げるための測定を開始する際、特に材料開発やプロセス装置開発の初期には、"適切な標準試料 / 標準物質が利用できる状態になっていること" が非常に重要である。どのような標準試料 / 標準物質も、上に述べた様々な要件を満足するために、多くの課題を抱えている。