

ITRS 2004 Updateの概要について



**ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテル**

2004 ITRS Update プレスコンファレンス内容

内容

説明者

- 概要 - P. Gargini
- 設計、無線デバイス - 増原利明
- リソグラフィ - W. Arden
- プロセスインテグレーション,
新探究(エマージング)デバイス,
フロントエンドプロセス - 石内秀美
- 配線 - H. Sohn
- ファクトリインテグレーション、実装 - P. Gargini
- 歩留向上、計測 - 長田俊彦

2004 ITRS Update の概要

- 2004 Update の Technology Node の定義 は DRAM メタル M1 のハーフピッチで、2003 ITRS から変わっていません。(hpXX と記述。)
- 2004 Update の Technology Node は 2003 ITRS と同じ 3 年ピッチです
- 2003 ITRS から 技術要求の表示として Interim Solutions are Known という 新しい色と定義を加え、Logic Half-Pitch and Printed Gate-Length をヘッダに記載しました。
- 2004 Update (改訂版) ではすべての章を改訂しました。
- 2004 Update では 2003 年版に含まれる 219 の表のうち 128 を改訂し、新たに 4 つの表を追加しました。さらに、12 の図を改訂しました。
- 2003 年版の表に 2011 年、2014 年、2017 年を追記し、2003 年から 2018 年までのすべての年に対し、数値データをご覧いただけるようにしました。
- ERM(新探究材料)の節を追加しました。
- 2004 年はイタリアのストレーザ、米国のサンフランシスコ、東京で ITRS ミーティングを開催しました。

2004 ITRS Updateのポイント

- リソグラフィは、45nmでもおそらく制限要因ではなく、2003ITRSで液浸リソグラフィが出現しました。193nm波長のドライまたは液浸リソグラフィー技術が65nm,45nmで使われ、32nm/22nmでも使用される可能性があります。
- EUVリソグラフィーは45nm、32nm、22nmで193nmの対抗技術となります。
- 2004年Update(改訂版)では、リソグラフィにおいては、CD(重要寸法:Critical Dimension)制御とLER(Line Edge Roughness)の問題がクローズ・アップされました。
- 2004年Update(改訂版)では450mmウェーハの導入は2011-2015年となっているが、まだコンセンサスは得られていません。
- 先端製品にはSiに歪を加える技術も利用されはじめております。High k ゲート絶縁膜は予定に近い開発状況です。
- 配線の層間絶縁膜の k_{eff} 値~3-3.5 は実現されLow-kも3.0以下が使われております。 k_{eff} 値~2.7が実現可能な領域に入っています。配線の層間新材料については機械的な課題が大きいといえます。Low k 技術への要求とkの値(材料の値、実効値とも)は2003年版と同じです。kの値を変更しなかったのは、10年来初めてです。
- また、ICの機能を十分に引き出し、価格的にも安価であるために、パッケージ技術が新たに注目を集めております。

Fig 4

ハーフピッチの定義.

[DRAM ハーフピッチが 2003 ITRS “node”を決定する]

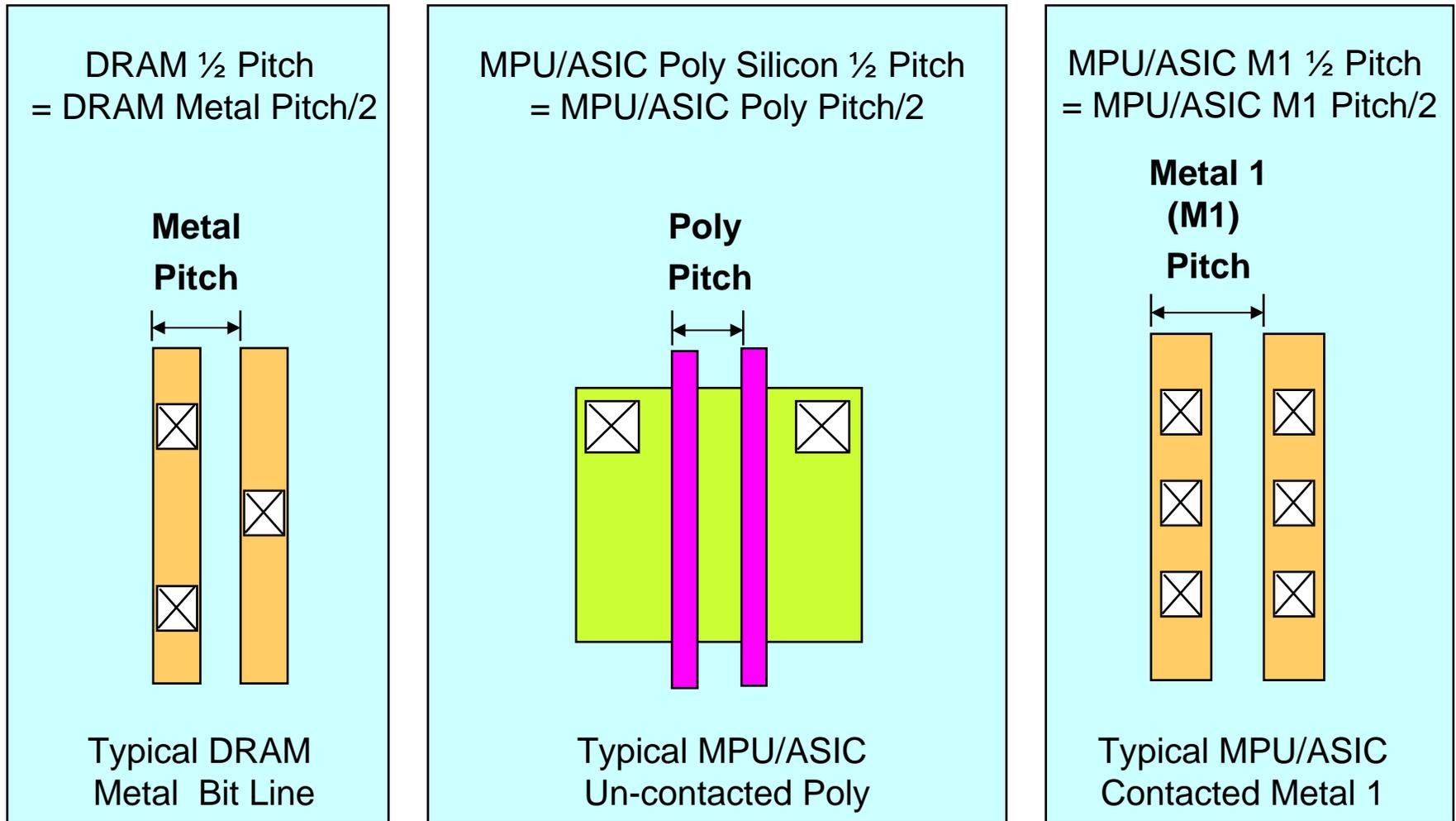
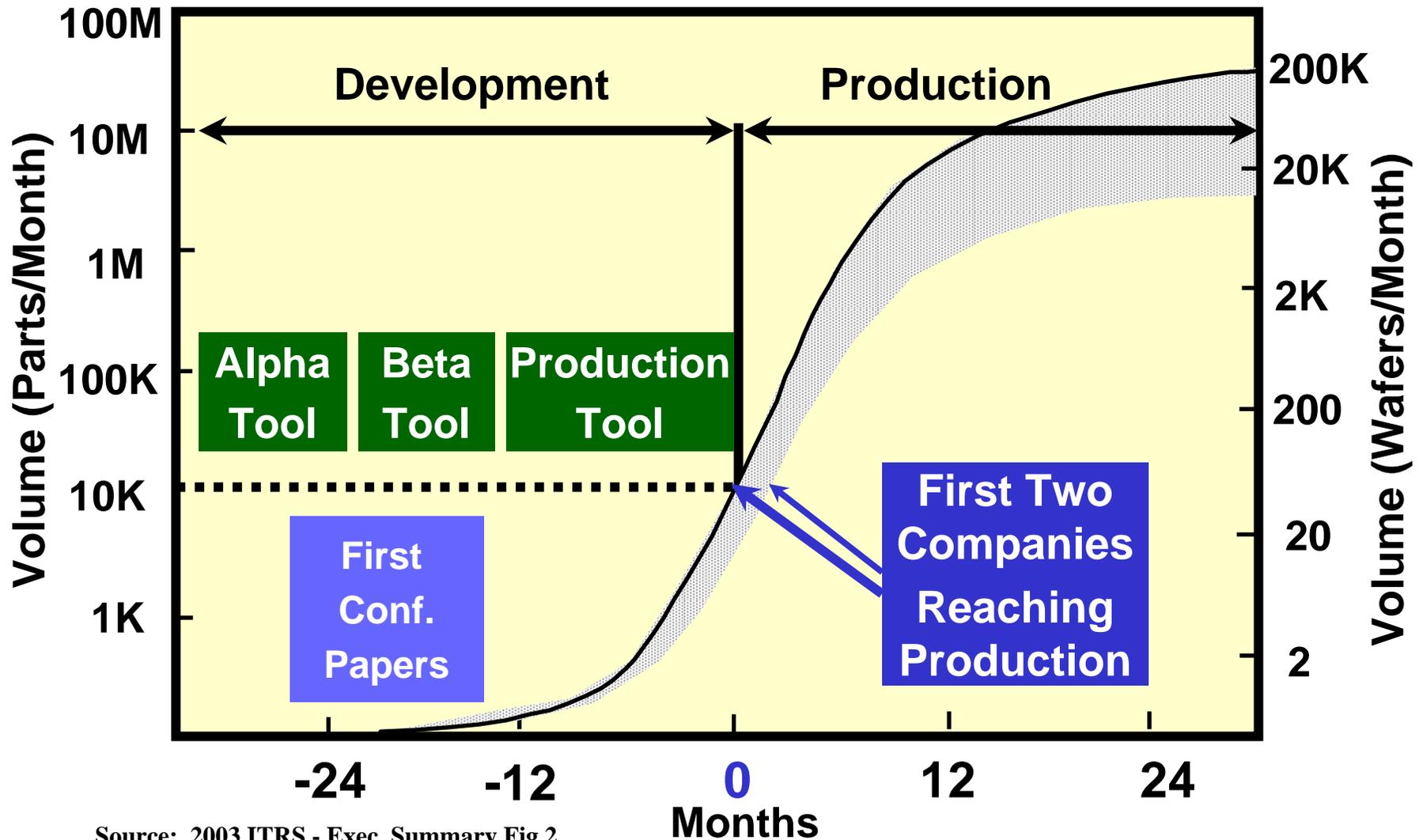


Fig 2

生産の立ち上がりのモデルとテクノロジーノードの関係



Source: 2003 ITRS - Exec. Summary Fig 2

Technology Nodesは3年サイクル

Source: 2003 ITRS - Exec. Summary Table C

生産年	<u>2002</u> [Actual]	<u>2003</u>	<u>2004</u>	<u>2006</u>	<u>2007</u>	<u>2009</u>	<u>2010</u>	<u>2012</u>	<u>2013</u>	<u>2015</u>	<u>2016</u>	<u>2018</u>
テクノロジーノード (nm)	hp130		hp90		hp65		hp45		hp32		hp22	



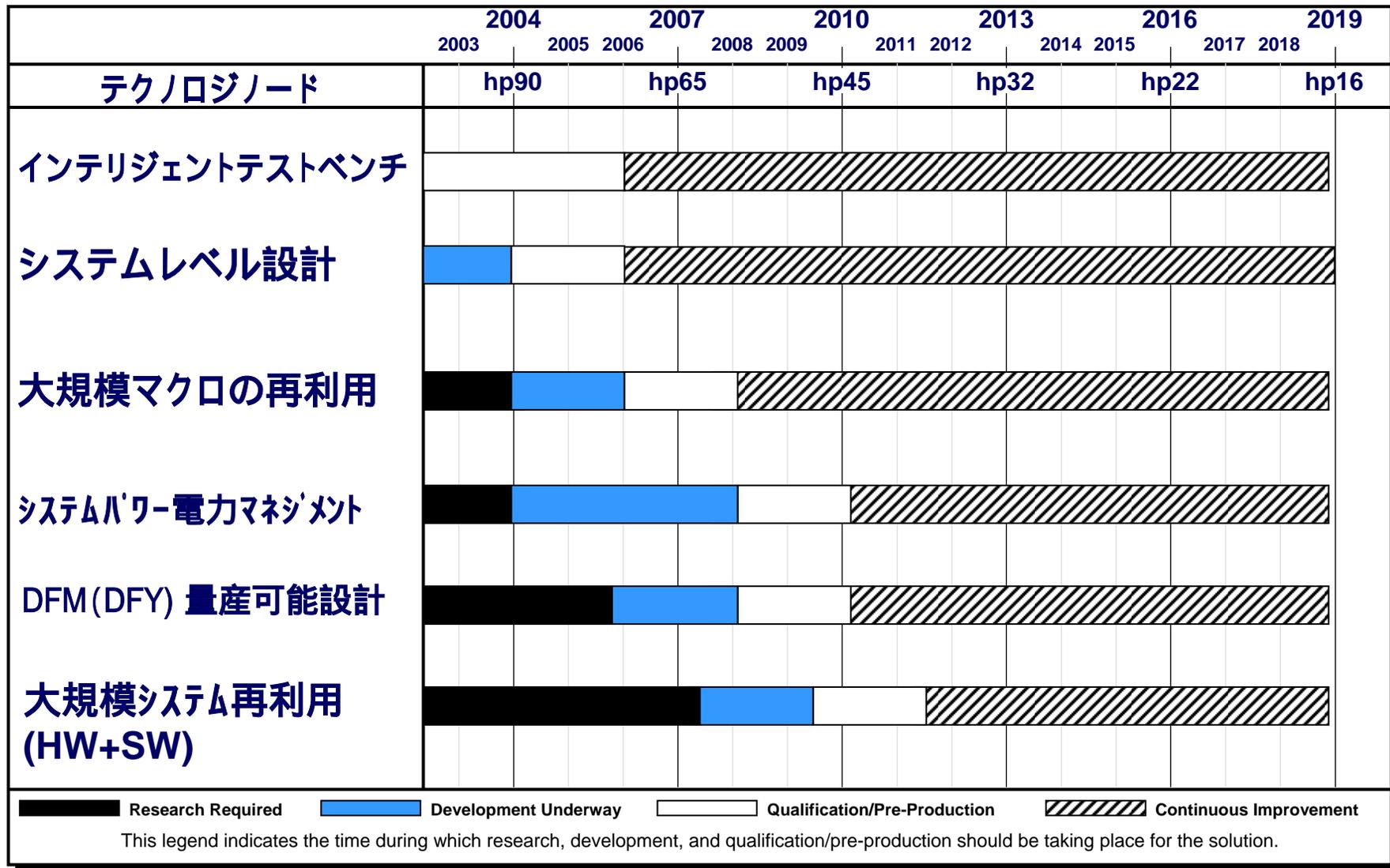
設計と無線デバイス

増原利明



ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテル

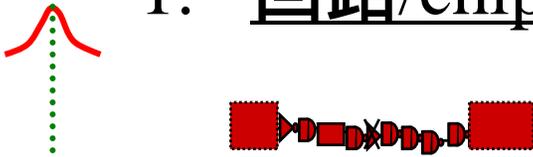
設計技術のソリューションの表



DFM (DFY) - 量産可能設計

DFM challenges  ばらつき考慮設計

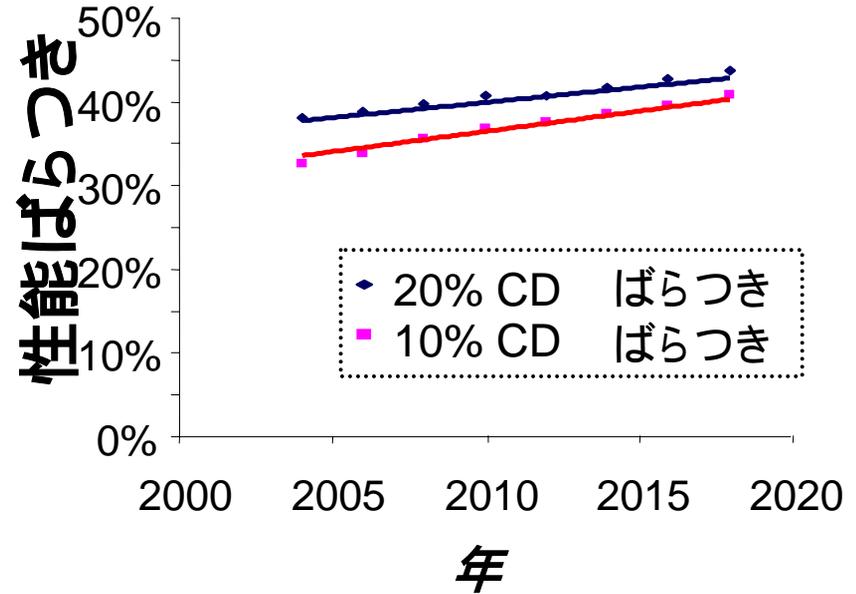
1. 回路/chip (スピード、電力)



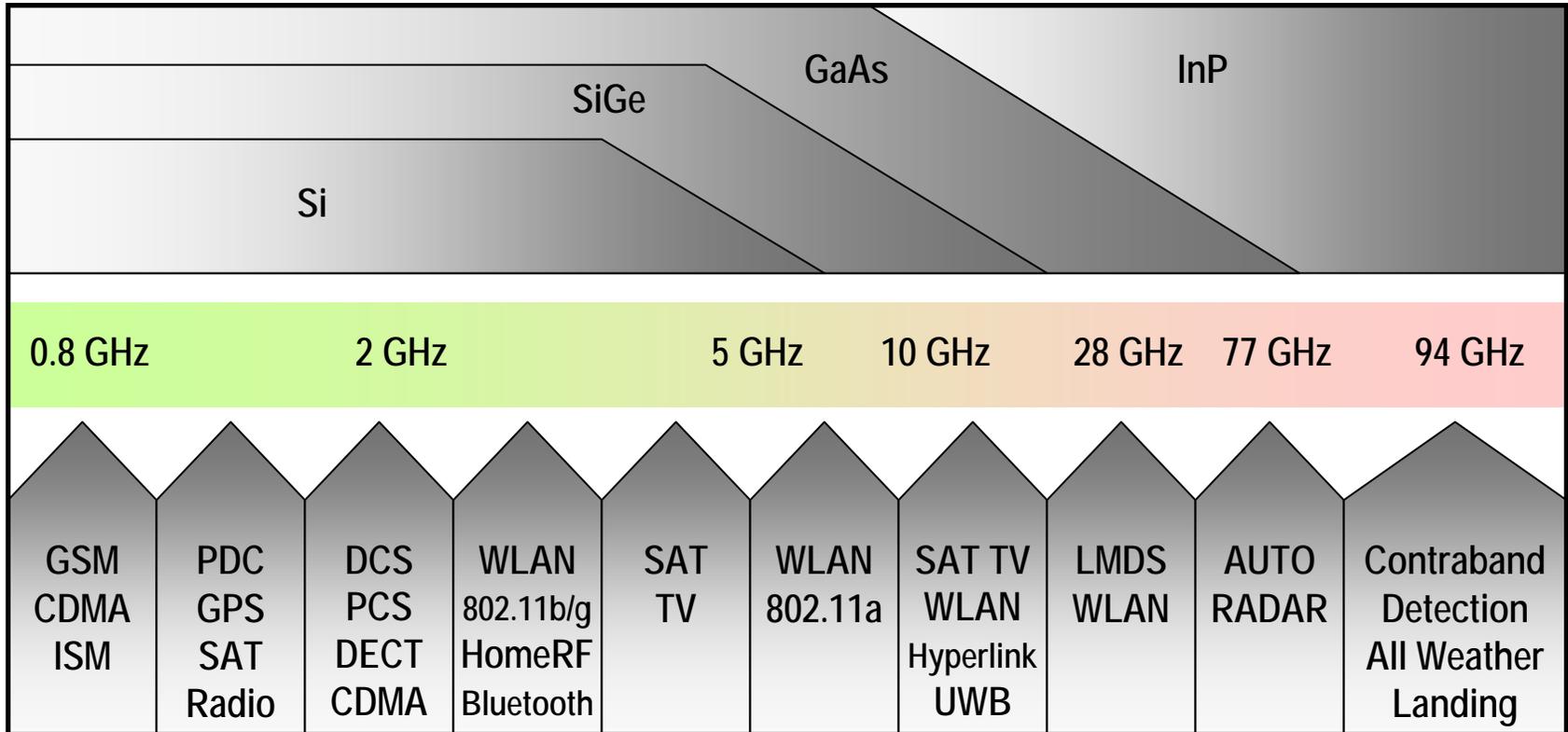
2. デバイス (V_t , I_{off})



3. 物理レベル (L_e , NA_v)



無線用デバイスの応用 (2003 ITRS)



2004 ITRS Updateの骨子

アナログ、ミックスシグナル

- LSTP に合わせた。
- high-k gate 絶縁膜利用トランジスタの $1/f$ 雑音の色を黄色とした。
- Published solution for high density capacitors meeting density, leakage, linearity .

RF無線

- NPN f_T , $f_{MAX} < 350\text{GHz}$ の色を発表データに合わせた。
- RFCMOS: LSTP から1年の遅延とし、NMOS f_T & f_{MAX} の色を黄色とした。]
5GHz での性能に合わせ雑音指数を変更。

携帯電話機のパワーアンプと電力マネージメント

- 2003で予測された通りで変化なし。
- 2006年にはRFCMOSパワーアンプが主力となる。

基地局のパワーアンプと電力マネージメント

- 市場に合わせ、コストダウン ($\$/\text{Watt}$), 飽和電力を増加
- 28V GaAsFET's, 60W SiCFET's, and 28VGaN FET'sの生産可能な解がある。

ミリ波(10-100GHz)

- R&D加速を反映し、InP HBT デバイスの色を変えた。

リソグラフィ

Wolfgang Arden

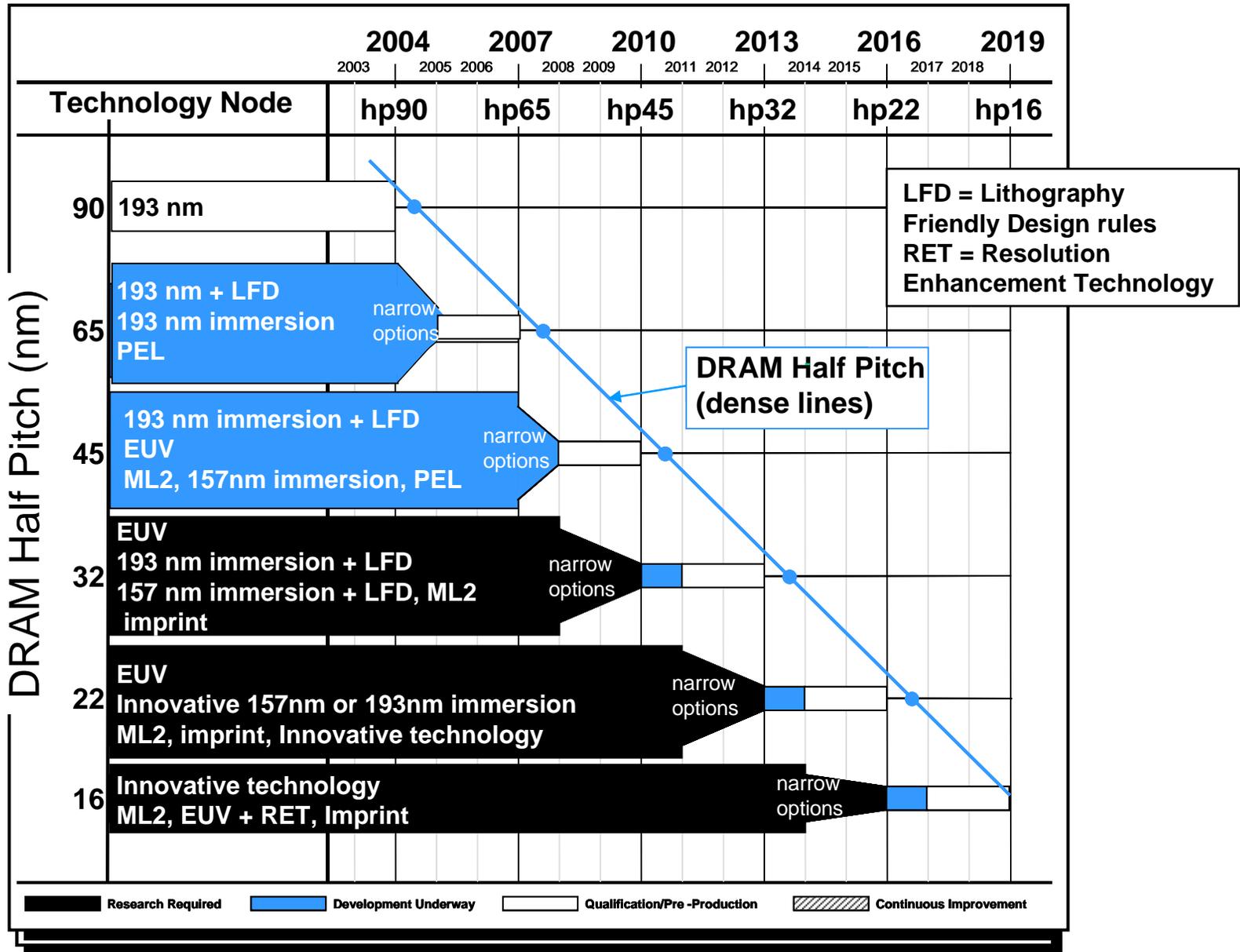


**ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテル**

リソグラフィの表への2004年度版改定

- **CD制御 (total CD control)**
 - 日米のTWG の調査の結果 $3\sigma < 4\text{nm}$ にCD を制御する解決策がないことが判明した。
 - CD制御の欄は現在ですでに赤となっている。
 - レジストゲート長は2005年に見直しを行う。
- **候補の選択**
 - N - N+2 ノードにはより明確な基準で候補とする。
 - N+3 やその先のノードにはより広く包括的な候補も許容する。
- **液浸リソの実用化には課題に対する「挑戦」が必要。**
- **色づけとフットノート他を改訂した。**
 - リソの全般的要求の表77a and 77bの定義
 - マスクの表
 - レジストの表
- **更なる議論が必要(2005改訂に反映)**
 - LWR/LER の定義と値をPIDS, FEP and Metrologyから貰う。
 - Advanced Process Control への要求事項

Lithography Roadmap with Potential Solutions



2004 年度リソグラフィ改訂のまとめ

- 近未来の候補策を評価する基準を新たに決めた。
- 液浸リソに特に注目している。
- 光リソ後の 対価格効果のあるリソ手段を探ることが課題である。

プロセスインテグレーションとフロントエンドプロセス

石内秀美



ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテル

2004改訂版の概要

フロントエンドプロセス

- 裏面の異物の数を追加
 - － 実験的かつ現実的な予測に基づく。
- ゲートのCD(寸法)制御について: ITRSと現実との乖離を注記
 - － 産業界はITRSのばらつき限界を達成できていない。
 - － レジストのゲート寸法はITRSより大きい。最終ゲート寸法を得るためには、より多くのトリミングが必要
 - － 2005年版の表の改訂を提案
- SOIウェーハの認定/少量量産時期を2006年から2004年に前倒し
 - － ICメーカーの需要増大とウェーハメーカーの投資増大を反映

2004改訂版の概要

フロントエンドプロセス

- **450mmウェーハの導入時期を強調**
 - 2004年版では2011年から2015年の間
 - ウェーハメーカーの開発は2011年の導入には間に合わないと注記
 - 450mmウェーハ導入時期についての合意はまだとれていない。
- **チャンネル部のキャリア移動度増加技術は実用化**
 - 2003年版の実効酸化膜厚の値の正しさを確認
- **ゲートスタックのリーク電流の仕様を改訂**
 - 100°Cでの電流値を記入
 - ゲートスタックの電流値がMOSトランジスタオフ時のリーク電流の何倍まで許容されるかは、設計の経験に基づいて再検討されるべきである。

PIDSの状況

- 2004年の改訂: 2003年版の小改訂と誤り修正
 - 2003年版の表には記載されていなかった2011年、2014年、2017年の数値を追加
 - 上記の各数値は前後の年の中間に近い値になっている。
 - DRAMの微細化トレンドには変化なし。
 - 2004年にハーフピッチ90nmが実現
- 2005年版策定にむけての準備を開始
 - 多くの課題が想定される。

Emerging Technology Sequence

Emerging
Technology
Vectors

Cellular array Defect tolerant Biologically inspired Quantum computing

Architecture

RSFQ 1-D structures Resonant tunneling SET Molecular QCA Spin transistor

Logic

Phase change Floating body DRAM Nano FG SET Insulator resistance change Molecular

Memory

Transport enhanced FETs UTB single gate FET Source/Drain engineered FET UTB multiple gate FET Quasi ballistic FET

Non-classical CMOS

Risk

Emerging Research Devices (新探究デバイス) 章の構成の変更 (2004/2005)

Emerging Research Devices (新探究デバイス)

Emerging
Materials
(新探究材料)

Emerging
Logic and Memory
Devices
(新探究ロジックとメモリ)

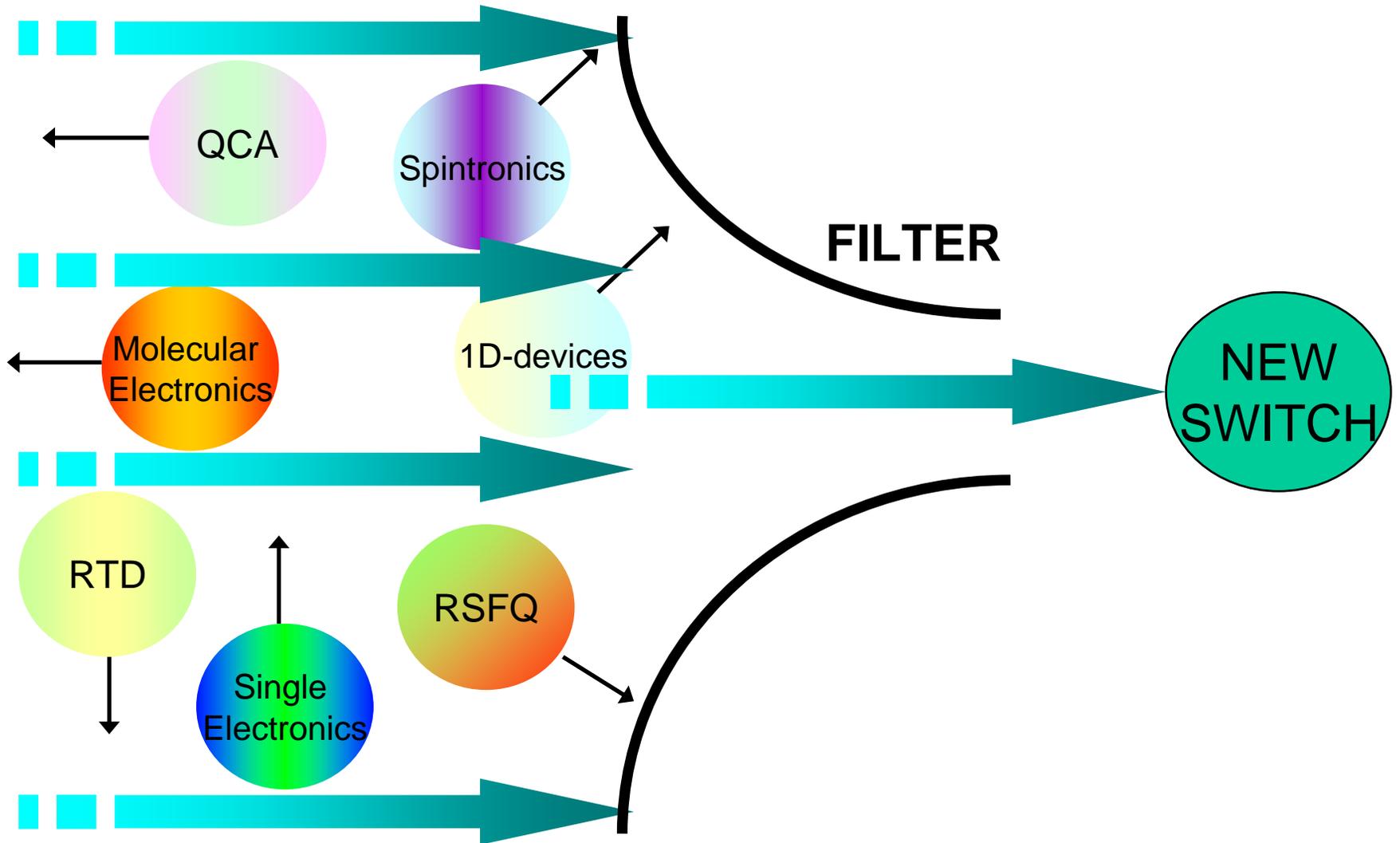
Emerging
Architectures
(新探究アーキ
テクチャー)

2004年改訂
でERDに
追加

Non-classical CMOS
(ノンクラシカル
CMOS)

2005年版では
PIDS/FEPへ

どのナノ素子が新規スイッチ技術として 実用化されるか？



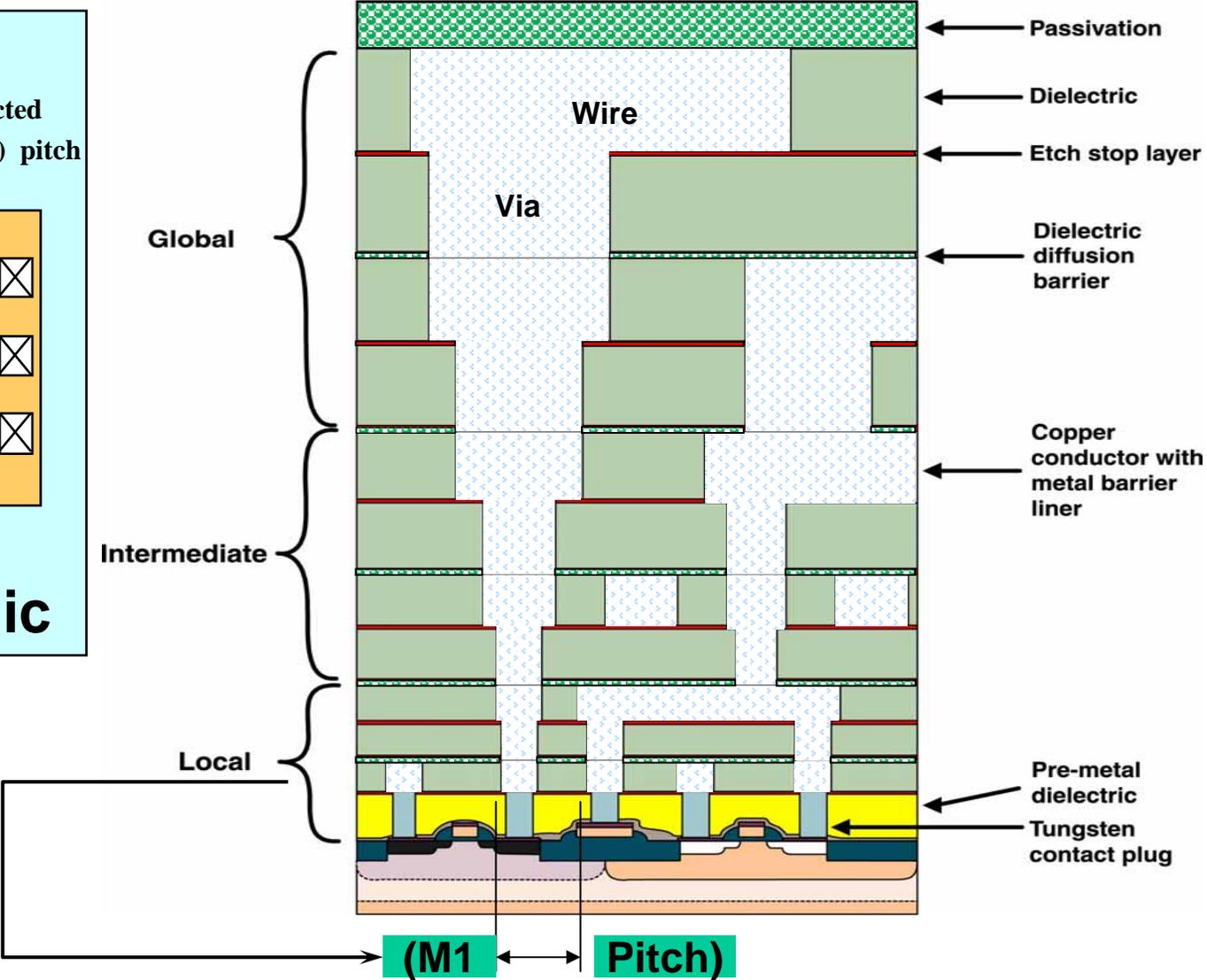
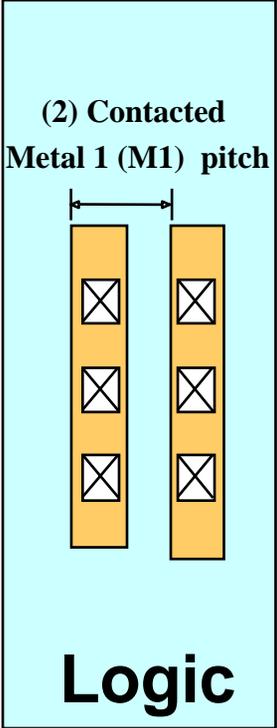
配線

H. Sohn



**ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテルH**

Typical Chip Cross Section

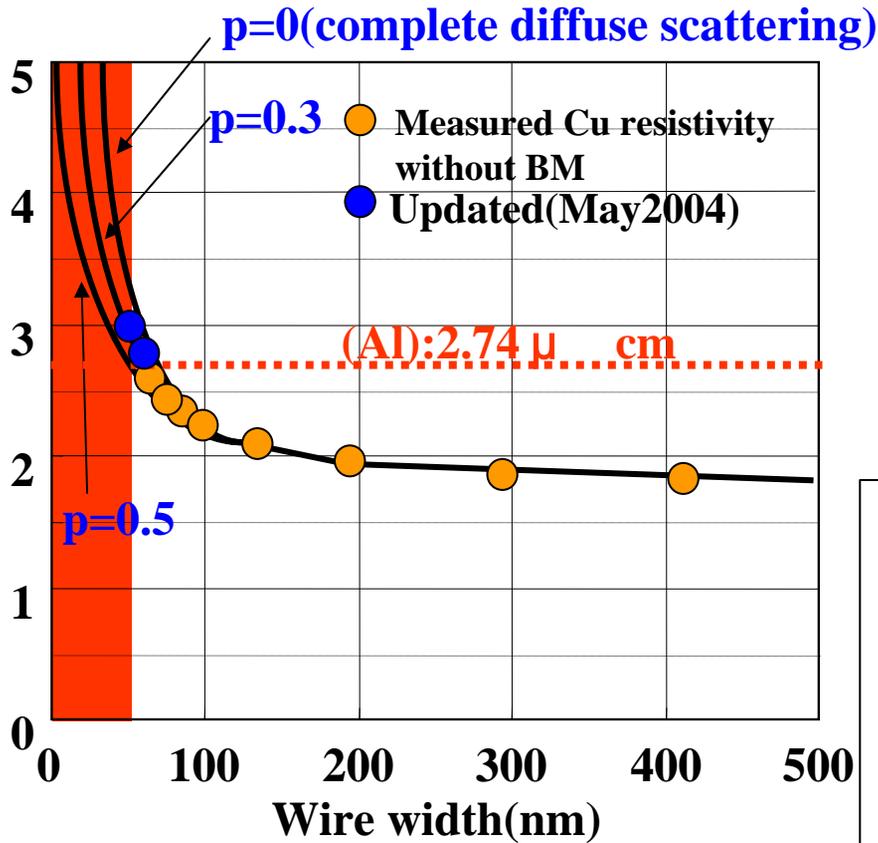


2004 Highlights

ロジックデバイス

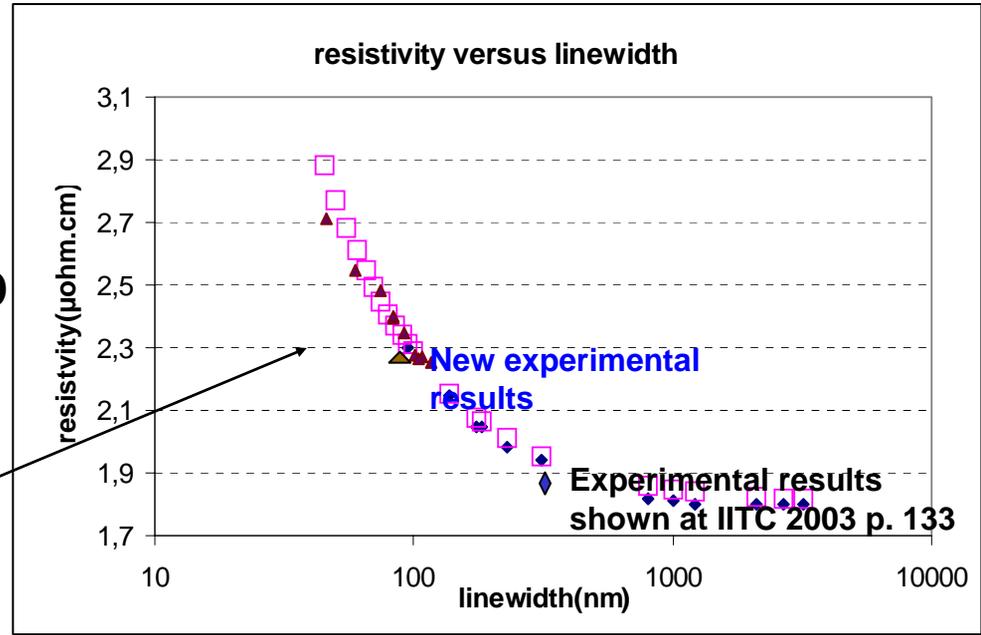
- **銅の配線抵抗は散乱効果のため増大**
 - 第一メタル、インターミディエット、グローバル配線の抵抗を計算する方法を追加した。
 - RC遅延の数値を改訂した。
- **第一メタルのデザインルールについて**
 - コンタクトなしのハーフピッチ、コンタクト付きのハーフピッチについての混乱、MPUにおけるテクノロジーノードの誤用を解消
 - 最近の文献によると、第一メタルの微細化が加速(2005年版の検討項目)
 - 高性能 (high performance) チップのための別の表が必要(2005年版の検討項目)
- **Low k 技術への要求と k の値 (材料の値、実効値とも) は 2003年版と同じ。**
 - Kの値を変更しなかったのは、10年来初めて
 - 技術的な困難度を示す色を小修正

電子散乱効果による銅 (Cu) 配線の抵抗増大



wire width(cm)	α (μ cm)	(cm)	(W) (μ cm)				Measured data
			P=0	P=0.2	P=0.3	P=0.5	
5.00E-05	1.90E+00	3.40E-06	2.05	2.03	2.02	2.00	2.00E+00
2.00E-05	1.90E+00	3.40E-06	2.26	2.21	2.19	2.14	2.10E+00
1.40E-05	1.90E+00	3.40E-06	2.42	2.35	2.32	2.25	2.20E+00
1.17E-05	1.90E+00	3.40E-06	2.52	2.44	2.40	2.31	2.30E+00
1.00E-05	1.90E+00	3.40E-06	2.63	2.53	2.48	2.38	2.40E+00
8.50E-06	1.90E+00	3.40E-06	2.76	2.64	2.58	2.47	2.50E+00
7.50E-06	1.90E+00	3.40E-06	2.87	2.74	2.68	2.55	2.70E+00
6.50E-06	1.90E+00	3.40E-06	3.02	2.87	2.79	2.65	2.80E+00
5.50E-06	1.90E+00	3.40E-06	3.22	3.05	2.96	2.78	3.00E+00
5.00E-06	1.90E+00	3.40E-06	3.35	3.16	3.06	2.87	Non
3.90E-06	1.90E+00	3.40E-06	3.76	3.52	3.39	3.14	Non
3.60E-06	1.90E+00	3.40E-06	3.92	3.65	3.52	3.25	Non
2.80E-06	1.90E+00	3.40E-06	4.50	4.15	3.98	3.63	Non
2.40E-06	1.90E+00	3.40E-06	4.93	4.52	4.32	3.92	Non
2.00E-06	1.90E+00	3.40E-06	5.53	5.05	4.81	4.32	Non

□ $\alpha = 1.8 \mu$ cm, $r = 40$ nm, $p = 0.6$, $r = 0.2$ として計算



ファクトリインテグレーションとパッケージング

Paolo Gargini



ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテル

FI 2004 Key Messages

事業戦略、市場要求、プロセス技術の変化のため工場をまとめるのは引き続き困難である

Economic and business challenges are equal to our manufacturing, environment and process technology challenges

製造装置、工場のテストウェーハ使用、工場モデルにおけるギャップは改善される必要がある

Minimal changes made to FI tables (FO, PE, FICS, AMHS &F) for 2004

Metrics needed to cover versatility, productivity, agility, quality, environment compatibility

多様な製品を生産する方法を可能とするためには工場の生産スピードと柔軟性が求められている。

Proactive Visualization is needed for manufacturing activity

会社と工場出荷レベルの要求のため新しい生産方法と現在の必要性を改める必要がある

Proactive Visual Mfg; ECM Platform; Traceability and Strategic Quality Assurance

解決のための共通の土俵を求め、標準化を続ける必要がある。

鍵となる注力分野とチームはあらかじめ述べなくてはならない。

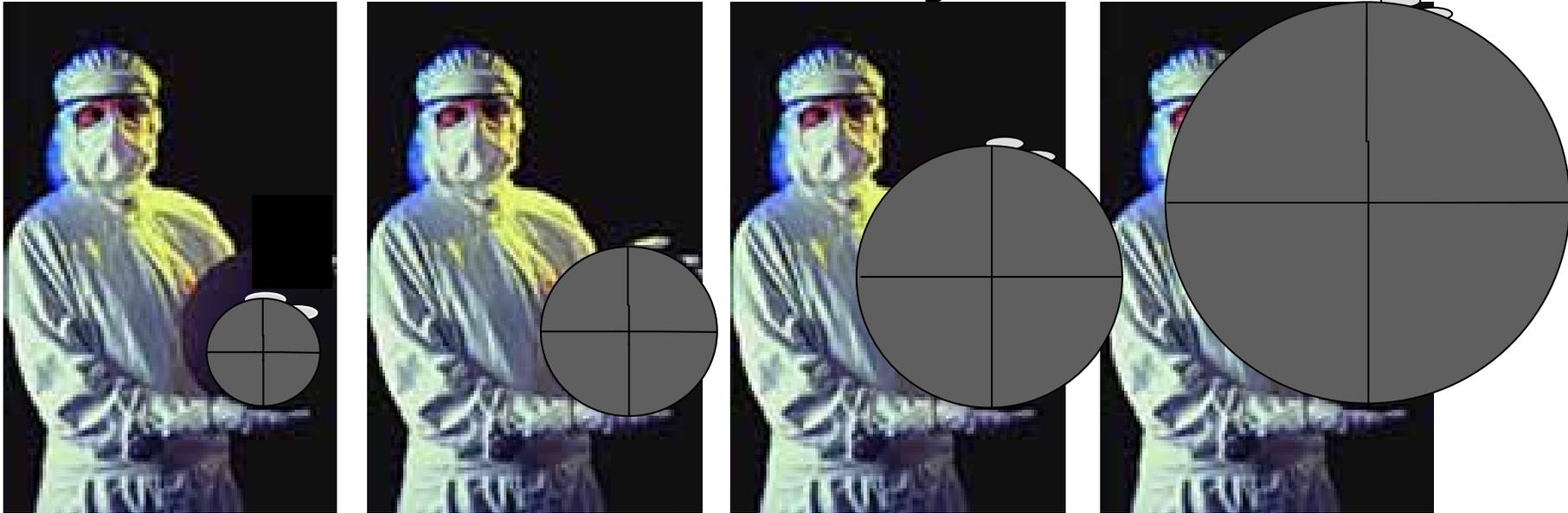
450mm, Proactive Visual Mfg, NG Litho needs, AMC, etc.

Cross-cut issues are also being addressed

“Top 9” FI Focus Areas (Not prioritized)

	Focus Areas	FI / Cross TWIG Areas	Plans
1	Airborne Molecular Contamination (AMC) Implications at < 45nm process technologies (Now -> 2006)	Facilities, Production Equipment, AMHS, Operations; Litho , FEP , Interconnect , Yield	ISMT MM&P project to study implications of AMC on wafers and reticles and propose equipment and facilities solutions
2	Implications of Relaxed Fab Facility Cleanliness (Now ->)	Facilities, Production Equipment, AMHS, Operations; Litho , FEP , Interconnect , Metrology , Yield	ISMT MM&P program to study implications of relaxed facilities cleanliness vs. wafer, reticle and equipment requirements
3	Litho EUV: Design for Manufacturability (2006 -> 2010?)	All; Litho	ISMT MM&P program for EUV manufacturability to intercept HVM deployment
4	Fab Point of Use vs. Bulk Systems (Now ->)	Production Equipment, Facilities; Litho , FEP , Interconnect	Analyze Emerging and Existing Chemical/Gas usage at each Technology node and develop an industry plan of action
5	Rapid Equipment Install and Qualification (Now ->)	Facilities, Production Equipment, AMHS; Litho , FEP , Interconnect , Metrology , Yield , Assembly , Test	Equipment/facilities standards and methods
6	Integrated Metrology Guidelines (Now ->)	Production Equipment, FICS; Litho , FEP , Interconnect , Metrology , Yield	Develop guidelines for Integrated Metrology usage and provide a one voice message to suppliers
7	Wafer and Unit Traceability from Fab through Packaging (now ->)	Production Equipment, FICS, Operations; Litho , FEP , Interconnect , Packaging , Test	Implement equipment and factory system capabilities that enable wafer and unit level traceability
8	“Proactive Visual” manufacturing (Now ->)	All; All	Factory activity visualization metrics; Strategic Hierarchical Quality Assurance for proactive visualization
9	450mm Wafer Size Transition (2005 -> 2012)	All; All	Need to establish business motivation and mfg. requirements for 450mm transition

Wafer Size Conversion History



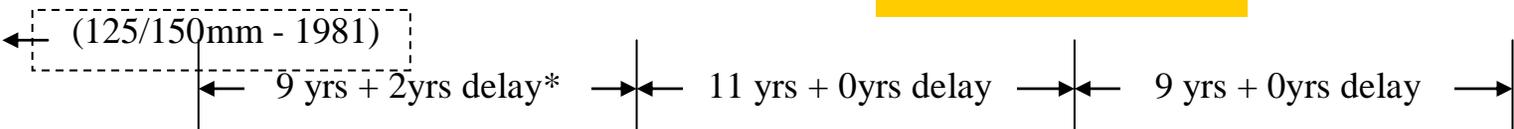
200mm/1990

300mm/2001

450mm/2012

675mm/2019?

(125/150mm - 1981)



← 9 yrs + 2yrs delay* →

← 11 yrs + 0yrs delay →

← 9 yrs + 0yrs delay →

[* 300mm wafer generation delay from 2-year accelerated technology node cycle [return to 3-year cycle (Sc. 2.0) after 2001]

2004ロードマップでの変化

コンシューマ用途ミックスシグナル市場の立ち上がりがあった。アセンブリーとパッケージでは2004年には新しいカテゴリができた。2005年の改訂ではこの分野が広がるでしょう。

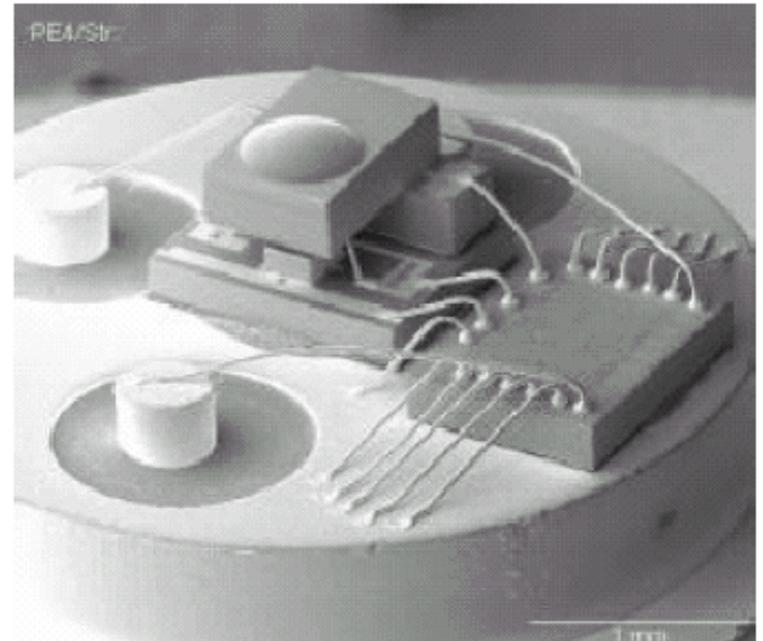
- システム・イン・パッケージ(SiP)
- 3次元パッケージ
- ウェハレベルパッケージ
- 薄チップ化



2004でのロードマップでの変化

ICパッケージに新構造を付け加える必要がある。新構造は今回のロードマップに盛り込まれ、2005年にはさらに拡大される。

- MEMS
- 光エレクトロニクス
- バイオチップ



2004ロードマップ変化

パッケージでは従来のアプローチに限界が見えた。将来のパッケージには新材料が必要である。これらの新材料を信頼性のあるパッケージに組み込むことは長期に亘るロードマップでの挑戦である。

- 鉛とフロロカーボンの無いパッケージ
- 再配線
 - 銅を使用
 - Ultra low k誘電体
 - High k 誘電体

歩留向上、計測

長田俊彦



ITRS プレスコンファレンス
2004年12月1日
東京、高輪プリンスホテル

2004 改訂ハイライト

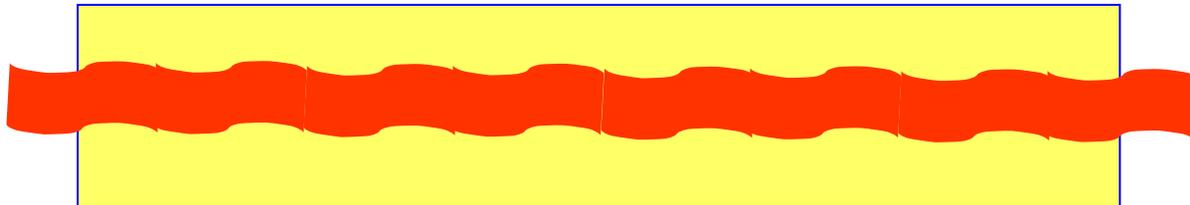
- 歩留改善には以下の課題がある。
 - 高速で費用効果のある高アスペクト比検査装置が必要
 - 試験・分析可能な設計がICに求められている。
 - データ管理とTEGが歩留習熟には必要
 - 不純物レベルと歩留の相関をとる。
 - パラメータ感度があり新材料と複雑さを反映した歩留モデルを作る必要がある。過去のような歩留立ち上げを将来も達成するためにはシステム歩留の機構を理解することが必須である。
 - 常に微細化する欠陥寸法基準を満足できる検査
 - 複雑化したICに過去のような歩留立ち上げと習熟歩留を達成するためには、高速で短い時間の歩留習熟サイクルが求められている。
 - 多種類のキラー欠陥を検出し同時に分類することは、高い捕獲率と処理能力のためには必要である。

**Line Width RoughnessとLine Edge Roughness
に関して計測とリソグラフィで十分な意見交換をしている。**

- 以下のように考えてはどうか？：

**“2004 Update でのLWRは測定している
ゲート幅の最大_{max}と最小_{min}でのCD
の標準偏差の3倍で評価する必要がある。**

**_{min} and _{max} はノード毎に定義する必要
がある。**

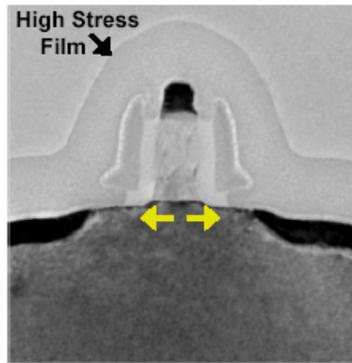
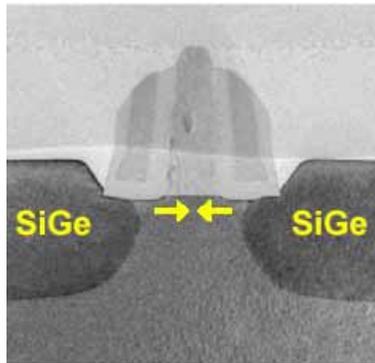


ストレスと歪みの計測

それぞれ別の計測方法が必要

PIDSが“ストレス対移動度”を要求

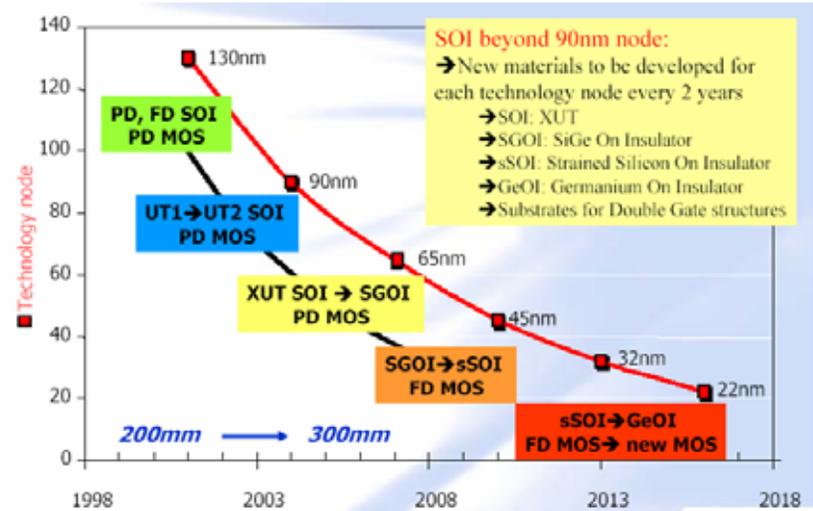
Process



PMOS
Compressive Strain
increased hole mobility

45 nm NMOS
Tensile Stress
SiN Layer
increased
electron mobility

Substrate

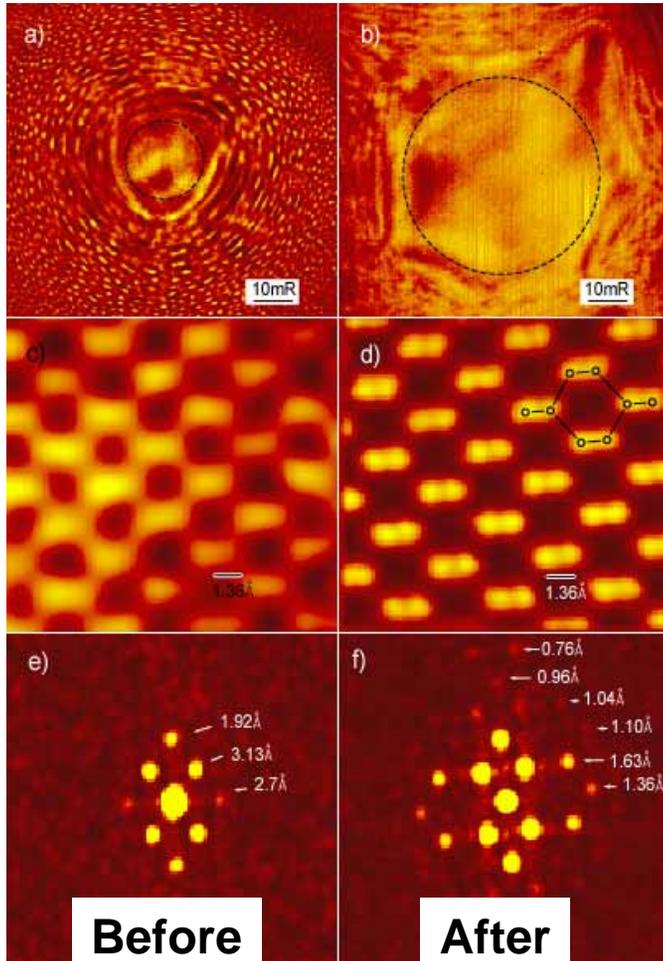


Courtesy SOITEC

From T. Ghani, et. al., IEDM 2003, p 978.
Courtesy Intel

TEMの収差補正の有効性が証明された

STEM – Batson, Dellby, and Krivanek, Nature 418, 617 (2002) Si(110)



HR-TEM – Jai, Lentzen, and Urban, Microsc. Microanal. 10, 174, 2004. SrTiO₃

