

テストとテスト装置

2005年版のイントロダクションと範囲

2005年版テストロードマップは、2003年版以来の多大な進歩を遂げている。最も重要なのは、以前は異なっていたチップデザインでも統合が増加するという現実をより良く反映させるために、テスト技術要求の節を再編したことである。ITRSの範囲を超えて考えるならば、特有のテスト要求によって、1つ1つの被測定デバイス(DUT)はロジック、I/O、メモリ、アナログ、RF、等の”コア”を1つかそれ以上内蔵したシステム・オン・チップ(SoC)やシステム・イン・パッケージ(SiP)と見なすことができる。今回改訂されたテスト要求の節は、一般SoCモデルの紹介を含んだSoC/SiPのテスト課題の概要から始まり、そして、その後にコアの各タイプに対するテスト要求と課題について節を割いている。

また、前回から幾つかの注目に値する追加、削除、および統合が成されてきた。マイクロプロセッサ、ASIC、およびマイクロコントローラのテスト要求は、一つのロジックテスト要求の節に統合した。今回の新しい節は、無線周波数(RF)テストとテスト・ソケットである。また、今回の編集ではテスト容易化設計(DFT)用テスト要求の節を取り除いた。このことは、DFTの重要性、あるいは大量生産のテスト要求を満たすDFTに密接に依存するデバイスに対して安価なテスト・ソリューションの重要性が減じているからということではない。むしろDFTの進化と低コストのテスト・ソリューションは、テストコストに関する現状を維持する上で不可欠になるだろう。このジレンマ[訳者注:今後益々重要になると予測しているにもかかわらずDFTテスト要求を独立した節として記述せずに今回の改訂で削除したこと]と云うのは、これらのテスト・ソリューション[訳者注:テストコストを現状維持する]は、前述の統合トレンドを新しいテスト能力を押し進めるRFのような新しいコアの出現に適応させてきた以前よりも増して柔軟であるにちがいないということである。この理由により、DFTとの連携やテスト課題が、この章を通して、且つ、コア技術のベースとして記述されている。

前回の2003年改訂版において、伝統的なテスト装置アーキテクチャから、高度なレベルのテスト計測器のカプセル化やモジュール化という“ユニバーサル・スロット”アーキテクチャへの重要な移行が始まると注釈した。この傾向は様々な形で固まらずに続いている。殆どの大手テスト装置メーカーは、自社の中で複数のテスト装置アーキテクチャを繋ぐモジュール・アーキテクチャと、多くのメーカーの計測器を1つのテスト・ハードウェア環境やソフトウェア環境に混載して統合させることが出来ることを目的としたオープン・アーキテクチャの間の具現化で、可能ならデザインモジュール方式にてこ入れしたいと思っている。これが一般的なトレンドになるならば、半導体メーカーはテストングニーズに対するテスト装置ソリューションを自ら仕立てていた時よりも多くの選択肢と大きな柔軟性を持つだろう。そして今年のロードマップでは、このことが、様々な半導体技術コアを巡るテスト要求を再確認することに更に強い弾みを付けている。それは、一握りの市場セグメントに対応したのと同様に、無数の異なる方法に統合できると云うことである。

このドキュメントは謝辞で注釈した産業の広い階層からの重要な貢献でもって作成したものであるが、一方で、テスト技術WGは常に追加の参加者を捜している。もし読者の方で参加することに興味があればWGのリーダーに連絡を！

主要なドライバ、困難な課題、および将来の可能性

ITRSテスト章のこの2005年版編集を始めるにあたって、ワーキンググループのメンバーはテスト章のこの重要なセクションを再編成した。主要な変更点は、前回の困難な課題の節を主要なドライバと困難な課題に分離し、同時に将来の見込みを追加したことである。この分離はドライバ、即ち、半導体部品の今後の

2 テストとテスト装置

製造工程テストに関するソリューションの範囲を定義する主な境界条件と、主要な技術的かつビジネス的な課題とを区別する。高次に於いては、これらの境界条件は、テスト工程の期待や要求さえ実際に表すことになる。一方でその課題は、現在と今後の主要な障害と戦略的活用点と将来の見込みを表すことになる。

何年もの間、半導体製造工程のテストの役割は、”欠陥を取り除くこと”、そして、少し広い意味では”スピード選別”あるいは”スピード分類”と云うある種のビジネスセグメントに属するものとして述べられてきた。幾つかの最も重要なテストの課題が、製造工程のテストにおける多くの緻密で歴史的な使命（信頼性と歩留向上）の中で、今や実際に中心を占めていることは注目に値する。また、これらの課題のインパクトは、製造工程のテスト自体に影響するに止まらないことに留意すべきである。それは、将来の工程の歩調やタイムリな展開を可能としコスト的にも見合った製品を可能にすると云う意味だけでなく、信頼性に対する顧客の期待に応えると云う意味においても半導体ビジネス全体に欠くことができない。

困難な課題の節の中で、課題は分かっている重要性や優先性の順に記載されている。例えば、スクリーニングによる歩留向上のためのテスト、系統的な欠陥の増加による信頼性のためのテストの順である。

一方、主要なドライバの記載順には特別な意図はない。それらは全て、満たされるべき半導体テスト・ソリューションの境界条件や要求である。Table.22 は主要なテストドライバと課題と見込みの全てをまとめたものである。

Table 22 Summary of Key Test Drivers, Challenges, and Opportunities

<i>KEY DRIVERS (NOT IN ANY PARTICULAR ORDER)</i>	
Device trends	<ul style="list-style-type: none"> Increasing device interface bandwidth (both number of signals and signal data rates) Increasing device integration (SoC, SiP, MCP, 3D packaging) Integration of emerging and non-digital CMOS technologies (RF, Analog, Optical, MEMs) Package form factor and electrical / mechanical characteristics Device characteristics beyond one sided deterministic stimulus/response model
Increasing test process complexity	<ul style="list-style-type: none"> Increased device customization and line item complexity during the test process Increasing “distributed test” to maintain cost scaling Increased data feedback for tuning manufacturing Higher order dimensionality of test conditions (e.g., adding multi-power, multi-voltage, multi-freq topologies to single valued T, V, freq)
Continued economic scaling of test	<ul style="list-style-type: none"> Physical limits of further test parallelism Managing (logic) test data volume Effective limit for speed difference of HVM ATE versus DUT Acceptable increases for interface hardware and (test) SoCket costs Trade-off between the cost of test and the cost of quality
<i>DIFFICULT CHALLENGES (IN ORDER OF PRIORITY)</i>	
Test for yield learning	<ul style="list-style-type: none"> Critically essential for fab process and device learning below optical device dimensions
Screening for reliability	<ul style="list-style-type: none"> Increasing implementation challenges and efficacies of burn-in, IDDQ, and Vstress Erratic, non deterministic, and intermittent device behavior
Increasing systemic defects	<ul style="list-style-type: none"> Testing for local non-uniformities, not just hard defects Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Potential yield losses	<ul style="list-style-type: none"> Tester inaccuracies (timing, voltage, current, temperature control, etc) Overtesting (e.g., delay faults on non-functional paths) Mechanical damage during the testing process DefectSoCcurring in test-only circuitry, e.g., BIST Some IDDQ-only failures Faulty repairs of normally repairable circuits Overly aggressive statistical post-processing
<i>FUTURE OPPORTUNITIES (NOT IN ANY ORDER)</i>	
Test program automation (not ATPG)	Automation of generation entire test programs for ATEs
Simulation and modeling	Simulation and modeling of test interface hardware and instrumentation seamlessly integrated to the device design process
Convergence of test and system reliability solutions	Re-use and fungability of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)

· ATE—automatic test equipment ATPG—automatic test pattern generation BIST—built-in self test HVM—high volume manufacturing
MCP—multi-chip packaging MEMs—micro-electromechanical systems

主要なドライバ

既に述べたように、テストの章における主要なドライバは、持続的なテストコストのスケールで、半導体のテスト機能が働き、満足できる部品の品質と信頼性を供給するための境界条件であると考えられる。

デバイスのトレンド

- デバイスインタフェースの帯域** 2001年版 ITRS ロードマップでは、問題の変化の方向は、(以前のトレンドと比較して)急激な部品速度の増加に伴うシステム性能の増加に対応することを意味していた。2003年版および2005年版では、テストワーキンググループは、2001年の予想ほどの急激な速度の増加はないものの、Gb/s インタフェースが半導体部品の市場区分(メモリ、CPU、チップセット、他)のより広い領域へ浸透することを記している。高速シリアル I/O と差動 I/O のプロトコルは、速度上昇を続け、持続的なテストコストのスケールを維持するように DFT と HVM (high volume manufacturing) テストプロセスにおける技術革新を求め続ける。
- 増加するデバイスの統合** - SoC (system-on-a-chip) と SiP (system-in-a-package) によるデバイスの統合が、多くのビジネス区分を通して行き渡っている。このデバイスの統合は、テストコストのスケールと製品品質を維持するためのテストソリューションの再統合を強いる。単独の RAM やコアやその他のブロックのために最適化されたテストソリューションでは、修正や追加的 DFT や新たな分割なしでは、統合されたデバイステストソリューションに関して比例的につりあわない。とりわけ、ダイまたはパッケージにおいてさえも、埋め込まれたブロックやコアにアクセスしてテストするために、追加的 DFT が必要とされるかもしれないし、または HVM テスト機器の追加的分配と再統合が必要とされるかもしれない。マルチダイパッケージングのための高品質ダイを供給する KGD (known good die) の技術もまた、テスト技術とコストトレードオフの非常に重要で不可欠な部分となる。
- 新たな非デジタル CMOS 技術の統合** ここしばらくの間、ミクストシグナルデバイス回路がデジタル CMOS に統合されたダイで増加的に供給されており、これが ATE、測定機器、テスト生産フロー統合の選択における主要な課題を突きつけている。それはまた、DFT 革新のための新たな課題と機会を提示している。それはデジタルのロジックやメモリにおける DFT のようには普及していない。RF 回路の統合は、より根本的に異なる半導体デバイスタイプ、例えば、既に統合フォームのなかに姿を現している MEMS や、大規模 CMOS デジタルダイへの統合が間近に来ている光学系などと同様に高まりつつある。これまでの統合のタイプのように、これらのデバイスについてのテスト使命は、潜在的に埋め込まれたブロックへのアクセスと、根本的に異なるテスト手法をコスト効果のある製造プロセスへ統合することである。
- パッケージ形状因子と電気機械的・熱的特性** パッケージ形状因子によるエンベロープは内側と外側の両方を圧迫している。ハイエンドのマルチダイのための MCP や SiP におけるより複雑な形状因子があり、しかしまた、最も小さなプラットフォームの形状(例えばハンドヘルド)を目的としたシステムのためにスモールエンドに向けて押し進むチップスケールパッケージングがある。さらに、熱の放射、拡散、あるいは電圧制御や消費電力管理などの機能をも含めたダイパッケージの多機能性が増加しているように見える。消費電力の増加に伴う主な関心事として、形状要因からくる熱転送特性や均一性 (theta-JA、-JC 他) がテストプロセスにおいてなおさら重要となる。これら形状因子技術のエンベロープの拡大は、主要なテストサブシステムの改善と供給を必要とする。パッケージングテスト操作、オーム接触技術、テストソケットがそれである(後に章の後半で初めて述べられる)。
- 片側刺激応答モデルを超えたデバイス特性** 半導体テストとテストアーキテクチャおよび使用法の歴史は、決定論的なデバイスの挙動を基礎にして成り立っている。加えて、デジタル CMOS テストは、歴史的に、V_{cc} や温度や周波数などの環境トポロジを単純化することに基づいてきた。そして、最悪の

(片側)1回逐次代入テストで環境トポロジの広く継続的な範囲について性能を保証した。これらのトポロジが2つまたは3つの変数であれば、それらは制御可能であるし、特徴づけとHVMテストのための最適化はたいへん容易である。しかしながら、この片側テストパラダイムの次数では、多数のデバイス特性には対応できない。HVMのためのテストコストスケールの持続を潜在的に止めると同時に、NER開発における非線形効果がテストに負担をかける。拡張された自己救済・修正、組込み変数、複合消費電力制御モードなどのデバイス機能は、すべて潜在的に、とてつもなく大きな複雑さをデバイステスト条件に付加する。そのうえ、デバイスの設計、アーキテクチャ、挙動領域の点から、非決定論的なデバイス挙動(例えば非同期ロジックアーキテクチャ)が今後増加する可能性がある。そのような挙動においては、同様な条件下でのダイからダイへの正しいデバイスの挙動(エンドユーザシステムの見地から)は、決定論的ではない(タイム/ベクトル同期の見地から)。これらの挙動はエンドユーザとエンドシステムの見地からは正しいが、伝統的なHVMテストの刺激応答モデルを壊すであろう。同じ同期で供給された1と0のデジタルロジックの集合では、このような挙動をテストするには不十分であろう。これらのデバイスのアーキテクチャと挙動は、現在広く普及しているわけではないが、そう遠くない将来、それらは半導体テストプロセスのための主要なパラダイムシフトまたは革新課題を突きつけるだろう。

増加するテストプロセスの複雑さ

- 増大したデバイスのカスタマイズとライン項目の複雑さ(テストプロセスの間に)** 「これは良いダイなのか?」という質問を取りまく測定だけでなく、特定のダイを修正、差別化、カスタマイズする現実のプロセス段階をも含めるために、テストプロセスはますます拡大している。これらの例としては、メモリブロック(とその他の)冗長/救済、レーザマーク、ダイヒューズやROM上の焼成、またはその他の製品機能のプログラミングなどが挙げられる。さらに、いくつかのビジネス区分では、増加する製造テストフローの区分と物理的分離によって、同一のダイベースから引き出される製造ライン項目の実質的な増加が見込まれる。このすべてが、増加する製造テストプロセスの需要を招き、装備(例えばハンドリングやヒューズ溶断など)や生産自動化や設備基盤統合を拡大する。
- コストスケールを維持するために増大した“分散”テスト** DFT技術の広い応用によって可能となった、テスト内容や計測器や装置基盤要求の分散化は、テスト設備への資本支出や運用テストコストや完成製品品質を最適化するために広く普及する産業テストプロセスの統合案となり続ける。設計検証と製造テストというそれぞれ違うタイプの装置の分散と差別化が続くだろう。この差別化は、検証ツールと製造ツールにおけるスピード、正確さ、チャンネルの数と種類などの違いに集中するだろう。将来の製品で、ミクストシグナルあるいは光学系とメカニカルシリコンなど多彩なCMOS回路が一緒に統合されることで、分散テストソリューションが引き続き生み出されるであろう。少なくとも製造テストにおいては、ATEのプラットフォームが“何でもできる”プラットフォームへ逆戻りして複雑さを増すよりも魅力的である。関連して、製造テストフローそのものについては、複雑さ(段階数や相互作用)が増すであろう。
- 製造調整のために増大したテストデータフィードバック** いくつかの理由によって、与えられたダイの良否の識別を超えた目的のためのテストデータ利用が不可欠となり、拡張、改良され、より良く統合されたテストデータのシステムと設備基盤が必要となった。ある意味で、構成要素のテストプロセスからの出力は、製造ダイスと生産ロットを横断したテストプロセスで様々に適用された測定の結果としてのデータである。このテスト出力の統合によって、イーールドラーニングや独自の材料識別、分散化された製造テストにおけるフィードバックなどがより重要で不可欠な、前向きの応用となる。
- テスト条件の高次数化** 従来、構成要素の製造テストでは、2つか3つの環境変数(典型的には、電圧、温度、周波数)についてのポイントまたは隅部条件からなる簡単なマトリクスを使って、テストポイントの描く外観を超えた多次元の製品仕様空間を保証してきた。バッテリー応用プラットフォームからク

クライアントコンピューティングやサーバまで、幅広いマーケット範囲の構成要素が消費電力管理のための多くの仕組みを付加しており、これが直ちに最悪ケーステスト条件の外観に急激な複雑さをもたらしている。例えば、複雑な構成要素の仕組みには、複数または可変電力モード(スリープやハイバネーション)、あるいは通常動作時に電圧や周波数を即時コントロールしてアプリケーションの最適電力制御を達成するためのシステムが含まれるだろう。これらの可変値の次数増加によって、構成要素製造テストのためのより大きな環境テストポイント集合を決定し、特徴づけ、最適化(削減)することが困難になっている。この複雑さのペースが維持されると、追加的な検証労力とより複雑な環境テストポイントの質を保証するための革新的手法が必要となる。これは製品テストにおけるより複雑な最悪ケース条件の予測を確かにするために必要である。このテスト環境集合ポイントの複雑さの増加はまた、テスト内容を作り、製造フローにおける様々な集合ポイントにそれを繰り返し適用することで、テストコストの経済的スケールを持続するための課題でもある。

持続するテストの経済的スケーリング

- 並行性の物理的限界** ここ数世代の間、特に商品メモリにおいて、しかしまたデジタルロジックにおいても、トランジスタ数や機能の増大、入出力とコアの更なる高速化などに関連して、並行性(いちどのテスト挿入でテストされる DUT の数)を持続的に増やすことが、テストの経済的スケールを維持するための主要な方法であった。現在のテストツールとインタフェース・ハードウェアの統合パラダイムでは、DUT テスト並行性の更なる増加は、次の1~2世代のうちに非直線的な限界に達するであろう。これは、物理的または電氣的な近接を許容しながら、DUT とテスト器機のあいだの空間にどれだけ多くの電気チャネルを押し込めることができるかという実用的な限界による。テストの経済的スケールを持続させるための代替手法、または現在の発想をこえて DUT の平行性をさらに増加させることができるような、DUT、ハンドリング、接触、テスト機器統合についての新しいパラダイムが必要である。
- (デジタルロジック)テストデータ量の管理** 無制約に増大したデジタルロジックダイの複雑さと内容に比例してテストデータ量(ベクトル幅)が増大している。この追加的なテストデータ量は、テストツール(ATE)のチャネルあたりの追加ベクトルメモリの深さを増し、DUT あたりのテスト時間を増やすことで、テストの資源的、運用的コストを増大させている。現在、多くのロジックテストベクトルの圧縮手法が開発され、種々のやり方で適用されている。例えば、それ自身のデータベース(スキャンベーステストのために)による場合や、製品ダイの上の圧縮ハードウェア(DFT)を経由する場合がある。増加を続ける製品の複雑さと、より高い製品統合(例えば SoC、SiP)レベルのために、データ圧縮は、構成要素のビジネス区分を横断してさらに偏在的になるであろう。また、最終的には圧縮の率(すなわち、非圧縮に対するテストデータベースの圧縮率)の上昇が必要かもしれない。
- HVM ATE と DUT とのスピード差の効果的制限** 近年では、アプリケーションデバイスと製造テスト機器とのスピード差を拡大することが、テストの経済的スケールを達成するための主要な方法のひとつとなっている。これは、分散テストやテスト分割の主要技術であり、I/O ループバックや DUT における特殊テストモードなどの様々な DFT によって可能となる。アプリケーションスピードや設計を検証する ATE と HVM 製造 ATE との差分が、テストの経済的スケールの持続を可能にする。しかし、エンドユーザのアプリケーションで十分な DUT の品質を保証するために、DFT の組合せにおいて必要とされる遅さと不正確さ(例えば信号エッジの置き換えのため)の制限がある。デバイススピードと I/O エッジレートが増加すれば、製造テスト機器のスピードは遅れる。それは緩やかであることが望ましいが、おそらく DUT そのものの変化よりも大きなステップ増分となる。ATE 高速化のための置き換えや拡張の機会が、コストと品質をとともに効果的に保つための最も良い機会をもたらす。

- インタフェース・ハードウェアと(テスト)ソケットコストの受容可能な増加**
 テストプローブ・インタフェース・ハードウェアおよびテストソケットに基づくコストの一部が、テストコスト全体のなかで占める割合が増加している。これには、より高速(GB/s)で複雑な DUT I/O プロトコルや増加した DUT 並列性、信号ピンと電源ピンの多数化、電力供給や信号線チャンネルの忠実度要求の増加など多くの要因がある。これ自体は憂慮すべき風潮ではあるが、それは、全体のテストプロセスコストおよび生産テスト全体の経済的スケールが持続できるか否かに照らして考えられなければならない。受け入れ可能な範囲でのインタフェース・ハードウェア・コストの割合の増加はまた、技術的ドライバと境界条件にも依存するかもしれない。例えば、そのようなハードウェアのための主要な材料基盤として、可能な層数内で FR4 材料の使用が持続的に拡張していることなどがそれである。

困難な技術課題(優先順)

(1) 歩留り習熟のためのテスト(要約)

根底にある欠陥構造とプロセス限界を理解するためのフィードバックループとして、また急速な製造プロセスの歩留り習熟と改善を実現する手立てとしてのテストの周辺的な役割は、伝統的にハード欠陥をスクリーニングすることに対して二次的な役割と考えられてきた。光波長よりもかなり下回る形状(そして、欠陥)サイズの急激な減少、故障解析スループット時間の急速な増加、故障解析有効性の減退、そして他の物理的技術(パイク(pica)、レーザープローブ(laser probes))の事実上の物理的限界への接近などに伴い、産業は、半導体事業として戦略的な変曲点に到達しようとしている。そこでは、DFT の臨界、テストにより可能となる診断、及び歩留り習熟が最優先項目となる。言い換えれば、過去のプロセス世代ごとの歩留り習熟速度は、歴史的な故障絞込みと故障解析手法では、本質的に持続可能ではない。それどころか、故障絞込みの特性に関してダイ上の計測と診断ソフトウェアツールを改善するとともに、ダイ上の回路(DFT 回路など)を製品間にまたがって普遍的に配備可能にすることによって、歩留り改善速度をより強化する必要がある。過去、メモリ配列上の故障ビットや論理回路上の故障ゲートを絞り込むのに十分だったような箇所において、将来は少なくとも故障トランジスタまたは故障の配線を電氣的に絞り込み可能とするよう実ビジネス上の要望がある。さもないと、新しいプロセス技術において、歩留り改善速度の低下による経済的な結末を味わうことになる。おそらく将来プロセスにおいて、ダイサイズ毎に漸近的に達成可能な最大歩留を下げるということになるであろう。部品テストに対するこのミッションに最優先の重要度が与えられ、テストチームは、テストの最優先の技術課題としての関連性をまとめるだけでなく、この主題に関する詳細なセクションをテスト章の先頭部分に含めた。

(2) 信頼性のためのスクリーニング

主要な「欠陥除去」や良品と不良品を見分ける以外のあまり公表されない半導体テストのミッションは、初期故障を除去し、製品集団の信頼性を許容可能なレベルにすることであった。これをテストの「欠陥」ミッションよりも言い換えれば、この重要な機能を「 $t > 0$ 欠陥の除去」と呼ぶことができる。ここで時刻「0」は、部品供給者から顧客への納入により製品が移動する日を指す。歴史的に、異なった半導体ビジネス分野においては、顧客の要求品質に合わせるため、製品集合の信頼性の低い部分や製品を十分な数だけ除去するために、製造工程においてバーンインから IDDQ、電圧ストレス印加までいろいろな技術を使ってきた。同様の動機から、特にバックグラウンド・リーク電流の増加や動作マージンの減少(プロセススケールリングによって V_{dd}/V_{cc} が低下)、これらの技術の全ては、効果的が減少し、あらゆる面においてより高価になってきている。バーンイン装置と技術は本質的に変化しないままであり、80 年代前半から 90 年代半ばまで多くのプロセス世代を渡って再利用され、90 年代後半にはバーンイン生産システムは(この技術を導入す

る製品区分において)、テスト資金とインタフェース・ハードウェア・コストの最も大きな増加領域のうちの 1 つであった。パーンインにおける高電圧と高温(初期欠陥の加速目的)では、リーク電流レベルは通常使用条件下より非常に高い。それに加えて、製品の Vcc と温度マージンの減少は、潜在的な欠陥母集団を加速するのに利用できる範囲を制限する。ASIC から SoC、汎用メモリまでの製品分野で広く使われていた IDDQ は、「正常な」静止電流レベルに対して潜在的な欠陥を含む DUT の SN 比が非常に減少するという、バックグラウンド・リーク電流の増加に比例するのと全く同じトレンドで大きな技術課題に面している。実際、これは少なくとも 250nm の DRAM ハーフピッチから課題とされ、多くの会社でより進歩した技術を使い始めた。例えば、初期欠陥に対して効力を保ちつつ無効な歩留りロスやコスト影響を減らすために、複数テストの結果と、IDDQ や他のブーリアン[訳者注: スキャンテストや機能テスト等、電圧レベルで出力の論理値 0/1 を判定するテストを指すと思われる]静的状態の Icc/Idd とを組合せて比較する技術があげられる。テクノロジー世代ごとにくぐりより低い固有リーク電流レベルを持つ傾向があった汎用メモリは、なんとかいろいろな IDDQ 技術によって他の製品ファミリーに比べて多少延命にすることができた。しかし、それらでさえ現在、1 世代または 2 世代先のテクノロジーについては IDDQ 技術の有効性が現実落ちてくると予想が報告されている。同様に、潜伏欠陥を加速するための正常基準範囲を越えた電圧ストレスや Vcc/Vdd とパターンの印加は有効性を失いつつあり、特に、Vstress と Vnominal の電圧差は各世代で縮小している。長い目で見れば、おそらくここ数世代でいずれ、少なくともいくつかのビジネス分野や製品タイプにおいて、この信頼性スクリーニングを提供する機能のために新たな技術が必要である。調査下のより新しい概念のいくつかは、intra-die test(同一 die からの結果)と inter-die(隣接ウェーハ解析、ロット内解析、アダプティブテスト(adaptive test)範囲、ロット間解析)の双方のいろいろなテスト結果の中において、ブーリアンおよび分布アルゴリズムを改良したものである。おそらく大きな推進の役割を演ずるもう一つの方向は、自己診断と自己修復による修復である。そして、それは今日エンベデッドメモリ RAM 上で、またはエラーコーディング検出と修復(ECC)技術によって実用化されている。このチャレンジはメモリに留まらないであろうし、むしろ方法と時を同じくして、論理回路においても自己修復への同様の能力や代替アプローチは実際に適応可能で、入手可能になるであろう。

(3) 増加するシステムティック欠陥

産業は、製造プロセス技術や回路感度の変化とモデリング限界に起因する、製造の不完全さに関連したテストと歩留り習熟の新しい技術課題に面している。

1. プロセス技術の前進は、回路機能に影響を及ぼす物理的欠陥の母集団を変化させている。例えば、より小さいか、より高い縦横比 VIA は不完全なエッチングで、抵抗性 VIA を非常に起こしやすい。エッチングによるアルミニウム配線プロセスから銅ダマシン構造への変化は、異物起因によるエッチング不完全のメタル・ショートを減少させ、異物起因によるデポ不完全のメタル・オープンの増加を引き起こすようになるかもしれない。それに加えて、リニアメタルの Cu 配線の導入は、配線オープン時は、無傷で残るため、抵抗性配線オープンの発生を増やすかもしれない。Low-k 誘電体の導入は、潜在的な抵抗性ブリッジの発生を増加させるに至るかもしれないし、より小さいトランジスタは負バイアス温度不安定性(NBTI)のような重要な劣化性メカニズムを増加させる。
2. 設計とプロセスのインタラクションの増加は、システムティックな欠陥を増加させるかもしれない。たとえば、パターン密度、パターン隣接および不完全な光学的近接効果補正(OPC)アルゴリズムのために、そのような欠陥は、特定の回路/レイアウト形状で起こるかもしれない。それらはシステムティックであるが、まれなことと、発生条件が複雑なため、ランダムに発生するように見えるかもしれない。
3. 回路感度を変化させることは、おそらく過去に良性だった欠陥を、将来は致命欠陥にしてしまうことである。例えば、より短いクロックサイクルでは、10psec や 100psec の遅れを引き起こす欠陥が、より回路故障の原因となることを意味する。さらに、電力最適化され、かつ、あるいは論理合成された設計では、

かなりなタイミング・マージンを持ったパスがより少なくなる。そして、それはランダムな遅延欠陥がより故障を起こしやすくなることを示す。同じように、例えばクロストークや Power/GND バウンスのような雑音効果の増加は、ノイズやタイミング・マージンを減少させ、再び欠陥に対する回路感度が増加する。

- 最後に、モデリングの複雑さは、全てのプロセス条件下で回路の機能を保証するための EDA/設計の能力を脅す。プロセス変動と結びついたその能力の減少は、テストの床に達する回路のパラメトリック故障モードの増加となるかも知れない。

故障モデリング、テストパターン生成、テスト検出率算出、DFT ソリューション、テスト・アプリケーションと診断を含むテスト工程の全ての側面で、これらの現実的で挑戦的な製造の不完全さの母集団を扱わなければならない。新しい欠陥クラスは、いくつかの製品においては従来のテスト手法では検出できないかもしれない。例えば、ASIC の微小遅延欠陥があげられる。有望な戦略としては、現実的な欠陥ベースの故障モデリング、低 Vdd または温度のようなスペック外を検出するテスト、レイアウトベースの欠陥感度特定による欠陥指向のテスト生成と診断、統計的手法、アダプティブテスト、IDDQ と極低電圧テスト (very-low-voltage testing) の継続的利用を可能とする技術、等が含まれている。これらの技術あるいは他の技術が正確に目標を目指し効果的であるためには、製造の不完全さの母集団におけるその発生と性質についての非常に忠実な情報が必要とされるであろう。それ故、欠陥を理解し特徴づけるための手法が開発されなければならない。テスト構造ベースの手法だけでは十分でないかもしれない。製品レベルごとのテスト結果に基づく手段が、同様に開発され続けなければならない。

(4) 歩留ロスのポテンシャル

製造歩留ロスとは、そのデバイスを搭載する製品(システム)上では正しく動作するかもしれないデバイスを不良品としてリジェクトしてしまうことで、いかなるテストや検査を行うたびに発生するものである。歩留ロスの原因には以下のようなものがある。

- テスタの不正動作(タイミング、電圧、電流、温度管理など)
- オーバ・テストング(例:非機能パス上の遅延不良)
- テスト中に加わる機械的ダメージ
- BIST などのテスト用回路のみで不良が発生
- 幾つかの IDDQ のみの不良
- 通常リペア可能な回路でのリペア失敗
- 統計的プロセス結果判定のやり過ぎ

テスタ動作不良による歩留ロスは実速度機能テストに代わるテスト手法の導入により、ある程度まで低減されている。DFT 手法は、APAM(Advanced Pattern Application)や NFM(Novel Fault Models)によって生成される実速度テストベクタにより、現在最も良く検出される”間接的”不良のカバレッジを今より上げるように発展しなければならない。しかし、この開発に過剰な期待をかけないように注意すべきである。妥当な故障モデルへの更なる取り組みも同様に必要である。

パラメトリック・テスト(タイミング、電圧、電流、そして温度管理)時のテスタ動作不良やテスト実行中に起こる DUT パラメトリック変動は、歩留に影響する十分に大きなガードバンドを必要とする。先進的リソグラフィを使うことにより増加している DUT パラメトリックの多様化は、より大きな効果を発揮する BIST や他の代替テスト手法、例えばチップ上にパラメトリック測定回路を形成するなど、の必要を迫っている。

同様な歩留ロスに関する課題が不正確なランチキャプチャー遅延テストで近年表面化して来た。遅延回路測定では 15pS の遅延回路測定誤差が観察されている。これは近年発表された内部クロック周期の 10%であり、今のところまだ手法が確立されていない遅延回路測定にマージンテストを加えると云うような方法もあるが、歩留ロスまたはテスト見逃しの可能性を示唆している。同様に、遅延回路測定で不適正な遅延回路が測定された場合も歩留ロスの一因となる。ツール【訳者注：パターン発生】は、不正回路測定で生じる歩留ロスを避けるように開発されなければならない。

IDDQ 不良は様々な内部接続や他の不良を検出することで知られている。しかしながら、もし IDDQ のみの不良がそんなに深刻ではないとしたら、バーインでほんの数%変化するか、さもなければ何らかの信頼性問題になると云うことが経験的に知られている。これは、最終製品がきわどく無ければ歩留ロスとみなすことが出来る。

統計のプロセス結果判断は不良ポテンシャルを見つける強力なツールになっている。しかしながら、例えば、“不良チップに囲まれた良品チップ”の廃棄などのように、これは本来的に歩留ロスのメカニズムを持っている。

しかしながら、大きな意味で、歩留ロスとは大量の正常に拡散されたデバイスや内部回路を廃棄することを含むと理解されているかも知れない。なぜなら不良となる異常拡散デバイスはほんの少しだからである。このような歩留ロスは冗長回路を持つ高密度メモリでは減少している。同様の手法が、高度な再構成性や冗長性を適用するシステムレベルで使われ成功している。不良抑制のための再構成回路技術、あるいは間接的ダメージの原因とならないリペア手法に着目したりリペア技術の継続的開発が求められている。

オンラインテストとリペアを連携させる方法に関する研究開発はシステム技術として豊富な歴史がある。これらの努力の結果を IC に取り入れることは、広い意味での歩留ロスの低減に繋がる可能性がある。ロバスト設計、オンラインテスト、およびインサイチュ (in situ) ・リペア技術の開発に関する更なる努力が求められている。

将来の可能性

テストプログラム自動生成 (ATPG ではない)

EDA (Electronic Design Automation) 業界がスキャン DFT の機能を利用したスキャン圧縮や DFT 合成などを提供している一方、たとえばエンベデッドメモリでは半導体ベンダはテストプログラムの生成においてテストプログラム自動生成ソフトにエンジニアリングコストをかけている。今日においては製造部門やテスト設計会社は新しい顧客のための個別のテストプログラム自動生成ソフトを作るために多くの時間を費やしている。ATE と共に主として ATE ベンダによって提供された、または半導体ベンダが自社内で作成した、異なる数々のこのための多くのテストプログラム自動生成ツールがある。以前からテストプログラムのためのデータや構造が標準化されてきている(テスト・データ・フォーマット(tdf)あるいは標準テスト・インタフェース言語(STIL))。しかしながら、有効なテストプログラムを広く利用可能で簡単に利用できるソフトウェア製品にはなっていないという基本的な問題はのこっている。この業界では 1000 もの同様の機能のツールがある。

シミュレーションとモデリング

設計段階のシミュレーションとモデリングに、ダイのパッケージング状態のみならずテストインタフェース・ハードウェアや ATE それ自身までを含めることは(両方、パラメトリック的で論理的である)製品の製造とテストの時間短縮を可能にするであろう。またこのようなシミュレーションとモデリングの拡張は、DUT 状

態における 生産テスト装置まで統合化された DFT の枠組みについて、設計段階における信頼性の高い検証を可能にする。このように継ぎ目なく統合しているシミュレーションを提供して設計段階におけるテスト環境をモデル化することは、製品性能のテストの正確さだけでなくテストをやりやすくし、DFT やテストの潜在的な問題が少なくなるため製造から設計への後戻りが少なくなる。

テストとシステム信頼性の統合

最も広く普及している DFT 手法(たとえばスキャン)は高級な大型コンピュータにおける高信頼性の要求を満たすために開発された。このスキャン構成されたハードウェアは、製造テストの選別目的のためにも使用可能であることから、大型コンピュータ産業において普及した。将来、アルファ粒子や、宇宙線で誘発されたソフト・エラーや、不安定なサーキットの振舞いや、他の間欠性の予測できないレベルの振舞いなど、ダイ内部での多くの物理的、回路的な現象による信頼性の低下が増える。これらを受けて、現象の検出や現象を修正する手段が提供されるであろう。スキャンがそうであったように、本質的にエラーを押さえ込む改善されたシステム信頼性を提供できる設計の開発や適用が、今日、RAM の上で使用されるエラー訂正が普及したように製造テストの選別目的のためにも普及する。

また、将来の可能性としては、おそらく出荷テストにも使用可能(より稀少な予測不可能な断続的な振舞いに対して検知し欠陥の修正を行うことに対して)となるため、テストとの統合が行われる(メモリのリダグダンシー/リペアのように)。しかし、より楽観視すれば、それらは恐らく将来の半導体テストに有効で、より効率的で、よりオーバーヘッドを減らしたかたちになるかもしれない。

テストと歩留り習熟

良品/不良品を選別する機能に加えて、テストはディーブサブミクロンの製造プロセスに備わる欠陥メカニズムを理解するために不可欠のフィードバックループを構成する。テストは、致命欠陥や許容範囲を超えたパラメトリックなバラツキ、及び設計とプロセスの相互作用に関するフィードバックの主要な源である。テクノロジーの限界まで減少してしまう設計マージンとなって現われる、設計とプロセスの相互作用による複雑な故障は、歩留まり習熟のゴールに到達するために、テストからのフィードバックをより重要なものとさせている。欠陥位置絞り込み、プロセス尺度、故障原因の究明を、コスト面で効果的にサポートするために、テストはその性能を向上しなければならない。

物理的故障解析 (PFA : PHYSICAL FAILURE ANALYSIS)

CMOS 技術の移行は、伝統的な故障解析工程においては厳しい挑戦となるだろう。故障位置絞り込み、剥離及び、特性抽出/検証を含んだ伝統的な工程は、定常的な業務としては、時間の掛かりすぎる困難な作業になるだろう。その代わり、後述するソフトウェアベースの故障解析やシグナチャ解析といった重要な分野の発展により、破壊を伴う故障解析はサンプル取得や検証を目的としたものによって変わっていくだろう。改良や既存のツール/技術に対するブレークスルーをテクノロジーと足並みをそろえて、重要な役割を演じ続けることが、要求されている。特にテストベースの故障診断やシグナチャ解析ツールに当てはまることである。物理的故障解析(PFA)工程で必要となる点について、優先度の高い順に詳述する。

1. **回路プロービング** 最小寸法のトランジスタ(4点プローブ)や SRAM セル(5 又はそれ以上のポイント)をプローブすることを前提にしたそれぞれのロードマップにおいては、マクロポジショナープロービング、インチャンパー、原子力間顕微鏡といったものが要求されるだろう。これらは、微細であり視認できない欠陥を確認し、一つひとつのトランジスタの特性抽出をするという目的のため必要となる。

2. **故障絞り込み** 縮小化している加工精度と増加しているメタル配線層により、制約が増加している。重要な欠陥が非常に小さく、透過型電子顕微鏡(TEM)でしか観察できない大きさになっている。しかし、TEM で観測するための条件である薄いサンプルを得るために必要な欠陥箇所の視認が不可能であり、欠陥箇所を絞り込む精度が不足しているという矛盾が生じている。致命欠陥の微小化や TEM のような故障箇所の絞り込み精度が必要となる検査ツールの利用拡大により、解析の対象となる範囲を限定することは非常に危機的な状況になっている。
3. **Computer-Aided Design (CAD)/EDA ツール** 故障解析において、故障位置特定や他の故障診断ツールの精度を向上するために、スキャン設計手法を利用することが多くなっている。故障解析環境においては、CAD ツールと EDA ツールの両者における使いやすさの向上が求められている。
4. **光学的診断ツール、特にタイミング情報のために** 低電圧化とともに光子エネルギーが長い波長になるため、picosecond imaging circuit analysis (PICA) / time resolved photoemission (TRE) 検出器及び、solid immersion lens (SIL) 光学系に改良が必要となる。SOI デバイスにおいては、導入されつつある laser voltage probing (LVP) のようなレーザープローブも同様であり、個々のトランジスタからの信号を識別するためには 1 μ m 未満の空間分解能では不十分である。これらが改良されない場合は、全く別の技術が要求されるだろう。
5. **新材料の扱い** 新材料は故障解析に数々の課題を生じる。これらの課題は、サンプル準備の課題、FIB (Focused Ion Beam) 加工と断面解析、電子ビーム画像と様々な故障解析ツールとの相互作用を含む。それぞれの新材料は故障解析能力の広範な発展を必要とする。
6. **FIB 加工** プロトタイプを支援し設計修正の回数を削減する回路の FIB 加工能力は、要求される空間分解能及びビアのアスペクト比により律即される。更に、出現してくるテクノロジーで遣われる新材料での加工能力は確認されていない。

故障解析の新しい機能の開発は、だんだん高価になり、スルーブット減少や解析物量の減少といったリスクが大きくなってきた。その結果、ツールの導入が広まらず、マーケット全体のポテンシャルの縮小や小規模ベンダやスタートアップからのみ魅力が薄くなっている。市場でのリスク低減を手助けするために、広範囲で粘り強いコンソーシアムとツールベンダーの協調が要求されている。

ソフトウェアベース診断とシグナチャ解析

PFA への挑戦がより厳しくなっており、代替手段が必要となっている。伝統的なハードウェアベースの故障絞り込みに対して鍵となる代替手段/補足手段はソフトウェアベースの故障絞り込みである。ソフトウェアベースの故障絞り込み方法とツールは、スキャンベーステストや BIST ベーステストや、ファンクションや IDDQ、重要な AC(ディレイ)テストを含む主要なテスト方法より検出された故障の診断に必要である。搭載メモリや単体メモリの故障絞り込みは、比較的簡単な仕事であるが、上位層メタルの密度の不足から、もはや十分ではない。ツールは、抵抗性のブリッジや抵抗性のコンタクト/ビアやオープンを含む全ての現実的な物理欠陥を扱えなければならない。そのうえ、スキャンベースの診断は相対的にかなりの比率の歩留まりがスキャンテストで失われているという事実を理解しなければならない。欠陥はまた、クロックや他のインフラストラクチャネットにも影響しうる、そして、これらは今日的手法では診断するのが難しい。パラメトリック(欠陥でない)不具合や信頼性故障を診断する方法もまた、開発されなければならない。これらの方法は、構造化かつ量産レベルのテストを基本とするであろう。BIST のような DFT 手法は、必要なデータを収集可能なように特別な考慮をされて設計されなければならない。IDDQ 測定デバイスは診断による要求レベルをサポートする必要がある。テストの応答データ取得能力とデータ管理システムはこれらの手法の要求を満たさなければならない。特に、ATE はスキャンデータの収集を無限に行えるべきである。単一のもしくはいくつかの

故障ネット候補を絞り込むのに十分な診断データ取得には、テスト時間全体に著しい増加があってはならない。

ツールおよび手法は、下記に示すいくつかのソフトウェアベース診断のレベルをサポートするべきである:

1. 分解能とテストコストオーバーヘッドのトレードオフを考慮しながらの生産に価値あるデータ収集。関心はテストデータ圧縮と BIST 手法を含むだろう。最低限の要求は故障コアのコア特定である。平均したテスト時間オーバーヘッドは 1%未満であるべきである。
2. 選択されたエンジニアリングやモニタウェアまたはロットでの広範なデータ収集。細分性は、正確な故障タイプのパレート図を作り、ツールの共通性解析を対応するのに十分でなければならない。スルーputタイムは、十分なボリュームの生産プロセスにタイムリーなフィードバックを提供できるくらい短くなければならず、時間ゼロの故障と信頼性の故障の両方をサポートしなければならない。ツールは、故障ネットを特定するだけでなく、故障した配線層も特定するべきである。そのような解析は、レイアウト情報とインライン試験結果の両方・またはどちらかを故障箇所特定と統合することを含むであろう。通常のテスト時間は秒オーダーにあるべきである。生産の初期段階では、より重要な部分がそのような大規模なログに出力されるかもしれない。
3. ひとつのトランジスタか 10 数 μm 以下の配線部分や故障した配線層に故障を特定する個別のダイ解析。そのような解析は、特殊目的の診断分解能向上 ATPG やフェイルデータ収集とアナログの再シミュレーションの両方もしくはどちらかを伴い、故障解析で追加されるかもしれない。解析時間は前の 2 つのケースよりかなり長いかもしれない。

これらの診断ニーズをサポートするために工場の集約問題を扱わなければならない。データ獲得と管理能力は統計的解析と歩留まり向上のため、大量の生産データ採掘のための信頼性向上をサポートしなければならない。ファブレス/ファウンダリとサードパーティ IP を含む、分散設計と製造のための、歩留りデータフローのメカニズムもまた、開発されなければならない。例えば、データ管理戦略は、複数の生産品の中に含まれる同じコアの一貫したデータ収集を要求される。

ハードウェアベースの診断ツールは、上記の補足に適宜使用されるだろう。これらの技術の空間分解能は画像処理や画像の重ね合わせに用いられる近赤外線光によって、支配的に $0.5\ \mu\text{m}$ に固定されている。(たとえば、時間分解型エミッション、エミッション顕微鏡、レーザープロービング、熱誘導型電圧加速 (TIVA)、など)。裏面画像処理に対して、他の手法が存在しないため、この制約はハードウェアベース故障特定ツールを画像重ね合わせと信号追跡の改良された CAD 能力と統合化することで、扱われなければならない。CAD ナビゲーションは空間的であるとともに、時間ベースでなければならない、すなわちシミュレーション波形にリンクしなければならない。

最後に、シグナチャ解析手法は物理故障解析の必要性を削減するか削除するために開発されなければならない。統計的方法は、正確に事前にテストで区分された特定のクラスから故障しているダイを選び、物理故障解析の入力の優先度をつけるのに必要である。より長期的には、物理的故障解析を行わずに、テスト情報に基づく根本的原因を特定するための手法を開発しなければならない。可能とするのに鍵となる技術は、個々の欠陥タイプを識別できる特性評価テスト手法である。パラメトリック解析のために SRAM ビットラインアクセスさせるマルチプレクサベースの技術のような DFT でのサポートが要求されるだろう。レイアウトデータを用いた電气的特性評価とテスト構造/インラインテスト結果の統合も鍵となりうる。

製造工程のテストコストの着目点

製造工程のテストコストを削減する分野で重要な進展が続いているが、解決すべき多くの課題も残されている。多数個測定の多チャンネル化や高温化、先端プローブカード技術の具現化、新しいハンドリング技術、テスト容易化手法、などのトレンドが半導体テスト技術で続いている。このトレンドは、既存の低パフォーマンス・ロジックテスト装置で顕著である。しかし、同様な改善はアナログや RF の幅広い分野でも重要な課題である。テストコストに着目し続けることは、テスト方法論と ATE アーキテクチャの間のコスト上のトレードオフや、多くの検討を踏まえた上での工程分割テストや、トータル・テストコスト削減の理解を深めることに帰着するだろう。

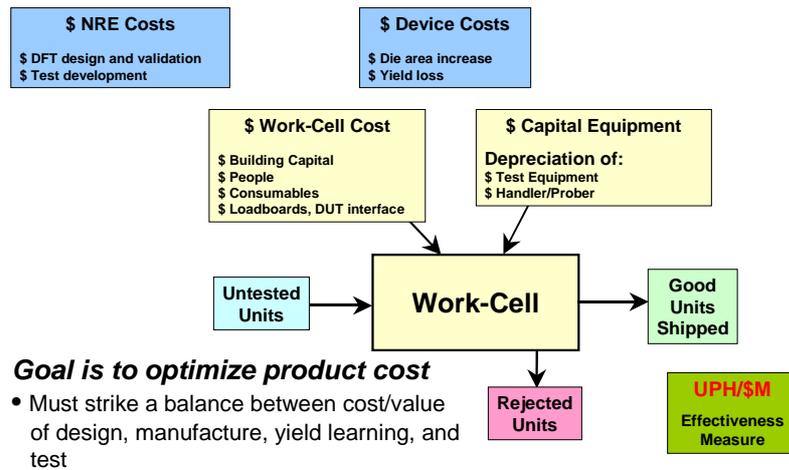


Figure 28 Test Cost Drivers

半導体のテストコストを成す要因は数多くある。Figure.28を参照。実質的に、これらの要因の重要性はデバイス毎に様々である。DFT 分野のコストは、パッド制約のチップがコア制約のチップか次第である。テストコストの許容範囲は市場依存性が高く、テストの価値とコストとのバランスで決定されねばならない。Figure.29は、任意チップにおけるテスト品質のトレードオフを表している。

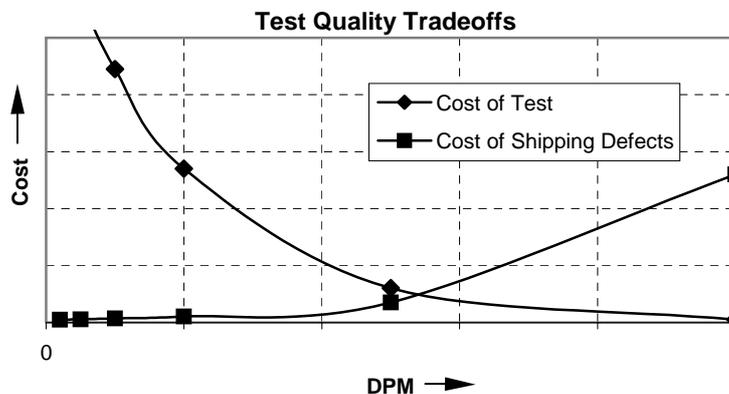


Figure 29 Test Quality Trade-offs: An Arbitrary Example to Illustrate the Trade-offs

一般に、テストコストは DPM [訳者注: Defect Per Million] の改善で加速度的に増加する。多くの半導体メーカーは、厳しい”0-DPM” [訳者注: 百万個で不良無し] の品質要求が増していることを認識している。そのトレンドは明らかであるにも拘らず、多くの半導体メーカーはコストを調整しながら低い DPM の目標を達成しようとしている。その様な場合、テストコストは分布の端で多く使われる。技術が進歩するのと同様に、欠陥許容技術が益々普及すると思われる。裕度がある回路の DPM を許容することでテストコストの低減を図ることは、あるデバイス分野において経済的になるかも知れない。しかしテストはスクリーニングするだけではない。テストの重要な価値は、歩留り改善曲線を良くすることで生産対応時間 (time-to-volume) の短縮を実現することにある。テストコストは個別に最小化されるべきでなく、或る期間で最小のトータル製造コストを達成することの前後関係の中で最小化されるべきである。

ATE の投資コストは、簡単な”デジタルピンあたりコスト”の方法で伝統的に測られてきた。これは便利な計測手法だが、誤解し易い。何故なら、ピン数や多数個測定数の削減で生じるスケーリング則と同様に、それは装置インフラやテストプロセッサに関連するベース・システムコストを無視しているからである。更には、同様な基本インフラが大変様々なテストチャンネルの組合せに対して使われると云う、ATE プラットフォームの現在のトレンドに合致していないからである。下記の式は、テストセルの投資コストを将来のテスト技術の妥当なコスト要因の見地から表している:

$$C_{CELL} = C_{BASE} + C_{INTERFACE} + C_{POWER-SUPPLIES} + C_{TEST-CHANNELS} + C_{OTHER}$$

この式において、 C_{BASE} はゼロピン / ゼロチャンネル構成テストシステムの基本コストに等しい (例えば、機械的インフラや、バックプレーンや、テスト OS や、テストプロセッサが含まれる)。 $C_{INTERFACE}$ は、デバイス・インタフェースに必要な全てのコストを含む。例えば、インタフェース接続する電子回路、ソケット、プローブカード (予備のプローブカードを含めて) である。 C_{POWER} は電源のコストに等しい。 $C_{TEST-CHANNELS}$ は (デジタルや、アナログや、メモリのテスト装置のような) 計測器のコストに等しい。 C_{OTHER} は残りのコスト (例えば、フロアスペース) を含む。実際の検討では、付随する C_{BASE} インフラでコスト効果的に達成されるトータル・パフォーマンスは制限されるかも知れず、トータルのテストセル企画の中で考慮されるべきである。例えば、ハイエンド・システムは液体冷却を使うのに対して、或るローエンド・システムは空冷式のインフラを持つかも知れない。テストシナリオは投資コストの配分やパフォーマンス計測手法で評価される。例えば、重要な性能指数は”Units per Hour per Cost (UPH/\$M)”である。それは、トータルコストに対する時間あたりの出荷デバイス数 (スループット) である。

Figures 30 と 31 は、個々の製品セグメントのデバイスに関して 2005 ~ 2020 年間のチャンネルとインタフェースのコストのトレンドを示している。

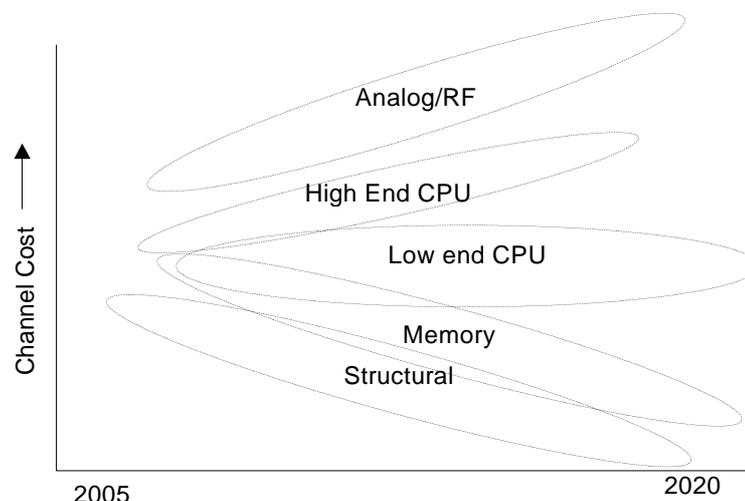


Figure 30 Channel Cost Range Trends for Product Segments

特に、Figure 31 は急速に上昇するインタフェースのコスト それはテストセルのトータルコストに影響を及ぼさずに長い間に渡って含まれるに違いない を示している。次の節では、これらのコストトレンドについて更に詳しく述べる。

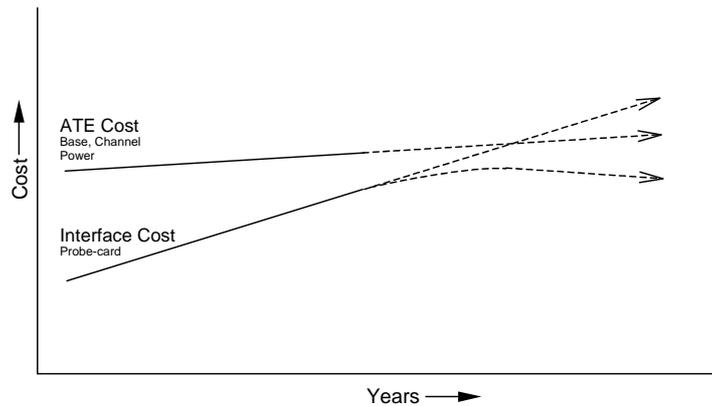


Figure 31 Test Cell Cost / Unit vs. Interface Cost Trend

ベースコストのトレンド

トータルのベースコストは時間が経つと共に徐々に減少すると思われる。プラットフォーム戦略は、基本インフラの寿命を延ばす。更にコストは、基本インフラから計測器に移るだろう。同時測定はスループットを向上させ、複数のチップにベースコストを分散させる。それ故、チップあたりのベースコストは減少する(そして、着目しているベースコストは減少する)。多数個測定で良好なコストスケールリング則を得る為には、ATEインフラに専用リソースを使用することが重要になる。何故なら、共有リソースはスループットを制限するからである。メモリの大規模な並列テストのトレンドは継ぐだろう。更には、新しいプローブカード技術やハンドラ技術は他の分野(例えば、ウェーハテストやパッケージテストの分野)での大規模な並列テストを可能にするだろう。

チャンネルコストのトレンド

多数個測定で良好なコストスケールリング則を得る為には、チャンネルコストの継続的な削減が不可欠である。サイト毎に大半を占めるチャンネルコストは、多数のサイトにベースコストを分配すると云う利点を減少させる。一方、複数のサイト間で高価なチャンネルを共有することはスループットを制限してしまう。チャンネルコストはテスト・エレクトロニクスの継続的な統合や、更には ATE のピン性能要求を減じる DFT 採用の増加で減少すると思われる。加えて、少ないテストポートを使うことでピン数を減らすテスト戦略はサイトあたりのチャンネルコストを削減することが出来る。

アナログ計測器や RF 計測器の比較的高いコスト、およびそれらの回路のテストに関連する長いテスト時間は困難な課題のままである。アナログとミクスド・シグナルのテストにおける DFT 方法論が必要とされている。

高速 I/O のテストコストが重要になって来ている。電子通信の分野では、SONET は 2.5Gbps から 10Gbps/40Gbps になる。コンピュータの分野では、シリアル ATA は 1.5Gbps から 2008 年には 6Gbps になり、PCI Express は 2.5Gbps から 2006 年頃には 5Gbps になる。更には、同時双方向信号伝達のような技法はテストコストを増大させることになり、重要な課題になるだろう。将来的には、高速 I/O の DFT 手法や新しいテスト方法論が、テストコストを左右する非常に重要なソリューションになるだろう。

電源コストのトレンド

多数個測定の度合いの増加と共に、電源コストは増加するだろう。特に、ピン数を減らす技法が展開された場合、サイトあたりの電源コストはサイトあたりのチャンネルコストを越すかも知れない。電源や電源供給技術の革新は電源のコスト増加を招くかも知れない。幾つかの DFT 技法は、より短いテスト時間を達成するために電源に対する要求を増すことに注意して欲しい。

インタフェースコストのトレンド

多数個測定で良好なコストスケーリング則を得る為には、インタフェースコストの調整が不可欠である。同時測定数と共に指数関数的に増加する主なインタフェースコストは、同時測定の数を増やすと云う目的を覆すかも知れない。インタフェースコストは、高バンド幅化(2Gbit/s)や大規模同時測定化(128 同時測定化)で非常に重要な課題になる。市場では、幅広いプローブカード技術も含めた矛盾の無いコストモデルの開発が求められている。特に先端技術の分野では、プローブカードの長いリードタイムが重要なコスト問題の原因になる。プローブカードのリードタイムは、このロードマップ展望の中の 2 つの要因で削減されるだろう。特定の製品においては、ウェーハテストをスキップすることや簡単な低性能テストだけをするのが経済的になるかも知れない。将来的には、高速 IO の DFT 技法がインタフェースコストを左右する一般的なソリューションになるだろう。

同時測定のトレンド

前節で論じられたように、テストコストを下げる最も重要な方法は同時測定の数を増やすことである。同時測定の数を増やすことでの効果は、Figure.31 が示す様に、(1)インタフェースコストの上昇、(2)チャンネルコストと電源コストの上昇、(3)低い同時測定効率 M 、によって制限される。

$$M = 1 - \frac{(T_N - T_1)}{(N-1)T_1}$$

ここで、 N は同時測定される DUT の数である($N>1$)。 T_1 は 1 デバイスあたりのテスト時間である。そして T_N は N 個のデバイスを同時測定した時のテスト時間である。例えば、1 デバイスあたりの T_1 が 10s で、 $N=32$ 個の時の $T_N=16s$ の時の同時測定効率は 98.06%になる。それ故、同時測定で増えるオーバーヘッドは $(1-M)=1.94%$ になる。

チャンネルコストを削減する ATE の共有リソースは同時測定効率を下げる原因になるかも知れない(例えば、ミックスド・シグナルや RF のテストで顕著である)。更には、低い同時測定効率で同時測定の数を増やし続けると、テストコストに大きな影響を及ぼす。例えば、同時測定効率 98%は 2 個や 4 個のテストに適切である。しかし 32 個の同時測定には、更に高い効率が必要になる。同時測定効率 98%では、シングル測定から 4 個同時測定への移行で 10s のテスト時間が 10.8s に増える。しかし、シングル測定から 32 個同時測定への移行では 10s のテスト時間が 16.4s に増える。つまり、同時測定の潜在的利点を相応に減らすことになる。

Table.23a と 23b は、同時測定効率の最低目標と同時に、各製品分野の任意デバイスに対する同測数の予想トレンドを示す。顧客の経済モデルは、カスタムデバイスのテストコストに応じて最適化されたロードマップを証明するように展開されねばならない。テストコスト目標を達成するには、多くの方法やアプローチがあることに注意して欲しい。

Table 23a Multi-site Wafer Test (Package Test) for Product Segments—Near-term Years

Year of Production		2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm)		80	70	65	57	50	45	40	36	32
MPU/ASIC ½ Pitch (nm)		90	78	68	59	52	45	40	36	32
High Performance ASIC/MPU										
Wafer test	Number of sites	8	8	8	16	16	16	16	32	32
	Multi-site efficiency [%]	95%	95%	95%	98%	98%	98%	98%	98%	98%
Package test	Number of sites	4	4	4	8	8	8	8	16	16
	Multi-site efficiency [%]	92%	92%	92%	95%	95%	95%	95%	95%	95%
Low Performance Microcontroller										
Wafer test	Number of sites	64	96	128	256	512 / Full wafer				
	Multi-site efficiency [%]	99.7%	99.8%	99.9%	99.9%	100%	100%	100%	100%	100%
Package test	Number of sites	128	256	256	512	512	512	512	512	512
	Multi-site efficiency [%]	99.9%	99.9%	99.9%	100%	100%	100%	100%	100%	100%
Mixed-signal										
Wafer test	Number of sites	4	4	4	8	8	16	16	16	16
	Multi-site efficiency [%]	85%	85%	85%	90%	90%	95%	95%	95%	95%
Package test	Number of sites	4	8	8	16	16	16	16	16	64
	Multi-site efficiency [%]	85%	90%	90%	95%	95%	95%	95%	95%	95%
Commodity Memory										
Wafer test	Number of sites	128	256	512	512	1024 / Full wafer				
	Multi-site efficiency [%]	75%	85%	90%	90%	90%	95%	95%	95%	95%
Package test	Number of sites	128	256	256	512	512	1024	1024	1024	1024
	Multi-site efficiency [%]	90%	95%	95%	95%	97%	97%	97%	97%	97%
RF										
Wafer test	Number of sites	2	2	4	4	8	8	16	16	16
	Multi-site efficiency [%]	75%	75%	85%	85%	90%	90%	95%	95%	95%
Package test	Number of sites	4	4	8	16	32	48	64	64	64
	Multi-site efficiency [%]	75%	90%	92%	95%	97%	97%	97%	97%	97%

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

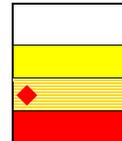


Table 23b Multi-site Wafer Test (Package Test) for Product Segments—Long-term Years

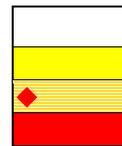
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm)	28	25	22	20	18	16	14
MPU/ASIC ½ Pitch (nm)	28	25	22	20	18	16	14
High Performance ASIC/MPU							
Number of sites (wafer test)	32	64	64	128	256	256	512 / Wafer scale
Number of sites (package test)	16	32	32	64	128	128	128
Low Performance Microcontroller							
Number of sites (wafer test)	512	768	768	1024 / Wafer scale			
Number of sites (package test)	512	768	768	768	768	768	1024
Mixed-signal							
Number of sites (wafer test)	16	32	32	64	128	128	256
Number of sites (package test)	64	128	128	256	256	256	512
Commodity Memory							
Number of sites (wafer test)	1024 / Wafer scale	2048 / Wafer scale					
Number of sites (package test)	1024	2048	2048	2048	2048	2048	2048
RF							
Number of sites (wafer test)	32	32	32	64	128	128	256
Number of sites (package test)	128	128	128	256	256	256	512

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



その他のコストトレンド

メモリ、ロジック、RF を統合する SiP ソリューションの劇的な増加は、KGD 対応のウェーハテスト品質の改善は勿論のこと、むしろ複合技術設計に対してテストコスト削減の圧力を強めてきている。

テストの開発期間とコストは DFT 技法や、テストの標準化(テスト内容の再使用、テスト・プログラムの相互運用性、圧縮、生産対応の俊敏性などに役立つ)や、テストパターンの自動生成(構造化テスト手法のような)や、これ等を使用するプログラムで更に削減されるだろう。

BIST や内蔵自己救済(BISR)技術の様なメモリ DFT は広く普及し、容量が 3 年に 4 倍になる汎用 DRAM や 2 年で倍になるフラッシュメモリのような分野において DFT はテストコストを抑制する為の必須の技術になるだろう。

特定の製品群に対して、新規の製造工程フローは経済的に最適化されるかも知れない。例えば 2006 年頃には、ロジック部分はロジックテストでテストされるが、内蔵フラッシュメモリや DRAM はメモリテストでテストと救済処理が行われると想定される。

重要な関心領域

1. 同時測定個数の増加は、ATE アーキテクチャとプローブカード技術に厳しい要求を突き付ける。研究開発は、生産向け提案と多数個測定のトレンドを指向する経済的なプローブ技術を市場に提供し続ける必要がある。先進的なプローブカードの製作期間は1つの課題である。高周波放射は、大規模 RF 並列測定に向けた課題になるかも知れない。
2. テスト圧縮技法の取り込みを増やすことで、SoC の全体的なテストコストの中でのデジタル・テストコストの割合は低減すると見込まれている。
3. 比較的に高コストなアナログや RF のテスト装置と、これらの回路に関する長いテスト時間は、重要な課題を残している。並列測定を可能にするために DSP テストアルゴリズムを高速に実行するには、高速フーリエ変換器(FFT)(或いは他の相関用計測器)のような計測器を多く必要とする。ミックスド・シグナルの多数個測定で次に準備すべきことは、パッケージ測定で必要になるロードボード回路である。とりわけ複雑なパッケージ測定で必要になるロードボード回路である。ミックスド・シグナルと RF のデバイスに向けた DFT 技法は開発のニーズとして残されている。高コストであることから、ミックスド・シグナルのリソース(および後処理)はしばしばデバイス間で共有され、多数個測定の効率を大幅に低下させている。
4. 高速シリアルインタフェースは ASIC や SoC の市場を拡大させている。ジッタ測定はテスト時間の長大化や装置導入コストの上昇を引き起こしている。インタフェース数の増加につれて、コスト問題が直線的に増加している。コストのスケールリング則を管理するテスト方法論の開発が必要とされている。
5. 大規模な並列テストの実行中に接続されていないピンを測定する新しい DFT 技法が必要とされている。さらに、セットアップ時にピン数を減らす技法が展開されることで、電源のコストがチャンネルコストを圧倒するかも知れない。電源のコストを電源と電力分配技術に含める革新が必要とされている。
6. 少ない同時測定数で多数個測定の低効率の問題にならないが、大規模並列テストでの其の衝撃は並列測定の目的を無効にしてしまう。多数個測定のスケールリング則を継続する為には、ATE アーキテクチャはサイト毎にチャンネルや計測器の専用化を必要とする。何故なら、チャンネルや計測器の共有は多数個測定の効率を制限するからである。コスト効率の良い方法でチャンネルや計測器の専用化を可能とするため、特定の製品群用にチャンネルコストを低減する手法が必要になる。

- 多くの半導体製造メーカーは、「百万個で不良無し(0-DPM)」と云う究極の品質要求の増大に着目している。それは暗に示されているトレンドだが、彼らの多くはコスト管理をしながら低 DPM【訳者注:目標としては高い】を達成し続けてきた。そして期待するところとして、かつて無い低 DPM 要求の下でコスト管理を継続することは主要な課題の内の1つになっている。

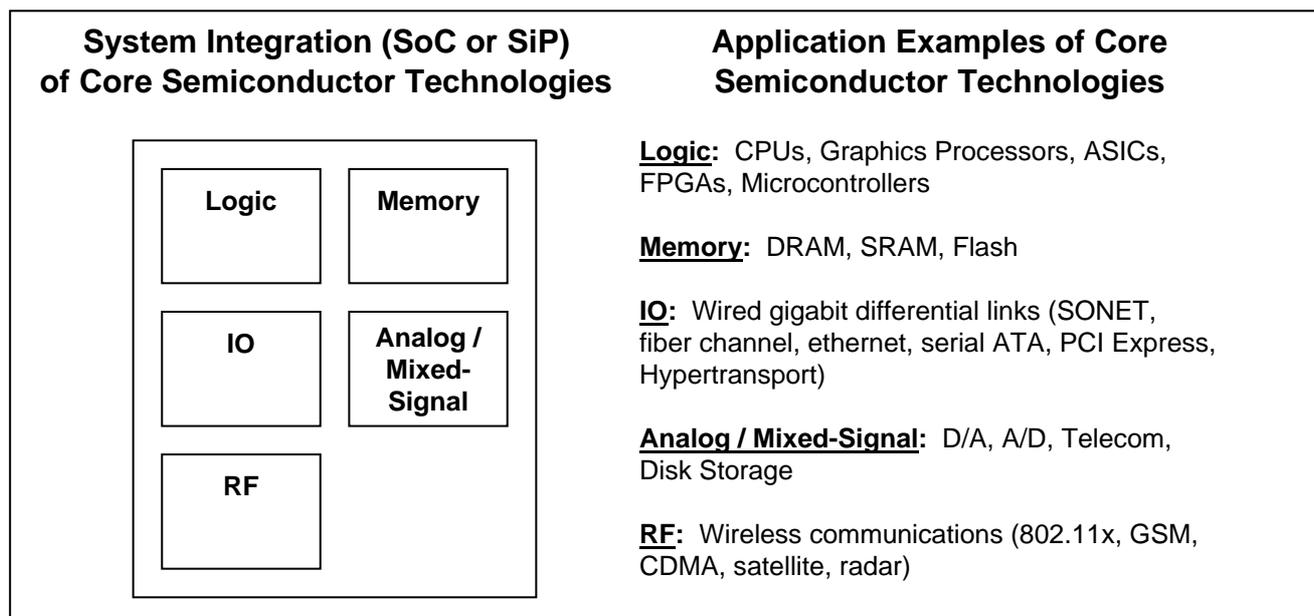
テスト技術への要求

イントロダクション

25 年以上前から、半導体テスト技術の要求は、主にパフォーマンスとトランジスタ数の無情な増加により押し上げられてきている。基本的対応が、新しいマーケット要求(例えば、モビリティ、セキュリティ、使用の容易、システムマネージメントの容易、ローパワーなど)の出現によって押し上げられている。これは、アプリケーションがより多くの方法と組合せを適用し、各種半導体技術のインテグレーションを順次推し進めているからである。テスト技術の要求を決定するアプリケーション要求又は仕様から、テストに対する膨大な技術課題を得るが、この章で、アプリケーションの傾向とこれに関連するテスト要求のトレンドを得ることは不可能である。したがって、ブロックを積み上げるコア半導体技術を明確化し、SoC 又は SiP としてこれらのコア技術を統合するテストの挑戦を述べると共に、各コア技術に関連したテストの挑戦とトレンドを述べることにする。

各コア半導体技術は関連したアプリケーションをもち、これらのアプリケーションは長期トレンドを得るための基本として扱われる。特に、ITRS は、CPU, ASIC, DRAM, フラッシュメモリのトレンドに関しキーとなる技術を公開する。これらは、コア半導体技術の節の中で適切に参照される。Figure 32 は、関連するアプリケーションの例とこの章で区分けされたコア半導体技術を示している。リストアップされたアプリケーションの例が多数のコア技術を含んでいるように、アプリケーションの区分枠にとらわれない。コア技術は、主に固有の機能とテスト要求により異なる。この Revision で含まれないコア技術は MEMS と optical であるが、将来は含まれるかもしれない。

最近では、これらのコア半導体技術とアプリケーションが、各種テストのソリューションを明確に要求しており、それぞれ特別なテスト装置やインタフェースツールの市場がある。コアの統合が増すことは、これらの境界をあいまいにする。それはまた、コアの統合を成功とするだけでなく、全体が経済的にテストできるように統合する必要がある DFT にとっては妨げとなる。テスト技術要求の節で残っている課題としては、各コア技術に対するテスト課題に従い、統合が増したことによるテストの課題を方向付けることである。



A/D—analogue to digital CDMA—code division multiple access CPUs—central processing unit D/A—digital to analog GSM—global standard for mobile

Figure 32 Organization of Core Semiconductor Technologies
from System Integration and Applications Points of View

システム集積 - SoC と SiP のテストの課題と意味

SoC と SiP は、理論的には等価と言えなくはないが、以下の点で相互に大きな違いがある。すなわち、どのテクノロジーがパッケージあるいはチップにより集積しやすいかという点、および、それぞれに非常に異なったテストの意味を持つという点である。最近の A&P 技術の進歩は、同一の製造プロセスを異なった主要半導体技術に対して最適化することの困難さと相俟って、SiP に大きな勢いを与えてきたため、一部の予測では SiP が支配的になると言われている。一方、ウェーハ製造プロセスの改良と設計 / DFT のニーズが SoC を表舞台に押し出したり、また両者の複合物を生み出したりするかもしれない。ただ、集積化の傾向は継続するという点は明らかであり、問題はどれほど早くまたどのような形でそれが進むかという点である。以下の 2 つの節では、SoC、SiP のそれぞれに関連するテストの課題と意味について議論する。

SoC (SYSTEM ON A CHIP)

SoC は複数の個別に設計された設計ブロック、すなわちコアからなり、それぞれは異なったテクノロジー(ロジック、メモリ、アナログ、RF、等)を用いている。この詰め合わせには、これらの搭載コアに対応する特別なテクノロジーをテストするための多様なソリューションが必要となる。このため、SoC 設計は次第に既存の IP コアのデータベース(その中にはコアの設計、組込みテストソリューション、および、他のコアとのインタフェースが収められている)への依存を高めている。

SoC テストとは個々のコアのテストソリューションを制御する高度に構造化された DFT の枠組みを意味する。SoC テストには、個々のコア、コアテストアクセス、チップ全体のテストに関連するこれらのソリューションの適切な組合せを含む必要がある。SoC テストの基本的な課題は、相異なるテスト容易化手法を持つ複数のソースからのテストに関する要求を組合せる必要がある点にある。階層的な手法に適合させるためのコアテストの標準を定義するチャンスでもある。サードパーティのプロバイダ IP コアを取得した場合は、前もって用意されたテストソリューションを採用しなければならない。多くの EDA ツールは、既にロジックコアに

対する標準様式を利用している。そして、この様式は他のタイプのコア、例えばアナログコア、にも拡張されなければならない。

SoC テストロードマップにおいては、DFT に対する重要な指標(例えば DFT のためのエリア投資、テストパターン長、あるいはテストデータ量)が定性的のみならず定量的にも示されることが望ましい。定量化にはモデルが必要となることは明らかである。以下では、下記の前提に基づく SoC モデルが対象となっている。

1. チップサイズは各テクノロジー世代で 64 mm²に固定する。
2. トランジスタ数は、ITRSのテクノロジートレンドに従って、3年間で2倍に増加する。
3. メモリ部はロジック部より急速に増加する(ロジック部は年率15%増、全体では年率26%増)。各部のトランジスタ数をTable 24に示す。
4. メモリビット数はメモリセルアレイ部のトランジスタ数÷6トランジスタで求める。
5. メモリセルアレイ部のサイズは、システムドライバ章の記述に従って、メモリ部全体の70%とする。
6. メモリ数はメモリビット数÷32kビットとする。
7. メモリワード数は平均で32kワードとする。
8. フリップフロップ数はロジック部のトランジスタ数の半分÷40トランジスタとする。

Table 24 SoC Model

			130 nm	90 nm	65 nm
Transistor Count (Million)	High Frequency Logic Part	Logic	4.7	7.1	10.9
		Memory	8.6	19.5	42.3
	Low Frequency Logic Part	Logic	6.8	10.3	15.7
		Memory	19.6	42.5	89.9
	Total		39.7	79.4	158.9

ロジックコアに対しては、テストデータ量を大幅に削減するために、ランダムパターンロジック BIST や圧縮デターミニスティックパターンテストなどの高度な DFT 手法が必要となる。それぞれの手法の採用は、DFT のためのエリア投資、設計ルールの制約、および関連する ATE コストを考慮して判断されるべきである。DFT のためのエリアは、主としてテストコントローラとテストポイントから構成される。これは階層的なアプローチを利用すれば長期間にわたって一定に保持できる。ATE コストに関しては、ランダムパターンロジック BIST は少ない ATE ピンで実現できるため、ウェーハレベル・バーンインに対してとくに有効となるであろう。なお、レイアウト設計まで考慮してレジスタ転送レベル(RTL)設計からゲートレベル設計への合成を行うフィジカルシンセシス手法、および、RTL での DFT ソリューションが広く使われるようになると、RTL 設計段階での DFT のためのエリア投資の推定が必要になる。

抵抗性オープン、抵抗性ショート、あるいは微少ディレイ不良などのディーブサブミクロン不良に対して搭載コアのテスト品質レベルを保持するためには、さらにディレイテストを追加する必要がある。このため、テストパターン数は必然的にかつ厳然として増加し、2010 年にはテスト実行時間が現在の 30 倍になる可能性がある。したがって、テストパターン圧縮、スキャン構造の改良、スキャンシフト速度の向上などの大幅なテスト時間削減のための多様な手法が大いに必要となる。

遷移故障モデルで代表される従来のディレイ故障モデルは、SoC の不良レベルを推測できるほど正確ではない。遷移故障モデルでは比較的高い検出率の達成が可能ではあるが、このモデルでは短いパスが活性化される傾向がある。このため、遷移故障モデルに基づくディレイテストは、微少なサイズのディレイ不

良を検出できるほど精度が良くない。したがって、微小ディレイ不良を検出できる高精度なディレイ故障モデルが必要となる。さらに、今後クロストークがタイミング設計の重要な問題となるため、実現可能なクロストーク故障モデルも必要となる。

プロセステクノロジーの進展とともに、SoC 中のメモリエリアの比率が急速に増加している。これにより、搭載されるメモリ数とメモリビット数が増大し、結果としてメモリ BIST のためのロジックゲート数が増加する。また、メモリの集積度と動作速度の向上により、メモリ BIST 技術には以下のような機能面と性能面での革新が必要となる。

1. ナノメートルプロセスで出現する新たなタイプのメモリ中の不良に対応するため、BISTコントローラ中のテストアルゴリズムは、汎用的な固定アルゴリズムから汎用アルゴリズムとテスト条件の選択的組合せ、あるいはそのメモリ設計と考慮する不良の集合に対して最適化された専用アルゴリズムに進化しなければならない。また、テストの柔軟な作成を可能にするための高度にプログラム可能なBISTが開発されなければならない。
2. 込み冗長割当て(BIRA: built-in redundancy allocation)技術、組込み自己救済(BISR)技術などの実用的な組込み救済機能の開発が必要である。ここで、BIRAはBISTの結果を解析して冗長要素を歩留向上のために配分する機能であり、BISRはオンチップで実際の再構成(ハードリペア)を実行する機能である。
3. OCの高周波数部にあるメモリコアに対しては、実速度(at-speed)でのテストおよび救済手法も開発する必要がある。

これらの課題は結果としてより高度なテスト・救済品質に結びつくため、ロジックインフラにおける成長を引き起こすであろう。冗長要素を持つメモリの救済は従来の直接アクセス法とメモリテストを用いても実施できるが、これを搭載メモリ数がどんどん増加する複雑な SoC に適用するのは非常に困難である。このため、at-speed BIST を利用し、オンチップ救済解析を行う BIRA/BISR 技術の開発が必要である。

Table 25a と Table 25b に基づくと、2005 年で 1M ビットの搭載メモリに対する組込みテスト/救済回路のサイズは最大 35k ゲートになるであろう。これは BIST, BIRA, BISR の回路を含むが、光学的あるいは電氣的ヒューズのような救済プログラムのためのデバイスには含まない。総メモリビット数に対する組込みテスト/救済回路のサイズの比率は今後数 10 年間は増加してはいけない。先に議論した要因を考慮すると、この比率は容易に実現できる課題ではない。とくに、メモリ冗長構成がより複雑になると救済解析を限られたロジック量で実装するのは困難であろう。このため、組込みテスト/救済構成におけるブレイクスルーが必要となる。

アナログコアに対するコスト効率の良いテストは重大な課題である。アナログ BIST 技術は可能性の一つではあるが、一般的な使用のためにはまだ成熟していない。アナログコアに対する故障解析も開発が必要である。

SoCの個々のコアに対しては、IPコアラッパーとテストアクセス機構の構造的な使用が必要である。これらは機能テスト、at-speedテスト、接続テストを可能にするように注意深く開発しなければならない。SoCでのテスト統合の容易性を保証するためには、例えば IEEE 1500¹のような標準的なラッパー構成と情報モデルを各々のIPコアで利用する必要がある。さらに、情報モデルもEDAツールの相互利用性(interoperability)を保証するためのインタフェース言語とともに標準化されなければならない。そのような動きの一つはIEEE P1450.6²として標準化作業中のコアテスト言語(CTL: core test language)である。SoC設計の高い複雑さは

¹ 1500-2005 IEEE Standard Testability Method for Embedded Core-based Integrated Circuits.

² P1450.6, Draft Standard for Standard Test Interface Language (STIL) for Digital Test Vector Data—Core Test Language (CTL).

設計とテストのスルー プットとテスト品質に関する課題を創り出す。EDAツールはこの複雑さを管理することを目的とした開発を行う必要がある。

Table 25a System on Chip Test Requirements—Near-term Years

<i>Year of Production</i>	2005	2006	2007	2008	2009	2010	2011	2012	2013
<i>DRAM ½ Pitch (nm) (contacted)</i>	80	70	65	57	50	45	40	36	32
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)</i>	90	78	68	59	52	45	40	36	32
<i>MPU Physical Gate Length (nm)</i>	32	28	25	22	20	18	16	14	13
<i>Embedded Cores</i>									
Standardization of core test data [1]	Standard format on EDA/ATE	Standard format on EDA/ATE	Standard format on EDA/ATE	Extension to analog cores					
<i>Embedded Cores: Logic</i>									
Test logic insertion at RTL design	Partially	Partially	Fully	Fully	Fully	Fully	Fully	Fully	Fully
Testability analysis and overhead estimation at RTL design	Ad hoc	Fully	Fully	Fully	Fully	Fully	Fully	Fully	Fully
BISR for logic cores	Minimal	Some	Some	Some	Some	Some	Some	Logic BISR	Logic BISR
<i>Embedded Cores: Logic – Random Pattern Logic BIST</i>									
Area investment beyond scan (%) [2]	3.1	3.1	3.1	3.1	3.1	3.1	3.1	3.1	3.1
<i>Embedded Cores: Logic – Compressed Deterministic Pattern Test</i>									
Area investment beyond scan (%) [3]	1.1	1.2	1.3	1.4	1.5	1.6	1.6	1.7	1.8
Test pattern length (number of captures) [4]	1.0	1.3	1.6	2.0	2.5	3.2	4	5	6
Test pattern length compression ratio [5]	1.0	1.4	2.0	3.1	5.2	9.2	18	23	30
Test data volume compression ratio [6]	100	120	150	210	300	460	770	860	980
<i>Embedded Cores: Memory</i>									
Area investment of SRAM BIST (K gates/Mbits)	35	35	35	35	35	35	35	35	35
Repairing mechanism of embedded SRAM cells [7]	BISR	BISR	BISR for Row & Col R/D	BISR for Row & Col R/D	BISR for Row & Col R/D	BISR for Row & Col R/D	BISR for Row & Col R/D	BISR for More Sophisticated R/D	BISR for More Sophisticated R/D
<i>Embedded Cores: Analog</i>									
DFT (BIST, BOST) for analog cores	Limited use (PLL, ADC, etc.)	Partial	Partial	Partial	Partial	Partial			
Design for failure analysis of analog cores	Ad hoc	Ad hoc	Ad hoc	Ad hoc	Ad hoc	Ad hoc	Ad hoc	Ad hoc	Ad hoc
<i>Core Access</i>									
Use of standard interface on IP core access	Partially	Partially	Partially	Partially	Partially	Partially	Partially	Partially	Partially
Analog-mixed signal core access	Direct Access	Direct Access	Direct Access	Direct Access	Analog wrapper [8]	Analog wrapper [8]	Analog wrapper [8]	Standard analog wrapper [8]	Standard analog wrapper [8]
<i>SoC Level Testing</i>									
Test strategy for IP core-based design [9]	Partially automated	Partially automated	Partially automated	Fully automated	Fully automated	Fully automated	Fully automated	Fully automated	Fully automated
DFT selection for cores	DFT selection for cores	DFT selection for cores	DFT selection for cores	Selection for cores/fully automated EDA tool					
DFT at higher level design [10]	No	No	No	Yes	Yes	Yes	Yes	Yes	Yes
<i>Fault Model for SoC</i>									
Fault model for SoC level fault coverage [11]	Standard fault models	Standard fault models	Standard fault models	New standard fault model, its coverage [12]					
Delay fault model with high accuracy	Partially	Partially	Fully usable	Fully usable	Fully usable	Fully usable	Fully usable	Fully usable	Fully usable
X-talk fault model	No	No	No	Partially	Fully usable				
<i>Manufacturing</i>									
Diagnosis interface/data [13]	Standard format and methods on IP core	Standard format and methods on IP core	Standard format and methods on IP core	Automated SoC diagnosis					

BOST—built off-chip self test

Table 25b System on Chip Test Requirements—Long-term Years

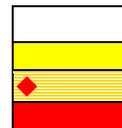
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Embedded Cores							
Standardization of core test data [1]	Extension to Analog Cores						
Embedded Cores: Logic							
Test logic insertion at RTL design	Fully						
Testability analysis and overhead estimation at RTL design	Fully						
BISR for logic cores	Logic BISR						
Embedded Cores: Logic – Random Pattern Logic BIST							
Area investment beyond scan (%) [2]	3.1	3.1	3.1	3.1	3.1	3.1	3.1
Embedded Cores: Logic – Compressed Deterministic Pattern Test							
Area investment beyond scan (%) [3]	1.9	2	2.1	2.1	2.1	2.1	2.1
Test pattern length (number of captures) [4]	8	10	13	16	20	25	32
Test pattern length compression ratio [5]	40	55	68	83	100	130	160
Test data volume compression ratio [6]	1,140	1,360	1,450	1,560	1,680	1,810	1,960
Embedded Cores: Memory							
Area investment of SRAM BIST (Kgates/Mbits)	35	35	35	35	35	35	35
Repairing mechanism of embedded SRAM cells [7]	BISR for More Sophisticated R/D						
Embedded Cores: Analog							
DFT (BIST, BOST) for analog cores	Partial	Partial	Partial	Partial	Full use	Full use	Full use
Design for failure analysis of analog cores	Partially structural	Structural	Structural	Structural	Structural	Structural	Structural
Core Access							
Use of standard interface on IP core access	Partially	Fully	Fully	Fully	Fully	Fully	Fully
Analog-mixed signal core access	Standard analog wrapper [8]						
SoC Level Testing							
Test strategy for IP core-based design [9]	Fully automated						
DFT selection for cores	Selection for cores/fully automated EDA tool						
DFT at higher level design [10]	Yes						
Fault Model for SoC							
Fault model for SoC level fault coverage [11]	New standard fault model, its coverage [12]						
Delay fault model with high accuracy	Fully usable						
X-talk fault model	Fully usable						
Manufacturing							
Diagnosis interface/data [13]	Automated SoC diagnosis						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Definitions for Tables 25a and b:

[1] The standardization of test data format needs to reduce turn-around-time of test program development.

[2] Area investment of random pattern logic BIST consists of BIST controller and test points.

[3] Area investment of compressed deterministic pattern test logic consists of controller and test points.

[4] Required number of test pattern length (number of captures), which is normalized based on the number on 2005.

- [5] Test pattern compression ratios are values that are necessary to suppress the total test pattern length (sum of those for stuck-at, transition, path delay, and X-talk tests) in the table within the required test pattern length.
- [6] Ratio of compressed test data volume in the tester memory against conventional scan test data volume with same fault coverage.
- [7] Hard repair that uses optical or electrical fuse devices for the programming.
- [8] Extended wrapper structure to access to embedded analog-MS cores, not chip-level analog boundary-scan.
- [9] The strategy contains test control integration, test scheduling for low power consumption, test time, and test pin reduction.
- [10] Behavioral level, HW/SW co-design, high-level synthesis with testability analysis.
- [11] The standardization of fault model and fault coverage needs to popularize IP Cores.
- [12] A method to obtain overall test quality measure of SoC considering all embedded devices; logic, memory and analog.
- [13] The standardization of diagnosis data format and interface needs to reduce turn-around-time of failure analysis.

SiP (SYSTEM IN A PACKAGE)

SoC とは対照的に、SiP では統合前に部品のテストを行う場合もある。故障部品が一つでもあると、SiP 内の複数の良品部品を使い物にならなくすることもあり、これにより SiP の歩留り限界が厳しくなるので、この点は重要である。さらに、統合がアセンブリやパッケージング時に行われることから、この部品テストは通常、ウェーハプローブテストの際に行われなければならない。つまり主要な課題は、統合前に良品ダイを識別するということになる。“Known Good Die” (KGD)は、単一チップでパッケージングされた場合と、同等の品質と信頼性を持つと期待できるベアダイを称するために、1990 年代中盤に創られた用語である。

多くの場合、単一チップパッケージの形でデバイスのテストおよびスクリーニングを行うことにより、今日出荷される IC 製品の、出荷時の品質と信頼性の形態は得られている。ウェーハプローブテストは一般的に、性能分類や信頼性スクリーニング、効果的な同測コンタクトには向いておらず、これらのテストは一般的には、パッケージレベルでテスト・バーンインソケットやバーンインチャンバ、ロードボードを用いて行うのが、より効果的である。結局 KGD の工程は、許容できる品質および信頼性の目標に合致するよう、プローブ時に、あるいは後から追加されたダイレベルのテストとスクリーニングにより、ダイが選別されることを暗に求めている。主な短期的課題は、異なるマーケット領域で要求される品質および信頼性の目標を定めること、ウェーハあるいはダイレベルで適用できるコスト効率のよいテストおよび信頼性スクリーニングを開発すること、そして、得られる品質および信頼性のレベルに関し高い信頼度を与える品質および信頼性手法を開発することである。より長期的な課題は、エンドユーザ使用時にも利用できる、エラーの検出と修正を行う、完全な自己テスト戦略への移行である。

SiP のテストおよび装置に関する課題

SiP 製品は、複数供給者からのダイを含むことがよくあるので、後工程の製造フローに対し多くの特異な課題を投げかけることがある。これは以下の領域で問題となり得る：

- コストおよび DPM の目標を実現するための、パッケージテスト戦略の策定
- 多様な製品・プロセス技術に対し必要な、信頼性スクリーニング手法(バーンイン、電圧ストレスなど)を適合させる製造フロー
- 品質問題やシステムティックな歩留り問題を解決するために、故障箇所の特定を行う故障解析手法

パッケージレベルでの SiP テストは、複雑な SoC 製品のテストにきわめて似通った問題を持つ。つまり、それぞれ特殊なテスト上の要求をもつ多様な IP を、単一の一貫したテストフロー中に統合しなければならないということである。SoC の場合全ては一チップ上にあり、また一緒に設計されているため、種々のブロックのテスト戦略は、テスト用ラッパーやテスト制御ブロックなどを用いて、また IEEE 1500 標準仕様で定められたような戦略を用いて、統合することができる。SiP の場合、ダイの供給者が特殊なテストモード(汎用メ

モリ製品では特に、機密とされることがある)にアクセスするのに必要な情報の提供を拒んだり、SoC では共通的に用いられるテスト戦略を実装する、必要なテスト基盤のオーバーヘッドを、個々のダイが持たなかったりする場合がある。

KGDのみを用いる SiP の場合であっても、特に最終アセンブリが(KGD へのダメージや変化を起こし得る)ダイの薄型化や積層を含む場合には、最終アセンブリの後でも、ある程度の量のテストが必要になる。故障箇所の特定を行う場合には、特定のダイやさらにその中の小領域にまで故障箇所を絞りたい場合、(通常の製造の場合は不要であっても、)そのダイに対する詳細なテスト戦略の、完全な理解が必要となるであろう。

信頼性スクリーニングの場合、あるダイにはバーンインが必要で、他のダイには電圧ストレスが必要というようなこともあるであろう。あるダイに対するストレス条件は、同じパッケージ内の別のダイとは両立しないか、場合によっては有害でさえあるかもしれない。ある SiP 製品内の異なるダイが、全く異なるテクノロジーからなることもよくあるので、解決はさらに難しくなる。ひとつの解決策は、最終パッケージング後の信頼性スクリーニングを行わないことであるが、これは全体コストを押し上げることもある(例えばウェーハレベル・バーンインは、パッケージレベルのバーンインより通常は高くつく)。

異種のダイが多チップパッケージ内に実装されると、アセンブリされたモジュールをフルにテストするために、異なるプラットフォームにいくつかのテストを追加することが必要となることがある。この複数テスト追加の際、テスト抜けを引き起こすこともある。積層されたパッケージの上側にコンタクトするためには、新たなテスト装置が必要になる。ウェーハ積層技術に対しては、歩留りとコスト上の目標を達成するために、最終的な積層が『修理』できるようにするため、よりよい冗長救済技術が必要となる。動作中に故障部品を検出して冗長要素を起動できるような電子システムの設計と製造が、SiP の信頼性上の主要な課題である。

ウェーハのテストと装置に関する課題と懸念点

今日共通的に用いられているプローブカード技術は、『最終テスト』の環境として理想的ではない。スピードクリティカル、RF、遅延およびアナログなどの、性能ベースのテストの多くは、現在パッケージレベルで行われている。このため KGD 工程の重大な課題は、欠陥のある、あるいは使用初期に故障の起こるデバイスを、それらのデバイスが次のレベルのアセンブリ工程に送られる前に速やかに識別する、コスト効率がよく製造上の価値がある、信頼性が高く精確な手法を開発することである。

ディスプレイドライバや最先端 DRAM などのある種のテクノロジーでのテスト時間は、非常に膨大である。ウェーハプローブ工程上の制約により、これらのテストのスループットは、パッケージされた部品の場合よりも非常に小さくなる。コスト効率のよい方法で DRAM ダイをウェーハレベルでフルにテストする上での課題は、前にプローブしたダイと重複したり、ウェーハを外したりせずに、また既に除外したり明らかに動作しないダイ全てに対するテスト時間と電力の浪費を避けながら、ウェーハ上の複数のダイをプローブできる技術の開発を含んでいる。

RF デバイスのウェーハテスト

RF ダイに KGD 工程を適用する際の主要な課題は、高性能かつ微細ピッチなプローブカードの開発である。RF ダイは小型であるので、パッドピッチも微細である。例えばある製品でのパッドピッチは 75 μm 以下にもなり、今日これは現実のプローブ技術の限界である。

RF プロービング時のシグナル・インテグリティを良好にするには、RF 信号には GND - 信号 - GND の構成が必要である。RF デバイスの KGD 工程での主要な課題は、適切なプローブカード設計と RF プローブ技術のもとで RF パスのインピーダンスが制御できるよう、ダイ中に GND - 信号 - GND の構成が設計されていることの保証である。

ウェーハまたはダイレベルでの信頼性スクリーニング

一定期間の電圧や温度印可は、シリコンの潜在的な欠陥を故障となるよう加速する、よく知られたストレスである。これらはウェーハやダイレベルよりも、パッケージレベルで行う方が容易である。ダイのパッケージング前にこれらのストレスをかけることは、KGD の主要な課題である。

製造で要求される工程上の能力を持つ、コスト効率のよいウェーハ全体コンタクト技術の開発は、この産業の主要な課題である。コンタクト工程の能力は、コンタクト技術の性能だけではなく、その製品に対するバーンインストレス要求に対する関数でもある。

統計的な後処理

捉えがたく潜在的な欠陥を識別するために、統計的なデータ解析を用いる手法は、特に多品種少量生産で製品寿命が短いため、バーンインを行えないデバイスタイプや、本質的なプロセスばらつきにより、従来のテスト制約のもとでは、良品ダイと欠陥ダイを分別することが不可能となるような製品分野において、支持を受けるようになってきている。バーンインではないテスト追加による信頼性スクリーニングは、時間削減、テスト設備、装置およびハンドラなどの点において有利である。スクリーニングが、ウェーハレベルで標準的なプローブおよびテストを用いて実行可能であり、これにより全てのデバイスが、デバイスが出荷される最終的なパッケージにかかわらず、データシート上の仕様と、そのプロセスでの出荷時の品質と信頼性の目標に従って、完全に調整されていると考え得ることを、KGD は暗に求めている。各ダイの (例えば I_{dd} 、 V_{ddmin} 、 F_{max} などの) 測定は、テストオフラインの統計的な手法を用いて、(選別されるのではなく) 記録される。これらの測定は、異なるテスト条件や、ストレステストの前後や、異なる温度での記録が可能である。良否の条件は、テストオフラインの後処理アルゴリズムを用いて、記録された測定結果の統計的な解析に基づいて決定される。統計分布からの隔たりは、システム故障や初期故障デバイスとなる統計的な見込みに基づき段階分けされ、無インクのウェーハマップが、これに応じて変更される。統計的手法を用いたテストの課題は、潜在的な故障の集団と、本質的な歩留り損失との間の、許容可能なトレードオフをとることである。

後工程のダイの品質への影響

アセンブリ途中の工程が、あるテクノロジーにダメージを与えることがある。ウェーハの薄型化がひとつの例である：DRAM ウェーハの薄型化による、リフレッシュ特性の変化が観測されている。ウェーハレベルでフルにテストされたウェーハからのダイが、薄型化され SiP や MCP にアセンブルされた後、全く同じテストで故障となることがある。アセンブリ工程中の熱処理ステップが、個々のビットに対して、リフレッシュ特性の変化を起こすこともある。この現象は可変リテンション時間 (VRT: variable retention time) として知られており、アセンブリ工程前にスクリーニングすることはできない。

主要な課題は、ダイ供給者が達成する品質レベルを、再び確立することである。これは追加のアセンブリ後テストや、多チップパッケージ内にある個々の故障ダイ中での冗長要素の起動や、多チップのアプリケーション用に特別に設計された部品を用いることにより、達成できる。

ロジック

この節では、マイクロプロセッサのような非常に複雑なデジタル・ロジックデバイスに搭載された CMOS デジタル・ロジック部のテストや、もっと一般的に、単体でも他のデバイスと集積化しても機能するロジックコアのテストについて焦点を当てる。最も重要なことは、主要なロジックテストのトレンドが基本的なロードマップ・トレンドを決定付けるということである。大抵のトレンドデータが掴めるので、"大量生産マイクロプロセッ

サ”が主なリファレンスとして選択されている。エンベデッドメモリ(キャッシュメモリのような)、I/O、ミックスド・シグナル、或いは RF に関する特殊なテスト要求が各々の節の中で述べられており、これらの技術が搭載された複雑なロジックデバイスについて考える場合には把握しておかねばならない。

Table.26a と Table.26b は 2 つの異なる節を含んでいる。その 2 つとは、(1) 大量生産マイクロプロセッサのトレンドを牽引するものと、(2) 大量生産マイクロプロセッサのテスト要求である。前者は、基本的に内包されているロードマップ・トレンドを表し、後者はシステムや DFT のトレンドに追従するテスト要求を表している。ロジックのテスト要求に重要なインパクトを多く与えるシステムや DFT のトレンドを牽引するものについては、重要な関心領域の要約としてこの節の最後で論じることとする。

大量生産マイクロプロセッサのトレンドを牽引するもの

Table.26a と Table.26b の最初の部分にあるトレンドは ITRS の他の部分から抜粋したもので、将来的なロジックテストの要求を予測するための主要な仮定の根拠付けとして、此処に再掲載している。その表の最初の 2 行は、チップあたりの機能(トランジスタ数)のトレンドや量産段階でのチップサイズのトレンドを示している。1 つのプロセス世代の中でも、チップサイズは比較的コンスタントに毎年小さくなっている。その次の行は、マルチコア設計に向かうデザインのトレンドを主なマイクロプロセッサのスケールリング制約 消費電力のことも になると云う記述に反映している。ITRS ではそれぞれのプロセス世代毎にコア数は倍になっていくと仮定している。Table.26a と Table.26b の最後の 2 行は、標準的なデバイスの電源電圧範囲のトレンドとチップ外部データ転送速度のトレンドを示している。

システム・トレンドを牽引するもの

システム・トレンドを牽引するものは、将来的なテスト要求を企画する際にとっても重要となる。例えば、最も重要なシステム制約の 1 つは消費電力である。モバイル用途の急増、省電力技術の改良、システムの電力浪費問題、そしてエネルギーコストの増加は、デバイスの消費電力に実質的な歯止めをかけるのに貢献している。パフォーマンスの増加とともに制限なくデバイス電力が増える時代は終わったのだ。これは必ずしもパフォーマンスも同様に歯止めがかけられたという意味ではなく、もしムーアの法則が継続するなら、これは克服すべき主要な技術課題の 1 つである。トランジスタの技術革新、プロセス技術、デザイン設計、システム技術は全て重要な影響を与える。

テストに影響を与えたシステム技術革新の一つは、チップ内部やパッケージ内部の電圧調整の統合だった。チップ電力の増加とコア数の増加が、この統合を可能にしたと言える理由が少なくとも 2 つある。第 1 の理由は、電源 / グランドピンの数とピンあたりの最大電流に制約があることによってパッケージは最終的に消費電力を制限すると云うことである。非常に高い電圧でチップに電力を送ることが可能なので、これらの制約はチップ内部の調整で大きく緩和できる。第 2 の理由は、消費電力を完全に最適化するために、マルチコア・アーキテクチャは個々のコアに精巧な個別の給電を必要とすると云うことである。結局、これはチップ内部で処理されることが必要だろう。全般的に言えば、このトレンドは DUT への給電問題を簡単にするが、一方では新しいテスト問題を多く生み出している。と云うのは、正確な電圧管理や電流測定が大電力デバイスのテストの重要な局面にいつもなるからだ。

もう一つの重要なシステム・トレンドは、長い年月に渡って必要とされてきたチップ間のデータ・バンドの継続的な増加である。これは、チップの I/O データ転送速度と、I/O 数の増加と解釈できる。1 ギガ転送 / 秒 (GT/s) よりも遙かに早いスピードの信頼性を得るために、差動伝送やエンベデッドクロックのような高速シリアル信号手法が必要とされている。例えば、これは既に PCI Express や Serial ATA インタフェースに見出されているし、また ITRS の時間枠を超えてマイクロプロセッサの全ての I/O ポート(例えば front side bus) に広がりを見せるであろう。これらのインタフェースのテスト要求やテスト課題に関するもっと詳しい議論は高速入力 / 出力インタフェース (High Speed Input/Output Interface) の節で述べる。

DFT のトレンドを牽引するもの

チップサイズと共にテストコストが比例して増加する事を防ぐために、DFT の適用範囲や有効性の継続的な改善が重要になる。再利用可能なコア[訳者注:IP]が多数出現してきたことによって、DFT 手法も斬新的な発展の可能性がある。複数のコアを同時にテストすることは出来ないか？コア同士がテストし合うことは出来ないか？テストで”不良”になったコアや最終用途で”不良”になったコアを 1 つ又は複数の冗長なコアで置き換えることは出来ないか？更には、汎用的なテスト機能を持つコア オンチップ ATE の類をチップ上に実現することは出来ないか？DFT がどの様に発展し、DFT が製造工程のテスト要求にどの様にインパクトを与えるかを正確に予想することは大変難しい。しかし、ある明確なトレンドがある。それは、

1. テスト時のデバイス I/O インタフェースを制約するのと同様に、増加するテストデータ量を抑える為に、ストラクチャルテストや自己テストやデータ圧縮技法はこの先も重要であろう。
2. DFT 技術は、局所的な不良の歩留り改善を推し進めるために不可欠な技術であり続けるだろう。
3. DFT 技術には、メモリと I/O などのように組み込まれた技術に対するテストの複雑さを最小限にすることが求められる。例えば、メモリ BIST エンジンがデバイスの中に一般的に搭載されているが、これにより外部アルゴリズム・パターン発生器の必要性は軽減されている。また同様に、I/O 用の DFT 技術により、大量生産のテスト工程では洗練された I/O テストの必要性が軽減されている。
4. DFT 技術には、デバイスの決定論的な動作を保証したり、デバイスの非決定論的な動作に対応することが今後益々求められるだろう。非決定論的な動作の例として、電源制御技術や、I/O の通信プロトコルや、デバイス自己救済の仕組みなどが挙げられる。

大量生産マイクロプロセッサのテスト要求

Table.26a と 26b の後半には、ITRS の展望による大量生産マイクロプロセッサのテスト要求が列記されている。I/O のデータレートに関して、ストラクチャルテストや DFT 技術を用いたテストでは低速アクセスで十分だが、そのインタフェース本来の速度のテストでは高速アクセスが必要になる。少なくとも近未来の展望では、1 つのデバイスに複数の I/O タイプが搭載されることになるだろう。このロードマップの最後では、消費電力はクライアント用のマイクロプロセッサでは最大 300W 、サーバ用のマイクロプロセッサで最大 400W に事実上なってきた。同様に、テスト装置のベクタメモリ要求も少なからず増えていくと想定されている。

Table 26a Logic Test Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13	
<i>Part 1: High Volume Microprocessor Trends Drivers</i>										
Functions per chip at production (million transistors [Mtransistors])	193	193	386	386	386	773	773	773	1,546	
Chip size at production (mm ²)	111	88	140	111	88	140	111	88	140	
Number of processor cores	2	2	4	4	4	8	8	8	16	
Nominal V _{dd} Range (V)	0.9–1.1	0.9–1.1	0.8–1.1	0.8–1.0	0.8–1.0	0.7–1.0	0.7–1.0	0.7–0.9	0.6–0.9	
Chip-to-board (off-chip) speed (high-performance, for peripheral buses) (MHz)	3125	3906	4883	6103	7629	9536	TBD	14901	18626	
<i>Part 2: High Volume Microprocessor Test Requirements</i>										
I/O data rate (GT/s)	0.1 - 3	0.1 - 6	0.1 - 6	0.1 - 6	0.2 - 12	0.2 - 12	0.2 - 12	0.2 - 15	0.2 - 15	
I/O types	Slow speed scan / DFT, source synchronous, clock forwarding, clock embedded				Slow speed scan / DFT, clock forwarded, clock embedded					
Total device maximum power consumption at test (W)	Client	200	200	200	200	300	300	300	300	300
	Server	200	250	300	300	300	300	300	300	300
Number of power supplies per site	1–4	1–4	1–6	1–6	1–6	1–4	1–4	1–3	1–3	
Power supplies voltage range (V)	0.7–2.0	0.7–2.0	0.6–2.0	0.6–2.0	0.6–2.0	0.6–12	0.6–12	0.6–12	0.6–12	
Scan vector memory (Mbit per pin)	64-256	64-256	64-256	64-256	64-512	64-512	64-512	64-512	64-1024	
Functional vector memory (M-vectors per pin)	16-128	16-128	16-128	16-128	16-256	16-256	16-256	16-256	16-512	

· Values for the year 2011 will be determined in the 2006 ITRS Update.

Table 26b Logic Test Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Part 1: High Volume Microprocessor Trends Drivers</i>							
Functions per chip at production (million transistors [Mtransistors])	1,546	1,546	3,092	3,092	3,092	6,184	6,184
Chip size at production (mm ²)	111	88	140	111	88	140	111
Number of processor cores	16	16	32	32	32	64	64
Nominal V _{dd} Range (V)	0.6–0.9	0.6–0.8	0.5–0.8	0.5–0.7	0.5–0.7	0.4–0.7	0.4–0.6
Chip-to-board (off-chip) speed (high-performance, for peripheral buses) (MHz)	TBD	29103	36379	TBD	56843	TBD	TBD
<i>Part 2: High Volume Microprocessor Test Requirements</i>							
I/O data rate (GT/s)	0.2-20	0.2-20	0.2-20	0.2-40	0.2-40	0.2-40	0.2-40
I/O types	Slow speed scan / DFT, advanced clock embedded, optical						
Total device maximum power consumption at test (W)	Client	300	300	300	300	300	300
	Server	400	400	400	400	400	400
Number of power supplies per site	1–3	1–3	1–3	1–3	1–3	1–3	1–3
Power supplies voltage range (V)	0.6–12	0.6–12	0.6–48	0.6–48	0.6–48	0.6–48	0.6–48
Scan vector memory (Mbit per pin)	64-1024	64-1024	64-1024	64-1024	64-1024	64-1024	64-1024
Functional vector memory (M-vectors per pin)	16-512	16-512	16-512	16-1024	16-1024	16-1024	16-1024

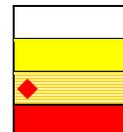
· Values for the years 2014, 2017, 2019, and 2020 will be determined in the 2006 ITRS Update.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



重要な関心領域

1. **消費電力と温度制御** ロードマップ展望では、デバイスの消費電力はきわめて異常な値となっている。そのため、テスト時の電力供給や温度制御の新しい方式には 最先端のシステム設計の最適化が必要になるかも知れない。
2. **高速 I/O インタフェース** :高速のテスト装置ソリューションはデバイスの特性評価で必要とされるが、安価な DFT 用のテスト装置ソリューションは大量生産工程のテストで必要とされる。
3. **マルチコアの傾向** :この傾向はテストの課題と見込みを作り出す。マルチコア設計は前述の 2 つの関心領域を顕著にすると共に、テストを複雑にする。しかし同時に、テストを大いに助ける冗長回路と同様に、画期的な DFT の見込みになるかも知れない。

高速入力/出力インタフェース

高周波 I/O 技術は広域通信向けの従来のトランシーバ応用分野から広がりつつある。シリアル I/O インタフェースはバックプレーン応用分野、局域から広域通信網へ、チップとチップのリンク応用へと幅広く採用されている。最近ではコンソーシアムからの提案や既存の標準仕様から進展したものも含め、多くの新しい業界標準が急激に現れてきている。例えば、遠隔通信分野においては、SONET は 2.5Gbps から 10Gbps/40Gbps となり、2006 年に光チャネルは 1.0625Gbps/2.125Gbps および 4.25Gbps から 8.5Gbps になる。イーサネットは 100Mb/s から Gbit イーサネットや 10Gbit イーサネットへと高速になりつつある。コンピュータ応用分野では、シリアル ATA は現状の 1.5Gbps と 3Gbps から 2007 年の 6Gbps を目標として急速に立ち上がってきている。そしてこれに対応できるように、高速 PCI バスも 2006 年には現時点の 2.5Gbps から 5Gbps に高速化される。さらに、2~3Gbps で実質的な限界に既に近づいているソースシンクロナス・バスは、例えば 2005 年後半の 2.8 ハイパトランスポートであるが、新しいクロック方式によって 2006 年頃には 5~8Gbps 以上に達することが今や実現されつつある。古典的パラレルバスと古典的シリアルバスの叡智がクロック方式の概念の中に見出され、差動信号方式が単一終端信号方式に置き替わりつつある。これらの多くの高速差動接続方式は、ATE を使用する製造工程のテストに対して数多くの課題をもたらす。

過去 2 年間に於いてテストと計測業界は高速シリアル接続テスト方法に重要な進展をもたらしてきた。幾つかの ATE メーカーは既に 3.2Gbps までテストできるピンカードを実現しており、また幾つかの ATE メーカーは 2006 年に 6~6.4Gbps を実現すると公表している。現在、3.2Gbps 以上をテストすることはパターン発生器やビットエラー検出器の高額化が課題として残っている。いくつかの併用的ソリューションとして、SoC や ASIC に内蔵されている 3.2Gbps~12Gbps のシリアル接続に対応するために、実験室のような測定器が ATE に組み込まれている。

このようなテスト時間とコストが膨大に掛かる手法は量産テストへの適用は出来ない。しかしこの併用的手法は先端的製品を市場に早期に提供する場合にはよく用いられる。この手法は新製品の量産化やデバッグには価値がある。この手法のもう 1 つの欠点は、3Gbps を超えるデータレートで顕著になってきている。それは外部測定器との接続で必要になる長い配線でバンド幅が制限されることである。ATE のテストヘッドに搭載された測定器は信号を受け渡す DUT に対して物理的に直近になるが、外部測定器を接続する場合より高度な統合化技術が必要になる。近い将来の高周波数ピンエレクトロニクスでは、これらの測定器の先端部が DUT の近傍に配置されるだろう。測定器の他の部分はテストヘッドの外部に残されるだろう。この妥協が、統合対併用のジレンマを効果的に緩和するだろう。現時点では、3.2Gbps 以下のテスト・ソリューションは単純な内部デジタルループバック手法や高性能 ATE ピンカード手法から、テストボード上のテストモジュール手法や基準デバイス手法に及んでいる。各手法には長所と短所があるが、どのメーカーも個別の設計を行って各社専用の手法としつつある【訳者注:確かなソリューションだと信じて、その設計の改良を進めている】。テストコストと DFT のためのシリコン面積増加がトレードオフになっている。多くの品種の

故障率をどの程度まで許容するかと云うことは、様々なテスト手法の選択肢に対する重要な決定要因でもある。

全体的なシステムコストの削減を維持するために、FR-4 のような低価格プリント回路基板 (PCB) 成層材料が多くの通信用バックプレーンやコンピュータ応用分野で依然として使用されるだろう。しかしながら FR-4 で形成すると、その性能はスペクトル周波数帯でボトルネックになる。この制約条件の下でもデータ伝送速度の拡張に繋がる幾つかの技法が開発されている。それは、プリ・エンファシス/デ・エンファシス、トランスミット・サイド、イコライズ/レシバー・サイド、アダプティブ・イコライゼーション、マルチレベル・エンコーディングなどの技法である。もし、これら全ての技法が利用されることになったら、高速シリアル接続のテスト要求は大変複雑になるだろう。

最適なテスト方式や装置が見出せないで、多くの IC 製造メーカは革新的だが制限もある様々なテスト技法 (ループバックや、基準デバイスや、DUT ボード上への部品搭載のような) を使うことを与儀なく強いられている。通常、この技法では目標とする故障率に至らない。これは、処理技術の進展を促進する比較的新しい I/O 技術に対して潜在的な阻害要因である。

近い時期に ATE メーカは、スピードと接続数の急速な進展に対応するために、マルチポートや Gbit 速度の計測器を設計し、それらを、制御ソフトウェアを含めてテスト装置に統合せねばならない緊急な必要に迫られる。一方、実行可能なソリューションはコスト効果を求められる。長期的には、パラメトリックカバレッジに関連する高性能テストができるように、現状のファンクション擬似ランダムビットシーケンス (PRBS) BIST 手法を既存の DFT 機能へと拡張する必要がある。チップ化測定器や組込み設計検証技法が、外部テスト装置と共に進化したり、共存したりすると想定される。チップ化と非チップ化におけるテストカバレッジの理想的な経済配分は未だに決め難いことである。最終目的は製造時のテストコストの最小化と、多数ポート [訳者注: 多ピン] デバイスの効率的なテストである。

重要な関心領域

1. **データ転送速度の増加** コンピュータ業界では、現在の同期型バスのデータ転送速度は今年にも 2.8Gbps に近づいている。2005 年から 2008 年の間に、従来の同期型バスは、エンベデッドクロックや、クロックフォワードや、同時双方向アーキテクチャにより徐々に置き換わるだろう。新しいアーキテクチャは、従来の同期型バスのアーキテクチャの限界である 2~3Gbps を突破し、コンピュータの最大 I/O 速度を 1.5Gbps から 8.5Gbps に向上させるだろう。この傾向は、2.5Gbps から 8.5Gbps の通信バックプレーンにおけるデータ転送速度の要求と一致すると思われる。何故なら、大方の通信関連のバックプレーンが、PCB 素材として低コストの FR-4 を使用すると云う制限を受けることになるので、少なくとも 2012 年までは、データ転送速度は 10Gbps 以下に留まるだろう。一方、長距離通信と短距離通信は、シリアルリンク技術を更に高速なデータ転送速度に先導し続けるだろう。現在の 10Gbps 長距離通信は、低コスト化と高集積化の為に CMOS に移行している。40Gbps の長距離通信は 2012 年まで需要がないと思われる。短距離通信は 2006 年以前に 10Gbps に到達し、それ以降の数年間は 40Gbps の大きな需要は無いと思われる。
2. **ポート数の増加** 低電圧 CMOS 技術と出力電圧の小振幅化で、大規模 ASIC と SoC の高集積が可能になる。2005 年現在では、100 ペア迄の 1~3Gbps バックプレーン型シリアルライザとデシリアルライザ (SerDes) が多くの IC メーカで生産されている。このポート数は、2006 年に 200 ペアを越えるだろう。2006 年前後に同期型バスは 240 ポートを超えるだろうが、多くの最終製品では、ポート数は 40 かそれ以下に制限されるだろう。このようにポート数が増えると、研究用装置を使う従来の rack-and-stacks 手法は使えなくなる。マルチポート ATE ソリューションでは、単一の機器でかなり大量のシリアルポートを処理する必要がある。主な ATE メーカは、この問題解決のために幾つかの製品を出してきたが、コスト削減と機能向上のために、更なる多くの努力が必要である。上述のように、非常に多くのポート

数を処理するための一般的な方法は、今のところ DFT 技術と設計マージンだけである。テストと設計マージンの間の妥協点は、最終製品ごとに変わる。

3. **コスト要因** 伝統的に、マルチギガビット・トランシーバは、集積レベルが低く生産量も比較的少ないにもかかわらず、高性能で高価で高マージンなデバイスとして設計されていた。低コストで低電力の CMOS マクロセルの導入により、ギガビット・トランシーバは、大量生産でき、安価な(更には汎用的な)デバイスとして評価されるようになってきた。ポート数が多いだけでなく、同時に全てのシリアルポートをテストできるコスト効率の良い ATE ソリューションが、量産には不可欠である。性能と集積度の間の普通のトレードオフは SerDes デバイスを 2 つに分類することに帰着する。その 2 つの分類とは、高性能シリアル・トランシーバと高集積-ギガヘルツ・リンクのマクロセルである。各タイプのテスト方法はコスト要求に基づいて選択されるべきである。高性能や長距離の通信関連製品の経済性は、従来の装置依存のテスト手法や、以前にも議論されたハイブリッド・テストによるテスト手法を一般的に可能にしている。信頼できる DFT 技術や他の低コストなテスト技法は SerDes の多ポート化に対する究極のソリューションだが、製品の完成前に、テストで実速度のテストをしたいと云う強い願望が未だにある。技術改善が進むにつれて、殆どのデバイスのライフサイクルは大変短くなっている。その結果、DFT を回路的に検証したり最適化したりすることは益々難しくなるかも知れない。
4. **ジッタ分解測定** 送信器で発生するジッタは、送信器の品質を保証する重要な要素である。現在、ATEのジッタ測定能力は初期段階にあり、高性能インタフェース向けにノイズフロアやアナログバンド幅やテスト時間の要求を同時に満たす計測器はない。多くのシリアルリンク規格では、ジッタを deterministicジッタ (DJ) と randomジッタ (RJ) に分ける概念が取り入れられている。peak-to-peakジッタに基づくヒストグラムの従来の概念は、totalジッタ (TJ) の概念に置き換えられてきている。これはシリアルリンクにおける一定のビットエラー・レート(一般に 10^{-12}) に関係している。またそれとは別に、一定数のサイクルで cycle-to-cycleジッタや、peak-to-peakジッタや、RMS ジッタを測定するトレンドもある。このトレンドは、非常に短い時間でジッタのデータを収集するクロック方式として大いに意味がある。また、ジッタ測定には非常に厳格なシグナル・インテグリティ要求が必要になる。例えば、3.2Gbpsのデジタル信号には 8~10GHzの周波数スペクトルが含まれる。それ故、間違ったデータ依存のジッタが混ざらないよう、関連するジッタ測定器には非常に高いアナログバンド幅が必要になる。既存の殆どのジッタ測定器は、高速データストリームからジッタを捕えるのに 20 秒以上も掛かる。デバイス・クロックに基づくジッタ測定は速いけれども、これらの多くは内部クロックに直接アクセスしない設計になっている。その場合、ジッタはデータストリームからしか測定できない。ここ 2 年程、様々な企業で多くのジッタ分析技術が導入されてきているが、2.5~3.2Gbpsを超えると信頼性がある技術は僅かで、或る技術から次の技術に相關付けるのは難しい。
5. **ジッタ許容テスト** ジッタ許容テストとは、ビットエラー・レート(BER)とも言われる通信品質が低下する前に、レシーバが許容できる入力信号のジッタの度合いを測定することである。これはレシーバ(Rx)の耐ノイズ特性に関する重要な仕様である。ジッタ許容テストを実施するには、管理された方式で、ジッタをデータストリームに慎重に輸入しなければならない。使用されているクロック方式のアーキテクチャに依っては、レシーバにストレスを掛けるために、別のタイプのジッタが必要になる。正弦波ジッタが必要な応用や、DJ/RJ/PJ の組み合わせを要する応用もあれば、一定数のサイクルで peak-to-peak ジッタか RMS ジッタを要する応用もある。これらの全ての種類のジッタを入力できる統合化された計測器は、ATE 業界にも研究用装置の業界にも無い。しかし其れらは、テスト装置メーカーのロードマップの上に現れ始めてきた。問題は、標準的な定義と市販装置の性能との間にあるギャップである。低コストかつ統合化された測定器でスペック通りのジッタ測定が可能になるまで、今現在の幾つかの間接的な測定技法はコスト効果的な量産工程テストとして現実的である。メモリ方式のパターン発生とパターン確認と云う非常に長いパターンでのテストを未だに必要とする幾つかの標準的な測定技法は、実用的でない。

6. **テストフィクスチャのバンド幅** デバイスと計測器あるいは ATE を繋ぐテストフィクスチャにはプリント回路基板や、コネクタ / ポゴピンなどが含まれる。周波数が増大してポート数が増すと、大きな損失も歪みも無いまま高周波信号を装置に伝える能力は、テスト工学において至難の技になる。いったん信号が 10Gbps を越えると、テストフィクスチャのバンド幅要求は 20GHz に達する。しかし、この条件を満たすことが可能な配線はごく僅かで、測定器が DUT から数フィートも離れた所にある場合、その様な何百もの配線で繋ぐことは困難である。ピンエレクトロニクスフロントエンド部を ATE のテストヘッドに移すことで、この問題は軽減されるだろう。また、ソケットとウェーハプローブには、マルチギガヘルツ・テストに関して深刻なバンド幅ボトルネックがある。これらについては更に研究開発が必要である。最近、ソケットのバンド幅に重要な改善が成されてきたが、新しい高バンド幅ソケットのソリューションが限定的な機械的スペックに向けて取り組まれている。不確かな挿入や一貫性のないコンタクトは、テスト結果のバラツキや歩留り落としを引き起こす未だに共通の問題である。それ故、オンチップでジッタを測定する DFT 手法が望まれている。これは、マルチギガビット領域では、未だ開発されていない。また、他の開発領域でも活発な動きがある。それはソケットや PCB やケーブルやコネクタを含む全てのシグナルパスをシミュレーションするためのツールを供給すると云う開発領域である。
7. **同期化** シリアル通信向けの大抵のレシーバは、クロックやデータストリームからクロックを取り出すためのデータリカバリ回路 (CDR) を使用している。リカバリされたデータの段階では、例えリセットを行っても、必ずしも部分的に修復されている必要はない。可変幅が大きいタイミングとクロックの仕組みでは、位相補正やフレーム補正を行って、この潜在的なバラツキに適応させることが必要とされる。この領域では、最近の ATE で若干の進歩があった。
8. **パラメトリック DFT 対 ロジック DFT** 今までの基本的なファンクション DFT 回路は、SerDes モジュール用に実行されてきた。オンチップ BIST は、組込み擬似ランダムビット・ストリーム (PRBS) 発生器と BER 検出器で主に構成されている。しかし、これらは機能テストのカバレッジだけを備えている。(入出力ジッタや電圧レベルのような)パラメトリック・テストの能力はない。しかし、複雑化する事前補整と平均化の方法を使うことで、パラメトリック DFT は大きく進歩してきている。ジッタ用の BIST 回路とレベルテストは、未だ研究段階である。
9. **先進的な信号整形と符号化** プリエンハシス、均等化、マルチレベル符号、位相変調などのような精巧なアナログ技法の採用は、テスト要求を少々伝統的だが周波数的には大変高いアナログテスト・ソリューションへと潜在的に導く。プリエンハシスと均等化の技法は今や一般的になってきているが、この領域でマルチレベル符号化が現在の一般的なバイナリ符号化に取って代わる時期は未だ明確ではない。
10. **レシーバ入力感度** GHz でのシグナル・インテグリティ問題の為に、入力感度は信号発生源の問題だけでなく、DUT 入力の近くでどの様に計測されるかも問題である。幾つかの 10Gbps 転送とバックプレーン用途にとって、15~20mV のスペックは大量生産工程のテストに向けた ATE の課題である。DC パラメトリック・テストの要求は、小振幅の精度要求と云う ATE 装置メーカーの課題達成を困難にしている。この問題はハイエンドのデバイスに限られた話である。

メモリ

メモリ密度 [訳者注:メモリ容量] は、ムーアの法則に従ってロードマップの通りに成長を続けるだろう。DRAM と NAND フラッシュ双方のメモリは、新しいデジタル技術のプロセス開発手段として使用され続けるだろう。またマイクロプロセッサや FPGA も、同様の目的で使用されている。DRAM、フラッシュメモリ、混載メモリの其々のロードマップを Table.27、28、29 に記す。

汎用DRAMのテストング

長期的に見ると DRAM のビット密度 [訳者注:メモリ容量] は 3 年ごとに 4 倍になっているが、技術的問題が解決されることにより、ときにはそのトレンドから外れることもある。DFT による相殺がなければ、メモリサイズの増加はデバイスのテスト時間を増大させ、またメモセルの製造スループットを減少させることになるであろう。不良の検出、解析、そしてリペアは汎用 DRAM で不可欠である。テストの生産性を改善するためには、新しいテスト指向のアーキテクチャが要求される。マルチビット・テスト、BIST、組込自己救済 [訳者注: BISR] は生産効率と歩留りの確保に不可欠になる。

自動テスト装置によるテストの並列化は、ロードマップでもかなりの数が要求されている。同時測定 of デバイス個数を示す表は、実速度テストするパッケージ・デバイスについて述べている。汎用 DRAM は特殊用途の先端 DRAM より I/O ビットレートが遅い。2Gbps 以上の領域では、テスト・ソケット、プローブカード、ハンドリングを伴う DUT インタフェースのシグナル・インテグリティの問題がある。テストヘッドあたり 128 個以上の同時測定が課題になるだろう。I/O ビットレートは入力クロックの少なくとも 2 倍になり、テストの周波数は、DRAM 性能の 8 倍に達することになるだろう。高 I/O ビットレートは、将来におけるテスト精度を如何に適切に定義するかと云う課題を生む。

Table 27a Commodity DRAM Test Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
DRAM Capacity (Gbits)									
R&D	8	8	16	16	16	32	32	32	64
Mass production	1	2	2	2	4	4	4	8	8
DRAM data rate (Gbs)	0.67	0.80	1.00	1.20	1.20	1.33	1.33	1.50	1.50
Performance DRAM data rate (Gbs)	1.8	2.25	2.5	3	3.5	5	5	6	6
DRAM bit width/device (mass production)	16	16	16	16	16	16	16	16	16
Device CLK rate (GHz)	0.3	0.3	0.4	0.5	0.5	0.6	0.7	0.7	0.8
Overall timing accuracy (ps)	40	40	32	32	25	25	25	Cannot be determined	

· CLK—clock signal

Table 27b Commodity DRAM Test Requirements—Long-term Years

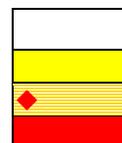
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
DRAM Capacity (Gbits)							
R&D	64	64	128	128	128	256	256
Mass production	8	16	16	16	32	32	32
DRAM data rate (Gbs)	1.8	1.8	2.0	2.0	2.25	2.25	2.5
Performance DRAM data rate (Gbs)	8	8	10	10	12	12	14
DRAM bit width/device (mass production)	16	16	16	16	16	16	16
Device CLK rate (GHz)	0.9	0.9	1.0	1.1	1.1	1.2	1.3
Overall timing accuracy (ps)	Cannot be determined						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



DRAM における主要な故障モデルは、セルの縮退故障、複数セルの結合故障、デコーダ開放故障、データ保持故障であり続けるだろう。100nm や其れ以下の物理サイズ領域では、製品開発のためにインラインでの欠陥検出が不可欠になる。インラインでの欠陥モニタリングで欠陥ウェーハの混入が避けられ、ウェーハソートとパッケージテストのテスト時間は今迄通りに維持できることになる。

汎用フラッシュのテストング

短期的に見るとフラッシュメモリは 1 年ごとに密度【訳者注：メモリ容量】が 2 倍になり、その後この傾向は減速して 1.5 年ごとに 2 倍になるだろう。どのテクノロジー世代でも、NAND の密度は一般的に NOR の 4 倍であった。そして今後も、そのトレンドは続くと見込まれている。NAND バス幅は主として 8 ビットであり続けてきたが、或る製品では 16 ビットもある。

NAND と NOR は、アーキテクチャや、使用目的や、不良ブロックの扱いが異なるため、同じテスト手法を一般的に採らない。NAND と NOR のバスの相違は時間が経つと共に無くなってきており、ソフトウェア処理の進歩(SPI: software process improvement)や他のシリアルバスの定義は組込用途を目的にしている。用途に合わせたフラッシュメモリのカスタマイズによって、バスの種類は更に広がると思われる。4M ビットを超える密度では、バス幅は 8 ビットと 16 ビットが主流である。32 ビットバス幅の NAND は 2005 年のロードマップから外された。

通常、フラッシュメモリはバッテリー駆動の製品に使用され、フラッシュメモリの供給電圧要求は時間が経つと共に徐々に低下してきている。しかしながら、外部供給電圧の 3 倍から 8 倍が必要になる内部駆動電圧の必要性は、ホットエレクトロンや Fowler-Nordheim の電荷移動メカニズムにより追い立てられ続けると思われる。低電圧化のトレンドによって、将来は供給電圧の絶対精度の向上が必要になるだろう。しかし供給電圧に関する精度の割合は一定であることが要求される。入出力電圧の低下により、標準テストの負荷回路は動作限界に達している。すなわち、将来は新しい手法が必要になる。

ウェーハテストでは、パッケージテストほどの性能は一般的に必要とされない。しかしエラー検出や、エラー解析や、救済の工程では必要とされる。

フラッシュメモリと他のメモリやロジックデバイスを単一のパッケージ内に積み重ねる実装は標準的になってきており、今後も続くと思われる。1 つのパッケージで複数のチップはパッケージテストの要求を複雑にし、必要とされるピン数と DUT 電源数は増える。フラッシュメモリのデータ転送速度やクロック速度は増大するだろうが、最終製品に基づく要求には幅広い多様性が求められている。

Table 28a Commodity Flash Memory Test Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
<i>NAND Device Characteristics</i>									
<i>Capacity (Gbits)</i>									
R&D	32	32	64	64	128	128	128	256	256
Mass production	8	8	16	16	32	32	32	64	64
Data width (bits)	16	16	16	16	16	16	16	16	16
<i>Power Supplies</i>									
Power supply voltage range	1.5–5.5	1.5–5.5	1.5–5.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5
Power supplies per device	2	2	2	2	2	2	2	2	2
Maximum current (MA)	35	35	35	35	35	35	35	35	35
<i>Pattern Generator</i>									
Tester channels per device	24	24	24	24	24	24	24	24	24
<i>Timing</i>									
Maximum I/O data rate (Mbs)	40	40	50	50	50	55	55	55	60
Accuracy OTA (ns)	1.2	1.2	1	1	1	0.9	0.9	0.9	0.8
<i>NOR Device Characteristics</i>									
<i>Capacity (Gbits)</i>									
R&D	4	4	8	8	16	16	16	32	32
Mass production	1	1	2	2	4	4	4	8	8
Data width (bits)	16	16	16	32	32	32	32	32	32
Power supply voltage range	1.0–5.5	1.0–5.5	1.0–5.5	1.0–5.5	0.9–3.3	0.9–3.3	0.9–3.3	0.9–3.3	0.9–3.3
Power supplies per device***	2	2	2	2	2	2	2	2	2
Maximum current (MA)	150	150	150	150	150	150	150	150	150
Tester channels per test site	64	72	72	72	72	72	72	72	72
Maximum I/O data rate (Mbs)	166	200	200	200	266	266	266	333	333
Accuracy OTA (ns)	0.3	0.2	0.2	0.2	0.18	0.18	0.18	0.15	0.15

· OTA—overall ATE timing accuracy

*** Discrete only

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

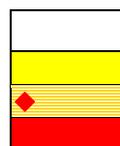


Table 28b Commodity Flash Memory Test Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
NAND Device Characteristics							
<i>Capacity (Gbits)</i>							
R&D	256	512	512	512	1024	1024	1024
Mass production	64	128	128	128	256	256	256
Data width (bits)	16	16	16	16	16	16	16
<i>Power Supplies</i>							
Power supply voltage range	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5	1.5–3.5
Power supplies per device	2	2	2	2	2	2	2
Maximum current (MA)	35	35	35	35	35	35	35
<i>Pattern Generator</i>							
Tester channels per device	24	24	24	24	24	24	24
<i>Timing</i>							
Maximum I/O data rate (Mbs)	60	60	60	70	70	70	70
Accuracy OTA (ns)	0.8	0.8	0.8	0.7	0.7	0.7	0.7
NOR Device Characteristics							
<i>Capacity (Gbits)</i>							
R&D	32	64	64	64	128	128	128
Mass production	8	16	16	16	32	32	32
Data width (bits)	32	32	32	32	32	32	32
Power supply voltage range	0.9–3.3	0.9–3.3	0.9–3.3	0.9–3.3	0.9–3.3	0.9–3.3	0.9–3.3
Power supplies per device***	2	2	2	2	2	2	2
Maximum current (MA)	150	150	150	150	150	150	150
Tester channels per test site	72	72	72	72	72	72	72
Maximum I/O data rate (Mbs)	333	400	400	400	400	400	400
Accuracy OTA (ns)	0.15	0.12	0.12	0.12	0.12	0.12	0.12

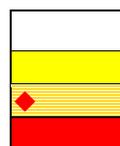
*** Discrete only

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



混載DRAM と混載フラッシュのテスト

混載 DRAM のビット【訳者注：メモリ容量】は、短期的には 2 年ごとに 2 倍であり、汎用 DRAM や NAND フラッシュの集積度向上率に比べてゆっくりしている。デュアルゲート・プロセスにおけるロジックと DRAM の混載設計では、主要な関心事は配線間ノイズとセンスアンプ不均衡であろう。100nm 或いは其れ以下の DRAM ハーフピッチでは、インラインの欠陥検出が製品開発のために不可欠になる。インラインの欠陥モニタリングで欠陥ウェーハの混入が避けられ、ウェーハソートとパッケージテストのテスト時間は今迄通りに維持できることになる。

混載フラッシュメモリのビットは、短期的には指数的に増加し、ロードマップの後半年では 2 年ごとに 2 倍になるだろう。DRAM やフラッシュメモリを組み込んだデバイスが増える。酸化膜の信頼性や、センスアンプの不均衡や、酸化物 - 窒化物 - 酸化物(ONO)のスケールング則は、2003 年以降のフラッシュメモリで主要な関心事になるだろう。

テストの生産性改善を目的に、新しいテスト指向のアーキテクチャが必要になる。組込自己テスト機能【訳者注：BIST】や組込自己救済機能【訳者注：BISR】は、混載 DRAM や混載フラッシュメモリのテスト、生産スループットや歩留りの維持に必須となる。混載 DRAM では全てのデータに対するマーチテストが必須だが、フラッシュメモリの基本的なテストアルゴリズムは、読出ディスタurbや書込ディスタurbや消去ディスタurbであり続けるだろう。

テストにおける相当多い並列化は、メモリ密度【訳者注：メモリ容量】の増加に直面するテストスループットを今迄通りに維持するために必要とされる。2006 年迄そして其れ以降も、2 パステスト手法は、ロジックと混載メモリを同じテストでテストするよりもコスト的な効果を生むだろうと見込まれている。2 パステスト手法において、ロジック部はロジックテストで今迄通りにテストされる一方、混載フラッシュや混載 DRAM はメモリテストでテストされたり救済されたりする。混載 SRAM のテスト要求については、本章の高性能マイクロプロセッサの節で説明する。

Table 29a Embedded Memory (DRAM and Flash) Test Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	
Embedded DRAM										
Embedded DRAM size (Mbits) *										
R&D	256	512	512	512	1024	1024	1024	2048	2048	
Mass production	128	256	256	256	512	512	512	1024	1024	
Failure concerns	Particle defects; array noise, data retention					Particle defects, array noise, sense-amp imbalance				
Wafer level test	Single and double insertion					In-line defect detection				
Usage of on-chip test	100% BIST/BISR					100% BIST/100% BISR				
Embedded Flash										
Embedded flash size (Mbits) *										
R&D	64	128	128	128	256	256	256	512	512	
Mass production	32	64	64	64	128	128	128	256	256	
Embedded mixed memory size (Mbits) *										
Flash	32	64	64	64	128	128	128	256	256	
DRAM	32	64	64	64	128	128	128	256	256	
Failure concerns	Oxide defects; ONO scaling; over-erase					Sense-amp imbalance				
Wafer level test	Single and double insertion					In-line defect detection				
Usage of on-chip test	BIST/BIST/DAT					BIST/BISR				

· DAT—direct access DFT

· Number of bits in mass production is approximately 50% of number of bits in R&D

* Solution space is both on-chip and stacked die

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

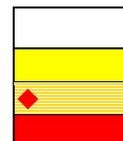


Table 29b Embedded Memory (DRAM and Flash) Test Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
Embedded DRAM							
Embedded DRAM size (Mbits)							
R&D	2048	4096	4096	4096	8184	8192	8192
Mass production	1024	2048	2048	2048	4092	4096	4096
Failure concerns	Particle defects, array noise, sense-amp imbalance						
Wafer level test	In-line defect detection						
Usage of on-chip test	100% BIST/100% BISR						
Embedded Flash							
Embedded flash size (Mbits)							
R&D	512	1024	1024	1024	2046	2048	2048
Mass production	256	512	512	512	1023	1024	1024
Embedded mixed memory size (Mbits)							
Flash	256	512	512	512	1023	1024	1024
DRAM	256	512	512	512	1023	1024	1024
Failure concerns	Sense-amp imbalance						
Wafer level test	In-line defect detection						
Usage of on-chip test	BIST/BISR						

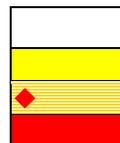
* Solution space is both on-chip and stacked die

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



アナログ・ミックスド・シグナル

単一チップ (SoC) や単一パッケージ (SiP) が更にシステム的な機能性を持つようになるトレンドは、従来のデジタルやアナログや RF/マイクロウェブやミックスド・シグナルのデバイスの間の境界を徐々に曖昧にするだろう。このトレンドは、どんなデバイスもテストすることができる単一のプラット・ホーム・ソリューションに向かうテスト装置を押し進めるだろう。その結果 ATE は、デジタルだけから高性能 DC/アナログ/RF/マイクロウェブ計測器を完全に統合するモジュール化や拡張可能化になっていく必要がある。ミックスド・シグナルに関する前回の 2003 年版テスト章は RF まで含めた。この問題と複雑さが増加しているため、RF ロードマップは個別の節に移した。ミックスド・シグナル・チップにおける デジタルと高速シリアルと RF の要求は、それらの各節に記載されている要求に等しい。

アナログ / ミックスド・シグナルのテスト問題とテスト技術制約は、装置のバンド幅を高くすることであり、任意波形発生器のサンプリング・レートを高くすることであり、ノイズフロアを下ることである。そして、スループットと操作性の向上のために ATE 環境に最適化されたデジタルと他の全ての計測器とのシームレス統合である。

ミックスド・シグナルのテスト要求表は、特定チップの最終用途よりも、テスト装置に焦点を合せている。現在のアナログ / ミックスド・シグナルのテスト方法論は性能ベースの測定 (すなわち、チップ外部の計測器

を使用する)を必要とする。したがって計測器の要求は、プロセス技術ロードマップに基づくチップ性能の増大を反映する。アナログ波形発生とキャプチャの要求は 2 つのクラスで設定されます: 低周波数 ミックスド・シグナル ATE に対する基本的な / 最小の要求 と、超高周波 ハイエンドの要求 である。つまり、ミックスド・シグナル計測器の要求はロードマップの中の他の節や表に関連付いている。

アプリケーション要求の複雑さと幅は特定のチップ用途向け最適化された計測器を必要とする。これらの最適化された計測器のバンド幅や分解能やノイズフロアの要求は、低周波とハイエンドの要求に集約されていくだろう。しばしば、いろいろな複雑なアナログ機能が単一チップに統合されている。ATE 用の計測器は、絶えず増加するテスト要求を満たしていかなければならない。特に任意波形発生器では顕著である。このトレンドの結果はテストシステムの中の計測器の数を増やすことになる。それはコストを増やすことになり、多くの製品で共有されなければならない重要な構成管理問題を生じさせる。計測器の数と複雑さと性能が増えるトレンドは続く予想されるが、同時にテストコストの低減は促進されなければならない(下記に記載した関心領域を参照)。

アナログ / ミックスド・シグナル DFT と BIST の技術は遅れている。性能ベースのアナログ・テストの検証された代替手段はなく、そして、この領域での更なる研究が必要とされている。アナログ BIST が可能なソリューションであり、更なる研究の領域として提案されてきた。計測器の複雑さや外部計装の必要性を低減させる技術を見極めるための基礎研究が必要とされている。

重要な関心領域

1. Time-to-market と Time-to-revenue の問題は、ファースト・シリコンで完全に準備が整うテストを促進している。アナログ / ミックスド・シグナルのテスト環境は、ロードボードやテスト方法論を非常に複雑にする。ノイズや信号のクロストークは、回路的にロードボード設計を複雑にする。そして今では、ATE ハードウェア / ソフトウェアの問題でテスト開発のプロセスとスケジュールが決ってしまう。テスト開発のプロセスは、チップ設計に合わせて、より短く、より自動化されなければならない。
2. 全てのアナログ / ミックスド・シグナル・チップで多用されている同時測定やコンカレント・テストは、テスト時間の短縮や製造スループットの向上やテストコストの削減のために必要とされている。DC を含めた全ての ATE 装置はコンカレント / パラレル動作を可能にする多くのチャンネルを必要とする。そしてプロセス結果を出すために DSP アルゴリズム (FFT など) の速い並列処理が充実されなければならない。
3. 現在、ATE テスト・プログラムの殆どのアナログ / ミックスド・シグナル部分は手作業で作成されている。自動テストパターン生成器は、デジタル・ベクタパターンを生成するのに広く使用されている。自動テスト・プログラム生成器は完全なデジタルのみのテスト・プログラムを生成できるように最近なった。デジタル信号の生成や取込のように、アナログ / ミックスド・シグナルのデジタル・パターンへの統合や、計測器の完全なセットアップや、ロードボードと計測器も含めたチップのアナログ出力の回路シミュレーションなどをサポートすることで、これらのツールはアナログ / ミックスド・シグナル用に拡張される必要がある。

Table 30a Mixed-signal Test Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	28	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	90	
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13	11	
<i>Low Frequency Waveform</i>											
BW (MHz)	50	50	50	75	75	75	100	100	100	100	
Sample rate (MS/s)	Moving from Nyquist sample rates to over/under sampling sources/digitizers										
Resolution (bits)	DSP computation to 24 bits – however effective number of bits will be limited by noise floor										
Noise floor (dB/RT Hz)	-155	-155	-155	-160	-160	-160	-165	-165	-165	-165	
<i>Very High Frequency Waveform Source</i>											
Level V (pk–pk)	4	4	4	4	Driven by communication physical layer standards – likely to be lower						
Accuracy (±)	0.50%	0.50%	0.50%	0.50%	Likely to remain the same						
BW (MHz)	1500	1500	1500	1800	2050	2250	2700	3000	3000	3000	
Sample rate (MS/s)	6000	6000	6000	7200	8200	9400	10,800	12000	12000	12000	
Resolution (bits) AWG/Sine†	8/10	8/10	8/10	8/10	8/10	8/10	8/10	10/12	10/12	10/12	
Noise floor (dB/RT Hz)	-135	-135	-135	-140	-140	-140	-140	-145	-145	-145	
<i>Very High Frequency Waveform Digitizer</i>											
Level V (pk–pk)	4	4	4	4	Driven by communication physical layer standards – likely to be lower						
Accuracy (±)	0.50%	0.50%	0.50%	0.50%	Likely to remain the same						
BW (MHz) (undersampled)	6400	8000	9200	10800	10800	12500	12500	15000	15000	15000	
Sample rate (MS/s)	Direct conversion <400 MS/s							Direct conversion <600 MS/s			
Resolution (bits)	Minimum 12 bits – noise floor is more important							Minimum 14 bits – noise floor is more important			
Noise floor (dB/RT Hz)	-145	-145	-145	-145	-145	-145	-145	-150	-150	-150	
<i>Time Measurement</i>											
Jitter measurement (ps RMS)	Will be driven by high-speed serial communication ports										
Frequency measurement (MHz)	Will be driven by high-performance ASIC clock rates										
Single shot time capability (ps)	Will be driven by high-speed serial communication ports										
RF/Microwave instrumentation	Same as RF test requirements – see this new section										
<i>Special Digital Capabilities</i>											
D/A and A/D digital data rate (MB/s)	Same as high performance ASIC “off-chip data rate”										
Sample clock jitter (ps RMS)	<0.2	<0.2	<0.2	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	

† AWG—array waveguide gratings BW—bandwidth pk–pk—peak to peak

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

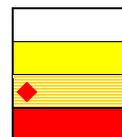


Table 30b Mixed-signal Test Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Low Frequency Waveform							
BW (MHz)	100	100	100	100	100	100	100
Sample rate (MS/s)	Moving from Nyquist sample rates to over/under sampling sources/digitizers						
Resolution (bits)	DSP computation to 24 bits – however effective number of bits will be limited by noise floor						
Noise floor (dB/RT Hz)	-165	-165	-165	-165	-165	-165	-165
Very High Frequency Waveform Source							
Level V (pk-pk)	Driven by communication physical layer standards – likely to be lower						
Accuracy (±)	Likely to remain the same						
BW (MHz)	3000	3000	3750	3750	3750	3750	3750
Sample rate (MS/s)	12000	12000	15000	15000	15000	15000	15000
Resolution (bits) AWG/Sine†	10/12	10/12	10/12	10/12	10/12	10/13	10/14
Noise floor (dB/RT Hz)	-145	-145	-145	-145	-145	-144	-143
Very High Frequency Waveform Digitizer							
Level V (pk-pk)	Driven by communication physical layer standards – likely to be lower						
Accuracy (±)	Likely to remain the same						
BW (MHz) (undersampled)	15000	15000	15000	15000	15000	15000	15000
Sample rate (MS/s)	Direct conversion <600 MS/s						
Resolution (bits)	Minimum 14 bits – noise floor is more important						
Noise floor (dB/RT Hz)	-150	-150	-150	-150	-150	-150	-150
Time Measurement							
Jitter measurement (ps RMS)	Will be driven by high-speed serial communication ports						
Frequency measurement (MHz)	Will be driven by high-performance ASIC clock rates						
Single shot time capability (ps)	Will be driven by high-speed serial communication ports						
RF/Microwave instrumentation	Same as RF test requirements – see this new section						
Special Digital Capabilities							
D/A and A/D digital data rate (MB/s)	Same as high performance ASIC “off-chip data rate”						
Sample clock jitter (ps RMS)	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

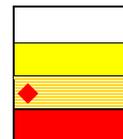


Table 30 Mixed-signal Test Requirements の定義:

低周波発生器とデジタイザ これは、殆どのミックスド・シグナル・テストが基本的に備えている必要最小限の計測機能である。広域通信や先端オーディオや無線のベースバンドによって、これらの仕様は決められる。差動の入力/出力が必要とされる。

超高周波の波形発生器 ディスク・ストレージ用途でサンプリング・レートとバンド幅が決まる。ローカル・エリア・ネットワーク用のデバイスでも、サンプリング・レートや分解能や増幅精度が決まる。差動の出力が必要とされる

超高周波の波形デジタイザ アンダーサンプリング(下方変換やトラッキング・ホールドなど)のバンド幅を示す。サンプリング・レートとビット分解能は直接変換デジタイザで必要になる。また通常は、アンダーサンプリングによって決められる。ストレージ用とネットワーク用のデバイスでデジタイザの仕様が決まる。差動の入力が必要とされる。

特殊デジタル性能 変換テストを目的にした、D/A 用デジタル信号発生器と A/D 用デジタル・キャプチャの性能。

無線周波数

主に4つRF周波数領域が顕著になっている。3GHzまでの周波数領域は、長距離携帯電話通信技術に現在使われている。無線のクライアント通信プロトコル(WiMax)と共に、時間が経つにつれて更に高い周波数帯に移って行く。6~45GHz帯は中距離通信(超広帯域(UWB)に移行しているブルートゥース)で注目されている。45~77GHzの高領域は、短距離レーダ用途に使われ、特に車載応用が期待されている。

最も重要なトレンドは周波数の増加である。つまり、802.11と802.16の通信標準に沿った、より高い周波数帯の運用である。高周波帯(12GHz以上)に対して、従来のテスト技法(非変調)で要求を満たせると予想されている。

テストの重要な要求は、テストの電源部/デジタル部/ACベースバンド部とRF計測器の間の完全な同期化である。誤りベクトル測定は必須条件である。重要なトレンドはSoCとSiPのソリューションへのRF展開である。これは、RFパラメータに対するテスト・ソリューションだけでなく、先端デジタルやミックスド・シグナルの要求との組合せに関するテスト・ソリューションを必要とする。SiPにおいては、搭載される電子部品の性能が重要になる。真の汎用デバイスになりつつあるRFの経済性に対応するために、多数個測定が必須であり、またその数は増えるだろう。また、ツール類(ロードボード、ソケット、プローブカード)は、DUT入出力のシグナル・インテグリティを確保するために重要である。これらの課題から察するに、RFデバイスの機能テストに代わりうるRF用の特別なDFTと低コスト化の必要性は、近い将来の展望において大いに増すと想定される。

重要な関心領域

1. テストの経済性との関連から、近い将来に開発されるだろう新しいDFTと代替テスト技法が、性能と周波数の増大で大きく着目されている。
2. RFはSoCやSiPの技法によって、更に頻繁に製品に組み込まれるだろう。RFテストと(先端)デジタルやミックスド・シグナルのテストの組合せは更に一般的になるだろう。ウェーハレベルのRFテストが増えるだろう。テストシステムに続いて、シグナル・インテグリティに対応するツール類(ロードボード、ソケット、プローブカード)も重要になる。
3. 位相ノイズと信号検出のための信号源精度と測定精度は今のところ十分だが、近い将来の展望では改良されるに違いない。100KHzでの位相ノイズは、現在の-120dBc/Hzから此处1~2年の内に少なくとも-130dBc/Hzに改良する必要がある。しかし更なる改良は暫く必要ないだろう。
4. 高RF領域(6GHz以上)におけるトレンドは、今のところ明確でない。

信頼性の技術要求

信頼性のソリューションは、1)信頼性欠陥密度(RDD)の改善、2)信頼性スクリーニングとテスト手法(RS&TM)、3)信頼性のための設計(DFR)、の最適化である。この信頼性ソリューションの最適化のゴールは、投じた費用に対して最高の対価をめざすことにある。ここでの対価とは、顧客が支払うコストに対して得られる顧客の満足度の比率である。

信頼性を扱う業界において、顧客の満足度は、フィールドでの故障率、または単位時間当たりの故障率 (FITs) で測られる。信頼性のコストには、製造オペレーションコストと歩留りの 2 つの要素がある。これらは信頼性に関するコストの算出式の要素であり、また全ての信頼性ソリューションが初期に直面する問題でもある。同様に、製造オペレーションコストも 2 つの基本的な要素に依存している。ターンイン時間と装置の高度化である。業界では、従来の電圧ストレスと温度ストレスに変わって潜在的な欠陥を引き出す手段が引き続き探求されている。それはすなわち、検出技術には多くの進歩がみられるが、欠陥加速は電圧と温度を印加すると云う方法に留まっていると云うことである。

実使用の仕様を超える電圧と温度を加えることは、電源周り(電源供給や熱拡散)のリークに対するソリューションをしばしば必要とする。歩留りに関連する信頼性のコスト削減の要素は、“オーバキル”や“間違った不良判定”の排除にかなり偏っている。オーバキルは多くの場合、電源ソリューションから派生するものと結びついているからである。しかし間違った不良判定の主要な原因は、モデル化された仮定でストレス方法論を裏付けたり、製造ストレス工程から“逃れたもの”として信じるに足る理由を遂には見つけたりすることに結びついている。次のような議論が成されている。市場の殆どの最終製品は、故障率における初期寿命の要素を特に問題としている。欠陥加速を逃れた多くの潜在的な欠陥は、製品をその寿命の初期に故障させるだろう。刺激【訳者注:欠陥加速】を受けたデバイス。そのためストレスから逃れていないデバイスの品質を最大限に保証するためには、ストレス印加中にデバイスからの出力を単に測定することである。用語の定義として、出力を測定することは *in situ stress* と呼ばれる。一方、出力を測定しないことは *dynamic stress* と呼ばれる。*in situ* で“逃れたもの”は明らかに少なくなり、これ故に初期故障率は減少する。勿論、この低い故障率はコストを掛けないと得られない。*in situ stress* は、性能の分布幅を小さくするストレス条件下でのデバイス動作状態を必要とする。最後に、ストレス印加中に出力を測定することは歩留りロスをもたらすことも付け加えなければならない。プロセスの変動のため、分布のある部分には電圧ストレスや温度ストレスの条件下で機能するのに十分な余裕が無い。しかしながら、これらの中の幾つかのデバイスは通常動作条件では正常に動作する。これらのデバイスには信頼性上の欠陥は無いけれども、*in situ stress* はこれらの正常に機能するデバイスも故障と判断してしまう。すなわち“オーバキル”である。“過剰な余裕”を持つ同様なデバイスは、先に述べた検出技術における進化の対象である。信頼性を満たすためにはトレードオフが必要である。多くの場合、性能と歩留りは量りに掛けられた状態にある。

信頼性欠陥密度(RDD) の改善の度合いは、市場における信頼性要求を満たすにあたって最もコスト効果的な手段である。それ自身、マイクロエレクトロニクスの利益率を達成する為の基本的な行動。歩留り改善の度合い。の副産物である。欠陥改善については、欠陥のモデル化と物理的な欠陥の節で述べられている。欠陥の要素は、つまり“信頼性上の特異性”は少なくなってきたと云う前提を過去のデータは圧倒的に物語ってきているが。最近の技術進歩は、その状況を変化させているかも知れない。欠陥改善の節はRDDの改善に常に直接的に当てはまるだろうが、欠陥を加速させる高電圧と高温は我々をデバイス物理学と物性学に踏み入れさせる切っ掛けになっている。ストレス条件は、もはや“ありきたり技術”の仕様で決定されるのではなく、システムの実使用条件で決定される。ほどほどの消費電力で市場要求性能を満たすことに対する最近の技術的な無力化は、それを埋め合わせる為にシステム使用条件(電圧や温度)を増やすことをシステム設計者に強いている。ストレス条件の応用の結果として、Vmin動作レンジのソフトや、性能裕度を導くNBTI【訳者注:Negative Bias Temperature Instability】や、ゲート酸化膜の完全性(時間依存の絶縁破壊(TDDB))を適用することは、未だ大部分の説明がつかないままである。この様に、補完的な処置や信頼性故障率の調整は決められている。C₄ や BEOL ワイヤリングにおける金属エレクトロマイグレーションの様な一般的な考え方でさえ、ストレス条件によって引き起こされる過度な電流や電力が原因とされる場合には、慎重で精密な調査が必要になる。業界が“性能絶対化”を重視する状態はまだまだ終わらない。

DFR にもまた 3 つの重要な要素がある。1) 技術設計、2) チップ設計(論理的と物理的)、3) システム設計、である。この 3 つの各々において、DFR 機能は欠陥許容を追求しなければならない。技術設計の場合、

電源緩和を引き起こすリークは欠陥許容を超える重要な事があることを示唆する。チップ設計と DFR に関しては、電源緩和と欠陥許容は設計の優先順位そのものである。冗長要素の解析と電力消費の解析には、相当な設計労力を費やすことになる。システムレベルでは、誤り検出や修正、および冗長要素の方式に関連する欠陥許容である。

信頼性スクリーニングとテスト手法【訳者注:RS&TM】に関して、チャンピオンデータや支援的、強制的、偏向的なデータに基づいている技術や方法論の著作物が豊富にある。テクノロジーの世代によるが、チップや回路のタイプ、設計スタイル、性能目標、信頼性要求、故障タイプ、などによって多様な議論がある。超過電圧や超過温度の印加が欠陥加速方法の主流として続くかぎり、RS&TM においては電力供給や熱的なソリューションの最良で聡明な考えが課題になるだろう。それは欠陥を加速させる一方で、デバイスの破壊は回避できるものでなければならない。つまり、優先順位の変更である。摩滅によりもたらされる、もしくは兆候となる、ストレス条件やストレス動作は、避けるべきものとの認識が何年か前にはあった。過去の格言は”欠陥を加速させる一方で、自らの摩滅は回避できるものでなければならない”だった。しかしながら、100nm 以下の酸化膜、NBTI、過剰な裕度(それは V_{min} のような)、数 100A や数 100W の電力、何マイルもの銅配線、膨大な内部配線、などのシステムの多様な実使用条件に直面している中で、これは益々難しいものになりつつある。

RS&TM は、それらをウェーハ用途とパッケージ(またはモジュール)用途に分けることで、そして更には【訳者注:欠陥の】”検出”と”加速”の技法に分離することで、最も類別し易くなる。この 2 段階の層構造は、市場からの返品の原因がテスト見逃しか信頼性欠陥による初期寿命か、と云うテストと信頼性の間の絶え間なく続く議論を和らげる手助けとなるだろう。

工程上のステップ(ウェーハまたはパッケージ)にかかわらず、欠陥加速の技法は常にその裏の効力を考えなくてはならない。何故なら、欠陥加速は実使用条件を遥かに超える温度や電圧を必要とするからである。そしてリークはそれら両者に対して指数的に変化するためである。同様なことは検出技法には当てはまらない。多くの場合、検出技法はリークを減らす条件(それは、VLV(超低電圧)や VLT(超低温))を使う。また、リークを悪化させる実使用条件が必要な検出技法の場合でも、それらの条件は欠陥を加速させる条件までには一般的に達しない。

バーイン要求

バーイン・プロセスのための技術的な課題は、デバイスピン数の増大、パッケージピッチの減少、デバイス動作周波数の高速化、劇的なリーク電流の増大、及び電圧/熱加速の増大によって方向付けられる。多くの信頼性故障モードがバーインだけではスクリーニングできないので、信頼性を高めるために、IDDQ、HVST、ウェーハマッピングなどのいくつかの手法が併せて用いられている。

バーイン・システム技術は、特に大電力デバイスにおいてコストダウンを継続する必要がある。デバイスコア電圧の最小値は下がり続ける。SCAN テスト手法が非常に深いベクターを実行するための大容量メモリを必要とする一方、大電力テスト手法は個々のデバイスの熱と電力の制御を必要とする。バーイン工程(システム/ドライバ/バーイン・ボード/ソケット)では、内部生成クロック方式を持たない先端技術デバイスの速度に対応することが課題になる。DFT 無しのデバイスは、I/O 数の増大を必要とする。KGD ニーズの増加は、ウェーハレベル・バーインや、KGD キャリアや、プローブ段階でのストレス印加に対する努力を求め続ける。

デバイス電源や信号の要求はバーイン・ボードにおける、多層化、短配線、省スペース、複雑な手順や部材、テストコストの増大、ボード信頼性などの問題を大きくする。今後のデバイスの狭ピッチ化は新しいコスト課題であり、バーイン・ソケットとバーイン・ボードを繋ぐ革新的なインターフェースが必要になるだろう。

バーンイン・ソケットは、コンタクト数の増大、狭ピッチ化、大電流化、高周波数化への対応と云う大きな設計課題を要求されている。同時に、ソケットは、大電力デバイスが自己発熱で破壊するのを防止すると云う熱対策ソリューションの重要な構成要素である。ソケットメーカーの主要な課題は、これらの新しい要求に対応する技術を提供しながら、低価格および短いリードタイムを維持することである。0.5mm ピッチ未満のボールグリッド・アレイ(BGA)に適用されている水平動作のコンタクト設計は、増大する機械的ストレス要求に対する既存ソケット素材の性能不足やピン数の増加によって、垂直動作のコンタクトに置き換わるだろう。電流供給性能の向上にむけて、新しい設計と新しい素材が必要とされている。ソケットの設計は、パッケージ寸法や反りに関してパッケージのルーズスペックに対応する必要がある。一方、パッケージの大型化や、パッケージの薄片化や、狭ピッチ / 非標準ピッチ / 混在ピッチに対応する必要もある。コンタクト設計には、電氣的 / 機械的性能を損なうことなくより大きな強度が求められている。

バーンインへの非伝統的な取り組みは、システムレベル・バーンイン、ウェーハレベル・バーンイン、および Strip/array バーンインを含む。高信頼性を要求される最終製品においては、システムレベル・バーンインが伝統的なデバイスレベル・バーンインを補完したり置き換えたりする。ウェーハレベル・バーンイン技術の開発は継続されているが、未だ伝統的なパッケージレベル・バーンインを大きく置き換えるには至っていない。ここでの課題はソケットを使うバーンインを不要にし、SCAN やロジック BIST やメモリ BIST (MemBIST) の活用による多数個同時のウェーハレベル・バーンインの方法を見つけることにある。Strip/array バーンインは大量の並列テストにおいて益々重要になる。

ウェーハレベル・バーンイン

ウェーハレベル・バーンイン(WLBI)を構成する要求について明確な定義は存在していない。DRAM の内部ノードに逆電圧を与えるという単純な DC ストレスの適用に対して、数社の DRAM ベンダが「バーンイン」と云う用語を使用しているケースがある。WLBI では、ウェーハ全面のコンタクトと、熱的な欠陥を活性化するのに十分な時間と温度を与えることが要求されるが、同時に「通常」モードで動作させながらデバイスに電圧ストレスを与えることも要求される。いくつかのベンダではSCANやBISTなどのDFT手法を採用することにより、ローエンド・マイクロプロセッサや SoC のような製品群に対してWLBIの適用を可能にしている。

重要な取り組みとしては、これらの選択肢の有効性を定量化することと、WLBI を定義する基準およびウェーハレベルでの取り扱いの有効性を確認するための方法を開発することである。WLBI にふさわしいデバイスとしての DRAM に対する取り組みは、パッケージレベルのバーンインに比べて同じ機能を提供し、同等の効果をもちながら、パッケージバーンイン以上にはコストがかからないウェーハバーンイン環境を提供することである。コンセプトとしては、大規模な並列テストの機会としてバーンイン環境を利用することにより、バーンインに費やされる時間を有効利用することである。

WLBI に対する要求は日々高まっている。初期故障率は、トランジスタのスケーリング効果およびデバイスに使用する新規プロセス技術 / 材料のためにますます悪くなっている。デバイスの使用電圧とのマージンの低下により、信頼性を保障するための電圧加速 / 電圧ストレステストを使用する加速率が低下している。KGD(Known Good Die)は、チップスケール・パッケージやマルチチップ・モジュール(MCM, SiP)に対する要求のため、顧客からの重要なニーズになっている。サイクルタイムの短縮、およびウェーハ工程の歩留 / 欠陥情報の迅速なフィードバックは、半導体製造工程の早い時期にバーンインを実施することによって促進される。最終的には、パッケージ工程に先立って欠陥を含むデバイスを検出し、これを除去することにより、半導体デバイスが本質的に抱えている欠陥に起因する不良品のパッケージコストが削減される。

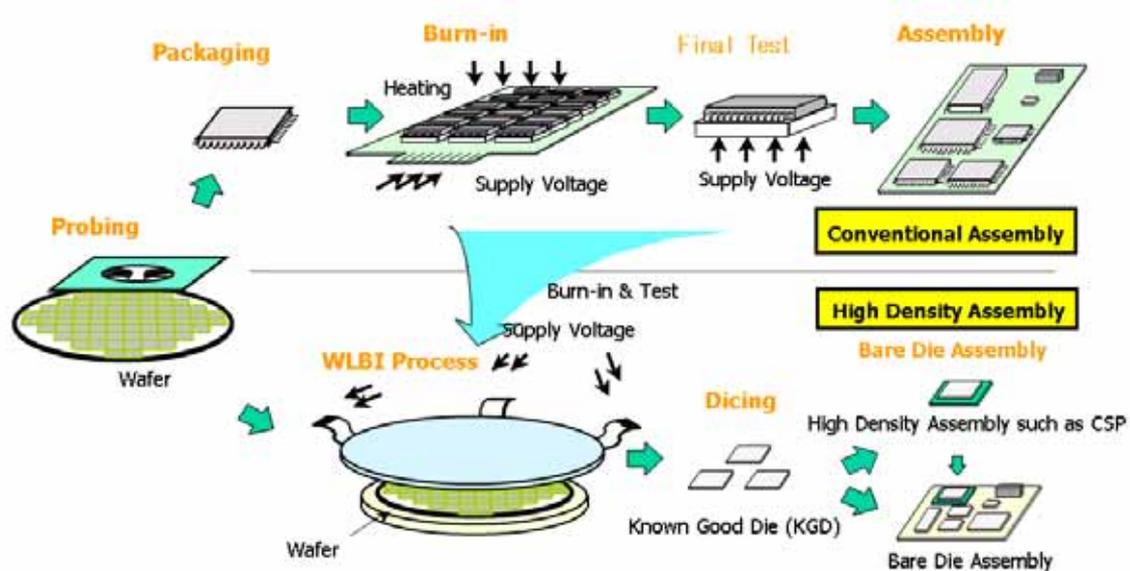


Figure 33 The Production Process with WLBI Compared with Package Burn-in

ウェーハレベル・バーンイン向けのプロービング技術

ウェーハ全面コンタクト向けのコンタクトには、Three-Parts Structure (TPS) プロープおよびマイクロピゴピン素子がある。TPS プロープは、多層配線基板・バンプ付き薄膜・異方導電ゴムシートからなり、中央の異方導電ゴム層がバンプ高さばらつきを吸収するため、均一で安定なコンタクトを実現できる。最大の特徴は、加重を効率よくバンプ先端に集中させることと、バンプの材質や表面状態の制御により Al パッド電極への 2 万バンプ以上のコンタクトを実現している点である。また、多層配線基板の材料としてはガラスやセラミックス等の熱膨張率が Si に近い材料が用いられ、Si ウェーハとの熱膨張差を生じないようにされている。マイクロピゴピン・コンタクトは熱膨張係数をウェーハとマッチングさせたハウジング材に、垂直型両可動プローブを配した構造となる。垂直型プローブであるため、十分なストローク量の確保が可能であり(最大 0.5mm)、また、各プローブが独立可動することにより隣り合うコンタクトにおいても高さばらつきを十分に吸収できる。対応ピッチは、0.14mm ~ 1.27mm、インダクタンスは 0.48nH を実現している。コンタクト対象は、半田バンプ、Al、Al-Cu、UBM と幅広く対応可能であり、ピン配列に関する制限はない。ピン先のクリーニングおよび、1ピン毎のピン交換が可能である。上記以外に、ウェーハレベル・パッケージ技術の中にはウェーハ上電極にスプリング特性を持たせたものも有り、ウェーハ全面コンタクトの容易化が検討されている。一般的なメモリバーンインにおいて数量で圧倒的であることから、接触素子のロードマップに向けて、DRAM がターゲットとして選ばれている。SoC 向けには DFT が検討されている。

他のウェーハレベル・バーンイン技術についての考察

ウェーハの消費電流は、トランジスタの短チャネル化によるオフ状態でのリーク (sub-threshold leakage) と、単位面積当たりのトランジスタ数の増加によって増加している。バーンイン時の高温も、オフ状態でのリーク電流を増加させている。したがって、バーンイン装置としては、ウェーハ当たり 1000A の電流を供給できる能力がなければならない。また、電流制御を適切に行うために、ウェーハ温度の制御や均一性が必要となる。最終的には、バーンイン装置は、各ウェーハに亘る異なる特性(歩留まりや消費電流など)の分布をうまく調整できなければならない。

BIST は、デバイス当たりの被テストピンの数を減らすことが可能であるが、ダイの縮小とパッドの狭ピッチ化は、ウェーハあたりのダイ数やパッド数を増加させ、BIST の有効性を相殺して余りある。被テストピン数の増加も、ウェーハコンタクトに必要な力を増大させる。SCAN、BIST、JTAG といった DFT 機能を通じて

WLBI の利用を可能にするためには、デバイス当たりの被テストピン数およびトータルコストを削減しなければならない。そして、WLBI 技術の性能を改善しなければならない。

WLBI を可能とするプロービング技術について上述した。しかし、プロービング技術は、将来の技術トレンドを満足させるため、いくつかの取り組みに直面している。LOC, Peripheral に関しては、TPS 技術の延長で 70um 程度までは対応可能だろう。それ以下の要求に対しては、フォトリソグラフィの概念を用いた MEMS (Micro Electro Mechanical Systems) 技術を使うことが検討されている。しかし、この技術は、まだ 300mm ウェーハに対するソリューションを持っていない。狭ピッチ化に対するプロービング技術が求められているが、パッドのレイアウト設計時に DFT 機能を上手く利用すること（例えば、1つおきにパッドを飛ばせば、通常のパッドピッチに比べてプローブピッチを実効的に 2 倍にできる）で、多少救われる可能性がある。low-k 材料への多ピン低プローブ圧の適用も求められるだろう。このことが新しいプロービング技術の促進に役立つだろう。

Table 31a Burn-in Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Clock input frequency (MHz)	400	400	400	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75	75	75	75
Power disSiPation (W per DUT)	600	600	600	600	600	600	600	600	600
Power Supply Voltage Range (V)									
High-performance ASIC / microprocessor / graphics processor	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5
Low-end microcontroller	0.7–10.0	0.7–10.0	0.7–10.0	0.7–10.0	0.7–10.0	0.5–10	0.5–10	0.5–10	0.5–10
Mixed-signal	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500	0.5–500
Maximum Number of Signal I/O									
High-performance ASIC	384	384	384	384	384	384	384	384	384
High-performance microprocessor / graphics processor / mixed-signal	128	128	128	128	128	128	128	128	128
Commodity memory	72	72	72	72	72	72	72	72	72
Maximum Current (A)									
High-performance microprocessor	400	450	450	450	450	450	450	450	450
High-performance graphics processor	40	80	100	150	200	200	200	200	200
Mixed-signal	20	20	20	20	20	30	30	30	30
Burn-in SoCket									
Pin count	2500	3000	3000	3000	3000	3000	3000	3000	3000
Pitch (mm)	0.4	0.4	0.3	0.3	0.3	0.2	0.2	0.2	0.2
Power consumption (A/Pin)	2.0	3.0	3.0	4.0	4.0	5.0	5.0	5.0	5.0
Wafer Level Burn-In									
Maximum burn-in temperature (°C)	150±3	150±3	175±3	175±3	175±3	175±3	175±3	175±3	175±3
Pad Layout – Linear									
Minimum pad pitch (µm)	80	80	65	65	65	65	65	65	65
Minimum pad size (µm)	60	60	50	50	50	50	50	50	50
Maximum number of probes	70k	70k	70k	70k	70k	70k	70k	70k	70k
Pad Layout – Periphery, Area Array									
Minimum pad pitch (µm) *1	100	100	100	80	80	80	80	80	80
Minimum pad size (µm)	45	40	40	35	35	35	35	30	30
Maximum number of probes	125k	125k	150k	150k	150k	150k	150k	150k	150k
Power consumption (W/DUT – Low-end microcontroller, DFT/BIST SoC *2)	10	10	10	10	10	20	20	20	20
Vector memory depth (M vectors – DFT/BIST SoC *2)	16	32	32	64	64	64	64	64	64

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

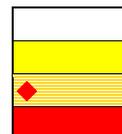


Table 31b Burn-in Requirements—Long-term Years

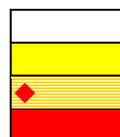
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Clock input frequency (MHz)	400	400	400	400	400	400	400
Off-chip data frequency (MHz)	75	75	75	75	75	75	75
Power dissipation (W per DUT)	600	600	600	600	600	600	600
Power Supply Voltage Range (V)							
High-performance ASIC / microprocessor / graphics processor	0.5–2.5	0.5–2.5	0.5–2.5	0.5–2.5	0.4–2.5	0.4–2.5	0.4–2.5
Low-end microcontroller	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10	0.5–10
Mixed-signal	0.5–500	0.5–1000	0.5–1000	0.5–1000	0.5–1000	0.5–1000	0.5–1000
Maximum Number of Signal I/O							
High-performance ASIC	384	384	384	384	384	384	384
High-performance microprocessor / graphics processor / mixed-signal	128	128	128	128	128	128	128
Commodity memory	72	72	72	72	72	72	72
Maximum Current (A)							
High-performance microprocessor	450	450	450	450	450	450	450
High-performance graphics processor	200	200	200	200	200	200	200
Mixed-signal	30	30	30	30	30	30	30
Burn-in SoCket							
Pin count	3000	3000	3000	3000	3000	3000	3000
Pitch (mm)	0.2	0.1	0.1	0.1	0.08	0.08	0.08
Power consumption (A/Pin)	5.0	5.0	6.0	6.0	6.0	6.0	6.0
Wafer Level Burn-In							
Maximum burn-in temperature (°C)	175±3	175±3	175±3	175±3	175±3	175±3	175±3
Pad Layout - Linear							
Minimum pad pitch (µm)	65	50	50	50	50	50	50
Minimum pad size (µm)	50	40	40	40	40	40	40
Maximum number of probes	70k	140k	140k	140k	140k	140k	140k
Pad Layout – Periphery, Area Array							
Minimum pad pitch (µm) *1	80	60	60	60	60	60	60
Minimum pad size (µm)	30	25	25	25	25	25	25
Maximum number of probes	150k	300k	300k	300k	300k	300k	300k
Power consumption (W/DUT – low-end microcontroller, DFT/BIST SoC *2)	20	20	20	20	20	20	20
Vector memory depth (M vectors – DFT/BIST SoC *2)	64	128	128	128	256	256	256

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



テストハンドラとウェーハプローバの技術要求

ウェーハプローバとテストハンドラは各々の市場において、重大な技術課題に直面している。双方のプラットフォームに共通する問題は、多数個並列測定と増大する設備投資コストである。

ウェーハプローブに於ける、並列測定数の増加は、300mm ウェーハの全域テストという最終目標に向かって、ウェーハ全面に渡る全面コンタクト化【訳者注：広範囲プローブ化】を促進する。プローブ数が増加すると、信号は複雑な経路を辿っていくことになる。プローバとプローブカードの構成は、信号経路の単純化に向かって進歩していく必要があるだろう。

選別とテストのコスト削減は、より困難な技術と性能の要求に直面しており、変わることの無い達成目標です。何れにしてもスループット向上の要求は、並列測定数の増加（例えテストタイムが短くても）、ハンドラの速度向上、非同期テスト工程や連続ロット製造のような工程改善で達成されねばならない。

パッケージは小型化し続け、基板は薄くなり、ハンドリング可能なパッケージのエリアはリード/ボール/パッドが増えるのと同時に小さくなっていく。将来的にハンドラは、高精度のピック&プレースで小さくて壊れやすい部品を供給する能力、更にはダメージも発生させない今迄以上の搬送能力【訳者注：搬送速度】が必要とされるだろう。

温度範囲は厳しい最終使用条件に合うように拡大しており、テスト開始時のジャンクション温度は正確に制御される必要がある。電力の浪費は全体的に増加傾向にあるが、様々なコア技術が幾つかの領域で軽減に役立っている。

全てのユーザが全てに満足するようなハンドラは見当たらない。つまり、相反する条件の中でコスト効果を成り立たせながら、温度やスループットや位置決め精度や特別なハンドリングの要求に対応する全ての技術の統合は重要な課題である。

Table 32a Handler (Memory—Pick and Place) Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Parallel testing	64–128	128–256	128–256	128–256	128–256	128–256	128–256	128–512	128–512
Index time (S)	3–5	3–5	2–5	2–5	2–4	2–4	2–4	2–4	2–4
Throughput (devices per hour)	8–10K	8–10K	8–10K	8–12K	8–12K	12–20K	12–20K	12–20K	12–20K
Sorting	5–9	5–9	5–9	5–9	5–9	5–9	5–9	5–9	5–9
Temperature set point range (°C)	-55 to 155	-55 to 175	-55 to 175	-55 to 175	-55 to 175				
Temperature accuracy (°C)	±2	±2	±2	±2	±1.5	±1.5	±1.5	±1.5	±1.5
Number of pins/device	40–250	40–250		6–400	40–400	6–400	40–400	6–400	6–400
Pin pitch (mm)	0.5–1.0	0.4–1.0	0.4–1.0	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0
Ball edge to package edge clearance (mm)	0	0	0	0	0	0	0	0	0
Minimum package thickness (mm)	0.3–1.8	0.3–1.8	0.3–1.8	0.2–1.8	0.2–1.8	0.2–1.8 (kitless)	0.2–1.8 (kitless)	0.2–1.8 (kitless)	0.2–1.8 (kitless)
Conversion time (minutes)	40	1 (kitless)	1 (kitless)	1 (kitless)	1 (kitless)	1 (kitless) GEM–HSEM	1 (kitless) GEM–HSEM	1 (kitless) GEM–HSEM	1 (kitless) GEM–HSEM

· GEM—generic equipment model

Table 32b Handler (Memory—Pick and Place) Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Parallel testing	128 - 512	128–512	128–512	128 - 512	128–512	128 - 512	128–512
Index time (S)	2–4	2–4	2–4	2–4	2–4	2–4	2–4
Throughput (devices per hour)	12–20K						
Sorting	5–9	5–9	5–9	5–9	5–9	5–9	5–9
Temperature set point range (°C)	-55 to 175						
Temperature accuracy (°C)	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5	±1.5
Number of pins/device	6–400	6–400	6–400	6–400	6–400	6–400	6–400
Pin pitch (mm)	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0	0.3–1.0
Ball edge to package edge clearance (mm)	0	0	0	0	0	0	0
Minimum package thickness (mm)	0.2–1.8 (kitless)						
Conversion time (minutes)	1 (kitless) GEM–HSEM						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

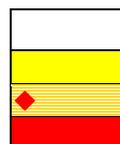


Table.32a とbの注釈:

インデックスタイムは、テストからテストエンド信号を受信してから、ハンドラがテストスタート信号を送信するまでの時間とした。

Unit Per Hour (UPH) は一時間あたりのデバイス処理個数を示す。但しテスト時間は 0 秒、ロットの入れ替え時間は含まないものとして計算した。

分類数は、デバイスを収納する JEDEC トレイを固定する場所の数とした。

温度の \pm は正規分布の中心に対し、 \pm の数値と同じ 3σ の分布と仮定している。

正常な温度は適切な電力密度の段階的な電力パルスによって上昇する。

非同時性能は、多数のテストサイト ギャングソケットではない とは関係なく、デバイスを投入、測定、払出すハンドラの能力として定義される。

中断しないトレイの流れは、トレイを投入 / 払出す時でもハンドラの動作を停止させないことを必要とする。

自動再テストは、オペレータの介入を必要としないで自動的に再テストできるユニットを必要とする。これは、異なるチェンジキットでも部品が使えるばならないと云う点で、簡単な再プローブとは違う。

電磁誘導干渉 (EMI) 現象の領域とは、通常のハンドラ動作中に発生する静電気放電 (ESD) 現象の広さである。

Table 33a Handler (Logic—Pick and Place) Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Parallel testing < 10 sec test time	8	16	16	16	16	32	16	32	64
Parallel testing > 10 sec test time	16	32	32	32	32	64	64	128	128
Index time (S)	0.3–0.4	0.3–0.4	0.25–0.3	0.25–0.3	0.25	0.25	0.25	0.25	0.25
Throughput (devices per hour)	8–12K	8–12K	9–14K	9–14K	12–20K	12–20K	12–20K	12–20K	12–20K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Temperature set point range (°C)	-55 to 155	-55 to 175							
Tj accuracy at start of test (°C)	± 0.5	± 2	± 2	± 2	± 2	± 2	± 2	± 2	± 2
Total thermal load (Watts) – MPU	125	125	150	150	175	200	200	200	200
Thermal Watt density (Watts/cm ²) – MPU	130	130	175	175	200	225	225	225	225
Maximum SoCket load per unit (kg)	24	27	50	50	35	60	35	60	60
Asynchronous capability	Yes								
Number of pins or lands/device	750	750	800	800	850	850	850	850	850
Pin/land pitch (mm)	1.1	1.1	0.3	0.3	0.8	0.3	0.3	0.3	0.2
Conversion time (minutes)	30	30	15	15	15	5	5	5	5
Uninterrupted tray loading/auto-2A	No	Yes							
Reliability (hours)	400	600	800	1000	1000	1000	1000	1200	1200

Table 33b Handler (Logic—Pick and Place) Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Parallel testing < 10 sec test time	64	64	64	64	64	64	64
Parallel testing > 10 sec test time	128	128	128	128	256	256	256
Index time (S)	0.25	0.25	0.25	0.25	0.25	0.25	0.25
Throughput (devices per hour)	12–20K	20–28K	20–28K	20–28K	20–28K	20–28K	20–28K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Temperature set point range (°C)	-55 to 175						
Tj accuracy at start of test (°C)	± 2	± 2	± 2	± 2	± 2	± 2	± 2
Total thermal load (Watts) – MPU	200	250	250	250	300	300	300
Thermal Watt density (Watts/cm ²) – MPU	225	250	250	250	250	250	250
Maximum SoCket load per unit (kg)	60	65	65	65	75	75	75
Asynchronous capability	Yes						
Number of pins or lands/device	850	900	900	900	1000	1000	1000
Pin/land pitch (mm)	0.3	0.2	0.2	0.3	0.2	0.2	0.2
Conversion time (minutes)	5	5	5	5	5	5	5
Uninterrupted tray loading/auto-2A	Yes						
Reliability (hours)	1000	1200	1400	1400	1400	1400	1400

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

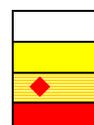


Table 34a Handler (Network and Communications—Pick and Place)—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Parallel testing	4	8	8	8	8	8	16	16	16
Index time (S)	0.3–0.4	0.3–0.4	0.3–0.4	0.3–0.4	0.25–0.3	0.25–0.3	0.25	0.25	0.25
Throughput (devices per hour)	4–6K	8–12K	8–12K	8–12K	9–14K	9–14K	12–20K	12–20K	12–20K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Set point range (°C)	-45 to +150								
Temperature accuracy (°C)	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5
Allowable device temperature rise (°C)	20	20	20	20	20	20	20	20	20
Maximum SoCket load per unit (kg)	16	20	24	27	30	30	35	35	35
Asynchronous capability	No	No	Yes						
Number of pins or lands/device	700	700	750	750	800	800	850	850	850
Pin/land pitch (mm)	1.2	1.2	1.1	1.1	1	1	0.8	0.6	0.6
Conversion time (minutes)	30	30	30	30	15	15	15	5	5
Uninterrupted tray loading/auto-2A	No	No	No	Yes	Yes	Yes	Yes	Yes	Yes
Reliability (hours)	80	100	100	168	168	500	500	1000	1000

Table 34b Handler (Network and Communications—Pick and Place)—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Parallel testing	16	16	16	32	32	32	32
Index time (S)	0.25	0.25	0.25	0.25	0.25	0.25	0.25
Throughput (devices per hour)	12–20K	12–20K	12–20K	20–28K	20–28K	20–28K	20–28K
Sorting	3–6	3–6	3–6	3–6	3–6	3–6	3–6
Set point range (°C)	-45 to +150						
Temperature accuracy (°C)	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5
Allowable device temperature rise (°C)	20	20	20	20	20	20	20
Maximum SoCket load per unit (kg)	35	35	35	35	35	35	35
Asynchronous capability	Yes						
Number of pins or lands/device	850	850	850	900	900	900	1000
Pin/land pitch (mm)	0.6	0.6	0.6	0.4	0.4	0.4	0.4
Conversion time (minutes)	5	5	5	5	5	5	5
Uninterrupted tray loading/auto-2A	Yes						
Reliability (hours)	1000	1000	1000	1000	1000	1000	1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

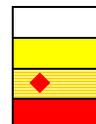


Table 35a Prober (Logic MPU—Pick and Place) Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Printed Gate Length (nm)	45	40	35	32	28	25	22	20	18
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Wafer diameter (mm)	300	300	300	300	300	300	300	300	300
Pad pitch	Peripheral (mm)	40–100	40–100	40–100	30–80	30–80	30–60	30–60	30–60
	Bump (mm)	30	30	30	30	30	20	20	20
Wafer thickness (mm)	80–775	80–775	80–775	80–775	80–775	50–1000	50–1000	50–1000	50–1000
Maximum I/O pads	3000	3000	3000	4000	4000	5300	5300	5300	5300
Chuck positioning accuracy	X & Y (µm)	4	4	4	2	2	2	2	2
	Z (µm)	2	2	1	1	1	0.5	0.5	0.5
Probe-to-pad alignment (µm)	4.5	4.5	4.5	4.5	4.5	3.5	3.5	3.5	3.5
Maximum chuck force (kg)	50	100	100	100	100	100	100	100	100
Parallel testing	16	32	32	32	32	64	64	64	128
Set point range (°C)	-30 to +85	-30 to +85	-30 to +85	-30 to +85	-30 to +85	-45 to +125	-45 to +125	-45 to +125	-45 to +125
Total power (Watts)	150	150	200	200	250	250	250	250	250
Power density (Watt/cm ²)	90	90	90	90	120	120	120	120	120

Table 35b Prober (Logic MPU—Pick and Place) Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Printed Gate Length (nm)	16	14	13	11	10		
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Wafer diameter (mm)	450	450	450	450	450	450	450
Pad pitch	Peripheral (mm)	30–60	30–60	30–60	30–60	30–60	3–60
	Bump (mm)	20	20	20	20	20	20
Wafer thickness (mm)	50–1000	50–1000	50–1000	50–1000	50–1000	50–1000	50–1000
Maximum I/O pads	5300	5300	5300	5300	5300	5300	5300
Chuck positioning accuracy	X & Y (µm)	2	2	2	2	2	2
	Z (µm)	0.5	0.5	0.5	0.5	0.5	0.5
Probe-to-pad alignment (µm)	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Maximum chuck force (kg)	100	100	100	100	100	100	100
Parallel testing	128	128	128	128	128	128	128
Set point range (°C)	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125	-45 to +125
Total power (Watts)	250	300	300	250	300	300	300
Power density (Watt/cm ²)	120	120	120	120	120	120	120

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

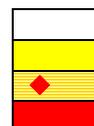


Table 36 Test Handler and Prober Difficult Challenges

	CHALLENGE	ISSUE / GOAL
Memory handler	Package form factors	Variety of sizes, thicknesses, and ball pitches requires kitless handlers with thin-die handling capability
	Ball-to-package edge gap	As this decreases from 0.6 mm to 0 mm, new handling and SoCkiting methods must be introduced
	Massive parallelism	Parallelism at x128 and up to x256 on roadmap, thermal, and alignment challenges
Logic handler	Thermal control	Improved temperature control and temperature rise control due to high power densities during test
	Operations improvements	Continuous lot processing (lot cascading), auto-retest, asynchronous device SoCkiting, low-conversion times
	ESD	Products more sensitive to ESD, while on-die protection circuitry increases cost.
	Packaging technology	Lower stress SoCkiting, low-cost change kits, higher I/O count, heat lids change thermal characteristics
	Through put and multi-site	Increase in multi-site handling capability for short test time devices (1-7 seconds), thus increase in throughput
Netcom handler	New packaging technologies	Known good die solutions (KGD), stacked die packaging, thin die packaging
	Temperature control	Wide range tri-temperature soak requirements (-45°C to 150°C) increases system complexity
	Operations improvements	Continuous lot processing (lot cascading), auto-retest, low conversion times, asynchronous operation
	EMI/RF up to 40 GHz	Shielding issues asSoCiated with high frequency testing (>10 GHz)
Logic prober	Thermal contact resistance between wafer and chuck	The high thermal resistance and variation in contact resistance across chuck are required to improve temperature control and reduce temperature rise of device under test
	Heat disSiPation at elevated temperature	Heat disSiPation of >100 Watts at > 85°C is a configuration gap in the prober industry
	Probe card optical standardization	With advancement in probe card technology a new optical alignment methodology must be developed

デバイス・インタフェースの技術要求

デバイスの入出力のバンド幅と電源に対する更なる要求として、電気的なテスト中に高品質な電源と信号を供給すると云う要求がある。これらの要求は、テスト装置と被測定デバイスを繋ぐインタフェースの実装上の課題を推し進める。高性能なインタフェースは測定源からチップまでの電源経路と信号経路の完全なモデリングを必要とする。即ち、テスト装置～配線～プローブカードやソケット～被測定デバイスまでの精密なシミュレーションモデルを必要とする。何故なら、チップやパッケージの小型化はその組立て生産性のもとより、狭ピッチ化や多ピン化や多数個測定の要求でこれらのインタフェースを大変複雑にするからである。

プローブカード

ウェーハプローブ技術は、製品仕様やテストの実行条件や生産性目標やコスト削減の要求などに左右される複雑な電氣的、機械的な課題に直面している。どの様なデバイスに対しても、これらの課題には電力の増大、高周波応答(バンド幅)、狭ピッチ化や小パッド/小バンブパッド化に伴う多ピン化、スイッチング電流(di/dt)の増大、パッド/バンブの代替材料、同時測定数の増加などへの対応が含まれている。プロ

ーピング技術の研究や開発は新規技術・改良技術を問わず、基本的なプローピングの条件、即ち確実な信頼性、堅実で経済的な DUT との電氣的接続などの課題を満たしている必要がある。

この節の図表はデバイス種別に基づいたトレンドを引き出しており、上述のテスト技術要求の節の構成に準拠している。

プローブカード技術のトレンド

下表に記載した重要な課題の通り、市場から緊急に要求されている研究開発課題は製品信頼性や機能テストの環境における経済的なプローブ技術である。

バンプ付きデバイスの継続的増産 しばしばエリアアレイの I/O を伴う は、同時測定の必要性を高めるとともに、“垂直”型プローブカード技術に対する要求を増大させる。さらには、多重列ワイヤボンダがこの垂直型要求を後押しし、狭ピッチ化で特に重要な課題になっている。

幾つかのマイクロプロセッサとハイエンド ASIC は動作電力が 500W から 1000W であり、電流に関連するプローブと温度の問題がある。また電流とプローブ針の関係は、ワイヤボンダのデバイスがより高技術なデバイスに進歩するのと同様に、カンチレバ技術や MEMS 技術に対する問題である。

ますます、デバイス製造テストは同時測定に移行しつつある。幾つかの生産品目(例えば、メモリ)では、現在のウェーハプローブ技術で 32 個から 256 個またはそれ以上の同時測定が実施されている。ウェーハ全面コンタクトが可能なプローブ技術は既に 200mm ウェーハで用いられており、そして 300mm 全面コンタクトの実現も間近となっている。これらの大規模並列プローブに向けて、DUT あたりのコンタクト数の増大が今後の課題である。

また、並列プローブ測定の要求は幾つかの多ピン製品、例えば ASIC で増えている。超多数個のウェーハプローブ測定を達成するに、チップあたりの I/O 数は DFT 技術を使うことで限定される必要があるだろう。

テストから DUT に至る経路の様々な要素を統合したウェーハプローブの電氣的モデルは、プローブカード・メーカーに求められる。DUT 端で性能を最適化するために、これらのモデルは ATE と DUT を繋ぐ複雑な回路網のコンタクトシミュレーションで必要になる。

新たな或いは進化したプローブ技術が市場に導入されつつある。1社購買の問題点、納期、プローブの寿命、製品サポート、修理対応性、これらは量産で使用されるプローブカードの選定において重要で欠くことの出来ない検討事項である。レイアウト設計の標準化は、互換性や関連コストやリードタイムなどの便益をもたらすと考えられる。

プローブカードの技術要求

多くのプローブカード技術は、特定のデバイスをプローブ測定するための個々の適合性(取り組まれている技術やテスト手法)で市場に受け入れられており、更に幅広い使用を妨げる制約もある。全てのデバイスの要求を満たすことができるプローブ技術は見当たらない。

Table 37 Probe Card Difficult Challenges—Near-term

CHALLENGE	ISSUE/GOAL
プローブ配置構造	<ul style="list-style-type: none"> 5μmピッチ4辺、20 / 40μmの千鳥4辺配置、及び45μm 2列で4辺すべてが千鳥配置ではないものをサポートする技術。 100μmピッチ及び千鳥配置の半田バンプデバイスをサポートする狭ピッチ垂直プローブ技術。 パッド寸法の小型化に伴うスクラブに依る損傷の軽減。 100μm高密度アレイの75μmバンプに対する従来と異なるプローブ技術。(バンプ付きデバイスを対象とした垂直プローブ) アレイ面積の増大に伴うプローブの平面度向上。
同時測定	<ul style="list-style-type: none"> プローブ技術は複雑なSoCも同時測定が可能にする必要がある。 現状のプローブ技術はバンプ付きデバイスのI/Oピン数に限界がある。
高温テスト	<ul style="list-style-type: none"> 特に狭ピッチのデバイスにおける - 40 ~ +150. での温度による影響の抑制。 その影響についてはハンドラとプローバの節を参照されたい。
製品	<ul style="list-style-type: none"> 数種の酸化を含む銅パッドを直接プローブする技術。 能動回路を介したプローブ技術(フリップチップを含む)。
プローブの接触圧力	<ul style="list-style-type: none"> 多ピンや同時測定では低い総合荷重で良い接触抵抗を保つためにプローブピン当りの接触圧を減らす必要がある。接触圧の評価や低減はDUTやチップ内層の低誘電率絶縁体の損傷を無くすために必要である。
プローブの汚染除去	<ul style="list-style-type: none"> 高温下(15 から85)の装置内でのクリーニングの方法や媒体、特に微細ピッチや同時測定、そして新世代プローブに用いるものの開発。 電気特性を維持している時間を延ばし、クリーニングの頻度を減らす。
価格と納期	<ul style="list-style-type: none"> 狭ピッチ多ピンカードはあまりに値段が高く、製作日数が掛かる。 狭ピッチ多ピンカードの修理はとて時間とコストが掛かる。 デバイス設計終了からウェーハ到着までの時間は既存のカンチレバ技術を除き、カードの設計から製作までより短い。 配線ピッチ変換機構部の初期工期はあまりに長すぎる。いくつかの垂直プローブも同様である。
プローブの計測	<ul style="list-style-type: none"> 狭ピッチカードの特性とパッド破損計測が可能な装置。 修理のための計測がオンラインで行えるもの。
大電力デバイス	<ul style="list-style-type: none"> プローブ技術は熱の管理を取り入れ、1000W近い消費電力と、個々のプローブ先端に流れる1.5A以上の大電流を扱える機能を必要とする。
接触抵抗	<ul style="list-style-type: none"> プローブ技術は最初から最後まで接触抵抗が0.5Ω未満に収まる必要がある。
高周波テスト	<ul style="list-style-type: none"> 既存のプローブ技術では高周波デバイスに対して十分な周波数バンド幅を満たせない。ハイエンドの要求仕様は40GHzである。

この節では、プローブ測定に左右されないプローブ技術を含めて、その課題を調査する。これらの課題にはウェーハコンタクト時あるいはウェーハコンタクト後のプローブの結果的挙動や、生産性向上に繋がる多数個同時測定のプローブカード設計や、プローブカードが実際に使用される時の環境が含まれる。

ピッチと接続変換

入出力信号密度の要求は常にパッドやバンプの寸法の微細化を促進する。周知のように、最先端ワイヤボンドのパッドピッチは 30um 以下である(当然パッドサイズはこれより小さくなる)。従来のプローブ技術にとって、許容されるプローブ痕と共に微細化を推し進めることは格別な課題である。

プローブ測定におけるカンチレバ型プローブカードとワイヤボンド技術の使用は、未だに今日の主要なソリューションになっているが、極近い将来、ピッチとスクラブ【訳者注: プローブ先端を被テストパッドに擦りつける動作を指す。パッド表面の汚染膜を排斥し接触信頼性を高める効果がある】で事実上の限界に到達すると思われる。このようなことから次世代プローブ技術では、「半導体のような」プロセス(例えば、MEMS やメンブレン)の多用によって、狭ピッチやスクラブの要求に対するソリューションが出てくるかも知れない。

エリアアレイの半田バンプはデバイスを発展させ、垂直プローブ技術に見合った必要性や要求を発展させられると思われる。ピッチやバンプの寸法が小さくなると、現在の垂直プローブ技術では恐らくアレイからの配線引出しに限界が生じ、新たな技術開発が必要になるだろう。

多数個同時測定

1 つ以上のデバイスを同時にテスト(プローブ測定)することで生産性の向上が実現する。メモリのテストがこの分野を牽引しており、最先端技術では 500 個の同時測定にさえ迫っている。Table.38 に示すように事実上全てのメモリテストで多数個同時測定が行われている。他のデバイスでも多数個同時測定への移行が進められており、DFT や「洗練されたテスト技術」の使用と共に促進され、16 個、32 個、そして 64 個同時測定さえも実現されている。また、ハイエンド・マイクロプロセッサにおいては 4 個同時測定まで実現されている。

多数個同時プローブ測定の要求は絶えず増大するプローブ面積と、更なるプローブ数の増加の必要性を促進する。今日では、幾つかの新しいコンタクトやプローブの技術で 300mm ウェーハに全面コンタクトできると提案されている。ついには、DUT あたりのコンタクト数は数百個に及ぶことが必要とされるだろう。

電気的性能

ウェーハプローブ技術 - プローブカード はウェーハ上の被測定デバイスとテストシステム・エレクトロニクスを電氣的に接続する。プローブカードは、被測定デバイスとテスト装置の間で信号や電源を忠実に伝達したり、供給したりせねばならない。

この ITRS 報告の中に、デバイスの動作電圧や交流特性に関する情報を見出すことが出来る。加えて、このテストとテスト装置の章の中に、広範囲な電氣的特性に関するテスト性能の情報が記載されている。

個々のプローブの電流容量は増大すると思われる。同時に、DUT あたりの総合計電流は回路密度やピン数の増大とともに増えると思われる。注目すべきは、1.5A 以上に達する大きな電流容量を必要とする幾つかの選択的アプリケーションがあると云うことである。また同様に瞬間最大電流値が増大していることにも注目すべきである。

コンタクト抵抗は常に着目されているプローブ技術の要素である。それはパッドやバンプの材質、パッドやバンプの汚染、多数個測定の”踏み外し”【下記の訳者注を参照】、コンタクト圧、スクラブ、クリーニングなどのような多くの要因に左右される。本節の技術要求の表に示される値は、プローブの実質的な寿命期間を通して”通常”使用した場合のコンタクト抵抗を反映している。初期およびクリーニング後の接触抵抗はかなり低く、一般に 200 mΩ 台かそれより低いことが要求される。クリーニングまでの期間(接触回数)を長くするために、コンタクト抵抗値を低くする要求が高まっている。

【訳者注】多数個同時測定では 1 枚のウェーハを複数回に分けてコンタクトし全チップの検査が行われる。これに用いるプローブカードはテストのチャンネル数、DFT を考慮した DUT のパッド数、コンタクト回数とテスト効率などを勘案し最適な同時測定数が定められ、チップの行と列の数すなわちプローブの配列が定まる。ところが円形のウェーハ上のチップはチップサイズをもとにステップで露光されているので、必ずしも前記プローブ配列に依るステップ移動数できれいに割り切れず、全チップにコンタクトするにはチップがプロセスされていないウェーハの余白や円形のウェーハのエッジ部分にプローブがコンタクトせざるを得ない場合が多い。この時にプローブ先端にフォトレジストの残渣などの汚染を拾い、プローブ先端の状態が悪化し、接触抵抗が低下する現象を問題視するため、このような表現をしている。

温度性能

ロードマップ展望で変動は無いが、プローブの温度環境は要求が厳しい。チャックのセットポイント要求の下限は氷点以下であり上限は沸点を超えることから、両極端の要求に対応する材料の選択は難しい。もしかしら、膨張問題と大電流要求の温度依存性を論じることは更に難しいかも知れない。

その上、熱効果に関わるような非常に大きい遷移電流や大電力デバイスによる発熱を扱うことは、ウェーハ温度がチャック温度インタフェースで改善されたのと同様に、プローバ内の能動的温度制御の要求を加速させるかも知れない。

単位コストと所有コスト

プローブカードの単位コストと所有コスト(CoO)のトレンドは、このロードマップ資料に今は含まれていない。個々の会員企業は単位コストと所有コストに関して計測と目標と云う独自の取り組みを行っているかも知れないが、中古業界で一般的に運用されているような首尾一貫したモデルの開発が必要とされている。そして、そのモデルは市販されているプローブカード技術の広い範囲に対応する必要がある。

リードタイム

新しいデバイス設計技術の導入と“シュリンク”の加速ペースは速められ、プローブカードの初オーダと再オーダのリードタイムは急速に短縮されるトレンドを辿っている。このロードマップ展望の中では、リードタイムは 50%まで短縮されている。多数個同時測定の手法でテストされるウェーハ比率の増加は、複雑化するプローブ実装と共に、希望リードタイムを達成するための仕事を増大させる。リードタイムの短縮を実現する戦略や技術が必要とされている。

クリーニング

ロードマップ展望の中で、カンチレバ型プローブカードのオンライン・クリーニング頻度は僅かに増えているだけである。しかし一般的には、クリーニングのために取り出すまでのプローブカード使用(タッチダウン回数)は、多くの生産品種において増えているように思える。目的はテストシステムとプローブカードをより良く使うことである。

垂直技術はカンチレバ技術と同等か其れ以上にオンライン・クリーニングの頻度を減じると云う願望を反映して、垂直プローブカードのオンライン・クリーニング前のタッチダウン回数は急速に増加している。オフライン・クリーニングまでのタッチダウン回数は増加しているが全ての製品分野に渡っていると云うのは、カンチレバ技術に似ている。

特に、幾つかの実例として、このロードマップ展望の範囲外でメモリ・デバイスのオンライン・クリーニングは無く動きがある。これは恐らく、ウェーハ全面コンタクトの為のピンカウント課題と共に、プローブカードの設計や複雑さを反映しているからである。

Table 38a Wafer Probe Technology Requirements—Near-term Years

Year of Production	2005		2006		2007		2008		2009		2010		2011		2012		2013	
DRAM ½ Pitch (mm) (contacted)	80		70		65		57		50		45		40		36		32	
I/O Pad Size (µm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	35	60	30	55	30	55	25	45	25	45	25	45	25	45	20	35	20	35
Bump	75	75	75	75	60	60	60	60	50	50	50	50	50	50	50	50	50	50
Scrub (% of I/O)	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH	AREA	DEPTH
Wirebond	25	50	25	50	25	50	20	40	20	40	20	40	20	40	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Multi-DUT Volume (% of Total Product Type Wafers Probed)																		
Memory (DRAM)	99.9		99.9		99.9		99.9		99.9		99.9		99.9		99.9		99.9	
ASIC	50		60		75		75		75		75		75		75		75	
Microprocessor	50		60		75		75		75		75		75		75		85	
RF	45		50		50		60		60		60		60		60		60	
Mixed-signal	60		60		75		75		80		80		80		80		80	
Size of Probed Area (mm ²)																		
Memory (DRAM)	50% of wafer		50% of wafer		100% of wafer													
ASIC	2050		2050		2050		2400		2400		2400		2400		2400		2400	
Microprocessor	2050		2050		2050		2400		2400		2400		2400		2400		2400	
RF	900		900		1225		1225		1225		1225		1225		1225		1225	
Mixed-signal	1413		1413		1600		1600		1600		1600		1600		1600		1600	
Number of Probe Points / Touchdown																		
	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total	Signal	Total
Memory (DRAM)	14500	18700	14500	18700	17000	20000	17000	20000	17000	20000	17000	20000	17000	20000	20000	25000	20000	25000
ASIC	1050	4000	1050	5000	1050	5000	1200	6000	1500	7500	1500	7500	1500	7500	3000	9000	3000	9000
Microprocessor	1024	10000	1024	15000	1024	20000	1024	20000	1024	20000	1024	20000	1024	20000	2000	30000	2000	30000
RF	250	450	250	450	350	630	350	630	350	630	350	630	350	630	350	630	350	630
Mixed-signal	450	600	450	600	510	680	510	680	510	680	510	680	510	680	510	680	510	680
Maximum Current (mA)																		
	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage	Probe Tip	DC Leakage
Memory (DRAM)	100	<10	125	<10	125	<10	125	<10	125	<10	125	<10	125	<10	125	<10	125	<10
ASIC	200	<10	300	<10	400	<10	500	<10	500	<10	500	<10	500	<10	1000	<10	1000	<10
Microprocessor	800	<10	1000	<10	1200	<10	1200	<10	1500	<10	1500	<10	1500	<10	1500	<10	1500	<10
RF	200	<10	225	<10	225	<10	225	<10	225	<10	225	<10	225	<10	225	<10	225	<10
Mixed-signal	250	<10	275	<10	275	<10	275	<10	275	<10	275	<10	275	<10	275	<10	275	<10
Maximum Resistance (Ohm)																		
	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series	Contact	Series
Memory (DRAM)	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
ASIC	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
Microprocessor	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2
RF	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
Mixed-signal	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
Chuck Set-point (°C)																		
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.
Memory (DRAM)	-40	140	-40	150	-40	150	-50	180	-50	180	-50	180	-50	180	-50	180	-50	180
ASIC	25	110	0	140	0	140	-10	140	-10	140	-10	140	-10	14	-10	14	-10	14
Microprocessor	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135

66 テストとテスト装置

Year of Production	2005		2006		2007		2008		2009		2010		2011		2012		2013	
DRAM ½ Pitch (mm) (contacted)	80		70		65		57		50		45		40		36		32	
RF	5	120	5	120	5	120	5	120	5	120	5	120	5	120	5	120	5	120
Mixed-signal	25	125	25	125	25	125	25	125	25	125	25	125	25	125	25	125	25	125
Soak Time (minutes)																		
Memory (DRAM)	10		8		8		8		7		7		7		7		7	
ASIC	8		7		7		7		6		6		6		6		6	
Microprocessor	10		10		10		9		9		9		9		9		9	
RF	10		10		9		9		9		9		9		9		9	
Mixed-signal	10		10		9		9		9		9		9		9		9	
Order Lead-time—Single DUT (weeks)	1 st Order	Re-Order																
Memory (DRAM)	6	3	5.5	3	5	3	4	2	4	2	4	2	4	2	4	2	4	2
ASIC	2.5	1.5	2.5	1.5	2.5	1.5	2	1	2	1	2	1	2	1	2	1	2	1
Microprocessor	2.5	1.5	2.5	1.5	2.5	1.5	2	1	2	1	2	1	2	1	2	1	2	1
RF	4	2	3.5	1.5	3.5	1.5	3	1	3	1	3	1	3	1	3	1	3	1
Mixed-signal	3	2	2.5	1.5	2.5	1.5	2	1	2	1	2	1	2	1	2	1	2	1
Order Lead-time—Multi-DUT (weeks)	1 st Order	Re-Order																
Memory (DRAM)	7	4	6	3	5	3	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5
ASIC	5	2	4	1.5	3.5	1.5	3	1	3	1	3	1	3	1	3	1	3	1
Microprocessor	4	2	4	1.5	3.5	1.5	3	1	3	1	3	1	3	1	3	1	3	1
RF	5	3	4.5	2	4	1.5	4	1	4	1	4	1	4	1	4	1	4	1
Mixed-signal	4	2	3.5	2	3	1.5	3	1	3	1	3	1	3	1	3	1	3	1
Touchdowns Before Clean (Cantilever)	Online	Offline																
Memory (DRAM)	400	20,000	400	20,000	450	20,000	450	20,000	450	20,000	450	20,000	450	20,000	450	20,000	450	20,000
ASIC	3,250	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000
Microprocessor	1,250	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000
RF	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000
Mixed-signal	2,000	200,000	2,000	200,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000
Touchdowns Before Clean (Vertical)	Online	Offline																
Memory (DRAM)	1,500	20,000	2,000	25,000	2,000	25,000	2,000	25,000	2,000	25,000	2,000	25,000	2,500	27,500	2,500	27,500	2,500	27,500
ASIC	1,500	17,500	2,000	20,000	2,000	20,000	2,000	20,000	2,000	20,000	2,000	20,000	2,500	22,500	2,500	22,500	2,500	22,500
Microprocessor	1,500	80,000	2,000	100,000	2,000	100,000	2,000	100,000	2,000	100,000	2,000	100,000	2,500	100,000	2,500	100,000	2,500	100,000
RF	100	20,000	100	25,000	100	25,000	125	25,000	125	25,000	125	25,000	125	27,500	125	27,500	125	27,500
Mixed-signal	1,500	85,000	2,000	87,500	2,000	87,500	2,000	87,500	2,000	87,500	2,000	87,500	2,500	90,000	2,500	90,000	2,500	90,000

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

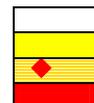


Table 38b Wafer Probe Technology Requirements—Long-term Years

Year of Production	2014		2015		2016		2017		2018		2019		2020	
DRAM ½ Pitch (nm) (contacted)	28		25		22		20		18		16		14	
I/O Pad Size (µm)	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y	X	Y
Wirebond	20	35	15	25	15	25	15	25	15	25	15	25	15	25
Bump	50	50	50	50	50	50	50	50	50	50	50	50	50	50
Scrub (% of I/O)	Offline	DEPTH	AREA	DEPTH										
Wirebond	20	40	20	40	20	40	20	40	20	40	20	40	20	40
Bump	30	30	30	30	30	30	30	30	30	30	30	30	30	30
Multi-DUT Volume (% of Total Product Type Wafers Probed)														
Memory (DRAM)	99.9		99.9		99.9		99.9		99.9		99.9		99.9	
ASIC	75		75		75		75		75		75		75	
Microprocessor	85		85		85		85		85		85		85	
RF	60		80		60		60		60		60		60	
Mixed-signal	80		80		80		80		80		80		80	
Size of Probed Area (mm ²)														
Memory (DRAM)	100% of wafer													
ASIC	2400		2400		2400		2400		2400		2400		2400	
Microprocessor	2400		2400		2400		2400		2400		2400		2400	
RF	1225		1225		1225		1225		1225		1225		1225	
Mixed-signal	1600		1600		1600		1600		1600		1600		1600	
Number of Probe Points /Touchdown	Signal	Total												
Memory (DRAM)	20000	25000	20000	25000	20000	25000	20000	25000	20000	25000	20000	25000	20000	25000
ASIC	3000	9000	3000	9000	3000	9000	3000	9000	3000	9000	3000	9000	3000	9000
Microprocessor	2000	30000	2000	30000	2000	30000	2000	30000	30000	6000	30000	6000	30000	6000
RF	350	630	350	630	350	630	350	630	350	630	350	630	350	630
Mixed-signal	510	680	510	680	510	680	510	680	510	680	510	680	510	680
Maximum Current (mA)	Probe Tip	DC Leakage												
Memory (DRAM)	125	<10	125	<10	125	<10	125	<10	125	<10	125	<10	125	<10
ASIC	1000	<10	1000	<10	1000	<10	1000	<10	1000	<10	1000	<10	1000	<10
Microprocessor	1500	<10	1500	<10	1500	<10	1500	<10	1500	<10	1500	<10	1500	<10
RF	225	<10	225	<10	225	<10	225	<10	225	<10	225	<10	225	<10
Mixed-signal	275	<10	275	<10	275	<10	275	<10	275	<10	275	<10	275	<10
Maximum Resistance (Ohm)	Contact	Series												
Memory (DRAM)	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
ASIC	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3	<0.5	<3
Microprocessor	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2	<0.5	<2
RF	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
Mixed-signal	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5	<0.5	<1.5
Chuck Set-point (°C)	Min.	Max.												
Memory (DRAM)	-50	180	-50	180	-50	180	-50	180	-50	180	-50	180	-50	180
ASIC	-10	14	-10	14	-10	14	-10	14	-10	14	-10	14	-10	14
Microprocessor	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135	-30	135
RF	5	120	5	120	5	120	5	120	5	120	5	120	5	120
Mixed-signal	25	125	25	125	25	125	25	125	25	125	25	125	25	125
Soak Time (minutes)														
Memory (DRAM)	7		7		7		7		7		7		7	
ASIC	6		6		6		6		6		6		6	
Microprocessor	9		9		9		9		9		9		9	
RF	9		9		9		9		9		9		9	
Mixed-signal	9		9		9		9		9		9		9	
Order Lead-time—Single DUT (weeks)	1 st Order	Re-Order												
Memory (DRAM)	4	2	4	2	4	2	4	2	4	2	4	2	4	2
ASIC	2	1	2	1	2	1	2	1	2	1	2	1	2	1

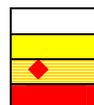
Year of Production	2014		2015		2016		2017		2018		2019		2020	
DRAM ½ Pitch (nm) (contacted)	28		25		22		20		18		16		14	
Microprocessor	2	1	2	1	2	1	2	1	2	1	2	1	2	1
RF	3	1	3	1	3	1	3	1	3	1	3	1	3	1
Mixed-signal	2	1	2	1	2	1	2	1	2	1	2	1	2	1
Order Lead-time—Multi-DUT (weeks)	1 st Order	Re- Order												
Memory (DRAM)	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5	4.5	2.5
ASIC	3	1	3	1	3	1	3	1	3	1	3	1	3	1
Microprocessor	3	1	3	1	3	1	3	1	3	1	3	1	3	1
RF	4	1	4	1	4	1	4	1	4	1	4	1	4	1
Mixed-signal	3	1	3	1	3	1	3	1	3	1	3	1	3	1
Touchdowns Before Clean (Cantilever)	Online	Offline												
Memory (DRAM)	450	20,000	450	20,000	450	20,000	450	20,000	450	20,000	450	20,000	450	20,000
ASIC	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000	3,500	60,000
Microprocessor	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000	1,500	50,000
RF	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000	1,000	100,000
Mixed-signal	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000	2,000	300,000
Touchdowns Before Clean (Vertical)	Online	Offline												
Memory (DRAM)	2,500	27,500	2,500	27,500	2,500	27,500	2,500	27,500	2,500	27,500	2,500	27,500	2,500	27,500
ASIC	2,500	22,500	2,500	22,500	2,500	22,500	2,500	22,500	2,500	22,500	2,500	22,500	2,500	22,500
Microprocessor	2,500	100,000	2,500	100,000	2,500	100,000	2,500	100,000	2,500	100,000	2,500	100,000	2,500	100,000
RF	125	27,500	125	27,500	125	27,500	125	27,500	125	27,500	125	27,500	125	27,500
Mixed-signal	2,500	90,000	2,500	90,000	2,500	90,000	2,500	90,000	2,500	90,000	2,500	90,000	2,500	90,000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



テストソケット

ソケット部品は、DUT【訳者注: Device Under Test】の電気的特性を決定付けるために、機械的なコンタクト機構を通して DUT と PCB【訳者注: Print Circuit Board】或いはテストとの間の全ての電気的保有特性を転送すると云う役割を担う。近年、半導体の設計や製造の能力は進歩しているので、テスト工程での電気的要求や機械的要求は増加し続けている。それゆえ、ソケット技術は、著しく増えた電気的な要求や機械的な要求で急速な進展がもたらされてきている。その電気的要求や機械的要求のどちらも、大電力化・高電圧化・大電流化、パッケージサイズの小型化、狭ピッチ化、多端子化、小端子化、などに主導されている。すなわち電気的保有特性は、電気的要求だけでなく、機械的要求によっても決定されると言える。この複合物理問題によって、ソケット設計は難しい要求を伴う課題に次第になってきた。

電気的要求

電気的要求には、ソケットピンあたりの通電電流容量 (CCC)、接触抵抗、インダクタンス、インピーダンスがある。また、インサーション・ロス【訳者注: 挿入損失】、リターン・ロス【訳者注: 反射損失】、クロストークといったシグナル・インテグリティ【訳者注: 波形ひずみ】を悪化させる要素がある。大電力化や高バンド幅化に伴って、パッケージは CCC の増大や、低コンタクト化や、インピーダンス整合の適正化のソケットピン設計やソケット設計を必要とする。特に、process of record (POR) のデータ転送速度は 7GHz 近くになっている。新しいチップ技術では更に高速なデータ転送速度さえ必要とされている (例えば、20GHz までの)。この領域では、インピーダンス整合と潜在的な信号損失が大きな問題になる。一方、端子数が増えるのと同様に、パッケージの寸法や端子やピッチは小さくなる。この小端子化は、コンタクト抵抗やシグナル・インテ

グリティをひどく悪化させる厳しい機械的な制約条件への対応を必要とする。電氣的接触を安定させ、低い接触抵抗を確実にさせる 1 つの重要な要素は、一般的に端子あたり 20 ~ 30g 程度のコンタクト荷重である。端子ピッチが縮小すると、適正な接触抵抗を可能にする高いコンタクト荷重が維持できないかも知れないが、微小で細いソケットピンを使わざるを得ない。電氣的保有特性に対する機械的要求の否定的な影響によって、電氣的コンタクト技術の改善やソケットの革新が必要とされる。つまり、電氣的保有特性とシグナル・インテグリティは増大する機械的要求と密接に関係している。

機械的要求

機械的要求には、機械的位置決めや、コンプライアンスや、ソケットピンの信頼性が含まれる。機械的アライメントは、特にランドグリッド・アレイ (LGA) において、多端子化や小端子化によって大きな課題になってきている。現在、テスト・ソケットの主流は受動的な位置決め制御になっている。この方式では、ソケットピンとデバイス端子の間のコンタクト確度は機械的なガイド機構の許容誤差の積み重ねに依存してしまう。よって受動的な位置決め方式は直ぐに限界に達するだろう。何故なら、製造時の許容誤差は数 μm 程度に設定されているからである。従って、能動的な位置決め方式や光学利用のハンドリング装置の採用は、パッケージや端子の縮小化、狭ピッチ化、多端子化の継続に対応できる選択肢の 1 つである。

コンプライアンスは、垂直方向 (Z 方向) の機械的コンタクト確度である。つまり、総合的なコンタクトストロークは、最低限必要なソケットピンの圧縮量に加えて、ソケットピンの高さのバラツキ【訳者注：共面精度】と DUT ピンの非平坦度の両方も考慮する必要がある。一般的に、POR コンタクトの総合的なストロークは、0.3mm から 0.5mm に分布している。しかし、ソケットピン寸法の更なる小型化要求と同様に、POR と同じストロークを維持することは最早旨く行きそうもない。このような圧縮問題は、電氣的コンタクト性能のボトルネックになるかも知れない。

ピンの先端が劣化するようなソケットピンの信頼性は、既に大きな課題を経てきている。何故なら、ソケットピンの強度を増すことを厳しい幾何学的な制約条件が妨げるからである。とはいえ、テスト環境も高温化や大電流化やピン先端コンタクトの微小化などで更に難しくなっている。