

プロセスインテグレーション、デバイス、および構造

本章の概要

プロセスインテグレーション、デバイス、および構造(Process Integration, Devices, and Structure: PIDS)の章では、新しいオプションの技術に関連した信頼性とのトレードオフを踏まえた、LSI に使われるデバイスのプロセスフローとそのインテグレーションを扱う。物理的寸法、キーデバイスの電氣的パラメータ、受動素子、信頼性基準など、電氣的要求値と特性が PIDS に含まれる。また、統計的なばらつき幅も議論されているが、主に中心値を扱う。取り扱うデバイスはロジック、メモリー(DRAM と不揮発性メモリー: Non-Volatile Memory [NVM])、それらの信頼性で、それぞれの節に分かれている。更に、それぞれの節ではキーとなる技術的課題を述べ、いくつかの最善の解決策を提示している。

2005 年版 ITRS の PIDS の章にはいくつかのキーとなる方針がある。その一つは、従来のトランジスタ性能向上率のトレンドを維持するために、最先端のロジック技術における連続的で積極的なスケールリングである。積極的なスケールリングは半導体業界に対して、High-k ゲート絶縁膜、メタルゲートなどの材料やプロセスの変更を含むいくつかの大きな技術革新を推進している。また、長期的には、極薄完全空乏化型 SOI-MOSFET (Fully Depleted SOI: FD-SOI)や FinFET などのマルチゲート MOSFET のような新しいトランジスタ構造の開発を推進している。これらの革新は早いペースで導入されることが期待されている。このため、物理的な把握、モデリング、タイムリーに製造現場へのインプリが、業界にとっての大きな課題である。NVM については、スケールリングに関しての重い課題にある程度の議論がされている。NAND フラッシュ、NOR フラッシュ、SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)、強誘電体 RAM(FeRAM)、マクネティック RAM(MRAM)など、多くの種類の NVM を取り上げている。相変化メモリー(PCRAM)は量産が近づいたため、2005 年版から PIDS の章に加えられた。DRAM の課題は、特にリーク電流を抑制しながらのスケールリングが困難になりつつあることである。信頼性に関する課題は、幾つかの予定されている革新技術のタイムリーは信頼性保障である。

ITRS の重要な目的は、ムーアの法則に沿った従来とおりの CMOS スケールリングの維持に必要な、重要な技術的要求と候補技術を明らかにすることと、要求を満足するために必要な研究と開発を促進させることにある。この章において解決策候補(Potential Solutions)をリスト化して議論していること目的は、重要な技術的挑戦についての現状最良な施策ガイドラインを示すためである。しかし、解決策候補のリストは包括的ではなく、必ずしも最良の策とは限らない。ITRS の解決策候補は新しい、異なった解決策候補に制限をつけるものではない。

ロジック

半導体デバイス生産の多くはデジタルロジック関係である。この節では高性能用途および低消費電力用途(主に携帯応用)のロジックを扱う。技術的要求の詳細と解決策候補が述べられている。キーワードは性能、消費電力、集積度である。

メモリー

ロジックとメモリーは半導体デバイス生産高の支配的な要素である。この節で扱うメモリーは、DRAM、不揮発性メモリー(NVM)である。メモリー技術を牽引するのは汎用メモリーであるため、これらについて強調している。しかし、混載メモリーは通常は少しの遅れで汎用メモリーに追従することが期待されている。DRAMとNVMについては、技術要求と解決策候補が詳細に述べられている。

上述したように、NOR、NAND、FeRAM、SONOS、MRAM、PCM など NVM への要求とチャレンジ項目を扱っている。この節では多数回プログラマブルな NVM だけを取り扱い、読み出し専用メモリー(Read Only Memory: ROM)や 1 回だけ書き込み可能なメモリー(One-time-Programmable: OTP)の技術は含まない。

信頼性

信頼性はプロセスインテグレーションにおいて重要な項目である。新しい技術世代は新材料と新プロセスの導入を要求するが、それらについての情報収集とデータベースの構築、新しい故障モードや欠陥のモデル化が間に合わない。プロセスインテグレーションは技術が習熟する前に完成する必要があるため、これまでの信頼性のレベルを維持することは困難になる。信頼性における不確かさは、不必要な性能の要求、コスト増大、市場への製品投入時期の遅れなどを引き起こす。これらはテスト、ウエハーレベルの信頼性についても困難な技術課題(Difficult Challenges)を課す。実装の信頼性は新材料、新プロセス、狭ピッチのボンディング、耐環境性、接着性などに敏感である。

困難な技術課題 (DIFFICULT CHALLENGES)

Table 39a Process Integration Difficult Challenges—Near-term

Difficult Challenges ≥ 32 nm	Summary of Issues
1. Scaling of MOSFETs to the 32 nm technology generation	Scaling planar bulk CMOS will face significant challenges due to the high channel doping required, band-to-band tunneling across the junction and gate-induced drain leakage (GIDL), stochastic doping variations, and difficulty in adequately controlling short channel effects. Implementation into manufacturing of new structures such as ultra-thin body fully depleted silicon-on-insulator (SOI) and multiple-gate (e.g., FinFET) MOSFETs is expected. This implementation will be challenging, with numerous new and difficult issues. A particularly challenging issue is the control of the thickness and its variability for these ultra-thin MOSFETs.
2. Implementation of high- κ gate dielectric and metal gate electrode in a timely manner	High κ and metal gate electrode will be required beginning in ~2008. Timely implementation will involve dealing with numerous challenging issues, including appropriate tuning of metal gate work function, ensuring adequate channel mobility with high- κ , reducing the defects in high- κ to acceptable levels, ensuring reliability, and others.
3. Timely assurance for the reliability of multiple and rapid material, process, and structural changes	Multiple changes are projected over the next decade, such as: Material: high- κ gate dielectric, metal gate electrodes by 2008 or so Process: elevated S/D (selective epi) and advanced annealing and doping techniques Structure: ultra-thin body (UTB) fully depleted (FD) SOI, followed by multiple-gate structures. It will be an important challenge to ensure the reliability of all these new materials, processes, and structures in a timely manner.
4. Scaling of DRAM and SRAM to the 32 nm technology generation	DRAM main issues with scaling—adequate storage capacitance for devices with reduced feature size, including difficulties in implementing high- κ storage dielectrics; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs. Also, reducing the cell area factor in a timely manner is quite challenging. (Cell area factor = $a = \text{cell area}/F^2$, where F =DRAM half pitch). SRAM—Difficulties with maintaining adequate noise margin and controlling key instabilities and soft error rate with scaling. Also, difficult lithography and etch issues with scaling.
5. Scaling high-density non-volatile memory to the 32 nm technology generation	Flash—Non-scalability of tunnel dielectric and interpoly dielectric. Dielectric material properties and dimensional control are key issues. FeRAM—Continued scaling of stack capacitor is quite challenging. Eventually, continued scaling in 1T1C configuration. Sensitivity to IC processing temperatures and conditions. SONOS—ONO stack dimensions and material properties, including nitride layer trap distribution in space and energy MRAM—Magnetic material properties and dimensional control. Sensitivity to IC processing temperatures and conditions

Table 39b Process Integration Difficult Challenges—Long-term

Difficult Challenges <32 nm	Summary of Issues
6. Implementation of advanced, non-classical CMOS with enhanced drive current and acceptable control of short channel effects for highly scaled MOSFETs	Advanced non-classical CMOS (e.g., multiple-gate MOSFETs) with ultra-thin, lightly doped body will be needed to effectively scale MOSFETs to 11 nm gate length and below. To attain adequate drive current for the highly scaled MOSFETs, quasi-ballistic operation with enhanced thermal velocity and injection at the source end appears to be needed. Eventually, nanowires, carbon nanotubes, or other high transport channel materials (e.g., germanium or III-V thin channels on silicon) may be needed.
7. Dealing with fluctuations and statistical process variations in sub-11 nm gate length MOSFETs	Fundamental issues of statistical fluctuations for sub-11 nm gate length MOSFETs are not completely understood, including the impact of quantum effects, line edge roughness, and width variation.
8. Identifying, selecting, and implementing new memory structures	Dense, fast, low operating voltage non-volatile memory will become highly desirable Increasing difficulty is expected in scaling DRAMs, especially scaling down the dielectric equivalent oxide thickness and attaining the very low leakage currents that will be required. All of the existing forms of nonvolatile memory face limitations based on material properties. Success will hinge on finding and developing alternative materials and/or development of alternative emerging technologies. See Emerging Research Devices section for more detail.
9. Identifying, selecting, and implementing novel interconnect schemes	Eventually, it is projected that the performance of copper/low- κ interconnect will become inadequate to meet the speed and power dissipation goals of highly scaled ICs. Solutions (optical, microwave/RF, etc.) are currently unclear. For detail, refer to ITRS Interconnect chapter.
10. Toward the end of the Roadmap or beyond, identification, selection, and implementation of advanced, beyond-CMOS devices and architectures for advanced information processing	Will drive major changes in process, materials, device physics, design, etc. Performance, power dissipation, etc., of beyond-CMOS devices need to extend well beyond CMOS limits. Beyond-CMOS devices need to integrate physically or functionally into a CMOS platform. Such integration may be difficult. See Emerging Research Devices sections for more discussion and detail.

PIDS に関する困難な技術課題の説明

[1] 32nm 世代までの MOSFET のスケーリング

プレーナバルク MOSFET のスケーリングにおいては、短チャネル効果抑制としきい値を適正にするために、チャネル濃度を大幅に増大する必要がある。高チャネル濃度の結果、正孔と電子の移動度は劣化、バンド間トンネルによる接合リークの増大、GIDL(Gate Induced Drain Leakage)の増大などが誘起される。さらに、微細な MOSFET のチャネル内の全不純物数が少なくなるために、不純物の数と位置の統計的なゆらぎが急増する。この結果、しきい値の統計的なばらつきは急増する。微細 MOSFET におけるもう一つの技術課題は、非常に浅いソース/ドレイン接合におけるソース/ドレイン抵抗の低減である。

プレーナバルク MOSFET のスケーリングの遂行のため、FD-SOI MOSFET やマルチゲート MOSFET(FinFETs)などの新構造デバイスが結果的に使用されることが期待されている。これらのデバイスは通常はチャネル濃度が低く、しきい値はメタルゲートの仕事関数で制御されるため、プレーナバルク MOSFET で問題となる高チャネル濃度による統計的な不純物ゆらぎを回避できる。しかし、いくつかの新しい課題も生じる。これらの課題で最も困難なものは、SOI 膜厚の制御と膜厚ばらつきの抑制、メタルゲートの仕事関数の制御である。プレーナバルク MOSFET の場合と同様、寄生のソース/ドレイン抵抗の低減も困難な課題である。

スケーリングに伴うプレーナバルク MOSFET と新構造 MOSFET に共通課題は、ゲート長に対してのライン端の粗さ(Line Edge Roughness: LER)の割合の増加である。

高性能ロジックにおいて、スケーリングに伴うチップの集積度の増大とトランジスタのリーク電流の増大のため、チップの静止時の消費電力低減と性能目標達成の両立が困難になる。性能と消費電力のターゲットに向けて、回路設計やアーキテクチャの革新と、しきい値の異なるトランジスタの使用(マルチ V_t)などが必要となる。クリティカルパスには低いしきい値のトランジスタを、残りの部分には高いしきい値のトランジスタを使い、性能と消費電力の最適化を行う必要がある。低消費電力ロジック向けには、スケーリングと静的な消費電力の制御が必須である。このため、トランジスタのリーク電流は高性能用途向けと比べて非常に低くなっている。マルチ V_t だけでなく、高性能用途と同様に、回路とアーキテクチャの革新が必要である。

[2] High-k ゲート絶縁膜とメタルゲート電極のタイムリーな導入

PIDS のテーブルの要求によれば、スケーリングとゲートリーク電流を許容値以内に保つために、High-k ゲート絶縁膜とメタルゲート電極は 2008 年までに必要である。この先端的なゲートスタック構造の導入には多くの技術的課題がある。例えば、High-k を用いた場合の十分なキャリア移動度の確保、欠陥、チャージトラップ、不安定性の低減などの保証である。また、プレーナーバルク CMOS (バンドエッジに対応した仕事関数)と FD-SOI CMOS (ミッドギャップに対応した仕事関数)に適当な仕事関数のメタル材料の決定と、種々なメタルゲートと High-k ゲート絶縁膜を CMOS プロセスフローに整合させることは、非常に困難な技術的課題である。これらの新しい材料をタイムリーに、電気的特性評価と信頼性評価の技術開発も課題である。

[3] 各種の材料、プロセス、構造の急激な変化に対応した信頼性保障

MOSFET のスケーリングとデバイス性能、リーク電流、などの要求値の達成には、High-k ゲート絶縁膜、メタルゲート電極、エレベーターソース/ドレイン、新アニール技術、新ドーピング技術などの、多くの大幅なプロセス、材料の革新が、少なくとも 10 年以内に実用化されることが必要とされている。また、FD-SOI MOSFET に始まって、マルチゲート MOSFET に進む新しい MOSFET 構造が実用化されることが予想されている。これらの構造の信頼性がタイムリーに保障されるために必要な、新しい MOSFET の理解と信頼性関係のモデリングは非常に困難課題であると予想される。

[4] 32nm 世代に向けた DRAM と SRAM のスケーリング

DRAMの重要な課題は、セルが縮小されても十分な蓄積容量の確保のための、High-k絶縁膜とMIM構造の実用化である。十分なリテンション時間を確保するために、絶縁膜のリーク電流や接合リーク電流、アクセストラジスタのサブスレショルドリーク電流の抑制が重要である。低リーク電流の要求はアクセストラジスタの要求性能達成を困難にさせる。セルエリアファクタ、 $a = (\text{セル面積})/F^2$ 、ここでFはメタル 1 のハーフピッチ、のタイムリーな減少は非常に重要である。ワード線とビット線用の低シート抵抗材料は、微細なDRAMの要求速度性能実現に非常に重要である。

SRAM については、スケーリングにおけるノイズマージンの確保と、ホットエレクトロン起因や NBTI(Negative Bias Temperature Instability)などの不安定性の抑制の両立が課題である。また、微細化におけるリソグラフィとエッチングの課題もある。SRAM は通常、高速動作の混載メモリーとして使用されるため、前述の課題を解決することは、システム性能向上に必須である。

[5] 高密度不揮発性メモリー(NVM)の 32nm 世代に向けた微細化

不揮発性メモリーに共通な課題は二つある。一つは、それぞれの NVM セルはいくつかの点で CMOS 技術と異なる。そして、このためにメモリーセルの微細化は幾つかの課題がある。これらの課題は NVM ごとに異なるし、独特の課題はそれぞれの NVM のテーブルに記載されている。二つ目の課題は、セットとリセットにおける通常の動作が、材料にストレスを与え、セル特性の劣化に繋がる可能性がある。劣化は通常、

真性のデバイス特性に起因するというより、欠陥に関連したメカニズムで生じる。エンデュランスとリテンションの要求は、メモリの予想される能力と安全な使用範囲のガイドラインをユーザーに与える。この二つのパラメータを長期的に予測することは非常に困難である。故障解析は困難で、リアルタイムの試験も難しい。

[6] 電流駆動能力が大きく、かつ短チャネル効果が抑制されたノンクラシカル CMOS の実用化

将来においてトランジスタのゲート長が 11nm 以下となる時、低濃度チャネルの FD-SOI MOSFET やマルチゲート MOSFET は効率的に微細化でき、短チャネル効果抑制にも期待されている。他の材料的あるいはプロセスの解決策は、High-k ゲート絶縁膜、メタルゲート電極、歪シリコンチャネル、エレベータードソース/ドレインなどで、ノンクラシカル CMOS に導入されることが期待されている。ゲート長 11nm 以下では、FD-SOI のボディ膜厚は 10nm 以下が必要である。この時の量子効果と表面散乱効果の影響は十分解明されていない。これらの非常に微細な MOSFET は、ソース端での注入速度の増大と短チャネル化で、準バリスティック輸送が起こっている。このため、例えばゲルマニウムやⅢ-V 族のチャネルをシリコン上に作ったり、カーボンナノチューブやナノワイヤなどの輸送効率の高いチャネル材料が使われるかもしれない。

[7] サブ 11nm のゲート長の MOSFET における、ゆらぎと統計的プロセスばらつきの取り扱い

量子効果、LER、極薄 SOI 膜厚のばらつきなど、統計的なばらつきの影響は十分には理解されていない。

[8] 新メモリ構造の理解、選択、量産化

長期においては DRAM と NVM のスケーリングの難しさが、困難な課題の表に記載されているように、増大する。高密度、高速、そして新しい不揮発性メモリ構造への必要性が、消費電力低減のために、増している。そのような不揮発性メモリの量産は大きなチャレンジである。

[9] 優れた配線構造の選択と量産化

銅の抵抗率は、線幅が 100nm 以下となると、徐々に増大する。また、層間絶縁膜の比誘電率は 1-1.5 が限界である。その時点で、更なる配線性能向上のために、新規のアーキテクチャや材料による解決策が要求される。

[10] ロードマップの終わりあるいはその後に向けて、情報処理の進展のための CMOS を越えるデバイスやアーキテクチャの同定、選択、量産化

最終的には、ロードマップの終わりあるいはその後に向けて、MOSFET のスケーリングは徐々に効果が弱くなるか、高コストになり、性能、消費電力、集積度などを向上していくためには、非 CMOS による解決策が必要になる。そのような解決策がそれまでに開発され量産化されている高性能、低コスト、高密度の CMOS ロジック技術に、機能的あるいは物理的にインテグレーションされることが期待される。

ロジックに対する技術要求と解決策候補

ロジックに対する技術要求

技術要求の表は、高性能版と低消費電力版デジタル IC の MOSFET の要求に対応したものである。高性能版のロジックとは、デスクトップやサーバー用などのマイクロプロセッサユニット(MPU)などの非常に複

雑で高性能であるが、大きな消費電力のチップを想定している。低消費電力版のロジックとは、許容消費電力、即ち許容消費電流が電池の寿命で制限される携帯システムを想定している。低消費電力版のロジックは、低動作電力ロジック(Low Operation Power, LOP)とロジック(Low Standby Power, LSTP)の二つに大別される。低動作電力用チップは、大容量電池を有したノート型コンピュータのような、比較的高性能なモバイル用途であり、動作時の消費電力削減に注力している。低待機電力用チップは、小容量の電池を有する携帯電話のような、それほど性能を要求されない民生用品に使用され、実現可能な最も小さい待機時の消費電力、すなわち実現可能な最も小さいリーク電流に重点が置かれている。高性能IC用のトランジスタは、高性能ロジックのために物理的なゲート長(および、トランジスタに係わる他のパラメータも)が最も急速にケーリングされることによって、最も高い性能を示すが、リーク電流も最も多い。低動作電力チップにおけるトランジスタは、幾分性能が低い、十分に小さいリーク電流を実現する。一方、低待機電力用のトランジスタは、最も性能が低い、最も少ないリーク電流を実現する設定となる。低動作電力トランジスタにおいて、高性能トランジスタのゲート長からのタイミング遅れは2年であり、歴史的な動向や携帯用途における低リーク電流の要求を反映している。低待機電力トランジスタにおいては、高性能トランジスタのゲート長からのタイミング遅れは4年であり、超低リーク電流の要求を反映している。

ロジックの技術要求のテーブルを作成するために、MASTAR MOSFET というモデリングソフトウェアが使用された。T. Skotnicki, F. Boeuf 等によって開発された MASTAR には、文献データを用いて確かめられた詳細な解析 MOSFET モデルが使用されている。技術要求表の作成において、MASTAR は技術的なトレードオフを分析するのに非常に適している。モデルから導出される一つの重要なパラメータは、イントリンシックな MOSFET の遅延時間 ($\tau = CV/I$ である。ここで、C は寄生して発生するゲートオーバーラップやフリンジ容量を含むトランジスタ幅 1 ミクロンあたりのゲート容量であり、V は電源電圧 (Vdd)、I はチャネル幅 1 ミクロン当りの飽和電流 (Idsat) である。 τ は、イントリンシックな MOSFET の遅延時間に対する良い指標であり、よって $1/\tau$ は、イントリンシックな MOSFET の最大スイッチング周波数の指標となり、トランジスタ性能の主要な指標となる。技術要求の表のパラメータ値を決定するために、リーク電流や $1/\tau$ など重要な出力パラメータの目標値が設定されている。入力パラメータは、スケーリング則やエンジニアリング的な判断、デバイスの物理的な原則に則って仮設定される。MASTAR を用いて、目標値を達成するまで入力パラメータをスプレッドシート上で種々変えて計算を繰り返し、最終的な入力パラメータの値を設定した。MASTAR プログラムおよびロジックの技術要求の表を作るのに使用された詳細の MASTAR ファイルは ITRS のウェブサイト <http://public.itrs.net> で確認できる。

技術要求の表には、いくつかの平行パスが導かれている。プレーナ型バルク CMOS をできるだけ先まで延長する一方で、極薄膜ボディ完全空乏型 (UTB FD) Silicon-on-Insulator (SOI) MOSFET や FinFET のようなマルチゲート MOSFET といった先駆的な CMOS 技術が 2008 年以降導入され、プレーナ型バルク CMOS と平行して進む。スケーリングが進むにしたがって、チャネル不純物の高濃度化や短チャネル効果を十分に抑制できなくなることなど、プレーナバルク MOSFET では多くの課題が生じる。先駆的な CMOS 技術はバルクプレーナよりもスケーリングしやすいため、後のロードマップで使用される。事実、マルチゲート MOSFET は UTB FD MOSFET よりもスケーリング性に優れているため、究極の MOSFET はマルチゲートであると予測されている。プレーナバルクを使い続けることが困難なタイミングはそれぞれの会社によって異なるので、どの道筋を通るかはその会社の要求や計画、技術力に依存する。このロードマップの平行パスはそれを反映していることを意味している。各テーブルの予想パラメータ値セットは、ある特別なスケーリングシナリオを反映して主要な出力パラメータが目標値に達するように設定されている。しかし、調整することのできる入力パラメータが数多くあり、また出力パラメータがこれら多くの入力パラメータの複雑な関数になっているため、主要な出力パラメータの目標値を達成する他の入力パラメータの組合せ(すなわち、異なるスケーリングシナリオに従った)が存在しうる。例えばあるシナリオとして、ゲートリーク電流が急激に増大するような EOT を急速にスケーリングする場合、許容範囲にゲートリーク電流を抑えるために high-k ゲート絶縁膜の早期の導入が必要になる。他のスケーリングシナリオでは EOT をゆっくりとス

ケーリングさせることができる。この場合、ゲートリーク電流はゆっくり増加し、結果として high-k ゲート絶縁膜の導入を遅らせることができる。しかし、ゲート長やチャネルドーピングなどの他の幾つかのパラメータは、EOT のゆっくりとしたスケーリングを補償し、同じ出力パラメータを達成するために、より早くスケーリングさせなければならない。よって、これらのテーブルのスケーリングシナリオは、業界に良い指針を設定するが、各技術ノードで各メーカの採用する実際の道筋は相当食い違うことになると考えられる。高速トランジスタの表 (Table 40a と b) において、作成の基準になるのは MOSFET の性能指標である $1/\tau$ である。 $1/\tau$ の目標は、過去の性能向上率に整合する年率平均 17% の向上である。チップのクロックスピードを望ましい改善率で上昇させるためには、この目標値を達成しなければならない。表のその他のパラメータは、上記したように、この目標値を達成できるように設定されている。表から目標に合ったいくつかの重要な結果が読み取れる。NMOSFET の飽和電流 $I_{d,sat}$ は、 $1/\tau$ の 17%/年の増大を維持するために、ロードマップの設定期間を通してかなり着実に増加していく。ソース/ドレイン間のサブスレッショルドリーク電流 $I_{sd,leak}$ は、2005 年において 0.06uA/um と相対的に大きく、さらにこのリーク電流は年々層化する傾向にありチップの消費電力において重要な意味を持つようになる。(下記で議論を行う)

IC 企業は、チップ全体の性能改善のために並列化を展開するためのマルチコアやマルチしきい値電圧化のようなアーキテクチャー技術を用いて、チップのパワー密度とトータルのチップ消費電力を扱いやすいレベルに維持しつつチップの機能性を高める手法を導入し始めた。チップ上に複数の CPU を搭載することにより、チップ全体の性能を高めつつ、より低いクロック周波数でコアを動作させることができる。このように、システム性能を最適化するために、トランジスタ単体のスピードよりも、チップ上により多くのコアを搭載することのできる集積度に重きを置く傾向がシステムデザイナーに見られる。さらに、システムデザイナーは finite-cache 効果によるシステム性能ペナルティを最小限にするために、より多くのキャッシュメモリをプロセッサチップに入れる傾向にある。もう一つの高性能システム技術トレンドとして、より高い階層のキャッシュメモリとして使用するために SRAM メモリセルよりもはるかに小さい DRAM セルをマイクロプロセッサチップに混載する技術が挙げられる。これらの技術は主に高速ロジックに使用されているが、やがてはローパワーロジックにも使用されるであろう。スケーリングに従って上記のアーキテクチャー技術は大いに利用され、より効果的になるであろう。ロードマップの次の版では、デザインと PIDS のワーキンググループは、将来技術世代のチップ性能改善において、このアーキテクチャーベースの性能スケーリングが年率 17% という従来のトランジスタ性能スケーリング目標を緩めることを示唆するのかどうか、上記および他のアーキテクチャー技術の影響について十分に考慮するであろう。

高速動作チップにおいては、微細化に伴うトランジスタのサブスレッショルド電流は急激に増大するが、静的な消費電力を許容値以下に保つ必要がある。一つの一般的な解決策は、チップ内に低 V_t の高速トランジスタと高 V_t でゲート酸化膜が厚い低リークトランジスタの、二種類以上のトランジスタを搭載することである。低リークトランジスタは、高速トランジスタと比べて飽和電流は小さく、低いデバイス性能 (デバイスの真性遅延時間 τ が大きい) である。高速トランジスタは、クリティカルパスや常時スイッチングしている回路にだけ使用され、低リークトランジスタはその他の全ての所で使われる。低リークトランジスタの積極的な使用は、チップ性能をそれほど犠牲にせず、静的な消費電力を大幅に低減させる。静的な消費電力を縮小する電流の回路やアーキテクチャーとして、パスゲートを用いて電源とグランド間のパスを電氣的に遮断するものや、回路ブロックのパワーを減らすテクニックなどがある。他の方法として、ウェルにバイアスを印加して、動的にしきい値電圧の制御を行う方法がある。よって、スケーリングされた高性能 IC の現実的な姿は、静的な消費電力に関して複数のしきい値を持つトランジスタを使用した、デバイス/回路/アーキテクチャーを活用するというものである。技術要求の表においては、高性能トランジスタが技術を牽引するので、このトランジスタだけを扱っている。

低消費電力チップにおいて注目される出力パラメータは、ソース/ドレイン間のサブスレッショルドリーク電流 ($I_{sd,leak}$) であり、低待機電力トランジスタ (LSTP) では先に述べたように特にこの値は小さい。LSTP

の $I_{sd,leak}$ の値は $10\text{pA}/\mu\text{m}$ が一定に維持され、一方 2005 年の低動作電力トランジスタ (LOP) の $I_{sd,leak}$ の値は $3\text{nA}/\mu\text{m}$ であり、スケーリングに従って徐々に増加する。他のすべてのパラメータの値は、上記の $I_{sd,leak}$ ターゲットに整合するよう選ばれている。それにもかかわらず、結果としてのデバイス性能 ($1/\tau$) の平均的な改善率は、LOP、LSTP とともにおよそ年率 14% である。リーク電流要求に合わせるため、ローパワーロジックのゲート長のスケーリングは高性能ロジックに比べ遅くなっていることに注意されたい (詳しくはロジックの表を参照)。LSTP ロジックにおける重要な課題の一つは、電源電圧 V_{dd} のスケーリングが遅いことである。Table 41a と 41b を参照のこと。これはサブスレショルドリーク電流の厳しい要求を満たすために、 V_t のスケーリングを比較的抑制したためである。適度な性能を得るためにはゲートオーバードライブ ($V_{dd}-V_t$) は比較的大きな値を維持しなければならないため、 V_{dd} は V_t のゆっくりとしたスケーリングに従わなければならない。動的な消費電力は電源電圧の 2 乗に比例するため、低消費電力トランジスタの消費電力は高速用に比べて緩やかにスケーリングされるが、このタイプの活性化の度合いは相対的に小さいと期待されるので、非常に小さいリーク電流によって静的な消費電力が下げられることの効果の方が大きい。LSTP ロジックと対比して、LOP ロジック (LOP の技術要求の Table 41c と 41d を参照のこと) の電源電圧 (V_{dd}) は比較的速くスケーリングし、動作時の消費電力 (V_{dd} の二乗に比例する動的な消費電力) を最小化することに重点が置かれる。しかし、 $I_{sd,leak}$ は LSTP のものより大きく、飽和領域でのしきい値は十分に低い設定であり、相応のゲートオーバードライブ ($V_{dd}-V_t$) と適当な回路ノイズマージンが得られる。高性能版および LOP、LSTP の $I_{sd,leak}$ と τ のスケーリングが Figure 34 に示されている。(図中の乱雑さを低減して明確化するために性能指標の $1/\tau$ の代わりに τ をプロットしている) 予想通り、高性能ロジックの $I_{sd,leak}$ は最も高く τ は最も低くなり、LOP ロジックが中間で、LSTP ロジックの $I_{sd,leak}$ は最も低く τ は最も高くなる。高性能ロジックにおいて、 τ のスケーリングは年率 17% の性能向上ターゲットに合っている。また、高性能ロジックの $I_{sd,leak}$ は、LSTP のロジックの $I_{sd,leak}$ の 4 桁以上高い値になっていることにも注意していただきたい。

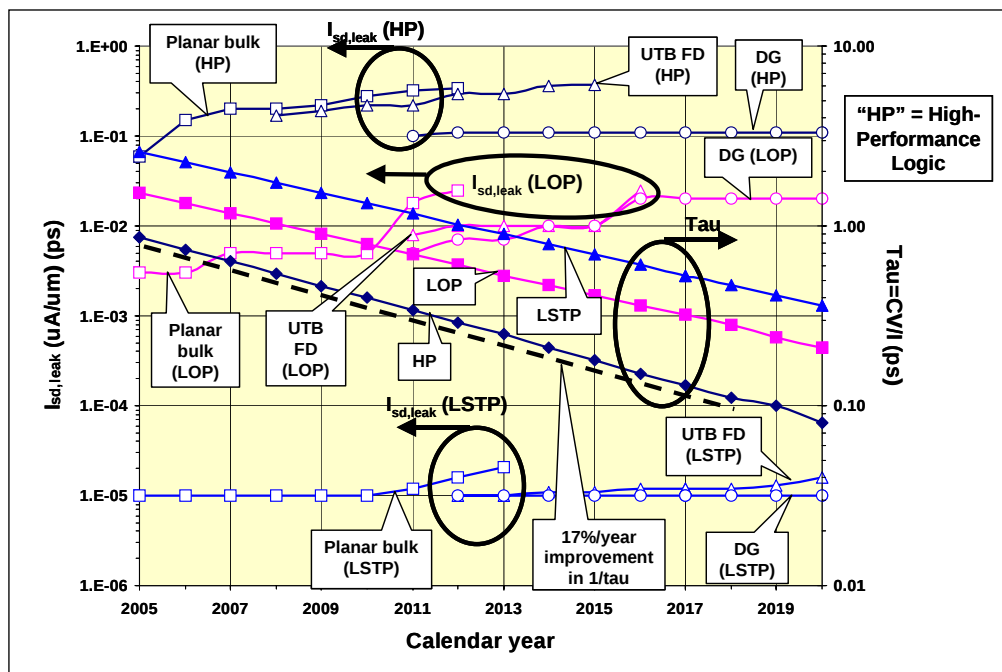


Figure 34 $\tau = CV/I$ and $I_{sd,leak}$ for All Logic Types.
(The dashed line represents the desired 17%/year transistor performance improvement.)

ローパワーチップに関しては、主要な目標はバッテリー寿命を延命するため消費電力を低減することであり、そのために高性能チップと比べると性能は低くなる。この全体的な目標は、高速ロジックで使用されているのと同様に $I_{sd,leak}$ の低いトランジスタを使用する方法、すなわち同一チップ上にしきい値電圧やゲート酸化膜厚の異なる多様なトランジスタ、および待機時モードでのチップのリーク電流を低減するためのパワーマネジメントを含む回路およびアーキテクチャ技術、を通じて達成される。究極的には動的なしきい値電圧制御が適しているかもしれない。LSTP のテーブルで選択された $I_{sd,leak}$ のノミナルなターゲット値は非常に小さく、動作時での低リーク電流を強調するトランジスタ設計を反映している。それとは対照的に、高い性能を得るために極めて高い $I_{sd,leak}$ を有するトランジスタ設計を用いて高いオン電流を得るとともに、チップ全体の電力消費を下げるための回路やアーキテクチャ技術により強く依存する会社もある。最後に LOP ロジックでは、上述したように、動作電力を我慢できる限界以下に低減するために、電源電圧を比較的早く低電圧化するであろう。

スケーリングによって酸化膜の膜厚がますます薄くなるにつれて、ゲートリーク電流、およびゲートリーク電流密度の制限にゲート酸化膜が適合するかが、重要な課題となる (Table 40a、40b と 41a から 41d 及び注釈 [2] と [5] を参照のこと)。ダイレクトトンネリングによるゲートリーク電流は EOT の薄膜化によって指数関数的に増加するため、ゲートリーク電流は重要な課題となる。FEP-TWG とノースカロライナ州立大学において、酸化膜を通した直接トンネリング電流密度の詳細なシミュレーションが行われ、技術要求の表でスケーリングされた V_{dd} と EOT を用いてトンネルによるゲートリーク電流密度の予想値が計算された。LSTP と LOP、高速トランジスタにおいて、これらの計算されたゲートリーク電流密度と、システムからの要求であるゲートリーク電流密度の制約を比較し、Figure 35 から 37 にそれぞれ示した。ここで、 $J_g, limit$ はゲートリーク電流密度の制約であり、 $J_g, simulated$ はシミュレーションより求められたゲートリーク電流密度である。また、技術要求の表毎に EOT を参考としてプロットしている。LSTP と LOP のトランジスタにおいて、二つの J_g は、2008 年の直前に交差する。よって、2008 年以降、直接トンネルのために酸化膜ではリーク電流の制約をクリアできない。さらに、2008 年以降 $J_g, simulated$ の曲線は、 $J_g, limit$ の曲線から急速に乖離しており、もし 2008 年以降にゲート絶縁膜として酸化膜を使い続けるとゲートリークは急速に規格から外れること意味している。このため、High-k ゲート絶縁膜 (ある範囲の EOT に対してゲートリーク電流を大幅に低減できる) が LSTP と高速ロジックに 2008 年までに必要になるが、これがゲートリーク低減のための最も有力な解決策候補である。LOP ロジックでは、酸化膜がゲートリーク電流の制限に適合しなくなるのは 2009 年であるが、LOP においても High-k 膜は他のロジックと同様、2008 年に導入されると予想される。三つの図の中の J_g プロットはすべてプレーナバルク MOSFET の場合である； UTB FD や dual gate (DG) MOSFET の場合のプロットは図の乱雑を防ぐために含まれていないが、それらをプロットした場合でも High-k ゲート絶縁膜の導入が必要になる時期は変わらない。

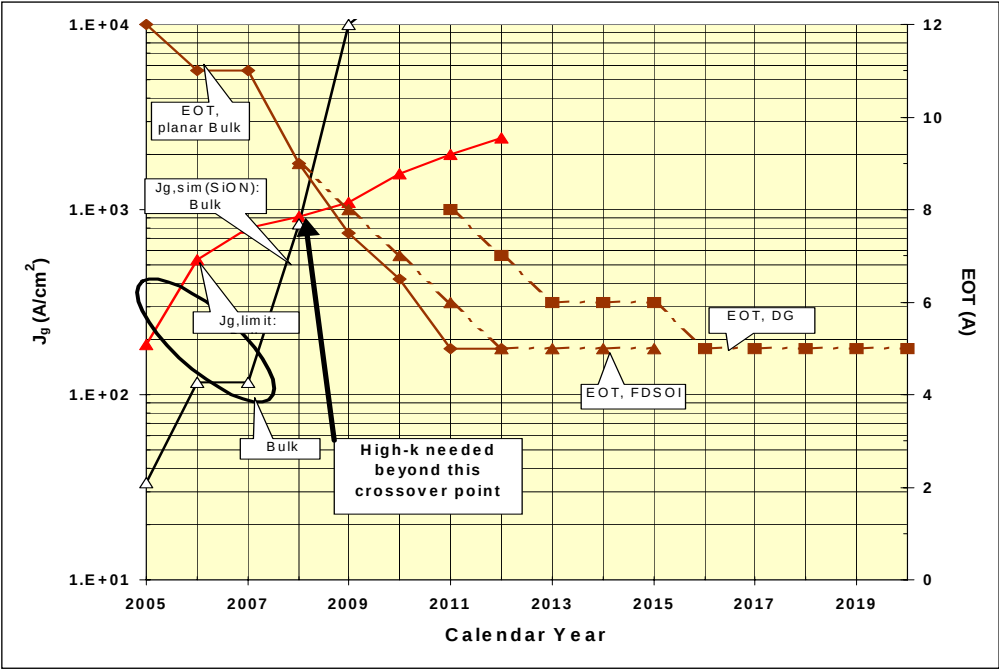


Figure 35 $J_{g,limit}$ versus $J_{g,simulated}$ for High-Performance Logic

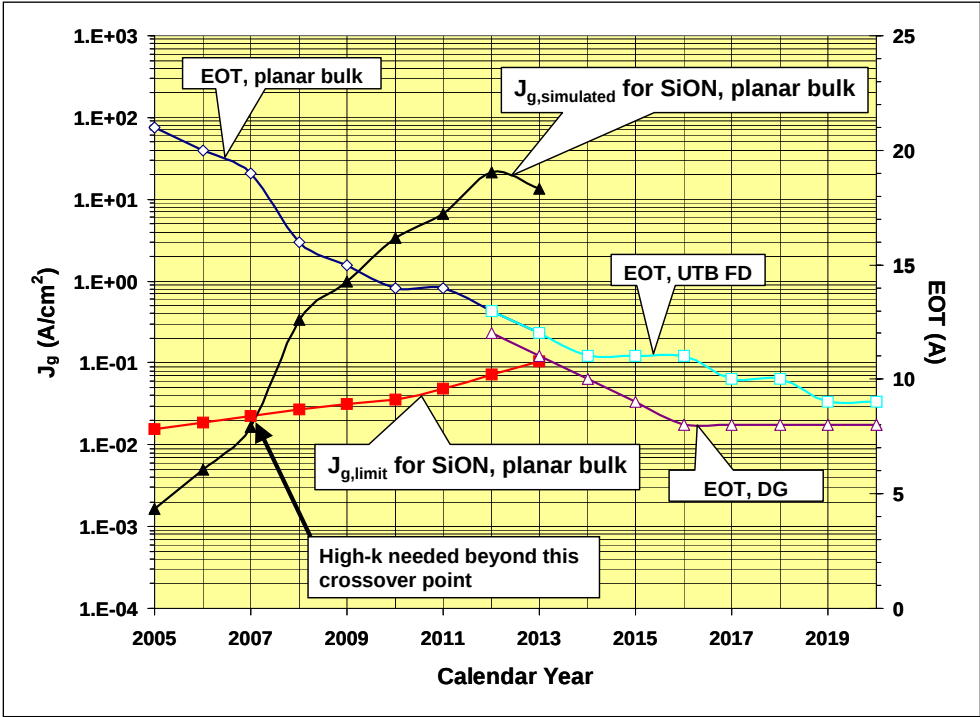


Figure 36 $J_{g,limit}$ versus $J_{g,simulated}$ for Low Standby Power

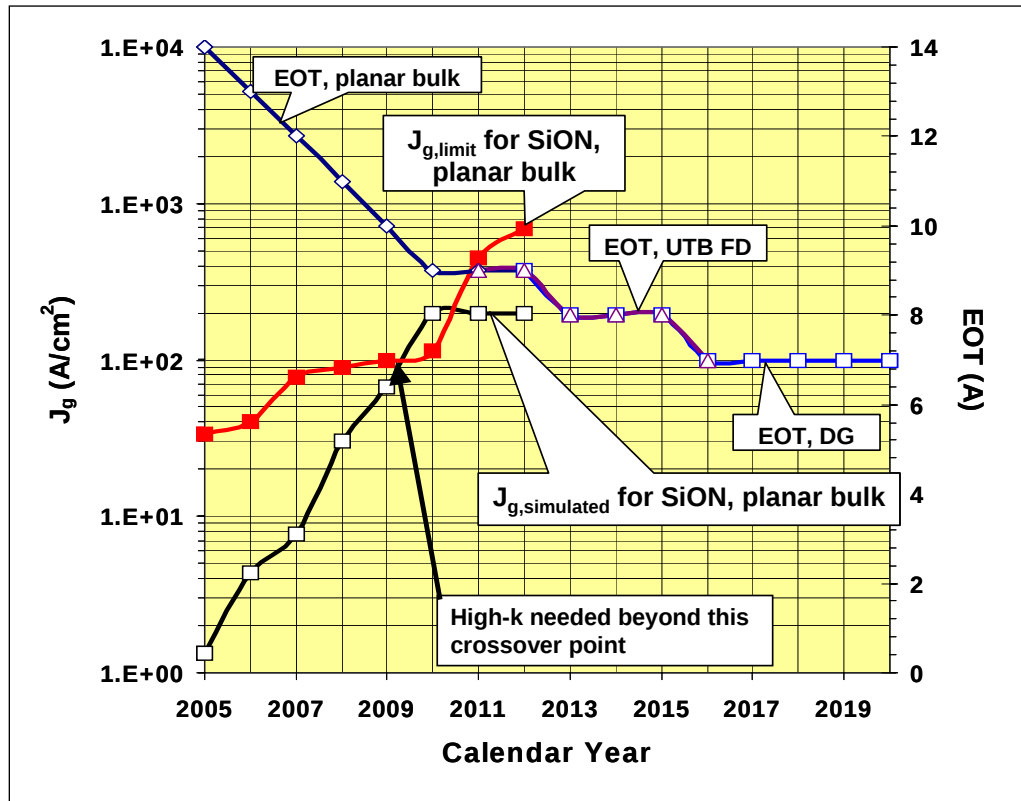


Figure 37 $J_{g,limit}$ versus $J_{g,simulated}$ for Low Operating Power

Table 40a High-Performance Logic Technology Requirements—Near-term

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
L_g : Physical L_{gate} for High Performance logic (nm) [1]	32	28	25	22	20	18	16	14	13
EOT: Equivalent Oxide Thickness [2]									
Extended planar bulk (Å)	12	11	11	9	7.5	6.5	5	5	
UTB FD (Å)				9	8	7	6	5	5
DG (Å)							8	7	6
Gate Poly Depletion and Inversion-Layer Thickness [3]									
Extended Planar Bulk (Å)	7.3	7.4	7.4	2.9	2.8	2.7	2.5	2.5	
UTB FD (Å)				4	4	4	4	4	4
DG (Å)							4	4	4
EOT_{elec} : Electrical Equivalent Oxide Thickness in inversion [4]									
Extended Planar Bulk (Å)	19.3	18.4	18.4	11.9	10.3	9.2	7.5	7.5	
UTB FD (Å)				13	12	11	10	9	9
DG (Å)							12	11	10
$J_{g,limit}$: Maximum gate leakage current density [5]									
Extended Planar Bulk (A/cm ²)	1.88E+02	5.36E+02	8.00E+02	9.09E+02	1.10E+03	1.56E+03	2.00E+03	2.43E+03	
FDSOI (A/cm ²)				7.73E+02	9.50E+02	1.22E+03	1.38E+03	2.07E+03	2.23E+03
DG (A/cm ²)							6.25E+02	7.86E+02	8.46E+02
V_{dd} : Power Supply Voltage (V) [6]									
	1.1	1.1	1.1	1	1	1	1	0.9	0.9
$V_{t,sat}$: Saturation Threshold Voltage [7]									
Extended Planar Bulk (mV)	195	168	165	160	159	151	146	148	
UTB FD (mV)				169	168	167	170	166	167
DG (mV)							181	184	185
$I_{sd,leak}$: Source/Drain Subthreshold Off-State Leakage Current [8]									
Extended Planar Bulk (μA/μm)	0.06	0.15	0.2	0.2	0.22	0.28	0.32	0.34	
UTB FD (μA/μm)				0.17	0.19	0.22	0.22	0.29	0.29
DG (μA/μm)							0.1	0.11	0.11
$I_{d,sat}$: effective NMOS Drive Current [9]									
Extended Planar Bulk (μA/μm)	1020	1130	1200	1570	1810	2050	2490	2300	
UTB FD (μA/μm)				1486	1625	1815	2015	2037	2198
DG (μA/μm)							1899	1932	2220
Mobility Enhancement Factor for $I_{d,sat}$ [10]									
Extended Planar Bulk	1.09	1.09	1.08	1.09	1.10	1.10	1.12	1.11	
UTB FD				1.06	1.06	1.06	1.06	1.05	1.05
DG							1.05	1.04	1.05
Effective Ballistic Enhancement Factor [11]									
Extended Planar Bulk	1	1	1	1	1	1	1	1	
UTB FD				1	1	1	1	1	1.1
DG							1.17	1.25	1.31

Table 40a High-Performance Logic Technology Requirements—Near-term (continued)

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>R_{sd}</i> : Effective Parasitic series source/drain resistance [12]									
Planar Bulk (Ω-μm)	180	170	140	140	120	105	80	70	
UTB FD (Ω-μm)				155	140	125	110	90	75
DG (Ω-μm)							110	100	90
<i>C_{g,ideal}</i> : Ideal NMOS Device Gate Capacitance [13]									
Extended Planar Bulk (F/μm)	5.73E-16	5.25E-16	4.69E-16	6.37E-16	6.72E-16	6.78E-16	7.39E-16	6.41E-16	
UTB FD (F/μm)				5.84E-16	5.75E-16	5.65E-16	5.52E-16	5.37E-16	4.98E-16
DG (F/μm)							4.60E-16	4.39E-16	4.48E-16
<i>C_{g,total}</i> : Total gate capacitance for calculation of CV/I [14]									
Extended Planar Bulk (F/μm)	8.13E-16	7.65E-16	6.99E-16	8.47E-16	8.42E-16	8.28E-16	8.59E-16	7.51E-16	
UTB FD (F/μm)				8.04E-16	7.55E-16	7.35E-16	6.92E-16	6.67E-16	6.18E-16
DG (F/μm)							6.50E-16	6.29E-16	6.28E-16
<i>τ</i> = CV/I: NMOSFET intrinsic delay (ps) [15]	0.870	0.740	0.640	0.540	0.460	0.400	0.340	0.290	0.250
1/ <i>τ</i> : NMOSFET intrinsic switching speed (GHz) [16]	1149	1351	1563	1852	2174	2500	2941	3448	4000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

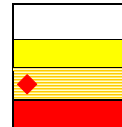


Table 40b High-Performance Logic Technology Requirements—Long-term

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
L_g : Physical L_{gate} for High Performance logic (nm) [1]	11	10	9	8	7	6	5
EOT: Equivalent Oxide Thickness [2]							
Extended planar bulk (Å)							
UTB FD (Å)	5	5					
DG (Å)	6	6	5	5	5	5	5
Gate Poly Depletion & Inversion-Layer Thickness [3]							
Extended planar bulk (Å)							
UTB FD (Å)	4	4					
DG (Å)	4	4	4	4	4	4	4
EOT _{elec} : Electrical Equivalent Oxide Thickness in inversion [4]							
Extended Planar Bulk (Å)							
UTB FD (Å)	9	9					
DG (Å)	10	10	9	9	9	9	9
$J_{g,limit}$: Maximum gate leakage current density [5]							
Extended Planar Bulk (A/cm ²)							
FDSOI (A/cm ²)	3.27E+03	3.70E+03					
DG (A/cm ²)	1.00E+03	1.10E+03	1.22E+03	1.38E+03	1.57E+03	1.83E+03	2.20E+03
V_{dd} : Power Supply Voltage (V) [6]							
	0.9	0.8	0.8	0.7	0.7	0.7	0.7
$V_{t,sat}$: Saturation Threshold Voltage [7]							
Extended Planar Bulk (mV)							
UTB FD (mV)	164	166					
DG (mV)	190	192	195	200	201	205	208
$I_{sd,leak}$: Source/Drain Subthreshold Off-State Leakage Current [8]							
Extended Planar Bulk (μA/μm)							
UTB FD (μA/μm)	0.36	0.37					
DG (μA/μm)	0.11	0.11	0.11	0.11	0.11	0.11	0.11
$I_{d,sat}$: effective NMOS Drive Current [9]							
Extended Planar Bulk (μA/μm)							
UTB FD (μA/μm)	2290	2188					
DG (μA/μm)	2354	2275	2713	2533	2740	2744	2981
Mobility Enhancement Factor for $I_{d,sat}$ [10]							
Extended Planar Bulk							
UTB FD	1.04	1.04					
DG	1.04	1.04	1.04	1.04	1.03	1.03	1.03
Effective Ballistic Enhancement Factor [11]							
Extended Planar Bulk							
UTB FD	1.15	1.28					
DG	1.37	1.53	1.67	1.87	1.99	1.97	2.11

Table 40b High-Performance Logic Technology Requirements—Long-term (continued)

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>R_{sd}</i> : Effective Parasitic series source/drain resistance [12]							
Planar Bulk (Ω-μm)							
UTB FD (Ω-μm)	75	75					
DG (Ω-μm)	85	80	75	70	65	60	55
<i>C_{g,ideal}</i> : Ideal NMOS Device Gate Capacitance [13]							
Extended Planar Bulk (F/μm)							
UTB FD (F/μm)	4.22E-16	3.83E-16					
DG (F/μm)	3.80E-16	3.45E-16	3.45E-16	3.07E-16	2.68E-16	2.30E-16	1.92E-16
<i>C_{g,total}</i> : Total gate capacitance for calculation of CV/I [14]							
Extended Planar Bulk (F/μm)							
UTB FD (F/μm)	5.42E-16	5.03E-16					
DG (F/μm)	5.59E-16	5.25E-16	5.25E-16	4.87E-16	4.48E-16	4.10E-16	3.62E-16
<i>τ</i> = CV/I: NMOSFET intrinsic delay (ps) [15]							
	0.210	0.180	0.150	0.130	0.110	0.100	0.080
1/ <i>τ</i> : NMOSFET intrinsic switching speed (GHz) [16]							
	4762	5556	6667	7692	9091	10000	12500

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

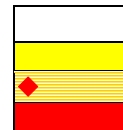


Table40a と 40b の注

Table40a と Table40b には MASTAR を用いて計算した値を示している。MASTAR とは、MOSFET の詳細な解析モデルのソフトである。MASTAR シミュレーションによる表内の数値などの詳細な計算結果、並びに [MASTAR のモデリングパッケージ](#) とユーザーズマニュアルは補助資料としてこの ITRS ウェブサイト内に置かれている。なお、この表のパラメータ値は、動作時温度 25°C でのゲート長が公称値の NMOS の値である。さらに、通常のロジックデバイスでは、各種のしきい値電圧、Ion、Ioff、酸化膜厚から成る複数の MOSFET で構成されるが、ここではしきい値電圧が最も低く、Ion、Ioff が最も高く、ゲート絶縁膜が最も薄く、遅延時間 CV/I は最も高速なトランジスタの場合を示している。チップ内ではこの高速トランジスタは、主にクリティカルパスで使われるだけで数としては少なく、大部分は、高しきい値電圧で低リークのトランジスタが使われている。しかしながら、この高速でかつ高リークのトランジスタが、技術を牽引するため、表にまとめ記載している。

これらの表には、プレーナーバルク CMOS や同じく FD-SOI、そしてダブルゲート(DG)CMOS (フィンゲート含む) といった複数のタイプのトランジスタが併記されている。プレーナーバルク CMOS のスケーリング限界は 2012 年、FD-SOI は 2015 年と考えられているが、DG CMOS は 2020 年まで続くと考えられている。この表から、プレーナーバルク CMOS のソース・ドレイン サブスレッショルドリーク電流が 2009 年から 2012 年の間に 0.22μA/μm から 0.34μA/μm に急増し、FD-SOI や DG のリーク電流よりも大きくなることで、2012 年にプレーナーバルク CMOS のスケーリングの終焉が訪れる事が明記されている。さらに、スペック達成のために、プレーナーバルク CMOS の EOT や実効的な寄生抵抗 Rsd もまた、2009 年から 2012 年の間に FD-SOI や DG CMOS よりも、急速にスケーリングされる。その結果、MASTAR による計算では、DIBL などの短チャネル効果が FD-SOI や DG CMOS よりも大きくなる。同様に FD-SOI と比較し、DG CMOS の EOT や Rsd は緩やかにスケーリングが進み、DG CMOS のソース・ドレイン間リーク Ids,leak もより低い値となる。DG CMOS の短チャネル効果も FD-SOI より低く抑えられるため、DG CMOS は最後の MOSFET デバイスとして 2020 年のロードマップの終わりまで残る。

併記のトランジスタにおいて、表内の数値は、NMOS トランジスタのリーク電流、短チャネル効果や他の主な電気特性は一定に保ちつつ、イントリンシックなスイッチング速度を平均年率 17% 改善するというスケーリング・シナリオで求めている。プレーナーバルク CMOS では、金属ゲート電極、High-k ゲート絶縁膜およびソース/ドレイン寄生抵抗低減のための新規不純物ドーピング技術と新規熱処理技術といった革新的な技術導入が必要で、これらの技術の実用化が遅れるとロードマップも遅れることになる。しかしながら、スケーリングには多くのパラメータ (EOT, V_{dd}, I_{sd,leak} 他) があり、個々のパラメータの調整により 他 のスケーリング・シナリオを選ぶこともできる。なお、今回のスケーリン

グ・シナリオは生産可能と考え得る一例として選んでいる。特に、High-kやメタルゲートは2008年導入と予想している。2008年にHigh-kが必要となる理由は、図表や本文を参照いただきたい。また、2008年にEOT=0.9nmとなると、ポリシリコンゲート空乏化対策としてメタルゲートが必要となる。

[1] L_g は物理ゲート長、つまり、エッチング後のゲート電極底部の最終寸法。ゲート長はORTC(総括ロードマップ技術指標)から設定されている。ゲート電極の寸法制御は、LithographyとFEP EtchのITWGで決定され、 3σ で $\pm 12\% \times L_g$ を仮定している。スケールが進むほど、この12%の要求を満たすことが、困難になってゆくと考えられる(Lithography章とFEP章を参照)。なお、ゲート長のばらつきが、デバイス・パラメータのばらつきの主要因であると考えられる。

[2] ゲート絶縁膜厚 T_d と比誘電率 κ に関して、 $EOT = T_d / (\kappa / 3.9)$ と定義される。ここで3.9は、熱シリコン酸化膜の比誘電率である。ゲート絶縁膜厚 T_d から成るMOSFETの単位面積当たりの理想的なゲート容量は、熱酸化膜で形成されたゲート絶縁膜厚EOTのMOSFETと同じ値である。ゲートリークを制御するためにHigh-kゲート絶縁膜が2008年までに必要である(この点について詳しく述べた本文参照)。2005年から2007年までは、ゲート絶縁膜にシリコン酸化窒化膜を用いて、ゲートリークを抑制しなければならないために、EOTのスケールは緩やかで、スケール率は低い。しかしながら、High-k導入が予想されている2008年では、EOTのスケールが大きく進む。また、High-kが導入される2008年以降は赤く塗られており、1.0nm未満のEOTに対する解がまだないことを示している。

EOTの測定は複雑であり、一般的にMOSキャパシタを用いた精密な容量-電圧(CV)測定、および光学測定で行われている。

[3] 量子効果を含むゲート電極の空乏層幅や反転層幅は、いずれもMASTARを用いて求めた。ポリシリコンゲート電極の空乏層幅は、ポリシリコンゲートへのドーピング量に依存する。しかしながら、2008年以降、ポリシリコンゲートへのドーピング量を調整しても、ゲート空乏層幅の要求値を満たすことは不可能になると考えられ、ゲート空乏層幅がゼロとなるメタルゲート電極の導入が予測される。2008年にこの項目が階段を下るように大きく下がっているのは、このメタルゲート電極導入でゲート側の容量がゼロとなるためである。2008年以降、プレーナバルクCMOSの空乏層幅が3Å以下なのに対し、DG CMOSやFD-SOIでは4Å(英文は「4nm」と単位間違い)と差が出ているが、これはプレーナバルクCMOSのチャネル濃度がDG CMOSやFD-SOIよりも高いことによる。赤く塗られているのは仕事関数を制御できるようなメタルゲート電極がまだ見つかっていないためである。プレーナバルクCMOSでは、ポリシリコンゲートと同様に適当なしきい値に設定するために、NMOSには伝導帯(conduction band)に近い仕事関数が必要となり、PMOSには価電子帯(valence band)に近い仕事関数が必要となる。FD-SOIやDG MOSFETでは、チャネル領域が浅くまたチャネルの不純物濃度も低いいため、MOSFETのしきい値の設定には、メタルゲートの仕事関数は、ミッドギャップから数百ミリボルト内にあればよい(ミッドギャップ付近の仕事関数)。

[4] EOTelecはEOTと電気的な膜厚調整値(上記注[2],[3]参照)の合計である。MOSFETの反転では、単位面積当たりの理想的なゲート容量(注[13]を参照)は $\epsilon_{ox} / (EOTelec)$ で表される。ここで、 ϵ_{ox} は熱シリコン酸化膜の誘電率である。反転における電気的なシリコン酸化膜厚は、 CV/I イントリンシックな遅延(注[16]参照)の計算に用いられる。赤色/黄色は、EOTおよび電気的膜厚調整によるためである。

[5] $J_{g,limit}$ は25°Cにおける最大許容ゲートリーク電流密度であり、ゲートをV_{dd}、ソース、ドレイン、基板を接地し測定した値である。 $J_{g,limit}$ は1μm当たりのサブスレッショルド・リーク電流 $I_{sd,leak}$ と関係する(下記注[8]参照)。最大許容ゲートリーク電流密度は $J_{g,limit} = [\text{初期値}] \times [I_{sd,leak} / (\text{物理的ゲート長})] \times [\text{Hi T(温度)係数} / \text{回路係数}]$ で表記される。“Hi T係数”は「10」に設定されており、高性能ロジックで予想されている高温動作温度(100°C)を考慮し、高温になると急激に増加する $I_{sd,leak}$ 、と温度依存性のほとんどないゲートリーク電流(直接トンネル電流であるため)の双方から求めた。“回路係数”は「1」に設定されており、 $I_{sd,leak}$ と $J_{g,limit}$ が孤立単体トランジスタでの値であるのに対し、ロジックゲートでのサブスレッショルドリークとゲートリーク電流の差から求めた。(NMOSの $I_{sd,leak}$ ([8]参照)と $J_{g,limit}$ を決めたバイアス条件とは異なり、いろいろなゲート長のトランジスタで異なるバイアス条件から求めた)。“初期値”は「0.1」に設定されている。回路の大部分のトランジスタは低いサブスレッショルドリーク電流であるが、この表内のトランジスタは特にスレッショルドリークが大きく、しきい値電圧も低いことによる。ここでの“Hi T係数”、“回路係数”、“初期値”の値は大まかな見積もりである。黄色と赤色は、EOTに従う(上記注[2]参照)。

[6] V_{dd}は電源電圧を表す。電源電圧は、ゲート絶縁膜の縦方向電界強度を適度に保ち、飽和駆動電流値の要求を満たすために十分なオーバードライブ電圧[V_{dd}-飽和しきい値電圧(注[7]参照)]を得よう選択されている。実際の電源電圧は、特定の回路設計もしくは技術最適化によっては、この表に示された値から $\pm 10\%$ (それ以上)変動することもあると考えられる。

[7] V_{t,sat}は飽和しきい値電圧で、最小ゲート長のトランジスタでドレインにV_{dd}を印加した場合についてMASTARを用いて求めた。しきい値電圧とこれに比例したサブスレッショルドリーク電流(注[8]参照)は、飽和駆動電流値(注[9]参照)の要求を満たすために十分なオーバードライブ電圧[V_{dd}-飽和しきい値電圧]を得よう選択されている。プレーナバルクCMOSで、黄色になっているのは、短チャネル効果の抑制としきい値の要求を満たすために5E18cm⁻³を越える高い基板濃度が必要とされるためである(MASTARで計算)。FD-SOIでは、2008年から黄色になっており、V_{t,sat}と短チャネル効果抑制のためにたいへん薄いシリコンボディ膜厚(T_{si})の制御が必要とされるためである。2009年にはシリコンボディの膜厚は7nm以下になり、赤色になる。DG MOSFETでは、 $\sim 0.6L_g$ と言われるフィン幅の決め方や制御方法などの難度が高く、始まりから赤色になっている。

[8] $I_{ds,leak}$ はサブスレッショルド・リーク電流値で、25°CでNMOSFETのドレインをV_{dd}、ソース、ゲート、基板を接地し測定した単位チャネル幅当たりのソース電流である。NMOSの全オフ状態電流は、25°Cにおける単位チャネル幅当たりのNMOSFETのドレイン電流であり、サブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流(バンド間トンネリング電流やGIDLを含む)成分の総和である。25°Cあるいは高温条件では、サブスレッショルド・リーク電流は接合

リーク電流よりも大きくなると仮定した。 $I_{sd,leak}$ とゲートリーク電流密度の関係については注[5]を参照。黄色と赤色は、 $V_{t,sat}$ (上記注[7]参照)が $I_{sd,leak}$ で決定することから $V_{t,sat}$ の色に従っている。これら、サブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流のスケールリングはPMOSデバイスにも適用される。

[9] $I_{d,sat}$ は飽和電流値で、25°CでNMOSFETのドレインとゲートを V_{dd} 、ソース、基板を接地し測定した単位チャネル幅当たりのドレイン電流である。飽和電流は従来のスケールリングを踏襲し年率約17%のデバイス性能向上を継続するように選択した(下記注[16]参照)。PMOSの飽和電流値は、NMOSの飽和電流値の(40-50)%と仮定した。黄色／赤色の理由は以下の四項目である。寄生ソース／ドレイン直列抵抗 R_{sd} (下記注[12]参照)、反転における電氣的な酸化膜膜厚(注[4]参照)、移動度／相互コンダクタンス改善係数の要求値(注[10]参照)、バリスティック輸送による改善係数(注[11]参照)。

[10] 移動度増倍係数は、移動度の増倍率で飽和電流を改善する。この係数は $[改善した I_{d,sat}] / I_{d,ref}=I_{d,ratio}$ で定義される。ここで $[改善した I_{d,sat}]$ は増倍した移動度での飽和電流値を表し、 $I_{d,ref}$ は増倍のない移動度での飽和電流値を表す。移動度増倍係数の関数である $I_{d,ratio}$ は、MASTAR で計算される。 $\mu_{ratio}=[増倍した移動度]/[リファレンスの移動度]$ で、 $[増倍した移動度]$ は増倍係数を含む移動度、 $[リファレンスの移動度]$ は増倍係数を含まない移動度である。一般に、 $I_{d,ratio}$ は短チャネル効果や速度オーバーシュートにより μ_{ratio} より極めて小さな値となる。資料によれば、 μ_{ratio} は最大限 1.8^4 である。また、移動度の増倍は飽和電流の改善が必要となる2004年⁵より実施される。このときのプレーナバルクCMOSでは白色で示されているが、移動度の増倍にはいろいろな手法(SiGeエピ上の歪シリコン基板⁶、窒化膜のオーバーレイヤーによる歪やSiGeソース・ドレインといったプロセス起因歪、パイブリット結晶軸の使用などによる手法^{5,7,8}を含む)があり、MOSFETの微細化を進めていく上で最も良い手法な何なのか、またどのようにこれらのプロセスを組み立てるかなどがまだ明確にはなっていない。その結果、2009年に黄色になっている。2009年では、 $L_g=20nm$ でMASTARによると不純物濃度は $5E18cm^{-3}$ に近づきスケールリングが困難になってくる。FD-SOIとDGのいずれに於いても、黄色(FDは2008年、DGは2011年)になる理由は、これらのデバイスで移動度を改善する方法が見つからないことによる。

[11]実効バリスティック増倍係数は、FD-SOIやDG MOSFETに於いて極薄膜ボディ MOSFETのように大きくスケールリングが進んだ場合に、擬バリスティック輸送現象によって $I_{d,sat}$ が増加するときの増倍率を表す。プレーナバルクCMOSでは不純物濃度が高くバリスティック輸送現象は生じない。この係数が1以上になると擬バリスティック輸送を表しており、この係数により飽和電流が要求値を満たすようになる。擬バリスティック輸送は(MASTARによると)ノンドープのスケールリングの進んだFD-SOIとDG MOSFETで予想されており、最初の黄色もここになっている。このあと現れる赤色はゲート長10nmのトランジスタではバリスティック増倍係数を増やす方法が見出せないことによる。

[12] R_{sd} は、チャネル幅1 μm 当たりの最大許容寄生直列ソースドレイン間抵抗である。これらの値は、飽和電流値(注[9]参照)を満足するように縮小される。黄色／赤色は、FET TWGによるコンタクト抵抗、サリサイド・シート抵抗およびドレイン・エクステンションのスケールリングの結果を反映している。

[13] $C_{g,ideal}$ は単位チャネル幅当たりの理想的なゲート容量。 $C_{g,ideal}=[\epsilon_{ox} / (EOT_{inv})] \times L_g$ 、ここで ϵ_{ox} とは熱シリコン酸化膜の誘電率、 EOT_{inv} とは反転における電氣的に換算した酸化膜膜厚(注[4]参照)、 L_g とは物理的なゲート長(注[1]参照)。黄色／赤色は、 EOT_{inv} (注[4]参照)に従う。

[14] $C_{g,total}$ は反転時の単位チャネル幅当たりの全ゲート容量。単位チャネル幅当たりの $C_{g,ideal}$ と寄生ゲートオーバーラップ／フリンジ容量(Miller効果を含む)。黄色／赤色は、 $C_{g,ideal}$ に従う。

[15] τ とは、25°CにおけるNMOSデバイスのイントリンシックなトランジスタ遅延時間で $\tau = (C_{g,total} \times V_{dd}) / I_{d,sat}$ 。PMOSFETの τ も同様に縮小されると仮定した。ただし、PMOS $I_{d,sat} \sim (0.4-0.5) \times (NMOS I_{d,sat})$ 。 τ はデバイスの本質的なスイッチング遅延時間に対する良い尺度であり、 $1/\tau$ はデバイスの本質的なスイッチング速度に対する良い尺度である。赤色／黄色は、飽和電流(注[9]参照)および $C_{g,total}$ (注[14]参照)の両方に従う。

[16] $1/\tau$ はNMOSのイントリンシックなスイッチング速度である。高性能ロジックのスケールリングの目的は、年率約17%のデバイス性能改善というスケールリング・トレンドの維持である。赤色／黄色は、 τ に従う。

Table 41a Low Standby Power Technology Requirements—Near-term

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>L_g</i> : Physical gate length for LSTP [1]									
Extended Planar Bulk and DG (nm)	65	53	45	37	32	28	25	22	20
UTB FD (nm)								22	20
<i>EOT</i> : Equivalent Oxide Thickness [2]									
Extended planar bulk (Å)	21	20	19	16	15	14	14	13	12
UTB FD (Å)								12	11
DG (Å)								13	12
<i>Gate Poly Depletion and Inversion-Layer Thickness</i> [3]									
Extended planar bulk (Å)	6.3	6.3	6.3	3.3	3.2	3.1	3.2	3.1	3.1
UTB FD (Å)								4	4
DG (Å)								4	4
<i>EOT_{elec}</i> : Electrical Equivalent Oxide Thickness in inversion [4]									
Extended planar bulk (Å)	27.3	26.3	25.3	19.3	18.2	17.1	17.2	16.1	15.1
UTB FD (Å)								16	15
DG (Å)								17	16
<i>J_{g,limit}</i> : Maximum gate leakage current density [5]									
Extended Planar Bulk (A/cm ²)	1.5E-02	1.9E-02	2.2E-02	2.7E-02	3.1E-02	3.6E-02	4.8E-02	7.3E-02	1.1E-01
UTB FD (A/cm ²)								4.5E-02	5.0E-02
DG (A/cm ²)								4.5E-02	5.0E-02
<i>V_{dd}</i> : Power Supply Voltage (V) [6]									
	1.2	1.2	1.2	1.1	1.1	1.1	1	1	1
<i>V_{t,sat}</i> : Saturation Threshold Voltage [7]									
Extended Planar Bulk (mV)	482	515	524	501	501	502	502	491	483
UTB FD (mV)								483	486
DG (mV)								441	435
<i>I_{sd,leak}</i> : Source/Drain Subthreshold Off-State Leakage Current [8]									
Extended Planar Bulk (μA/μm)	1.0E-05	1.0E-05	1.0E-05	1.0E-05	1.0E-05	1.0E-05	1.2E-05	1.6E-05	2.1E-05
UTB FD (μA/μm)								1.0E-05	1.0E-05
DG (μA/μm)								1.0E-05	1.0E-05
<i>I_{d,sat}</i> : effective NMOS Drive Current [9]									
Extended Planar Bulk (μA/μm)	497	500	519	573	612	666	580	625	684
UTB FD (μA/μm)								678	719
DG (μA/μm)								673	747

Table 41a Low Standby Power Technology Requirements—Near-term (continued)

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>Mobility Enhancement Factor for $I_{d,sat}$ [10]</i>									
Extended Planar Bulk	1.11	1.11	1.1	1.1	1.11	1.15	1.17	1.16	1.16
UTB FD								1.04	1.05
DG								1	1.04
<i>Effective Ballistic Enhancement Factor [11]</i>									
Extended Planar Bulk	1	1	1	1	1	1	1	1	1
UTB FD								1	1
DG								1	1
<i>R_{sd}: Effective Parasitic series source/drain resistance [12]</i>									
Extended Planar Bulk ($\Omega\text{-}\mu\text{m}$)	180	180	180	180	180	180	170	170	160
UTB FD ($\Omega\text{-}\mu\text{m}$)								180	180
DG ($\Omega\text{-}\mu\text{m}$)								180	180
<i>$C_{g,ideal}$: Ideal NMOS Device Gate Capacitance [13]</i>									
Extended Planar Bulk (F/ μm)	8.21E-16	6.96E-16	6.14E-16	6.62E-16	6.06E-16	5.64E-16	5.01E-16	4.70E-16	4.58E-16
UTB FD (F/ μm)								4.74E-16	4.60E-16
DG (F/ μm)								4.46E-16	4.31E-16
<i>$C_{g,total}$: Total gate capacitance for calculation of CV/I [14]</i>									
Extended Planar Bulk (F/ μm)	1.06E-15	9.36E-16	8.54E-16	9.02E-16	8.46E-16	8.04E-16	6.81E-16	6.40E-16	6.18E-16
UTB FD (F/ μm)								6.94E-16	6.50E-16
DG (F/ μm)								6.86E-16	6.71E-16
$\tau = CV/I$: NMOSFET intrinsic delay (ps) [15]	2.56	2.25	1.97	1.73	1.52	1.33	1.17	1.02	0.90
$1/\tau$: NMOSFET intrinsic switching speed (GHz) [16]	391	444	508	578	658	752	855	980	1111

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

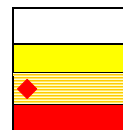


Table 41b Low Standby Power Technology Requirements—Long-term

灰色のセルは FD-SOI や DG MOSFET が量産開始されるまでの期間とプレーナー型バルクや FD-SOI がスケーリング限界に到達した後の期間を示している。

Year in Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>L_g</i> : Physical gate length for LSTP [1]							
Extended Planar Bulk and DG (nm)	18	16	14	13	12	11	10
UTB FD (nm)	18	17	16	15	14	13	12
<i>EOT</i> : Equivalent Oxide Thickness [2]							
Extended planar bulk (Å)							
UTB FD (Å)	10	9	8	8	8	8	8
DG (Å)	11	11	11	10	10	9	9
<i>Gate Poly Depletion and Inversion-Layer Thickness</i> [3]							
Extended planar bulk (Å)							
UTB FD (Å)	4	4	4	4	4	4	4
DG (Å)	4	4	4	4	4	4	4
<i>EOT_{elec}</i> : Electrical Equivalent Oxide Thickness in inversion [4]							
Extended planar bulk (Å)							
UTB FD (Å)	14	13	12	12	12	12	12
DG (Å)	15	15	15	14	14	13	13
<i>J_{g,limit}</i> : Maximum gate leakage current density [5]							
Extended Planar Bulk (A/cm ²)							
UTB FD (A/cm ²)	6.1E-02	6.5E-02	7.5E-02	8.0E-02	8.6E-02	1.0E-01	1.3E-01
DG (A/cm ²)	5.6E-02	6.3E-02	7.1E-02	7.7E-02	8.3E-02	9.1E-02	1.0E-01
<i>V_{dd}</i> : Power Supply Voltage (V) [6]							
	1	1	1	1	1	1	1
<i>V_{t,sat}</i> : Saturation Threshold Voltage [7]							
Extended Planar Bulk (mV)							
UTB FD (mV)	486	489	487	487	492	488	486
DG (mV)	432	434	436	438	440	443	443
<i>I_{sd,leak}</i> : Source/Drain Subthreshold Off-State Leakage Current [8]							
Extended Planar Bulk (μA/μm)							
UTB FD (μA/μm)	1.1E-05	1.1E-05	1.2E-05	1.2E-05	1.2E-05	1.30E-05	1.60E-05
DG (μA/μm)	1.0E-05	1.0E-05	1.0E-05	1.0E-05	1.0E-05	1.0E-05	1.0E-05
<i>I_{d,sat}</i> : effective NMOS Drive Current [9]							
Extended Planar Bulk (μA/μm)							
UTB FD (μA/μm)	773	882	1016	1108	1188	1289	1392
DG (μA/μm)	825	863	908	1011	1090	1192	1283
<i>Mobility Enhancement Factor for I_{d,sat}</i> [10]							
Extended Planar Bulk							
UTB FD	1.06	1.06	1.05	1.05	1.05	1.04	1.04
DG	1.06	1.06	1.05	1.05	1.05	1.05	1.04
<i>Effective Ballistic Enhancement Factor</i> [11]							
Extended Planar Bulk							
UTB FD	1	1.08	1.15	1.24	1.32	1.4	1.48
DG	1	1	1.1	1.16	1.24	1.28	1.36

Table 41b Low Standby Power Technology Requirements—Long-term (continued)

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)

Year in Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>R_{sd}</i> : Effective Parasitic series source/drain resistance [12]							
Extended Planar Bulk (Ω-μm)							
UTB FD (Ω-μm)	175	170	160	155	150	145	140
DG (Ω-μm)	180	175	170	165	160	155	150
<i>C_{g,ideal}</i> : Ideal NMOS Device Gate Capacitance [13]							
Extended Planar Bulk (F/μm)							
UTB FD (F/μm)	4.44E-16	4.51E-16	4.60E-16	4.31E-16	4.02E-16	3.74E-16	3.45E-16
DG (F/μm)	4.14E-16	3.68E-16	3.22E-16	3.20E-16	2.96E-16	2.92E-16	2.65E-16
<i>C_{g,total}</i> : Total gate capacitance for calculation of CV/I [14]							
Extended Planar Bulk (F/μm)							
UTB FD (F/μm)	6.14E-16	6.11E-16	6.20E-16	5.91E-16	5.63E-16	5.34E-16	5.05E-16
DG (F/μm)	6.54E-16	5.98E-16	5.52E-16	5.40E-16	5.16E-16	4.92E-16	4.65E-16
$\tau = CV/I$: NMOSFET intrinsic delay (ps) [15]	0.79	0.69	0.61	0.53	0.47	0.41	0.36
$1/\tau$: NMOSFET intrinsic switching speed (GHz) [16]	1266	1449	1639	1887	2128	2439	2778

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

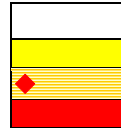


Table 41c Low Operating Power Technology Requirements—Near-term

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)

Year in Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
L_g : Physical gate length for LOP (nm) [1]	45	37	32	28	25	22	20	18	16
EOT: Equivalent Oxide Thickness [2]									
Extended planar bulk (Å)	14	13	12	11	10	9	9	9	
UTB FD (Å)							9	9	8
DG (Å)							9	9	8
Gate Poly Depletion and Inversion-Layer Thickness [3]									
Extended planar bulk (Å)	6.5	6.5	6.4	3.3	3.2	3.2	3.3	3.2	
UTB FD (Å)							4	4	4
DG (Å)							4	4	4
EOT_{elec} : Electrical Equivalent Oxide Thickness in inversion [4]									
Extended planar bulk (Å)	20.5	19.5	18.4	14.3	13.2	12.2	12.3	12.2	
UTB FD (Å)							13	13	12
DG (Å)							13	13	12
$J_{g,limit}$: Maximum gate leakage current density [5]									
Extended Planar Bulk (A/cm ²)	3.3E+01	4.1E+01	7.8E+01	8.9E+01	1.0E+02	1.1E+02	4.5E+02	6.9E+02	
UTB FD (A/cm ²)							2.0E+02	2.8E+02	3.1E+02
DG (A/cm ²)							1.3E+02	1.9E+02	2.2E+02
V_{dd} : Power Supply Voltage (V) [6]									
	0.9	0.9	0.8	0.8	0.8	0.7	0.7	0.7	0.6
$V_{t,sat}$: Saturation Threshold Voltage [7]									
Extended Planar Bulk (mV)	288	303	285	274	275	226	233	231	
UTB FD (mV)							273	268	272
DG (mV)							261	255	257
$I_{sd,leak}$: Source/Drain Subthreshold Off-State Leakage Current [8]									
Extended Planar Bulk (μA/μm)	3.0E-03	3.0E-03	5.0E-03	5.0E-03	5.0E-03	5.0E-03	1.8E-02	2.5E-02	
UTB FD (μA/μm)							8.0E-03	1.0E-02	1.0E-02
DG (μA/μm)							5.0E-03	7.0E-03	7.0E-03
$I_{d,sat}$: effective NMOS Drive Current [9]									
Extended Planar Bulk (μA/μm)	589	607	573	712	775	749	749	774	
UTB FD (μA/μm)							740	765	718
DG (μA/μm)							783	822	789
Mobility Enhancement Factor for $I_{d,sat}$ [10]									
Extended Planar Bulk	1.12	1.11	1.11	1.12	1.12	1.11	1.11	1.11	
UTB FD							1.07	1.06	1.06
DG							1.06	1.06	1.06
Effective Ballistic Enhancement Factor [11]									
Extended Planar Bulk	1	1	1	1	1	1	1	1	
UTB FD							1	1	1.26
DG							1.12	1.14	1.37

Table 41c Low Operating Power Technology Requirements—Near-term (continued)

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)

Year in Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>R_{sd}</i> : Effective Parasitic series source/drain resistance [12]									
Planar Bulk ($\Omega\text{-}\mu\text{m}$)	180	180	180	180	180	180	170	165	
UTB FD ($\Omega\text{-}\mu\text{m}$)							145	140	135
DG ($\Omega\text{-}\mu\text{m}$)							160	155	150
<i>C_{g,ideal}</i> : Ideal NMOS Device Gate Capacitance [13]									
Extended Planar Bulk (F/ μm)	7.57E-16	6.55E-16	6.00E-16	6.76E-16	6.53E-16	6.20E-16	5.63E-16	5.09E-16	
UTB FD (F/ μm)							5.31E-16	4.78E-16	4.25E-16
DG (F/ μm)							5.31E-16	4.78E-16	4.60E-16
<i>C_{g,total}</i> : Total gate capacitance for calculation of CV/I [14]									
Extended Planar Bulk (F/ μm)	9.97E-16	8.95E-16	8.40E-16	9.16E-16	8.73E-16	8.40E-16	7.43E-16	6.79E-16	
UTB FD (F/ μm)							7.31E-16	6.68E-16	6.40E-16
DG (F/ μm)							7.71E-16	7.18E-16	7.00E-16
$\tau = CV/I$: NMOSFET intrinsic delay (ps) [15]	1.52	1.33	1.17	1.03	0.90	0.79	0.69	0.61	0.53
$1/\tau$: NMOSFET intrinsic switching speed (GHz) [16]	658	752	855	971	1111	1266	1449	1639	1887

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

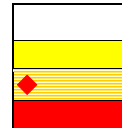


Table 41d Low Operating Power Technology Requirements—Long-term

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)

Year in Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
L_g : Physical gate length for LOP (nm) [1]	14	13	11	10	9	8	7
EOT: Equivalent Oxide Thickness [2]							
Extended planar bulk (Å)							
UTB FD (Å)	8	8	7				
DG (Å)	8	8	7	7	7	7	7
Gate Poly Depletion and Inversion-Layer Thickness [3]							
Extended planar bulk (Å)							
UTB FD (Å)	4	4	4				
DG (Å)	4	4	4	4	4	4	4
EOT_{elec} : Electrical Equivalent Oxide Thickness in inversion [4]							
Extended planar bulk (Å)							
UTB FD (Å)	12	12	11				
DG (Å)	12	12	11	11	11	11	11
$J_{g,limit}$: Maximum gate leakage current density [5]							
Extended Planar Bulk (A/cm ²)							
UTB FD (A/cm ²)	3.6E+02	3.8E+02	1.1E+03				
DG (A/cm ²)	3.6E+02	3.8E+02	9.1E+02	1.0E+03	1.1E+03	1.3E+03	1.4E+03
V_{dd} : Power Supply Voltage (V) [6]							
	0.6	0.6	0.5	0.5	0.5	0.5	0.5
$V_{t,sat}$: Saturation Threshold Voltage [7]							
Extended Planar Bulk (mV)							
UTB FD (mV)	275	277	254				
DG (mV)	250	251	238	239	242	243	246
$I_{sd,leak}$: Source/Drain Subthreshold Off-State Leakage Current [8]							
Extended Planar Bulk (μA/μm)							
UTB FD (μA/μm)	1.0E-02	1.0E-02	2.5E-02				
DG (μA/μm)	1.0E-02	1.0E-02	2.0E-02	2.0E-02	2.0E-02	2.0E-02	2.0E-02
$I_{d,sat}$: effective NMOS Drive Current [9]							
Extended Planar Bulk (μA/μm)							
UTB FD (μA/μm)	738	796	695				
DG (μA/μm)	829	892	760	820	873	929	931
Mobility Enhancement Factor for $I_{d,sat}$ [10]							
Extended Planar Bulk							
UTB FD	1.05	1.05	1.04				
DG	1.06	1.06	1.06	1.06	1.05	1.05	1.05
Effective Ballistic Enhancement Factor [11]							
Extended Planar Bulk							
UTB FD	1.28	1.37	1.39				
DG	1.38	1.47	1.59	1.7	1.8	1.9	1.92

Table 41d Low Operating Power Technology Requirements—Long-term (continued)

灰色のセルは FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOSFET や FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)

Year in Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>R_{sd}</i> : Effective Parasitic series source/drain resistance [12]							
Planar Bulk (Ω-μm)							
UTB FD (Ω-μm)	130	125	90				
DG (Ω-μm)	145	140	130	125	120	115	115
<i>C_{g,ideal}</i> : Ideal NMOS Device Gate Capacitance [13]							
Extended Planar Bulk (F/μm)							
UTB FD (F/μm)	4.02E-16	3.74E-16	3.45E-16				
DG (F/μm)	4.02E-16	3.74E-16	3.45E-16	3.14E-16	2.82E-16	2.51E-16	2.20E-16
<i>C_{g,total}</i> : Total gate capacitance for calculation of CV/I [14]							
Extended Planar Bulk (F/μm)							
UTB FD (F/μm)	5.83E-16	5.44E-16	5.05E-16				
DG (F/μm)	6.43E-16	6.14E-16	5.55E-16	5.24E-16	4.82E-16	4.41E-16	4.00E-16
<i>τ</i> = CV/I: NMOSFET intrinsic delay (ps) [15]							
	0.47	0.41	0.36	0.32	0.28	0.24	0.21
1/ <i>τ</i> : NMOSFET intrinsic switching speed (GHz) [16]							
	2128	2439	2778	3125	3571	4167	4762

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

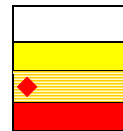


Table 41a から 41d の注 (LSTP と LOP)

表内の数値は MASTAR を用いて計算した値を示している。MASTAR とは、MOSFET の詳細な解析モデルのソフトである。表内の数値など MASTAR シミュレーションによる詳細な計算結果、並びに MASTAR のモデリングパッケージとユーザーズマニュアルは補助資料としてこの ITRS ウェブサイト内に置かれている。なお、この表のパラメータ値は、動作時温度 25°C でのゲート長が公称値の NMOS の値である。さらに、通常のロジックデバイスでは、各種のしきい値電圧、Ion、Ioff、酸化膜厚から成る複数の MOSFET で構成されるが、ここで示す LSTP ロジックトランジスタはしきい値電圧が最も高く、Ion、Ioff が最も低く、ゲート絶縁膜が最も厚い、遅延時間 CV/I は最も低速な トランジスタの場合を示している。チップ内の大部分はこのトランジスタで 許容限界までリーク電流や待機電力を抑えている。このトランジスタが、技術を牽引するため、表にまとめ記載している。一方、LOP ロジックでは、トランジスタは“標準”トランジスタとして、しきい値電圧や、Ion、Ioff は中間値を取る。駆動能力が要求される場合で、LSTP ほど待機電力を抑えなくて済む場合に用いられる。LOP トランジスタは動作電力が低く、許容限界まで動作電力リーク電流を抑えるために Vdd が大きくスケーリングされている。

これらの表には、プレーナーバルク CMOS や同じく FD-SOI、そしてダブルゲート(DG) CMOS (フィンゲート含む) といった複数のタイプのトランジスタが併記されている。LOP に於いては、プレーナーバルク CMOS のスケーリング限界は 2012 年、UTB FD SOI は 2016 年と考えられている。FD-SOI と DG は 2011 年から始まり、2011 年から 2012 年の間は三種類のトランジスタが存在することになる。一方、LSTP では、プレーナーバルク CMOS のスケーリング限界は 2013 年、FD-SOI は 2020 年と考えられている。FD と DG は 2012 年から始まり、2012 年から 2013 年の間は三種類のトランジスタが存在することになる。

併記のトランジスタにおいて、表内の数値は、トランジスタ駆動能力、短チャネル効果や他の主な電気特性は一定に保ちつつ、最適なスケーリングを目指すというスケーリング・シナリオで求めている。LSTP に於いては、超低リーク電流が 大きな目標であり、LOP では、LSTP ほどではないが低リーク電流を保ちつつ 高速性と低動作電力の両立が 大きな目標である。しかしながら、スケーリングには多くのパラメータ (EOT, V_{dd}, I_{sd,leak} 他) があり、個々のパラメータの調整により 他のスケーリング・シナリオを選ぶこともできる。なお、今回のスケーリング・シナリオは生産可能と考え得る一例として選んでいる。特に、High-k やメタルゲートは 2008 年導入と予想している。2008 年に High-k が必要となる理由は、図表や本文を参照いただきたい。

[1] L_g は物理ゲート長、つまり、エッチング後のゲート電極底部の最終寸法である。リーク電流の要求値を満たすために、LOP のゲート長は 高性能ロジックの 2 年遅れ、LSTP は 4 年遅れの値となっている。FD デバイスでは、ITRS の

終わり頃には、微細化が困難になるため、ゲート長のスケールリングがDG MOSFETより少し遅れるようになる。ゲート電極の寸法制御は、LithographyとFEP EtchのITWGで決定され、 3σ で $\pm 12\% \times L_g$ を仮定している。スケールリングが進むほど、この12%の要求を満たすことが、困難になってゆくと考えられる(Lithography章とFEP章を参照)。なお、ゲート長のばらつきが、デバイス・パラメータのばらつきの主要因であると考えられる。

[2] ゲート絶縁膜厚 T_d と比誘電率 ϵ に関して、 $EOT = T_d / (\epsilon / 3.9)$ と定義される。ここで3.9は、熱シリコン酸化膜の比誘電率である。ゲート絶縁膜厚 T_d から成るMOSFETの単位面積当たりの理想的なゲート容量は、熱酸化膜で形成されたゲート絶縁膜厚EOTのMOSFETと同じ値である。2008年以降赤く塗られているのは、2008年にはシリコン酸化膜でゲートリークを制御することが不可能になり、High-kゲート絶縁膜の導入が考えられているが、メタルゲート/High-kでの解決策がまだ見つかっていないためである(注[3]参照)。EOTの測定は複雑であり、一般的にMOSキャパシタを用いた精密な容量-電圧(CV)測定、および光学測定で行われている。

[3] 量子効果を含むゲート電極の空乏層幅や反転層幅は、いずれもMASTARを用いて求めた。ポリシリコンゲート電極の空乏層幅は、ポリシリコンゲートへのドーピング量に依存し、調整可能である。2008年以降は、ゲート側の容量をゼロとするためメタルゲート電極導入を予想される。2008年にこの項目が階段を下るように大きく下がっているのは、このメタルゲート電極導入でゲート側の容量がゼロとなるためである。2008年以降、プレーナバルクCMOSの空乏層幅が3Å程度なのに対し、DG CMOSやFD-SOIでは4Åと差が出ているが、これはプレーナバルクCMOSのチャネル濃度がDG CMOSやFD-SOIよりも高いことによる。赤く塗られているのは仕事関数を制御できるようなメタルゲート電極がまだ見つかっていないためである。プレーナバルクCMOSでは、ポリシリコンゲートと同様に適当なしきい値に設定するために、NMOSには伝導帯(conduction band)に近い仕事関数が必要となり、PMOSには価電子帯(valence band)に近い仕事関数が必要となる。FD-SOIやDG MOSFETでは、チャネル領域が浅くまたチャネルの不純物濃度も低い場合、MOSFETのしきい値の設定には、メタルゲートの仕事関数は、ミッドギャップから数百ミリボルト内にあればよい(ミッドギャップ付近の仕事関数)。

[4] EOTelecはEOTと電気的な膜厚調整値(上記注[2],[3]参照)の合計である。MOSFETの反転では、単位面積当たりの理想的なゲート容量(注[13]を参照)は $\epsilon_{ox} / (EOTelec)$ で表される。ここで、 ϵ_{ox} は熱シリコン酸化膜の誘電率である。反転における電気的なシリコン酸化膜厚は、CV/I イントリンシックな遅延(注[16]参照)の計算に用いられる。赤色/黄色は、EOTおよび電気的膜厚調整によるためである。

[5] $J_{g,limit}$ は25°Cにおける最大許容ゲートリーク電流密度であり、ゲートをVdd、ソース、ドレイン、基板を接地し測定した値である。 $J_{g,limit}$ は1μm当たりのサブスレッショルド・リーク電流 $I_{sd,leak}$ と関係する(下記注[8]参照)。最大許容ゲートリーク電流密度は $J_{g,limit} = [\text{初期値}] \times [I_{sd,leak} / (\text{物理的ゲート長})] \times [\text{Hi T(温度)係数} / \text{回路係数}]$ で表記される。LOPでは、“Hi T係数”は「5」に設定されており、高温動作温度(室温より高いがHi T係数「10」の高性能ロジックで予想されている100°Cよりは低い)を考慮している。Hi T係数は高温になると急激に増加する $I_{sd,leak}$ と温度依存性のほとんどないゲートリーク電流(直接トンネル電流であるため)の双方から求めた。LSTPは、室温動作を仮定し、“Hi T係数”は「1」に設定されている。“回路係数”は「1」に設定されており、 $I_{sd,leak}$ と $J_{g,limit}$ が孤立単体トランジスタでの値であるのに対し、ロジックゲートでのサブスレッショルド・リークとゲートリーク電流の差から求めた。(NMOSの $I_{sd,leak}$ ([8]参照)と $J_{g,limit}$ を決めたバイアス条件とは異なり、いろいろなゲート長のトランジスタで異なるバイアス条件から求めた)。ここでの“Hi T係数”、“回路係数”、“初期値”の値は大まかな見積もりである。黄色と赤色は、EOTに従う(上記注[2]参照)。

[6] Vddは電源電圧を表す。電源電圧は、ゲート絶縁膜の縦方向電界強度を適度に保ち、飽和駆動電流値の要求を満たすために十分なオーバードライブ電圧[Vdd-飽和しきい値電圧(注[7]参照)]を得よう選択されている。実際の電源電圧は、特定の回路設計もしくは技術最適化によっては、この表に示された値から±10%(それ以上)変動することも考えられる。LSTPでは、サブスレッショルド・リークを低く抑える必要から飽和しきい値電圧が高くなるため、Vddは比較的高くスケールリングも緩やかに進む。一方、LOPでは、動作電力を低く抑える必要性からVddのスケールリングが急速に進む。

[7] $V_{t,sat}$ は飽和しきい値電圧で、最小ゲート長のトランジスタでドレインにVddを印加した場合についてMASTARを用いて求めた。しきい値電圧とこれに比例したサブスレッショルド・リーク電流(注[8]参照)は、飽和駆動電流値(注[9]参照)の要求を満たすために十分なオーバードライブ電圧[Vdd-飽和しきい値電圧]を得よう選択されている。プレーナバルクCMOSで、黄色になっているのは、短チャネル効果の抑制としきい値の要求を満たすために5E18cm⁻³を越える高い基板濃度が必要とされるためである(MASTARで計算)。FD デバイスでは、 $V_{t,sat}$ と短チャネル効果抑制にたいへん薄いシリコンボディ膜厚(Tsi)の制御(LOPで~7nm,LSTPでは<7nm)が必要とされ、この難度が高く赤色で始まっている。DG MOSFETでは、~0.6Lgと言われるフィン幅の決め方や制御方法などの難度が高く、始まりから赤色になっている。

[8] $I_{ds,leak}$ はサブスレッショルド・リーク電流値で、25°CでNMOSFETのドレインをVdd、ソース、ゲート、基板を接地し測定した単位チャネル幅当たりのソース電流である。NMOSの全オフ状態電流は、25°Cにおける単位チャネル幅当たりのNMOSFETのドレイン電流であり、サブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流(バンド間トンネリング電流やGIDLを含む)成分の総和である。25°Cあるいは高温条件では、サブスレッショルド・リーク電流は接合リーク電流よりも大きくなると仮定した。 $I_{sd,leak}$ とゲートリーク電流密度の関係については注[5]を参照。黄色と赤色は、 $V_{t,sat}$ (上記注[7]参照)が $I_{sd,leak}$ で決定することから $V_{t,sat}$ の色に従っている。これら、サブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流のスケールリングはPMOSデバイスにも適用される。

[9] $I_{d,sat}$ は飽和電流値で、25°CでNMOSFETのドレインとゲートをVdd、ソース、基板を接地し測定した単位チャネル幅当たりのドレイン電流である。飽和電流は従来のスケールリングを踏襲し年率約12%のデバイス性能向上を継続するように選択した(下記注[16]参照)。PMOSの飽和電流値は、NMOSの飽和電流値の(40-50)%と仮定した。黄色/赤色の理由は以下の四項目である。寄生ソース/ドレイン直列抵抗 R_{sd} (下記注[12]参照)、反転における電気的な酸

化膜厚(注[4]参照)、移動度／相互コンダクタンス改善係数の要求値(注[10]参照)、バリスティック輸送による改善係数(注[11]参照)。

[10] 移動度増倍係数は、移動度の増倍率で飽和電流を改善する。この係数は $[\text{改善した } I_{d,sat}] / I_{d,ref} = I_{d,ratio}$ で定義される。ここで $[\text{改善した } I_{d,sat}]$ は増倍した移動度での飽和電流値を表し、 $I_{d,ref}$ は増倍のない移動度での飽和電流値を表す。移動度増倍係数の関数である $I_{d,ratio}$ は、MASTAR で計算される。 $\mu ratio = [\text{増倍した移動度}] / [\text{リファレンスの移動度}]$ で、 $[\text{増倍した移動度}]$ は増倍係数を含む移動度、 $[\text{リファレンスの移動度}]$ は増倍係数を含まない移動度である。一般に、 $I_{d,ratio}$ は短チャネル効果や速度オーバーシュートにより $\mu ratio$ より極めて小さな値となる。資料によれば、 $\mu ratio$ は最大限 1.8^4 である。また、移動度の増倍は飽和電流の改善が必要となる 2004 年⁵より実施される。このときのプレーナバルク CMOS では白色で示されているが、移動度の増倍にはいろいろな手法 (SiGe エピ上の歪シリコン基板⁶、窒化膜のオーバーレイヤーによる歪や SiGe ソース・ドレインといったプロセス起因歪、パイブリット結晶軸の使用などによる手法^{5,7,8}を含む) があり、MOSFET の微細化を進めていく上で最も良い手法な何なのか またどのようにこれらのプロセスを組み立てるかなどがまだ明確にはなっていない。その結果、LSTP と LOP のいずれも、 $L_g = 20\text{nm}$ で MASTAR によると不純物濃度は $5E18\text{cm}^{-3}$ に近づきスケールアップが困難になってくるため黄色になっている。これは LSTP では 2013 年に、LOP では 2011 年に生じる。FD-SOI と DG のいずれに於いても、黄色で始まる理由は、これらのデバイスで移動度を改善する方法が見つからないことによる。

[11] 実効バリスティック増倍係数は、FD-SOI や DG MOSFET に於いて極薄膜ボディ MOSFET のように大きくスケールアップが進んだ場合に 擬バリスティック輸送現象によって $I_{d,sat}$ が増加するときの増倍率を表す。プレーナバルク CMOS では不純物濃度が高くバリスティック輸送現象は生じない。この係数が 1 以上になると擬バリスティック輸送を表しており、この係数により飽和電流が要求値を満たすようになる。擬バリスティック輸送は (MASTAR によると) ノンドープのスケールアップの進んだ FD と DG MOSFET で予想されており、最初の黄色もここになっている。このあと現れる赤色はゲート長 10nm のトランジスタではバリスティック増倍係数を増やす方法が見出せないことによる。

[12] R_{sd} は、チャネル幅 $1\mu\text{m}$ 当たりの最大許容寄生直列ソースドレイン間抵抗である。これらの値は、飽和電流値(注[9]参照)を満足するように縮小される。黄色／赤色は、FET TWG による コンタクト抵抗、サリサイド・シート抵抗およびドレイン・エクステンションのスケールアップの結果を反映している。

[13] $C_{g,ideal}$ は単位チャネル幅当たりの理想的なゲート容量。 $C_{g,ideal} = [\epsilon_{ox} / (EOT_{inv})] \times L_g$ 、ここで ϵ_{ox} とは熱シリコン酸化膜の誘電率、 EOT_{inv} とは反転における電氣的に換算した酸化膜厚(注[4]参照)、 L_g とは物理的なゲート長(注[1]参照)。黄色／赤色は、 EOT_{inv} (注[4]参照) に従う。

[14] $C_{g,total}$ は反転時の単位チャネル幅当たりの全ゲート容量。単位チャネル幅当たりの $C_{g,ideal}$ と寄生ゲートオーバーラップ／フリンジ容量 (Miller 効果を含む)。黄色／赤色は、 $C_{g,ideal}$ に従う。

[15] τ とは、 25°C における NMOS デバイスのイントリンシックなトランジスタ遅延時間で $\tau = (C_{g,total} \times V_{dd}) / I_{d,sat}$ 。PMOSFET の τ も同様に縮小されると仮定した。ただし、 $PMOS I_{d,sat} \sim (0.4 - 0.5) \times (NMOS I_{d,sat})$ 。 τ はデバイスの本質的なスイッチング遅延時間に対する良い尺度であり、 $1/\tau$ はデバイスの本質的なスイッチング速度に対する良い尺度である。赤色／黄色は、飽和電流(注[9]参照)および $C_{g,total}$ (注[14]参照) の両方に従う。

[16] $1/\tau$ は NMOS のイントリンシックなスイッチング速度である。赤色／黄色は、 τ に従う。

ロジックに対する解決策候補

技術要求の表における色付けで示された課題とその解決策候補とは強い相関関係がある。多くの場合、技術要求表に示された赤色(量産における解決策はわかっていない)と黄色(量産における解決策は知られている)は、それらの色によって示された課題に対する解決策候補の導入する目標とする年に対応している。他の全体に関する重要点は、Figure 38 に示された解決策候補は重要な技術革新を含んでいることである。これらの革新的なソリューションに関して、新規かつ従来とは異なる信頼性評価、歩留まり、およびプロセスインテグレーションの課題を理解しそれらを扱うために、品質認定／前量産の期間を一年半と設定している。High-k ゲート絶縁膜およびメタルゲート電極を除く有力なソリューションの多くは、最初に高速ロジックトランジスタに要求される。ついには、半導体企業は今後 6 年間以上にわたって要求されるきわめて多数の大きな技術革新: 移動度向上技術(すでに導入されている)、High-k ゲート絶縁膜およびメタルゲート電極、準バリスティック輸送が可能な極薄膜ボディ完全空乏型 SOI やマルチゲート MOSFET など、総合的な挑戦に直面することになる。

最初の解決策候補である移動度向上は、飽和電流の性能目標を達成するために必要とされている。この移動度向上は 2004 年に高速ロジックトランジスタに導入されており、2005 年にローパワーロジックトランジスタに導入されることが予定されている。様々なプロセス導入型ローカルストレインや、ゲルマニウムの含有率をコントロールした SiGe 緩和層もしくは SOI 基板上に成長した薄膜歪シリコン層を用いたグローバルストレインなど、極めて多くのモビリティ向上技術が存在する。他には、ハイブリッド面方位(すなわち PMOSFET のモビリティは (110) 面方位で最も高くなる) や、さらには SiGe および Ge チャネルを用いる方

法がある。これらの解決策候補表は、NMOSFET および PMOSFET の両方の移動度を可能な最大の範囲まで高め、移動度向上を最適に統合するプロセスフローの構築、ついには UTB SOI やマルチゲート MOSFET のような先進的なトランジスタへの移動度向上の導入まで、絶え間ない改善が必要であることを示唆している。

基本的な MOSFET 構造を 2007 年(高速ロジックトランジスタの物理ゲート長 25nm)以降まで十分に微細化するために、ゲートスタック(ゲート絶縁膜とゲート電極)を含む重要な技術課題について触れておく必要がある。物理ゲート長が微細化されると、短チャネル効果抑制および飽和電流増大のためにゲート酸化膜換算膜厚(EOT)は相当分だけ薄膜化される。しかしながら、従来から使用されているゲート絶縁膜、シリコン酸化膜、の継続的な薄膜化は、直接トンネル電流の指数関数的な増加によってゲートリーク電流が急増するという結果をもたらす。加えて、電気的な酸化膜換算膜厚を増加するスケールアップされないゲート電極の空乏化と反転層効果によって、継続してきた EOT 減少の効果が限界となる。ある範囲での EOT に対する High-k 膜のゲートリーク電流密度は酸化膜と比較してかなり小さいため、High-k ゲート絶縁膜はゲートリーク電流の低減という課題解決に有効なソリューションとなる。三種類のロジックトランジスタとも、High-k ゲート絶縁膜は 2008 年までに導入が必要であると予測されている。(詳しくは、Table40a と b および 41a から 41d、Figure35-37 を含むロジック技術要求の章を参照) 三種類のロジックトランジスタとも、ゲート電極の空乏化を効果的に抑制し、電気的ゲート酸化膜の薄膜化をリーク電流の許容範囲に抑えるために、メタルゲート電極もまた 2008 年に導入が必要であると予測されている。プレーナバルク CMOS のしきい値電圧を適切な値に設定するために、PMOSFET に対してシリコン価電子帯付近の仕事関数と NMOSFET に対してシリコン伝導帯付近の仕事関数が必要とされる。そのため、PMOSFET と NMOSFET に対してそれぞれ異なったゲート電極用物質がおそらく必要である。

2007 年(高速ロジックトランジスタの物理ゲート長 25nm)以降に 65nm ノードよりスケールアップが進んだ場合、プレーナバルク CMOS デバイスの効果的なスケールアップは困難になると思われる。特に、短チャネル効果を効果的に制御することは、特に疑わしい。さらに、チャネルドーピング濃度を極めて高い値へ増加させることが必要となり、その結果、移動度の低下およびドレインボディ間のバンドバンド間トンネリングのため接合リーク電流の増加をもたらす。最後に、そのように小さな MOSFET のチャネルへの不純物の総数はかなり少なくなり、その結果、しきい値電圧の統計的なゆらぎが許容できないほど大きくなる。こうした課題は、スケールアップが進むほど深刻になる。一つの解決策候補は、極薄膜完全空乏化(UTB)SOI MOSFET の適用である。プレーナバルク MOSFET ではチャネル不純物濃度でしきい値電圧を設定するが、UTBSOI トランジスタではチャネル不純物が比較的少なく、しきい値電圧はゲート電極の仕事関数で調整される。この場合、しきい値電圧を望ましい値に設定するためには、ミッドギャップ付近の仕事関数を有するメタルゲート電極が必要である。要求される仕事関数が異なるため、UTBSOI に使用されるメタルゲート材料は、バルクプレーナに使用される材料とは違うものが使用されるであろう。低不純物濃度で完全空乏型チャネルであり、しきい値電圧はゲート電極の仕事関数で制御されるため、極薄膜 SOI MOSFET はバルクプレーナ MOSFET と比較して、よりスケールアップに適しており、飽和電流を高くしやすいと考えられる。シングルゲート SOI MOSFET は、2008 年に高速ロジックトランジスタに適用されると予想される。マルチゲートの極薄膜ボディ完全空乏化 MOSFET はより複雑であるとともによりスケールアップ可能であり、2011 年に高速ロジックに適用されると計画されている。ゲート長が 20nm 以下に縮小され、完全空乏型低不純物 MOSFET は散乱が低減されることにより準バリスティック・モードで動作すると考えられ、その結果飽和電流が増加する。ロードマップの後ろのほうでは、キャリア輸送をさらに向上させるために高移動度物質(すなわち、ゲルマニウムや III-V 族、シリコンベースのナノワイヤーやカーボンナノチューブ)をチャネルに使用するというような、より先見的なソリューションが適用されるであろう。

最後に、ロードマップの最後の年以降において、MOSFET のスケールアップは非効率、もしくは高コスト、高価になると考えられ、非 CMOS(emerging research) デバイスもしくは回路/アーキテクチャが解決策候補である(これらの詳細な議論は Emerging Research Devices 章を参照)。そのような解決策は、その時までには開発され導入されてきた高性能、低コスト、高密度なトランジスタを利用した CMOS 基盤技術と、機能的もしくは物理的に集積化されるであろう。

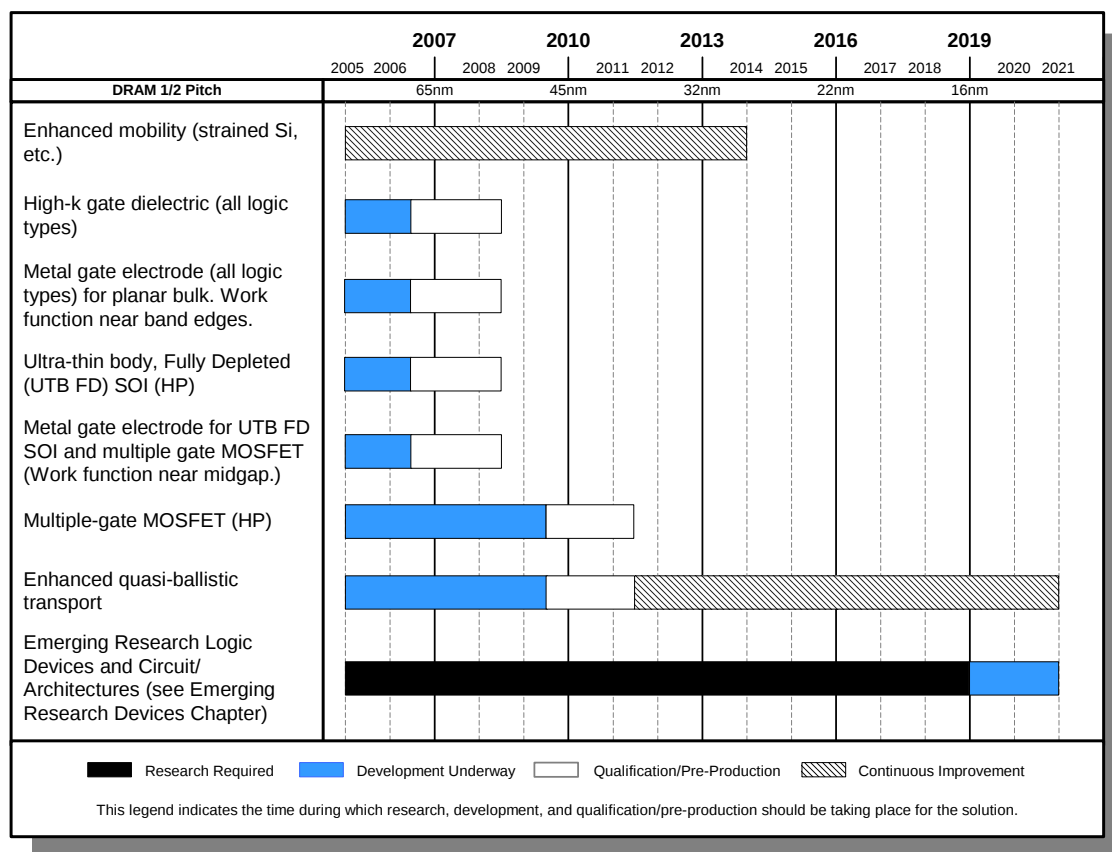


Figure 38 Logic Potential Solutions

メモリーに対する技術要求と解決策候補

DRAM

DRAM に対する技術要求は、スケーリング (Table 42a, b 参照) と共に難しくなっている。193nm 波長の ArF の液浸露光プロセスは、70nm 以降の DRAM ハーフピッチのキー技術である。しかし、重要な、トレンチセル及びスタックセル構造の双方に対し、量産の観点から、いくつかの重要なプロセスの課題が存在する。キャパシタ形成プロセス工程や大きなアスペクト比のコンタクト穴を形成するプロセス工程などで、フォトレジストに対して、エッチングに対する十分な耐性を保障する必要がある。この耐性実現のチャレンジを克服するために、パターン転写のためにフォトレジスト膜の下層に配置されるハードマスクが重要な位置をしめてきている。今後とも更なるリソグラフィ技術およびエッチング技術の改善が要求される。

一方、周辺 CMOS 回路のスケーリングと共に MOSFET を形成する熱工程そしてその後のプロセスの低温化が要求される。この要求は、MOSFET の形成工程後のセルが形成されるスタック DRAM に対する大きなチャレンジとなる。十分低いレベルのサブスレッショルドリーク及び接合リーク電流を維持し、データ保持を保証するためにするためには、MOS トランジスタの設計が難しくなっている。他の要求は、高信頼セルトランジスタの絶縁膜である。セルトランジスタのゲート電圧は、セルのデータの漏れを防止するために、比較的高いセルトランジスタの閾値のもとで、高めに設定されている。セルへ十分なデータの書き込みを保障するた電圧が高くなっていることから、セルトランジスタにのゲート絶縁膜には、高い電界がかかり、信頼性の課題がある。Figure 39 に、セル MOSFET の EOT (酸化膜換算膜厚)、ワード線最大電圧、電界の時間依存を示した。電界は、ゲート絶縁膜の信頼性は、6~7MV/cm と高い電界となっている。素子分離、

ワード線の低抵抗化、自己整合かつ高いアスペクトのコンタクト形成、そして、平坦化など DRAM に対するプロセス要求は、将来の DRAM において、すべてが重要な要求項目である。

キャパシタ絶縁膜は、スケーリングにあわせセル容量の要求値を満たすために、EOT (酸化膜換算膜厚) は薄くせざるを得ない。EOT をスケーリングするために、高い比誘電率を有する絶縁材料が必要となる。現在の主流は Ta₂O₅、Al₂O₃ の ($k \sim 10\text{--}25$) で MIS (Metal Insulator Semiconductor) を使ったキャパシタであるが、2006 年以降は、MIM (Metal Insulator Metal) 構造で、Ta₂O₅、Al₂O₃ よりも高い比誘電率を持つ絶縁膜が要求される。その後、50 以上の比誘電率の絶縁膜が Figure41 に示されている様に要求される。また、その高い比誘電率を有する絶縁膜の物理膜厚は、スケーリングされた小さなセル領域に適応するように、縮小されなくてはならない。結局、要求されるキャパシタ容量を実現するために、継続しスケーリングされた DRAM セルを提供するためには、要求課題はますます増加していく。セルキャパシタ絶縁膜の EOT のスケーリングとともに、絶縁膜に印加される電界は、ますます高くなり、その結果、絶縁膜の信頼性の課題が生じる。DRAM ストレージキャパシタの絶縁膜スケーリング、キャパシタに印加される電圧、そして、キャパシタ絶縁膜の電界を Figure41 に示した。図に示した様に、キャパシタに印加される電界は、スケーリングとともに急激に増加する。

DRAM のビット容量が増加しても概ね同じチップ面積を維持するためには、チップコストの観点からの検討が極めて重要である。これを実現するためには、セルサイズファクター“a”の縮小が極めて重要である。すでにセルサイズファクター“a”として“6”を使っている会社もあるが、現時点での主流は“8”となっており、“6”化に向けての検討が進められている。“6”が主となる時期は、2007 年以降と見積もられている。セルサイズファクター“a”が“8”から“6”に変わると、セル領域のチップ面積の中に占める面積は、セルの面積が小さくなくても、周辺回路部の面積は変化がないことからセル効率は 63% から 56% に減る。2005 年版の DRAM の Table42a には、セルサイズファクター“a”の“4”はその現実性がないことから、削除されている。

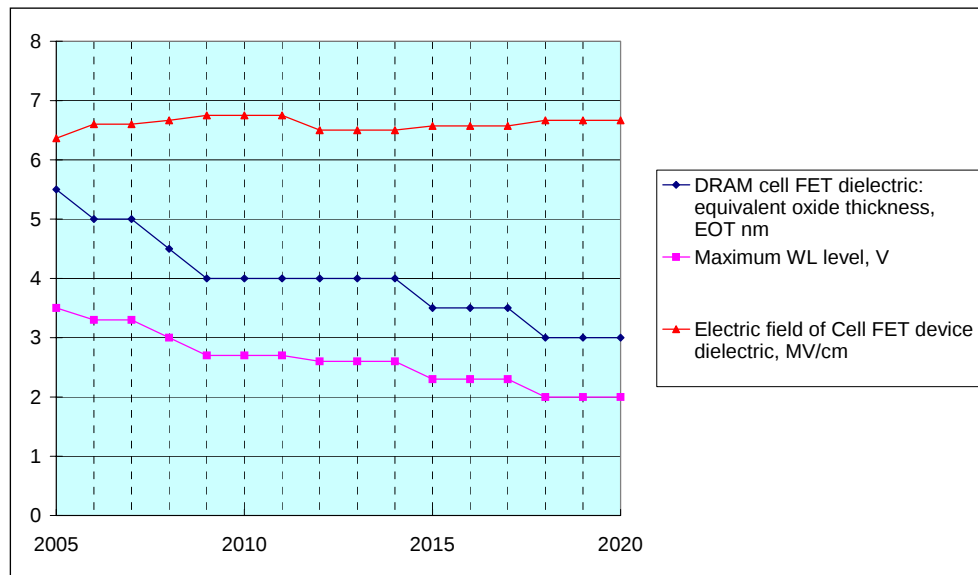


Figure 39 Cell FET Devices

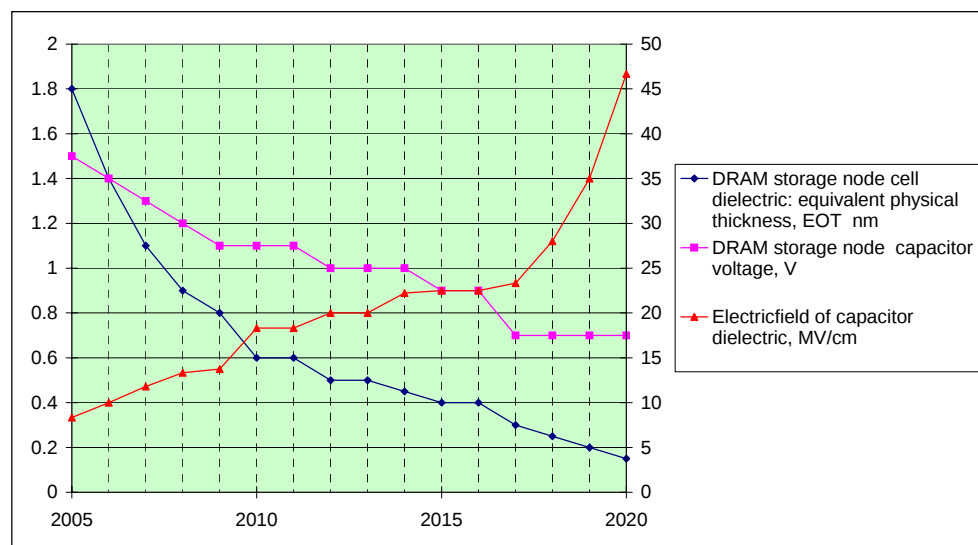


Figure 40 Storage Node Capacitor

Table 42a DRAM Technology Requirements—Near-term

Year in Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) [1]	80	70	65	57	50	45	40	35	32
DRAM cell size (μm^2) [2]	0.0514	0.0408	0.0324	0.0193	0.0153	0.0122	0.0096	0.0077	0.0061
DRAM storage node cell capacitor dielectric: equivalent oxide thickness EOT (nm) [3]	1.8	1.4	1.1	0.9	0.8	0.6	0.6	0.5	0.5
DRAM storage node cell capacitor voltage (V) [4]	1.5	1.4	1.3	1.2	1.1	1.1	1.1	1	1
Electric field of capacitor dielectric, (MV/cm) [5]	8	10	12	13	14	18	18	20	20
DRAM cell FET dielectric: equivalent oxide thickness, EOT (nm) [6]	5.5	5	5	4.5	4	4	4	4	4
Maximum Wordline (WL) level (V) [7]	3.5	3.3	3.3	3	2.7	2.7	2.7	2.6	2.6
Electric field of cell FET device dielectric (MV/cm) [8]	6.4	6.6	6.6	6.7	6.8	6.8	6.8	6.5	6.5
Cell Size Factor: a [9]	8	8	8	6	6	6	6	6	6
Array Area Efficiency [10]	0.63	0.63	0.63	0.56	0.56	0.56	0.56	0.56	0.56
Minimum DRAM retention time (ms) [11]	64	64	64	64	64	64	64	64	64
DRAM soft error rate (fits) [12]	1000	1000	1000	1000	1000	1000	1000	1000	1000

Table 42b DRAM Technology Requirements—Long-term

Year in Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) [1]	28	25	22	20	18	16	14
DRAM cell size (μm^2) [2]	0.0048	0.0038	0.0030	0.0024	0.0019	0.0015	0.0012
DRAM storage node cell dielectric: equivalent physical thickness EOT (nm) [3]	0.45	0.4	0.4	0.3	0.25	0.2	0.15
DRAM storage node capacitor voltage (V) [4]	1	0.9	0.9	0.7	0.7	0.7	0.7
Electric field of capacitor dielectric, (MV/cm) [5]	22	23	23	23	28	35	47
DRAM cell FET dielectric: equivalent oxide thickness, EOT (nm) [6]	4	3.5	3.5	3.5	3	3	3
Maximum Wordline (WL) level (V) [7]	2.6	2.3	2.3	2.3	2	2	2
Electric field of cell FET device dielectric (MV/cm) [8]	6.5	6.6	6.6	6.6	6.7	6.7	6.7
Cell Size Factor: a [9]	6	6	6	6	6	6	6
Array Area Efficiency [10]	0.56	0.56	0.56	0.56	0.56	0.56	0.56
Minimum DRAM retention time (ms) [11]	64	64	64	64	64	64	64
DRAM soft error rate (fits) [12]	1000	1000	1000	1000	1000	1000	1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

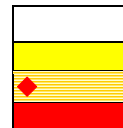


Table 42aとbに対する注釈

[1] ORTC (Overall Roadmap Technology Characteristics) Table 1a および 1b に基づく。DRAM のハーフピッチは、2004 年での開発の加速がないことから 2004 年版 ITRS と同じ。

[2] DRAM のセル・サイズは前工程 (FEP) の章で詳細に議論されているように DRAM のビット容量とチップサイズから決定されている。ビット容量は ORTC Table 1a 及び 1b に基づいている。DRAM のビット容量とチップサイズは大変アグレッシブであるため、セル・サイズも積極的にスケールアップされるとしている。困難な点は、セルサイズファクター“ a ”(=セル・サイズ/ F^2) (F は DRAM のハーフピッチ) の縮小にあるだろう。“ a ”の値として DRAM ハーフピッチ 80-65nm では“8”、57nm では“6”となっている。

[3] キャパシタ実効酸化膜換算膜厚 (ETO) は、物理膜厚/ $k/3.9$ で定義される。ここで k はストレージキャパシタ絶縁間膜の比誘電率であり、3.9 は、 SiO_2 の比誘電率である。EOT の値は、FEP (Front End Process) 章で議論されている様に DRAM のビット容量 (チップ当たりのビット数) および、チップサイズによってドライブがかけられる。FEP の章で使われているビット容量とチップサイズは、ORTC の Table 1a および 1b が元になっている。ビット容量とチップサイズは、極めてアグレッシブであるため EOT は、積極的にスケールアップされる必要がある。2007 年の 65nm の技術世代までは、絶縁材料は、MIS 構造で、 Al_2O_3 あるいは Ta_2O_5 がベースとなっている。それゆえ色は白である。2007 年以降は、MIM 構造と高い誘電率を持つキャパシタが必要とされる。そのため色は黄色である。最後に、45nm 及びそれ以降の技術

世代では、知られている解は不明のため色は赤である。それぞれの年で要求される、キャパシタ絶縁膜厚は、セルの高さ、絶縁膜のリーク電流、コンタクトの形成プロセスなどの3次元構造に依存する。

[4] DRAM のストレージノードキャパシタの電圧は、EOTの膜厚の逆数に依存するストレージノードキャパシタンスのリーク電流を小さくし、かつ蓄えられるチャージが十分になるよう設定される。

[5] キャパシタ絶縁膜の電界は、DRAM キャパシタ電圧をストレージノードの酸化膜換算膜厚で割った値である。スケールリングと共に電界は急激に増大し、2008 年には、色は黄色となる。そのときの電界は、13MV/cm である、2010 年には、その値は 18MV/cm となる。

[6] DRAMのセルFETのEOTは、絶縁膜の物理膜厚を $[k/3.9]$ で割った値である。ここでkはDRAMセルFETのゲート絶縁膜の比誘電率、3.9は、 SiO_2 の比誘電率である。EOTの値は、高いワードライン電圧に絶縁膜に印加される電界を許容値以下に設定する必要があることから厚くなっている。

[7] 最大のワードライン電圧は、セルデバイスために昇圧されたゲート電圧となっている。その高いゲート電圧は、動作状態で、バックゲートバイアス効果で上昇している比較的高い閾電圧に対しても、十分なセル MOSFET の電流を得るために必要である。

[8] セル MOSFET の絶縁膜の電界は、最大のワード線電圧を EOT (酸化膜等価膜厚) で割った値である。

[9] セルサイズファクター“a”はDRAMセルサイズ/ F^2 である。ここでFは、DRAMのハーフピッチである。ハーフピッチ 80-65nm世代の“a”の値は、“8”である。57nmの世代以降の“a”は“6”である。2004年版では、“4”の値の記載があったが、4F2のセルの具体的な現実構想がないことから、テーブルに載せるのは非現実と判断したため、2005年版では“4”の数値はない。

[10] セルアレー効率は、セルアレーの面積のチップ面積に対する比率である。それゆえ、アレー効率は次式で与えられる。アレー効率 $=1/(1 + [\text{周辺回路面積}]/[\text{NaF}^2])$ 。ここで、NはDRAMのビット容量(チップ当たりのビット数)である。Fは、DRAMのハーフピッチ。そして“a”は、セルサイズファクターである。“a”が 8 の時、セルアレー効率は 0.63 と見積もられているため、2007 年以降“a”が 6 になると、アレー効率は小さくなり、0.56 となる。このとき周辺回路の面積は、“8”の場合と同じとしている。

[11] 保持時間は 85°C で定義され、メモリのデータを列アドレスによるリフレッシュをせずに正確に読み取ることができる最小の時間である。ここに指定された64msはPC適用のために必要とされる値である。保持時間は、素子のリーク電流、信号強度、センス回路の感度の相互作用に依存し、さらにオペレーション周波数および温度に依存する。

[12] これは典型的なFIT割合で、サイクル期間、およびセル・コンデンサ及びセンス回路の性能に依存する。

DRAM の解決策候補

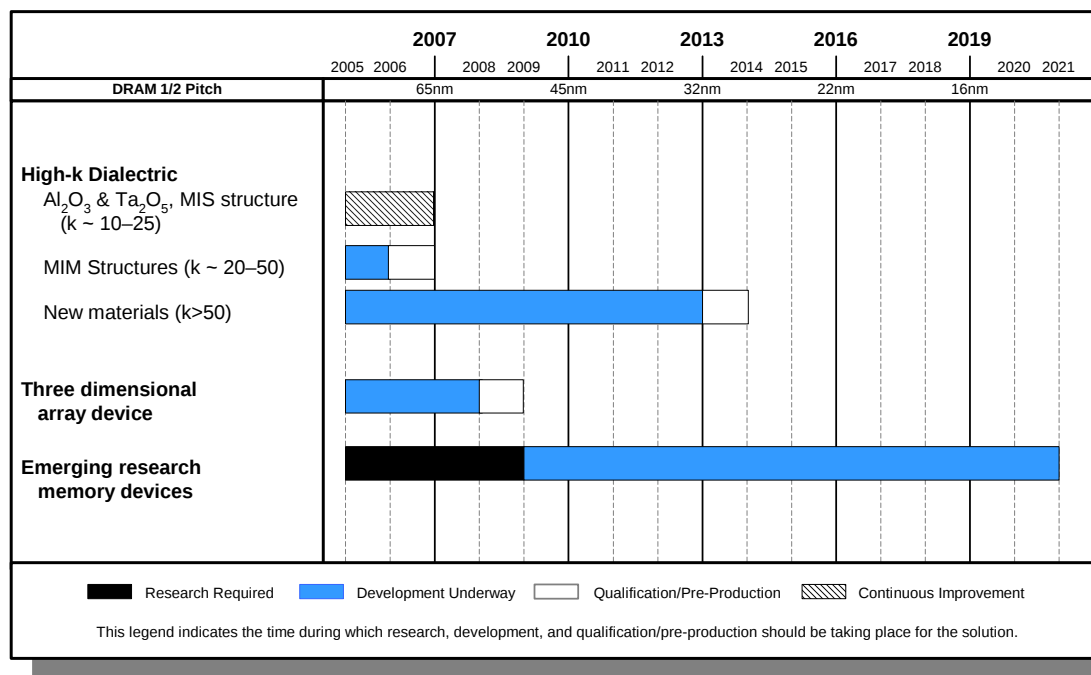


Figure 41 DRAM Potential Solutions

不揮発性メモリーに対する技術要求

不揮発性メモリー技術は、一般に CMOS 構造とメモリー構造とが一体化されたものである。継続する技術世代を通してのメモリーの発展は、メモリーの要素部品に対し CMOS のスケーリング以上にプロセス集積化や構造設計に関し付加的な制限が必要とされるため、より複雑となっている。フラッシュ (NOR と NAND)、FeRAM、SONOS、MRAM そして phase change RAM (PCRAM) の技術に対する要求項目が Table 43a と b に示されている。

歴史的に、過去のある時期の不揮発性メモリー (NVM) は、その当時の CMOS の feature size F (特徴的な feature size は DRAM の 1/2 ピッチ) は使われてはおらず、1~2 年遅れていた。Table 43a と Table 43b には、現在の CMOS の feature size と不揮発性のセルを構成するための feature size (NVM の feature size の “ F ” 値、“ F ” 値はポリシリコンのハーフピッチ) が示されている。独特な不揮発性メモリー技術により、CMOS から不揮発性メモリーの feature size の時間遅れは減少し、そして結果的にゼロとなることが期待される。浮遊ゲート NAND や NOR 技術にとって、世代のずれは完全に消失するだけでなく、時には (NAND Flash) NVM がデザインルールを進めるのに、同じ年のロジック、DRAM と比べて、もっと積極的になる。

それぞれの技術に関する情報は 3 つに分けられる。第一は、メモリーの密度である。不揮発性メモリーの “ F ” 値が特定され、セルエリアファクタ “ a ” (セル・サイズが F^2 の何倍かを示す数値) が決まる。セル面積は、“ a ” * “ F ” で計算される。第二は、それぞれの特別な技術に対し重要なゲート長、書き込み消去電圧、重要な材料パラメータなどの多くの技術数値である。これらの数値は、スケーリングのモデルや重要な課題領域を見極めるのに重要である。第三は、耐久特性 (消去-書き込みサイクル、または、読み-書きサイクル)、データ保持特性である。耐久性 (エンデュアランス) やデータ保持特性 (リテンション) は、不揮発性メモリー

技術に関する特殊な要求項目であり、この特性でもって、不揮発性メモリーが最終ユーザーからみて魅力のある製品かどうか決定される。

それぞれの技術に対する課題はメモリーの要素の特徴や、製品の中に使われているCMOSとの相性の程度によって異なる。フラッシュメモリーは、電荷を絶縁物質により分離されている浮遊ゲートから(あるいは浮遊ゲートへ)転送することによりメモリー動作をする。強誘電メモリーは、強誘電キャパシタの分極状態を切り替え読み取ることによって、Silicon-oxide-nitride-oxide-siliconメモリーは、電荷を窒化膜中のトラップへ(から)転送することにより、MRAMは、磁性トンネル接合(MTJ)を形成している積層化された磁性材料の一層の磁気スピンの方向を切り替えMJTの抵抗差を認識することによりメモリー動作を行う。Phase change RAMは非晶質状態と結晶状態の間で切り替わる時に、カリコゲナイドガラスの抵抗の変化を検出する。しかしすべての不揮発性メモリーは、蓄積されたチャージや容積が減少していく時に揮発性が増加するような、急激なスケーリングの課題に直面している。

Table 43a Non-Volatile Memory Technology Requirements—Near-term

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Flash technology NOR/NAND – F (nm) [1]	80/76	70/64	65/57	57/51	50/45	45/40	40/36	35/32	32/28
Flash NOR cell size – area factor a in multiples of F^2 [2], [3], [4], [5]	9–11	9–11	9–11	9–12	10–12	9–12	9–12	10–12	10–12
Flash NAND cell size – area factor a in multiples of F^2 SLC/MLC [6]	4.0/2.0	4.0/2.0	4.0/2.0	4.0/2.0	4.0/2.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Flash NOR typical cell size (μm^2) [7], [8]	0.064	0.049	0.042	0.034	0.028	0.021	0.017	0.013	0.011
Flash NOR L_g -stack (physical – μm) [8], [9]	0.14	0.135	0.13	0.12	0.12	0.11	0.11	0.1	0.1
Flash NOR highest W/E voltage (V) [10], [11]	7-9	7-9	7-9	7-9	7-9	6-8	6-8	6-8	6-8
Flash NAND highest W/E voltage (V) [12]	17–19	17–19	15–17	15–17	15–17	15–17	15–17	15–17	15–17
Flash NOR I_{read} (μA) [13]	29–37	28–36	27–35	26–34	25–33	27–33	27–33	26–32	25–31
Flash coupling ratio [14]	0.65–0.75	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Flash NOR tunnel oxide thickness EOT (nm) [15]	8–9	8–9	8–9	8–9	8–9	8	8	8	8
Flash NAND tunnel oxide thickness EOT (nm) [16]	7–8	7-8	6–7	6–7	6–7	6–7	6–7	6–7	6–7
Flash NOR interpoly dielectric thickness EOT (nm) [17]	13-15	13-15	13-15	13-15	13-15	10-12	10-12	10-12	10-12
Flash NAND interpoly dielectric thickness (nm) [18]	13–15	13–15	10–13	10–13	10–13	10–13	10–13	10–13	9–10
Flash endurance (erase/write cycles) [19]	1.00E+05	1.00E+05	1.00E+05	1.00E+05	1.00E+05	1.00E+06	1.00E+06	1.00E+06	1.00E+06
Flash nonvolatile data retention (years) [20]	10–20	10–20	10–20	10–20	10–20	10–20	10–20	10–20	20
Flash maximum number of bits per cell (MLC) [21]	2	2	2	2	2	4	4	4	4
FeRAM technology – F (nm) [22]	130	110	100	90	80	65	57	50	45
FeRAM cell size – area factor a in multiples of F^2 [23]	34	34	30	30	30	24	24	24	20
FeRAM cell size (μm^2) [24]	0.575	0.411	0.300	0.243	0.192	0.101	0.078	0.060	0.041
FeRAM cell structure [25]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [26]	stack	stack	stack	stack	stack	3D	3D	3D	3D
FeRAM capacitor footprint (μm^2) [27]	0.32	0.23	0.158	0.128	0.101	0.049	0.038	0.029	0.018
FeRAM capacitor active area (μm^2) [28]	0.32	0.23	0.158	0.128	0.101	0.076	0.069	0.064	0.059
FeRAM cap active area/footprint ratio [29]	1	1	1	1	1	1.55	1.85	2.2	3.31

Table 43a Non-Volatile Memory Technology Requirements—Near-term (continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Ferro capacitor voltage (V) [30]	1.5	1.5	1.2	1.2	1.2	1	1	1	0.7
FeRAM minimum switching charge density ($\mu\text{C}/\text{cm}^2$) [31]	11.4	14.2	19	22	26	30	30	30	30
FeRAM endurance (read/write cycles) [32]	1.0E+13	1.0E+14	1.0E+15	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16
FeRAM nonvolatile data retention (years) [33]	10	10	10	10	10	10	10	10	10
SONOS/NROM technology – F (nm) [34]	100	90	70	65	55	50	45	40	35
SONOS/NROM cell size – area factor a in multiples of F^2 [35]	5.5	5.5	6	6	6	6	6	6	6.5
SONOS/NROM typical cell size (μm^2) [36]	0.055	0.045	0.029	0.025	0.018	0.015	0.012	0.01	0.008
SONOS/NROM maximum number of bits per cell ((physical 2-bit/cell) x MLC) [37]	2	2	2	2	2	4	4	4	4
SONOS/NROM area per bit (μm^2) [38]	0.028	0.022	0.015	0.013	0.009	0.0038	0.003	0.0024	0.002
SONOS L_g -stack (physical – μm) [39]	0.17	0.17	0.16	0.16	0.16	0.16	0.16	0.16	0.15
SONOS highest W/E voltage (V) [40]	5.0–6.0	5.0–6.0	5.0–5.5	5.0–5.5	5.0–5.5	5.0–5.5	5.0–5.5	5.0–5.5	5.0–5.5
SONOS/NROM I_{read} (μA) [41]	31–41	29–39	27–37	25–35	25–35	25–35	25–35	24–34	23–33
SONOS/NROM tunnel oxide thickness (nm) [42]	4.5	4	3.5	3.5	3.5	3.5	3.5	3.5	3
SONOS/NROM nitride dielectric thickness (nm) [43]	5	4.5	4	4	4	4	4	4	4
SONOS/NROM blocking (top) oxide or dielectric thickness (nm) [44]	4.5	4.5	4	6	6	6	6	6	6
SONOS/NROM endurance (erase/write cycles) [45]	1.00E+07	1.00E+07	1.00E+07	1.00E+07	1.00E+07	1.00E+08	1.00E+08	1.00E+08	1.00E+08
SONOS/NROM nonvolatile data retention (years) [46]	10–20	10–20	10–20	10–20	10–20	10–20	10–20	10–20	10–20
MRAM technology F (nm) [47]	180	90	90	65	65	45	45	45	32
MRAM cell size area factor a in multiples of F^2 [48]	25	23	20	22	19	20	18	18	19
MRAM typical cell size (μm^2) [49]	0.81	0.19	0.16	0.09	0.08	0.041	0.036	0.036	0.019
MRAM switching field (Oe) [50]	35	35	35	35	35	35	35	35	35
MRAM write energy (pJ/bit) [51]	150	100	70	35	35	25	25	25	20
MRAM active area per cell (μm^2) [52]	0.11	0.05	0.05	0.025	0.025	0.013	0.013	0.013	0.009
MRAM resistance-area product (Kohm- μm^2) [53]	4	2	2	1.1	1	0.8	0.8	0.8	0.6
MRAM magnetoresistance ratio (%) [54]	40	70	70	70	70	70	70	70	70
MRAM nonvolatile data retention (years) [55]	>10	>10	>10	>10	>10	>10	>10	>10	>10
MRAM write endurance (read/write cycles) [56]	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16
MRAM endurance – tunnel junction reliability (years at bias) [57]	>10	>10	>10	>10	>10	>10	>10	>10	>10

Table 43a Non-Volatile Memory Technology Requirements—Near-term (continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
PCRAM technology F (nm) [58]	90	70	65	57	50	45	40	35	32
PCRAM cell size area factor a in multiples of F ² (BJT access device) [59]	7.2	7.0	6.4	5.6	5.8	5.8	5.8	6.1	5.8
PCRAM cell size area factor a in multiples of F ² (nMOSFET access device) [60]	17.0	14.9	12.8	11.8	11.6	11.0	10.5	10.1	9.5
PCRAM typical cell size (μm ²) (BJT access device) [61]	0.059	0.034	0.027	0.018	0.015	0.012	0.0092	0.0074	0.0059
PCRAM typical cell size (μm ²) (nMOSFET access device) [62]	0.14	0.073	0.054	0.038	0.029	0.022	0.017	0.012	0.0097
PCRAM number of bits per cell (MLC) [63]	1	1	2	2	2	4	4	4	4
PCRAM typical cell area per bit size (μm ²) (BJT access device) [64]	0.059	0.034	0.014	0.009	0.008	0.003	0.0023	0.0018	0.0015
PCRAM typical cell area per bit size (μm ²) (nMOSFET access device) [65]	0.14	0.073	0.027	0.019	0.015	0.006	0.004	0.003	0.0025
PCRAM storage element CD (nm) [66]	32	25	23	21	18	16	14	13	12
PCRAM phase change volume (nm ³) [67]	17,157	8,181	6,371	4,849	3,054	2,145	1,437	1,150	905
PCRAM reset current (μA) [68]	270	191	170	150	121	102	85	77	68
PCRAM set resistance (Kohm) [69]	2.5	3.4	3.7	4.3	5.0	5.7	6.5	7.6	8.5
PCRAM BJT current density (A/cm ²) [70]	4.3E+6	5.0E+6	5.1E+6	5.9E+6	6.2E+6	6.5E+6	6.8E+6	8.0E+6	8.5E+6
PCRAM BJT emitter area (μm ²) [71]	0.0064	0.0039	0.0033	0.0026	0.0020	0.0016	0.0013	0.00096	0.00080
PCRAM nMOSFET current density for reset (μA/μm) [72]	643	689	802	896	842	853	849	924	987
PCRAM nMOSFET device width (μm) [73]	0.42	0.28	0.21	0.17	0.14	0.12	0.10	0.083	0.069
PCRAM nonvolatile data retention (years) [74]	>10	>10	>10	>10	>10	>10	>10	>10	>10
PCRAM write endurance (read/write cycles) [75]	1.0E+12	1.0E+12	1.0E+12	1.0E+12	1.0E+12	1.0E+13	1.0E+13	1.0E+13	1.0E+14

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

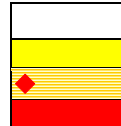


Table 43b Non-Volatile Memory Technology Requirements—Long-term

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Flash technology NOR/NAND – F (nm) [1]	28/25	25/23	22/20	20/18	18/16	16/14	14/13
Flash NOR cell size – area factor a in multiples of F^2 [2], [3], [4], [5]	10–12	10–13	10–13	11–14	11–14	12–14	12–14
Flash NAND cell size – area factor a in multiples of F^2 SLC/MLC [6]	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Flash NOR typical cell size (μm^2) [7], [8]	0.0086	0.0073	0.0057	0.005	0.004	0.0034	0.0026
Flash NOR L_g -stack (physical – μm) [8], [9]	0.09	0.09	0.08	0.08	0.07	0.07	0.06
Flash NOR highest W/E voltage (V) [10], [11]	6–8	6–8	6–8	6–8	6–8	6–8	6–8
Flash NAND highest W/E voltage (V) [12]	15–17	15–17	15–17	15–17	15–17	15–17	15–17
Flash NOR I_{read} (μA) [13]	24–30	23–29	22–28	21–27	20–26	19–25	18–24
Flash coupling ratio [14]	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Flash NOR tunnel oxide thickness EOT (nm) [15]	7–8	7–8	7–8	7–8	7–8	7–8	7–8
Flash NAND tunnel oxide thickness EOT (nm) [16]	6–7	6–7	6–7	6–7	6–7	6–7	6–7
Flash NOR interpoly dielectric thickness EOT (nm) [17]	8–10	8–10	8–10	8–10	7–9	6–8	6–8
Flash NAND interpoly dielectric thickness (nm) [18]	9–10	9–10	9–10	9–10	9–10	9–10	9–10
Flash endurance (erase/write cycles) [19]	1.00E+06	1.00E+06	1.00E+07	1.00E+07	1.00E+07	1.00E+07	1.00E+07
Flash nonvolatile data retention (years) [20]	20	20	20	20	20	20	20
Flash maximum number of bits per cell (MLC) [21]	4	4	4	4	4	4	4
FeRAM technology – F (nm) [22]	40	35	32	28	25	22	20
FeRAM cell size – area factor a in multiples of F^2 [23]	20	20	16	16	16	14	14
FeRAM cell size (μm^2) [24]	0.032	0.025	0.016	0.013	0.010	0.007	0.006
FeRAM cell structure [25]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [26]	3D	3D	3D	3D	3D	3D	3D
FeRAM capacitor footprint (μm^2) [27]	0.014	0.011	0.0064	0.0049	0.0039	0.0024	0.002
FeRAM capacitor active area (μm^2) [28]	0.055	0.05	0.047	0.043	0.04	0.037	0.035
FeRAM cap active area/footprint ratio [29]	3.88	4.63	7.38	8.81	10.25	15.12	17.17
Ferro capacitor voltage (V) [30]	0.7	0.7	0.7	0.7	0.7	0.7	0.7
FeRAM minimum switching charge density ($\mu\text{C}/\text{cm}^2$) [31]	30	30	30	30	30	30	30
FeRAM endurance (read/write cycles) [32]	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16
FeRAM nonvolatile data retention (years) [33]	10	10	10	10	10	11	12
SONOS/NROM technology – F (nm) [34]	32	28	25	23	20	19	18
SONOS/NROM cell size – area factor a in multiples of F^2 [35]	6.5	6.5	7	7	7	7	7
SONOS/NROM typical cell size (μm^2) [36]	0.007	0.005	0.004	0.0037	0.003	0.0025	0.002
SONOS/NROM maximum number of bits per cell ((physical 2-bit/cell) x MLC) [37]	4	4	4	4	4	4	4
SONOS/NROM area per bit (μm^2) [38]	0.0018	0.0013	0.0011	0.0009	0.0007	0.0006	0.0005
SONOS L_g -stack (physical – μm) [39]	0.15	0.15	0.14	0.14	0.14	0.13	0.13
SONOS highest W/E voltage (V) [40]	5.0–5.5	5.0–5.5	4.5–5.0	4.5–5.0	4.0–4.5	4.0–4.5	4.0–4.5
SONOS/NROM I_{read} (μA) [41]	23–33	22–32	21–31	21–31	20–30	20–30	20–30

Table 43b Non-Volatile Memory Technology Requirements—Long-term (continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
SONOS/NROM tunnel oxide thickness (nm) [42]	3	3	2.5	2.5	2.5	2	2
SONOS/NROM nitride dielectric thickness (nm) [43]	4	4	4	4	4	4	4
SONOS/NROM blocking (top) oxide or dielectric thickness (nm) [44]	6	6	5	5	5	5	5
SONOS/NROM endurance (erase/write cycles) [45]	1.00E+08	1.00E+08	1.00E+09	1.00E+09	1.00E+09	1.00E+09	1.00E+09
SONOS/NROM nonvolatile data retention (years) [46]	10–20	10–20	10–20	10–20	10–20	10–20	10–20
MRAM technology F (nm) [47]	32	32	22	22	22	16	16
MRAM cell size area factor a in multiples of F^2 [48]	17	17	18	16	16	17	16
MRAM typical cell size (μm^2) [49]	0.017	0.017	0.009	0.0077	0.0077	0.0044	0.0041
MRAM switching field (Oe) [50]	35	35	35	35	35	35	35
MRAM write energy (pJ/bit) [51]	20	20	20	20	20	20	20
MRAM active area per cell (μm^2) [52]	0.009	0.009	0.007	0.007	0.007	0.005	0.005
MRAM resistance-area product (Kohm- μm^2) [53]	0.6	0.6	0.6	0.6	0.6	0.6	0.6
MRAM magnetoresistance ratio (%) [54]	70	70	70	70	70	70	70
MRAM nonvolatile data retention (years) [55]	>10	>10	>10	>10	>10	>10	>10
MRAM write endurance (read/write cycles) [56]	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16	>3e16
MRAM endurance – tunnel junction reliability (years at bias) [57]	>10	>10	>10	>10	>10	>10	>10
PCRAM technology F (nm) [58]	28	25	22	20	18	16	14
PCRAM cell size area factor a in multiples of F^2 (BJT access device) [59]	5.9	5.9	5.0	4.8	4.7	4.7	4.7
PCRAM cell size area factor a in multiples of F^2 (nMOSFET access device) [60]	8.7	8.2	7.4	6.8	6.3	5.8	5.4
PCRAM typical cell size (μm^2) (BJT access device) [61]	0.0046	0.0037	0.0024	0.0019	0.0015	0.0012	0.0009
PCRAM typical cell size (μm^2) (nMOSFET access device) [62]	0.0068	0.0051	0.0036	0.0027	0.0020	0.0015	0.0011
PCRAM number of bits per cell (MLC) [63]	4	4	4	4	4	4	4
PCRAM typical cell area per bit size (μm^2) (BJT access device) [64]	0.0012	0.0009	0.0006	0.0005	0.0004	0.0003	0.0002
PCRAM typical cell area per bit size (μm^2) (nMOSFET access device) [65]	0.0017	0.0013	0.0009	0.0007	0.0005	0.0004	0.0003
PCRAM storage element CD (nm) [66]	10	9	7.9	7.2	6.5	5.8	5.0
PCRAM phase change volume (nm^3) [67]	524	382	268	180	113	102	65
PCRAM reset current (μA) [68]	53	46	39	32	26	21	16
PCRAM set resistance (Kohm) [69]	9.9	11.3	13.2	14.7	16.7	18.7	21.7
PCRAM BJT current density (A/cm^2) [70]	8.6E+6	9.3E+6	1.0E+7	1.0E+7	1.0E+7	1.0E+7	1.0E+7
PCRAM BJT emitter area (μm^2) [71]	0.00062	0.00049	0.00038	0.00031	0.00026	0.00020	0.00015
PCRAM nMOSFET current density for reset ($\mu\text{A}/\mu\text{m}$) [72]	997	1,056	1,202	1,270	1,310	1,320	1,340
PCRAM nMOSFET device width (μm) [73]	0.053	0.043	0.032	0.025	0.020	0.016	0.012
PCRAM nonvolatile data retention (years) [74]	>10	>10	>10	>10	>10	>10	>10
PCRAM write endurance (read/write cycles) [75]	1.0E+14	1.0E+14	1.0E+15	1.0E+15	1.0E+15	1.0E+15	1.0E+15

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

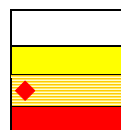


Table 43aと43bに対する注

- [1] 過去フラッシュメモリーは、CMOSの技術のfeature size “F”に対し遅れる傾向があったが、もはやその遅れはない。示されている時間での設計に対するF値が示されている。
- [2] フラッシュNORセル・サイズは、技術ノードの F^2 を用いて、 a =セル面積/ F^2 で示されている。トンネル酸化膜の膜厚が固定された時に、ゲート長のスケールアップが困難である事を反映したゆっくりとした上昇傾向に注意。
- [3] High-K インターポリ絶縁膜は45nm世代あるいはそれ以降で計画されており、ゲートカップリング比率0.7が可能である。それはセル・サイズを保ち⁹、エリアファクターでの上昇を遅らせる助けとなる。
- [4] バーチラルグランドアレイは近いうちに¹⁰著しくセルサイズを減少させるかもしれないが、この影響は現在の表には含まれていない。
- [5] non-planar デバイス (FinFETのようなもの) は未来のフラッシュスケールアップの為に開発されているが、それらの効果は現在の表には含まれていない。インターポリにあるHigh-kの配置はLgをやや減らすのに役に立つかもしれない。
- [6] セルエリアファクタ“a”=セル・エリア/ F^2 。この数字は、セル・エリアが F^2 の何倍となっているかをNANDセルの実際の数値で示している。フラッシュNANDは、セル構造の多くの部分が1つのセルグループで共有されているので、より小さなセル・サイズとなっている。(SLC: 単レベルのセル、MLC: 多レベルのセル)
- [7] 代表的なフラッシュNORのセル・サイズが μm^2 で示されている。セル・サイズは、中くらいの“a”の値となっている。
- [8] NORフラッシュのセル・サイズとゲート長は近年、より積極的に縮小されている。^{11,12,13}
- [9] フラッシュNORのコントロールゲートの物理的な長さである。
- [10, 12] セル配列の中で使われる最高電圧である。通常外部供給電源とは異なる。
- [11] High-kインターポリ絶縁膜の導入は消去電圧を減らすのに役に立つであろう。
- [13] 電流はオーバードライブ電圧を低減するため $W/(L \cdot Cox)$ より高い割合でスケールアップと共に減少する。
- [14] カップリング比率: (フローティング・ゲート容量に対するコントロールゲート容量)/(ソース、ドレイン、基板容量に対する総フローティング容量)
- [15, 16] トンネル酸化膜はデータ保持を保証できるように十分に厚くしなければならないが、読み書きを容易にするために十分薄くしなければならない。この難問はスケールアップを妨げることになる。
- [17, 18] インターポリ絶縁膜はデータ保持を保証するために十分に厚くしなければならないが、一定のカップリング比率を保証するために十分薄い必要がある。絶縁膜のスケールアップの際のデータ保持特性は重大な問題となる。High-kインターポリはデータ保持を維持しながら、インターポリのEOTを減らし、一定のカップリング比率を維持するのに役に立つであろう。
- [19] E/W耐久性の必要条件は、応用の仕様に依って変わる。しかし、1E5サイクルは、これまでの経緯から製品のために可能な最小の許容レベルとして受け入れられている。今後の革新的な技術は、製品設計要求オプションとして規定された耐久性性能の向上とデータ保持特性のトレードオフにたいし余裕を持たせると期待される。
- [20] データ保持特性はデバイス固有の特性ではなく欠陥に関連するパラメータである。デバイスの発展及び欠陥コントロールの改良により20年のデータ保持仕様が実現されると期待される。さらに、E/W耐久性を向上させるためのトレードオフとして、データ保持特性を低減することも受け入れられるかもしれない。
- [21] セルの読み取りでは、2ビットを提供するために、4レベルの電荷の蓄積状態を識別している。16レベルまで改善しうることが予想されるが、2-bit/cellで妥当な V_t 、速度とアレイ効率を維持することが課題である。(MLC: Multi Level Cell)
- [22] 混載メモリーではない汎用メモリーとしてのFeRAMセル中の限界寸法である“F”値を示している。
- [23] これはセルエリアファクタ“a”であり a =セル・エリア/ F^2 で現される。FeRAMセル・サイズは、混載ではなく単体のFeRAMに適用される技術の F^2 を用いて表される。
- [24] FeRAMセル・サイズは μm^2 で示されている。セルサイズは $a \cdot F^2$ 。
- [25] FeRAMのセル構造は、1T/1C型に移っている。^{14,15} チェーンFeRAM^{16,17}のような他の構成のセルは開発中である。
- [26] キャパシタの構成は、セル寸法を決定する重要な要因である。積層化された平面膜は、効率の良い三次元構造に置き換えられていくと思われる。
- [27] キャパシタの平面積は μm^2 でしめされている。2005年-2006年に $19F^2$ が、2007年-2009年に $16F^2$ が、そして、2010年-2020年には $10F^2$ 、それ以下(三次元構造)が仮定されている。

- [28] キャパシタの実効面積である。3次元で面積を使用しているために、三次元構造の為のセルの平面積よりも大きくなっている。
- [29] 平面積に対する実効面積の割合は、三次元での効率を示す数字である。
- [30] キャパシタに印加される動作電圧である。低電圧動作が設計の難しい課題である。一般的に強誘電層の膜厚は、動作電圧を減らすために薄くする必要があり、大きな技術課題である¹⁸。
- [31] 最小のスitchング電荷密度 ($\mu\text{C}/\text{cm}^2$) は有用な設計パラメータである。それは、実際の有効キャパシタ面積により割られた最小のセルのスitchング電荷に等しい。キャパシタ電圧はVopとしている。
- [32] FeRAMは破壊読出し技術となっているため、どの読み出しサイクルにおいてもデータの再保存のためにライトが一緒になっている。耐久性を示すサイクルは、読み書きの全サイクルを足したものである。DRAMやSRAMと競合するためにFeRAMでは耐久サイクル数は、 $1\text{E}15$ となるべきである。 $1\text{E}15$ サイクルの信頼性を保証するテスト時間は重大な課題である。 100MHz で10年は、 $1\text{E}16$ サイクルに対応する。
- [33] デバイスが電源から切り離されている時に要求されるデータ保持特性である。通常 85°C で評価される。
- [34] SONOS/NROMの素子は最近市場に導入され、現在のCMOSの技術に対し約1年遅れとなっている。指定された時間内での設計の為のF値を提供している。
- [35] セルエリアファクター“a” = cell area / F^2 。この表には、期待されているSONOS/NROM NORセルのセル面積に対し、実際に使われる技術 F^2 面の何倍もの面積が示されている。SONOS/NROMはデバイス毎にデータの2つの physical bit を蓄える。セルエリアファクター“a”は、セル毎であって、ビット毎ではない。
- [36] 期待される代表的な“SONOS/NROM NORセル面積は μm^2 の単位で表されている。このセル・サイズはセル毎であって、physicalまたはMLCビット毎ではない。
- [37] MBCは多ビット保存、MLCは複数レベルの保存を示す。SONOS/NROMセルはソース・ドレイン拡散層上の窒化膜中の別々の2ヶ所に電荷を蓄える。これにより、一つのセルに2つの別々のビットが存在する。しかし、それぞれの電荷の場所は、複数のレベル(MLC)に分けて蓄えられることもありえる。その結果、1個のセルに蓄えられるビットを増やしている。
- [38] 期待される代表的な“SONOS/NROM NORのビット当たりのセル面積は μm^2 の単位で表されている。保存されたビットは物理的2-bit/deviceとMLCを含む。
- [39] SONOS/NROMのデバイスの物理長を μm で示している。MOSFETと同様に一個のゲートだけで構成されている。
- [40] セル中での0Vに対しての最大電圧である。それは普通外部電圧とは異なる。
- [41] 電圧オーバードライブ要因を減らす為の減少率は $(W/L) \cdot C_{ox}$ より高い。
- [42] トンネル酸化膜は、データ保持特性を保証するのに十分厚くならなければならない。しかし、低電圧で読み書きを簡単に出来る様に十分薄い必要がある。このことは、スケーリングに対する課題を与える。
- [43] 窒化膜は電荷蓄積ができる。その膜厚はプログラム/消去電圧、消去/書き込みの窓、データ保持、プロセス制御、そして耐久性の間で最適化される。
- [44] 上層のブロッキングの酸化膜厚はゲート電極から、電荷の保存領域(窒化膜)を分離する。その膜厚は、プログラミング/消去電圧とデータの保持特性との間で最適化されたものである。このことは、スケーリングに対する課題を与える。アルミニウム酸化物のようなHigh-k誘電体と原子レベル堆積技術のような新しい堆積技術の出現で、最上層のブロッキングの絶縁膜厚は、書き込み速度や長時間の保存を維持しながら、ゲート注入を回避する為に増加するかもしれない。この技術はおそらく2008年、それ以降に成熟するであろう。High-k誘電体は、電界が保持されるため、窒化膜やトンネル酸化膜をスケーリングする必要がなくなる。
- [45] 消去書き込み耐久性(消去書き込みサイクル)の要求は応用分野に対する仕様で変わる。しかし $1\text{E}5$ サイクルは歴史的に実製品に対しての最小サイクル数受容レベルとして受け入れられてきている。新規技術は、設計オプションとして特定される最小の耐性の増加のみならず、リテンションと耐性とのトレードに対して余裕をもたせるようにするだろう。
- [46] SONOS/NROM のデータ保持特性は指数曲線に従い、その後時間に依存しなくなる。そのため、電荷ロスは V_t やプログラミングウィンドウに影響するが、それは長期的な信頼性の問題にはならない。プログラミングウィンドウがそれ自体うまくデータ保持特性のために設計されている限り、問題ではない。しかし、電荷ロスの機構やデータ保持特性のモデルは改良されており、将来的にさらなる改善は可能である^{19,20}。
- [47] MRAM素子は、2010年までは現在のCMOS技術の世代に対し立ち遅れると思われる。この製品のロードマップでは設計に対し使われるF値が示されている。
- [48] セルエリアファクター“a” = cell area / F^2 。この数値は、期待されているMRAMセル面積に対し、実際に使われる技術の数値 F^2 の何倍かのセル面積になっている。
- [49] 代表的なMRAMのセル面積は μm^2 の単位で表されている。

[50] MRAMのデータを書き換えるのは、セルの磁化の方向を変化させるのに必要な磁力“H”である。

[51] MRAMのデータを書き換えるのに必要なビット当たりのスイッチングエネルギーは、書き込み電流と電源電圧と書き込み時間の積として計算される。メガビットのメモリアレーで測定結果されたスイッチングエネルギーの中央値が使われることが望ましい。パワーの良い見積もり値は、スイッチングエネルギーと一秒あたりの書き込み数の積である。

[52] MRAMのアクティブなビット面積は、セルの中で磁性材料が積層されている面積である。それは、 $R \cdot A$ の中のAとなっている。

[53] MRAMの抵抗と面積の積(すなわち $R \cdot A$ の積)は、異なる面積を有するセルとを比較する時の便利な基本となる磁性材料の積層特性を与える真性特性である。 $R \cdot A$ 積は実効的な低抵抗状態の磁性トンネル接合抵抗(R_{low})を測定し、実際のセルの磁性積層面積を掛け合わせるにより、計算できる。

[54] MRAMの磁性抵抗率は、 $100 \cdot (R_{high} - R_{low}) / R_{low}$ として計算される。この比率は、“1”と“0”のロジックレベルの間の違いをまとめている。また、それは、磁性積層構造の真性な能力を示す。磁性トンネル接合の抵抗値は低電流で評価される。

[55] MRAMは電源が切れている状態で、データを保存している必要がある。時間としては年単位での要求となる。

[56] MRAMが、全動作仕様に対し影響を与えるような劣化は無い状態で、継続動作しなければならない要求される読み書きのサイクル数である。

[57] MRAMは、磁性材料の積層構造が継続的にある電圧下におかれている状態で、要求される最小の寿命を実現する必要がある。

[58] PCRAMは、CMOS技術の特徴的なサイズに追随する事が期待されている。この製品のロードマップでは設計に対し使われるF値が示されている。

[59] セルエリアファクター“a” = cell area / F^2 。この数値は、期待されているPCRAMセル面積に対し、実際に使われる技術値 F^2 面の何倍もの面積になっている。PCRAMは結晶状態からアモルファス状態へフェーズチェンジの要素を変更するために、重要なリセット電流を必要とする。BJTトランジスタはMOSFETに比べてユニット毎に、より多くの電流を提供する事が可能であるので、セル面積を減らすことができる。BJTとnMOSFETのアクセスデバイスセルはこの表で示されている。

PCRAMはMLC (multi-bit per cell) が可能である。セルエリアファクターはセル毎であり、ビット毎ではない。

[60] セルエリアファクター“a” = cell area / F^2 。この数値は、期待されているPCRAMセル面積に対し、実際に使われる技術値 F^2 面の何倍もの面積になっている。PCRAMはアモルファス状態からアモルファス状態へフェーズチェンジするために、重要なリセット電流を必要とする。BJTトランジスタはMOSFETに比べてユニット毎により多くの電流を提供する事が可能であるので、セル面積を減らすのを助ける。nMOSFETトランジスタはNear Termではより大きなセル面積になっているが、単純なプロセスと低電圧動作を可能にしている。BJTとnMOSFETのアクセスデバイスセルはこの表で示されている。PCRAMはMLC(multi-bit per cell)が可能である。面積の要因はセル毎であり、ビット毎ではない。

[61] BJTアクセスデバイスを備えた、期待される代表的なPCRAMのセル面積は μm^2 で表されている。

[62] nMOSFETアクセスデバイスを備えた、期待される代表的なPCRAMのセル面積は μm^2 で表されている。

[63] 結晶状態とアモルファス状態間の抵抗値の比が100-1,000なので、PCRAMはMLC動作が可能である。この値は期待されるセル単位毎のMLCビット数である。

[64] BJTセルを備えたPCRAMのMLCビット毎の期待されるセル・サイズ。セル毎のMLCビット数によって分けられる物理的な大きさである。

[65] nMOSFETセルを備えたPCRAMのMLCビット毎の期待されるセル・サイズ。セル毎のMLCビット数によって分けられる物理的な大きさである。

[66] PCRAM相変化要素は、妥当な電流で効果的にリセット動作を行う為に技術の世代サイズFより大幅に小さくなければならない。この値はnmにおいて期待される相変化要素の面積である。

[67] PCRAM相変化量はデバイス設計やピークパワー要件にとって、重要な要因である。この値は nm^3 において期待される相変化量である。 -

[68] PCRAMの期待されるリセット電流は μA で表されている。

[69] セット抵抗はPCRAM読み出しスピードのための重要な設定要因である。

[70] PCRAMセル(結晶状態からアモルファス状態まで)をリセットするのに必要な、BJTアクセスデバイスからの期待される電流密度出力の値である。より大きい面積のBJT(大きいセル・サイズをもたらす)とより高いアウトプット電流(高い動作電圧を必要とする。)との間で最適化されたものである。

[71] 必要なリセット電流を提供出来得る期待されるBJTエミッター面積の値である。それからBJT電流密度が推測される。

[72] PCRAMセル(結晶状態からアモルファス状態まで)をリセットするのに必要な、nMOSFETの期待される電流密度出力の値である。より大きい幅のnMOSFET(大きいセル・サイズをもたらす)とより高いアウトプット電流(高い動作電圧または信頼性のないデバイスをもたらす)との間で最適化されたものである。

[73] 必要なリセット電流を提供出来得る、期待されるnMOSFETゲート幅である。それからMOSFETの電流密度が推測できる。

[74] 不揮発メモリとして使用される事を可能とする、PCRAMデータ保持特性の値である。PCRAMの為のデータ保持特性の仕組みはまだ十分に研究されていない。最近公表されたデータでは高温で10年以上のデータ保持特性を示している。

[75] 期待されるPCRAM W/Eサイクリング耐久性の値である。最近公表されたデータによると、 $1\text{E}+9$ から $1\text{E}+13^{23,24}$ のサイクリング耐久性を示している。

不揮発性メモリの解決策候補

フラッシュメモリは、浮遊ゲートに電荷を蓄積しそれをセンスすることにより不揮発性を実現している。電荷の蓄積と引き抜きは、浮遊電極を覆っている絶縁膜を通しての電流が必要となる。これは、高い電界が発生する事を示す。従来のメモリセルのトランジスタの積層形状は、耐熱性サリサイドのコントロールゲート電極、ポリ電極間絶縁膜、ポリシリコン浮遊ゲート電極、トンネル絶縁膜そしてSi基板から形成されている。ポリ間絶縁膜の膜厚は、トンネル絶縁膜に印加される消去または書き込みパルスに対応した適切な容量結合率を保証するために、トンネル絶縁膜にあわせスケールリングする必要がある。トンネル絶縁膜は、リードサイクルまたはオフ状態での電荷の消失をなくしながら、適切な電圧条件での浮遊ゲートに電荷を注入するために十分薄くなければならない。電流の注入方法、消去やプログラム時の電圧レベルや波形、絶縁材料そしてセルの構造の選択は、技術にたいするトレードオフを生ずる。スケールリングされた微細化CMOS技術との相性を維持しつつ小さなセル面積を実現し、これらの多くの問題を均衡させる複雑さは技術に対する最大の課題である。単純なセル寸法の調整は、さらに小さなセルを実現するためのふさわしい手法ではない。ありうる対応解としてのチャート、Figure42は、可能なトレードオフを調査するプロセスが基礎研究を含まない継続的な仕事であることを示している。また、示された時間軸は近い将来の可能性だけをあらわしている。この種の仕事進め方は、継続する技術世代に対して繰り返される。

浮遊ゲートデバイスのトンネル酸化膜の膜厚は最大のスケールリング課題であり、現在のところ認められた解決法はない。これは物理的ゲート長のスケールリングを妨げる。ブロック絶縁膜に high-k 絶縁膜を使用する事は、ゲートカップリング率を維持するか、増加する間に全体の EOT を減らすのに役に立つであろう。

さらにこれは F^2 に比べ遅いペースではあるけれども、セルのワード線方向とビット線方向を縮小し、フラッシュセル面積を縮小するのに役に立ち、セル・サイズがスケールし続けるのを許す。もしアレイ中でビット線のコンタクトを必要としないバーチャルグラウンドアレイがうまく開発されれば、近い将来NORフラッシュセル・サイズは劇的に減ることが可能となる。これらの可能性のある解決方はスケールリングの為の完全な道を与えてくれるわけではないが、従来の浮遊ゲートデバイスの実用的な期間を広げる為の機会を与えてくれる。非平面及びマルチゲートデバイスはパンチスルー限界を超えて、さらなるスケールリングを可能にするであろう。他の不可避の課題は、隣合う浮遊ゲート間でのスペースがゲートの高さに近づく時の浮遊ゲート干渉の件である。ポリシリコン(SONOS/NROMを参照)の代わりに窒化物トラップingleイヤーを使用する事でこの問題を取り除く事が出来るが、SONOSにも独自の課題がないわけではない。

FeRAMは強誘電キャパシタの分極状態を切り替え、読み取ることによって不揮発性メモリを実現している。適切な分極の違いを与え、拡張された動作サイクルの下で必要な安定性を与える適切な強誘電材料を見つけることが、技術課題である。強誘電材料は、CMOS形成するものすべてに対し異質であり、そして、従来のCMOSプロセス条件により劣化するのである。強誘電材料は、物理的にも化学的にも配置されているCMOS素子から分離されていなければならない。強誘電材料、緩衝材料そしてプロセス条件は、改

善され続けられていなければならない。さらに、高密度化の目標を達成するために、セルの配置は、要求される CMOS からの分離を維持しながら最適化される必要がある。電極物質における近年の発展は強誘電体キャパシタを薄くすることの可能性を示し、近い将来 2 次元積層キャパシタの実行可能性を広げている。FeRAM 動作、要求、発展の要素の詳細は *Front End Process* の章に記載されている。

SONOS/NROM は、不揮発性を実現するために電荷を窒化中のトラップへ(から)転送することによってデータの読み書きを行う。SONOS の文字が示す様に、メモリーのトランジスタの断面(上平面)は、ポリシリコンゲートとブロッキング酸化膜、シリコン窒化膜、トンネル酸化膜、そして、Si 基板表面のチャネルから成り立っている。SONOS は電荷がソースとドレインの接合近傍の局在化され位置に蓄えられるという NROM の概念の出現で、新しい局面に入りつつある確立されている成熟技術である。二つの局在化された領域を持つということは、一つのトランジスタに 2 ビットの情報をもつメモリーを提供するということを示す。このメモリーがスケールされるにつれ、短期的な課題は各層の膜厚、トラップのエネルギー、そして空間分布などを含む ONO 積層構造の性能および制御し最適化することであろう。長期的に、ゲート長のスケールリングが、局在化された電荷の蓄積された領域間の分離能力を減少させ、二つのビット間の干渉が書き込みウィンドウを減少させる。(第 2 ビット効果)それにもかかわらず、60nm のゲート長を備えたデバイスは発表されている。対応策の表中では、現在進行中の積層膜の改善が、2007 年における 65nm 技術世代の要求を提供でき得るということが示されている。しかし 2010 年に 45nm を超える世代を実現するためにはさらなる改革が必要である。

MRAM は、磁気トンネル接合 (MTJ) をメモリの素子として使っている。磁気トンネル接合 (MTJ) セルは薄い絶縁膜により分離された 2 つの強磁性材料により形成されている。片方の層の磁気モーメントが他の層のモーメントと一致する様に変化する時(あるいは他の層にの方向に対抗する時)、MTJ の実効抵抗が変わる。“1”または“0”が蓄えられているかを判断するためにトンネル電流の大きさを認識することができる。MTJ の寸法そしてプロセスを制御することは大きな課題である。IC のプロセス温度や条件にたいし敏感な材料を管理することも課題である。長期的には、課題は、スケールされたセルでは、そこではエレクトロマイグレーションが使用され得る電流密度を制限しているが、その電流と関連がある適切な磁気強度“H”をいかに実現するかであろう。対応策の表では、65nm の量産時に向けて集中しなければならない現状の材料研究活動での一端が示されている。

PCRAM はカルゴゲナイド・ガラス(もっとも一般に使用されている化合物は $\text{Ge}_2\text{Sb}_2\text{Te}_5$ または GST である)のアモルファス状態及び結晶状態の抵抗の違いを利用して、ロジック“1”及び“0”を蓄える。このデバイスは最上層電極であるカルゴゲナイド・相変化層及び最下層電極で構成されている。リーク電流経路は相変化層と並列にあるアクセストランジスタで遮断される。書き込み/消去チェンジフェーズは 2 つの動作で構成させている: (A) リセット; カルゴゲナイド・ガラスが短い電気パルスによって、すぐに溶ける。そして高抵抗で無定形固体に再凝固する。(B) セット; より低い振幅、しかしより長いパルス(10ns-100ns)が無定形フェーズをアニールして、低抵抗結晶状態にする。PCRAM にとって主たる課題は、相変化要素をリセットするのに高電流が必要であることと、比較的長いセット時間である。相変化物質の量が時間、スケールリングと共に急速に減るので、これらの課題は解決しやすくなるであろう。

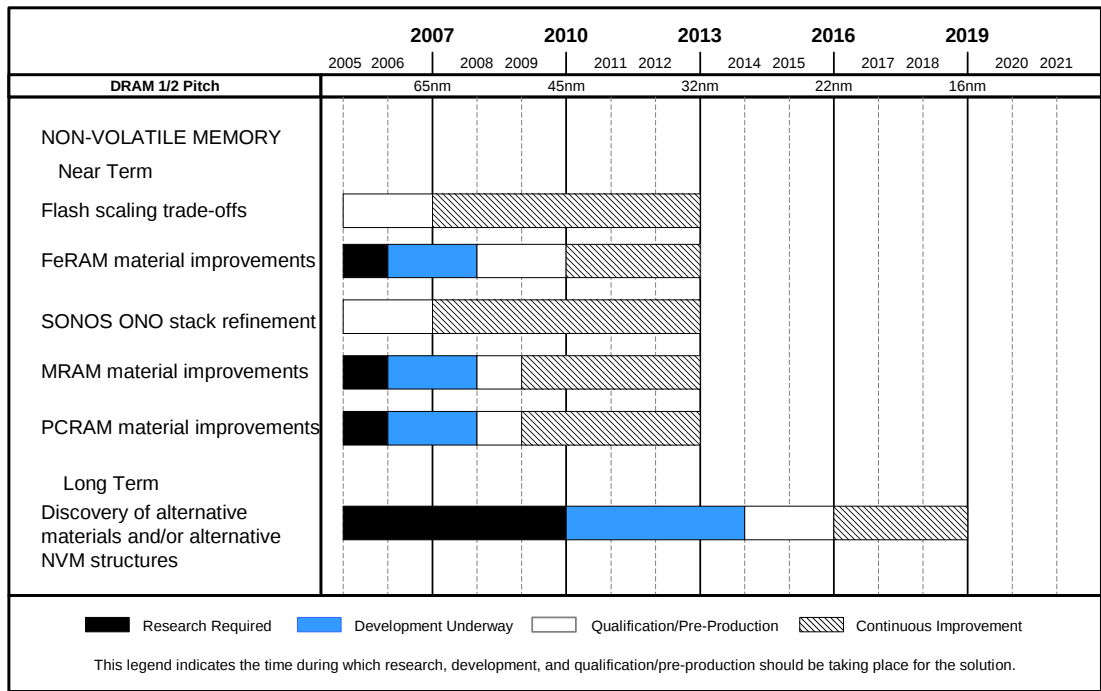


Figure 42 Non-volatile Memory Potential Solutions

信頼性

イントロダクション

信頼性は、集積回路のほとんど全てのユーザにとって重要な要求事項である。要求される信頼性のレベルを実現するという挑戦は、スケーリング、新材料と新デバイスの導入、さらには、時間と資金が増大する制約のため、益々、困難になっている。

スケーリングは、チップ内、パッケージ内の両者において、より多くのトランジスタ、より長い配線を形成することになる。これが欠陥の可能性となる箇所を多くすることに繋がる。

不良のメカニズムは、スケーリングにより影響を受ける。例えば、酸化窒化膜の TDDB(time dependent dielectric breakdown)は、絶縁膜厚が 5nm 以下となると電界依存から電圧依存に変わって来た。さらに、Pch の NBTI (negative bias temperature instability)は、これまで閾値も高くマイナーな効果であったが、先端のデバイスでは閾値の低くなり、現在は、重要な懸念事項である。

スケーリングは、また、不良の原因となるストレスの増加を引き起こす。第 1 に、電流密度が増加している。これが、配線の信頼性に影響する。第 2 に、しばしば、電圧が寸法より緩くスケールダウンされる。これが、電界の増加を引き起こし、絶縁膜の信頼性に影響する。第 3 に、スケーリングが消費電力の増大を引き起こし、これが、高温、大きな熱サイクル、大きな熱勾配を生む。これらが、数々の不良メカニズムに影響を与える。熱の効果は、層間膜の低誘電率化で起こる熱抵抗の減少により、さらに悪化される。

新材料と新デバイスによる革命的な変化により、さらに非常に難解な信頼性への挑戦があることになる。認識される不良のメカニズムが変わり得る。例えば、アルミは、デポジションされた後は安定である。また、エレクトロマイグレーションのパスは、グレインバウンダリに沿うのが支配的である。対比して、銅では電気メッキ後にグレインバウンダリの成長がある。これが幅広メタルを単一ビアで接続する場合に起きるストレス誘起空孔不良の原因となる。加えて、銅においては、エレクトロマイグレーションのパスは表面が支配的である。これが原因で、銅のエレクトロマイグレーション、ストレス誘起空孔発生は、配線間の絶縁膜の性質に、より敏感になる。これが原因で、アルミに比較して銅配線の信頼性は、より界面に敏感になる。

さらに、新材料と新デバイスは、新しい不良メカニズムを生む。例えば、Low k 層間膜の劣った機械的、熱的性質が、これまでのシリコン酸化膜の層間膜では見られなかった機械的な不良メカニズムを生む。最終製品に取り込まれた場合、認識されていない不良メカニズムのインパクトは大きい。

これらの信頼性の挑戦は、多くの大きな技術的な変更が短い期間に導入される必要性から、さらに厳しいものになる。これら変化の相互作用も、不良モードの理解と制御の難しさを増強する。さらに、一度に多くの重大な課題を扱うことになり、限られた信頼性を扱うリソースにとって大きな負担となる。

広範囲にわたる信頼性の挑戦の詳細は、SEMATECH の信頼性技術委員会 (the Reliability Technical Advisory Board (RTAB)) が発行する資料である *“Critical Reliability Challenges for the International Technology Roadmap for Semiconductors (ITRS)”* に記述されている。この報告では、信頼性の懸念点と研究の必要性が 13 のエリアに分けて書かれている。High-k、メタルゲート、Cu/Low-k、SOI、Novel Devices、Microsystems、フラッシュメモリー、ソフトエラー、ESD、ラッチアップ、パッケージ、信頼の設計作り込み (Design for reliability)、欠陥スクリーニングである。

最重要な信頼性の課題

短期信頼性チャレンジについてのトップ 5 の信頼性技術委員会 (RTAB) のコンセンサスを Table44 に示す。これは、この章の最初の PIDS の困難な挑戦の 3 項 “Timely assurance for the reliability of multiple and rapid material, process, and structural changes,” を拡張している。

シリコン酸化膜から新しい High-k 絶縁膜への動きは、時同じくしてポリシリコンからメタルゲート電極への動きと同期していると思われる。これは、今回の版のロードマップにおける High-k とメタルゲートを単一の挑戦としてリストアップすることに繋がっている (以前の版では、別の挑戦であった)。High-k は、絶縁膜不良モード (ブレイクダウン耐圧、安定性 (stability)) はもちろん、ホットキャリア効果や NBTI などのトランジスタの不良モードにも影響を与える。この挑戦を見通す時と、数十年の研究を経ても、シリコン酸化膜の信頼性には、まだ、解決すべき課題が残っていることを知るべきである。ポリシリコンをメタルゲートに置き換えることも、絶縁膜の信頼性に影響を与える。また、新たな熱的、機械的課題を誘起する。High-k とメタルゲートの同時導入は、High-k をポリシリコンゲートにまず導入する場合に比べて信頼性の設定をより難しくする。

上で述べた様に、銅配線と Low k への移行は、エレクトロマイグレーション、ストレス誘起空孔発生、弱い機械的強度、界面密着性、Low k 絶縁膜の小さい熱伝導性、そして、Low k 膜の多孔性等の課題を誘起する。アルミから銅への変更は、エレクトロマイグレーション (グレインバウンダリから表面拡散へ)、ストレス誘起空孔発生 (薄い配線から幅広配線でのビアへ) を変えてきた。銅/Low-k の信頼性は、界面の質に非常に敏感である。Low k の弱い機械的強度は、ウエハープロービング、及び、パッケージ技術にも影響を与える。Low k の低い熱伝導は、チップ上の温度を上昇させ、局所的な熱勾配を上昇させる。これらが信頼性に影響を与える。

より性能を上げるため、さらに、より消費電力の大きい集積回路のための先進的なパッケージ技術は、信頼性の挑戦に追加事項を加える。消費電力の向上、ピン数の増加、増加する環境規制 (鉛フリーなど) は全て、パッケージの信頼性に影響する。特に、Low k 中間絶縁膜の導入により、パッケージとダイの相互作用が増加することになる。

技術開発と設計の間に、信頼性を前もって確保するため、信頼性の設計作りこみツールが必要である。さらに、先進的なより高い消費電力を発生する技術に置いては、信頼性テスト、欠陥のスクリーニングが、よりチャレンジングとなる。再び、上で述べた SEMATECH の資料にあるこれら全ての課題に対する詳細の記述を参照してほしい。

Table 44 Reliability Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
High- κ gate dielectrics with metal gate electrodes	Dielectric breakdown characteristics (hard and soft breakdown) Transistor stability (charge trapping, work function stability, metal ion drift or diffusion) Impact of implantation Metal gate thermomechanical issues (coefficient of thermal expansion mismatch)
Copper/Low- κ interconnects	Stress migration of Cu vias and lines Cu via and line electromigration performance Impact of degradation of properties with lowering κ (strength, adhesion, thermal conductivity, coefficient of thermal expansion) Time Dependent Dielectric Breakdown of the Cu/low- κ system Impact of packaging
Packaging	Impact of increasing Coefficient of Thermal Expansion (CTE) mismatch between low- κ , silicon and organic packages Increasing use of multi-chip packages and heterogeneous integration (e.g., CMOS plus MEMs or Sensor) Electromigration in package traces, vias and bumps Impact of assembly and packaging on on-chip failure mechanisms (cracking, stack delamination) Ability of bumps to withstand thermal and mechanical stresses while providing sufficient current carrying capability
Design and test for reliability	Simulation tools for concurrent optimization of circuit performance and reliability Tools to simulate electromigration, thermal-mechanical stress and process induced charging Soft error detection and correction at chip and system level, including random logic faults Screens for resistive and capacitively coupled interconnect defects Alternative screens for decreasing burn-in effectiveness
Negative bias temperature instability	Degradation of p channel current Dependence on scaling and nitrogen in gate insulator Impact on burn-in
<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Reliability of novel devices, structures, materials and applications	Need to identify and model failure modes, develop acceleration techniques and qualify Post-Cu interconnect solutions (e.g., optical, robust thermal solution, superconductors) Non-CMOS transistors and memory elements New packaging paradigms Novel applications

信頼性の要求

信頼性への要求はアプリケーション依存が非常に大きい。多くの技術変更に内在する信頼性リスクがあるといえども、現状のチップ信頼性レベル(パッケージ信頼性も含む)が、次の 15 年にわたっても維持されることが多くの顧客にとって必要である。また、信頼性のレベルを改善したいと要求するニッチマーケットもある。高い信頼性のレベル、厳しい環境、さらには、長い寿命を要求するアプリケーションでは、メインストリームのオフィス、モバイルのアプリケーションの場合より、信頼性確保がより難しくなる。チップ信頼性レベルを一定に維持するのさえ、トランジスタあたりの信頼性、配線の単位長さあたりの信頼性はスケーリングに伴い、継続的に向上させる必要があることに注意が必要である。信頼性の規格を満足するのは重要な顧客要求である。そして、信頼性の供給を満足できないことは壊滅的な問題となる。

これらの顧客要求は、製造者の要求に落とし込まれる。製造者の要求には、全ての関連する不良モードの深い物理的理解、信頼性の設計作り込み、ビルトイン信頼性、信頼性認証、そして、欠陥スクリーニングのできる強力な信頼性のエンジニアリング能力が含まれる。今日、これらの能力には、一部、重大なギャップがある。さらに、新材料と新デバイス構造の導入により、これらのギャップはさらに大きくなる。最後には、信頼性と性能のトレードオフがさらに困難になり、十分あった信頼性のマージンを無くす必要がある。

信頼性の認証は常にある程度のリスクを含む。実際は、信頼性の要求を満たしていない技術を認証してしまうリスク、もしくは、本当は要求を満たしている技術を除いてしまうリスクがある。何時であろうと、新技術について認証が試みられる。しかし、その認証に対するリスクは大きくなっている。リスクのレベルは、信頼性の物理、信頼性技術の知識ベース、さらに、能力に直に関係している。

信頼性技術要求の色分けは、新材料と新デバイスに対する不完全な知識とツールに起因する信頼性のリスクの表現を意味する。白から黄色、ストライプ、赤と進むに従い、信頼性のリスクが高まることを示す。2007年に始めて黄色(製造の解が知られている)になる。これは、スケーリング、増化する消費電力、そして至シリコン基板の製造への導入に起因する比較的小さいリスクを示す。

要求は、2008年にストライプ(仮の解が知られている)に変わる。これは、High-k ゲート絶縁膜、メタルゲート、完全空乏型 SOI(ハイパフォーマンスロジックの要求にドライブされる)の導入が信頼性のリスクを高めるためである。信頼性の知識ベースとツールは、酸化膜とポリシリコンゲートで開発された程には十分な開発レベルではない。仮の解として、酸窒化膜とポリゲートのトランジスタで現在使われている技術が、High-k とメタルゲートのトランジスタの信頼性評価に使われる。しかし、High-k に移行するに置いて、新しい不良モードの出現、既知の不良モードの変化に伴う実際のリスクが存在する。これら全ての理由により、これらの High-k 絶縁膜が、どのような要求(不良率、時間、動作温度)で認証されるべきか、知られていない。しかし、信頼性の認証は、それ自体、制限要因(赤領域の様な)にならない。

赤は、ロードマップの終焉近くでの信頼性要求として置かれている。赤は、技術選択枝が確定されておらず、信頼性の解決策が知られていない場合のみに使っている(ポスト銅配線に何が使われるかや、如何なる新規デバイスが求められるか など)。これらの技術変化の詳細がより確定した時、信頼性リスクのより良い判断が可能になる。

Table 45a Reliability Technology Requirements—Near-term

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13	
Early failures (ppm) (First 4000 operating hours)** [1]	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	
Long term reliability (FITS = failures in 1E9 hours) [2]	10–100	10–100	50–2000	10–100	10–100	10–100	10–100	10–100	10–100	
Soft error rate (FITS)	1000	1000	1000	1000	1000	1000	1000	1000	1000	
Relative failure rate per transistor (normalized to 2005 value) [3]	1.00	0.79	0.63	0.50	0.40	0.32	0.25	0.20	0.16	Number of transistors
Relative failure rate per m of interconnect (normalized to 2005 value) [4]	1.00	0.84	0.71	0.59	0.51	0.47	0.41	0.37	0.33	Customer needs; J11 length of interconnect

Table 45b Reliability Technology Requirements—Long-term

Year of Production	2014	2015	2016	2017	2018	2019	2020	
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	
Early failures (ppm) (First 4000 operating hours)** [1]	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	
Long term reliability (FITS = failures in 1E9 hours) [2]	10–100	10–100	10–100	10–100	10–100	10–100	10–100	
Soft error rate (FITS)	1000	1000	1000	1000	1000	1000	1000	
Relative failure rate per transistor (normalized to 2005 value) [3]	0.13	0.10	0.08	0.06	0.05	0.04	0.03	Number of transistors
Relative failure rate per m of interconnect (normalized to 2005 value) [4]	0.29	0.27	0.22	0.20	0.18	0.16	0.14	Customer needs; J11 length of interconnect

上記の長期表では、2019～2020 の“トランジスタあたりの相対的不良率”は、これらの年の ORTC 表にチップあたりのトランジスタ数の予測数字が無いいため、取り込んでいないことに注意いただきたい。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

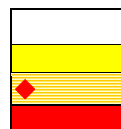


Table 45a と b への注

信頼性の要求は、アプリケーションにより変化する。多くのメインストリームの顧客にとっては、急激な技術変更があるこの期間においても、現在の信頼性のレベルを維持することが十分条件である。現在の信頼性のレベルを落とすことは受け入れられない。信頼性の要求はパッケージされたデバイスに対してであり、チップとパッケージに関連する不良モードを含む。

信頼性の認証は、常に、既に分かっている知識によって実施される。知識レベルが上がると、その分、リスクも減るし、その逆も成り立つ。黄色は、ある程度のリスクがあることを示す。ストライプは、より大きいリスク(変化した不良モード、あるいは、新しい不良モードの出現の可能性による)を示す。最後に、赤は、解決策が出ていなく信頼性のリスクが判断できていないものに対して、解決策が確定していないことを示す(ポスト銅配線にどの技術が使われるか解らない様に)。

[1]最初の 4000 時間動作 (50%のデューティサイクルで1年間の使用) の間の不良。欠陥による初期不良にあたる。

[2]長期信頼性レートは、IC の特定の寿命に適用される。

[3]IC の不良率が時を経ても変わらない場合、[ORTC から]チップあたりのトランジスタ数は増加するため、トランジスタあたりの相対的不良率は減少させなければならない。

[4]チップあたりの配線長が増化する[配線の技術要求テーブルから]ので、配線の単位メータあたりの不良率は減少させなければならない。信頼性でさらに重要なのはビアの数が増大することである。

信頼性の解決策候補

信頼性の要求に答える最も効果的な方法は、それぞれの技術世代の開発初期に完全なビルトイン信頼性と信頼性設計の作り込み (Design-for-reliability) を得られる様にするることである。これは、信頼性と性能とパワーの最適な選択を可能にするであろうし、高い信頼性歩留を持つ製造プロセスの設計を可能にするであろう。残念ながら、今日、これらの能力には大きなギャップがある。将来、これらのギャップはさらに大きくなる。そのペナルティーは、信頼性問題のリスク増大と性能、コスト、タイム・ツー・マーケットの向上の減速である。

信頼性の要求に答えるには、おのこの不良モードに対する深い物理的な理解と強力な実用的な信頼性解析ツールが必要である。歴史を振り返れば、これらの能力 (研究開発により、不良モードを解析し、正しくて予測可能なモデルを導き、信頼性の作り込み設計法、信頼性 TCAD ツールの開発を行う) を開発するには、新規技術世代の製造開始の前に多くの年月 (通常、十年) が必要である。技術の評価能力は向上してきた。しかし、まだ、大きなギャップがある。さらに、特に、代替となるゲート絶縁膜やこれまで使っていないデバイスなど主要な技術の不連続点では、信頼性の能力を如何に早く向上させるかについても限界がある。主要な技術シフトを評価する“短距離競争”は、正しい信頼性の知識ベースが無くては非常に問題が多い。

Figure43 に示される信頼性の解決策候補は、ロードマップの全工程における主要な技術変更を含む (図には挙げていないが信頼性に影響する変更が他にも多くある)。これら信頼性上の重大な技術不連続点があるので、研究開発により、不良モードを特定しモデル化し (黒 表示)、それらを実用的な信頼性工学のレベルにし (青 表示)、最後には、新規技術ノードの信頼性手法を確立する (白 表示) には 5-6 年が必要である。さらには、新規材料やデバイスが製造に入る時まで、信頼性モデルと信頼性の工学的手法の継続的な改良が必要である。もちろん、深刻でない変更はより短い時間で解析されるだろう。現状において、Figure43 に示される必要なマイルストーンの時期に対して、これらの解決策候補が実際に開発されるまでには時間的な遅れが存在する。

信頼性の能力をキャッチアップさせるには、信頼性の研究開発の増強と歴史的なタイムスケールより圧倒的に短く必要な能力を得る工夫を根本的に強化させる必要がある。短時間で結果が出る解析技術、おのこの不良メカニズムの正確なモデルと設計ツールの開発を目指した研究が必要である。銅 low-k、代替のゲート絶縁膜の様な新規材料については、特別な注意が必要である。大規模な IC での忠実性の良いシミュレーションを妥当な時間でこなす信頼性の設計作り込みツールの開発などのブレイクスルーが必要かもしれない。上で述べたように、短い期間に多くの重大な技術変更の導入を扱うには、より多くの信頼性に取り組むリソースもまた必要になるだろう。

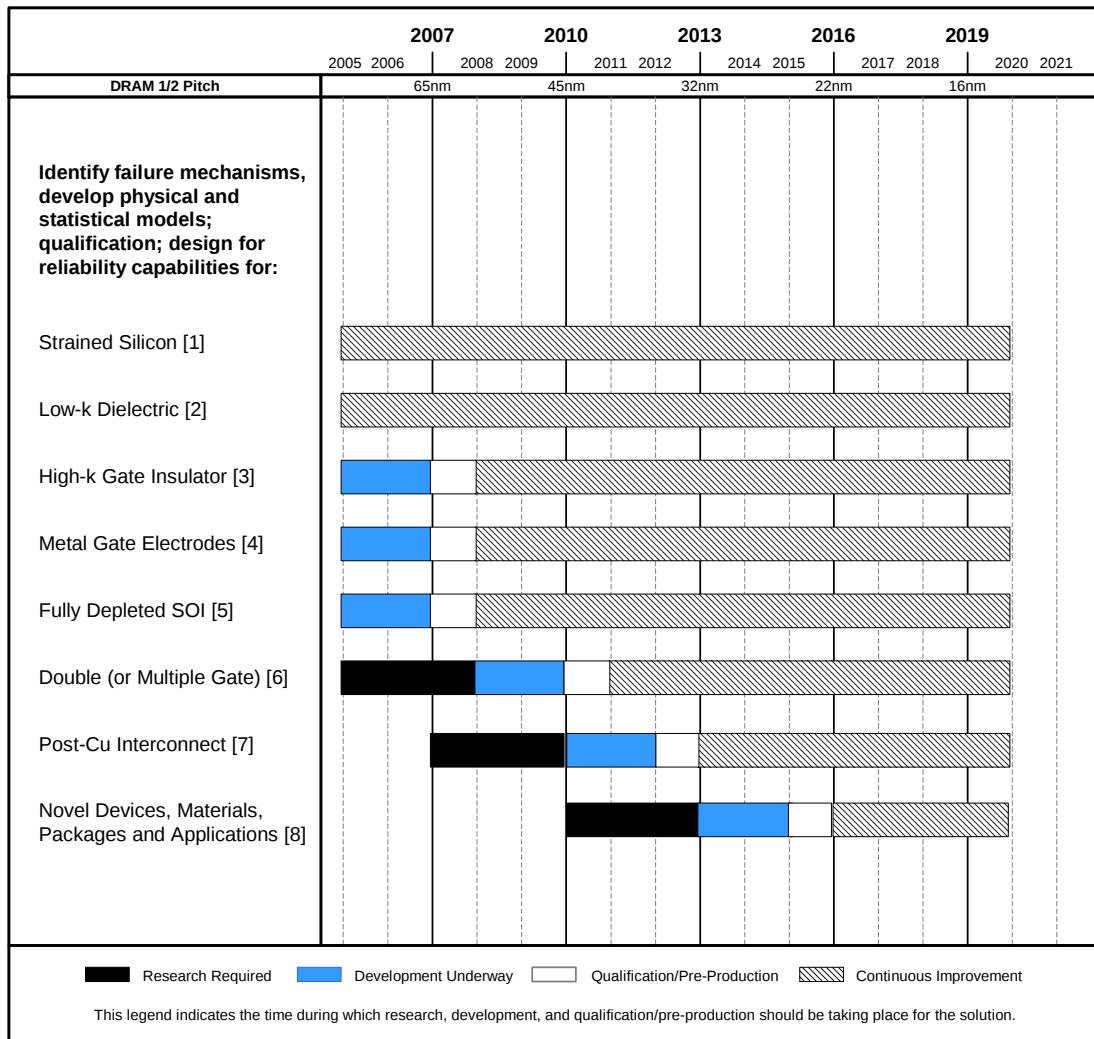


Figure 43 Reliability Potential Solutions

Figure 43 信頼性の解決策候補への注

- [1] 歪シリコンが生産に入っている。将来の技術では、よりアグレッシブな歪シリコンが使用されると予測される。トランジスタ不良メカニズム(ホットキャリアや NBTI など)への影響に対する継続的な対応が必要である。
- [2] Low-k 層間絶縁膜が生産に入っている。引続く世代では、存在する不良メカニズムを修正し、そして、新しい不良メカニズムが導入される、さらに低い Low K 材料が導入される。
- [3] 2008 年に High-k ゲート絶縁膜を導入するという PIDS のロジック要求による。
- [4] 2008 年にメタルゲートを導入するという PIDS のロジック要求による。
- [5] 2008 年に完全空乏型 SOI を導入するという PIDS のロジック要求による。
- [6] 2011 年にダブル(もしくは、トリプル)ゲートトランジスタを導入するという PIDS のロジック要求による。
- [7] ポスト銅配線の必要な時期は明確でない。この表では、2013 年に導入されると仮定した。その時期が前後すると、ボックスも合わせてシフトする必要がある。キーメッセージは、信頼性について、約6年のリードタイムが必要であることである。
- [8] 新規の non-CMOS デバイスが必要となる時期は明確でない。この表では、2016 年に導入されると仮定している。その時期が前後するとボックスも合わせてシフトする必要がある。キーメッセージは、信頼性について、約 6 年のリードタイムが必要であることである。

横断的な TWG の課題

モデリングとシミュレーション

モデリングとシミュレーションは、PIDS の章で要求されるキーの革新技術を扱うことを加速する必要がある。これらは、エンハンスド・モビリティ、High-k ゲート絶縁膜、メタルゲート電極、ノンクラシカル CMOS(極薄ボディの完全空亡型 SOI とマルチゲート MOSFETs)、そして、飽和電流を増加することになる準弾道・トランスポートを含む。これらの革新は、プロセス、材料、物理、設計などの主要な変化をドライブする。他の長期課題として、原子レベルのばらつき、統計的プロセスばらつき、新しい配線スキーム、そして、ミックスドシグナルデバイス技術を扱う強化されたモデリングとシミュレーションの必要性がある。加工寸法の微細化に伴い、新しいプロセス工程、デバイス、配線、回路レベルでのアーキテクチャ、材料、信頼性問題が、より重要になり、要求されるスピードでの開発を実施するためにモデリングとシミュレーションの支援が必要となる。特に、SOI を使うデバイスに対して、既存のモデル(ドーパントの拡散、活性化、キャリアの伝導、ストレス)は、界面効果をカバーする様に拡張されなければいけない。この効果はバルクに比べ益々重要になる。これらの課題は、この ITRS のモデリングとシミュレーションの章にあり、特に、“フロントエンドプロセスモデリング”、“デバイスモデリング”、“配線と集積化された保護膜モデリング”のサブチャプターに記述されている。最後に、ノンクラシカルな CMOS デバイスは、その導入のためには妥当なコンパクトモデルの開発が必要である。

内部での重要な ITWG の議論

新規探求デバイス

新規探求デバイス(ERD)の章は、現状のスタンダードなシリコン CMOS 技術を超えるデバイス、アーキテクチャー、材料の潜在的な技術候補を記述し、評価している。ERD は、PIDS の章に書かれた CMOS の潜在的な後継者と認識される。ロードマップの終焉に向かい、あるいは、それを超え、CMOS のスケールングが効果的でなくなり、もしくは、可能性としてコスト的に合わなくなった時、もし、業界が、性能、低消費電力、機能あたりのコストの急激な向上と、より高い機能密度を享受し続けられるなら、ERD の一部のデバイスがおそらくは必要とされる。従って、PIDS の解決策候補の表は、ロードマップの記述年代の終わりに置いて、ERD の解決策も含むことになる。解決策の詳細として ERD の章も参照とする。

フロントエンドプロセス

フロントエンドプロセス(FEP)と PIDS の章には強い繋がりがある。プレーナバルク MOSFETs に関わる共通の課題のキーエリアとして、シリコン酸窒化ゲート絶縁膜とポリシリコンゲート電極から High-k 絶縁膜とメタルゲート電極への置き換えがある。また、ソースドレインの寄生抵抗をスケールングによっても許容範囲内に収める挑戦、2008 年以降スケールングが進んで閾値電圧を決めるのと短チャネル効果を抑制するのに必要なチャネルの濃度が非常に高くなることを含む難しいトレードオフがある。2008 年から導入が始まると想定される超薄膜完全空亡型 SOI とマルチゲート MOSFETs についても、幾つかの重要な課題は、プレーナバルクと同じである。即ち、High-k ゲート絶縁膜、メタルゲート電極、寄生抵抗を許容範囲に維持することなどである。ただ、チャネルの濃度については、これらのデバイスは本質的にノンドープであり課題ではない。しかし、新しい課題もある。これらのデバイスで求められる非常に薄いシリコン・ボディーの膜厚制御や、これらのデバイスの最適動作をさせる設計と製造技術などである。DRAM については、共通の課題のキーエリアは、DRAM のスケールングによってもアクセス・トランジタのリークを超低リークに保つことと、酸化膜換算膜厚をアグレッシブにスケールするための High-k 絶縁膜をもちいた MIM(Metal Insulator Metal)ストレージキャパシタである。不揮発性メモリについては、共通の課題のキーエリアとして、フラッシュメモリーのポリ電極間とトンネル絶縁膜のスケールングにおける難しいトレードオフが含まれる。

参考文献

ロジックの技術要求

- 1 T. Skotnicki, et al., “A new punchthrough current model based on the voltage-doping transformation”, *IEEE Transactions on Electron Devices*, vol. 35, no. 7, pp. 1076–1086, June 1988.
- 2 T. Skotnicki et al., “A new analog/digital CAD model for sub-half micron MOSFETs”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 165–168, December 1994.
- 3 T. Skotnicki and F. Boeuf, “CMOS Technology Roadmap – Approaching Up-hill Specials”, in *Proceedings of the 9th Intl. Symp. On Silicon Materials Science and Technology*, Editors H.R. Huff, L. Fabry, S. Kishino, pp. 720–734, ECS Volume 2002-2.
- 4 S. Takagi et al., “Channel Structure Design, Fabrication and Carrier Transport Properties of Strained-Si/SiGe-On-Insulator (Strained-SOI) MOSFETs,” *Technical Digest of IEEE International Electron Devices Meeting*, pp. 57–60, December 2003.
- 5 T. Ghani et al., “A 90 nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate length Strained Silicon CMOS transistors,” *Technical Digest of IEEE International Electron Devices Meeting*, pp. 978–980, December 2003.
- 6 K. Rim et al., “Characteristics and Device Design of Sub-100 nm Strained Si N- and PMOSFETs,” *Symposium on VLSI Technology*, pp. 98–99, June 2002.
- 7 C. D. Sheraw et al., “Dual Stress Liner Enhancement in Hybrid Orientation Technology,” *Symposium on VLSI Technology*, pp. 12–13, June 2005.
- 8 B. Doris et al., “A Simplified Hybrid Orientation Technology (SHOT) for High Performance CMOS,” *Symposium on VLSI Technology*, pp. 86–87, June 2004.

不揮発性メモリーの技術要求

- 9 E. S. Cho, et al., “Hf-silicate Inter-Poly Dielectric Technology for sub 70 nm Body Tied FinFET Flash Memory”, *Symposium on VLSI Technology*, pp. 208–209, June 2005.
- 10 R. Koval, et al. “Flash ETOX Virtual Ground Architecture: A Future Scaling Direction”, *Symposium on VLSI Technology*, pp. 204–205, June 2005.
- 11 “A 90nm 512Mb 166 MHz Multilevel Cell Flash Memory with 1.5MBytes/s Programming”, *International Solid State Circuits Conference*, pp. 54–55, February 2005.
- 12 “Highly Manufacturable 90 nm NOR Flash Technology with 0.081 μm^2 Cell Size”, *Symposium on VLSI Technology*, pp. 91–92, June 2003.
- 13 “A 70 nm NOR Flash Technology with 0.049 μm^2 Cell Size”, *Symposium on VLSI Technology*, pp. 238–239, June 2004.
- 14 J.H. Park, et al., “Fully Logic Compatible (1.6V Vcc, 2 Additional FRAM Masks) Highly Reliable Sub 10F² Embedded FRAM with Advanced Direct Via Technology and Robust 100 nm thick MOCVD PZT Technology”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 591–594, December 2004.
- 15 Y. M. Kang et al., “Sub-1.2V Operational, 0.15 μm^2 /12F² Cell FRAM Technologies for Next Generation SoC Applications”, *Symposium on VLSI Technology*, pp. 102–103, June 2005.
- 16 H. Kanaya et al., “A 0.602 μm^2 Nestled Chain Cell Structure Formed by One Mask Etching Process for 64 Mbit FeRAM”, *Symposium on VLSI Technology*, pp. 150–151, June 2004.
- 17 N. Nagel et al., ““New Highly Scalable 3 Dimensional Chain FeRAM Cell with Vertical Capacitor”, *Symposium on VLSI Technology*, pp. 146–147, June 2004.
- 18 D. C. Yoo et al., “Highly Reliable 50 nm-thick PZT Capacitor and Low Voltage FRAM Device Using Ir/SrRuO₂/MOCVD PZT Capacitor Technology”, *Symposium on VLSI Technology*, pp. 100–101, June 2005.
- 19 M. Janai and B. Eitan, “The Kinetics of Degradation of Data Retention of Post-cycled NROM Non-Volatile Memory Products”, *IEEE International Reliability Physics Symposium Proceedings*, pp. 175–180, 2005.
- 20 T. Wang et al., “Reliability Models of Data Retention and Read-disturb in 2-bit Nitride Storage Flash Memory Cells”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 169–172, December 2003.
- 21 S. J. Ahn et al., “Highly Manufacturable High Density Phase Change Memory of 64 Mb and Beyond”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 907–910, December 2004.

22 A. L. Lacaita et al., “Electrothermal and Phase Change Dynamics in Chalcogenide-Based Materials”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 911–914, December 2004.

23 S.J. Ahn et al., “Highly Manufacturable High Density Phase Change Memory of 64 Mb and Beyond”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 907–910, December 2004.

24 S. Lai et al., “Current Status of Phase Change Memory and Its Future”, *Technical Digest of IEEE International Electron Devices Meeting*, pp. 255–258, December 2003.