

無線通信のための高周波およびアナログ・ミックスドシグナル技術

概要

高周波およびアナログ・ミックスドシグナル（以下、RF(Radio Frequency) および AMS (Analog/Mixed-Signal)）技術は、今日、多くの半導体製品で成功するための、欠くことのできない重要な技術である。これらが、急速に成長している無線通信市場を支えている。これらの技術は、多くの材料を用いている。いくつかは SiGe のように CMOS プロセスと互換性を持つものがあり、ほかには周期表の III-V 族に属する化合物半導体のように、CMOS プロセスとは互換性を持たないものもある。

RF および AMS 技術によって可能となる無線応用が、ITRS の新しいシステム牽引役になるものと考え、2003 年に国際ロードマップ委員会 (IRC) は、III-V 族化合物半導体デバイスをロードマップに加えることとした。また、これには CMOS と互換性のあるプロセスにより作られた製品だけでなく、CMOS と互換性のないプロセスにより作られる製品向きの半導体市場の要求も検討に含まれていた。

この 2005 年版 ITRS の RF および AMS の章の目的は、以下のようなものである。

1. 0.8GHz から 100GHz で動作させる、セルラフォン、無線 LAN(local area network)、無線 PAN(personal area networks)、フェーズドアレイ RF システム、および、レーダーやイメージングといった、他の新規の無線通信のため RF および AMS 技術に求められる課題を明らかにすること。
2. Si-CMOS、バイポーラ CMOS(BiCMOS)および SiGe による HBT(heterojunction bipolar transistors)と、III-V 族化合物半導体デバイスとの交点について明らかにすること。

2003 年の RF および AMS のロードマップは、0.8GHz から 10GHz までの応用のための AMS と RF トランシーバとパワーアンプ、さらに 10GHz から 100GHz までの応用に対するミリ波の 4 つのセクションからなっていた。本 2005 年版 RF および AMS の章では、無線通信のフロントエンド回路で使われている基本的な技術要素 (CMOS、バイポーラ素子、および受動素子) への、より整合性のある要求を示しながら、もともとのアプリケーションを主体とした 2003 年版ロードマップを引き継ぐため、再構成を行った。本 2005 年版 RF および AMS の章には、5 つの主要セクションがある。RF および AMS 用 CMOS と、RF および AMS 用バイポーラ素子と、RF およびアナログ用受動素子と、パワーアンプの 4 つのセクションが 0.8GHz から 10GHz のアプリケーションをカバーしており、ミリ波の 1 セクションが 10GHz から 100GHz のアプリケーションをカバーしている。ここでの周波数は通信の名目運送波の周波数を示したものであり、必ずしも、クロックや個々のデバイスや回路の動作周波数を示したものではない。ミリ波のスペクトルは 30GHz から始まるが、このセクションでは 10GHz まで広げた。10GHz から 30GHz 帯での課題や技術的な要求、そして技術が、30GHz から 100GHz 帯で求められるものと同じためである。

上記 5 つの主要セクションに加えて、この章では信号分離の重要性が増してくることについて論じる。無線通信システムが、よりマルチモード、マルチ入力・マルチ出力の無線処理をとるようになると、無線処理やデジタル信号処理で信号分離を確保することが強く求められ、かつ極めて重要な課題になってくる。しかし、この章の他の技術と違い、現在のところ、明確な定義や、信号分離性能に対する有効性を示す図表というものがありません。この 2005 年の章では、信号分離の重要性と、信号分離の課題解決に、さらなる配慮をしてゆくことの必要性を、強く指摘するものである。

今日、10GHz 以下の周波数では 4 族の半導体 (Si および SiGe) が主役であり、10GHz より高い周波数では III-V 族化合物半導体が主役になっている。単元系と化合物系半導体の競合する周波数領域は、時と

ともに変化しており、しだいに高い周波数に移ってゆくものと予測される。もっとも SiGe がミリ波周波数帯の性能をもっている、高い電力利得や超低ノイズが要求されるアプリケーションでは、III-V 族を置き換えることはないであろう。

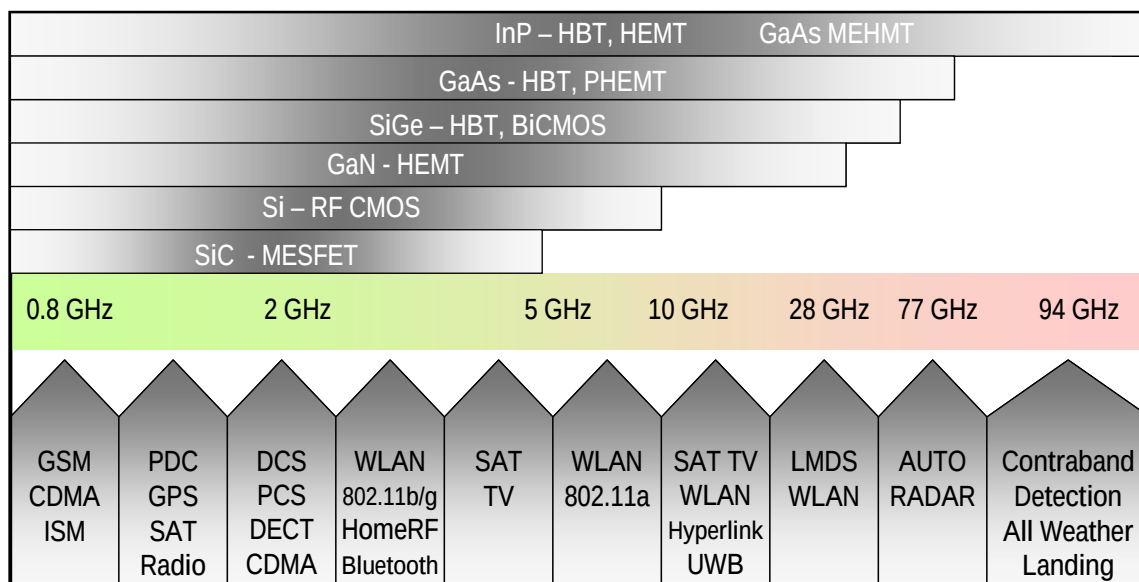


Figure 44 Application Spectrum¹

Figure44 は、商業的な無線通信アプリケーションと適用周波数帯、そこで使用され则认为される单元系および化合物半導体の種類との相互関係をもとに、この章のスコープを模式的に示したものである。無線通信市場における消費者側というのは、コストに極めて敏感である。その結果、こうした分野における、RF および AMS 技術のロードマップを作ることは、容易なものではない。コストが、Figure44 の上段に示した RF の半導体およびデバイス技術のなかからテクノロジーを選択する際の、主要因子の一つになっている。これらの境界は、Figure44 に示したほどははっきりしたものではなく、大雑把で混ざり合っており、時とともに変わっている。IV 族半導体である Si や SiGe と、III-V 族半導体である GaAs との境界は、時代とともに高周波側に移ってきている。また、他のアプリケーションでは、GaAs と InP の境界が、低周波側に移ってきている。また、やがて MHEMT(metamorphic high electron mobility transistor)は、GaAs の PHEMT (pseudomorphic high electron mobility transistor)や InP の HEMT(high electron mobility transistor)を、アプリケーションによっては置き換えるようになるであろう。たとえば、SiGe の HBT は、今日すでに 77GHz の車載レーダーで有望になってきている。SiC や GaN といったワイドバンドギャップ半導体が、2GHz 程度以上の基地局のような社会インフラに使われるようになっていけると考えられる。全天候型着陸装置や隠匿物検知装置、あるいは、その他の安全装置の用途への応用から、94GHz 帯への関心が高まってきている。III-V 族化合物半導体は、通常の CMOS プロセスに関連したものに追加される特性指標を持っている。これには、無線応用におけるキャリア周波数や、露光ゲート長といったものを挙げるができる。

将来においては、ここで示したいいくつかのアプリケーションにおいて、技術の境界を定めるうえで、Figure44 の周波数の軸は重要ではなくなるものと考えられる。これは、Figure44 に示したほとんどの技術で、極めて高い動作周波数が得られるようになっていけると考えられるためである。将来の境界については、雑音指数、出力パワー、パワー付加効率や線形性によって、益々決められるようになってゆくものと考えられる。性能

¹ Adapted from Figure 1 in *Microwave Journal of the paper by D. Barlas, et. al., page 22, June 1999 and printed with permission from the Editor, Microwave Journal.*

は SiCMOS、SiGe、GaAs、InP の順に高くなっている。携帯電話のトランシーバ、基地局のパワーアンプのモジュール、またミリ波レシーバといった種類のアプリケーションにおいては、2 つかそれ以上の技術が、他と共存するものと考えられる。現在、携帯電話のトランシーバにおいて、BiCMOS が CMOS に比べ、量の点で大きな市場占有率を持っている。しかし、CMOS トランシーバが主力となっているローカルエリアネットワーク (WLAN) の通信市場が拡大すると、将来において逆転するものと考えられる。基地局のパワーアンプモジュールにおいては、現在、GaAs の HBT とディスクリート LDMOS(laterally diffused metal oxide semiconductor)デバイスが、GaAs の PHEMT や MESFET(metal semiconductor field effect transistor)に比べ、大きな市場占有率を持っている。しかし、SiC や GaN 技術が発達してくると、置き換えられる可能性がある。将来においては、システムがより高度な機能を要求してくることから、より高い集積能力をもった、シリコンを基盤とした技術の重要性が増してくるものと考えられる。現在、ミリ波レシーバでは、GaAs の PHEMT や InP の HEMT が使われている。将来においては、SiGe の HBT、GaAs の MHEMT そして GaN の HEMT が競合することになるであろう。

無線通信システムのドライバーとして、コスト、周波数帯、消費電力、機能性、携帯機器の大きさ、非常に大きな生産規模、規格やプロトコルなどを挙げることができる。さらに、RF 技術は、いくつかの相反する要求を同時に満たさなければならないため、しばしば性能に関して余分なマージンを要求される。これらのものとしては、パワー付加効率(PAE)、高い出力パワー、低電流および低電圧が挙げられる。通常、シリコンデバイスの場合、RF における性能向上は、スケールリングにより達成される。これに対して III-V 族化合物半導体の場合には、材料やバンドギャップのエンジニアリングにより、キャリア輸送特性の最適化することで実現されている。ここ 20 年の間、III-V 族化合物半導体を基礎とした技術は、無線通信システムでの新しい市場を確立してきている。大量生産が見込まれる製品の場合、Si や最近では SiGe といった IV 族半導体が、低コストで妥当な性能を得られるため、III-V 族化合物半導体に置き換わってきている。

上記の技術的なドライバーに加えて、RF および AMS 技術には、他の無線通信産業のドライバーが存在する。それは、1) 周波数割り当てを決める各種行政機構による規制、2) 送信パワーやチャンネル周波数および帯域幅、そしてシステム全体の性能に影響する規格やプロトコルである。国や地域毎の規格やプロトコルが、国際的な技術的な競争に作用するような場合が、これにあたる。この章のスコープを超えるものであるが、RF および AMS 技術を俯瞰する幅広い文脈に対する異なる見方を与えてくれるものとして記す。こうしたドライバーは、この 2005 年版 ITRS に書かれた他の多くの技術以上に RF および AMS 技術の進歩にしばしば影響を与えるためである。

このロードマップで、アプリケーションドライバーとして考える無線通信回路は、AMS 回路(アナログからデジタル、デジタルからアナログへの変換機を含む)、RF トランシーバ回路(LNA、シンセサイザ、VCO、ドライバー増幅器、そしてフィルターを含む)そしてパワーアンプに分類されるものである。

アイソレーション

この節では、チップおよびパッケージにおける信号分離について述べる。縮小化技術や無線 IC の集積における複雑性の増大に伴い、信号分離が特に重要な課題となる。スケールリングにともない、アナログと高性能デジタル機能をチップ上で集積すると、信号分離の困難さやコストが増大することが予測される。さらに、様々な高性能、高精度、高効率アナログ機能を同じチップや同じパッケージに集積することは、現在および将来の無線通信システムにとって技術課題となる。信号分離はパワーアンプやパワーマネジメント回路で作られる極めて高い RF 電圧や、中間周波数(IF)ブロックによって内部で作られる夥しい周波数のため、フル SoC(System-on-chip)の実現を妨げる、最も困難な障害になるものと考えられる。SIP(System-in-package)の実現であっても、無線通信のスキームがより複雑になるため、性能劣化を抑制するには、信号分離を慎重に取り扱う必要がある。現在のところ、この RF および AMS のロードマップ的には、信号分離の進歩について評価する妥当な特性指標として受け入れられたものはない。そのため、この章に、信号分離についての技術要求と解決策候補のテーブルは入れていません。おそらくこれらは、ITRS の 2007 年版で登場することになるであろう。

RF および AMS 用 CMOS (0.8 GHz–10 GHz)

この節では、LSTP(Low Standby Power)のロードマップにある CMOS デバイスと、高精度アナログ応用やオフチップの RF 信号を駆動する高圧デバイスの、RF およびアナログ特性を取り扱う。携帯用アプリケーションは通常の CMOS より低いスタンバイパワーや高い電源電圧が求められるため、RF および AMS のロードマップのベースとして LSTP のロードマップが選ばれている。このロードマップのデバイスは LSTP のロードマップと全く同一のものであるが、1 年遅れで製品化されるものと考えられる。これらは、トランシーバや周波数シンセサイザや LNA の回路で使われるものである。アナログスピードは主として RF によって決められるが、アナログ高精度 MOS にはアナログに特有の要求がある。そこで本節では、アナログ高精度 MOS デバイスの、高い S/N 比と低信号歪を達成するため、比較的高い電圧を持ったデバイスのスケールングについても検討する。

RF および AMS 用バイポーラ素子 (0.8 GHz–10 GHz)

この節では、中間的な周波数 (10 GHz 以下)で、中間的なパワー (0.5 W 以下) の無線アプリケーションに使われるバイポーラ素子をみてゆく。LNA、トランシーバ、ドライバーと集積化された低電力アンプ応用に使われるバイポーラが含まれる。しかし、特にミリ波で用いられるデバイスについては、ミリ波のセクションでカバーし、特に大きなパワー分野で用いられるデバイスについては、パワーアンプのセクションでカバーするため、ここには含まれて居ない。

ここでのバイポーラのロードマップは、スピード、消費電力、ノイズおよび耐圧が重要なドライバとなっている。コストや線形性といったものは、デバイス技術だけでなく、このセクションの範疇を越えたアーキテクチャや他のシステムレベルでのトレードオフの複雑に影響されるため、ここでは言及しないことにする。

RF およびアナログ用受動素子 (0.8 GHz–10 GHz)

この節では RF および AMS 回路で使われる受動素子、1) 容量素子、2) 抵抗素子、3) インダクタ、4) 可変容量、5) パワーアンプ用受動素子についてみてゆく。デジタル CMOS 回路と違い、多くの RF および AMS 回路の性能は、主として受動素子の性能により決められる。電圧および温度係数は、容量素子や抵抗素子の主要パラメータである。容量素子や抵抗素子は、クロック周波数 0.8GHz 以下の AD(analog-to-digital)変換機や DA(digital-to-analog)変換機のような AMS 回路でも使われている。

パワーアンプ (0.8 GHz–10 GHz)

本節では、端末の電力増幅器用として III-V 族化合物半導体 HBT および PHEMT、Si-MOSFET と SiGe HBT についてとりあげる。また基地局電力増幅器に向けた、より高耐圧な素子として、Si の横方向拡散 MOSFET(LDMOS)、および GaAs、SiC、GaN の FET についても述べる。主要なドライバとなる項目は、(受動素子などの)部品の集積化とコストである。

無線通信網を構成するためには、固定および移動体の送受信機が必要である。携帯電話や無線機能付きの個人用情報端末(PDA)が広く普及していますが、これらの携帯機器は、基地局を通じて電話などの有線通信網に接続される必要がある。基地局の送信機は、携帯機器に情報を送信するために比較的高い(600W)高周波出力を得ることが必要である。一つの基地局には、そのエリアの全ての通信をまかなうために、十台程度の 600W パワーアンプが必要である。このパワーアンプの心臓部は、所望の出力を発生する最終段の高周波パワーアンプ素子である。高出力を得るためにいくつかの素子を並列に接続することがよく行われている。900MHz と 1900MHz 帯の携帯電話用には、Si-LDMOS が低コストで技術的にも成熟しているために現在よく用いられている。GaAs トランジスタもこの周波数帯で用いられており、さらに上の 3500MHz 帯までに関しては GaAs の方がより多く用いられると予測される。GaAs 素子は Si-LDMOS より高価ではあるが、より高い効率と電力密度が得られている。電力密度が高いことは、高周波電力の整合回路を単純にできて有利である。整合回路が単純な方が損失も小さくできるためである。GaN は GaAs よりも大幅な向上を示す素子技術として登場を控えている状況にある。GaN 素子の電力密度は Si-LDMOS や

GaAs トランジスタの4倍にも達する。これは、GaN 素子の、より高い耐圧や電流密度によりもたらされるものである。

ミリ波(10 GHz–100 GHz)

本節では、いくつかの競合技術(GaAs MESFET、GaAs PHEMT、InP HEMT、GaAs MHEMT、GaN HEMT、InP HBT、SiGe HBT)によってもたらされる、低雑音トランジスタやパワーアンプ用トランジスタについて述べる。今日では、化合物半導体素子が 10 から 100GHz帯を支配している。ミリ波帯でよく用いられるトランジスタはHEMT、PHEMT、MHEMTであり、それより低い周波数やミックスドシグナルではMESFETやHBTが主に用いられている。MESFETやSiGe-HBTを除いて、どれもIII-V族の3-4元化合物をエピ成長で積層した構造をとっている。積層構造の材料、膜厚、不純物濃度を任意に設計することができるため、デバイス特性に多様性をもたらすことが出来る。出力電力、効率、破壊耐量、雑音指数(NF)、直線性、その他の特性など、二律背反の要素が多くある。この二律背反の結果の一つとして言えることは、ミリ波帯の性能向上は微細化のみが牽引しているのではなく、二律背反となる設計要素やバンドギャップエンジニアリングの最適化が微細化と呼応しながら牽引しているということである。もっとも、遮断周波数(F_t)や最大発振周波数(F_{max})など微細化のみでも向上する特性もあるけれども、この節のミリ波関係の表で取り上げたいのは、主として短期の市場製品に対する性能指標である雑音指数、出力電力、効率、破壊耐量であり、微細化寸法に関しては従の扱いとなる。III-V化合物半導体技術は急速に変化しているため、長期の予測は2005年版ITRSロードマップのIII-V化合物関係に関しては行っていない。化合物半導体技術は、シリコン技術のように長い歴史的資産に依るものではないし、ムーアの法則に従うものでもない。四つの能動素子の節の中でも、本節は材料、素子の種類、応用分野や性能において最も多彩になっている。

前に述べたように、10-40GHz帯の化合物半導体技術は、RF CMOS や SiGe のようなシリコン技術との競争が盛んになっている分野である。(GaAs の)MESFET に関しては、向こう10年位は既存の設計として使い続けられるが、新しい設計が行われてゆく可能性は小さいものと考えられる。一方で GaN 技術は急速に進歩している。材料技術が成熟して信頼性が確立されてくれば、パワーアンプや高ダイナミックレンジの低雑音増幅器などで、よりローエンドに向けた応用にも適用されるようになると予想される。

困難な課題

アイソレーション

信号分離、とりわけチップ内のデジタルとアナログ領域の分離は、微細化と集積化が進むにつれ大きな課題となってきている。電源、グランド、基板を通じて雑音の結合伝搬が起こってくる。微細化と電源電圧低下に伴い、アナログと高機能デジタルの1チップ集積は困難さを増している。高性能のアナログ回路と高集積デジタル信号処理(DSP)を同一のチップに集積するための鍵は、信号分離になる。こういうデジ・アナ混載は現代の多くの通信機器において寸法、電力、およびコストを削減するために必要となっている。

携帯電話機用チップセットのシステム集積に必要な信号分離の仕様を満たすことは、チップ開発の技術者と、コンピュータによる自動設計(EDA)ツールの供給者の両者にとって、大変重要な課題である。チップ上の信号分離は、電源の設計、基板の選択や、実装に伴う寄生成分発生により影響を受け、回路設計、実装、組み立て、システム集積など、多分野の技術を必要とする。全ての回路をシステムオンチップで集積化しようとするとき、最大の障害となり得るのが信号分離である。なぜなら電力増幅器や電源制御回路からは大変高い高周波電圧が発生し、内部でも中間周波数回路部から多種の周波数成分が発生するからである。信号分離の課題をより重くしているのは、評価に最適なパラメータは何かに関して、考え方が統一されていないことや、信号分離の測定評価やシミュレーションによる推定手段が、信号分離技術を効率的に開発する助けになるほどに成熟していないことによる。

今日の設計(EDA)ツールでは、まだ下記 4 つの回路要素、1)アナログとミックスドシグナル(一部デジタル機能も含む)、2)送受信機、3)電力増幅器、4)電源制御回路、を統合して扱えるようになっていない。設計ツールについては本章の範囲外であるので、設計の章に譲る。設計ツールの中でもとりわけ、1)デジタルと RF の設計の統合、2)インタフェースやレイアウト設計環境への取り込みが容易なこと、3)熱の解析やモデル化ツールとの統合、が重要である。これは、集積密度が高まるにつれ、電力増幅器のチップが集積されることになっても(集積前と変わらず)高い性能が要求されることや、製品化開発期間の短縮がより強く要求されているためである。さらに付け加えると、システムインパッケージ(SIP)用の多層モジュール化や車載レーダーのようなミリ波帯の製品への関心が高まっているために、高速かつ正確な 3 次元電磁界解析や高周波シミュレーションへの強い要求がある。

RF および AMS 用 CMOS

スケーリング則に基づいた LSTP ロードマップに従って基本素子のデジタル性能が着実に向上することは、RF およびアナログ性能のたゆまぬ向上をもたらすことになっている。しかしながら、デジタル回路向けの低待機時電力の要件は、従来型の素子構造においては、ゲート長短縮に比べてゲート酸化膜厚減少の度合いを小さくすることになり、トランジスタのチャンネル不純物濃度をより高めることが必要性になっている。こういう傾向は、電圧利得を下げ、隣接トランジスタ間のしきい値(ペア)ミスマッチを増大させることになる。高誘電率ゲート絶縁膜、チャンネルへひずみを印加する構造や、金属ゲート電極などの新材料技術が導入されるようになると、しきい値や電流のミスマッチと $1/f$ 雑音に関する予測がますます不確実となる。加えて、可変容量素子や抵抗などの受動素子の集積にも新たな手法が必要である。ゆくゆくは、ダブルゲートの完全空乏型 SOI(Silicon On Insulator)のような根本的なデバイス構造変更が、継続的な性能と集積度向上のために必要となる。完全空乏型 SOI では素子のボディ部との接触をとらない構造になっているため、電気特性は従来の CMOS のものと根本的に異なっている。この従来 CMOS と異なる特性は、回路設計者にとっては克服すべき障害でもあり同時に利点ともなっている。利点となりうるのは、高い電圧利得やドレイン-ボディ間の低接合容量などである。逆に高バイアス条件において、アバランシェ現象によるチャンネルへの電荷蓄積が素子特性を損ねることになる。このため、従来の高精度アナログ、高周波用素子、抵抗や可変容量素子を、この SOI 素子と一緒に作製するためには、チップ製造コストを増大させてしまう工程追加が必要になる。結局のところ、スケーリングに伴うアナログの供給電圧低減は、回路設計にとって重大な課題を投げかけている。

RF および AMS 用バイポーラ素子

BiCMOS 技術にとっての短期的課題は、コストを低減しつつ、電力性能を改善すること、さらに困難さを増すものとして、極微細 CMOS と混載するためのプロセス熱負荷要求との摺り合わせ、が挙げられる。主要な長期的課題としては、CMOS に比肩して消費電力を低減するための電源電圧低減が挙げられる。

受動素子

受動素子として抵抗、容量、インダクタ、可変容量、トランス、伝送線路が挙げられる。これらの素子は、低雑音増幅器(LNA)、電圧制御発振器(VCO)、ミキサー、電力増幅器(PA)などの高周波集積回路(RFIC)において、インピーダンス整合、共振、フィルタ、バイアスの各回路に頻繁に用いられている。高周波回路ではあっても 10GHz 以下の製品においては、大抵の場合で RF CMOS トランジスタの性能は十分なものである。従って、RF 回路性能の鍵を握るのは受動素子となる。例を挙げれば、CMOS の RF 送受信機に VCO を集積することは、多くの重要パラメータを考慮する必要があるために、通常大変に困難である。重要パラメータの例としては、広い周波数制御帯域、低消費電力、低位相雑音が挙げられる。これら全てのパラメータは第一義的には VCO 回路にある LC タンク回路に用いられる受動素子によって決まっている。(System Drivers の章のアナログミックスドシグナル(AMS)の節も参照のこと)

民生用を中心に RF CMOS の低コスト化を進めるため、高周波チップへの受動素子集積化が進んでいる。標準 CMOS プロセスに受動素子を集積するには、描画や処理工程の追加が必要であるし、さらには、

新材料導入が必要な場合も生じてきている。従って、製造コストと素子特性は往々にして二律背反となる。ここで応用分野によって異なることもあって、事情をさらに複雑にしているのは、容量やインダクタが、能動素子に比べてより多くのチップ面積を消費することである。従って、工程増加やプロセスの複雑さは増すけれども、容量密度を増大させてチップ面積を削減するといった、別の最適化の考え方もする必要がある。ロードマップで求められる長期的課題としては、高い Q を持つインダクタや高容量密度の金属-絶縁体-金属(MIM)キャパシタをコスト的に有利なやり方で実現できるような新材料の導入などが挙げられる。

パワーアンプ

2005 年に民生用のパワーアンプ(PA)の市場は、ほとんどが携帯電話の RFIC ないしはモジュール用として推移している。携帯電話端末の出荷台数は 2005 年には 7 億台を軽く超えると見られている。一方で、同年に出荷台数数千万台を超えると見られる無線 LAN や Bluetooth 用のチップも、急速に PA 集積化を進める動きとなってきている。これらの製品は、通常、非常に厳しい要求仕様を持ちながら、価格対性能比に対してもきわめて敏感である。この厳しい価格対性能比の要求のために、低コストでのシステム高集積化への動きが続いている。携帯端末用 PA 市場では、RFIC と単一チップの PA パッケージとの組合せから、いくつかの異なる回路要素を組み合わせて、丸ごと増幅器機能を提供するマルチバンド・マルチモードの集積モジュールへと推移している。携帯端末の組立における部品点数削減が好まれるためである。これは携帯端末メーカーでの製造外部委託の増加とも関連している。これらの RF 集積モジュールには通常、ほとんど全ての整合回路やバイパス回路が搭載されており、さらに電力検出、電源制御、フィルタや、送受信および帯域選択用の高周波スイッチも含まれている。携帯電話用 PA の性能はバッテリーの電圧に強く依存している。2005 年に至っても、3V 系のシステムが引き続き広がっており、2003-4 年版 ITRS の PA ロードマップとの乖離が見られた。従って、2005 年度版では現状に合わせた改訂を行った。

送受信機、発振器、フィルタ、およびデジタル部の全ての無線機能を一つのモジュールに集積する取り組みは、PA モジュール集積化の論理的延長と考えられる。こういう高度な集積手法は、小さい面積でありながら、端末の DSP や CPU とデジタル接続され、ベースバンド以降に必要な、全ての高周波回路機能を備えた、まさに単一无線モジュールを提供することになる。こういうシステムインパッケージ(SIP)化された単一无線モジュールが、いずれ当たり前になることは疑う余地がない。これに対する半導体産業における課題は、可能な範囲で如何にコストと性能が見合うように集積化を進めるか、である。

基地局 PA の課題は、全ての高周波・高出力トランジスタに共通するいくつかの本質的問題を中心として展開している。第一の課題は、入出力、特に大きなトランジスタの出力インピーダンスが、これと接続される部分とうまく整合がとれるかである。整合がとれないと、増幅段における効率が低下し、ひいては送信器が所望の出力と直線性が得られない結果に陥ることになる。GaN 素子の高電力密度という特性は、トランジスタのゲート幅を小さくできるために、より整合がとりやすくなるという点で本質的に有利である。基地局 PA のもう一つの主要課題は放熱である。高周波電力効率はせいぜい 50%、すなわち投入した直流電力の半分は熱になるということになる。この熱が素子の温度上昇をもたらす、性能や信頼性を低下させる。基地局用の素子は平均故障時間(MTTF)100 年を達成するように設計される。つまり予め規定された劣化基準を越える素子が半数になるのに 100 年を要する、ということである。これは非常に厳しい要求のように見えるが、そうではなくて、信頼性統計解析によれば 20 年で 10%の故障となることに相当することになる。基地局は通常、20 年機能するように設計されている。GaN 素子は熱設計の点でも有利である。第一に、GaN はワイドバンドギャップ半導体であり、このことは Si や GaAs に比べてより高温でも素子特性の劣化が少ないことを意味している。また、耐熱性も優れるために Si-LDMOS や GaAs に比べて、本来はより長い平均故障時間を持つことができる。まだ技術が成熟していないために、これは実証されてはいませんが、有望であることに変わりはありません。GaN のもう一つ決定的な利点は、SiC 基板上に GaN をエピ成長して素子を形成可能なことである。SiC の高い熱伝導率は、基板に用いることで GaN の高電力密度特性をさらに向上させることに寄与する。

ミリ波

化合物半導体技術はシリコン技術との多くの類似点を持っているが、その一方で、多くの点で明確に異なっている。III-V 族化合物半導体技術は、製造装置や原料化学物質の進歩の恩恵を受けてきてはいるが、これらの開発はシリコン産業を第一に考慮されているために、化合物半導体プロセスにとっては、必ずしも最適ものではない。例えば、GaAs の密度はシリコンの約 2 倍であるが、GaAs の方が割れやすいために、ウェハは、0.025 インチの厚さ(シリコンウェハより約 50%厚い)で一般に処理されることになり、よって自動ウェハ搬送装置やスピン塗布器などへの負荷が重くなっている。さらに、放熱性を高めるために 0.002 インチまでのウェハ薄片化が必要なために、ウェハ破損が歩留まり低下の要因になることを挙げなければならない。

4 インチ径の工場もまだありますが、6 インチ径の半絶縁 GaAs ウェハが普通に入手可能で、デファクト・スタンダードになっている。6 インチおよび 8 インチ基板への動きは、スケールメリットやチップコストとともに、対応設備の供給によって進んでゆくものと考えられる。GaAs のウェハ径はシリコンの 2 世代遅れ、InP はさらに遅れる、という傾向にある。化合物半導体産業が、製造装置進歩の恩恵を受けてゆくためには、ウェハ径の進歩をシリコンに遅れさせないことが重要である。この継続的なウェハ径増大は、とりわけ InP や SiC にとって重要である。後者は、今でも著しく高い欠陥密度に苦しんでいる状態にある。また、今日でも GaN 基板はまだ入手できる状態ではない。多くの GaN デバイス用エピタキシャル成長は、SiC 基板上行われている。GaN が商業ベースに乗るためには、大きな技術的ブレークスルーが必要である。すなわち、GaN HEMT 用 GaN 基板に対して SiC に関しては未解決な問題が残っている。また、SiGe HBT および RF-CMOS がミリ波帯に進出するにつれ、高抵抗 Si 基板の進歩も必要になるであろう。

III-V 族化合物半導体特有のものを含めデバイスの技術課題を挙げれば、以下のようなものである。1) ミリ波用マイクロストリップ回路中で、低インダクタンスでグラウンドをとるための基板ビア、2) ウェハ薄片化技術などの放熱技術、および寄生成分の小さいエアブリッジ接続技術、3) パワーアンプ用の高い破壊電圧、4) 酸化膜パッシベーション。これらの課題は、GaAs 用としては、ほとんど解決されてきているが、InP、SiC および GaN など、新たな III-V 族化合物半導体技術でも適用できるようにする必要がある。高出力の III-V 族化合物半導体装置にとっては、放熱が重大な課題である。この課題は、GaN のような高出力密度の装置では、特に重要である。

技術要求

・2005 年度の技術要求テーブルにおける変更点

5 つのセクションのそれぞれで、技術要求テーブルを示しました。2004 年版からの主な変更は以下に示すものである。

・RF および AMS 用 CMOS(0.8GHz-10GHz)

1. 2004 年 RF および AMS トランシーバ技術要求テーブルを元に作成。
2. 高速アナログ CMOS と RFCMOS の合併。
3. 高精度アナログ CMOS とドライバー CMOS を合併。
4. ミックスドシグナル回路を持ったロジックの、高集積化および高性能化の流れにより、以下の点を継続。
 - a. 定常的なデジタルプロセッシングの能力向上により、デジタル領域においてより多くの信号処理が可能になる。
 - b. RF ノイズ低下にともなった F_t と F_{max} の増大。

- c. 第 2、第 3 の input/output(I/O)-トランジスタゲート酸化膜を用いることで、1) 高電圧での動作の最適化、2) 外部とのインターフェイスのサポート、3) ミックスドシグナルのアプリケーションへ向けた高い S/N 比の維持。
- d. 複数の閾値電圧の導入は、デジタルの電力-遅延の最適化を可能にし、またミックスドシグナルと RF のアプリケーションの設計自由度増大を可能にする。
- e. デジタル、RF およびアナログ機能の電力レベルの低減。

・RF および AMS 用バイポーラ素子(0.8GHz-10GHz)

1. 2004 年 AMS および RF トランシーバ技術要求テーブルを元に作成。
2. バイポーラ技術要求を以下の 3 つに分類。
 - a. 高速—最高速バイポーラ素子。
 - b. RF—無線向けに用いられる最も一般的なバイポーラ素子。
 - c. 高耐圧—前回 2004 年版パワーアンプのテーブルのバイポーラ素子。
3. III—V HBT 以外の Si (SiGe)バイポーラ素子を含む。III—V HBT はパワーアンプおよびミリ波技術テーブルに記載。
4. 他の主な 2004 年度版技術要求からの変更点。
 - a. 全ての種類のデバイスに、 F_t と、 F_{max} と、ベースをオープン時(BV_{ceo})のエミッターコレクタ間耐圧の記述を追加。
 - b. 電源供給能力の要求に関しては、むしろ CMOS にとって意味のある話題のため削除。
 - c. 高速デバイスの F_t ピーク時における電流密度を追加。
5. 以下の他領域における要求項目とオーバーラップするところ有り。
 - a. ミリ波技術要求テーブル中の高速バイポーラ。
 - b. PA 技術要求テーブル中の高耐圧バイポーラ。

・RF および AMS 用受動素子(0.8GHz—10GHz)

1. 2004 年 AMS および RF トランシーバ技術要求、そして PA 技術要求テーブルを元に作成。
2. 以下の 3 つのサブエリアに分割。
 - a. アナログ—低周波アナログ/ミックスドシグナルアプリケーション
 - b. RF—RF アプリケーション
 - c. PA—パワーアンプアプリケーション
3. アナログセクションでは、MOS キャパシタと抵抗 (薄膜、配線工程抵抗、p+ポリシリコン抵抗) に分割
4. RF セクションでは、金属—絶縁体—金属(MIM)キャパシタ、インダクタ、MOS 可変容量に分割。
5. PA セクションでは、PAs、III-Vs、受動素子、PA シリコン/SeGe 受動素子に分割。
6. PA の受動素子要求は大局において変更なし。

・パワーアンプ (0.8GHz～10GHz)

1. 2005 年版 PA テーブルから受動素子に関するものを取り除き、受動素子テーブルのほうへ組み込み。

2. PA テーブルは基本的に変更なし。PA デバイスの進化の遅さは、バッテリー電圧と耐久性に関する要求がほぼ固定されたままのため。
3. SiGe のマルチバンド携帯電話用 PA についてはサンプル出荷されているが、未だに大きなボリュームにはなっていない。CMOS の PA は、検討やサンプル出荷はされているが、実用性や耐久性を持った PA のデモは示されていない。
4. 薄膜積層と低温同時焼成セラミックスによる高集積モジュールにより、劇的に RF フロントエンドのトータル面積が縮小。
5. PA 解決策候補テーブルでは、システムチップへの PA インテグレーションを可能にするもの(silicon integration enabler)として、SOIと高抵抗基板と、IC 上 RF MEMS(micro-electro-mechanical systems) 技術にフォーカスして示す。
6. 基地局 PA:
 - a. \$/RF Watt で計算したデバイスのコストは一定の速さで減少し続け、今日\$0.70/W の水準から 2008 年には\$0.50/W までに減少すると予測される。
 - b. アプリケーションは 2GHz から、3.5GHz の WiMAX のような、さらに速い周波数へと移行し、飽和領域を使ったパワーアンプは、より線形領域を使うパワーアンプへ移行し、CDMA や WCDMA へ対応することとなる。
 - c. 半導体デバイス技術の流れは、同出力でパワー密度を増大させ、デバイスサイズを縮小させる高電圧へと移行していく。
 - d. 周波数が増大するにつれ、LDMOS は GaAs FET と SiC MESFET からの挑戦を受ける。SiC 技術は、GaN 技術にとって代わられる。

・ミリ波 (10GHz~100GHz)

1. 短期の予測のみ [これまでの版と同様に 2011 年までとした理由は以下:
 - a. 化合物半導体は、シリコンのように数十年の歴史からこれからを推定できるほどの歴史を持っていない。
 - b. 化合物半導体産業は、シリコン半導体産業と比べて小さく、成熟度も劣っており、投資も少ない。
2. ゲート寸法は 2003 年ー2004 年のロードマップで予測されていたほど縮小していない。
 - a. 70 nm ゲート長は 2007 年までに実現しない。
 - b. 性能向上は、材料やデバイステクノロジーに、より強く結びついている。例えば、リソグラフィーで同じ大きさにすると、MHEMT は PHEMT に比べて高い性能を有する。
3. いくつかの技術は、この十年で消え行く傾向にある。
 - a. 2006 年以降、低ノイズ GaAs MESFET に向けた新しいデザインは提起されない。ファウンダリーはこれまでの製品や、成熟した市場への生産しか行わない傾向にある。これと同様の流れは、低電圧パワーMESFET にも言えることである。
 - b. PHEMT と InP HEMT はこの 10 年間も経つと MHEMT にその座を明け渡すことになるだろう。
4. GaN の成長は、2003 年および 2004 年における予測を超えて非常に速い。2004 年度版の表で 2007 年に赤く塗られたいくつかのパラメータは、すでに実現済みである。しかし、材料の質とデバイスの信頼性は、量産を考えたときの課題として残っている。

・RF および AMS 用 CMOS

ミックスドシグナル回路を伴ったロジックの、高集積化および高性能化をサポートする CMOS ロードマップのトレンドが維持されてきた。パワーや面積効率に対しいっそう厳しくなる要求を満足させるため、 $1/f$ 雑音、受動素子の集積密度やデバイスのマッチングに注視し続けることが必要不可欠となる。アナログデバイスのモデリングと静電破壊に対する保護対策が、集積度の増加に伴い浮かび上がる課題となるであろう。

製造技術を特定の SoC アーキテクチャに適合させるために、性能とコストの面からプロセスのモジュール化が進められることになる。しかしながら、集積化の目的を達成するために、より厳しいミックスドシグナルトランジスタに対する要求から、製造プロセスの複雑化が余儀なくなると考えられる。ミックスドシグナル分野においては、バイポーラや Si および SiGe ベースの BiCMOS のプロセスが犠牲になるとしても、CMOS 技術の重要性が増してきている。今日における技術要求は、RF トランシーバにおける低電力消費、低ノイズ、低コストの要求にこたえるべく出来上がってきたものである。近い将来には、ソフトウェア無線における RF トランシーバの設定変更能力や、より高いレベルでの波形合成を可能とするための技術要求へと変わるであろう（システムドライバの章を参照）。更なる技術要求としては、マルチモードとマルチバンド化するため、信号分離に関するものが増えるものと考えられる。

Table 46a RF and Analog Mixed-Signal CMOS Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
<i>Performance RF/Analog [1]</i>									
Supply voltage (V) [2]	1.2	1.2	1.2	1.2	1.1	1.1	1.1	1	1
T _{ox} (nm) [2]	2.2	2.1	2.0	1.9	1.6	1.5	1.4	1.4	1.3
Gate Length (nm) [2]	75	65	53	45	37	32	28	25	22
g _m /g _{ds} at 5·L _{min-digital} [3]	47	40	32	30	30	30	30	30	30
1/f-noise (μV ² ·μm ² /Hz) [4]	190	180	160	140	100	90	80	80	70
σV _{th} matching (mV·μm) [5]	6	6	6	6	5	5	5	5	5
I _{ds} (μA/μm) [6]	19	15	13	11	9	8	7	6	6
Peak F _t (GHz) [7]	120	140	170	200	240	280	320	360	400
Peak F _{max} (GHz) [8]	200	220	270	310	370	420	480	530	590
NF _{min} (dB) [9]	0.33	0.3	0.25	0.22	0.2	<0.2	<0.2	<0.2	<0.2
<i>Precision Analog/RF Driver [1]</i>									
Supply voltage (V)	2.5	2.5	2.5	2.5	2.5	1.8	1.8	1.8	1.8
T _{ox} (nm) [10]	5	5	5	5	5	3	3	3	3
Gate Length (nm) [10]	250	250	250	250	250	180	180	180	180
g _m /g _{ds} at 10·L _{min-digital} [11]	220	220	220	220	220	160	160	160	160
1/f Noise (μV ² ·μm ² /Hz) [4]	500	500	500	500	500	180	180	180	180
σ V _{th} matching (mV·μm) [5]	9	9	9	9	9	6	6	6	6
Peak F _t (GHz) [7]	40	40	40	40	40	50	50	50	50
Peak F _{max} (GHz) [8]	70	70	70	70	70	90	90	90	90

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

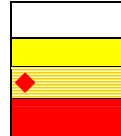


Table 46b RF and Analog Mixed-Signal CMOS Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
<i>Performance RF/Analog [1]</i>							
Supply voltage (V) [2]	1	1	1	1	1	1	1
T _{ox} (nm) [2]	1.2	1.1	1.1	1.1	1	1	0.9
Gate Length (nm) [2]	20	18	16	14	13	12	11
g _m /g _{ds} at 5·L _{min-digital} [3]	30	30	30	30	30	30	30
1/f-noise (μV ² ·μm ² /Hz) [4]	60	50	50	50	40	40	30
σ V _{th} matching (mV·μm) [5]	5	5	4	4	4	4	3
I _{ds} (μA/μm) [6]	5	4	4	3	3	3	2
Peak F _t (GHz) [7]	440	490	550	630	670	730	790
Peak F _{max} (GHz) [8]	650	710	790	890	950	1020	1110
NF _{min} (dB) [9]	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
<i>Precision Analog/RF Driver [1]</i>							
Supply voltage (V)	1.8	1.8	1.8	1.8	1.8	1.5	1.5
T _{ox} (nm) [10]	3	3	3	3	3	2.6	2.6
Gate Length (nm) [10]	180	180	180	180	180	130	130
g _m /g _{ds} at 10·L _{min-digital} [11]	160	160	160	160	160	110	110
1/f Noise (μV ² ·μm ² /Hz) [4]	180	180	180	180	180	135	135
σ V _{th} matching (mV·μm) [5]	6	6	6	6	6	5	5
Peak F _t (GHz) [7]	50	50	50	50	50	70	70
Peak F _{max} (GHz) [8]	90	90	90	90	90	120	120
		switch to FD ro DG device					

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

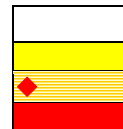


Table46 に対する注

- [1] ORTC(overall roadmap technology characteristics) テーブルで示された、夫々の技術世代において、最初のデジタル製品が現れる年。主要技術に対するリソグラフィーのドライバーを明示した。同じ技術における最初の RF およびミックスドシグナル製品が現れる年は、LSTP に比べ一年ほど遅れる。プレーナ CMOS を越えて DG CMOS を用いた高性能 RF/Analog CMOS や高精度 Analog/RF ドライバー デバイスの色は、集積性が不明確であることから、黄色に変えた。供給電圧、Tox、ゲート長、そして Ids、Ft、Fmax の色は LSTP におけるロードマップを反映して決定した。
- [2] 通常の供給電圧、Vdd、CMOS の酸化膜ゲート換算膜厚、Tox、最小ゲート長は、LSTP デジタルロードマップからのものである。
- [3] 5×最小 (ゲート) 長の LSTP CMOS トランジスタで、低周波における増幅度を測定。異なるゲート長を用いることは、ミックスドシグナル設計において自由度が増加する。長チャネルデバイスは (低周波において) 良好な Gds 増幅度を有する。動作点は Vds=Vdd/2 における閾値 Vth より 200 mV 高い点を採用。標準デバイスの持続的なスケールングでの予測から、最小でも 30 を越える必要がある。これが起こると、標準のロジックデバイスは、周波数特性や高利得に特徴を持つ専用デバイスに置き換えられることになる。
- [4] 1μm² のアクティブエミッタ領域における周波数 1Hz における 1/f ノイズのスペクトル密度。
- [5] NMOS トランジスタの閾値電圧に対するマッチング特性。最小の実用的な間隔で「近接」させたデバイスを仮定。ダミー構造を用いるなどした、注意深い配置やフォトリソグラフィにおける均一性が要求される。不純物の統計的な揺らぎが、SiO₂ の更なる性能改善を妨げ始めている。新たな高誘電率ゲート絶縁膜のマッチング特性は極めて問題である。このパラメータが、求められる精度を持ったミックスドシグナル回路に必要なトランジスタサイズの下限を決め、また、大きさや性能および DC 消費電力を制限することになるだろう。

- [6]最小のトランジスタ(ゲート)長における 50GHz の F_t に対する I_{ds} 。50GHz の F_t は、5GHz のアプリケーションの周波数の 10 倍として選んだ。アプリケーションの周波数として 5GHz というのは、考えている周波数領域 (1-10GHz) の中間点ということで選んだ値である。
- [7]40GHz から、20dB/dec の傾きを用いて外挿する。
- [8]ピーク F_{max} (40GHz から、20dB/dec の傾きを用いて外挿した単方向利得より測る。)
- [9]これは 5GHz における最小トランジスタノイズ (NF) である。
- [10]このデバイスは 2 から 5GHz のアプリケーションのための PA の直接変調と、正確なアナログアプリケーションをサポートするため必要とされたもの。ロジックデバイスの継続的なスケーリングに伴い、こうした特殊要求を満たす為、異なるデバイス構造が求められることになる。
- [11]10×最小(ゲート)長の LSTP CMOS トランジスタで、低周波における増幅度を測定。異なるゲート長を用いることは、ミックスドシグナル設計にとって自由度が増大する。長チャネルデバイスは(低周波数において)良好な G_{ds} 増幅度を有する。動作点は $V_{ds} = V_{dd}/2$ における閾値 V_{th} より 200 mV 高い点を採用。

RF および AMS 用バイポーラ素子

RF and AMS バイポーラは、ワイヤレス製品の LNA や周波数変換トランシーバに最もよく使われるデバイスで、PA に使われることもある。ワイヤレス通信で用いられるバイポーラに対する技術的要求事項は、低電力化、低雑音化、さらには RF and AMS CMOS と同様低コスト化である。バイポーラの低電力化と低雑音化は、1) 高い F_t と F_{max} 、2) 縦方向プロファイルのスケールリング、3) ベース抵抗低減と雑音低減のためのエミッタ幅の縮小、によって達成される。システムレベルの低コスト化は、技術要求表に示したように高耐圧トランジスタ混載による高レベルの機能集積化と、先端 CMOS との集積化によって成される。バイポーラデバイスの特性が向上し、広いダイナミックレンジを持つようになると、将来はダイレクトデジタルシンセサイザやソフトウェア無線などのワイヤレス製品の新しいアーキテクチャを実現することが可能になる。

Table 47a 0.8 GHz–10 GHz RF and Analog Mixed-Signal Bipolar Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
<i>General Analog NPN Parameters</i>									
Emitter width (um)	0.15	0.14	0.13	0.12	0.1	0.1	0.1	0.09	0.09
1/f-noise ($\mu V^2 \cdot \mu m^2 / Hz$)	3	3	2	2	2	1.5	1.5	1.5	1
σ current matching (% $\cdot \mu m$)	2	2	2	2	2	2	2	2	2
<i>High Speed NPN (should be common to mmWave)</i>									
Peak F_t (GHz) [$V_{bc}=1V$]	200	230	265	300	350	370	385	400	420
Peak F_{max} (GHz)	240	260	300	330	390	410	425	440	460
BV_{ceo}	2	1.9	1.8	1.7	1.7	1.7	1.7	1.6	1.6
J_c at Peak F_t (mA/ μm^2)	10	11	12	13	14	15	16	17	18
<i>RF NPN</i>									
Peak F_t (GHz) [$V_{bc}=1V$]	80	80	90	90	100	100	110	110	120
Peak F_{max} (GHz)	150	160	170	180	190	200	210	220	230
BV_{ceo}	3.3	3.3	3.1	3.1	2.9	2.9	2.8	2.8	2.6
NF_{min} (dB) at 5GHz	0.3	0.28	0.26	0.24	0.2	<0.2	<0.2	<0.2	<0.2
I_c ($\mu A/\mu m$) [1] at 50GHz F_t	43	37	28	22	16	15	14	13	12
<i>High Voltage NPN (Should be common to PA)</i>									
Peak F_t (GHz) [$V_{bc}=1V$]	30	32	34	36	38	40	42	44	46
Peak F_{max} (GHz)	100	110	120	130	140	150	160	170	180
BV_{ceo}	8.5	8.5	8.5	8.5	8.5	8.5	8.5	8.5	8.5
BV_{cbo} (V)	18	18	18	18	16	16	16	16	16

Table 47b 0.8 GHz–10 GHz RF and Analog Mixed-Signal Bipolar Technology Requirements—Long-term

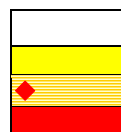
Year							
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
General Analog NPN Parameters							
Emitter width (μm)	0.09	0.08	0.08	0.08	0.07	0.07	0.07
1/f-noise (μV ² ·μm ² /Hz)	1	1	0.7	0.7	0.7	0.7	0.7
σ current matching (%·μm)	2	2	2	2	2	2	2
High Speed NPN (should be common to mmWave)							
Peak F _t (GHz) [V _{bc} =1V]	440	460	480	500	530	550	570
Peak F _{max} (GHz)	480	500	520	540	570	590	610
BV _{ceo}	1.5	1.5	1.4	1.4	1.3	1.3	1.3
J _c at Peak F _t (mA/μm ²)	19	20	21	22	23	24	25
RF NPN							
Peak F _t (GHz) [V _{bc} =1V]	120	130	130	140	140	150	150
Peak F _{max} (GHz)	240	250	260	270	280	290	300
BV _{ceo}	2.6	2.5	2.5	2.4	2.4	2.4	2.4
NF _{min} (dB) at 5GHz	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
I _c (μA/μm) [1] at 50GHz F _t	11	10	9	8	7	6	5
High Voltage NPN (Should be common to PA)							
Peak F _t (GHz) [V _{bc} =1V]	48	50	52	54	56	58	60
Peak F _{max} (GHz)	190	200	210	220	230	240	250
BV _{ceo}	8.5	8.5	8.5	8.5	8.5	8.5	8.5
BV _{cbo} (V)	16	16	16	16	16	16	16

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



受動素子

デカップル用アナログ MOS 容量の特性のロードマップは、CMOS の”analog precision device”の表に基づいている。MOS トランジスタのゲート酸化膜がスケールアップされるとともに容量密度は増加しているがリーク電流の問題が顕在化している。2010 年にはゲート酸化膜厚は 3nm となるが、この場合リーク電流は許容できないレベルに達する。従って MOS 容量ではリーク電流低減を目的として high-k 絶縁膜が必要となるかもしれない。

抵抗デバイスはすべてのアナログ、ミックスシグナル回路ブロックで用いられる。ミックスシグナル及びアナログ応用では、高濃度の P 型ポリシリコン抵抗が良く使われる。それは、マッチング特性がよく、基板との間の寄生容量が小さく、特性の温度依存性が小さいからである。これらの抵抗デバイスは、通常 P チャネル FET(PFET)のソースドレインのイオン注入で使われる高濃度のボロンイオン注入によってドーピングされたゲートポリシリコンで作られる。200-300 Ohm/square の抵抗がこれらの応用には理想的である。CMOS のスケールアップが進むと同時にこれらのソースドレインイオン注入は浅く、低濃度になるため、抵抗デバイスの抵抗値は 500 Ohm/square を超えることになる。この場合、アナログ応用のためにマスクを追加して、誤差の小さい低抵抗デバイスを作ることが必要となる。さらにこれらのデバイスは 100 ppm/°C 以下の優れた温度特性を持つ必要がある。

BEOL で作る薄膜抵抗デバイスは、誤差が小さい、寄生成分が小さい、短期間で設計をやり直せる、といったいくつかの魅力を持つ。これらの特徴は、RF アナログ応用の中でも特に I/O 回路や電流バイアス回路において有効である。一般に薄膜抵抗デバイスは、銅配線 BEOL では普通に使われる TaN で作られる。

これは1層目以上の金属配線層で作られ、金属 via によって接続される。このデバイスはマッチング特性が良いので、アナログ応用には好適である。

RF 応用を考えたときの金属-絶縁膜-金属構造(MIM)の容量デバイスの重要なパラメータは、容量密度、電圧に対する線形性、マッチング、及び Q 値である。容量デバイスのスケールアップには容量密度を増加することが必要である。デバイス面積がスケールアップされると、マッチング誤差も小さくなる。表に示した容量密度は1個の容量の値で、2個を積層したデバイスの値ではない。積層容量はたびたび用いられるが、マスク層が2倍になり、工程も増える。さらに表の値は、Cu 配線を想定したときの値である。Cu 配線は集積化および信頼性の点で Al よりも多くの課題がある。

RF においては高性能なオンチップスパイラルインダクタや多層スパイラルインダクタへの要求が高まっている。なぜなら、多機能低コスト RF 回路の技術的な要求及び集積化への要求が強いためである。デジタル回路技術に伴う典型的な配線のスケールアップ、すなわち BEOL のスケールアップは、直列抵抗損失を低くしたい、という高性能インダクタに対する要求とは食い違っている。さらに、Q 値を増加するには、エディ電流や容量結合による基板損失を最小にする必要がある。これらの効果を低減するには、インダクタを BEOL の最上層の厚膜配線層で形成し、インダクタと基板との間に厚い絶縁膜を形成できるように大きい via を用いることが有効である。このような厚膜配線は、位相雑音低減のために高 Q インダクタが必要となる VCO 回路のような応用で使われる。厚膜アルミニウムあるいは銅配線によって、1 nH のインダクタで 3GHz-5GHz の周波数において 25-30 程度の高い Q 値を得ることができる。

蓄積型あるいは空乏型 MOS バラクタはチューニングレンジを広げられ、高い Q 値を得ることができる。表に示した要求事項は RF/アナログトランジスタのゲート酸化膜を用いたデバイスに対するものである。CMOS スケールアップによって高いチューニングレンジが得られるようになったので、この点は 2004 年アップデート版から改訂されている。インダクタの Q 値を今後も増加させるためにはバラクタの Q 値を増加する必要がある。言い換えると、VCO の性能を制限しているのはバラクタの Q 値になっているのである。さらにゲート幅を縮小したバラクタによって、50 あるいはそれ以上の Q 値が得られるのか、high-k 絶縁膜の導入によってバラクタ特性にどのような影響がでるのか、は明らかではない。

Table 48a Passives Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
ANALOG									
MOS Capacitor									
Density (fF/μm ²) [1]	7	7	7	7	7	11	11	11	11
Leakage (A/cm ²)	<1e-9	<1e-9	<1e-9	<1e-9	<1e-9	<2e-6	<2e-6	<2e-6	<2e-6
Resistor									
Thin Film BEOL									
Parasitic capacitance (fF/μm ²)	0.03	0.03	0.03	0.03	0.05	0.05	0.05	0.05	0.08
Temp. linearity (ppm/°C)	<100	<100	<100	<100	40-80	40-80	40-80	40-80	30
1 σ Matching (% μm)	0.2	0.2	0.2	0.2	0.15	0.15	0.15	0.15	0.1
Sheet resistance, Rs (Ohm/sq)	50	50	50	50	50	50	50	50	50
P+ Polysilicon									
Parasitic capacitance (fF/μm ²)	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Temp. linearity (ppm/°C)	<100	<100	<100	<100	40-80	40-80	40-80	40-80	30
1 σ Matching (% μm)	1.7	1.7	1.7	1.7	1.7	1.7	1.7	1.7	1
Sheet resistance, Rs (Ohm/sq)	200–300	200–300	200–300	200–300	200–300	200–300	200–300	200–300	200–300
RF									
Metal-Insulator-Metal Capacitor									
Density (fF/μm ²) [2]	2	2	2	4	4	5	5	5	7
Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100	<100	<100
Leakage (A/cm ²)	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8
σ Matching (% μm)	0.7	0.7	0.5	0.5	0.5	0.4	0.4	0.4	0.3
Q (5 GHz for 1pF)	>50	>50	>50	>50	>50	>50	>50	>50	>50
Inductor									
Q (5 GHz, 1nH) [3]	25	27	29	30	32	34	36	38	40
MOS Varactor									
Tuning Range [4]	5.5	5.5	5.5	5.5	5.5	5.5	5.5	5.5	5.5
Q (5 GHz, 0 V)	30	30	35	35	40	40	45	45	50
PA									
PA III-V Passives									
Inductors Q (1GHz, 5nH) [5]	15	25	25	25	25	25	25	30	30
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	0.6	2	2	2	2	2	2	2	2
PA Silicon/SiGe Passives [Table 49 a&b]									
Inductors Q (1GHz, 5nH) [5]	10	14	14	14	14	14	14	18	18
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	2	2	2	4	4	5	5	5	7

Table 48b Passives Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
ANALOG							
MOS Capacitor							
Density (fF/μm ²) [1]	11	11	11	11	11	13	13
Leakage (A/cm ²)	<2e-6	<2e-6	<2e-6	<2e-6	<2e-6	<2e-5	<2e-5
Resistor							
Thin Film BEOL							
Parasitic capacitance (fF/μm ²)	0.08	0.08	0.08	0.08	0.08	0.08	0.08
Temp. linearity (ppm/°C)	30	30	30	30	30	30	30
1 σ Matching (% μm)	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Sheet resistance, Rs (Ohm/sq)	50	50	50	50	50	50	50
P+ Polysilicon							
Parasitic capacitance (fF/μm ²)	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Temp. linearity (ppm/°C)	30	30	30	30	30	30	30
1 σ Matching (% μm)	1	1	1	1	1	1	1
Sheet resistance, Rs (Ohm/sq)	200–300	200–300	200–300	200–300	200–300	200–300	200–300
RF							
Metal-Insulator-Metal Capacitor							
Density (fF/μm ²) [2]	7	7	10	10	10	12	12
Voltage linearity (ppm/V ²)	< 100	< 100	< 100	< 100	< 100	< 100	< 100
Leakage (A/cm ²)	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8	<1e-8
σ Matching (% μm)	0.3	0.3	0.2	0.2	0.2	0.2	0.2
Q (5 GHz for 1pF)	>50	>50	>50	>50	>50	>50	>50
Inductor							
Q (5 GHz, 1nH) [3]	42	44	46	48	50	52	54
MOS Varactor							
Tuning Range [4]	5.5	5.5	5.5	5.5	5.5	5.5	5.5
Q (5 GHz, 0 V)	50	55	55	60	60	60	60
PA							
PA III-V Passives							
Inductors Q (1GHz, 5nH) [5]	30	30	30	30	30	30	30
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	2	2	2	2	2	2	2
PA Silicon/SiGe Passives [Table 49 a&b]							
Inductors Q (1GHz, 5nH) [5]	18	18	18	18	18	18	18
Capacitor Q [6]	>100	>100	>100	>100	>100	>100	>100
RF capacitor density (fF/μm ²) [7]	7	7	10	10	10	10	12

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

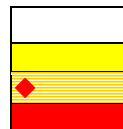


Table48a と Table48b に対する注:

- [1] この容量密度は CMOS の表のうち precision analog device のゲート酸化膜容量に対応する。
- [2] 多層容量は考慮していない。色付け部分は密度、電圧線形性、リーク、マッチングなどすべての要求を満たす Cu 配線を用いた MIM 容量を反映している。
- [3] 特殊用途向け (アナログ向け) 厚膜配線層を用いたシングルエンド、1 nH のインダクタの 5 GHz における Q。
- [4] 定義はバラクタの C-V カーブの $C_{\max}/C_{\min}$ 。CMOS の表のうち、performance RF device に対応。
- [5] インダクタの Q—PA のパワー要求を満たす配線技術で得られる、5 nH インダクタの 1 GHz における Q 値。
- [6] 容量の Q—上記配線技術で得られる 10 pF 容量の 1 GHz における Q 値。耐圧は相当する電力増幅機能を満たす必要がある。
- [7] RF 容量密度—他の機能 (マッチング、ハーモニックフィルタ、カップリングなど) で用いられる容量。それぞれのアプリケーションに必要な耐圧を持つことが条件。積層型は考慮していない。

パワーアンプ

システムによって異なるが、数十 mW から数 mW の送信パワーを得るためには、高効率で線形性の良い RF パワーアンプが必要になる。パワーアンプは大信号を扱うので、通常のサブミクロン CMOS よりも高い耐久性と耐圧が必要とされる。さらに、パワーアンプは通常は電池駆動デバイスなので、ニー電圧は低くしなければならない。このパワーアンプは GaAs HBT、シリコン LDMOS、GaAs PHEMT などで作られる単体デバイスである。RF パワーアンプ機能をシリコン SOC に取り込むためには、必要な RF 機能を実現するためだけではなく、効果的にシステムを集積化するための信号分離のためのデバイスの最適化と開発が必要となる。

パワー制御 IC は、最も単純なもの以外の全てのワイヤレス応用で必要である。この機能は、RF パワーアンプと他の回路ブロックの必要電力を調節し、バッテリーとチャージャーの電圧変化を調整し、パワーレベルを検地し、システムが効率的に動作するように適当な温度、耐久性、リーク電流を設定する。このパワー制御機能を実現するには、通常は高耐圧 CMOS 技術と大規模な周辺 FET デバイスが必要である。さらにパワー制御機能はモジュール内の別の IC としてではなく、SOC の一部として集積化されていくことが予想される。パワーアンプに関する表にはこのパワー制御機能についても記述している。

2005 年には、何社かのセルラー向け大規模ベースバンドシステムメーカーが、マルチモード、マルチバンドトランシーバブロックをベースバンドに取り込む、という重大な発表を行った。この集積化は、従来のアナログブロックを高集積ディープサブミクロン CMOS 特性を活かしたデジタルブロックで置き換えることによる、トランシーバアーキテクチャの大きな変化を引き起こす可能性がある。

2005 年のパワーアンプの表ではあまり大きな改訂は加えられていない。これは電源電圧の 3.4 V から 2.4 V への移行が行われなかったためである。今後 2-3 年は電源電圧は変化しないものと思われる。パワーアンプの RF 特性は電源電圧に大きく依存するので、2.4V に移行した場合は半導体とパワー制御技術に大きな変化が必要となる。

IC の上に MEMS を集積化する研究成果によれば、大きく高価なフィルタ、スイッチ、発振器ブロックはシリコン SOC に取り込まれる可能性がある。現段階では、信頼性、パッケージ、MEMS の高静電耐圧などの重要な問題点が残されている。そのため、今後 2-3 年で集積化セルラー PA に MEMS が広く使われることはないと思われる。

ベースステーション向け半導体市場は 2 GHz かそれ以下が大部分である。将来新しいアプリケーションが新しい周波数帯域に割り当てられるに従って、市場は高周波側へ伸びていく。最も重要で近々実用化される高周波アプリケーションは 3.5 GHz 帯の WiMAX である。このアプリケーションには優れた RF 特性と効率を持つ GaAs PHEMT が用いられる。高周波側への移行とは逆に、単位 RF 電力あたりのデバイスのコストは、今日 \$0.70/W から 2008 年には \$0.50/W に減少する見込みである。このコスト削減の一因はセラミックパッケージに変わってプラスチックパッケージが用いられることである。2005 年は、Si LDMOS が主要な半導体デバイスで 95% のシェアを持ち、残りが GaAs FET である。SiC と GaN FET は新規技術として議論の対象になった段階である。すべての半導体デバイスが高電圧側にシフトする傾向にあるが、これは電力密度を増大させ、同じ出力電力で比較したときのデバイスサイズを縮小する方向である。デバイスサイズを縮小するには、簡単なマッチングネットワークが必要であるが、電力損失を削減し電力効率を増大することができる。

CDMA や WCDMA のようなデジタル変調方式に対応するために、飽和パワーアンプではなく線形パワーアンプを用いる傾向がある。同じデバイスサイズでは、線形パワーアンプで得られる電力は飽和パワーアンプのそれに比べて約 1/2 である。しかし線形動作の PAE は飽和動作に比べて常に小さい。通信システムのデザインが大きく変わらない限り、単体でパッケージングされたデバイスの最大 RF 出力電力は約 240 W 以上にはならない。LDMOS にとっては周波数が上がったときに低周波数(2 GHz)の特性が得られるか、という点が課題となる。これが達成されない場合、LDMOS は他の高価な技術に取って変わられる。GaAs FET は LDMOS よりも優れた高周波特性と高効率、高電力密度が得られるが高価である。GaAs FET にとっての課題は、LDMOS とほぼ同様の動作電圧(28 V)への対応である。SiC MESFET は LDMOS や GaAs に比べるとまだ主流とは言えないが、より高電圧動作と高電力密度を得ることができる。

2005年にはSiCデバイスで得られる最高のRF電力は60Wであり、これはLDMOSやGaAsの約1/4である。SiC MESFETは大変高価で高い熱伝導率を持つSiC基板を用いている。長期的にはSiCはGaNに取って変わられるものと思われる。GaNはLDMOSやGaAs、SiCよりも高い電力密度を持つと予想され、2006年に最初の生產品が市場に出るものと思われる。GaN技術はSiC、サファイヤ、シリコン、GaNなど様々な基板材料を用いて検討されている。それぞれの材料には利点と欠点がある。GaNの大きな課題は、LDMOSやGaAsと同等の信頼性を実現できるか、という点である。さらに、GaNの利点を十分に活かすためには、熱を逃がしやすいパッケージ技術の開発が不可欠である。

Table 49a Power Amplifier Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
Nominal Battery Voltage	3.2	3.2	3.2	3.2	2.4	2.4	2.4	2.4	2.4
PA Product Solutions	Single Radio SIP [1]		Radio/Baseband SIP [2]					Radio/Baseband SIP [2]	
PA Frequency (GHz)	0.8–6		0.8-6					0.8-6	
III-V HBT Transistor									
$F_{\max}$ (at V_{CC}) (GHz)	45	45	45	45	55	55	55	65	65
BV_{CBO} (V)	25	25	25	25	18	18	18	18	18
Linear efficiency (%) [1]	52	52	52	52	55	55	55	55	55
Area (mm ²) [2]	2.5	2.5	2.5	2.5	2.2	2.2	2.2	2.2	2.2
Cost/mm ² (US\$) [3]	0.4	0.35	0.32	0.3	0.28	0.28	0.28	0.25	0.25
III-V HBT Integration									
Power management [4]	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Switch [5]	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT
Filter [6]	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
III-V PHEMT Transistor									
$F_{\max}$ (at V_{dd}) (GHz)	45	45	45	45	75	75	75	75	75
BV_{DGO} (V)	20	20	20	20	16	16	16	16	16
Linear Efficiency (%) [1]	55	55	55	55	58	58	58	58	58
PA Area (mm ²) [2]	4	4	4	4	3.5	3.5	3.5	3.5	3.5
Cost/mm ² (US\$) [3]	0.4	0.28	0.28	0.25	0.24	0.24	0.24	0.22	0.22
III-V PHEMT Integration									
Power management [6]	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Switch [5]	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Filter [6]	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Silicon MOSFET Transistor									
T_{ox} (PA) (Å) [7]	60	60	60	60	35	35	35	35	35
$F_{\max}$ (at V_{dd})	45	45	45	45	60	60	60	60	60
BV_{DSS} (V)	12	12	12	12	10	10	10	10	10
Linear efficiency (%) [1]	45	45	45	45	45	45	45	45	45
PA Area (mm ²) [2]	6	6	6	6	4.5	4.5	4.5	4.5	4.5
Cost/mm ² (US\$) [3]	0.08	0.08	0.08	0.08	0.06	0.06	0.06	0.05	0.05
Silicon MOSFET Integration									
Power management [4]	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Switch [5]	NO	NO	NO	NO	MEMS	MEMS	MEMS	MEMS	MEMS
Filter [6]	NO	NO	NO	NO	NO	NO	MEMS	MEMS	MEMS
SiGe HBT Transistor									
$F_{\max}$ (GHz)	60	60	60	60	80	80	80	80	80
BV_{CBO} (V)	18	18	18	18	16	16	16	16	16
Linear efficiency (%) [1]	50	50	50	50	55	55	55	55	55
PA Area (mm ²) [2]	2.5	2.5	2.5	2.5	2	2	2	2	2
Cost/mm ² (US\$) [3]	0.12	0.12	0.12	0.12	0.11	0.11	0.11	0.11	0.11
SiGe Integration									
Power management	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
Switch	NO	NO	NO	NO	MEMS	MEMS	MEMS	MEMS	MEMS
Filter	NO	NO	NO	NO	NO	NO	MEMS	MEMS	MEMS

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

Table 49b Power Amplifier Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
Nominal Battery Voltage	2.4	2.4	2.4	2.4	2.4	2.4	2.4
PA Product Solutions	Radio/Baseband SIP [2]						
PA Frequency (GHz)	0.8-6						
III-V HBT Transistor							
$F_{\max}$ (at V_{cc}) (GHz)	65	65	65	65	65	65	65
BV_{CBO} (V)	18	18	18	18	18	18	18
Linear efficiency (%) [1]	55	55	55	55	55	55	55
Area (mm ²) [2]	2.2	2.2	2.2	2	2	2	2
Cost/mm ² (US\$) [3]	0.25	0.25	0.25	0.25	0.25	0.25	0.25
III-V HBT Integration							
Power management [4]	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Switch [5]	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT	E-PHEMT
Filter [6]	N/A	N/A	N/A	N/A	N/A	N/A	N/A
III-V PHEMT Transistor							
$F_{\max}$ (at V_{dd}) (GHz)	75	75	75	75	75	75	75
BV_{DGO} (V)	16	16	16	16	16	16	16
Linear Efficiency (%) [1]	58	58	58	58	58	58	58
PA Area (mm ²) [2]	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Cost/mm ² (US\$) [3]	0.22	0.15	0.15	0.15	0.15	0.15	0.15
III-V PHEMT Integration							
Power management [4]	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Switch [5]	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Filter [6]	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Silicon MOSFET Transistor							
T_{ox} (PA) (Å) [7]	35	35	35	35	35	35	35
$F_{\max}$ (at V_{dd})	60	60	60	60	60	60	60
BV_{DSS} (V)	10	10	10	10	10	10	10
Linear efficiency (%) [1]	45	45	45	45	45	45	45
PA Area (mm ²) [2]	4.5	4.5	4.5	4.5	4.5	4.5	4.5
Cost/mm ² (US\$) [3]	0.05	0.05	0.05	0.05	0.05	0.05	0.05
Silicon MOSFET Integration							
Power management [4]	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Switch [5]	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
Filter [6]	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
SiGe HBT Transistor							
$F_{\max}$ (GHz)	80	80	80	80	80	80	80
BV_{CBO} (V)	16	16	16	16	16	16	16
Linear efficiency (%) [1]	55	55	55	55	55	55	55
PA Area (mm ²) [2]	2	2	2	2	2	2	2
Cost/mm ² (US\$) [3]	0.11	0.11	0.11	0.11	0.11	0.11	0.11
SiGe Integration							
Power management	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Switch	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
Filter	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS

Table48a と Table48b に対する注:

[1] 線形効率—personal communication service (PCS) CDMA (IS—95) 変調における最終段 PA の電力付加効率。

[2] 占有面積—4 バンド GSM/GPRS/EDGE の PA およびマッチング、フィルタを含んだ機能を搭載するのに必要な面積

[3] Cost/mm²—ファウンドリで試作した場合のコスト

[4] パワー制御—PA 用に RF 電力検知と DC パワー制御を行うことが可能な技術。

[5] スイッチ—PA のダイにコスト効率良く送信/受信スイッチを集積化できる技術

[6] フィルタ—仮定した PA にバンド選択フィルタを集積化できる技術。今日では SAW (Surface Acoustic Wave) フィルタで作られる。

[7] T_{ox} (PA)—RF パワーアンプで用いられる MOSFET のゲート酸化膜厚

Table 50a Base Station Devices Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
Application frequency (GHz) [1]	0.8–2.7		0.8–3.5			0.8–5			
Cost (\$\$/Watt)	0.7	0.6	0.5	0.4		0.3			0.25
Packaging (C-Ceramic, P-Plastic)	C/P	Plastic							
Si LDMOS									
Operating voltage (V)	<40	<40	<50	<50	<50	<50	<50	<50	<50
Saturated power (Watt)	240	240	240	240	240	240	240	240	240
Saturated power density (W/mm)	1	1.2	1.4	1.4	1.4	1.4	1.4	1.4	1.4
Saturated PAE (%)	65	68	65	68	70	65	65	65	70
Linear power (Watt)	<120	<120	<120	<120	<120	<120	<120	<120	<120
Linear PAE (%)	50	52	50	52	54	50	50	50	52
GaAs FET									
Operating voltage (V)	28	28	28	28	28	28	28	28	28
Saturated power (Watt)	180	180	180	180	180	180	180	240	240
Saturated power density (W/mm)	1	1.2	1.5	1.5	1.5	1.8	1.8	1.8	1.8
Saturated PAE (%)	68	70	72	68	70	72	72	68	68
Linear power (Watt)	<60	<60	<60	<90	<90	<90	<90	<120	<120
Linear PAE (%)	52	55	57	52	54	56	57	52	52
SiC FET									
Operating voltage (V)	48	48	48	48	48	48	48	48	48
Saturated power (Watt)	60	60	60	120	120	120	120	180	180
Saturated power density (W/mm)	3	3	3	3	3	3	3	4	4
Saturated PAE (%)	45	45	47	42	45	45	47	42	42
GaN FET									
Operating voltage (V)	28	28	48	48	48	48	48	48	48
Saturated power (Watt)	60	60	120	120	120	180	180	180	180
Saturated power density (W/mm)	3	3	4	4	5	5	5	5	5
Saturated PAE (%)	52	55	55	60	55	60	60	55	60

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

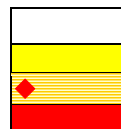


Table 50b Base Station Devices Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
Application frequency (GHz) [1]	0.8–5						
Cost (\$\$/Watt)	0.25						
Packaging (C-Ceramic, P-Plastic)	Plastic						
Si LDMOS							
Operating voltage (V)	<50	<50	<50	<50	<50	<50	<50
Saturated power (Watt)	240	240	240	240	240	240	240
Saturated power density (W/mm)	1.4	1.4	1.4	1.4	1.4	1.4	1.4
Saturated PAE (%)	70	70	70	70	70	70	70
Linear power (Watt)	<120	<120	<120	<120	<120	<120	<120
Linear PAE (%)	52	52	52	52	52	52	52
GaAs FET							
Operating voltage (V)	28	28	28	28	28	28	28
Saturated power (Watt)	240	240	240	240	240	240	240
Saturated power density (W/mm)	1.8	1.8	1.8	1.8	1.8	1.8	1.8
Saturated PAE (%)	70	70	70	72	72	72	72
Linear power (Watt)	<120	<120	<120	<120	<120	<120	<120
Linear PAE (%)	55	55	55	57	57	57	57
SiC FET							
Operating voltage (V)	48	48	48	48	48	48	48
Saturated power (Watt)	180	180	180	180	180	180	180
Saturated power density (W/mm)	4	4	4	4	4	4	4
Saturated PAE (%)	42	42	42	42	42	42	42
GaN FET							
Operating voltage (V)	48	48	48	48	48	48	48
Saturated power (Watt)	240	240	240	240	240	240	240
Saturated power density (W/mm)	5	5	5	5	5	5	5
Saturated PAE (%)	55	60	60	60	60	60	60

Table50a に対する注:

[1] アプリケーション周波数は飽和 PAE のスケーリングに依存する。

ミリ波

短期的には、すなわち車載レーダやLMDS(Local Multipoint Distribution Service)といった大規模商用アプリケーションが立ち上がるまでは、以下の技術要求表におけるミリ波デバイス生産、の定義は他のSi、IV-IV、III-V技術とは異なる。軍事や宇宙といった特殊用途向けのMMIC (Monolithic Microwave IC)の要求数量は、一つのプロセスあるいはデバイス技術 (例えばHBT、0.5 μm HEMT、0.25 μm HEMT、0.15 μm HEMT、GaAsやInP、GaNも同様) 毎に年間 10 から 100 ウェーハ程度でまかなえる。プロセスあるいはデバイス技術毎に必要なウェーハ枚数は製品とアプリケーションに依存する。ウェーハサイズが 100 mmと 150 mm、チップサイズが 2 mm²から 10 mm²、歩留まりを 50 から 70%とすると、年間一プロセス当たり 10000 チップ程度が生産されることになるが、これはシリコンやワイヤレス通信用チップの年間数百万チップ、という数字とは全く異なっている。ここで歩留まりはライン歩留まり、DC歩留まり、RF歩留まり、目視歩留まりの積である。少量生産ゆえにミリ波デバイスファウンドリには特有の課題がある。プロセスを保持し生産するためにファウンドリは年間一プロセス当たり最低 100 枚のウェーハを処理する必要がある。この枚数は統計的プロセス制御に最低必要な枚数である。ブティックプロセスと呼ばれる少量あるいは限られた条件のみのプロセスは可能であるが、全体的なプロセス安定性は得られない。従って、ミリ波デバイスの生産、とはCAMや統計的プロセス制御の元で一プロセス当たり年間 100 枚、と定義した。

ミリ波デバイスに対する技術要求を電界効果トランジスタとバイポーラトランジスタの二種類の主要デバイスに分けた。それぞれの分類の中では電荷輸送メカニズムとデバイス構造に大きな違いはないが、基板材料の選択とエピタキシャル多層膜のデザインによってデバイス特性は大きく異なる。ミリ波トランジスタの大分類を次節に示す。

電界効果トランジスタ(FET)は、多数キャリアである電子がウエーハ表面に平行な薄い領域を走行するので、主に以下の4種類がある。

- MESFET (Metal Semiconductor Field Effect Transistor)は普通 GaAs のホモ接合を用いており、電子は不純物がドーピングされた層を走行する。
- HEMT (High Electron Mobility Transistor)は基板と格子整合したバンドギャップの異なる積層構造を用いる。そして高濃度にドーピングした層から発生したキャリアは隣り合うノンドープ層を走行する。その結果イオン化チャージによる散乱が抑えられて高いモビリティが得られる。基板は主に InP や GaN である。
- PHEMT (Pseudomorphic HEMT)は基板に近い格子定数を持つ、バンドギャップの異なる積層構造を用いる。HEMT よりも高いモビリティを得ることができ、基板は主に GaAs である。
- MHEMT (Metamorphic HEMT)は基板と格子整合せず、バンドギャップの異なる積層構造を用いる。基板との間にバッファ層を設けることで、エピタキシャル成長層に歪みを生じさせることができる。上に述べた他の電界効果トランジスタに比べ、ミリ波応用向けのエピ構造設計のフレキシビリティが大きい。一般に最も手に入りやすく、プロセスも確立されている GaAs 基板を用いることが多い。

HBT (Hetero-junction Bipolar Transistor)はウエーハ表面に対して垂直に少数キャリアが走行するデバイスであり、以下の2種類がある。

- InP HBT は III-IV 族元素[In, Ga, As, Sb, P]を含む3層あるいは4層の InP 基板にほぼ格子整合した積層構造を持つ。GaAs HBT は主に 10 GHz 以下のアプリケーションで用いられる。
- SiGe HBT は Si 基板上の単結晶 SiGe を用いる。

Figure45 は大規模な市場が期待されるミリ波デバイスのアプリケーションを示している。GaAs 産業が大きく落ち込んだ 2001 年以降、ミリ波市場は自動車向け及び W-LAN 向けが主となっている。Figure45 にはこの周波数帯における各デバイスの棲み分けも示されている。GaN デバイスは 40 GHz までの周波数帯におけるパワー応用では他の III-V デバイスに取って代わる可能性があるが、解決すべき多くの課題が存在する。60 GHz あるいは 94 GHz 帯で用いる PHEMT デバイスも報告されているが、このような高い周波数帯では InP HEMT や MHEMT が、その高性能性、低消費電力性能を活かして使われる可能性が高い。PHEMT は低価格なので低い周波数帯では使われているが、10 年後には他のデバイスがこの領域をカバーするものと思われる。

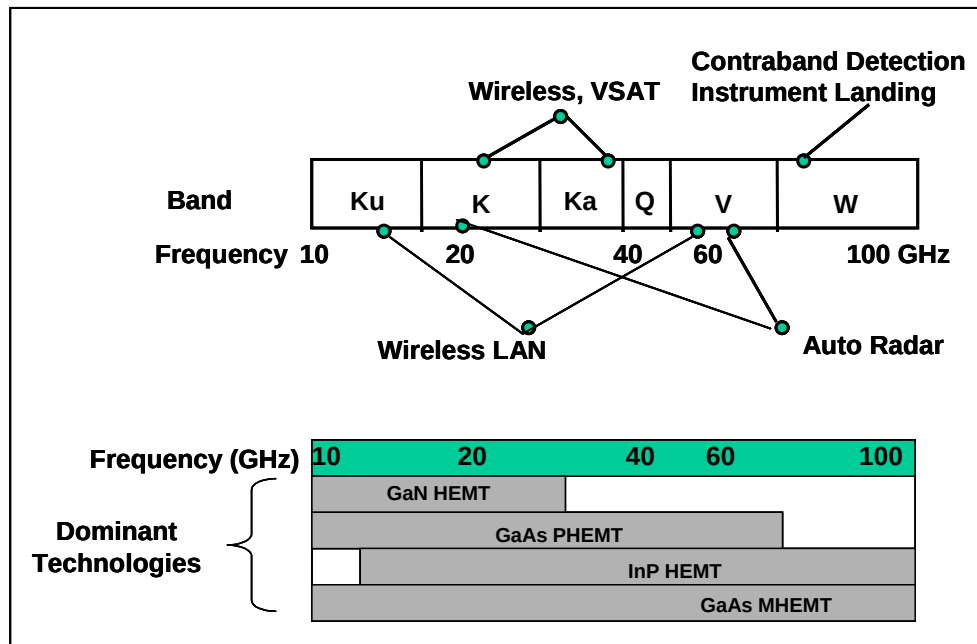


Figure 45 Millimeter Wave Commercial Applications Spanning 10 GHz to 100 GHz

InP HBTとSiGe HBTは高速ロジックとミックスシグナル応用に適している。この分野では閾値制御が重要であるため、閾値がバンドギャップ (材料の特性) で決まるバイポーラの方が、ショットキーバリアやフェルミレベル (プロセス特性) で決まる電界効果デバイスよりも使いやすいためである。HBTは低歪み発振回路でも用いられる。これらHBTは価格と性能の両面においてMESFETを凌駕し、その市場に進出していくものと思われる。InPとSiGeのバンドギャップはほぼ同じであるが、InPは高耐圧、SiGeはBiCMOS化による高集積化が可能、というメリットがある。Enhancement及びDepletion (ED)モードPHEMTとMHEMTも高速回路用デバイスの候補であり、バイポーラよりも低消費電力という利点を持つ。

Table51はHEMTとPHEMTを低ノイズパワーMMICに用いる場合、およびMESFETとHBTをデジタル/ミックスシグナル回路で用いる場合に必要とされる性能を示している。ミキサー、発振器、バラクタ、スイッチ、位相シフタも重要ではあるが、すべてのデバイスに対する技術的課題は小信号 (低ノイズ) 性能と大信号 (電力) 性能に集約される。将来は受動デバイスを組み込む必要がある。

Table 51 Millimeter Wave 10 GHz–100 GHz Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
Device Technology—FET *									
GaAs MESFET (digital mixed-signal)									
Gate length—L physical (nm)	150	150	-	-	-				
Minimum M1 pitch (nm)	680	680	-	-	-				
F _t – enhancement mode (GHz)	120	120	-	-	-				
F _t – depletion mode (GHz)	100	100	-	-	-				
BV _{GD} (1 mA/mm, V _g =0) (volts)	5 to 10	5 to 10	-	-	-				
Power delay product at gate delay-FO=1 (fJ at pS)	1.2 at 18	1.2 at 18	-	-	-				
Shortest DCFL gate delay (pS)	6	6	-	-	-				
Interconnect metal layers	5	5	-	-	-				
Interconnect metal	Al	Al	-	-	-				
Inter line dielectric constant (effective)	3.1	3.1	-	-	-				
GaAs PHEMT (low noise)									
Gate length (nm)	100	100	70	70	70	50	50		
F _t (GHz)	130	130	150	150	170	170	200		
Breakdown (volts)	7.5	7.5	7	7	6	5	5		
I _{max} (mA/mm)	700	700	600	600	600	550	550		
G _m (S/mm)	0.72	0.72	0.8	0.8	0.8	0.85	0.85		
NF (dB) at 26 GHz, 18–20 dB associated gain	2.5	2.5	2	2	2	1.8	1.8		
NF (dB) at 94 GHz, 8–10 dB associated gain	4	4	3.5	3.5	3.5	3.2	3.2		
GaAs PHEMT (power)									
Gate length (nm)	100	100	100	100	70	70	70		
F _{max} (GHz)	150	150	200	200	250	250	250		
Breakdown (volts)	11	11	9	9	7	7	7		
I _{max} (ma/mm)	750	750	850	850	900	900	900		
G _m (S/mm)	0.67	0.67	0.85	0.85	0.95	0.95	0.95		
P _{out} at 26 GHz and peak efficiency (mW/mm)	550	550	600	600	750	750	750		
Peak efficiency at 26 GHz (%)	30	30	40	40	45	45	45		
Gain at 26 GHz, at P _{1dB} (dB)***	12	12	14	14	16	16	16		
P _{out} at 94 GHz and peak efficiency (mW/mm)	300	300	350	350	350	350	350		
Peak efficiency at 94 GHz (%)	15	15	20	20	25	30	30		
Gain at 94 GHz, at P _{1dB} (dB)***	5	5	6	6	6	7	7		
Device Technology—FET *									
InP HEMT (low noise)									
Gate length (nm)	100	100	70	70	70	50	50		
F _t (GHz)	210	210	240	240	240	260	260		
Breakdown (volts)	3.5	3.5	3	3	3	2.5	2.5		
I _{max} (ma/mm)	700	700	650	650	650	600	600		
G _m (S/mm)	1	1	1.2	1.2	1.2	1.3	1.3		
NF (dB) at 26 GHz, 20–23 dB associated gain	1.8	1.8	1.5	1.5	1.5	1.3	1.3		
NF (dB) at 94 GHz, 10–13 dB associated gain	2.5	2.5	2	2	2	1.8	1.8		
InP HEMT (power)									
Gate length (nm)	150	100	100	100	70	70	70		
F _{max} (GHz)	200	220	260	260	260	300	300		
Breakdown (volts)	5	5	6	6	6	7	7		
I _{max} (ma/mm)	750	700	650	650	650	650	650		
G _m (S/mm)	0.8	0.9	0.9	0.9	1	1	1		

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
P _{out} at 26 GHz and peak efficiency (mW/mm)	400	400	450	450	450	500	500		
Peak efficiency at 26 GHz (%)	30	40	50	50	50	55	55		
Gain at 26 GHz, at P _{1dB} (dB)***	12	14	15	15	16	16	16		
P _{out} at 94 GHz and peak efficiency (mW/mm)	250	300	350	350	400	400	400		
Peak efficiency at 94 GHz (%)	25	40	40	45	45	45	45		
Gain at 94 GHz, at P _{1dB} (dB)***	6	8	10	10	12	12	12		
<i>GaAs MHEMT (low noise)</i>									
Gate length (nm)	100	100	100	70	70	50	50		
F _t (GHz)	200	250	300	300	400	400	450		
Breakdown (volts)	5	5	5	4	4	3	3		
I _{max} (ma/mm)	680	680	680	680	680	680	680		
G _m (S/mm)	1	1	1.1	1.1	1.2	1.2	1.2		
NF (dB) at 26 GHz, 10–23 dB associated gain	1.6	1.6	1.2	1.2	1	1	0.8		
NF (dB) at 94 GHz, 10–13 dB associated gain	2.5	2.3	2.3	2	2	1.8	1.8		
<i>Device Technology—FET *</i>									
<i>GaAs MHEMT (Power)</i>									
Gate length (nm)		150	150	100	100	70	70		
F _{max} (GHz)		200	250	275	300	300	300		
Breakdown (volts)		8	8	9	9	10	10		
I _{max} (ma/mm)		650	700	750	800	800	850		
G _m (S/mm)		0.75	0.8	0.85	0.9	0.95	1		
P _{out} at 26 GHz and peak efficiency (mW/mm)		600	650	700	750	800	850		
Peak efficiency at 26 GHz (%)		45	55	55	60	60	65		
Gain at 26 GHz, at P _{1dB} (dB)***		12	15	16	16	16	17		
P _{out} at 94 GHz and peak efficiency (mW/mm)		250	300	325	350	400	450		
Peak efficiency at 94 GHz (%)		25	30	35	40	45	45		
Gain at 94 GHz, at P _{1dB} (dB)***		7	8	10	10	11	12		
<i>GaN HEMT (low noise)</i>									
Gate length (nm)			150	100	100	70	70		
F _t (GHz)			100	100	120	150	200		
Breakdown (volts)			40	40	40	40	40		
I _{max} (ma/mm)			1000	1200	1500	1500	1500		
G _m (S/mm)			0.3	0.4	0.5	0.5	0.5		
NF (dB) at 26 GHz, 14 dB gain			2	2	1.5	1	0.8		
<i>GaN HEMT (power)</i>									
Gate length (nm)			150	100	100	70	70		
F _{max} (GHz)			100	100	150	200	200		
Breakdown (volts)			40	60	80	100	100		
I _{max} (ma/mm)			1000	1000	1000	1500	1500		
G _m (S/mm)			0.3	0.4	0.5	0.5	0.5		
P _{out} at 26 GHz and peak efficiency (mW/mm)			5000	6000	7000	8000	10000		
Peak efficiency at 26 GHz (%)			35	40	50	60	60		
Gain at 26 GHz, at P _{1dB} (dB)***			10	12	12	13	14		
P _{out} at 44 GHz and peak efficiency (mW/mm)			2000	2000	2000	2500	2500		
Peak efficiency at 44 GHz (%)			35	35	35	40	40		
Gain at 44 GHz, at P _{1dB} (dB)***			8	8	8	9	9		
<i>Device Technology—HBT *</i>									
<i>InP HBT</i>									
Emitter width (nm)	350	350	250	250	150	150	150		
Emitter Area (square microns)	1	0.75	0.75	0.5	0.5	0.4	0.4		
F _t (GHz)	300	300	350	350	400	400	400		

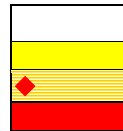
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
F _{max} (GHz)	300	300	400	400	450	450	450		
Breakdown (BV _{CEO}) (volts)	4	4	4	4	3	3	3		
I _{max} /μm ² (mA/μm ²)	4	5	5	5	7	7	7		
Beta	50	50	50	50	50	50	50		
3 sigma V _{BE} (mV)	40	30	30	25	25	20	20		
Interconnect metal layers	4	4	5	5	5				
Interconnect metal	Al, Au	Al, Au	Al, Au, Cu	Al, Au, Cu	Al, Au, Cu	Al, Au, Cu	Al, Au, Cu		
Barrier	PVD	PVD	IMP	IMP	IMP	IMP	IMP		
Wafer diameter (mm)	100	100	150	150	150	150	150		
<i>SiGe HBT</i>									
Emitter Width (nm)	150	140	130	120	100	100	100		
Peak F _t (GHz) B _{bc} =1V	200	230	265	300	350	370	385		
Peak F _{max} (GHz)	240	260	300	330	390	410	425		
Breakdown (BV _{CBO}) (volts)	5.3	5	5	4.5	4.5	4.3	4.3		
Breakdown (BV _{CEO}) (volts)	2	1.9	1.8	1.7	1.7	1.7	1.7		
I _{max} /□m ² (mA/μm ²)	10	11	12	13	14	15	16		
Beta	200	200	250	250	300	325	350		
Nf _{min} at 77 GHz (dB)	5.5	5.1	4.6	4.3	3.9	3.8	3.7		

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



* リソグラフィサイズは描画サイズを指す。

**出力パワーは全て 2-3 dB抑制される。P_{out} は全ゲート周辺長で規格化している。

*** P_{1dB} (dB)はデバイスの利得がその線形利得よりも 1 dB減少した、すなわち利得が 1 dB抑制された点のパワーを指す。

Figure46、47、48 のバブルチャートは各種デバイスの短期間の技術的トレンドを示している。Figure46 に示した PHEMT のバブルは、今日購入できる低ノイズアンプのノイズ指数と周波数の関係を示している。現在 PHEMT はミリ波帯における低ノイズデバイスとして用いられているが、ディフェンス応用については、短期的には InP HEMT によって、10 年後には MHEMT によって取って代わられる。さらに、ディフェンス応用向け InP HEMT は MESFET をも置き換えることが予想される。このことは図中に InP HEMT/MHEMT のバブルで示されており、この領域は 2005 年の研究結果から明らかにされたものである。現在の R&D の方向性は将来の商品のトレンドを示すものである。InP HEMT や MHEMT はノイズが低いだけでなく、同じ NF とゲインで比べた場合 DC 消費電力が 1/4 になる、というメリットもある。

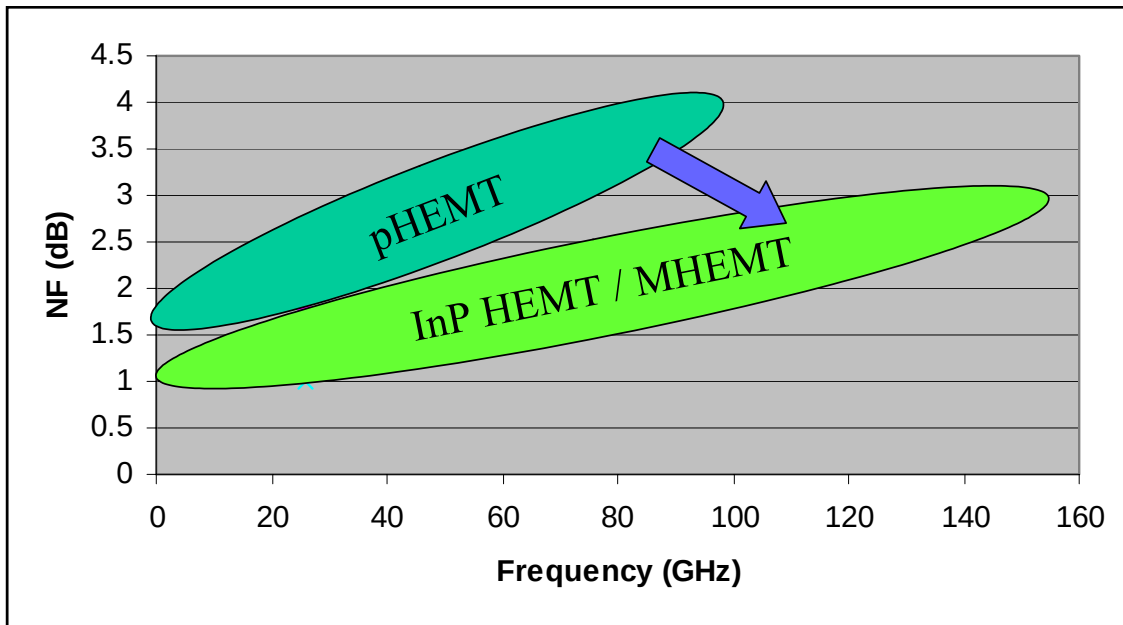


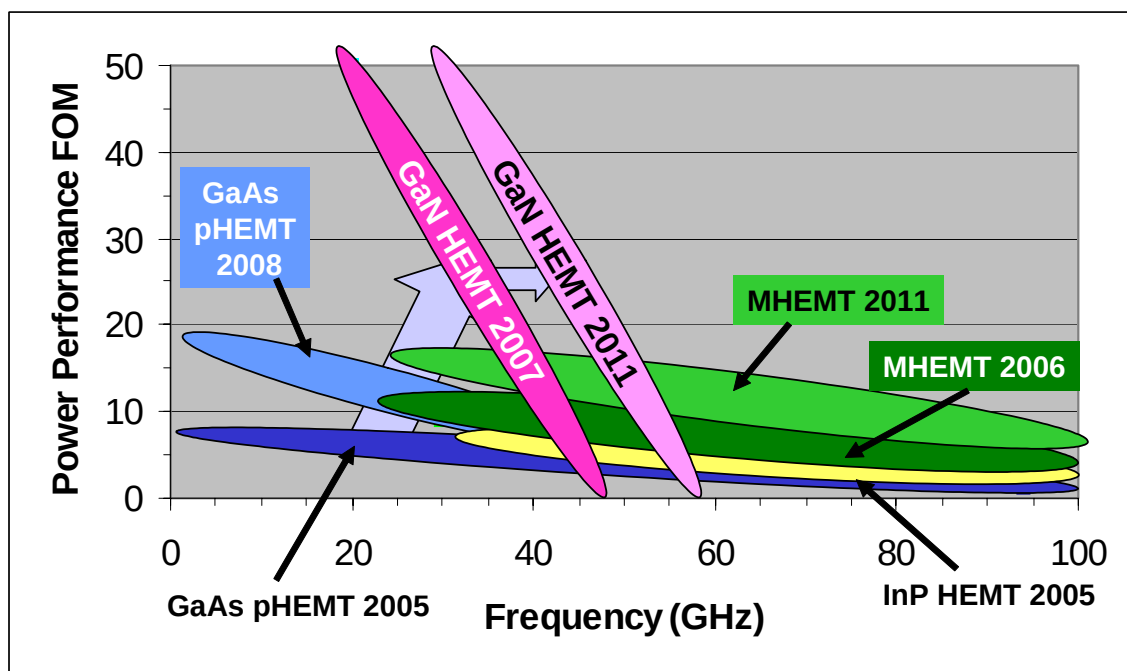
Figure 46 Low Noise Amplifiers Technology Positioning 2006–2011

Figure47はミリ波パワー応用における技術トレンドである。縦軸のFOM (Figure of Merit)は10-20%のバンド幅を持つ中心周波数における、MMICの電力密度(W/mm)と一段あたりの小信号利得の積である。別のデバイスに対しては電力帯域幅積もFOMとして用いられてきたが、傾向は同様である。GaAs PHEMTとInP HEMTはミリ波帯のパワーデバイスとして生産されており、特に77 GHz以下のアプリケーションではGaAs PHEMTは使われることが多い。ところがこれらのデバイスでは将来のシステムに要求されるパワー性能を得ることはできない。GaAs PHEMTもInP HEMTも技術開発によって特性は向上するものと思われるが、それでも将来の要求には応えられない。

ミリ波パワーデバイス開発においては、エンジニアは常にジレンマを抱えている。電力または電力密度が増加すると、デバイスは高電圧または高電流で動作させなければならない。ある決まったデバイス技術においては、動作電圧と電流密度はトレードオフであり、それに加えて動作電圧が増加すると高周波動作性能または利得は減少してしまう。たとえばInP HEMTに比べて高電圧で使うことができるGaAs PHEMTはミリ波帯の高い周波数領域では利得が制限されてしまう。一方高い高周波利得を得られるInP HEMTは低電圧(すなわち低電力)で動作させなければならない。これら双方の利点、すなわちGaAs PHEMTの高電圧動作性能とInP HEMTの高周波利得を同時に実現する構造を見出すことが今後の課題である。

現在開発されているアプローチのひとつは、バンドギャップエンジニアリングによってGaAs PHEMTの高電圧動作性能とInP HEMTの高利得性能を得ることができるMHEMTである。Figure47に示すようにパワーMHEMTは40-100 GHz以上の周波数帯においてGaAs PHEMTとInP HEMTの性能を凌駕し、2006年ごろには生産可能であると思われる。

もうひとつのアプローチは広いバンドギャップを持つGaNである。マイクロ波帯においてGaN HEMTはGaAs PHEMTに比べて5-10倍高い電力密度が得られることがわかっている。GaN HEMTがこのような画期的なパワー性能を示すのは、GaAs PHEMTに比べて利得は少し下がるものの、はるかに高い動作電圧と高電流密度を得られるためである。さらなる開発により、GaN HEMTは、5年以内に、ミリ波帯、おそらくQバンドまでの周波数領域における最も優れたデバイスとなるものと思われる。



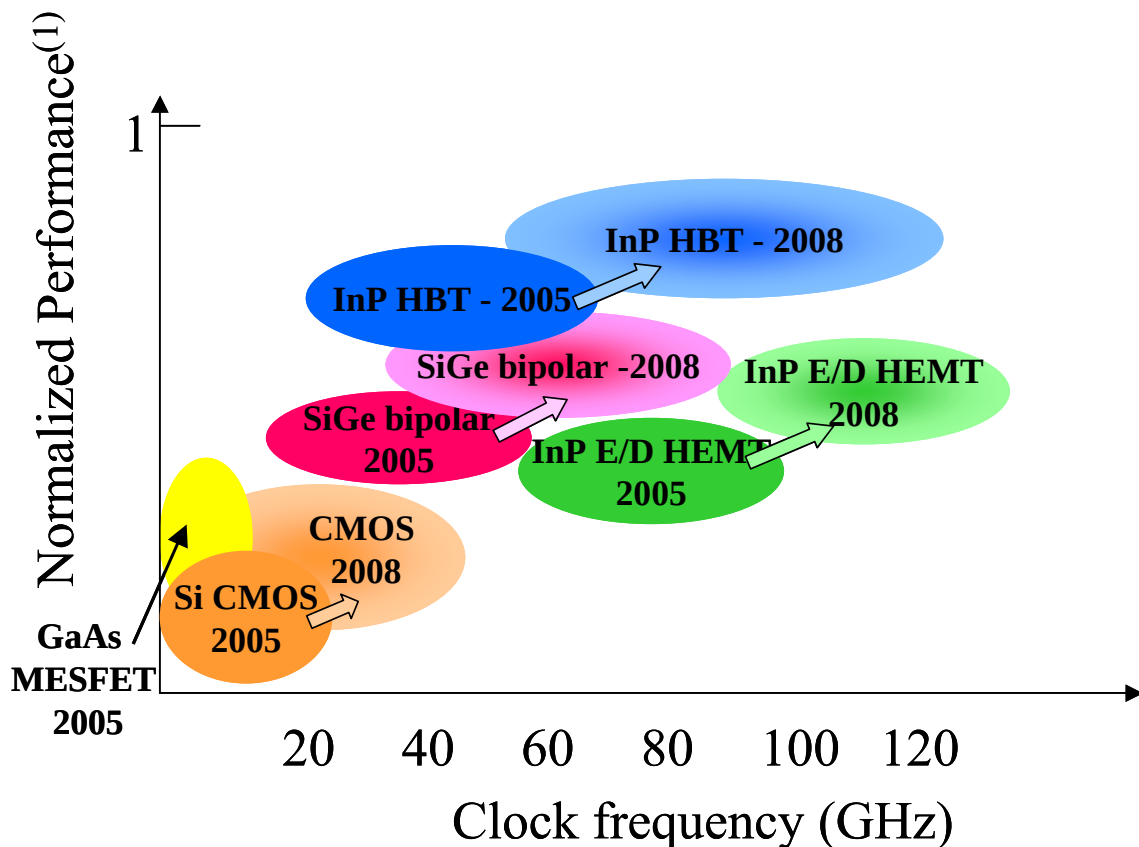
Performance figure of merit is MMIC power density (W/mm) times MMIC SS gain per stage (dB) at application center frequency (typically 10% – 20% bandwidth).

Figure 47 Evolution of Production Power Devices 2005–2011

ミリ波帯アプリケーションに向けたミックスシグナルデバイス技術の今後の展開を Figure48 に示す。これらのアプリケーションは高い中心周波数、精密なトランジスタマッチング特性、低ノイズ性能、高い線形性といった基本的なデバイス技術によって推進される。CMOS の微細化が進めば 10-20 GHz までの分解能の低い回路には適用できる、と考えられている。SiGe バイポーラはこの周波数領域を 40 GHz まで引き上げ、さらに最先端の SiGe バイポーラはシリコンの特性を 77 GHz までカバーできるまで引き上げた。しかし、これらは耐圧 (BVCEO) が 2 V 以下になるためにダイナミックレンジは限られてしまう。InP HBT はトランジスタサイズが大きくスケールアップされれば、最も優れた高周波性能を示す。InP HBT は、現在 100 mm、サンプルで 150 mm が得られるようになってきている基板サイズがボトルネックとなる。InP の E/D (Enhancement/Depletion) HEMT はサブ 0.1 μm までスケールアップされれば InP HBT をしのぐ高周波性能を示す。

ED モード HEMT は HBT よりも低消費電力化が可能であるが、接合のターンオンで閾値を制御する HBT に比べると閾値制御性の点では劣っている。さらに 1/f 特性も HBT よりも劣る。

広いダイナミックレンジが必要とされるアプリケーション (衝突防止レーダなど) では、高い線形性と低い 1/f ノイズ性能を生かしてバイポーラデバイスが用いられる。最先端のミックスシグナル回路の進歩によって無線通信帯域幅の増加が期待される。これはアナログ信号のリアルタイム修正と合成を、デジタル技術を用いて行うためであるが、そのためにはデジタル回路とミックスシグナル回路はアナログキャリア周波数の 3 倍から 10 倍で動作する必要がある。InP は近い将来クロック周波数 100 GHz で動作するものと思われるが、現在は SiGe では達成できないようなダイナミックレンジ (耐圧) と高速性能が要求される、60 GHz 以下のニッチなマーケットを目指している。また、光ネットワークの制御及び分波といったアプリケーションも広がるものと思われる。



The metric for performance depends on the class of circuit. It can include dynamic range, signal-to-noise, bandwidth, data rate, and/or inverse power.

Figure 48 Mixed-signal/Ultra High-speed Digital

解決策候補

2005 年の解決策候補のテーブルにおいては、0.8GHz～10GHz のアプリケーションをカバーするものと、10GHz～100GHz のミリ波アプリケーションをカバーするものの二つに分割された。

分離

集積度が増大し動作周波数が上るに従って、ノイズに敏感なアナログ回路を、“雑音が大きい”デジタル回路から保護することは、益々困難になるであろう。信号の分離は、基板（即ち高抵抗）間配線及びパッケージでの解決策の組み合わせで対策できよう。今日では、回路ブロックは酸化物素子分離やカードリング及び埋め込みウェル（トリプルウェル）により保護される。近い将来は、回路と配線の保護に集積シールド構造が要求されるであろう。回路の S/N 特性を高めるために、斬新な設計アーキテクチャが採用されるであろう。

近年の通信システムにおいて、信号の分離は益々危機的な状況であり、様々な信号分離の問題を幅広く解決するような優れた手法が待ち望まれている。しかしそのような優れた手法をそう簡単に開発できると思われえない。その代わり、ある種の雑音結合に対してその解決方法を特定し適用することになるであろう。雑音スペクトラムの分配手法は、その回路に与える効果に大きく影響するであろう。雑音スペクトラムの選択的なフィルタリングによる信号分離技術は、費用効果が高く、電力効率も優れている。これらの問題、課題に対してコスト的にも十分成り立つ解決策は、その時代に主流である CMOS 技術に適合していなければ

ばならない。解決策候補のテーブルは、信号分離に対してアナログミックスドシグナルでのいくつかの解決策を含んでいる。

RF および AMS 用 CMOS

この節では、ミックスドシグナルに関する課題についての解決策候補を検討する。この解決策は、PIDS 章の中の節で論じたメモリーやロジックについて既に見直したものと異なるものである。ミックスドシグナル技術がうまくいくと、デジタルの基礎基盤も強化でき、また付加価値のある特徴や機能を組みこむことができる。ミックスドシグナル回路の集積が成功するための基本的な要因は、特殊な高電圧アナログ精密トランジスタや、高品質受動素子、適切な信号分離、及び両立性のある能動素子を加えることである。

CMOSの高周波特性の着実な進展と速度・電力の積の低減により、この技術は従来のBiCMOSやバイポーラのインプリメンテーションに追い迫るであろう。CMOSデジタルの性能向上の結果、 NF 、 f_T 、 f_{max} 改善の積極的なロードマップをもたらすであろう。このようなスケールングによる性能向上という明白な利点に加えて、技術の変化は、RFやアナログ回路の動作にとって重要な他の素子特性の改善をももたらすであろう。金属ゲート電極、高誘電率ゲート膜、完全空乏型やダブルゲート型SOIの導入は、ミックスドシグナルへの適用に際して、更なる課題をもたらすであろう。同様に熱やフローティング・ボディ効果や高抵抗基板への接続が課題ではあるが、SOIによる日常的なマイクロプロセッサ製造での高性能I/Oインタフェースや高周波PLL (Phase-Locked Loop) 回路は、他のアナログアプリケーションに使用する際の潜在能力を実証している。金属ゲートの導入は、ゲート不純物のばらつきがなく、閾値電圧のミスマッチを減少でき、またゲート抵抗の減少により f_{max} の向上が期待できる。素子の電流を増加させる歪みチャネルの導入は、他の特性劣化が少し、もしくは全く無い場合、高精度なアナログ及びRF駆動回路の性能を改善できる可能性がある。完全空乏型やダブルゲート型SOIは、通常のCMOSに比べてチャネルの不純物濃度が低くそのためミスマッチを減らすことが可能である。加えて、この構成は電圧利得や f_{max} の向上の結果として、低いドレインコンダクタンスを提供する。デジタルの電力・遅延の最適化を可能とするマルチスレッショルドは、ミックスドシグナルやRFアプリケーションに対しても設計の選択肢を提供するであろう。

ミックスドシグナルの電源電圧については、高性能デジタルのそれに比べて、二世代以上の遅れが続いている。マルチゲート酸化膜厚、マルチスレッショルド、及び DC-DC 変換の組み合わせが、ミックスドシグナルについて増大する要求の解決を支援するのに必要である。動作スレッショルドの制御や、基板のバイアス印加、及び斬新な設計アーキテクチャについての問題を解決することが、ミックスドシグナルの実用化のための供給電圧を低減する流れを加速するために必要となろう。完全な集積化のための選択肢として異なる技術を回路に複合する SIP と、要求特性に対する最適化がある。CMOS での完全デジタルのインプリメンテーションが、A/D 変換器 (ADC) を除く殆どのアナログ機能を置き換える事が期待される。

優れたマッチング特性は、ミックスドシグナル素子にとって、またよく出来たデジタルのラッチやスタティックメモリ素子の設計において重要である。能動回路による補正技術は、デバイスのスケールングによるマッチング特性の劣化を補償するであろう。

現在のスケールングトレンド結果として、ドレインバイアスに対する素子の閾値ばらつきを抱えるというポケットインプラの主要影響によって相対的に長チャンネル化されても、実質的に電圧利得の悪化を招くであろう。これは、 f_{max} の改善を遅らせ、さらにアナログ回路で余分な消費電力を必要とするだろう。このトレンドはドレイン端のポケットインプラを必要としない非対称素子の導入によって減速することになるであろう。

加えて、RF ロードマップは、CMOS ドライバやパワーマネジメント部品における電圧対応能力の向上のための非対称素子 (ドレイン拡張) 集積の必要性、あるいは、高電圧素子特性改善のための LDMOS (Laterally Diffused MOS) の使用可能性を促進することになるであろう。

RF および AMS 用バイポーラ素子

RF-CMOSと同様に、SiGeはセルラ受信機選択における主要技術の地位を確立してきた。その優れた雑音指数特性、利得特性、最先端を走る $1/f$ ノイズ特性は、極めて効率的かつ小型の受信ブロック設計を可能としてきた。バイポーラにおける実績は、 f_T や f_{max} の向上という積極的なロードマップを示した。この性能向上は、縦方向と横方向のスケールング技術の親展によって f_T として 300GHzを達成するであろう。縦方向

のスケーリングは、おそらく現状の装置と技術の画期的な改善と炭素（カーボン）ドーピングの追加により達成されるであろう。 f_T として 300GHz以上は、原子層レベルのようなさらに進んだエピタキシャル技術を必要とするであろう。 f_T として 400GHz以上は、さらなる材料と不純物の導入が必要とされるであろう。横方向のスケーリングはほとんど全てデジタルCMOSで適用する技術を採用し、デジタルCMOSのスケーリング以外は必要としないであろう。

受動素子

ディスプレイの受動素子を、ボードレベルからチップレベルに移す傾向は継続するであろう。チップ上でディスプレイに等価な精密受動部品を実現するための解決策が望まれる。また一方で、コスト低減または簡素化の方法として、幾つかの受動素子がプリント基板またはパッケージに集積されるかもしれない。新しい High-k 誘電体が、集積化キャパシタの面積を低減することと、新しく出現するであろうアナログ及び RF の回路機能に受容可能な集積化キャパシタの面積を維持するため使用されるであろう。High-k 誘電体は、MIM キャパシタ、MOS キャパシタ、及び MOS バラクタ（可変容量）の集積度を画期的に高めることが可能である。MOM（Metal Oxide Metal）キャパシタの継続的な改善と直線性ならびにマッチングの特性解析は、将来のアナログ及び RF 回路に低コスト化の選択肢として魅力的なものとなる。

高品質で高密度のインダクタは、チップ上に集積化した新しい機能や回路トポロジを可能にし、アナログ及び RF 集積回路にとって重大な課題に相当する。高品質、高密度のインダクタの解決策候補としては、チップ上のインダクタに、より厚い銅（Cu）配線層、より厚い最上位の絶縁膜及び集積化した磁性体の使用が含まれている。これらは、最も要求のきついアプリケーションにおいて、パッケージに集積化したインダクタと同時に存在するであろう。集積化した抵抗は、低い寄生容量、温度に対する直線性を必要とされ、集積化抵抗を製造するための革新的な手法によって実現されるであろう。

MOS 容量、MOS バラクタを High-k 誘電体で製造するには、さらなる研究が必要である。これらは、アナログの高精度トランジスタ、ならびに高速の RF トランジスタ各々に対して High-k 誘電体の実現性と連動している。High-k 誘電体が VCO（Voltage Controlled Oscillator）の位相雑音に及ぼす影響は、通常はさらに高いトラップ密度を有するため、十分な研究が必要である。

RFのMIM容量において高密度を達成するために、様々なHigh-k誘電体が検討されてきた。これは、 Ta_2O_5 、 HfO_2 及び他のHigh-k材料を含んでいる。

重要な課題は、膜厚が薄くなったとしても、リーク電流や電圧直線性を低く保つことである。このトレードオフを解決する一つの方法は、キャパシタ密度と電圧直線性を独自に最適化可能な多層構造を採用することである。このような解決策は、製造するに足るものではあるが、まだ実現されていない。

形状が縮小したとき、縦積み構造または High-k 誘電体が開発されたとき、くし型電極構造の水平方向 MOM 容量の単位容量値は、一般的な MIM 容量に比べ近いが上回っているであろう。そのために、特に低価格のアプリケーションにおいて、キャパシタの選択肢として認知されることになる。単位容量とシリコン基板との寄生容量結合はトレードオフの関係にある。さらに、くし型電極構造の MOM 容量では、ミスマッチ特性は特に重要視されていない。しかしながら、適切な構造設計を使用することにより、くし型電極構造の MOM 容量のミスマッチ特性は、MIM 容量に対して優位である可能性がある。

パッシベーション膜上のインダクタは高 Q（Quality Factor）と高い共振周波数を実現するが、特別な処理を必要とする。技術的な実現可能性は実証されてきた。ある企業では量産化に至っている。パッシベーション膜上のインダクタを採用するかどうかは、その技術に対する今日の少ない入手性と経済性に依存している。後者（経済性）はケースバイケースで見極められる。インダクタ密度の改善は、実現困難である。縦積みインダクタが解決策として提案されているが、著しくコストが上乗せされ、また縦積みインダクタ間の容量結合により共振周波数特性を台無しにしてしまう。磁性体材料の使用は磁気シールドのような用途の論文でしばしば注目されている。しかしながら、未だこの分野の研究は完成されていない。

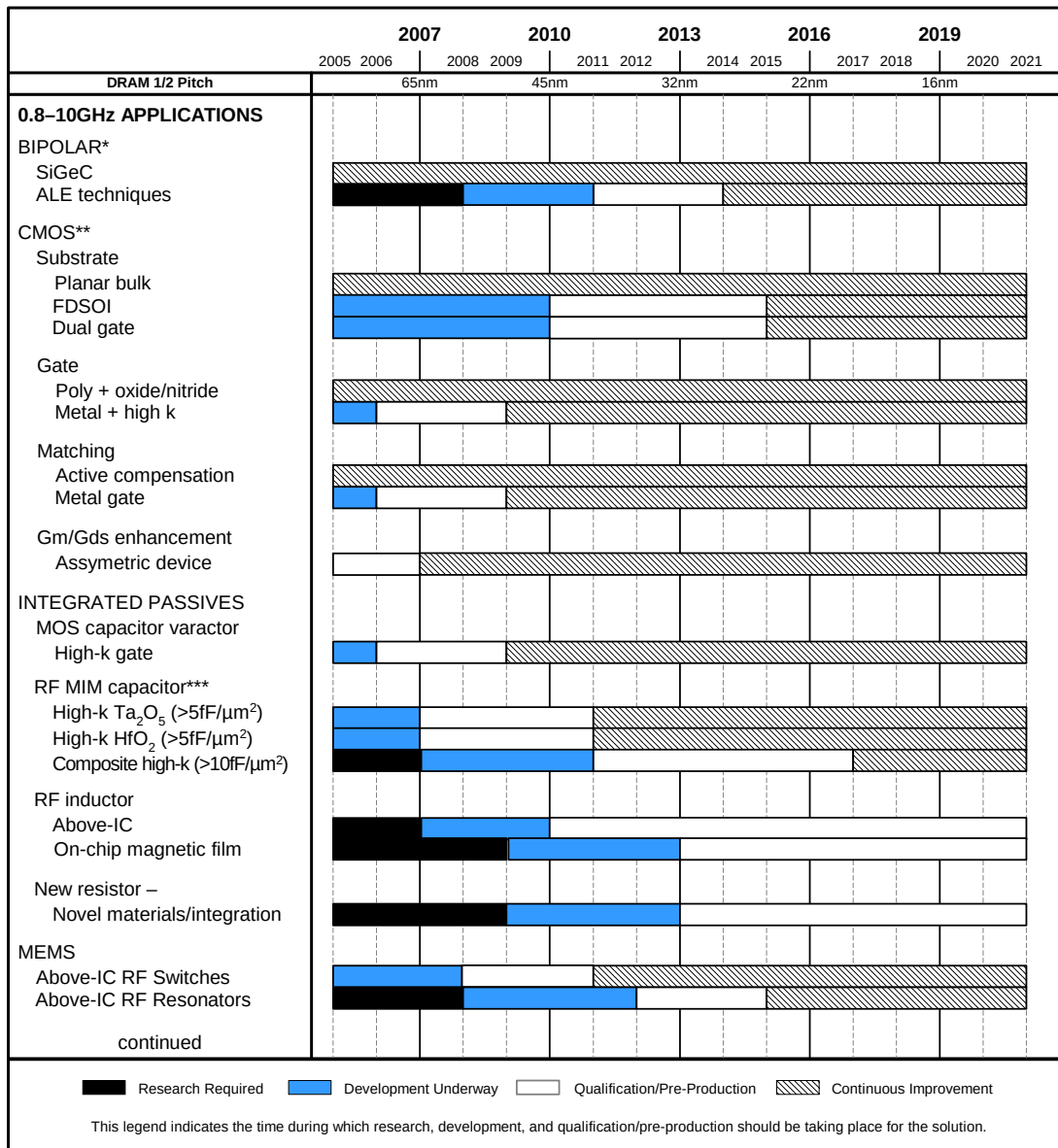
CMOS の複雑性が増加するに伴い、安定的で生産性の高いフロントエンド工程（FEOL：Front-end-of-line）での抵抗の製造がさらに難しくなっている。この問題に対するひとつの解決策は、フロントエンド工程での一般的な p 型ポリシリコン抵抗と互換性のある高抵抗材料を使ったバックエンド工程（BEOL：

Back-end-of-line) で製造する抵抗を提供することである。エレクトロマイグレーションを最小化するため、バックエンド工程におけるこれらデバイスの温度管理が最も重要であり、温度による影響は無視できない問題となるであろう。この問題は、RF やアナログ回路での良好なパラメータだけではなく、大電流での良好な温度管理ができる新しい材料のよって解決されるべきものである。これは、RF およびアナログ技術の研究開発 (R&D) にとって魅力ある領域であろう。

パワーアンプ

現段階では、インジウム・リン (InP) ベースの HBT 素子が、10GHz 以下のパワーアンプにおいて適性を見出しているとは思われない。しかしながら、InP-HBT は、高周波領域でのハンドセットや新しいアプリケーションで、さらに高い出力段効率を主導し続けていくことにより、この領域における優れた性能が故に、さらに魅力的になるであろう。ブロードバンド事業では、現在帯域幅に対して実際に要求される程度を超えた素子をもつ SiGe HBT により、充分すぎるほどカバーされていると思われる。もし、商用無線のための動作周波数が大幅に引き上げられれば、InP デバイスの要求は高くなるであろう。

モジュールの複雑さが絶えず増していく一方、そのモジュールの底面積は絶えず縮小しつつあるので、無線機能をより多く集積できる技術は、究極的には選ばれた技術であろう。このアプローチは、主に一つのモジュール内のチップ数を減らすことである。これらの RF 機能の二つは、フィルタと送受信切り替えスイッチである。もし MEMS スwitch の信頼性が改善され、その動作電圧が低くなれば、それらは GaAs と Si の両技術に対する後処理での集積化を提供することが出来る可能性がある。フィルタ機能の集積化もまた、半導体技術に含まれる問題を提起する。現在までは、バルクアコースティック共振器によるフィルタ (FBAR: Filter Bulk Acoustic Resonator) 技術と MEMS 共振器が、集積化可能な候補として登場している。



Notes for Figure 49

* Bipolar use mainly in transceiver

** CMOS use in transceiver and AMS

*** Meeting passive roadmap density and leakage w/Cu backend

Figure 49 0.8–10 GHz Potential Solutions

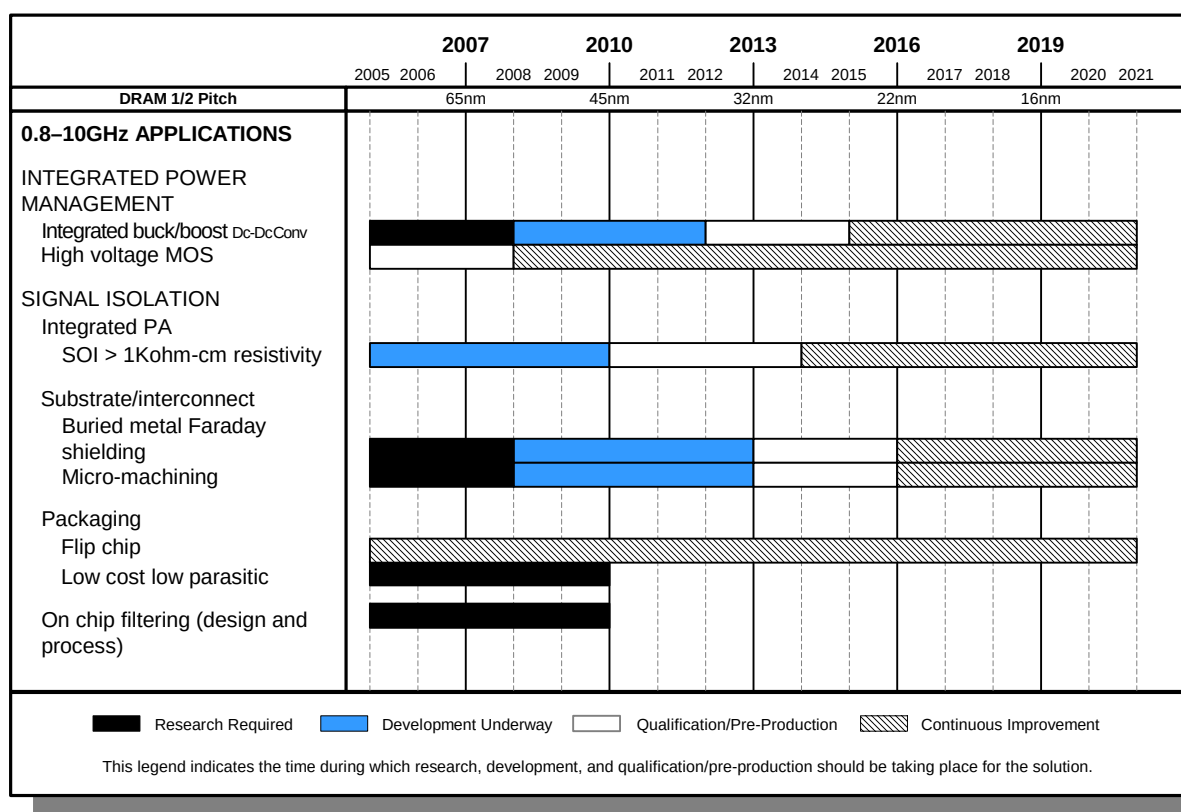


Figure 49 0.8–10 GHz Potential Solutions

ミリ波

化合物半導体は、デジタル・シリコン産業で現在進展しつつあるリソグラフィとプロセス装置の進歩を利用しなければならない。これを達成するためには、そのウエハの直径はシリコン産業の一世代又は二世代以内にある必要がある。6 インチの半絶縁 GaAs ウエハは、InP とともにそれほど遅れずに量産されている。しかし、III-V 族については、シリコン・ウエハの 8 インチ径から 12 インチ径への移行につれて、より大きなウエハ寸法へ向って推進し続けることが必要である。光学リソグラフィのツールが、大幅に進歩しつつあるが、そのマスクのコストは、殆んどが比較的少量生産の III-V 族の使用に対しては法外に高い。直描電子ビームがマスクコストに対する一つの解決策であるが、ウエハの生産性（1時間にシリコン・ウエハ何枚というのに比べて III-V 族ウエハは1枚につき何時間かかるかだが）が、ハイカレント電子源と高速アライメント・システムによって改善される必要がある。

不幸にも、化合物半導体の再現性と歩留り指標は、シリコンベースの技術に対して遅れをとっている。これは驚くことではなく、両者の極めて大きな生産量格差と同じく、シリコンに対する研究及びインフラに対する投資からくるものである。それでもなお、特定の化合物半導体技術での生産量は増えており、シリコンとは同じではないが、習熟曲線に沿ってその単価は下がることが分かってきた。

現在台頭しつつあるワイドバンドギャップの素子については、基板品質がなお問題である。GaN 基板についての研究が継続されているが、しばらくは SiC 基板が、その欠陥密度が改善されるにつれて、より使えるものになるであろう。SiGe がミリ波帯における他のテクノロジーに挑戦しているとしても、高抵抗・低損失のシリコンに取り組む必要がある。

熱損失が、ワイドバンドギャップの III-V 族パワーデバイスにとっての主な課題である。GaN 基板及び SiC 基板は、GaAs や InP に比べてより高い熱伝導値を有するが、これらのワイドバンドギャップ半導体は、通常存在する値より 5～10 倍の高電力密度であり、より高い熱伝導性の利点を幾分相殺する。この事情は、熱損失を素子設計の重要な側面にしている。実績のある技術には、薄い（0.002 インチ）ウエハ、熱の分流、

及びバスタブ・バイアスが含まれる。これらの技術は、もっと斬新な解決策と同様に、ワイドバンドギャップ半導体に適用される必要がある。

ミックスドシグナル・デバイスとハイパワー・デバイスの両者には、高い破壊電圧が望まれる。各寸法がより高い周波数動作のために縮小されるにしたがって、動作電圧が犠牲になる。特にこのことは、デジタル機能に対するよりもアナログ機能に対してより大きなダイナミックレンジを必要とするミックスドシグナル・デバイスについて問題となることである。SiGe により提供される集積度レベルは、InP よりも何オーダーも大きいけれども、この点においては、InP-HBT は SiGe-HBT に明らかに勝る利点を提供する。素子を注意深くスケールリングすることと、ワイドバンドギャップのコレクタにより、InP-HBT の破壊電圧レベルを維持するのに役立たせることができる。パワーFET については、より高い破壊電圧を得るために、ゲートを後退させることが用いられて成功したが、これは GaN にはこれから適用されることである。表面電場を最適にするためソース・ドレイン領域の垂直寸法を調整することは、一つの可能な対策である。パッシベーションとホットキャリア効果の改良を続けることも必要である。

最後に、III-V 族における高周波動作は、リソグラフィ (水平方向のスケールリング) によると同様に、エピタキシ (垂直方向のスケールリング) によっても高められる。トランスポート層でのキャリア速度と移動性は、エピタキシャル層のスタックを適切に設計することにより調整可能であり、バンドギャップをうまく設計することを通じて III-V 族素子が続けて改良されることが期待される。

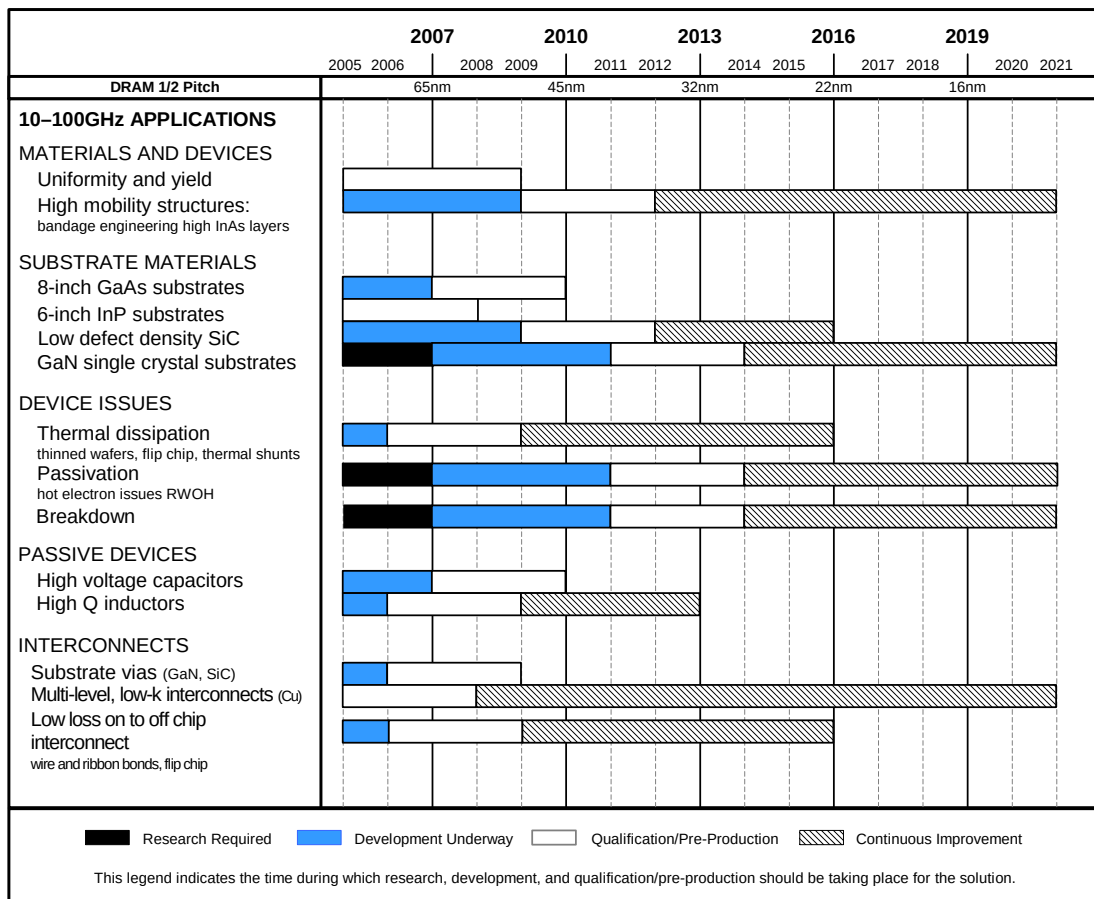


Figure 50 10–100 GHz Potential Solutions

横断的な ITWG の課題

他の ITWG とのキーとなる横断的な課題を以下簡単に議論する。課題としては、アナログ及びミックスドシグナル素子、RF トランシーバ、パワーアンプ、電力制御、ミリ波技術との組み合わせに関するものである。

組立て・実装

- 組み立てと実装が、基板と組み込み受動素子を含んだモジュールのロードマップを主導してきた
- 無線ロードマップにおいて MEMS、BAW、スイッチ、アンテナを組み込む時期
- 基地局向け PA、ミリ波実装、薄型パッケージ及びモジュールに対するプラスチックパッケージ化
- 温度管理

新探求デバイス(ERD)

- 新規構造を使用した時のアナログ及び RF 動作と性能

フロントエンドプロセス／配線

- 低インダクタンスのアース
- 電氣的な干渉、クロストークの抑制、信号分離
- 高い Q 値のインダクタ
- 低抵抗基板と高抵抗基板

モデリングとシミュレーション

- 正確で高速、予測可能なアナログ及び RF 対応のコンパクトモデル
- 計算効率の良い化合物半導体のキャリア輸送の物理モデル
- ミックスドシグナル回路における効率的な三次元モデルとシミュレーション
- RF 及び論理 IC 設計ツール組み込まれた、温度モデルとシミュレーション

システムドライバと設計

- RF モジュール及び SIP (System in Package) が、無線チップとパッケージの協調設計 (co-design)、すなわち SIP 設計フロー要求を促進する
- SOC (System on Chip)、SIP (System in Package) 集積化における耐クロストーク回路の確立

テスト

- SOC システム用の RF、アナログ、及びデジタルテスト
- 複数の機能を持った、超高周波 RF 回路のテストコストの低減

将来の新探求素子の影響

新探求素子の RF 特性やアナログ特性についての確立された公開技術報告文書がないため、ワーキンググループとして、それら RF 及びアナログ素子の影響については不明である。共鳴トンネルデバイス、スピントランジスタ、カーボンナノチューブ、分子エレクトロニクス、平面ダブルゲートトランジスタ、縦型トランジスタなどの三次元構造デバイスなどは、RF 素子や AMS 素子への応用が期待されているし、高性能、高信頼性、高機能を提供するかもしれない。

RF や AMS への応用に向けて、全てではないが大部分の新探求素子に共通な技術的課題は、大量生産時に RF や AMS 特性の制御や再現性を得るために、電気的な関連性において化学的および物理的な理解をすることである。その上、 $1/f$ ノイズや電力付加効率、線形性、バンド幅、利得、堅牢さ、信頼性、信号分離などの性能指数への影響が不明である。そのような性能指数への影響の測定、評価は、優れた研究や開発の領域を提供する。この研究は多くの新探求素子が提供する工学的自由度を広げる。それらの例として、マルチゲートデバイスの電圧を独立に制御することや、カーボンナノチューブの軸に垂直に電界を印加することによるバンド構造の変化が挙げられる。

BG-CNT FET (バックゲート・カーボンナノチューブ電界効果型トランジスタ) のおける、最近の 12GHz までの RF 測定のよれば、コンタクト部パッドの寄生素子が非常に大きく、このような分子素子において、10 億から 1 兆個も配置された潜在的な障害、バリエードとなる可能性がある。コンタクト部パッドの寄生素子を考慮しないデバイスシミュレーションでは、1THz 以上の周波数において素晴らしい特性を示すであろう。デバイスシミュレーションにおいて、寄生素子を取り除くことは簡単であるが、実験室で寄生素子の影響を減らすことは非常に難しい課題である。新探求素子の RF 特性に対して、論理と実際の間にある 100 倍の違いを縮めるには、改良された RF 測定と、ナノスケールの RF コンタクトに先端的な材料研究が必要となるであろう。新探求素子の RF 特性を理解しようとして従来の伝送線路を用いた RF 回路モデルは、連続性の概念に基づいており、特にプロセス依存性の大きいコンタクトを考慮する場合、RF 性能改良のための最適な設計方法では無いかもしれない。さらに、連続性の概念は、ナノスケールにおいて十分な有効性を期待できるものではない。従来の S パラメータ、Z (インピーダンス) パラメータの測定は、BG-CNT FET のような最先端の新探求素子では、コンタクトが電流パスを大幅に邪魔するため、適切ではない。例えば、直流 (DC) 抵抗値を測定する従来の 4 端子測定法では、ほとんどの電子がコンタクト領域の中心近傍から逃げてしまうであろう。CNT (カーボンナノチューブ) 全体の抵抗を抽出するには、4 端子測定法では非常に複雑になってしまう。さらに加えて、コンタクトの RF 特性は問題を含んでいる。RF コンタクトの寄生素子は非常に大きく、そのために RF CNT の f_T は理論的な f_T より 1THz 以上低下し、10GHz かそれ以下という実験による f_T 程度になってしまう。

参考文献

1. X. Huo, M. Zhang, P. C. H. Chan, Q. Liangf, and Z. K. Tang, "High Frequency S Parameters Characterization of Back-Gate Carbon Nanotube Field-Effect Transistors," in Technical Digest of the 2004 International Electron Devices Meeting, ISBN: 0-7803-8684-1, San Francisco, CA, December 13–15, 2004, pp. 691–694.