

# 新探究素子 (ERD, EMERGING RESEARCH DEVICES)

## スコープ

半導体産業は、今後数年にわたって情報技術の指数関数的な成長を維持する準備が整っている。それには 22nm 世代を超えて CMOS を微細化するという前例のない技術を成功させ続けることになる。極限的に微細化された CMOS を超えて情報技術の成長を続けるには、短期的な視野に立つと、CMOS プラットフォームに異種の新技术を集積する必要がある。これはいわゆる「CMOS の延長」である。一方、長期的には、半導体産業は根本的に全く新しい情報処理の方法を発明するという困難に直面することになる。これに要求されることは、新しい材料、プロセス、デバイス、ナノアーキテクチャ、およびシステム革新による情報の物理的表現、処理、記憶、伝達の新しい方法を発明しそれを利用することであろう。

この章の主な目標は、「極限微細化 CMOS」を本質的に超えて情報処理の機能を拡張する新概念の発明および研究を促進することである。この目標を達成するには、上で示した 2 つの技術領域を扱わなければならない - 新技术の異種集積による CMOS の延長と、その後の新技术とナノアーキテクチャ概念の開発である。目的は 2 つに分けられる。1 つ目は、「大きな網を投げ」て、CMOS を超えてロードマップを延長するようなメモリ、ロジック、情報処理ナノアーキテクチャの代替概念を一箇所に集めることである。このようにして、ここでの議論は新技术候補に対する入口を提供する。2 つ目は、これらの情報処理の新デバイス技術に対して評価を与えることである。この点に関しては、新たに節を追加し、極限微細化 CMOS で達成可能な情報処理を本質的に超えるような情報処理を支配する根本的な原理を提案することとした。これにより、この章は半導体産業に新探究デバイス技術に関する見通しを提供するとともに、バルク CMOS と CMOS を超えるマイクロエレクトロニクス領域の架け橋となる。

2003 年版でこの章のスコープに含まれていたのは、新情報処理技術を可能とする新探究メモリ、ロジック、ナノアーキテクチャの新しい取り組みであった。この 2005 年版では、スコープが拡大され、新しく重要な節として新探究材料を新設した。この節は、新探究メモリやロジックデバイスを実現するのに必要な新材料の本質的な特性を紹介する。さらに、この新材料の節には、これら必要な材料を開発するための合成技術、計測、評価、モデリング、シミュレーションツール等も記述されている。現在の CMOS 技術で利用される従来材料やプロセスは、(新探究デバイス実現のためにも用いられるかも知れないが)、フロントエンドプロセス(FEP)の章で扱う。また、ノンクラシカル CMOS の節は、2003 年版ではこの ERD の章に含まれていたが、2005 年版ではプロセスインテグレーション(PIDS)と FEP の章に移管された。このようにスコープを広げたことによって、この章は、材料、デバイスからデバイスレベルのナノアーキテクチャまで、新情報技術のパラダイムに関わるすべての技術を扱うことになった。

この章の議論は次の 4 つに分類される: 1) 材料、2) メモリデバイス、3) ロジックデバイス、4) 情報処理ナノアーキテクチャ。議論される内容は、それらの動作原理、利点、課題、成熟度、現在および将来の性能等に関する詳細である。さらに、いくつかの情報処理の手法に関して、それらの性能予測とコスト等についての予備的ではあるが興味深い比較も行った。この比較で明らかになったことは、新探究デバイス、材料、アーキテクチャが成功裏に開発されたとすると、これらは CMOS と同じ領域で CMOS と直接競争するというより、CMOS では達成できないマイクロエレクトロニクスの新領域のアプリケーションを広げるということである。

最後に、この章では、紹介した新概念を支持したり推奨したりするものではない。

Table 52 Difficult Challenges—Emerging Research Device Technologies

<i>Difficult Challenges <math>\geq 32</math> nm</i>	<i>Summary of Issues</i>
Development and implementation into manufacturing of a non-volatile memory technology, scalable beyond 32 nm, combining the best performance features of both volatile and non-volatile memory technologies for both stand-alone and embedded applications.	Identification of the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, non-volatile RAM Development of a manufacturable, cost-effective fabrication technology integrable with the process flow for CMOS logic providing for seamless integration onto a CMOS platform
<i>Difficult Challenges <math>&lt; 32</math> nm</i>	
<p>Toward the maturation of CMOS scaling or beyond, discovery, reduction to practice, and implementation into manufacturing of novel, non-CMOS devices and architectures integrable (monolithically, mechanically, or functionally) with a CMOS platform technology.</p> <ul style="list-style-type: none"> <li>● 1D to extend charge based devices.</li> <li>● Articulate the fundamental physical principles needed to develop new device technologies.</li> <li>● Find a new information processing technology that addresses these fundamental principles (see the section entitled “Fundamental Guiding Principles”).</li> <li>● Make emerging logic and memory devices compatible. (A new logic technology may require a new compatible memory technology.)</li> <li>● Integrate the materials, device and architectural communities to interact and collaborate in discovering a new information processing technology.</li> </ul>	<p>No current approaches support the information processing technology required for “Beyond CMOS” satisfying the need for additional decades of functional scaling.</p> <p>Discovery and reduction to practice of new, low-cost methods of manufacturing novel information processing technologies.</p> <p>Any new technology for information processing must be compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology.</p> <p>A knowledge gap exists between materials behaviors and device functions.</p> <p>Current metrologies examine fixed material states, but do not probe the state change dynamics.</p>

## 困難な技術課題 (Difficult Challenges)

### 序章

マイクロエレクトロニクス産業は、CMOS 微細化の成熟を超えて集積回路技術を発展させるに際して、2 種の困難な技術課題に直面している。1 つは、CMOS 固有の集積度と機能を超えて CMOS を延長することであり、例えば、CMOS プラットフォームに新しい高速、高集積で、不揮発性メモリを含む技術を集積することにより CMOS を延長させることである。もう 1 種の課題は、CMOS で達成可能な情報処理を本質的に超えて情報処理技術を発展させることであり、これは情報を表現し、処理し、伝達し、記憶する新しい材料、デバイス、アーキテクチャの方法を革新的に組み合わせることにより達成される。これらの困難な技術課題は、この後デバイスと材料に分けて議論することとする。

### デバイス技術

新探究デバイスの困難な技術課題は、さらに、メモリ技術に関する課題とロジックデバイスに関する課題に分けられる。課題の一つは、現在の揮発性と不揮発性メモリの最良の特徴を併せ持ち、しかも CMOS プロセスと互換性のある新メモリ技術が必要なことである。このような技術は、スタンドアローンと混載メモリの双方に必要なメモリデバイス作製プロセスを提供することになるであろう。マイクロプロセッサユニット(MPU)がプログラムを実行する性能は、プロセッサとメモリの相互作用によって制限されており、微細化ではこの問題は解決できない。現在の解決策は、MPU のキャッシュメモリの容量を増やすことであり、その結果、MPU チップ上の SRAM の占有面積が増えている。このトレンドにより、正味の情報処理スループットが実際には下がってしまう。加えて、MPU 上の半導体メモリは不揮発性でないので、(ハードディスクや光 CD などの)アクセスの遅い外部記憶メディアが必要となっている。したがって、電氣的にアクセス可能で不揮発性のメモリ、しかも高速で高集積のメモリの開発が、コンピュータアーキテクチャに革命をもたらすことになるかも知れない。このようなメモリの開発は、従来の微細化の恩恵がナノスケール CMOS で完全に実現されたとしても、さらなる情報処理スループットの著しい増大をもたらすことになるであろう。

情報処理の長期的な課題、すなわちロジックデバイスの課題は、「CMOS を超える」アプリケーションに対応する新しくしかも製造可能な情報処理技術の発明と実用である。この課題の解決策は、現状の新情報処理の機能を拡張することにより CMOS 微細化の終焉を超えるナノエレクトロニクスの可能性を拓くことになる。

Table 53 Difficult Challenges—Emerging Research Materials Technologies

<i>Difficult Challenges <math>\geq 32</math> nm</i>	<i>Summary of Issues</i>
1D Charge State	Nanotube and nanowire properties, bandgap energy and carrier type, and mobility vary greatly at growth and are controlled by variations in composition, diameter and nanometer scale structure. Nanotubes and nanowires grow in random locations and orientations, which is incompatible with high density memory and logic applications.
<i>Difficult Challenges <math>&lt; 32</math> nm</i>	<i>Summary of Issues</i>
Molecular State: Molecules with Controllable, Reproducible Switching Mechanisms	Molecular switching is often highly variable between device lots fabricated with the same chemicals and materials. Contact formation and bond structure may require atomic level control. While groups have been able to fabricate devices that exhibited charge storage, complex interactions have been observed with contact materials and redox reactions, but it is often difficult to determine whether switching and transport are through molecular transport or other mechanisms. No metrology tools are available to measure atomic structure details in carbon-based molecules embedded between two contact layers.
Spin State: Materials that Enable Spin Gain at Room Temperature and Dissipationless Transport	Ferromagnetic (FM) semiconductors only work at low temperatures $< 200$ K; need a room temperature FM semiconductor. New materials are needed that can enable spin amplification (gain).
Strongly Correlated Electron State	Materials with strongly correlated electron states have unique complex interactions between electric and magnetic properties, with complex ferromagnetic, anti-ferromagnetic phase transitions that may support spontaneous spin precipitation. The challenge is to determine whether these properties can be used to enable new devices at the nanometer scale.
Nanometer Scale Contact and Interface Formation	Materials and processes for establishing interfaces, such as contacts, passivation, etc., must produce interfaces that do not detrimentally affect the state variable or carrier of the state variable, and meet the functional requirements for the device, such as carrier transport. At the nanometer scale, interface materials must have good adhesion, which requires bonding, without detrimentally changing the properties of the device material.
Assembly of Nano-structured Materials	Nanostructure materials such as carbon nanotubes (CNTs) or molecules must be assembled in defined locations with controlled orientation and reproducible properties. (CNTs grow in random locations with random orientations.) Molecules only self-organize on a small number of material surfaces and require thiol functionalization for assembly on Au and defect formation is not understood.

## 材料技術

新探究材料の最も困難な課題は、ナノメートルスケールで高集積の新探究デバイスの動作を可能とする制御された特性を有する材料を提供することである。高集積デバイスの材料特性の制御性を向上させるためには、材料の合成法を新計測法やモデリングと結びつける必要がある。デバイス動作に欠かせない制御され再生可能な特性を有する材料を生み出すには、材料の組成とナノ構造の合成をガイドする技術が必要があり、計測法とモデリングのシンボが必須である。

材料に関する困難な技術課題は、いずれも技術の発展のためには欠かせないものである。異なるデバイス構造において性能の潜在能力を解析し、その極限性能を引き出すためには、合成、評価、モデリングの間の協力が必要である。材料の改良と最適化のためには、合成条件とその結果得られた組成と構造、および材料の機能特性との関係を理解する必要がある。したがって、組成、構造、機能特性との関係を確立するには評価を行わなければならない。モデルの確立は材料の機能特性の最適化を加速するのに役立つ。これらの材料に基づくデバイスを探索すると、特性のモデル化とシミュレーションにより新しいデバイスコンセプトが生まれるかも知れない。デバイスが作製されると、それらを機能化させるために異なる材料の最適化が必要になるかも知れない。したがって、構造や組成と機能特性を関係づけるモデルが材料改良を加速するかも知れない。うまく実験から結果が導かれると、デバイス開発、現象モデル、およびナノスケール構造材料の第一原理モデルを加速することは知識ベースを確立するのに非常に重要である。場合によっては、必要な計測法が必ずしも使えないこともあるので、計測ツールと実験を組み合わせることは課題の一つである。

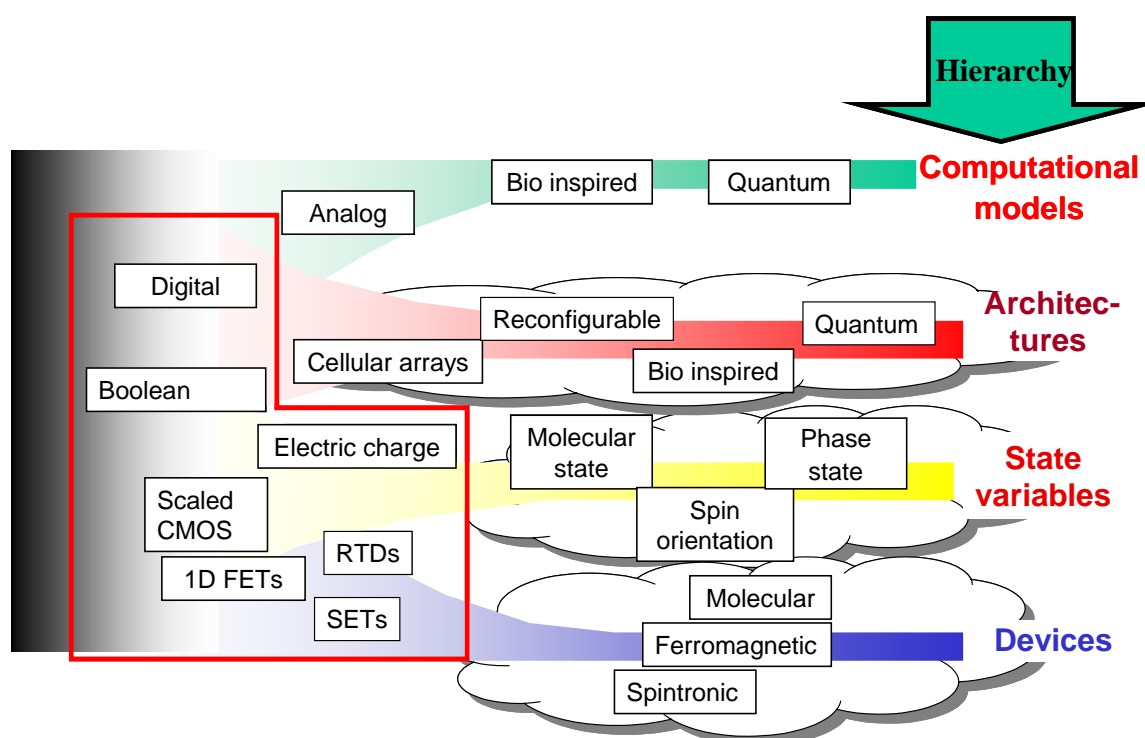


Figure 51 A Taxonomy for Nano Information Processing

## ナノ情報処理の分類

一般に、ある特定のシステム機能を実現する情報処理は、相互に関係する数種の異なる技術の階層を必要とする。これらの階層で最初に挙げるべきものは、必要なアプリケーションやシステム機能であり、システムアーキテクチャ、マイクロまたはナノアーキテクチャ、回路、デバイスと続き、最後は材料であろう。Figure 51 は、この階層を少し異なる方法で表現した。デバイスに代表される最も下の物理レイヤーで始まり、コンピュータシミュレーションモデルに代表される最も高いレイヤーで終わる。このより模式的な表現では、一般的な情報処理に焦点を当てており、情報の基本単位(例えばビット)は、計算の状態変数で表現される。たとえば、古いそろばんではビーズの位置、CMOS ロジックではノード容量の電荷すなわち電圧状態である。2つかそれ以上の許された状態の中から、計算の状態を表現したり操作したりする物理的手段を与えるものがデバイスである。デバイスは、多くの材料の集合からなる物理構造であり、必要な情報処理を行い、多くのプロセスを経て作製される。この階層構造には示されていない重要な階層は、デバイス作製に必要な材料とプロセスである。アーキテクチャ(この例ではナノアーキテクチャ)は、計算モデルを行うデバイスが構成する高次の機能を実行する物理的手段のこ



とである。計算モデルは、情報が処理される手段のことであり、例えばロジック、計算、メモリ、セルラノンリニアネットワーク(CNN)、生体を模した神経機能は、ディジタル、アナログ、または生体を模した方法を利用している。

赤枠で囲んだ部分は、現在の CMOS か、あるいは計算の状態変数として電荷を用いブール代数を使ってディジタル計算を行うアーキテクチャを示している。赤枠の右に示した技術候補は 4 つのグループに分かれて表示されており、新しい状態変数による新ナノアーキテクチャや計算モデルを可能とするデバイスをまとめている。新しい情報処理技術は、それぞれの階層で新しい要素技術の革新的な組み合わせを必要とするであろう。

## メモリデバイス

### 序論

以下に示すメモリ技術は、公開されている研究成果(およそ 2003-2005)の一例であり、現在のメモリの代替技術となりうるアプローチである。歴史的には、実用に耐えるメモリデバイスの研究例は極めて少なく、この表に載っていても技術的にほとんど支持されていないあるいは保証されていない技術もある。反対に、この節で取り上げられていなくても、そのアプローチが全く支持されていない訳ではない。この表から分かるように、現在さまざまなデータ記憶メカニズムが基礎的に探究されている。データ記憶メカニズムの例としては、たとえば絶縁膜に囲まれて分離された電荷、強誘電体ゲート絶縁膜中の残留分極、あるいは様々な現象によって引き起こされた抵抗変化などがあげられる。Table54 には、既存メモリ技術と新探究メモリ技術を 4 つのカテゴリーに分類している。ここで重要な課題は、これらのメモリ候補それぞれを CMOS 技術のプラットフォームにうまく融合させることである。その作製プロセスは、標準 CMOS 技術に対し、若干の変更が追加程度でなければならない。最終目標は、これらのメモリを、あらゆる面で成熟したシリコンメモリチップとして機能するデバイスとしてエンドユーザに提示することである。

これらの新しいメモリは現状のメモリ技術の性能に匹敵するかあるいはそれ以上であることを目指すものである。キーとなる動作パラメータの値を、既存の標準的メモリ技術とプロトタイプメモリ技術に対して Table55 に示してある。これらのパラメータの値は、それぞれの新探究メモリ技術の現在のあるいは将来の性能を比較する上でのベンチマークとなりうるものである。

ロードマップの最新版における新探究メモリ技術の候補は、いくつかの点で、2003 年版のそれとは異なっている。技術候補からはずれたり追加されたりした技術候補の変動が、新探究メモリデバイスの遷移 Table (Table56) に示されている。今回の変化は、1) 相変化メモリをはずす 2) 基板浮遊 DRAM をはずす 3) 単一電子メモリをはずす 4) 強誘電体 FET メモリを候補に加える 4) ポリマーメモリを加える。こうした変化の理由と動機が、Table56 に示されている。

本節では、Table57 の各行の最初に示されている 6 つの技術候補を中心に構成されている。これらの技術候補は、世界的にみて最も活発に研究されている分野を決めるために、文献を系統的にサーベイすることで決定された。議論を簡単にするため、各技術候補は、関連の深いデバイス同士で、分類されている。各技術に関わる、キーとなるパラメータが、表に示されている。各パラメータに対して、以下の 3 種類の数値が示されている。1) 実用化される上で満たすべき最低限の値、2) 計算結果あるいは初期的実験結果に基づき理論的に予測された値、3) 引用した文献で報告された最新の実験値である。

Table57 の最後の列には、過去 2 年間に発表された当該デバイス技術に関する論文の数が示されている。この数値は、研究機関において現在行われている研究の活発さを示す尺度の意味があり、この表に各候補デバイスを含めるかどうかを決める上での、主な指標としている。表には多くの脚注がつけられており、詳細は引用されている文献に示されている可能性がある。表に付随して、各デバイスの動作原理の簡単な要約や表には書かれていない重要事項が文章で書かれている。

## メモリの分類

Table54 では、最も簡単な形でのメモリ技術の分類を行っている。ここでは、メモリセルを構成する機能要素として等価なものを分類している。例えば、アクセストランジスタと記憶蓄積ノードとなるキャパシタからなるおなじみのダイナミック RAM(DRAM) セルは、1 トランジスタ-1 キャパシタ (1T1C) 技術として分類されている。データを磁性材料中のスピン状態として記憶している 1 トランジスタ-マグネティック RAM(MRAM) のようなセルは、1 トランジスタ-1 レジスタ (1T1R) 技術として表現されている。ここでの抵抗”R”とは、セルの読み出しを、セルを流れる電流をセンスすることで行うということを意味している。このような分類から、等価の要素部品数を最小にしてセルを単純化する(即ち、セル面積を縮小する)方向性を見て取ることができる。即ち、技術の開発初期では、マルチ・トランジスタ マルチ  $\times$  セル( $\times$  はキャパシタあるいは抵抗)となるのが一般的である。技術が成熟するにつれて、構造は生産性の高い 1T1  $\times$  型に単純化される。最も理想に近い構成は、1T セルのように、データ記憶部をトランジスタ中に埋め込むことである。超高集積ナノエレクトロニクス・メモリアレイでは、トランジスタ”T”の代わりに、ダイオードのような 2 端子の非線形素子を、抵抗型メモリ素子とともに用いることができるかもしれない。そのような構造は、1 ダイオード - 1 レジスタ (1D1R) 技術と表される。

新技術を差別化する重要な特性は、電源なしでもデータを保持することができるかどうか、である。不揮発性メモリは、根本的に有用性の高いものであり、不揮発性がどの程度保持されるかは、データを保持できる時間で表すことができる。揮発性メモリもまた、それぞれ特徴的なメモリ保持時間を持っており、その値は、ミリ秒から(実用性から)電源が保持される時間まで、様々である。

Table 54 Memory Taxonomy

Cell Element	Type	Non-volatility	Retention Time
1T1R or 1D1R [A]	MRAM	Non-volatile	> 10 years
	Phase Change Memory	Non-volatile	> 10 years
	Polymer Memory	Non-volatile	> 10 years
	Molecular memory	Non-Volatile	> years
	Insulator Resistance Change Memory	Non-Volatile	> years
1T1C [A]	DRAM	Volatile	~ seconds
	FeRAM	Non-volatile	> 10 years
1T [A]	FB DRAM	Volatile	< seconds
	Flash Memory	Non-volatile	> 10 years
	SONOS	Non-volatile	> 10 years
	Nano Floating Gate Memory	Non-volatile	> 10 years
	Engineered Tunnel Barrier Memory	Non-volatile	> 10 years
	FeFET Memory	Non-volatile	> years
Multiple T [A]	SRAM	Volatile	large
	STTM [B]	Volatile	small

Notes for Table 54:

[A] 1T1R 1 トランジスタ 1 抵抗 1D1R— 1 ダイオード 1 抵抗 1T1C 1 トランジスタ 1 キャパシタ 1T 1 トランジスタ FB DRAM 浮遊基板 DRAM FeFET—強誘電体 FET Multiple T 複数トランジスタ SONOS—シリコン/酸化膜/窒化膜/酸化膜/シリコン

[B] STTM—微細化可能な 2-トランジスタ メモリ—Yi, J. H., W. S. Kim, S. Song, Y. Khang, H.-J. Kim, J. H. Choi, H. H. Lim, N. I. Lee, K. Fujihara, H.-K. Kang, J. T. Moon, and M. Y. Lee. “Scalable Two-transistor Memory (STTM),” IEDM. (2001) 36.1.1–4.

Table 55 Current Baseline and Prototypical Memory Technologies

		Baseline Technologies					Prototypical Technologies			
		DRAM		SRAM [A]	Floating Gate [B]		SONOS	FeRAM	MRAM	PCM
		Stand-alone	Embed- ded		NOR	NAND				
Storage Mechanism		Charge on a capacitor		Interlocked state of logic gates	Charge on floating gate		Charge in gate insulator	Remanent polarization on a ferroelectric capacitor	Magnetization of ferroelectric contacts	Reversibly changing amorphous and crystalline phases
Cell Elements		1T1C		6T	1T		1T	1T1C	1T1R	1T1R
Feature size $F$ , nm	2005	80	130	90	130	130	100	130	180	90
	2018	18	25	18	25	25	20	25	22	18
Cell Area	2005	7.5F <sup>2</sup>	12F <sup>2</sup>	140 F <sup>2</sup>	10 F <sup>2</sup>	5 F <sup>2</sup>	7F <sup>2</sup>	34F <sup>2</sup>	25F <sup>2</sup>	7.2F <sup>2</sup>
	2018	5F <sup>2</sup>	12F <sup>2</sup>	140 F <sup>2</sup>	10 F <sup>2</sup>	5 F <sup>2</sup>	5.5F <sup>2</sup>	16F <sup>2</sup>	16F <sup>2</sup>	4.7F <sup>2</sup>
Read Time	2005	<15 ns	1 ns	0.4 ns	14 ns	70 ns	14 ns	80 ns [D]	<25 ns [G]	60 ns [I]
	2018	<15 ns	<1 ns	70 ps	2.5 ns	12 ns	2.5 ns	<20 ns [E]	<0.5 ns	< 60 ns
W/E time	2005	<15 ns	1 ns	0.4 ns	1 □s/ 10 ms	1 ms/ 0.1 ms	20□s/20ms [J]	15 ns [F]	<25 ns [G]	50/120 ns [I]
	2018	<15 ns	0.2 ns	<0.1 ns	1 □s/ 10 ms	1 ms/ 0.1 ms	~10□s/10ms	1 ns	<0.5 ns [H]	Not known
Retention Time	2005	64 ms	64 ms	[C]	>10 y	> 10 y	>10 y	>10 y	>10 y	>10 y
	2018	64 ms	64 ms	[C]	>10 y	> 10 y	>10 y	>10 y	>10 y	>10 y
Write Cycles	2005	>3E16	>3E16	>3E16	>1E5	>1E5	1E7	1E13	>1E15	1E12
	2018	>3E16	>3E16	>3E16	>1E5	>1E5	1E9	>1E16	>1E15	1E15
Write operating voltage (V)	2005	2.5	2.5	1.2	12	15	5-6	0.9-3.3	1.8[G]	3 [I]
	2018	1.5	1.5	0.7	12	15	4.0-4.5	0.7 - 1	<1.8	<3
Read operating voltage (V)	2005	2.5	2.5	1.2	2.5	2.5	2.5	0.9-3.3	1.8[G]	3
	2018	1.5	1.5	0.8	1.2	1.2	2.5	0.7-1	<1.8	<3
Write energy (J/bit)	2005	1E-16	1E-16	7E-16	8E-15	8E-15	2E-15	2E-14	1E-10	1E-10
	2018	4E-17	4E-17	2E-17	3E-15	3E-15	3E-16	4E-15	2E-11	Not known
Comments								Destructive read-out	Spin-polarized Write has a potential to lower Write current density and energy [K]	

Notes for Table 55:

[A] 高性能混載 SRAM (システムドライバの章の混載メモリへの要求の表を参照)

[B] 混載応用 (システムドライバの章の混載メモリへの要求の表を参照)

[C] SRAM の記憶状態は電源電圧が印加されている間は保持される

[D] Kim, K. and Y. J. Song. "Current and future high density FRAM technology," *Integr. Ferroelectrics*. 61 (2004) 3-15.[E] *Nanoelectronics and Information Technology*, Ed. Rainer Waser, Wiley-VCH, 2003, 568-569.[F] Moise, T., et al. *IEDM 2002*, session 21 (2002).

[G] Andre, T. W., J. J. Nahas, C. K. Subramanian, B. J. Garni, H. S. Lin, A. Omair, and W. L. Martino. "A 4-Mb 0.18-μm 1T1MTJ toggle MRAM with balanced three input sensing scheme and locally mirrored unidirectional write drivers."

[H] Schumacher, H. W. "Ballistic bit addressing in a magnetic memory cell array," *Appl. Phys. Lett.* 87.4 (2005) 42504.[I] Cho, W. Y., B-H Cho, B-G. Choi, H-R Oh, S. Kang, K-S. Kim, K-H. Kim, D-E. Kim, C-K. Kwak, H-G. Byun, Y. Hwang, S. J. Ahn, G-H. Koh, G. Jeong, H. Jeong, and K. Kim. "A 0.18-μm 3.0-V 64-Mb nonvolatile phase-transition random access memory (PRAM)," *IEEE J. Solid-State Circuits*. 40.1 (2005) 291-300.[J] Seo, M-K., S-H Sim, M-H Oh, H-S Lee, S-W. Kim, I-W. Cho, G-H. Kim, and M-G. Kim. "A 130-nm 0.9-V 66-Mhz 8-Mb (256 x 32) local SONOS embedded flash EEPROM," *IEEE J. Sol.-State Circ.* 40.4 (2005) 877-883.[K] Jiang, Y., T. Nozaki, S. Abe, T. Ochiai, A. Hirohata, N. Tezuka, K. Inomata. "Substantial reduction of critical current for magnetization switching in an exchange-biased spin valve", *Nature Materials*. 3 (2004) 361-364.

Table 56 Transition Table for Emerging Memory Devices

	<i>IN/OUT (Table 64)</i>	<i>Reason for IN/OUT</i>	<i>Comment</i>
<i>Ferroelectric FET Memory</i>	<b>IN</b>	<b>Based on physics of operation, this memory has potential not realized in existing FeRAM</b>	<b>Some features of Nano-Ferroelectric memory: Nanoscale FE capacitor, non-destructive readout</b>
<i>Polymer Memory</i>	<b>IN</b>	<b>New materials structure, promising characteristics, several recent publications</b>	<b>PM is different from MIM memory: it consist of MIMIM structure</b>
<i>Single-electron memory</i>	<b>OUT</b>	<b>It does not fit any of the application categories</b>	<b>Small retention time, slow write, high soft error rate (SER)</b>
<i>Floating body DRAM</i>	<b>OUT</b>	<b>It became a mature prototypical technology</b>	<b>Not presented in PIDS chapter in 2005 ITRS</b>
<i>PCM</i>	<b>OUT</b>	<b>It became a mature prototypical technology</b>	<b>Presented in the 2005 <i>PIDS chapter</i></b>



Table 57 Emerging Research Memory Devices—Demonstrated and Projected Parameters

		Nano-floating Gate Memory [A]	Engineered Tunnel Barrier Memory	Ferroelectric FET Memory	Insulator Resistance Change Memory	Polymer Memory	Molecular Memories
Storage Mechanism		Charge on floating gate	Charge on floating gate	Remanent polarization on a ferroelectric gate dielectric	Multiple mechanisms	Not known	Not known
Cell Elements		1T	1T	1T	1T1R or 1R	1T1R or 1R	1T1R or 1R
Device Types		1 Nanocrystal 2 Direct tunneling	Graded insulator	FET with FE gate insulator	1 M-I-M 2 Solid Electrolyte 3 FE tunneling 4 FE Schottky diode 5 FE-I-FE	M-I-M (nc)-I-M	Bi-stable switch
Feature size $F$	Minimum required	<65 nm	<65 nm	<65 nm	<65 nm	<65 nm	<65 nm
	Best projected	25 nm	10 nm [H]	22 nm [K]	5–10 nm [O]	5–10 nm	5–10 nm [AA]
	Demonstrated	90 nm [A]	180 nm [I]	~10 $\mu\text{m}$ [L]	100 nm [P]	200 $\mu\text{m}$ [W]	30 nm [AB]
Cell Area	Minimum required	10F <sup>2</sup>	10 F <sup>2</sup>	8F <sup>2</sup>	10 F <sup>2</sup>	10 F <sup>2</sup>	10 F <sup>2</sup>
	Best projected	8–10F <sup>2</sup>	8F <sup>2</sup> [H]	8F <sup>2</sup>	8/5F <sup>2</sup> [Q]	8/5F <sup>2</sup>	5F <sup>2</sup>
	Demonstrated	16F <sup>2</sup> [A]	Data not available	Data not available	Data not available	Data not available	Data not available
Read Time	Minimum required	<15 ns	<15 ns	<15 ns	<15 ns	<15 ns	<15 ns
	Best projected	2.5 ns	2.5 ns	2.5 ns	<10 ns	<10 ns	<10 ns [AA]
	Demonstrated	20 ns [B]	20 ns [B]	20 ns [B]	2 ms [R]	~10 ns [X]	Data not available
W/E time	Minimum required	1 $\mu\text{s}$ /10 ms	1 $\mu\text{s}$ /10 ms	Application dependent	Application dependent	Application dependent	Application dependent
	Best projected	1 $\mu\text{s}$ /10 ms	1 ns at 9V[H]	2.5 ns [B]	<20 ns [P]	Not known	<40 ns [AA]
	Demonstrated	W: 1–10 $\mu\text{s}$ [C] E: 10–100 ms [D]	E: ~10 ms [I]	500 ns [L]	25 ns [P]	<10 ns [X]	~sec [AC]
Retention Time	Minimum required	>10 y	>10 y	>10 y	>10 y	>10 y	>10 y
	Best projected	>10 y	>10 y	>1y	>10 y	Not known	Not known
	Demonstrated	>200 hours [E]	>10 y [I]	30 days [M]	1 y [S]	6 month [Y]	2 months [AC]
Write Cycles	Minimum required	>1E5	>1E5	>1E5	>1E5	>1E5	>1E5
	Best projected	>1E5	>3E16	>3E16	>3E16	>3E16	>3E16
	Demonstrated	>1E4 [A]	5E4 [J]	1E12 [O]	1E5 [T]	>1E6 [X]	>2E3 [AD]
Write Operating Voltage (V)	Minimum required	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent
	Best projected	>3 V [F]	>3 V [F]	<0.9 V [K]	<0.5 V [U]	Not known	2 V [AE]
	Demonstrated	$\pm 6$ [A]	6.5 [I]	$\pm 6$ [O]	0.24 V [P]	~ $\pm 2$ [X]	~ $\pm 1.5$ V [AB]
Read Operating Voltage (V)	Min. required	2.5	2.5	2.5	2.5	2.5	2.5
	Best projected	0.7	0.7	0.7	<0.2 V [U]	0.7	0.3 [AA]
	Demonstrated	2.5 [B]	2.5 [B]	2.5 [B]	~0.2 V [P]	~1 [X]	0.5 [AB]
Write Energy (J/bit)	Min. required	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent
	Best projected	5E-16 [G]	5E-16 [G]	2E-15 [N]	1E-15 [V]	Not known	2E-14 [AA]
	Demonstrated	2E-15 [G]	Data not available	Data not available	5E-14 [P]	1E-13 [Z]	Data not available
Comments		A natural evolution of the floating gate memory		Potential for non-destructive readout	Low read voltage presents a problem		
Research activity [AE]		123	12	74	39	25	68

- [A] 記述の一貫性のため、浮遊ゲートメモリに関する全ての数値は、一つの文献と種類のメモリを参照したものである: Freescale ナノクリスタルメモリ, NOR 構成—Muralidhar, R., et al., “A 6V Embedded Silicon Nanocrystal Nonvolatile Memory for the 90 nm Technology Node,” IEDM Digest. (2003).
- [B] 浮遊ゲートとSONOSのデータに基づく (Table 55 参照). 全ての1Tメモリデバイスの読み出し電圧と読み出し時間は同程度であると考えられる.
- [C] ホットエレクトロン注入—Muralidhar, R., et al. “A 6V Embedded Silicon Nanocrystal Nonvolatile Memory for the 90 nm Technology Node,” IEDM Digest. (2003).
- [D] Fowler-Nordheim 注入—Muralidhar, R., et al. “A 6V Embedded Silicon Nanocrystal Nonvolatile Memory for the 90 nm Technology Node,” IEDM Digest. (2003).
- [E] 実験的には >200 h のデータ保持時間が観測された。表の数値は、実験データと第一原理モデリングの下に予測されたもの—Muralidhar, R., et al. “A 6V Embedded Silicon Nanocrystal Nonvolatile Memory for the 90 nm Technology Node,” IEDM Digest. (2003).
- [F] 不揮発電荷保持特性のための最小バリア高さ1.5 eV に基づいたもの
- [G] 計算は、最大プログラム電圧と配線キャパシタンスに基づいている – (システムドライバの章の混載メモリへの要求の表の脚注 [6] 参照).
- [H] Likharev, K. K., “Riding the crest of a new wave in memory,” *IEEE Circ. and Dev.* 16.4 (2000) 16–21.
- [I] Blomme, P.; B. Govoreanu, M. Rosmeulen, A. Akheyar, L. Haspelslagh, J. DeVos, M. Lorenzini, J. Van Houdt, and K. DeMeyer. “High-k materials for tunnel barrier engineering in floating-gate flash memories,” 208th Electrochemical Society Meeting, ECS, 2005. (2005) 16–21.
- [J] Blomme, P., B. Govoreanu, M. Rosmeulen, J. Van Houdt, and K. DeMeyer. “Multilayer tunneling barriers for nonvolatile memory application,” in: 60th Device Research Conference. (2002) 153–154.
- [K] Fitsilis, M., Y. Mustafa, and R. Waser. “Scaling the ferroelectric field effect transistor,” *Integrated Ferroelectrics*. 70 (2005) 29–44.
- [L] Sakai, S., and R. Ilangoan, “Metal-Ferroelectric-Insulator-Semiconductor memory FET with long retention and high endurance,” *IEEE Electron Dev. Lett.* 25.6 (2004) 369–371.
- [M] Takahashi, K., B.-E. Park, K. Aizawa, and H. Ishiwara. “30-day-long Data Retention in Ferroelectric-gate FETs with HfO<sub>2</sub> Buffer Layers,” *SSDM 2004*, Tokyo. Paper No. D-1–2 (2004).
- [N] 文献[K] に示されている微細FE キャパシタのパラメータに基づいた計算
- [O] 見積もりは、導電パッドサイズ(10 kOhms の最大ON 抵抗)と隣接セル間の絶縁距離に基づいて行われた.
- [P] Kozicki, M. N., M. Mitkova, M. Park, M. Balakrishnan, and C. Gopalan. “Information storage using nanoscale electrodeposition of metal in solid electrolytes,” *Superlat. and Microstr.* 34 (2003) 459–465.
- [Q] 1T1Rに対しては  $8F^2$ 、1R セルに対しては  $5F^2$
- [R] Beck, A., J. G. Bednorz, C. Gerber, C. Rossel, and D. Widmer. “Reproducible Switching Effect in Thin Oxide Films for Memory Applications,” *Appl. Phys. Lett.* 77 (2000) 139.
- [S] Watanabe, Y., J. G. Bednorz, A. Bietsch, Ch. Gerber, D. Widmer, A. Beck, S. J. Wind, “Current-driven Insulator-conductor Transition and Non-volatile Memory in Chromium-doped SrTiO<sub>3</sub> Single Crystals,” *Appl. Phys. Lett.* 78 (2001) 3738.
- [T] Seo, S., M. J. Lee, D. H. Seo, S. K. Choi, D.-S. Suh, Y. S. Joung, I. K. Yoo, I. S. Byun, I. R. Hwang, S. H. Kim, and B. H. Park. “Conductivity switching characteristics and reset currents in NiO films,” *Appl. Phys. Lett.* 86 (2005) 093509.
- [U] 電気化学的セルポテンシャルが書き込み電圧を制御する。適切な組み合わせの下では、0.5 V でいくらかの安全マージンが残るであろう。読み出し電圧は非常に小さくなるであろう。
- [V]  $V=0.2$  Volts,  $R_{ON}=2E5$  Ohm,  $t_w=10$  ns の下で、 $E\sim 0.5*V^2/R_{ON}*t_w$  として見積もった
- [W] Ouyang, J., C. W. Chu, C. R. Szmanda, L. P. Ma, and Y. Yang. “Programmable polymer thin film and non-volatile memory device,” *Nature Materials*. 3.12 (2004) 918–922.
- [X] Ma, L. P., J. Liu, and Y. Yang. “Organic electrical bistable devices and rewritable memory cells,” *Appl. Phys. Lett.* 80.16 (2002) 2997–2999.
- [Y] Ma, L. P., Q. Xu, and Y. Yang. “Organic non-volatile memory by controlling the dynamic copper-ion concentration within organic layer,” *Appl. Phys. Lett.* 84.24 (2004) 4908–4910.
- [Z] 文献 [AB] で報告されている以下の実験データに基づいて見積もられた:  $E\sim 0.5*V^2*I_{ON}*t_w$ , for  $V_{ON}=2$  Volts,  $I_{ON}=10\mu A$ ,  $t_w=10$  ns.
- [AA] DeHon, A., S. C. Goldstein, P. J. Kuekes, P. Lincoln. “Nonphotolithographic nanoscale memory density prospects,” *IEEE Trans. Nanotechnology*. 4.2 (2005) 215–228.
- [AB] Wu, W., G.-Y. Jung, D. L. Olynick, J. Straznicki, Z. Li, X. Li, D. A. A. Ohlberg, Y. Chen, S.-Y. Wang, J. A. Liddle, W. M. Tong, and R. S. Williams. “One-kilobit cross-bar molecular memory circuits at 30-nm half-pitch fabricated by nanoimprint lithography,” *Appl. Phys. A*, 80 (2005) 1173–1178.
- [AC] Chen Y., D. A. A. Ohlberg, X. M. Li, D. R. Stewart, R. S. Williams, J. O. Jeppesen, K. A. Nielsen, J. F. Stoddart, D. L. Olynick, E. Anderson, “Nanoscale Molecular-switch Devices Fabricated by Imprint Lithography,” *Appl. Phys. Lett.* 82 (2003) 1610.
- [AD] Wu, W., G.-Y. Jung, D. L. Olynick, J. Straznicki, Z. Li, X. Li, D. A. A. Ohlberg, Y. Chen, S.-Y. Wang, J. A. Liddle, W. M. Tong, and R. S. Williams. “One-kilobit cross-bar molecular memory circuits at 30-nm half-pitch fabricated by nanoimprint lithography,” *Appl. Phys. A*. 80 (2005) 1173–1178
- [AE] 7/1/2003–7/1/2005 の間の Science Citation Index database に現れた、技術論文中での引用文献数

## メモリデバイス - 表掲載技術の定義と議論 -

**ナノ浮遊ゲートメモリ(NFGM)** —NFGMは、従来の浮遊ゲートメモリとSONOSメモリを進化させたものである。浮遊ゲートメモリの特性を向上させるために 2 つのアプローチが提案されている。1) ホットキャリア注入と Fowler-Nordheim (F-N)トンネリングによる孤立トラップ蓄積ノードへの電荷注入, 2) 直接トンネリングによる孤立トラップ蓄積ノードへの電荷注入<sup>2</sup>。ナノクリスタルメモリデバイスでは、電氣的に絶縁されたナノクリスタルに電荷を蓄積させることにより、電荷蓄積層から下地酸化膜への電荷ロスが緩和できる。35Åよりも薄いトンネル酸化膜では、プログラム書き込みや消去は、量子力学的直接トンネリングによって行われるかもしれない。通常不揮発用途に必要な、より厚い酸化膜に対しては、電荷はホットエレクトロン注入によって書き込まれ、Fowler-Nordheimトンネリングによって消去されるかもしれない。このデバイスの研究の殆どは、シリコン・ナノクリスタルを用いて行われているが、適切な伝導帯端の不連続量をもつように材料を選択したナノクリスタルを用いることで、デバイス特性を最適化できる。

孤立トラップ蓄積ノードをもつNFGMでは、浮遊ゲートは、多重のナノクリスタル・ドットが絶縁膜中の電荷トラップ欠陥<sup>3</sup>からなる。多重浮遊ドットはそれぞれ分離して独立であるので、電子は異なった経路でドットに注入される。この孤立トラップメモリによって、電荷保持時間を改善することができる。ナノ浮遊ゲートデバイスはトンネル酸化膜の局所的な欠陥による電荷ロスを緩和できるので、トンネル酸化膜を通常の浮遊ゲート技術のおよそ 10nm から、およそ 5nm までスケールアップすることができる。これにより、動作電源電圧はおよそ 9V からおよそ 6V までスケールアップすることができる<sup>4</sup>。

NFGM は、これまでの浮遊ゲートメモリの自然の進化であり、動作パラメータの改善は限定的である (Table 55 と 57 参照)。そのスピードや電圧をロジックデバイスに匹敵させることは不可能かもしれない。

**トンネル障壁エンジニアリングメモリ**としては、傾斜(例えば、「鶏冠状」)バリア浮遊ゲートメモリ<sup>5, 6</sup>や酸化膜厚可変浮遊ゲートメモリ(VARIOT)<sup>7</sup>が含まれる。傾斜バリアの考え方では、絶縁膜の積層構造を使って、蓄積ノードからの実効的トンネリングや蓄積ノードへの実効的トンネリングを可能にする特有のバリア形状を作り出す。傾斜バリアをもつ浮遊ゲートの考え方は、非常に魅力的であるが、積層絶縁膜によるトンネルバリアを実現することは非常に難しい。実現のためには、バンドギャップや誘電率に傾斜をもつ新しい絶縁膜材料が必要である。傾斜絶縁膜電子材料という考え方は、傾斜III-Vヘテロ構造と類似したものである。傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ 構造が、傾斜電荷注入バリアを形成するために使われており<sup>8</sup>、上記の傾斜注入バリアメモリの考え方のさきがけとして実験的に実証されていることは注目に値する。鶏冠状トンネルバリア積層構造 $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ が実験的に調べられ、NVM特性が改善することが報告されている<sup>9</sup>。また、最近の研究では、 $\text{AlO}_x$  や  $\text{HfO}_2$ <sup>10, 11</sup>層が、傾斜トンネルバリアのための候補材料系の一つとして検討されている。

VARIOTメモリでは、誘電率の異なる 2 層の積層絶縁膜が使われる。この構造により、良好なデータ保持特性を保ったままで、比較的低い印加電圧の下で高いトンネル電流が得られる。トンネルバリアを工夫することにより、メモリセルへの書き込みや消去に必要な電圧を低下させることが可能である。 $\text{SiO}_2$  と  $\text{HfO}_2$  あるいは  $\text{Al}_2\text{O}_3$  からなる積層構造が実験的に検討されており、すでにトンネリングによるプログラム電圧の低下と 10 年のデータ保持特性が得られることが示されている。

**強誘電体FETメモリ** — 従来の 1T1C強誘電体RAM(FeRAM)では、DRAMセルキャパシタに蓄積される電荷量と同じオーダーのスイッチング可能な分極電荷が必要である。この結果、3-D 立体型強誘電体キャパシタが必要になり、このキャパシタ面積の要求により、微細化限界をもつ。これに対し、強誘電体キャパシタをFETのゲットスタック構造に組み込むならば、強誘電性分極がチャンネルのキャリアに直接影響を与えることで、FET入力特性のシフトがもたらされる。この 1Tメモリを強誘電体FET(FeFET)<sup>12</sup>と呼ぶ。チャンネルとの界面での低い界面準位を保証するために、高品質の絶縁膜が必要である。このため、実際のデバイスでは、金属-強誘電体-絶縁膜-半導体(MFIS)のゲットスタック構造となる。場合によっては、もう一つの金属層を強誘電体層と絶縁層の間に形成する(MFMIS)こともある。FeFET素子は、MOSFETと同様にスケールアップできる。しかしながら、ス

ケーリングできるのは 22nm ノード辺りまでであると考えられている。これは、絶縁層が非常に薄くなり、抗電界の膜厚依存性の観点から、強誘電体の特性を維持するためには、この世代の膜厚よりも薄くすることができないことによる<sup>13</sup>。この 10 年間、FeFET を用いた不揮発性メモリを作製する試みが、数多く行われてきた。その結果として、最大の課題はデータ保持時間が短い点にあることが明らかとなった。これは、強誘電体の分極電荷を、リークによる電荷が遮蔽することによって引き起こされる。最近、データ保持時間の大幅な改善が報告された<sup>14, 15</sup>。疲労やインプリントのような他の信頼性上の課題については、まだ十分に研究されておらず、理解されていない。

**絶縁体抵抗変化メモリ** — 一群の金属-絶縁体-金属 (MIM) 系は電気パルスによる抵抗変化効果を示す。この効果の背景となるメカニズムを、次のカテゴリーに分類することができる。

1) 電極材料あるいは絶縁体あるいはその両方に含まれる酸化還元反応。ここで絶縁体はイオン性伝導をもつことが必要である。材料系としては、酸化物、高次のカルコゲナイド(非晶質を含む)、半導体、更にポリマーを含む有機化合物である。ここでの変化量は、陽イオンの輸送、電極還元反応、金属フィラメントの成長である。主に Ag や Cu を含む材料系を用いて、セル動作の実証に成功している<sup>16, 17</sup>。このとき、対抗電極間を繋ぐフィラメントが形成されると低抵抗状態になる。一方、酸化によりフィラメントが分解すると高抵抗状態に戻る。他には、絶縁体それ自身の中での電気伝導を誘起する酸化還元反応に起因するものもある<sup>18, 19, 20</sup>。多くの場合、双安定スイッチを起こす前に、何らかの形成過程が必要である。この電気伝導の多くは、極めて局所的である。この効果が制御できれば、双安定スイッチング過程に基づいたメモリは、極めて小さなサイズまで微細化できる。この現象のスイッチング速度は、イオンの輸送によって制限される。双安定スイッチングを制御している酸化還元反応に関わる実際の距離が小さければ (< 10 nm の領域)、スイッチング時間は数ナノ秒程度に短くすることが可能である。しかしながら、報告されている現象のメカニズムの詳細がまだ分かっていないため、スイッチング時間を正確に予測することは可能ではない。

2) 強誘電体分極効果。強誘電性分極が超薄絶縁膜のトンネル特性や隣接している半導体層のショットキー型空間電荷層を変調していることが考えられる<sup>21, 22</sup>。いくつかの研究成果が文献に報告されている。このメモリの基本的な構成要素は、リーク電流に再現性のあるヒステリシスを示す Cr をドーブした (Ba, Sr)TiO<sub>3</sub> や SrZrO<sub>3</sub> のような絶縁体を使った金属-絶縁体-金属 (MIM) 構造<sup>23, 24, 25, 26</sup>である。書き込み動作は、この MIM 構造に電圧を印加して、低抵抗状態と高抵抗状態を可逆的にスイッチさせることにより行われる。この構造で、多値のスイッチングも実現できる。データの読み出しは、書き込み電圧よりも低い電圧(典型的読み出し電圧は 0.5V 以下)を MIM 構造に印加して、その抵抗を測定することによって行われる。このような MIM 構造のデータ保持時間は、極めて長いものがあり、1 年のデータ保持時間という結果が実験的に示されている。安定で再現性のあるヒステリシスが MIM 構造で報告されている一方で、センサ用トランジスタと集積化した実用的セルはまだ実証されていない。また、現段階では、観測されている可逆的スイッチング現象の起源が強誘電性であるかどうかは十分確認されている訳ではない。ある場合では、可逆的導電フィラメントの生成と消滅が起こっていることが報告されている<sup>27</sup>。

**ポリマーメモリ** — このメモリの構成要素は、2 つの電極間に形成された薄膜の有機膜/金属/有機膜からなる 3 層構造である。有機材料の一例は、2-amino-4, 5-imidazoledicarbonitrile である<sup>28, 29, 30, 31, 32</sup>。ポリマーメモリでは、このような 3 層構造の電氣的な双安定性を利用している。この構造は、同じ印加電圧の下で、2 つの異なる導電率をもつ状態を示す。書き込み動作は、電圧パルスがこの構造に印加し、低抵抗状態と高抵抗状態の間の可逆的なスイッチングを引き起こすことによって行われる。2 状態間での導電率の比として、およそ 10<sup>4</sup> という値が報告されている。状態遷移が起こったあとでは、電源を切っても、この 2 状態のうちのどちらかを取ったまま保持される。消去動作は、逆方向の電圧パルスを印加することによって行われる。スイッチング時間は、10 ns であることが報告されている。



このポリマーメモリと、絶縁体抵抗変化メモリや分子メモリのようなほかの電気的雙安定抵抗メモリとの主な相違点は、ポリマーメモリには、その構造の中に、埋め込まれた金属層が存在するという点にある。実験結果によれば、この埋め込まれた金属層が、ポリマーメモリの雙安定 $I-V$ 特性に重大な役割を果たしている<sup>28</sup>。後に、この埋め込み金属層は、電気的に連続膜ではない、即ち孤立した金属ナノ微粒子であることが見出された。ポリマーメモリの動作原理は、まだ不明である。絶縁体抵抗変化メモリや分子メモリの場合のように、導電フィラメントの形成が関与しているとは思われない。抵抗変化が孤立した金属ナノ微粒子中の電荷のトラップに起因していることから、雙安定性のメカニズムは、Simmons-Verderberの理論<sup>34</sup>によって説明できるとしている研究者もいる<sup>33</sup>。最近、単層のポリマーによるM-I-M構造でも同様な振る舞いを示すことが報告された<sup>35</sup>。

**分子メモリ** — 分子メモリとは意味の広い言葉であり、原子または分子のスペースに 1 ビットの情報を記憶するメモリセルとして個々の分子を利用するさまざまな提案の総称である。すでに実験的に実証されている方法としては、2 つの電極間に接続された分子のコンダクタンスがゲート電圧によって可逆的に急速に変化する現象に基づくものがある<sup>36, 37, 38, 39</sup>。この分子メモリでは、分子に 2 つの伝導状態が存在し、外部から電圧を印加して、その伝導状態を遷移させることによりデータを記憶する。データ読み出しは分子セルの抵抗変化を検出することにより行う。分子の特性と、DRAM<sup>40</sup>や浮遊ゲートメモリなどの現在のメモリ技術を組み合わせる考え方もある。分子の導電率がスイッチする機構は完全には理解されていない。分子間の電気伝導に関して過去に報告されている実験結果のいくつかは、2 つの金属電極間の形成された分子に沿ってできた金属フィラメントの形成によるものであることが分かっている<sup>41</sup>。分子エレクトロニクスの基礎的知識ベースの構築には、更なる研究が必要といえる。

## ロジックデバイス

### 序論

今日良く知られている CMOS デバイス・プロセスの微細化は、産業が 2019 年あたりで 16nm（物理ゲート長 6nm）に近づくに頃は、ますます困難になり、ついには終局に向かうであろう。このような CMOS の従来型スケールアップが終わった後は、シリコンプラットフォーム上に異なる電子デバイスを集積化することで機能的にスケールアップを継続することが可能になるかもしれない。このような電子デバイスとしては、1D 構造(CNT や化合物半導体ナノワイヤなど)、RTD、SET、分子やスピンデバイスなどがあり、いずれについてもこの章で議論を行う。おそらく、これらの選択肢は、新しい適切なナノアーキテクチャと結びつけなければ、その可能性を十分に開花することはできないであろう(ナノアーキテクチャの定義については、[アーキテクチャ](#)の節を参照のこと)。

しかし、これらのコンセプトは、まだ電荷ベースのロジックを表しており、そのスケールアップは基本的にバイナリ動作(binary operation)あたりの最小スイッチングエネルギーに伴う熱力学限界で制限される。この限界を超えるためには、電荷以外の何かに基づく新しい技術 - 情報処理技術のスケールアップを数世代延長し、性能を数桁向上させるような技術 - を、1 つあるいは複数、創案し開発するという大きな技術課題が存在する。このような代替技術としては、この節で議論する強磁性ロジック(ferromagnetic logic)やスピングейン(spin gain)デバイスなどに加えて、まだ他にもこれから見つかるものもあるであろう。この点については、以降の [CMOS を越える技術](#)の節内の [新探究技術 - 評価](#)の節で更に議論を行う。

確かに、CMOS デバイスを延長するための技術革新・発明の余地はまだ存在し、CMOS の極限的微細化は大規模な研究開発活動の焦点となっている。このような極限 CMOS デバイスは、新規で生産的な方法によって、代替の電子デバイスと融合されるかもしれない。しかし、このような高度な電子技術は、まだ発見されていない新しいスケラブルなアプローチへの橋渡しとなる過渡的な技術として考えるべきである。

このような新技術は、新しいインフラストラクチャを造り上げるために必要な大がかりな投資を正当化するために、一定の動作条件を満たし、しかも説得力のある特性を備えていなければならない。まず第一に、新しい



情報処理技術は以下の要件を満たさなければならない。

1. CMOS の性能を数桁越えてマイクロエレクトロニクスを進展させ、しかも CMOS プラットフォームと円滑に連結できること。これを満たすには、さらに以下の要件が必要である
  - CMOS より数桁以上機能的にスケラブルなこと
  - 高速な情報・信号処理速度とスループット
  - 機能命令ごとに必要なエネルギーが CMOS より十分小さいこと
  - 機能ごとのコストがスケラブルで極めて小さいこと
2. 室温動作
3. 定常状態で動作を維持するためのエネルギー回復機能を持っていること(たとえば従来のデバイスでは、ゲインのメカニズムを持っていること)

直前の節“[基本的な指導原理](#)”において、情報処理に対する CMOS を越える新技術の開拓を考える際の、一連の原則を提案した。

この版のロードマップにおける技術候補は、2003 年版と比べていくつかの点で異なっている。これらの変更は新探究ロジックデバイスに対する推移 Table (Table58) にまとめられている。変更点は、1) RSFQ がこの節から抜けた点、2) 強磁性ロジックが候補として加えられた点、3) E:QCA がこの節から抜けた点、である。これらの変更に対する理由と意図するところは表に述べられている。

この節は Table59 の見出しの列に示した 6 つの技術候補を中心に構成されている。これらの候補は、体系的な文献調査によって、世界的に最も重要な研究活動領域を見つけたことにより決定された。リストアップされたそれぞれの技術候補は、いくつかのデバイスのサブカテゴリを持つが、議論を簡単にするためにグループ化してある。表は、これらの技術に対して鍵となるパラメータを一覧にしている。各々のパラメータに対して、現在測定されている実験値と、理論的に予測されている値の 2 つの数字を記載している。

Table59 の最後の列には、各デバイス技術についての過去 2 年間に掲載された論文の数が示されている。これは、各研究コミュニティにおいて現在進行している研究活動の高さの目安、と捉えることができ、これらの表に、各候補デバイスを含めるかどうかを決める主な評価量ともなっている。これらの表には多くの脚注があり、その詳細は示された文献中に書かれている可能性がある。表に関連したテキストには、各デバイスの動作原理の簡単なまとめと共に、表には書ききれていない重要な課題が述べられている。

Table58 Transition Table for Emerging Logic Devices

	IN/OUT	Reason for IN/OUT	Comment
<i>Ferromagnetic logic</i>	IN	Proposed ferromagnetic logic devices offer some new opportunities such as nonvolatility and re-configurability	
<i>RSFQ</i>	OUT	RSFQ is in production	Current assessment is that RSFQ will address several important specific applications that are beyond the scope of ITRS.
<i>E: QCA</i>	OUT	E:QCA does not fit any of the application categories	Slow operation, low temperatures are needed, M:QCA are addressed in <i>ferromagnetic logic</i> , molecular QCA are addressed in <i>molecular logic</i> .

Table 59 Emerging Research Logic Devices—Demonstrated Projected Parameters

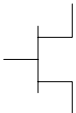
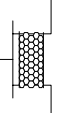
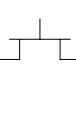
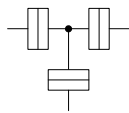
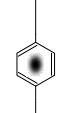

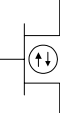
Device								
		FET [B]	1D structures	Resonant Tunneling Devices	SET	Molecular	Ferromagnetic logic	Spin transistor
Types		Si CMOS	CNT FET NW FET NW hetero-structures Crossbar nanostructure	RTD-FET RTT	SET	Crossbar latch Molecular transistor Molecular QCA	Moving domain wall M: QCA	Spin transistor
Supported Architectures		Conventional	Conventional and Cross-bar	Conventional and CNN	CNN	Cross-bar and QCA	CNN Reconfigure logic and QCA	Conventional
Cell Size (spatial pitch)	Projected	100 nm	100 nm [C]	100 nm [C]	40 nm [L]	10 nm [Q]	140 nm [U]	100 nm [C]
	Demonstrated	590 nm	~1.5 $\mu$ m [D]	3 $\mu$ m [H]	~700 nm [M]	~2 $\mu$ m [R]	250 nm [V, W]	100 $\mu$ m [X]
Density (device/cm <sup>2</sup> )	Projected	1E10	4.5E9	4.5E9	6E10	1E12	5E9	4.5E9
	Demonstrated	2.8E8	4E7	1E7	2E8	2E7	1.6E9	1E4
Switch Speed	Projected	12 THz	6.3 THz [E]	16 THz [I]	10 THz [M]	1 THz [S]	1 GHz [U]	40 GHz [Y]
	Demonstrated	1 THz	200 MHz [F]	700 GHz [J]	2 THz [N]	100 Hz [R]	30 Hz [V, W]	Not known
Circuit Speed	Projected	61 GHz	61 GHz [C]	61 GHz [C]	1 GHz [L]	1 GHz [Q]	10 MHz [U]	Not known
	Demonstrated	5.6 GHz	220 Hz [G]	10 GHz [Z]	1 MHz [F]	100 Hz [R]	30 Hz [V]	Not known
Switching Energy, J	Projected	3E-18	3E-18	>3E-18	1 $\times$ 10 <sup>-18</sup> [L] [>1.5 $\times$ 10 <sup>-17</sup> ] [O]	5E-17 [T]	~1E-17 [V]	3E-18
	Demonstrated	1E-16	1E-11 [G]	1E-13 [K]	8 $\times$ 10 <sup>-17</sup> [P] [>1.3 $\times$ 10 <sup>-14</sup> ] [O]	3E-7 [R]	6E-18 [W]	Not known
Binary Throughput, GBit/ns/cm <sup>2</sup>	Projected	238	238 [C]	238 [C]	10	1000	5E-2	Not known
	Demonstrated	1.6	1E-8	0.1	2E-4	2E-9	5E-8	Not known
Operational Temperature		RT	RT	4.2 – 300 K	20 K [L]	RT	RT	RT
Materials System		Si	CNT, Si, Ge, III-V, In <sub>2</sub> O <sub>3</sub> , ZnO, TiO <sub>2</sub> , SiC,	III-V Si-Ge	III-V Si	Organic molecules	Ferromagnetic alloys	Si, III-V, complex metals oxides
Research activity [A]			171	88	65	204	25	102

Table59 の注釈:

[A] 論文誌に掲載された論文数は 2003 年 7 月–2005 年 7 月の期間に対して、the Science Citation Index database において得られた数値。

[B] Si CMOS に対しては高性能 MPU のパラメータを使用: “予測値” (2020) と “実験値” (2005)。

[C] これらの構造の寸法と回路スピードに関するスケーリングは、MOSFET のスケーリングと同じである。

[D] Appenzeller, J., Y.-M. Lin, J. Knoch, and P. Avouris. “Band-to-band tunneling in Carbon Nanotube Field-Effect Transistors,” *Phys. Rev. Lett.* 93.19 (2003) 196805.

[E] Burke, P. J. “AC performance of nanoelectronics: towards a ballistic THz nanotube transistor,” *Solid-State Electron.* 48 (2004) 1981–1986.

[F] Singh, D.V., K. A. Jenkins, and J. Appenzelle. “Direct measurements of frequency response of carbon nanotube field effect transistors,” *Electronics Letters.* 41.5 (2005) 280–282.

[G] Javey, A., Q. Wang, A. Ural, Y. M. Li, and H. J. Dai. “Carbon Nanotube Transistor Arrays for Multistage Complementary Logic and Ring Oscillators,” *Nano Lett.* 2.9 (2002) 929–932.

[H] Fay, P., L. Jiang, Y. Xu, G. H. Bernstein, D. H. Chow, J. N. Schulman, H. L. Dunlap, and H. J. De Los Santos. “Fabrication of Monolithically-integrated InAlAs/InGaAs/InP HEMTs and InAs/AlSb/GaSb Resonant Interband Tunneling Diodes,” *IEEE Trans. Electron Dev.* 48 (2001) 1282.

[I] Dragoman, D. “Terahertz oscillations in semiconducting carbon nanotube resonant-tunneling devices,” *Physica E* 24 (2004) 282–289.

[J] Brown, E. R. and C. D. Parker. “Resonant tunnel diodes as submillimetre-wave sources,” *Phil. Trans. Roy. Soc. A* 354 (1996) 2365.

[K] Auer, U., W. Prost, M. Agethen, F. J. Tegude, R. Duschl, and K. Eberl. “Low-voltage MOBILE logic module based on Si/SiGe interband tunneling devices,” *IEEE Electron Dev. Lett.* 22 (2001) 215.

[L] SET ロジック回路については、デバイス寸法/集積度、回路スピード、スイッチングエネルギーおよび動作温度は独立である。表中の値は、1 GHz で動作する複雑な回路について求められたものである: Chen, R. H., A. N. Korotkov, and K. K. Likharev. "Single-electron transistor logic," *Appl. Phys. Lett.* 68.14 (1996) 1954.

[M] Park, K-S., et al., "SOI single-electron transistor with low RC delay for logic cells and SET/FET Hybrid ICs," *IEEE Trans. Nanotechnology.* 4.2 (2005) 242.

[N] 参考文献 [M] において、SET に対して実験的に報告された"intrinsic な速度"は容量測定から求められたものであり、時間依存の特性測定からではない。

[O] [ ] の中の値は、冷却エネルギーを含む値である。もし理想的なカルノー冷却器が動作温度 $T_c$ までの冷却に使われた場合、全体のスイッチングエネルギーは  $E_{sw} > E_c \cdot \frac{300}{T_c}$  となる。ここで、 $E_c$  は冷却エネルギーを考慮しない

場合のスイッチングエネルギー全体である。

[P] Tsukagoshi, K., B. W. Alphenaar, and K. Nakazato. "Operation of Logic Function in a Coulomb Blockade Device," *Appl. Phys. Lett.* 73 (1998) 2515.

[Q] DeHon, A. and M. J. Wilson. "Nanowire-Based Sublithographic Programmable Logic Arrays, Proc. Intern. Sym. on Field-Program. Gate Arrays (FPGA2004, Feb. 22–24, 2004).

[R] Kuekes, P. J., D. R. Stewart, and R. S. Williams, "The crossbar latch: Logic value storage, restoration and inversion in crossbar circuits," *Journal of Applied Physics.* 93 (2005) 034301.

[S] Seminario J. M., P. A. Derosa, L. E. Cordov et al. "A molecular device operating at terahertz frequencies: Theoretical simulations," *IEEE Transactions On Nanotechnology.* 3.1 (2004) 215–218.

[T] DeHon, A. "Array-Based Architecture for FET-Based Nanoscale Electronics," *IEEE Trans. Nanotechnol.* 2.1 (2003) 23.

[U] Parish, M. C. B. and M. Forshaw. "Physical constraints on magnetic quantum cellular automata," *Appl. Phys. Lett.* 83.10 (2003) 2046–2047

[V] Cowburn and M. E. Welland. "Room Temperature Magnetic Quantum Cellular Automata," *Science.* 287.5457 (2000) 1466.

[W] Allwood, D. A., et al. "Submicrometer Ferromagnetic NOT Gate and Shift Register," *Science.* 296 (2002) 2003.

[X] Hirose, T., Y. Fujiwara, M. Jimbo, T. Kobayashi, and S. Shiomi. "Magnetocurrent of magnetic tunnel transistors employing various Schottky junctions," *J. Magnetism and Magnet. Materials.* 286 (2005) 124–127.

[Y] Nikonov, D.E. and Bourianoff G.I., "Spin gain transistor in ferromagnetic semiconductors - The semiconductor Bloch-equations approach," *IEEE Transactions On Nanotechnology.* 4.2 (2005) 206–214.

[Z] Tanaka T., Y. Ohno, S. Kishimoto, et al. "Experimental demonstration of capacitor-coupled resonant tunneling logic gates for ultra-short gate-delay operation," *Japanese Journal of Applied Physics. Pt 1.* 42.11 (2003) 6766–6771.

## ロジックデバイス - 表掲載技術の定義と議論 -

**1D構造(カーボンナノチューブとナノワイヤ)** — 2003 年版ITRS EDSチャプタは全ての技術候補を調査し、大量生産に採用されるための困難はまだ非常に大きいものの、1D構造が、他のどの候補よりも、微細化の進むナノエレクトロニクスに対して大きなインパクトを与えていることを見出した。その後、この分野における研究活動は、1D構造の持つ重要な問題点を見極める段階にまで進展した。研究活動は4つの主要な的に集中された：1) コヒーレント輸送(coherent transport)を含む量子閉じ込め状態(quantum-confined)での輸送における基礎的な物理メカニズムの解明、2) 予測・制御可能な特性を持つナノチューブとナノワイヤの作製、3) 位置制御、電極コンタクト、ドーピング、絶縁膜とゲート材料の集積化など、デバイス作製に関わる問題解決、そして最後に、4) 輸送効率(transport efficiency)、サブスレッショルド係数(subthreshold slope)、アンビポーラ伝導(ambipolar conduction)、RF 応答、 $I_{ON}/I_{OFF}$  比、その他のデバイス課題の評価、である。MOSFETに1D構造を適用する際の重要な課題の一つは、複数の負荷ゲート(multiple load gates)の容量をドライブするのに十分なドレイン電流を得るため、一つのデバイス内にそのような構造を何本か平行に配置する必要があることである。この節は、これまでに理解されていることを手短かにまとめ、4つのエリアそれぞれにおける最近の研究を指示し、応用上の障害となっている残りの問題を議論することを目的としている。また、本章の**新探索材料**の節では、1D構造に関する材料面での問題についても議論をする。

量子閉じ込め状態での電子輸送の物理に関する最近の研究は2つの領域に注力されている。1点目は、現実的な温度と電圧条件において、量子閉じ込め効果が電子の移動度に与える影響を理解することであり、2点目は、高効率のコヒーレント干渉(coherent interference)ロジックデバイスの可能性を評価することである。状態密度(density of states)の減少に伴って移動度が向上するという初期の期待<sup>42</sup>に対して、より最近の計算は逆の結論を報告している<sup>43</sup>。現実的な界面を考慮して、更に注意深く行われた室温でのマルチバンド計算では、電子とフォノンの波動関数の重なりが増大するために移動度は低下することが示唆されている。決定的な実験はまだ行われていない。1Dデバイスにおけるコヒーレント電子輸送は、原理的には、テラヘルツ(THz)の領域で動作可能である<sup>44</sup>。しかし、そのようなデバイスは、極端なリソグラフィの精度が必要であること、動作温度が低温であること、更に、電子がフェルミオンの性質(Fermionic nature)を持つため量子閉じ込め構造(quantum confined structures)においてトータルの電流が制限されること、などの理由から、かなり非現実的であると思われる<sup>45</sup>。

特性を制御したナノチューブの作製に関しては、プラズマ化学気相堆積(plasma enhanced chemical vapor deposition; PECVD)法の利用によって大きな進歩が遂げられた。現在では、90%以上が半導体的性質を持つようなナノチューブを信頼性良く作製することが可能となっている。これは、大量生産の環境における純度の要求からは、まだ程遠い段階ではあるが、大きな前進を表している。繰り返しになるが、この点については、本章の材料の節で更に議論を行う。

CNT FETの作製上の課題の一つは、リソグラフィによって決められた位置に、ナノチューブを確実に配置したり、成長させることである。最近の報告では、触媒を使った成長によって2 nmの正確さで配置できることが実証されている<sup>46</sup>。この手法では、最先端の電子線リソグラフィと、粒径の揃った触媒粒子を斜め蒸着する技術を組み合わせることで、高い正確度を達成した。その後、触媒粒子の位置にCNTを成長させることで90%を超える被覆率を実現している。CNT FETの作製上のもう一つの課題は、信頼性の高い、その場(*in situ*)ドーピング(特にP型ドーピング)である。2重ゲートを配置して、化学的なドーピングと静電的なドーピングを組み合わせる新しい手法では、静電的な制御によりP-FETとN-FETのどちらでも動作させることが可能になる<sup>47</sup>。高誘電体ゲート絶縁膜とゲート材料に関する進展に関しては、本章の最後にある参考文献(Endnotes)で挙げたもの<sup>48</sup>を含め、いくつかの文献を参照されたい。CNTの品質は、測定された音響フォノンによる平均自由行程(acoustic phonon mean free path)が約300 nm、光学フォノンによる平均自由行程(optical phonon mean free path)が15 nm<sup>49</sup>、という点にまで向上されている。

CNT FETのオン電流は1  $\mu$ A領域と小さいため、50  $\mu$ A負荷を用いて従来の技術でそのAC応答を直接測定することは困難であった。最近では、広帯域の測定技術により200 MHzまでの直接測定が可能になったことが

報告されている<sup>50</sup>。ショットキー障壁CNT FETにおけるアンビポーラ伝導は、 $I_{ON}$ 対 $I_{OFF}$ 比を容認できないほど低い値に制限してしまうため、通常の方法で用いる上で大きな障害となっている。

**共鳴トンネル素子 (Resonant tunnel devices)<sup>51, 52</sup>** — ロジック応用のための共鳴トンネル素子には、共鳴トンネルトランジスタ(RTT)や共鳴トンネルダイオードを一つあるいはそれ以上のFETと組み合わせた混成デバイス(RTD-FET)がある。RTDは、本質的に極めて速いスイッチング速度をもち、そのI-V特性に負性微分抵抗領域をもつ2端子デバイスである。この2つの特性のために、RTDは、高速のスイッチングが可能な素子として魅力的なものである。2つのRTDが直列に接続された場合には、2つの安定動作点が存在し、ゲートとして働く第3電極が形成されていれば、この2つの安定動作点の間を高速でスイッチすることが可能である。しかしながら、RTDを流れるピーク電流は、トンネル障壁膜厚に指数関数的に依存するので、ゲート電極によってピーク電流値を制御できるようにしないと、再現性のあるデバイス動作を得ることは、本質的に難しい。ピーク電流の制御は、通常共通基板上にトランジスタと直列に接続された2重RTDを集積することによって行われる<sup>53</sup>。この方法では、極めて良い膜厚制御性を得るために、エピタキシャル成長を用いた複雑な構造が必要となる。

トランジスタを一对のRTDと集積化した場合、本質的に高速な双安定スイッチングのための時間に加えて、トランジスタのゲート・スタックにおける容量の充放電に関わる遅延時間が必要になる。このため、集積化された素子の動作速度は、RTDそれ自身の真性のスイッチング時間に対して、数桁遅くなる可能性がある。他の技術課題としては、CMOSのデジタル回路設計者が求める $10^5$ 台の $I_{ON}/I_{OFF}$ 比と比べ、このデバイスの $I_{ON}/I_{OFF}$ 比は10程度であること、また集積化された構造が本質的に複雑であること、がある。後者は、デバイスサイズのスケールリングに対する限界となる。混成デバイスの複雑さのために、そのサイズは大きくなり、実験的には、 $3\mu\text{m}$ のオーダーの空間ピッチのものが報告されている。別の課題は、高いピーク・バレイ比をもつSiあるいはSiGeトンネルダイオードを実現することである。

RTDに制御電極を付加することによって、様々な応用に対する有用性が広がる。この考え方は、共鳴トンネルトランジスタ(RTT)<sup>54</sup>を実現する際に使われた。RTTは負性相互コンダクタンスをもち、種々の論理回路に使うことが出来る。例えば、一つのトランジスタでXORゲートを実現することができる<sup>55</sup>。

伝統的にRTDはIII-V材料系を用いて作製されてきたが、このことがRTDの適用範囲を制限していた。最近、いくつかの論文において、Siと適合する材料でIV族デバイスを作製したことが報告されている。これらの中には、SiGeを用いた3値ロジックデバイス<sup>56</sup>や、Siベースの電界誘起型バンド間トンネリングトランジスタ(band-to-band tunneling transistor)<sup>57</sup>などがある。これらのデバイスは、いずれも先に述べた課題を依然として有しているが、Siと適合性の良い材料構造で作製されたということで、集積化に関する課題を大幅に軽減している。

Si共鳴トンネルMOSTランジスタ(Si resonant tunneling MOS transistors; SRTMOS)を用いた多値ロジック回路が理論的に探索されている<sup>58</sup>。この理論解析では、SRTMOSが、 $10^6 \text{ A/cm}^2$  台のON電流密度と、 $10^4$ より大きな $I_{ON}/I_{OFF}$ 比を有していることを仮定している。現時点において、高電流と高 $I_{ON}/I_{OFF}$ 比の両方を満たす共鳴トンネルデバイスは、実験的に実現されていない。

最近では、スピン偏極共鳴トンネリング(spin-polarized resonant tunneling)に関する研究が数多く報告されている。これらは、スピントロニックデバイス(spintronic devices)への応用に適用される可能性がある<sup>59,60,61</sup>。RTDの他のニッチな応用としては、低いダークカウントレート(dark count rates)と高効率を有する単一光子検出器(photodetectors for detection of single photons)の可能性がある<sup>62</sup>。

総じて言えば、共鳴トンネル素子は、もし、トンネル障壁の均一性に関わる作製上の課題が解決されれば、低ダイナミックレンジで低ピーク電流でも高速性が要求される、ある種のニッチな応用に有用であるかもしれない。RTDに関する最近の主な研究は、シリコンプラットフォーム上での集積化の分野に集中してきている。

**単一電子トランジスタ(Single-electron transistors; SET)** — SET<sup>63</sup>は、ソースの電子をドレインに一つずつ運ぶことができる3端子のスイッチング素子である。SETは、もしノイズ耐性と低ファンアウト(fanout)の問題を解決



できれば、潜在的には、高速で高密度・高効率なデバイスとなり得る。

SETの構造はFETの構造とほとんど同じである。しかしながら、重要な違いは、SETでは、チャンネルがソースとドレインからトンネル接合(tunnel junctions)によって離されており、チャンネルの役割は量子ドットによって担われているという点にある。SETの動作パラメータは、量子ドットのサイズに依存している。室温で動作する単一電子デバイスは実験的に実証されている<sup>64,65</sup>。しかし、複雑で高速なSET回路の動作は、その低ノイズ耐性のために、一般的に極低温に限られている。2 nm サイズのSETに対して、論理ゲートとしてのパラメータは、最大動作温度は $T \sim 20$  K、集積度は $n \sim 10^{11} \text{ cm}^{-2}$ 、動作速度は 1 GHz 程度と見積もられる<sup>66</sup>。

単一電子デバイスで論理動作を実現するためには、2つの動作モードがある。第1のアプローチは、単一電子で1ビットを表し(ビット状態ロジック; bit state logic)、電子を一つずつ運ぶためにSETを用いる方法である。第2のアプローチでは、1ビットは一つ以上の電子が担い、キャパシタをある一定の電圧に帯電する(電圧状態ロジック; voltage state logic)。一般的に、電圧状態ロジックのアプローチの方がよりロバストであるが、電力効率では劣る。

SET 論理回路は、従来の CMOS 論理回路に比べて、ノイズ耐性が低いことと、ファンアウトが制限される問題がある。低エラー耐性は寄生電荷(stray charge)の影響によるものであるが、これは同じようなスケールのナノエレクトロニックデバイス全てに共通することである。同様に、ファンアウトが制限されることは、一個の電子のみを扱っていることの直接的な帰結である。

低いエラー耐性と低ファンアウトのために、SETを、ブール論理動作(Boolean logic operations)を実行するために用いられているCMOSデバイスと、直接比較競争させることは難しい。従って、SET素子のもつユニークな機能を最善の方法で活用し得る応用とアーキテクチャを開発することが重要である。プログラマブルSETロジックや多値論理は、SETを使うことで機能の改善が図れる可能性がある例である。SETの電流 - 電圧特性のもつ周期的性質を利用して、“ターンスタイルロジック(turnstile logic)”を実現することも他の例である。また、シリコンベースの単一電子ロジック要素をMOSFETと組み合わせたSET/FETハイブリッド回路もある程度の見込みがある<sup>67</sup>。SETの大規模アレイは、人間の認知に関連した想起式認識(associative recognition)作業<sup>68</sup>を実行するために利用できるかもしれない。

**分子デバイス(Molecular devices)** — 分子電子デバイスの概念は、個々の分子の電子的性質を、ロジック動作を実行できるように修正し、その機能を持ったビルディング・ブロック(building blocks)を多数集積化して分子回路を構成することに基づいている。ロジック関数は、分子の電子輸送と制御されたスイッチング特性によって与えられるが、特定のエネルギー準位や電荷状態を利用することも可能である。抵抗性スイッチのような2端子デバイス、およびゲートを有するトランジスタ的な分子による3端子デバイスが考えられている。このような分子デバイスを回路に集積化するためには、原子レベルの精度をもつ電極形成と、ナノメータスケールにおける有機・無機のインタコネクトが必要となる。

このような概念の可能性は、様々な見地にに基づいている: 1) 有機分子の電子的性質は、化学的合成によって広い範囲で調整することが可能であること。2) 無機ナノクラスターとは対照的に、有機分子単位の再現性は完全であること。3) 化学的に誘起された自己組織化過程(self-organization processes)を利用することで、ほぼ完全で非常に規則的な分子回路を形成できる可能性があること。4) 極めて高いデバイス密度を実現できる可能性があること。複雑な分子の寸法は約 1 nm程度であることから、おそらくその限界はインタコネクト構成要素の寸法と、機能を持った分子間の望ましくないトンネリング過程を防ぐために必要な間隔によって決まると考えられる。究極的な限界が  $10^{12} \text{ cm}^{-2}$  を越えることは確かであろう。5) 分子のスイッチング過程に必要なとされる電子の数が非常に少ないことから、適切な低電圧と組み合わせることによって、そのスイッチングエネルギーは、CMOS技術の延長に対して必要となる値に比べて遥かに小さく、熱力学的な極限(thermodynamic limit)に近づく可能性があること。6) 分子デバイスの速度は、輸送とスイッチング動作に関する素過程(elementary processes)で制限される。このような過程は、通常、分子配置の変化、すなわち捻れ振動(twisting vibration)や

分子内の電荷移動過程 (intramolecular charge transfer processes)、である。その速度は、過程に固有の性質に大きく依存するが、 $> 1$  THz領域に達し得る。しかし、分子回路の速度は、電極やインタコネクトを介した透過確率 (transmission probability) と、従来の回路におけるRC遅延時間に対応する帯電効果によって制限されるため、かなり遅くなることが予想されることに注意されたい。

主として1990年代半ば以降、単一分子電子デバイス (single molecular electron devices) を作製・評価しようとする数多くの試みが行われてきた。これまでに報告された分子機能 (molecular functions) としては、整流作用<sup>69,70,71</sup>、ゲートによる伝導制御<sup>72,73,74</sup>、そしてスイッチング<sup>75,76</sup>がある。一般的に、これらの結果は、メカニカルブレークジャンクション (mechanical break junction) 法による実験や、走査プローブ技術を用いて得られたものである。

また、単分子膜を電極の交点に集積化することで、高い $R_{OFF}/R_{ON}$ 比<sup>77</sup>や、高いピーク・バレー比をもつ負性微分抵抗 (negative differential resistance) 的振る舞いを示す抵抗スイッチ<sup>78</sup>についても、いくつかの報告がなされている。しかし、詳細な研究によれば、初期に報告された集積膜に関するこれらの実験結果は、有機分子の性質を反映したものではないことが示唆されている。それよりも、スイッチングはおそらく、電極材料を含めた酸化還元過程<sup>79</sup>か、金属ナノフィラメント (nanofilaments) の形成と消滅<sup>80</sup>、のどちらかに起因していると思われる。この点については、[材料](#)の節で更に議論を行う。

今日までに行われた実験的研究によって、分子エレクトロニクスが実現される前に克服しなければならない多くの課題が明らかになってきた。主要な技術課題は、分子ビルディングブロックに対して、十分な電子透過 (electron transmission) を示す再現性の良いコンタクトを実現することである。他の技術課題としては、適切なインタコネクトと外界へのインターフェース、標準的なナノ&マイクロエレクトロニック電極パッドの寸法、そして信号レベルなどの設計である。数多くの繰り返し ( $\sim 10^{10}$ ) とCMOSプロセスで一般的な熱工程の繰り返しに対する分子材料そのものの安定性も非常に重要な技術課題として残されている。分子デバイスと回路の設計は今日よりもはるかに複雑になるであろう。これは、機能性分子と電極とインタコネクトの電気的性質は強く結びついているため、従来のCMOS回路のように別々に取り扱うことができないということを考慮しなければならないからである。

分子エレクトロニクスのコンセプトの可能性を十分に活かすためには、新しいアーキテクチャが必要となる<sup>81,82</sup>。このようなアーキテクチャでは、 $CV^2$ スイッチング損失を低減するため、メモリとロジックを非常に近接させて統合する必要がある。更に、新しいアーキテクチャは、現在のCMOS回路に比べて、ずっと欠陥に対する耐性の高い (defect-tolerant) ものでなければならないであろう。

電荷ベースロジックのパラダイムを越えたところでも、スピントロニクスの概念の中で、電荷移動を行わずにスピンの自由度を制御・操作するための分子磁石 (molecular magnets) として有機分子は用いられるかもしれない。

**強磁性ロジックデバイス (Ferromagnetic Logic Devices)** — 強磁性ロジックデバイスは、計算状態を保存するために、Fe、Ni、Coなどの強磁性材料系の局所的な強磁化の方向 (local ferromagnetic orientation) を利用するという一種の代替ロジックデバイスである。この種のデバイスは全て、強磁性材料そのものの性質に起因して、不揮発性、放射線耐性、室温動作という性質をもつ。強磁性ロジックデバイスの例としては、磁壁移動 (moving domain wall; MDW)<sup>83</sup>や磁性QCA (M:QCA)<sup>84</sup>などがある。MDWデバイスは、細線の位相的異方性 (topological anisotropy) のために、強磁性体の細長い片の中での磁場は細片に平行な方向に向くということを利用している。細片は自然に、磁壁で分けられた局所的なナノ磁区に分裂する。もし、ある磁壁の位置において、磁場ベクトルの先どうしが出会うような場合には、磁場は局所的に最大となる。もし磁場ベクトルの尾部どうしが出会う場合には、磁場は局所的に最小となる。磁壁における最大と最小は情報のビットを表すのに利用することができる。細片に沿った方向に磁場勾配を与えると、磁壁は勾配の方向に移動する。細片上に形成した尖端に沿って磁壁を動かすと、自然に局所的なナノ磁区の方向を相対的に反転することができる。論理ゲートは、ビットストリームに符号化されたデータに対してブール論理動作を実行するような構造のパターンに、

回転する磁場を加えることで作り出すことができる。これまでに行われたMDWの実験的実証では、回転磁場を発生させるために、棒磁石を回転させる方法が用いられた。そのために、実験的な周波数は27 Hzに制限されている。デバイスの極限的な動作速度は磁壁の最大速度で制限され、1 GHz(巨大スピン歳差運動(giant spin precession)で決まる)<sup>85</sup>まで向上させることが可能であると考えられている。

磁性量子セルラーオートマタ(Magnetic quantum cellular automata)ネットワークは、“出力”強磁性量子ドットの磁場方向で情報を記憶するMDWデバイスと非常によく似ている。情報はドットのネットワークパターンを通して伝播され、ドットの形状によって実行される論理関数が決定される。全てのQCA回路と同様に、基底状態への緩和は、実際のどんなデバイスで実現するにしても遅すぎる。しかし、M:QCAでは、グローバルに磁場を加える比較的簡単な方法で、クロック制御できる可能性がある。

**スピントロニックデバイス(Spin logic devices)** — 2005年版において、この技術候補に関連するデバイスコンセプトは、過去の版に比べてかなり進展した。以前は、“スピントロニックデバイス(Spintronic Device)”と言えば、主としてDatta-Das FETの電流変調器の概念<sup>86,87</sup>に関するものであった。ロードマップの2005年版では、異なる動作原理に基づく他のスピントロニックデバイスを議論する。これには、新しい金属-酸化膜-半導体電界効果型トランジスタ(スピントロニックMOSFETと呼ばれている)が含まれている。このデバイスは、MOSゲート構造と、ハーフメタル強磁性体(half-metallic-ferromagnet; HMF)によるソース・ドレイン電極から構成されている<sup>88</sup>。他のデバイスとしては、スピントルクトランジスタ(spin-torque transistor)、磁気抵抗素子(magneto resistive element; MRE)、複合ホール効果(hybrid Hall effect; HHE)素子、スピングейントランジスタ(spin gain transistor)などがある。

スピントロニックMOSFETは、非常にスピントロニック偏極したソース電極と、ドレイン電極内のスピントロニックに依存した散乱を利用するものであり、通常のゲートで制御される静電的な輸送に、スピントロニックに依存した効果を加えたヘテロ接合MOSFET(heterojunction MOSFET)である。結果として作り出されるハイブリッドデバイスは、ドレイン電流の静電的制御とスピントロニック依存制御を組み合わせることで、理論的には幾つかの重要な基準を満たすデバイスの概念を与える。これらの基準は、1)不揮発性メモリと論理関数のための大きい磁気電流比(magnetocurrent ratio)、2)高速動作のための高い相互コンダクタンス、3)トランジスタ間で伝播する信号を復元するための高い増幅能力(電圧、電流、且つ/又は、電力利得)、4)小さい電力-遅延積と、低消費電力のための小さいオフ電流、5)高い集積度と高いプロセス歩留まりのための簡単なデバイス構造、などである。スピントロニックMOSFETは、シミュレーションにより上記の基準を満たすことが示されているが、実験的な実証はまだ報告されていない。実験上の困難は、主として、ハーフメタルソース・ドレイン材料と、スピントロニック偏極した電子をチャンネルに注入する問題に集中しているようである。

“スピントルクトランジスタ”<sup>89</sup>は、実験的に確認されているスピントルク効果によって、ソース・ドレイン電流の流れを変調するものである。このデバイスのコンセプトは、既に実施される段階に到っており、電荷とスピントロニック間の基本的な相互作用によって生み出されるデバイスの拡張機能をよく示している。また、CMOSを越えた代替ロジック技術において、新材料が担う役割のよい実例となっている。

“スピングейントランジスタ”<sup>90</sup>は、実験的に観測され、また理論的にも解明された、希釈磁性半導体中でのキャリアを介した強磁性相転移<sup>91</sup>に基づいている。これらの実験では、量子井戸中での比較的小さな電荷密度の変化によって、強磁性秩序(ferromagnetic ordering)が自然に誘起されることが示されている。この素子は、強磁性相転移を起こすための状況を創り出すことによって、スピングейンを実現する磁性バイポーラトランジスタ(magnetic bipolar transistor)に類似している。この転移は、まず十分なキャリアをベース領域に注入し、その後、小さなスピントロニック偏極した制御電流を流すことで等方性を壊し、それによって制御電流と同じ方向に自発磁化を誘起する。この場合、スピングейンは、コレクタ電流中のスピントロニック偏極した電子(例えば、上向きスピンの電子)と、ベース中の上向きスピン電子数との相対比で定義される。従来の典型的な電子デバイスが全て電子の絶対数を用いて情報を符号化するのに対して、スピングейントランジスタは任意の軸に沿って整列した電子(すなわちス

ピン偏極電子)の数を利用する。このようなシステムでは、ある材料系の本質的な性質である自発的相転移(spontaneous phase transformation)を利用して利得を得ることができる。“スピントランジスタ”では、バイポーラタイプのトランジスタのベース領域のキャリア密度の増加に起因する自発的相転移を誘起することで利得を達成する。[新探究材料](#)の節で議論する強相関電子材料系(Strongly correlated electron material systems)は、更に複雑な磁氣的 - 電氣的相関係(phase relationships)を持っており、それをさらに別のロジックデバイスに応用できる可能性もある。このような領域での材料研究は、部分的には、このような期待によって動機付けられている。このようなコンセプトは、まだ実験的には実証されていない。

磁気抵抗素子<sup>92</sup>は、4 つ、あるいはそれ以上の磁気抵抗接合(magneto resistive junctions)を利用しており、その各々がリファレンスとなる硬磁性層と、2 本の入力線を通る電流の大きさと向きに依存して極性を切り替えられる軟磁性層から成り立っている。もし、2 つの磁性層の磁化が揃った場合、接合の抵抗は低くなり、もし半平行である場合には、抵抗は高くなる。2 入力論理ゲートの場合、2 本の入力線の電流は加えられ、第 3 の参照線の電流と比較することで、軟磁性層の磁化極性を制御する。出力電圧は、磁気抵抗スタックの下にある信号線対を介してセンスされるが、その値は 4 つの磁気抵抗スタックの抵抗状態によって決定される。異なる論理関数は、単に参照線の参照電流を変えることによって実現することができる。論理ゲートは、論理動作そのものの速度と同じ速度で、一つのブール論理から他のブール論理へ再構築することが可能である。

複合ホール効果(HHE)素子<sup>93</sup>は、1 ゲートあたり1強磁性素子のみが必要となることから、MREに比べると幾分単純になっている。HHE素子は、強磁性材料の領域上を通る1本あるいはそれ以上の入力線から成っている。もし入力線に沿って流れる電流の大きさが十分大きく、それが発生する磁場は、電流の方向に依存して、左右どちらかの強磁性素子を磁化する。強磁性材用は外部磁場が無い状態でその磁化状態を保持するので、強磁性素子の磁化状態を用い、一方向の磁化を論理 1、他方を論理 0 と解釈することで、2 進値を記憶することができる。強磁性素子の磁化状態を観測するためには、デバイスのベース領域の伝導体に、磁場と垂直方向に、バイアス電流Iを流す。ホール効果(the Hall Effect)として詳述されるとおり、この電流と、この強磁性素子の発生する磁場の相互作用により、バイアス電流に垂直な方向に電圧が生じる。この電圧の大きさは、デバイスのホール抵抗(the Hall resistance)によって決定され、出力電圧を読み出すための回路で必要となる感度と、必要なバイアス電流の大きさ、すなわちバイアス電力、の間にトレードオフを与える。

スピンをベースとした輸送の普及と磁気ストレージに対する膨大な経済効果は、ロジック技術に適用し得る類似のデバイスに対する探究を推進し続けている。上記のようにいくつかのコンセプトが出てきているものの、いまだ現実性のあるデバイスは実証されていないが、スピントランジスタの領域は大いに研究活動を継続すべきテーマである。しかし、これらの提案された新しい構造は、上記の理由からかなり魅力的な概念であるものの、依然としてどれも電荷輸送に依存しており、そのために、極限的に微細化された CMOS により到達できるデバイス集積度と速度を越えてスケーリングできる可能性は限られている。

## 新探究材料 (Emerging Research Materials)

### 序章

多くのエマージング・リサーチ・デバイス(Emerging Research Devices、以下 ERDs)は、劇的に改善された特性、あるいは新しい特性を持つ物質を必要とする。エマージング・リサーチ・マテリアルズ・ワーキンググループは、これら新しいデバイスを作製、動作するために必要なクリティカルな物質の特性や、物質の解決策候補(potential materials solutions)を明らかにした。これら新しい物質の製造には、それらの性能を特徴付けたり、改善したりするために、新しい化学物質、合成技術、メトロロジが必要になるかもしれない。ERDs の適切な評価のためには、クリティカルな特性を持った物質や、デバイス動作のために最適化された物質の界面特性が必要になる。さらにそのような評価には、変化、改善しなければならない物質の特性を明らかにするための、キャラクタリゼーションやモデリングも必要となる。分子デバイスに用いられる新しい化学物質の合成のために



は、スイッチングメカニズムや、コンタクト形成、輸送メカニズムに対する、より深い理解が必要になる。同様に、ナノチューブやナノワイヤのような、デバイス用のナノ構造物質の製造のためには、構造や、結果として得られる電気特性、界面特性に対するプロセスのインパクトについて、よりしっかりした制御と理解が必要になる。スピンデバイス応用に用いる物質の合成のためには、同位体の純度、不純物濃度、スピン緩和や、界面におけるスピンの透過やデコヒーレンスのメカニズムの制御が必要となる。もし自己組織化メカニズムが、高密度のデバイス物質を製造するのに有用である、というのであれば、その合成メカニズムは、リソグラフィーによって得られるものより高密度で、再現性良く物質を所望のパターンに作りあげることが可能でなければならない。これらのチャレンジは、結果として得られる構造や、クリティカルな物質や界面の性質を、ナノメートルスケールで特徴付けることができる新しいメトロロジを必要とする。それに加え、物質の特性や得られるデバイスの動作を改善するために、モデリングやシミュレーションを用いて化学的、構造的変化を解析し、明らかにする必要がある。

### 重要な特性

ERDs の実現性は、デバイス動作をサポートする物質の能力に大きく依存する。これらのデバイスに使用される物質は、CMOS と共存でき、また安定で信頼性が高くなければいけない。デバイスは複数の物質や界面からなるので、このセクションでは、物質や界面の特性に対する重要な要求事項を明らかにする。

ERD は、通常使われる電荷や、またはそれにかわる計算上の状態変数に基づいたメモリーやロジックデバイスのために、いくつかの選択肢から構成されており、それらを以下で明らかにしよう。状態を変化させるために必要な動作メカニズムは、これも以下に示すとおり、広範囲のカテゴリーに分類可能である。計算における状態変数や、スイッチングメカニズムをサポートするために必要な物質の性質は、Table60 で明らかにされている。デバイスが効果的に動作するためには、これらのうち 2 つ以上のメカニズムが必要かもしれないし、いくつかの物質の性質は、2 つ以上の状態変数やメカニズムをサポートするかもしれない。



Table 60 Critical Emerging Research Materials' Properties

Computational State Variable	Mechanisms To Change Computational State	Mechanism To Read Computational State	Critical Material Properties	Critical Interface Properties
Charge State	Charge transport via tunneling Ohmic conduction, diffusion Hot electron injection	Voltage charge and discharge of a node	Density of states as manifest in $E_g$ , $m_{eff}$ , and $m(E,n,p, stress)$ , and $v(sat)$ [A] Dielectric constant ( $\kappa$ )	Interface energy barrier height as manifest by electron affinity, fixed or trapped charge, stress, interface scattering, etc.
Spin State [Spin injection and transport in semiconductor]	Voltage / electric field Magnetic field Spin injection from a ferromagnetic material Optical pumping (polarized photons)	Output voltage Polarized optical emission Polarized optical transmission	Spin orbit coupling (as manifest in spin lifetimes, and diffusion lengths) g-Factor [B] Ferromagnetic contact source: coercivity	Interface band structure matching [energy and symmetry] (as manifest in spin injection efficiency) No band-bending
Spin State [Ferromagnetic Semiconductor]	Temperature Modulation of hole concentration		Spin exchange interaction and exchange splitting energy T Curie Moment per atom	Interfacial spin orbit coupling as manifest in (interface magnetic anisotropy) Minimal band bending
Strongly Correlated Electron State	Electric field coulomb moderated exchange interactions temperature magnetic field photon, phonon	Magnetic Force microscopy (MFM) CMR [C] Polarized photon Electrical SEMPA [D] Neutron scattering	T Curie, minimum "domain" size H&P coupling coefficient [E] E&M coupling coefficients [F] Compositional and oxygen control	Surface and interface stability and stress Domain wall stability
Molecular Conformation State	Chemical redox reactions Electromagnetic radiation Charge injection Electric fields Mechanical stimulus	Charge transport	Conformational conductance change Change in tunnel distance Delocalization-Localization of states	Atomic energy levels in resonance with the molecular energy states (the contact atom must be considered as part of the molecule) Work function Contact material DOS [G]

Parameter Defining Notes for Table 60:

[A]  $E_g$  is the bandgap of the material,  $m_{eff}$  is the effective mass of the carriers in an electric field, the carrier transport mass,  $m$ , is a function of the electric field ( $E$ ), the electron ( $n$ ) and hole ( $p$ ) concentrations and stress, and the carrier saturation velocity [ $v(sat)$ ].

[B] The Lande' g-factor quantifies the efficiency of the spin angular momentum in producing a magnetic moment.

[C] CMR is Colossal Magnetoresistance, present when application of a sufficiently high magnetic field to the material results in a large change in electrical resistance of the material.

[D] SEMPA is scanning electron microscopy with polarization analysis of the secondary electrons.

[E] A magnetic field ( $H$ ) induces a change of material polarization ( $P$ ) and the coefficient indicates the magnitude of the polarization change with the magnetic field.

[F] An electric field ( $E$ ) induces a change of material magnetization ( $M$ ) and this coefficient indicates the magnitude of the magnetization change with the electric field.

[G] DOS is the density of electronic states for the contact material in this case.

## 一次元荷電状態材料(1D Charge State Materials)

### 主な課題

一次元荷電物質(1D charge state materials)実現のために鍵となる技術的課題(key challenges)は、1)直径・構造・組成の制御により電子特性を制御してナノチューブ及びナノワイヤを任意の位置に成長すること、2)サブナノメートルの誤差で位置・方向の制御をすること、3)所望の電子特性や粘着性(adhesion)を有する接点や界面を形成させること、である。

### 物性と位置を制御した成長(Growth with controlled properties and location)

#### 序論

ナノ構造の最も標準的な成長技術は化学的気相堆積法(chemical vapor deposition; CVD)である。supercritical fluid transport もまたこうした構造を成長するために使えるという報告もある。重要なことは、成長技術、温度、条件、触媒組成、一次元物質の構造や電子物性の相関を特徴付けるような研究が必要である。成長技術の制御には、直径や欠陥を含む構造の関数としての電子物性の慎重な実験設定や電子特性を予測可能なモデルの定式化が必要である。特性の迅速な計測(metrology)が合成の最適化には不可欠である。非経験的モデルには電子状態(density of states; DOS)、バンドギャップエネルギー( $E_g$ )、伝導帯を正確に予測する密度汎関数モデルが必要である。これらのモデルは、欠陥や可能性のあるドーピングメカニズムを正確に評価し、新規なデバイス構造を査定するために使われるだろう。

一次元荷電物質がCMOS デバイスとして使われるためには、特性を制御した物質を配向性良く任意の位置に高密度で配置することが必須(critical)である。その実現のためには二つのアプローチがある。1)任意の位置に触媒を配置し、特定の方向に超高純度の物質を電場印加により成長すること。2)一次元物質を成長、精製し、必要な特性の物質を抽出し、任意の位置に配置すること。どちらのアプローチも大きな技術課題を有し、実現するためには同程度の努力が必要となる。

### 物性を制御した成長 (Growth with controlled properties)

**ナノチューブ成長と物性制御** - カーボンナノチューブ(CNTs)にとって、直径とカイラリティは、触媒(Fe, Ni, Co mixtures)とCVD条件で決められる。そして、それらによって、バンド構造がきまり、さらにギャップエネルギー、有効質量や輸送特性が決まる。現在のところ、金属及び半導体を含む様々な直径やカイラリティを有したカーボンナノチューブが成長されている。半導体カーボンナノチューブのバンドギャップエネルギーはカイラリティの関数であり、また直径の増大に応じてそのエネルギー幅は減少する。カイラリティや直径の制御だけでなく、nやpといったドーパ量の制御するための触媒やプロセスの開発も必要不可欠である。低温でのプラズマCVDプロセスにより 61% から 90% へ半導体カーボンナノチューブ濃度を増大されることが報告されたが<sup>95</sup>、将来的な要求には甚だ不十分である。従って、カーボンナノチューブの直径やカイラリティの起源となる触媒・温度・化学状態の役割を理解するための研究が必要となる。ウエハ上に成長した(as grown)ナノチューブのバンドギャップ分布の迅速な計測はこれらの相関を得る上で必要である。カイラリティや直径を制御可能な触媒やプロセスの発展には、特性を制御したナノチューブを生成するためのナノメートルスケールでの成長メカニズムや動力学(kinetics)の理解することが今後求められる。

成長した(as grown)半導体カーボンナノチューブは通常pタイプであるので、n、pタイプと選択的にドーピングを制御するメカニズムが必要となる。ナノチューブのキャリア密度をNO<sub>2</sub> やNH<sub>3</sub> 中への暴露により、ガス中でのみ安定であるものの調整可能であることが報告された<sup>96</sup>。ショットキーバリアを持つカーボンナノチューブトランジスタにTrifluoroacetic acid (TFA)を処理することにより、極性分子の作用により電極の仕事関数が変化することでデバイス特性が向上することが報告された<sup>97</sup>。これらのアプローチは、化学センサーへの応用にはより適しているが、埋め込み型のデバイス応用には安定ではない。表面化学修飾によりナノチューブのホール濃度を大気中で安定に制御可能であることが報告されたが<sup>98</sup>、今後は誘電体中に埋め込まれたカーボンナノチューブをpにもnタイプにも制御してドーピングするメカニズムが必要となる。それゆえ、電荷移動や界面からの寄与と同様に成長中や成長後に置換によりキャリアタイプを制御するための新たなメカニズムを探求する研究が

必要となる。

**ナノワイヤ成長と物性制御** ナノワイヤもナノチューブと同様に触媒からCVDにより成長される。その特性は触媒、化学種(gas chemistry)、結晶構造により制御される。触媒は、成長温度ではシリコンやゲルマニウムなどの共通する物質中で有限の溶解度を持ち、そのためナノワイヤに融合(integrated)される。ナノワイヤの成長中には、ワイヤ表面を不活性化(passivate)し<sup>99</sup>、チューブの側面から再びエピタキシャル成長することを防ぐために、化学種や温度を制御しなければならない。ナノワイヤは選択的に<111>方向に成長し、これがナノワイヤの有利な点となる<sup>100</sup>。しかしながら、ワイヤは円筒型であるため、多結晶面を有し、直径が小さくなるに従い表面状態の不活性化が技術課題となり得る。最も大きな課題(critical issues)は、ドーピング制御してナノワイヤが成長可能であるかどうか、触媒の融合なしに成長可能であるかどうかという点である。成長プロセスと結晶構造の形成における触媒の役割を探求することが必要となる。Si-SiGeなどのようなヘテロ構造を持ったナノワイヤの成長もまた必要となる。そのような場合、低い欠陥のナノワイヤを界面を制御して成長することが重要となる。

キャリア濃度はCVDプロセス中でBやAsなどといった共通のドーパントにより実現できる。しかしながら、ナノワイヤ中でのドーパント濃度や位置の制御が重要である。ナノワイヤの直径が減じるに従い、少量のドーパントは高い不純物濃度となり、結果的にキャリア密度はドーパント原子数のちょっとした変化に敏感になる。ヘテロ構造は関心を集める対象であるので、構造と直径の関数として電子特性の(界面での)ストレス依存性の評価がなされる必要がある。

### ナノ構造方向制御(Nanostructure-directed growth)

**所望の位置からの方向制御成長(Directed growth in predefined locations)** この技術的課題は、1)任意の位置に触媒を配置し100%の確率でナノチューブないしはナノワイヤを成長すること、2)所望の方向にナノワイヤないしはナノチューブを配向すること、3)必要な電子特性(バンドギャップエネルギーや有効質量など)を持つよう制御されたナノチューブないしはナノワイヤを100%の割合で成長することである。明らかに、触媒や成長プロセスのパターン化(patterning)や再現性が必要不可欠であり、こういった制御のためにはさらに大きな研究を企てる必要がある。

**ナノチューブの方向制御成長(Nanotube directed growth)** 任意の位置での方向を制御したナノチューブの成長は非常に大きな技術課題である。なぜなら、ナノチューブは触媒の方向に依存してランダムな方向に成長するからである。近年、電場がナノチューブの向きを揃えるために使われてきているが<sup>101</sup>、この手法ではナノメーターのregistrationを達成することはできない。そういうわけで、ナノチューブの方向制御に関する研究が必要となってくる。

**ナノワイヤの方向制御成長(Nanowire directed growth)** ナノワイヤは特定の結晶方位で成長し、ウエハの結晶方位に沿って利用することができる<sup>102</sup>。しかし、ナノメーターサイズで位置や方向を再現性良く制御可能な手法へ進歩させる研究が必要となる。

### ナノチューブの精製と配列

ナノチューブを品質制御しながら配列成長することは難しく、ナノチューブを分離精製し、所望の位置に配置して整列させる多様な試みが行われている。精製と配列に向けた試みは以下の通りである。1)化学的には類似だが、構造的、電気的に異なるものを分離する精製法の開発、2) ppt(part per trillion)レベルでの精製、3) 所望の長さでの切断、4)サブnmレベルで、100%の精度での所望の位置への配列。幾つかのグループが異なる電気特性を持つナノ構造体に対して化学的に分離できるかどうか探索している。所望の位置への配列には、基板上の所望の位置に親和性を認識させる化学修飾を施すことが必要になるだろう。幾つかのグループが認識能力を有するDNAや化学結合がこういった配列を可能にすると示唆している。一方、他のグループは電界やキャピラリーフォースが基板上に形成した溝にナノ構造体を整列させることを示唆している。他の報告によれば、MBEテンプレート上に成長したナノワイヤを整列し、新しい基板側へ転写することを試みている<sup>103, 104</sup>。これ

らのアプローチはそれぞれ克服しなければならない重要なチャレンジである。精製と配列技術を評価する重要な調査が必要である。

### 一次元荷電状態の材料界面

ナノワイヤとナノチューブへの低抵抗コンタクト形成は、現状では最大のチャレンジである。半導体技術の初期から、半導体に縮退して n 型または p 型のドーピングを施し、引き続き、コンタクト金属を堆積、またはシリサイドを形成することによって、金属への低抵抗コンタクトを形成してきた。これは、ポテンシャル障壁と材料間の導電性を低減する。しかしながら、CNT のように nm スケールにおいては、高レベルのドーピングが不可能であった場合、これらのナノ構造体へ低抵抗コンタクトを如何に形成するかが問題となる。CNT の場合、Ta によって最小のコンタクト抵抗が得られるが、そのコンタクト抵抗値は理論値と比較して大きい。ナノワイヤの場合、シリコン上の縮退したドーピング領域なしで低抵抗コンタクトが形成できるかどうか問題となる。もし、そうであれば、ドーピングレベルがどのくらいかが要求される。コンタクト形成において生じる相互作用を評価することや、材料のエネルギーレベルでの相互作用を理解するといった重要な調査が必要である。また、調査は新材料、合金、及び、低抵抗コンタクトの形成プロセスを探索することが必要である。high-k ゲート絶縁膜とパッシベーション層は、デバイス内の電荷の量が少ないので界面準位密度、チャージトラップ及び制御された固定電荷が少ないと推測される。CNT の場合、その反応性の低さから絶縁膜と炭素原子との結合は難しい。ナノワイヤの場合、多くの面方位が絶縁膜に向いているため、表面準位は面方位に著しく依存し、また、直径が小さくなるにつれて、表面準位が増加すると考えられる。

### カーボンナノチューブの計測

サブナノ構造、組成及び特性の制御性の改善が重要である一方で、計測技術として大量バッチで成長した CNT のしきい値電圧を即座に計測することが重要である。研究者は半導体的な CNT の特性制御と収率を改善したいのだが、少量の CNT の特性を評価するに留まっており、プロセスの変更が特性分布や制御性を変化させているかは決められない。ラマン評価の振動モードに基づいて CNT を同定できるが、そのスペクトルは CNT の束、不純物、及び化学的な雰囲気敏感である。CNT の電気特性を評価可能なレイリー散乱は目覚ましい技術ではあるが、特別な装置に設置する必要がある。CNT のバンドギャップ分布を即座に評価する形態学が不足していることは、成長プロセスとその特性制御を改善するのに制限を与えるだろう。

## 分子状態材料 (Molecular State Materials)

### 主要な技術課題

分子状態エレクトロニクスの最大の技術課題は、再現性のあるスイッチングおよび輸送特性を持つ分子膜デバイスの作製と、その輸送が分子の電子的スイッチ現象によるものであって、電極の酸化還元反応やナノフィラメントの形成や溶解<sup>106</sup>、その他のメカニズムによるものではないことを証明することである。

### 序論

分子状態デバイスは、非線形電流 - 電圧特性や双安定状態など、広範囲な特性を示し、その多くのものは再現性をもつことが示されてもいる。しかしながら、“全く同等”の条件で作られたとしても、しばしばその特性は、サンプル間で大きく異なることがある。いくつものケースで、分子ワイヤを通したキャリア輸送が、トンネル現象を介して行われていることが確かめられており<sup>107</sup>、またいくつかのケースでは、双安定状態が電荷蓄積の過程で生じることも確かめられている<sup>108</sup>。しかしながら、こうしたメカニズムの同定は、しばしばチャレンジングな課題であり、限られた実験装置のみが、こうした埋め込まれたフィルム中での原子レベルのメカニズム解明に利用することができる。多くの分子デバイスは、事実上、多分子の並列アレイになるため、欠陥、分子の集合、電極の影響などが起こる。さらに複雑なことには、スイッチング動作が、電極の酸化還元反応によるものであったり、分子の空間移動によるナノフィラメント形成によるものだったりする。こうした課題解明には、複雑にからみあう現象を解きほぐすための、周到に準備された実験をデザインする必要があり、それには、デバイス技術、合成



技術、評価技術、モデリング技術などの、密接な連携作業が要求される。こうした挑戦はとても重要である一方で、これらの複雑な現象を分離するところからの実験によって、デバイスの多様性が進むにつれての進展も見られていて、例えば 1 キロビットの機能回路<sup>109</sup>が、こうした分子を用いて形成できるところまで来ている。

### 輸送特性と電流-電圧特性の非線型性

上述したように、幾つかの分子ワイヤを通したキャリアの輸送現象はトンネル現象によって支配されるが<sup>110</sup>、それ以外にも何らかのキャリア輸送メカニズムが含まれているかもしれない。幾つかのデバイスでは 100 万回にも渡り、電流-電圧特性の再現性を示しているが、一方で、サンプル間では、それらの非線形特性が生じるしきい値電圧が大きくばらついていることも事実である。より最近の研究によれば、コンタクト部分の金属材料<sup>111</sup>やコンタクト部分の結合のハイブリッド形成<sup>112</sup>が、分子デバイスの動作に非常に大きな影響を与えることが分かっている。デバイスにおいて電気抵抗が最小になるキャリアの経路は、電流 - 電圧特性を決定するのに支配的な要因であり、そのため、分子内の電子状態を変化させる要因となる、欠陥や高電界領域、局所的な接続による相互作用は、そうしたサンプル間のしきい値ばらつきの原因にもなりうると考えられる。走査型トンネル顕微鏡 (STM) は、個々の分子を通しての輸送現象を調べたり、ショットキー障壁の整流性を調べたり、アセチレンのトンネル障壁を挿入した分子の非線型な電流-電圧特性<sup>113</sup>の測定などに用いられてきた。STMや導電性原子間力顕微鏡 (CAFM) による個々の分子の輸送特性を測定能力は、金属と分子の界面や、分子における本質的な輸送現象に対する薄膜の集合効果の影響などの深い理解に役立つものと考えられる。まずは、電流-電圧特性を調べればキャリア輸送メカニズムが特定できるような解析方法を確立することが重要で、その次にデバイス特性が非線型な多様性を持ってばらつく場合に、その根源的な要因を特定できる一連の処方箋を打ち立てることが肝要と思われる。もし、キャリア輸送が小さな領域に局在しているならば、広範囲にわたる領域の平均をとるより、むしろ小領域の変化に特化した特性解明が必要とされる。

### 双安定状態

双安定状態を示す分子は、記憶素子や論理回路デバイスへの応用可能性があることから注目に値するが、広範囲にわたる振る舞いが示されていることも事実である。例えばニトロアミンを母材とした分子の場合<sup>114</sup>、双安定状態が示唆されている。そこでは、電荷保持時間は、蓄積された電荷がホッピング伝導によるリークで決まる蓄積保持状態を示している。この他、二ヶ月にも渡って電荷保有状態を示す報告もあるが<sup>115</sup>、その原理は未だ定かではない。上述のような、厚さが非常に薄い膜の場合、電場が非常に高くなるため、電極やその周囲との相互作用によって、高電場中の分子上の金属がマイグレーションを起こし、トンネル領域に金属性の橋が架橋することがある。繰り返しになるが、電荷蓄積や酸化還元、ナノフィラメントの形成やその他のメカニズムを決定できるような、一連のテスト法が開発される必要がある。さらに、双安定状態の起源やその崩壊メカニズムを調べ、それらが制御可能であるかどうかを知るために、新しい計測法を開発し、それを適用していくことが必要になるだろう。

### 分子状物質の接合

分子デバイスの動作を考察する上で、分子との接合形成は極めて重要な検討課題である。それは以下の理由による。1) 電極に用いられる金属のエネルギー準位は分子のエネルギー準位に影響を受け、分子デバイスの動作に対して大きな影響を与える。2) 分子上に電極を形成する際に、金属薄膜デポ技術では、結果として大きなエネルギーをもつ原子が分子表面に衝突すると、分子薄膜に損傷を与え分子の結合を壊すこともある。さらに他のケースでは、酸化還元反応が、分子デバイスのスイッチング動作を引き起こすとも考えられる<sup>116</sup>。分子の接合に関する最近の研究には、分子に接合する原子の方位が、分子デバイスの動作を変えることが報告されており<sup>117</sup>、したがって、分子と金属電極界面にける原子レベルでの結合とハイブリダイゼーションが必要となるかもしれない。下部電極としては、多くの分子は、金電極の上に自己組織的に形成され、チオール (硫黄) がその分子を金に接着している。このメカニズムは分子デバイスの金属-分子界面における作用に変調をきたすかもしれない。最近の報告では、シリコン基板上に分子がチオールの助けなしに、自己組織的に配列ができることが報告されている<sup>118,119</sup>。また、より少ないエネルギーで、分子先端に接合する新材料を見出した



めの研究も進められている。分子薄膜はせいぜい 2nm の厚みであるから、1 ボルトの電圧を印加すると電界は約 5MV/cm にもなり、上部と下部電極の引力は相当な力となって分子フィルムに加わることになる。このことは、もし小さな欠陥が、表面や膜内部にあったとすると、局所的な絶縁破壊プロセスの引き金になりうる。これらのことから分かるようにコンタクトの形成は、分子デバイスの安定動作に極めて重要な役割を果たす。分子内で起こる酸化還元反応やその他の現象と、分子デバイスのスイッチング動作の区別を可能にするような分析手法の開発が必要といえる。そうした手法が確立されれば、分子デバイスの作製プロセスや安定なコンタクト作製も可能となるだろう。

## 計測技術

上部電極を通して電子状態を調べることは困難であるため、分子構造のモデリングやこれらの問題を解決するような試験構造や実験設計が必要であり、かつ重要といえる。非弾性的トンネル電子を用いた手法<sup>120</sup>や振動状態を調べる背面FTIR<sup>121</sup>、STM<sup>122,123</sup>、導電性原子間力顕微鏡、ケルビンプローブ原子間力顕微鏡<sup>124,125</sup>といった新しい計測技術能力によって、個々の分子やその界面における輸送現象を理解することができ始めた段階である。しかしながら、これらの課題を解決するためには、さらに新しい計測技術の開発やより進んだ研究が今後も必要といえる。

## スピン状態材料(Spin State Materials)

### 主要な技術課題

スピン状態を用いたデバイスのための材料に対する主要な技術課題は、下記のことを明らかにすることである。1) 室温以上のキュリー温度を有する強磁性半導体材料であり、従来の半導体と両立するものであること、2) デバイスの中でスピンを増大させる特性を持つ材料であること。

## 序章

スピンを用いるデバイスは、二つに分類される。1) 強磁性半導体デバイスと 2) 強磁性体との接合から注入されたスピン偏極電子を用いた半導体デバイスである。強磁性半導体デバイスは、特性改善において大きな進歩を遂げてきているが、大半の材料において 200K より低いキュリー温度以下での動作に限られている。強磁性体とのコンタクトからスピンを注入される半導体デバイスは、急速な進歩を遂げているが、室温での利用が求められており、強磁性体と半導体との伝導率ミスマッチを克服するために Fe や Co などの強磁性材料である金属と半導体の間にバリアとなるトンネル材料が必要である。この挑戦的な課題と技術は、強磁性半導体をスピンの注入部として用いることによりメリットを得ることができるだろう。

## 強磁性半導体デバイス

### 材料の特性

強磁性半導体材料は、フェルミエネルギーとキャリアの密度が適正なレベルの時に強磁性を示すようなバンド構造を有する。そして、電界の印加やキャリア濃度の変化により、その材料の強磁性秩序が変わる。

大抵の強磁性半導体デバイスは、半導体層の間に集積された強磁性層から構成され、これらのヘテロ接合における材料の互換性が重要である。EuO や CdCr<sub>2</sub>Se<sub>4</sub>、GaMnAs、InMnAs、GeMn などの多くの合金は、200K 以下のキュリー温度を持つ強磁性体であり、強磁性のスピンデバイス構造を作るのに使われてきた。ZnO や Si、TiO<sub>2</sub> を伴った遷移金属合成物含む他の材料は、より高い温度で強磁性を持つことが報告されているが、現在のところキャリアの仲介による強磁性的な性質は、実証されていない。多くの複雑な材料において、磁性プローブは、強磁性信号を検出できるが、分離された強磁性相の存在は可能であり、分離されなければならない。

## 電気伝導に関わる界面

実験結果は、電気伝導に関わる界面はスピン注入にわずかな影響しかないある種の積層欠陥を持つことを示している。しかし、大きな化学的な原子の混合を伴った荒い界面では、劇的なスピン注入の低下が起こる。このように、多少の格子のミスマッチは許容されるが、大きな原子の混合を伴う化学的に不安定な界面は、問題である。新しい合金が確認されるにつれて、安定的な界面を形成する半導体材料との化学的な互換性を評価することが重要となる。

### パッシベートされた界面

パッシベートされた界面において、これらの材料は、半導体や強磁性半導体中で急激なバンドの曲がりを作るべきではない。そのようなバンドの曲がりは、強磁性半導体中のキャリアによって変調された磁性の有効性を減少させ、またスピン軌道結合は、半導体中の不整合を引き起こすことになるだろう。さらに、サイズがナノメートルに近づくにつれて、これらのパッシベートされた界面は、これらのデバイスを動作させる上でより重要となるだろう。

## スピン注入材料

### 強磁性金属のスピン注入源

強磁性金属から半導体へのスピン注入において、伝導率の大きな差を調節するためにこれらの材料の間にトンネルバリアの存在が必要であり、酸化膜とショットキーバリアはともに、効果的であることを示している。スピン偏極キャリアの半導体への効率的な注入においては、フェルミエネルギーにおける金属の多数スピンの状態密度の対称性が、半導体の伝導帯の状態密度と整合しなければならない。一方、金属中の少数スピンバンドは、異なる対称性が、半導体の状態密度と弱い結合がなければならない。この要求は、ある与えられた半導体に対して強磁性金属の選択を制限することになるが、Fe は数多くの  $d$ - 族や  $f$ - 族の半導体に対して有効であることを示している。

### 強磁性半導体のスピン注入源

スピン注入における界面は、積層欠陥に対して耐性があるが、重大な界面の荒れや材料の相互拡散が起これば、トンネル注入の効率は急激に低下する。強磁性半導体の利用は、トンネルバリアを必要としなくなるだろうし、界面で完全な格子の整合は必要ないが、できるだけ少ない原子の相互拡散や界面の荒れは求められる。GaMnAs や InMnAs、GeMn などの強磁性半導体は、半導体デバイスへのスピンの注入や潜在的なスピンの増幅に重要である。しかし、これらの材料は、200K 以下においてだけ強磁性を示すため、デバイスでの利用は大きく制限される。このため、より高いキュリー温度を持つ材料を探す必要がある。モデリングによりいくつかの候補となる材料が同定されており、これらの材料を調べモデルの精度を上げていくために、より多くの研究が必要である。GaN や ZnO を含む多くの材料が SQUIDSs において室温で強磁性であることが報告されているが、これらの材料でキャリアが介在する強磁性の変化は実験的に確認されていない。Si や Ge と格子定数が比較的近い、可能性のある強磁性半導体材料の探索を続ける必要がある。さらに、強磁性的な振る舞いを可能にする物理的なメカニズムを解析する研究も必要であり、さらに高温材料を開発することができると見極める必要がある。デバイスや材料がナノメートルサイズに近づくにつれて、界面における構造や組成は益々重要になり、その依存性を理解することが必要である。

### 保護された界面

デバイスの半導体スピン輸送領域で、バンドの曲がりは、波動性におけるコヒーレンシーの消失を引き起こすスピン軌道の結合を最小限に減らすべきである。しかし、散乱における界面とスピンの偏極した電子との相互作用は、あまり知られていない。そして、誘電体はできるだけ固定電荷が少ない方が良く、バンドの曲がりを生じさせる界面の順位は形成されないほうが良い。最近、スピンの偏極していない電子の界面における散乱を研究する手法が、紹介されている。この実験において、スピンが上向き、下向きおよび偏極していない電子線が、スピン軌道結合を介して異なる方向に散乱されることが示されている。これに近い手法は、他の材料系との界面におけるスピン散乱やスピン軌道結合のパラメータを研究するのに有用であろう。

## 強相関の電子状態材料

### 背景

これらの材料は、複雑な複数金属の酸化膜であり、特異な結晶構造(Shubnikov Groups)を持つ遷移金属を含んでいる。これらの材料において、遷移金属は、酸素原子が構成するマトリックスの中にあり、歪もしくは相転移がその結合に周期性を保った歪を引き起こすことができる。これらの歪は、バンドのエネルギーレベルの分離や広範囲の等価な電荷やスピンの配列を引き起こす。これらの材料のいくつかでは電場や磁場が、スピンや電荷の配列を変える相転移を引き起こす歪の原因となる。この電荷の軌道やスピンの配列は、幅広い電磁気的効果や相転移を可能とすることができる。

### 定義

- ・強誘電体材料: その材料への電場の印加で残留分極が引き起こされる。
- ・強磁性材料: 外部磁場の印加により残留磁化を作る強磁性配列が引き起こされる。
- ・Multiferroic (MF) 材料: 同じ相の中で複数の ferroic 状態を有する (ferroelectric, ferromagnetic, ferrotoroidic もしくは ferroelastic)。ERD において興味があるのは、同じ相で結合した強誘電性と強磁性である。十分に大きな磁場の印加で電気分極の変化を、もしくは十分に大きな電場の印加により強磁性状態の変化を引き起こすことができる。
- ・巨大磁気抵抗 (CMR): その材料に十分な磁場を印加することにより電気抵抗を大きく変えることができる。

### 主要な技術課題

主要な技術課題は、これらの材料において中性子回折で観測される複雑な強磁性と反強磁性相の転移やスピン電荷軌道配向が、室温での大きな multiferroic 特性が、誘起されたスピンの配列が、ナノメートルサイズのスピン波であるかを実証することができるかを定めることであり、それによって新しいスピンデバイスの機能を可能とすることができる。

### 材料の特性

広範囲の複雑な遷移金属の酸化物は強い電子相関を示し、この相関は、高温 $T_c$ 超伝導や、強誘電特性、multiferroicな振る舞い、巨大磁気抵抗 (CMR) や他の効果の中にもあることは明白である。遷移金属を囲んでいる酸素原子が作る八面体のヤン・テラー歪 (Jahn-Teller distortion) が、縮退を解いたり、エネルギーレベルを分離させたり、half-filled metal stateを作るとき、これらの効果は明らかになる。これらの材料のMultiferroic特性は、スピンデバイスにおいて電圧から磁性へ、もしくは磁性から電圧に変化させることができる可能性を秘めている。しかし、その結合係数は、室温以上で実用的に大きい値である必要がある。強い相関を持つHalf-doped 遷移金属酸化物 ( $\text{RBaMn}_2\text{O}_6$ 、ここでRはSm, Eu, Gd, Tb, Dy, Ho, Yであり、またBaとSr, Caは入れ替えが可能である) に関する最近の研究では、これらの材料がスピン波のスイッチングや伝播させる特性があるかも知れないということに興味が集まっている。これらの材料は、異なる温度において格子の変化が関連する複雑な反強磁性/強磁性の相を持っている。高いキュリー温度は、強く配位した電子材料において報告されているが、強磁性は室温において十分に弱くなる。この現象のメカニズムは、理解されるではない。同様に、multiferroic 材料は、しばしば室温において電氣的にリークしやすく、よってmultiferroic特性は、通常低温において確認される。これらの材料の特性は、金属原子の原子半径の変化と格子の相対的な変化を通して格子の変形によって急激に変わりえる。組成の変更によって、新しい特性を持つ材料をデザインする機会を提供する電荷や結晶構造、軌道の配置、スピン状態を変えることができる。その材料は、スピンの配向なしにスピンが配位しているスピンフラストレート状態 (frustrated) もしくは準安定状態 (metastable state) であるので、格子中の少数の原子のスピンの整列が、材料を介して広範囲のスピンの整列が伝播し、促進されるかも知れないと提案されている。クリティカルな相転移における強磁性や反強磁性秩序において、大きな変化を実証しており、このモデルを支持している。パルス的な電場やEM放射が存在する中で、スピン波は非常に高速で伝播できることが提案されており、軌道の混成が 100THzに近い周波数で変化できそうであることが提案されている。ただ、軌道混成の振



動周波数は高いかも知れないが、伝播速度は広範囲のスイッチングを制限するだろうし、これは今のところ知られていない。もし、スピニングがナノメートルサイズの領域で音波の速度で伝播しているとしたら、これは相当速いだろうが、より長い距離のスピン伝播をサポートできないだろう。こうして、これらの材料中でのスピンの伝播におけるメカニズムや分散関係を決めることが重要である。

これらの強い電子相関を持つ遷移金属酸化物は、電気的、磁気的な振舞いの多様性を持っているので、これらの化合物で新奇なデバイス構造を作製することは可能であろう。主要な技術課題は、これらの複雑な現象やスピンの配向効果が新しいデバイスの現象を可能とするナノスケル的な効果に転用することができるかどうかを見極めることである。同様な化合物においてナノスケルの構造は、小さな領域しか関与していないので、multiferroic な振舞いを示し、このような小さな構造は、より小さい界面ストレスしか持っていないだろう。このように、これらの材料中で起こり、促進されるスピンの配向により観察される相変化が、新しいスピンをベースにしたデバイス構造に利用できるかどうかの研究が必要であろう。これらの材料の局所的な領域にスピンの配向を導入することが増え、広まるかを実験的に見極めることが重要である。その特性としてスイッチングのエネルギーや、潜在的なスピン伝播の速度、EM 放射の効果、電圧パルスなどを見極めることも重要である。

## 合成

複雑な複合金属酸化物(complex multi-metal oxides)の振舞いは、その化学的組成(組成比)に依存し、酸素欠損の密度にも依存するかも知れない。そして制御可能な成長条件が、材料の特性や性能を再現可能にするために重要であろう。MBE などの技術を用いた組成や酸素の原子レベルでの制御を可能とする、これらの材料を用いた新しい構造の作製能力は、新規デバイスへの応用に役に立つ特性を提供する新しい材料や超格子の作製を可能とするかも知れない。多くの反強磁性や強磁性(AF/FM)の特性は、格子の歪みに強く依存しており、ストレスは大きな特性の不均一さを生じさせるので、ナノメートルサイズ、特に薄膜でのストレスの管理は重要である。逆に、例えば超格子構造をピアに成長させるなど、効果的で制御可能なストレス管理は、これらの材料の multiferroic な特性を制御し、設計する自由度を与えてくれるかも知れない。

## 界面材料

これらの AF/FM 材料と界面を形成することになる材料の特性の多くは知られておらず、接触する材料は、AF/FM 材料に悪さを及ぼすような相互作用をしてはならない。強誘電性材料の動作や、疲労、インプリントは、金属との接触で劣化していくため、他の伝導性の酸化膜層が利用されることになる。さらに、これらの材料中のストレスは動作にとって重要であり、界面材料はストレスを発生したり、変化させないようにすべきである。もしスピンを伴って半導体デバイスに集積しようとするならば、これらの材料の半導体材料との適合性が重要である。これらの材料の結晶の対称性の低さのために、これらの薄膜は、Ge や Si、GaAs などの半導体の上に双晶を形成し、この問題は困難な課題になろう。一方、ナノ構造材料の成長や主軸から外れた基板(off axis substrate)上への原子層のエピ成長では、双晶の成長を抑制できるかも知れない。現在までに観測されている劣化のメカニズムを理解し取り除いていくために、半導体や金属とともに成長するこれらの材料の相互作用に関する、より多くの研究が必要である。

## 特性解析とモデリング

界面や成長の課題は困難であるが、最も重要な質問は、複雑な複合金属酸化物のユニークな特性がナノスケルのデバイスの要素として機能するように利用できるかどうかである。Multiferroic 材料の結合係数を決めたり、準安定なスピン状態が励起され、可逆的なスピントランジスタやナノメートルサイズでのスピン注入によるスピン波伝送を作ることができるかを判断するために、新しいテスト構造の開発が必要となるであろう。重要なリソースが、合成や界面、集積の課題を解決するのに活用される前に、中性子線散乱や X 線、工学的な分析によって複雑な AF/FM 相のトランジスタが、ナノメートルサイズの材料やデバイスの中で動作し、スピンや磁気的な転移を作り出すという事実が必要である。

デバイスへの適用において、最も重要な検証すべき事項は、外部から電場や磁場などの刺激を与えて状

態を変え、測定する能力である。しかしながら、これらの材料の特性の多くは、測定が困難である。最近、370K のキュリー温度を持つ multiferroic な材料が見つかったが、薄膜自体がリーキーであるため 130K 以上での MF 動作の電気的な測定はできなかった。また同様に、トンネル磁気抵抗 (tunneling magneto resistance) は、たとえ強固に整合化された材料が 340K 以上のキュリー温度を有していても、200K までに急速に低下する。このリーキーな振舞いは、界面の課題とされているが、もしこれらの材料が有益なら、現象を理解し、解決しなければならない。

これらの材料の複雑な相転移のモデリングは、マクロやナノ的視点の現象の中で、これらの特性がどのように明らかになるかと言うことを説明する必要がある。また、原子レベルや格子レベルのモデリングは、電子軌道の変化により生じる現象や局在効果がどのようにより広い範囲の磁気作用やスピン伝播に拡張されるかを説明する必要がある。電気的なリークや磁気的な損失のメカニズムに関するモデリングは、材料やその材料に関連する欠陥、界面の課題に根本原因があるかどうかを知る必要がある。これらは、実験屋とモデリング屋の間の重要な働きを必要とするだろう。

## 材料合成 (Material Synthesis)

### 序論

材料合成では、ユニットプロセスでの新しい材料や分子の作製に注目し、既成材料との相互作用の可能性について触れるものの、集積化素子の作製については考慮しない。本章では、新しい高分子、自己組織化してテンプレートとなる均質な薄膜、ナノ構造材料および界面材料を取り扱う。これら新しい可能性の多くは、まだ思惑の域を出ていないが、新探索素子の創製において重要な価値を付与できるか否かの検討には値する。これらの可能性が評価されることによって、その基本的な限界が検証され、ITRS との有効な交点を持つかが判断されるべきである。

### 分子合成 (分子および高分子)

分子合成では、(分子状態の節で既に述べたような) 分子素子、薄膜、指向性自己組織化 (directed and self-assembly) 材料への応用を目的とする分子および高分子の形成について述べる。分子構造と電子状態の関係の理解を深めることで、新探索素子の新しい構成要素となりうる、ユニークな性質をもった新しい分子の設計と応用が可能になる。さらに、サブナノメートルレベルの指向性自己組織化への要望は、他の分子や構造との結合性を認識できるよう設計された分子を必要とするかも知れない。以上のように、分子構造とその潜在的な自己組織化機構の関係、およびそれらの指向性組織化への制約を明らかにする研究が必要である。

### 薄膜合成

薄膜合成では、ITRS のフロントエンドプロセス *FEP の章* で触れたユニットプロセスでの新探索素子形成に対する新しい要求に絞って述べる。新探索材料の合成には、新しい前駆体や原子レベルの制御性を持った堆積法が必要かも知れないが、今これについて思惑するのは時期尚早である。

### 指向性自己組織化

サブ・ナノメートルレベルの配置と方向の正確さ、しかもそのリソパターンへの位置合わせが必要なナノ構造材料の形成においては、指向性あるいは自己組織化に最もクリティカルな要求がある。この機能が実現できれば、ある種のリソグラフィックな機能を持たせた材料や素子の形成が可能となり、(トップ・ダウン型の) リソパターニングにも整合し、CMOS 素子や配線との接続も可能となるであろう。

自己組織化材料の主眼は、個々の材料構成要素を(形・サイズ・電荷などによって)コード化し、ナノ構造構築の指標とすることである。自己組織化材料系の研究例の多くは、(ポーラス・アルミナやブロック共重合体などの)単純なパターンの形成だけで、局所的な秩序は有するが大抵長距離秩序を欠いている。さらに、これら



のプロセスの殆どが熱力学的に支配されているために、その欠陥レベルは、リソプロセスで達成されているレベルに比べて多い。種々の自己組織化技術について、その基本的なサイズ、位置合わせ、配向性の限界を見極める研究が必要である。

自己組織化成長条件が CMOS プロセスと整合し、トップ・ダウン型の CMOS 形成に接続できるか否かを判断するには、歪みや表面張力を使った指向性自己組織化技術を検証し、そのボトム・アップ型ナノ構造が、トップ・ダウン型微細パターン上に、位置合わせできるか否かから判断すべきである。電磁場、流速、バイオや DNA といった手法を用いた指向性自己組織化が、リソパターンに対してそのナノ構造自己組織化材料を高密度に位置合わせしうる潜在的能力を有するか否かを見極める探索的研究も必要である。

## コンタクト材料の問題

いずれの新探求材料も電氣的コンタクトに深刻な課題を抱えており、材料間の相互作用とその機構を解明するための研究が相当必要であろう。これは、新しい界面材料の開発の他、界面形成プロセスやその材料特性劣化機構の理解を必要とするであろう。それ故、新しい計測、テスト構造、手法を開発し、構造や組成とそれらの最終的な材料特性への影響を評価することが必要であろう。

## キャラクタリゼーション (Characterization)

### 序論

新探求ロジックあるいはメモリ素子の開発には、これら新探求材料の物理的電氣的臨界特性の同定と最適化を可能にし、あるいは、材料合成や材料特性のモデリングやシミュレーションに役立つパラメータの抽出を支援する、ナノスケールの計測が必要である。これら新探求材料は、研究段階にあるがナノスケールデバイスへの応用を想定していることから、その計測は、主に基本的かつ詳細なキャラクタリゼーションを必要とするが、プロセス計測は不要である。構造的、化学的および局所的な電氣的特性の微小な摂動に反応する、これらナノデバイスの電氣特性の超高感度には、超高感度解析が可能な計測が必要である。さらに、半導体産業では標準的ではない材料(例えば、有機分子)の添加は、新しいキャラクタリゼーションの技術課題を提供する。ここでは、さまざまな材料に関わるキャラクタリゼーションへのいくつかの要求を明らかにし、簡単にレビューする。ITRS の *計測(Metrology)* の章は、これらに要求に答え得る解決法に焦点をあてる。

## 3 次元、オングストロームレベル分解能、原子レベル感度(構造と組成)

新探求素子と関連する材料の多くは、単純な平面形状を持たない。さらに、その特性はナノスケール構造や材料組成の微小な変化に対して大抵敏感である。例えば、ボトム・アップ型に成長するナノワイヤの課題のひとつとして、その成長に使われる少量の金属触媒が、ナノワイヤ中に入り電氣特性に影響を与える現象がある。また、カーボンナノチューブあるいは他の有機分子に結合した微量の水素も電氣輸送特性に強い影響を与える。それ故、オングストロームレベルの分解能と原子レベルの感度を有し、三次元の構造と組成を評価し得る物理解析技術が必要である。殆どの分析実験室は、100nm の空間分解能で  $10^3$  乗個の原子の組成を同定できるほどの非常に満足できる能力を備えている。非常に大きな可能性があり、数 nm の空間分解能で  $10^3$  乗個の原子の組成の同定をめざした研究が進行中である。オングストロームレベルの空間分解能で単一原子レベルの組成を同定するための、新しい分析技術と理解が必要である。今のところ、三次元分析に最も広く用いられている手法は、限られた化学種の分布を示す二次元投影や形態イメージを用いている。ナノ構造を同定する現在の計測は、透過型電子顕微鏡(TEM)、収差補正 TEM、電子エネルギー損失分光(EELS)、原子間力顕微鏡(AFM) および走査型トンネル顕微鏡(STM) である。ナノ構造材料と電子ビームの相互作用をモデリングする先端的な研究がナノ構造材料の複雑な TEM 像の解釈を支援しており、これらの手法が他のプローブ技術にも役立つかも知れない。

もうひとつの重大な課題は、多くの新探求素子において、その動作部が他の材料の中に埋め込まれている

ことである。例えば、分子エレクトロニクスでは、自己組織化単分子膜(SAMs)は、一般的に2つの電極間に埋め込まれている。すべての新探索材料(ERMs)の界面はデバイス動作にとって非常に重要で、最終的な構造と組成を理解することは非常に重要である。ナノメートルスケールで、界面間に埋め込まれた材料は、その形成プロセスで変化させられたり、動作中に変化する。殆どの光学的あるいは電子的プローブはこれら材料間に広がってしまい、空間的組成的感度を無くしてしまうため、これらの変化を捉えることは不可能である。

## 局所特性のプロファイリング

光学吸収、ラマン、ESR、NMR および光電子放出といった分光技術は、大きな試料の化学結合、電子特性、およびバンド構造といった情報を提供するもので、それゆえ全体的な特性を評価する。しかし、これら分光学的手法は、ナノメートルサイズの材料については、互いに他の材料と接しているために、その特性を個々に測定することはできない。殆どの新探索素子はナノメートルスケールで作成されるであろうから、局所的な電子的物理的特性が最終の素子特性に強い影響を与える。例えば、分子やナノワイヤに沿った位置の関数としての電位降下は、電流・電圧特性に大きな影響を与える。走査型トンネル顕微鏡はオングストロームレベルの分解能があるが、実効的には局所的な電子密度を測定しているため導電性基板を必要としている。導電性原子間力顕微鏡は抵抗率を測れるが横方向およそ10nmの分解能に限られている。走査型ケルビン・プローブ顕微鏡法(SKPM)は、局所電位をプロファイリングできるが、やはり横方向およそ10nmの分解能に限られている。電子状態密度、スピン密度、バリア高さといった局所的な量や電気伝導度、遷移時間といった輸送・動力特性の測定が、デバイス応用に必要な性能を備えているか否かの判断に必要であろう。他の材料特性をナノメートルスケールで評価するには、AFM ライクなツールを、磁場や電場といった刺激と連動させ、ナノ光伝導、ナノインターナル光電子分光(nano-internal photoemission)といった新しいプローブを作る必要がある。

## ナノスケール材料のバンド構造および状態特性の計測

新探索材料にとって最もクリティカルな技術課題の一つは、その材料的・化学的・構造的状態を変えうる刺激に対する、これら材料構成要素の応答のキャラクタリゼーションである。例えば、分子間の輸送特性の基礎的理解とキャラクタリゼーションは、実験の再現性の欠如と実験間の構造的あるいは電子的違いの原因を捉えにくいことから限られたものになっていた。新探索技術の再現性のある電気測定を達成するには、測定および分析の方法論と連動した堅牢なテスト構造が種々必要である。

コンダクタンス、キャパシタンス、スピン、高周波特性といった種々の状態特性を検出する異なるテスト構造が必要である。基本的な技術課題は、測定から有益な情報を引き出せるテスト構造を設計製作することである。ナノスケール特性測定は、テスト構造とインターフェイスに依存する。例えば、分子や半導体ナノワイヤ輸送特性測定結果の多くは、分子やナノワイヤの本質的な特性よりもコンタクトに律速されているとする最近の報告がある。テスト構造とそれに付随した測定・解析のプロトコルが設計され、理論や物理解析と比較しうる基本的なパラメータの導出が可能とされなければならない。これら特性評価と物理パラメータの相関からナノスケールの変動を考慮したパフォーマンスの予測をもとに新探索材料および素子の改良が可能になるであろう。

## モデリングとシミュレーション

モデリングとシミュレーションは、電荷型および非電荷型技術の物理的機構とプロセスの基礎的理解を提供し、ナノテクノロジーノードの計測法を解明する上で重要である。素子に使われる材料のサイズが減少し続けるため、材料特性の測定結果への界面の影響が、バルクと界面特性の分離をますます困難にするであろう。新しい材料特性が評価されるにしたがって、新しい構造や材料間のより複雑な相互作用を可能とする合成を導くようなモデルが開発される必要がある。良くキャラクタライズされた構造の結果をもとにした実験データベースの構築は、より正確な簡略化モデルや *ab initio* モデルの開発を加速できるであろう。ナノメートルスケールでのより定量的な材料特性のマッピングを得るには、ナノ構造材料とプローブとの相互作用を取り扱うモデルが必要である。より正確なTEM、導電性AFM、ケルビン探針力AFM、磁気力顕微鏡(MFM) および他の新しい技

術のための構造および特性のマッピングの向上は、ナノメータスケール材料モデルの開発を向上させるであろう。

スピン、分子電荷輸送、オービトロニクスといった、より革新的な数値状態変数素子に対する材料モデルは、非常に未熟であり、測定と現象論的モデル間の強い相関を利用する必要がある。しかしながら、比較的少ない原子数(例えば、10nm 素子で 10,000 個)を取り扱うだけでも、新しい材料とその界面の *ab-initio* なシミュレーションへの適用に道が開けるかも知れない。

現在、経験的モデルは、1,000,000 個の原子をシミュレートでき、密度汎関数理論(DFT) や量子モンテカルロ法 は、1000 個の原子をシミュレートできる。現時点の応用範囲は、平衡エネルギー、状態密度、反応速度、欠陥の影響、ナノ構造内および界面層を介しての輸送特性などである。近年の進歩にも拘わらず、定量的な相関に実用的な興味を持たれる系に対しての、理論の適用には多くの制約がある。今の理論の最も緊急の課題には、励起状態(バンドギャップエネルギー)の記述や、動的な系を、複数の時間軸を矛盾無く繋いで、シミュレートできる現実的な時間軸がある。研究者は、柔らかい凝縮系同士、あるいは強い凝縮系との界面を定量的に記述できる一貫性のある理論的記述も欠いている。このような界面は、非常に弱い水素結合から強い共有結合あるいはイオン結合にまで及ぶ広い範囲の相互作用(これは、数桁のエネルギー範囲に及ぶ)によって同定されるべきである。

1 次元材料においては、1 次元電荷状態の技術課題(1D Charge State Challenge)の節で議論したように、ナノチューブ(NT)やナノワイヤ(NW)構造の成長や触媒、温度、CVD ガスケミストリーの役割をモデル化する研究が必要である。

電子相関系では、スピン波伝搬の潜在的有用性を調べるため、スピン、電荷、および格子変化の相互作用を説明できるモデルの開発が必要である。これには、スピンの反転および輸送に関するエネルギーを定量化し、速度限界を同定することが必要であろう。

技術の初期段階では、モデリングとシミュレーションは、精度の高い、定量的な解を提供できるほどには正確でないことがしばしばであるが、構造、組成、あるいは欠陥の変化に対する特性変化を一般的、定性的に見積もることは大抵可能である。このように、モデリングとシミュレーションは、新探究材料の特性評価を行う計測において、非常に大事な役割を果たすと期待される。

## 新探究アーキテクチャ

### 序論

本節では新探究アーキテクチャについて述べる。新探究アーキテクチャについて述べるのは、将来のデバイスを選択する基準が次のような段階を経て決められると考えられるからである: アプリケーション コンピュータアーキテクチャ マイクロおよびナノアーキテクチャ 回路 デバイス 材料。ここで、「アーキテクチャ」という用語の使われ方には 2 通りあることに注意する必要がある。「コンピュータアーキテクチャ」という用語は、ソフトウェアを含むあらゆるシステム要素、すなわち情報処理アプリケーションの要求に答えるために必要なすべてのシステム要素を含む用語である。「マイクロおよびナノアーキテクチャ」という用語は、高い情報処理能力、最小の出費と最小のエネルギー代価のために、様々な演算機能がどのように実現されているか、ということを指す。現在、この領域での関連出版物の大部分は、どのようなものがナノアーキテクチャとして最も相応しいか、ということに関心を持っている。ナノアーキテクチャの候補は、ナノデバイスの集合で、デバイスの数は典型的には 10 から 10,000 に及んでおり、将来的にはこの数は増加していくものと思われる。ナノデバイスの集合は、論理演算、算術演算、メモリ、画像認識、データベース検索などの基本関数を実装するように設計されている。一般的には、このようなナノデバイスの集合は、もっと大きな集合を構成すると一般的には想定されている。Table61 には、このようなアーキテクチャ側からのアプローチ要約している。

適当な回路やコンピュータアーキテクチャを開発する上で、ナノスケールデバイスの特徴と製造方法で特に



考慮に入れておかななくてはならないことは、レイアウトの規則性 (regularity of layout)、製造欠陥 (manufacturing defects)、信頼性の低いデバイス特性 (unreliable device performance)、デバイスの伝達関数 (device transfer function)、配線の限界 (interconnect limitation)、熱生成 (thermal power generation)、である。規則的なレイアウトが好まれるが、これは標準的な「トップダウン」によるリソグラフィを用いたプロセス技術が限界に達した領域で使われる可能性のある、自己整合的な方法と互換性があると考えられるからである。デバイスの性能は、物理原理とナノスケールで本質的な役割を果たすばらつきなどで決まり、相当数のデバイス(ひよっとすると数パーセントにおよぶ)は製造欠陥に晒されるものと予測される。また、動作時欠陥 (in-service defects) と過渡エラー (transient error) も克服すべき問題である。デバイス伝達関数は、動作可能な回路を開発するために、ゲインを持ち、入出力分離を実現しなくてはならない<sup>148</sup>。配線の限界は以下の 2 つの要因からなる。1) 構造的な挑戦、これは極めて小さなデバイスに結合して、情報を必要なスピードとバンド幅で伝えなくてはならないことを指す。2) 配線寸法をナノスケールから現実世界のシステム配線まで変換すること。熱の消費は、デバイスのスイッチング・エネルギーと回路の信号を駆動するのに必要なエネルギーが原因となる。ナノスケールデバイスの限界は、将来のアーキテクチャとして利用可能な構成に制限を課すことになる。単純なデバイス構造からなり、クロスバー接続構成により再近接のデバイス同士を接続する局所計算法が提案されている。他の構成は、今日用いられている技術よりも圧倒的に大きなファンアウトを持つ生体システム (biological system) から着想を得たものである。

あらゆるナノスケールの構成にとって、欠陥デバイスあるいはエラーをおこしやすいデバイスをどのように制御していくかは、将来アーキテクチャの非常に重要な要素である。ナノアーキテクチャに関する文献の重要な特徴は、欠陥許容性 (defect tolerance) を強調しつつ、過渡誤り (transient fault) に対してはより許容しない方向を目指していることである。誤りと欠陥許容を実現する上でのゴールは、信頼性の低いデバイスを用いて、信頼性の高い回路や計算機を実現することである。欠陥は、ハードウェア製造過程でおこる永久的な欠陥、動作時におこる欠陥、単電子トランジスタに見られるホッピング電荷によるような半永久的な欠陥などがある。また、単一事象アップセット (single event upsets, SEU) などの過渡エラー (transient error) は放射性崩壊生成物 (radioactive decay products)、宇宙線 (cosmic ray)、ノイズ、クロストーク、電源、温度揺らぎなどで起こるかもしれない。欠陥デバイスも動作するかもしれないが、大規模回路の動作を実現するための許容と信頼性要求を満たしていない。ここに述べたような影響は、ナノあるいは分子スケールのデバイスにとってとりわけ重要で、これらを制御していくためには膨大なリソースが求められる。動作しないデバイスの影響を克服していく手法がいくつか存在する。こうした手法のすべては、リソースあるいは時間に冗長性の概念を用いたものである。リコンフィギュラブルコンピューティング (Reconfigurable computing, RCF) は製造欠陥に対処していく原型的なテクニックである。過渡エラーや動作時欠陥には異なる戦略が求められる。最も代表的なテクニックは次の通りである: R重モジュールリダンダンシー (R-fold modular redundancy, RMR)<sup>149</sup>、NAND多重化 (NAND multiplexing, NAND-M)<sup>150</sup>、そしてメモリにおけるエラー補正符号化 (error-correction coding)<sup>151</sup> である。ここでの冗長性は静的冗長性 (static redundancy) - 例えば、冗長行と冗長列 - を通常意味する。動的な冗長性は「その場で」問題を捉えて正すことによって使われ、よりリソースを消費する。ナノ、分子レベルでどれだけの動的冗長性が必要とされるかもまだ明らかではない。これらを明らかにしていくためには、より多くのナノデバイス/ナノ回路のデータが利用可能となり、改良された計算モデルが開発される必要がある。

## アーキテクチャ - 各候補の定義と議論

### ナノスケールセルラアレイにおける微細グレインパラレル方式

#### 序論

ナノスケールデバイスでは、集積レベルはテラスケール ( $10^{12}$  デバイス/cm<sup>2</sup>)。このような大多数のデバイスを用いると、ギガレベルの集積では不可能であった様々な新しい情報処理方式や計算方式が原理的には可能となる。多くの理由により、これらのデバイスは局所的に相互接続されたグリッド状あるいはセルアレー状に配列される必要がある。微細グレイン構造には 3 つの分類がある。1 つは、完全に周期的で、グリッド状の配列で

あり、典型的には 4 つの再近接要素とのみ相互作用する極めてシンプルな要素で完全に満たされている。この分類には、ある種の単純な擬バイナリ要素を持つ量子セルラオートマタ(Quantum Cellular Automata, QCA)やセルラニューラル(非線形)ネットワーク(Cellula Neural Network, CNN)を含む。CNNの要素は、典型的には非常に強力なプロセッサであり、ディジタル、アナログ、あるいはその組み合わせであったりする。2 つめは、グループごとに込み入ったまばらなレイアウトで配置されたQCA要素からなり、上部あるいは下部の電場や磁場で制御される。3 つめのナノアーキテクチャは論理ゲート配列(programmable gate logic array, PGLA)構造であり、クロスバー型の小さなブロックや、グリッド同士が結合された要素が並べられ、様々な論理関数を実現するようにプログラムされ、必要に応じて付加的なプログラム可能なクロスバーを使って結合される。その重要性和普遍性を考慮して、PGLA構造は以下の再構成可能なコンピュータという異なった節で別に議論する。

### 量子セルラオートマタ

QCAの考え方は、それぞれすぐ隣のセルと相互作用を持つセルが規則的に並べられ、局所的に接続されているというものである。そのようなセルは、例えば静電的に結合した量子ドット<sup>152, 153, 154, 155</sup>や磁気的に結合したナノマグネット<sup>156, 157</sup>や様々な分子構造<sup>158</sup>などが想定される。電気的また磁気的QCAはすでに作製されている。しかしQCAアーキテクチャの有用性についてまだ解決されていない問題がある。問題の 1 つは次のとおりである。往々にしてこのようなシステムは潜在的に極めて低消費電力であると主張されるが、実際には複雑な制御クロック場を生成しなくてはならず、このことは付加的な配線や動作時の消費電力を引き起こす。2 つ目の問題は、QCA要素で完全に満たされた配列は、非常に限られたアルゴリズムを実現することしかできないことである。理論的にはより有用であるまばらに配置されたQCA構造は、空間的に一様でないQCA要素を形成するために付加的なパターンニングプロセスを必要とする。3 番目の問題は、電気的なQCAは理想的には断熱量子エボリューション(Qantum Adiabatic Evolution)下で動作するが周りの環境と擬等温的に結合する。300Kで動作する磁気的QCAを用いて、この等温エボリューションが劇的なパフォーマンスの劣化につながることを示された(理論的な~1GHzから~100kHzになった)。同様の過程は、電気的なQCAシステムにも影響を及ぼすものと考えられる。

### セルラ非線形ネットワーク(CNN)

CNN は、セルと呼ばれる同一の動的システムのアレーであり、セルは以下の 2 つの特性をもつ: 1) 相互作用は主にセル 1 つ分の距離以内で起こる局所的なものである、2) 状態変数信号はディジタルではなく連続的な値をとる。それぞれのセルとすぐ隣のすべてのセルとの間の相互作用はあるテンプレートによって決まり、これにより入力、状態、出力が決定される。一つのセルの変数間の相互作用は、その隣のセル変数に関する線形または非線形の関数となる。クローニング関数が、テンプレートがグリッドを超えて空間的にどのように分布するかを決定し、また境界条件や初期状態に対するアレーの動的な反応を決定する。セルの相互作用や接続の複雑さがセルの数に関係しないので、このアーキテクチャは潜在的にスケラブルである。ただし、欠陥許容性を求めるとさらにコンポーネントの冗長性が増す。アレーのプログラミングは、単一のセルのダイナミクス、テンプレートの接続、およびテンプレートのクローニング関数を規定することにより行われる。この方法は関数が単純であり再利用可能であるため、従来の VLSI 設計より簡単である。

CNNを用いると、ブール関数や、より複雑な多数決ゲート、MUXゲート、スイッチなどの機能を構成することが可能である。CNNは拡散、対流、神経システム関数などの多くの数学上の問題をシミュレートすることができる。CNNの構成は、以下で議論するように、欠陥制御技術を実装することに使うことが可能である。使用可能なデバイスは、量子ドットQCA、SET<sup>159</sup>、RTDなどである。トンネル位相ロジックをCNNと組み合わせることにより、神経回路のようなスパイク状のスイッチング波形と超低消費電力<sup>160</sup>が可能となることが報告されている。より最近の報告によれば、トンネル位相ロジックは許容可能なパワーの最小値に重大な制約があるとのことである

<sup>161</sup>

CNN について注意すべきことは、上記のような可能性があるにもかかわらず、これまでに出版されている応用例はアナログ画像処理のみであることである。しかしパターン認識やパターン解析のアルゴリズムも CNN に



より極めて効率的に構成することが可能である。

## 再構成可能コンピューティング

断然に多くの研究が行われているナノアーキテクチャは再構成可能(RCF)アーキテクチャであり、典型的にはプログラマブルゲート論理配列(PGLA)を利用することに基づいており、1995-1998 に開発されたCMOSに基づいた大型の並列計算機Teramac<sup>162</sup>に端を発する。PGLAを利用することは、最近のナノアーキテクチャ設計の重要な特徴である。このような設計ではクロスバー構造を使用することが典型的であり、PGLA間の配線信号だけでなく、ブロックそのものの内部においても使用される。その理由は、単純で規則的なクロスバー構造を用いることは、最終的に  $10^{10}$  素子をチップに集積したナノコンピュータを作製可能とするチャンスが最も高いと信じられているからである。

## バイオインスパイアードアーキテクチャ

バイオインスパイアードコンピューティングとは、人間および生物の機能をエミュレートすることである。このようなアーキテクチャは、基本的な情報処理能力を有しており、目的指向型システムにおいて構成されたり再構成されたりする。生物の細胞は目的志向型生体の一例であり、柔軟性、適応性、ロバストネス、自律性、相互作用性などの特徴を有する。プログラムのモデルは、何百万ものプログラムコードではなく、目的指向型のシステムと協調する調整モジュールにより、活性化されたり不活性化されたりする符号化された命令モジュールである。計算神経生物学に刺激を受けたアルゴリズムは、特定プロセッサや汎用アーキテクチャに応用され、そのような振る舞いを有する計算システムへの第一歩であった。しかし、これらのアーキテクチャと生物の機能に関する我々の理解との間には大きなギャップが存在している。従って、これらの知識が計算システムとして利用されるまでには、まだ多くの研究が必要である。

ナノスケールでは、デバイスはより統計的に動作するようになり、量子効果は例外的におこるものではなく量子効果そのものが動作原理となる。これらの新しいデバイスや技術においては、現在の計算モデルが最適である可能性は低く、それがバイオインスパイアードアルゴリズムを研究する動機となっている。神経回路は、信頼性の低い(そして時に誤りを起こす)部品を利用して、ゆるやかに結合した、比較的遅く、同期のとれていない分散した計算を、非CMOSハードウェアにおいて行う。さらに、極めて単純な生体システムが、極めて高性能なパターン認識や制御を実行する。生体システムは自的に組織化され、欠陥に対して耐性があり、そしてプログラムされるというよりは、周囲の環境に対して適応性がある。生体システムは実世界との相互作用があるような問題を解決していく<sup>163</sup>。

デジタルコンピュータと比べると、生体システムの基本的な要素 - ニューロン、シナプシス、軸索突起、樹枝状突起 - はミリ秒スケールと大変遅い。よく知られているように、人間の脳はミリ秒スケールで機能し、その消費電力は 10-30W であるが、通常のコンピュータでは真似のできないような驚くほど複雑な機能を実行する。ところが個々のシナプシスは相対的に非効率的で、おおよそ 1 ビットあたり  $10^{-15}$  J のエネルギーを消費する<sup>164</sup>。

バイオインスパイアードアーキテクチャが、並列度の高い機能を果たすには、インターコネクトの能力が鍵となる。人間における神経細胞の連結能力は、その最も良い例として知られている。大脳皮質は 1 立方ミリメートルあたり約  $10^5$  個の神経細胞と  $10^9$  個のシナプスからなり(1 つの神経細胞当たり  $10^4$  個のシナプス)、人間の神経システムは  $10^{10}$  個の神経細胞と  $10^{14}$  個のシナプスを有する。従って、1 つの神経細胞当たりのファンアウトは、人間では 1,000 から 10,000 程度となる<sup>165</sup>。これは、1 立方ミクロン当たり 1 から 10 個のシナプスが存在することに相当する。多くの神経細胞はすぐ隣の神経細胞には接続されておらず、目的志向型機能を実行するために必要な異なる階級の細胞に接続されている。この膨大な相互連結を可能にするには、現在の我々の計算機システムとは全く異なる情報処理やアルゴリズムが必要である。また、ファンアウトが大きいと、大きなデバイスの利得が、付加的な信号処理メカニズムにもとづいた回路アプローチが求められる。3 次元配線構造が考案されなくてはならないであろう。

ナノスケールの電子デバイスやインターコネクトを用いて、このように並列度が高く適応的で自己組織的な

計算モデルを実行することが妥当かどうかについて、活発に研究が行われている。一般的に、このようなアーキテクチャは、人間とコンピュータの先端的インターフェースのような、複雑なデジタル処理や知的な信号処理の用途に向いている。たとえば、コンピュータによる音声認識、テキスト認識、画像認識や、コンピュータビジョンおよびロボットの制御などである。この種の問題では、不正確で曖昧な雑音の多いデータから複雑な構造や関係を見つけだすことが要求されている。

バイオインスパイアードシステムは、完全にアナログでもデジタルでもよいし、両者のハイブリッドでもよい<sup>166</sup>。それぞれには、利点と欠点がある。アナログはデジタルより高密度であり、多くのアルゴリズム計算がアナログで非常に効率的に行うことができる。デジタル計算は、よりフレキシブルである、多くのネットワークノードによって計算機ハードウェアを多重化させることができる。これは、ネットワークが散在しているときに特に効果的である。一方、アナログは、設計ツールが成熟していないため、設計やデバッグが非常に難しい。また、アナログの値は、高い信頼度で記憶することがデジタルよりはるかに難しく、少数の電子や極めて低い電圧や電流では正確な値が得られない。デジタルシステムでは、アナログよりはるかに多くのトランジスタと消費電力を必要とし、また実世界のアナログ信号とのインターフェースが極めて重要となる。

通信機能は、アナログシステムにおいても、デジタルの方が優れている。多くの神経細胞では、スパイク間の時間差を用いて通信しており、パルス間隔が信号と電圧・電流との関係を表す。この種の信号伝達は、極めて雑音耐性が高く、単電子システムにも通じるものである。しかし、単電子システムにおいては、生体システムにおける大きなファンアウトを駆動するだけの利得を得ることができない。このような機能を持つナノスケールのデバイスや回路の研究はほとんど行われていない<sup>167</sup>。

## コヒーレント量子計算

コヒーレント量子デバイスは、情報を記憶したり処理したりするのに量子波動関数の位相情報を利用する。量子状態の位相情報は基本量子ビット (qubit) と呼ばれ、これは外界の環境に極めて敏感である。容易に周囲の粒子の量子状態と結合したり複雑にからみあったりする。しかし、いかなる物質系もその周囲の環境から完全に分離されることはない。この敏感な特性を利用して、物理的なゲートを制御し隣接する基本量子ビットをからませる。量子情報処理あるいは量子計算の核となる概念は、波動関数の無限の重ね合わせの個々の要素が並列に操作できることである。これにより、従来の計算に比べ大幅なスピードアップが可能となる。難しい点は、有益な演算を行いその計算結果を読みとれるように、波動関数を操作することである。さらに難しい点は、量子計算が従来型の計算よりも性能的に優れるようなアルゴリズムがまだほんの少数しか見つかっていないことである。量子計算の発展の現状はあらゆる点にわたって、量子情報科学と技術のロードマップ<sup>168</sup>に広範に記載されている。

## 今後の動向

Table 62 に示されているように、今後の主流はクロスバーあるいはクロスバーのような構造に基づいたナノアーキテクチャで PGLA のようにロジックやメモリ機能を実現することができるものである。Table 62 には既報の発展を年代順で示しており、ここ 2、3 年の回路解析の洗練の進展と複雑さの増加を示している。現状では、このような構造の大部分は理論的に解析されているが、実験的なデバイスが数多く作製されるようになることで多くのナノアーキテクチャが実装されることが期待される。このようなナノアーキテクチャの多くは高密度に集積されたナノデバイスと低密度に集積された CMOS の入出力回路や制御回路と結合される。最近の論文で示されているもっとも期待される特徴は、製造時欠陥が多く出ても、比較的に妥当なデバイス、スペース、パワーオーバーヘッドで、なんとかやりくりできそうなことである。並列処理は比較的遅いナノデバイスのスピードに関する制約を克服することで多大な利益を与えるとよく言われている。このことは多くのアプリケーション (例えば画像処理やデータベース検索) でおそらく正しい。しかし、いくつかのアプリケーション (例えばデータ圧縮やリアルデータストリーム) はほんの少しのご利益しかえることができないかもしれず、この領域ではさらなる研究が必要である。

デバイスやシステムに対する物理的、技術的、実践的な制約は、将来使われるかもしれないアーキテクチャ（特に実質的な実行並列処理の量）に間接的にかかっている。このような制約は原理や過程、たとえばハイゼンベルグの不確定性原理、熱的に励起された電流・電圧ゆらぎ、ショットノイズ、デスクトップPCの消費電力が最大で 100 - 200W であって欲しいというユーザーからの制約、を含む<sup>169, 170, 171, 172</sup>。電荷の再利用<sup>173</sup>や可逆<sup>174</sup>あるいは断熱<sup>175</sup>コンピューティングによって消費電力や熱損失を減らそうという提案がある。可逆あるいは断熱といった手法の実現性に関して懸念している文献も見られる<sup>176, 177, 178</sup>。まとめると、実践的なナノデバイスの性能の究極的な限界とデバイスがもつ新しいアーキテクチャに対する意味合いは、まだ完全には明らかになっていない。

Table 61 Emerging Research Architecture Implementations

Architecture Implementations	Quantum Cellular Automata	Cellular Nonlinear Networks	Reconfigurable Implementations	Biologically Inspired Implementations
Application Domain	Complex signal processing	Fast image processing Associative memory Complex signal processing	Reliable computing with unreliable devices Historical example: Teramac FPGA implementation	Goal-driven computing using simple and recursive algorithms High computational efficiency for certain applications
Device And Interconnect Implementations	Arrays of nanodots or molecular assemblies	Resonant tunneling devices, SETs	Molecular switches Crossed arrays of 1D structures Switchable interconnects	Molecular organic and bio-molecular devices and interconnects
Information Throughput	Fan-out = 1 throughput constrained by adiabatic clocking requirements	Fan-out close to unity	Fan-out variable but performance degraded slightly by need for defect management schemes	Massive parallelism Requires some long-range data transfer Fan-out very high in brains ● ( $\sim 10^4$ )
Power	Power comparable to scaled CMOS (~0.2 MIPS/mW) Data streaming apps will need ~100 MOPS/mW	Power comparable to scaled CMOS (~0.2 MIPS/mW) Data streaming apps will need ~100 MOPS/mW	Only preliminary estimates, but these are encouraging	High parallelism allows lower operational speeds Power consumption of human brain 10–30 W at millisecond rates
Interconnects	No local interconnects, but many control lines are needed	Local interconnects with neuron-like waveforms	Interconnects by crossed arrays	Interconnects distributed over a range of distances
Error Tolerance	Sensitive to background charge Low temperature operation	Not determined	Multiple modular redundancy and multiplexing for transient errors	Highly dynamical neural-like systems Implement adaptive self-organization, fault tolerance
Defect Tolerance	Not demonstrated	Not determined	Reconfiguration (RCF)	Inherently insensitive to defects through adaptive algorithms
Manufacturability	Precise dimensional control needed	Tight tolerances on tunnel rates of all junctions to minimize jitter	Self assembly possible	Not demonstrated
Comments	Only limited programming models	Locally active and locally connected Cell and array design immature (no fan-out)	Supports memory-based computing Applications in dependable systems	Backed by extensive neural network research Algorithmic implementations need more research
Maturity	Demonstration	Demonstration	Demonstration	Concept
Test	Not demonstrated	Demonstrated only for image processing	Self-test or requires extensive pre-computing test	Test functions are included in the adaptive algorithms used
Research papers (2003-2005)	QCA – 89 (QCA and nano – 39)	CNN – 215 (CNN and nano – 11)	Reconfigurable – 3228 (Reconfigurable and nano – 53)	Bio-inspired or neuromorphic – 158 (Bio-inspired or neuromorphic and nano – 20)

Table 62 Circuit and/or Architecture Implementations—Theory and Experiment

Structure type	Device type	Theory /Experiment	Size	Defect Tolerant	Comments	References
Crossbar non-volatile memory	Crossed CNTs, using van der Waals forces to latch	Experiment and theory	Single experimental devices	NA	Only one refereed publication	Rueckes <sup>179</sup>
Logic gates	Crossed CNTs	Experiment	4 devices	NA	Early nanowire logic demonstration	Bachtgold <sup>180</sup>
Logic gates	Crossed Si nanowires	Experiment	3 devices	NA	Early nanowire logic demonstration	Huang <sup>181</sup>
Crossbar hybrid molecular-CMOS blocks	Resistors + RTDs	Theory	~100 K devices	Assumed reconfiguration	“NanoFabric,” “NanoBlock”	Goldstein <sup>182</sup>
Crossbar memory	Rotaxane molecules	Experiment	8×8 bit	~10%	Bistable tunnel junctions	Luo <sup>183</sup> Chen <sup>184</sup>
Logic blocks with CMOS I/O	Randomly overlapped molecular NDR resistors	Theory + Experiment (single devices)	Single devices (experiment); 1-bit adder, NAND gate (theory)	> 50 % for successful NAND gate operation	“Nanocell”	Tour <sup>185</sup>
Crossbar address decoder	Crossed Si nanowire FET	Experiment	4×4 wire	NA	~250 nm wire spacing	Zhong <sup>186</sup>
Crossbar nanowire arrays	NA	Experiment	~10×10 wires at 20 nm pitch	NA	Wires down to 16 nm pitch	Melosh <sup>187</sup>
Neuromorphic crossbar structures	SET latches	Theory	3744 neurons modeled	~40%	Overlapping nano and micro crossbars: “CrossNet”	Turel <sup>188</sup>
Crossbar /PGLA	n-type, p-type molecular FET	Theory	4-bit micro-processor	~10%	Estimated area ~1% of current PGLAs.	Snider <sup>189</sup>
Error-correcting logic blocks	Not specified	Theory	ALU; pipeline control stage	~3%	“NanoBox”	KleinOs <sup>190</sup>
Flexible architecture for digital, analog, mixed-signal	Not specified	Theory	12 devices	~4%	Would need 3D structures	Beiu <sup>191</sup>
PGLA-like logic arrays	e.g., cross bars with molecular devices	Theory	e.g., 4×4 bit multiplier	20% dead devices	“NanoPLA”	Naeimi <sup>192</sup>
Nanowire FET arrays	Metal to Si nanowire	Experiment	~3000 transistors	~80% yield	Uses Langmuir-Blodgett to align nanowires	Jin <sup>193</sup>
Crossbar memory arrays	e.g., NW FETs	Theory	~Gbit memory	~5% junction defect rate	Estimated 0.6 W per Tbit/s read rate	DeHon <sup>194</sup>
Crossbar latch	Metal-molecule-metal junction	Experiment	Single device	NA	Logic storage, restoration /inversion	Kueckes <sup>195</sup>
Hybrid molecular- CMOS digital crossbar logic	SET latch	Theory	64-bit full adder modeled	~20%	Developed from NetCell	Strukov <sup>196</sup>
SET logic circuits	SET	Experiment	4 dual-gated SETs	NA	AND, NAND gates operate at 1.9 K	Nakajima <sup>197</sup>
Crossbar circuits	Resistor or diode molecules etc.	Theory	4-bit microproc.	~3%	Uses non-exhaustive coding	Snider <sup>198</sup>

Refer to the [Endnotes](#) section for references.



## 新探究技術 - 機能比較

### 序論

ポスト CMOS スケーリング世代になると情報処理産業はとても難しい技術課題に直面する。なぜならその世代では何をすべきかが明らかでないためだ。本節ではアプリケーションが要求する 4 つのパラメータを使って新しい情報処理技術と微細 CMOS との互いの位置付けを明らかにし、各技術の課題と可能性を全体的に眺めてみる。

およそ 2020 年以降の情報処理技術は超高速、超小型、超低コストな CMOS デバイスから構成されるシリコンプラットフォームの上に、従来のものとは本質的に異なる新しいデバイス技術が集積したものから成り立っているだろうというコンセンサスが固まりつつある。この新しいデバイスは広汎な材料・動作原理・機能性・論理システム・データ表記・アーキテクチャ領域にわたると考えられている。大抵は微細 CMOS に対して相補的に働き CMOS の新しい応用範囲を拡大する性質のものだ。しかし、現在探究されている新しい技術がシリコン CMOS を置き換える可能性を実際に持っているとは考えられていない。

### 機能のパラメータ化と比較

新探索技術と CMOS について速度、サイズ、コスト、スイッチングエネルギーをパラメータとして比較したものを Figure52 に示す<sup>1</sup>。新技術のうち 2 つ(分子と量子)はロジックとアーキテクチャの節で説明しているが、他の 3 つ(プラスチック、光、NEMS)は本節で簡単に説明する。(アーキテクチャの節で説明したバイオインスパイアードデバイスについても CMOS とともに参考として比較するため説明を加えた。今回の版でロジックの節から削除された RSFQ についても本節で説明する。)この図では最初の 3 つのパラメータ(速度、サイズ、コスト)を軸として 3 次元空間が形成されており、4 番目のパラメータ(スイッチングエネルギー)は図の右側に示したエネルギースケールに対応した色で表現される。軸のスケールは対数表示になっており、図に示す様に何桁もの広い範囲の値をカバーしている。それぞれの技術はこの 3 次元空間の一部を占める立体として表現され、その色は単一のゲート動作に必要なエネルギーを表現している。それぞれの技術に対応する立体は、定量的な読み取りができるように軸平面上にも投影されている。投影された各技術は長方形で表わされており、対応する立体と同じ色で描かれている。

実測された確固たるデータがない場合には、これらの新探究技術のパラメータを見積もるためにさまざまな仮定を行っている。それぞれの技術に対するパラメータ値は Table63 にまとめている。概念が提示されただけの段階で、まだ測定結果がない新探究技術は、その基礎となる物理的な原理に基づいてパラメータ値を仮定している。測定結果がある場合は、どこまでスケールできるかを推測して見積もっている。この場合、スケーリングの議論は物理的な原理に基づいている。

<sup>1</sup> Figure52 の準備に協力いただいたノースカロライナ州立大学の Mr. David Jeager に感謝する。



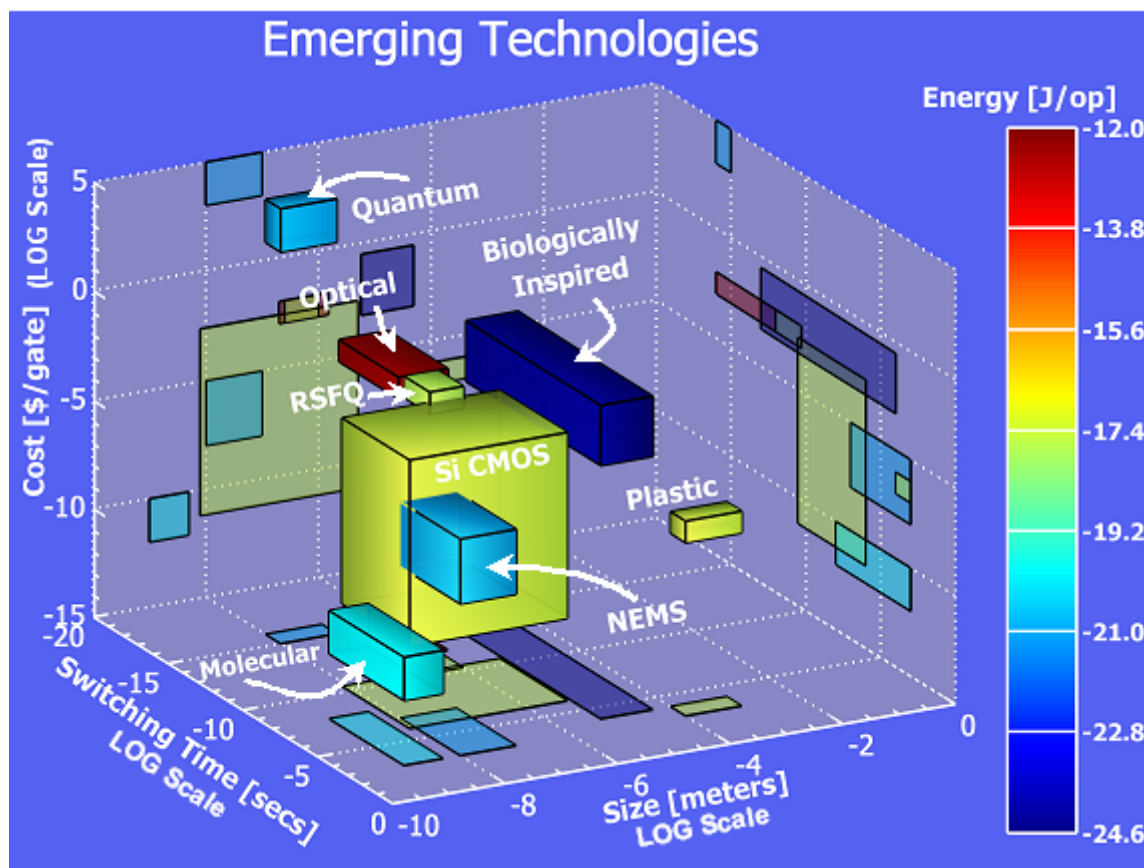


Figure 52 Parameterization of Emerging Technologies and CMOS—  
Speed, Size, Cost, and Switching Energy

ここで取り上げた技術の中には、単一のアプリケーション領域あるいはニッチ領域にのみ特に効果があるものがある。例えば、量子計算は Shor のアルゴリズムを用いる事によって非常に効率的に素因数を見つけだすことができるが、他のアプリケーションではあまり効率が良くない。この場合、演算あたりの"実効(effective)"時間を、古典的なデバイスが古典的なアーキテクチャと古典的なアルゴリズムを使って同様な演算を行なったとして演算あたりの時間を算出している。そのため、大きな数を素因数分解するために必要な N-キュービット量子コンピュータの"実効"演算時間は、量子計算が本質的に持っている並列性のために N-ゲートの古典的コンピュータより非常に高速になる。バイオインスパイアードデバイスや光コンピューティングについても同様な議論を適用している。

この図はアプリケーション空間における新探索技術の相対的な位置について有益な情報を提供している。この図から、微細 CMOS と直接的に競合する新技術はほとんどなく、大多数は CMOS と相補的な関係を持っている事がわかる。この図はまた、シリコンと新探索技術という異質な技術を集積化して全体的なアプリケーション空間を拡張する事により利益を享受できる事も示している。Figure52 と Table63 はこれら全く異質な技術を比較するための叩き台となっている。これらの図表は単に技術の比較を提示するだけでなく、技術の比較のために用いた根拠や方法論に関する実りある議論を促進する事も意図している。

Table 63 Estimated Parameters for Emerging Research Devices and Technologies in the year 2016

Technology	T <sub>min</sub> sec	T <sub>max</sub> sec	CD <sub>min</sub> m	CD <sub>max</sub> m	Energy J/op	Cost min \$/gate	Cost max \$/gate
Si CMOS	3E-11 <sup>2</sup>	1E-6	8E-9	5E-6	4E-18	1E-11	3E-3
RSFQ	1E-12	5E-11	3E-7	1E-6	2E-18	1E-3	1E-2
Molecular	1E-8	1E-3	1E-9	5E-9	1E-20	1E-12	1E-10
Plastic	1E-4	1E-3	1E-4	1E-3	4E-18	1E-7	1E-6
Optical (digital, all optical)	1E-16	1E-12	2E-7	2E-6	1E-12	1E-3	1E-2
NEMS (conservative)	1E-7	1E-3	1E-8	1E-7	1E-21	1E-8 <sup>3</sup>	1E-5
Biologically Inspired	1E-13	1E-4	6E-6	5E-5	unknown	5E-4	3E-1
Quantum	1E-16	1E-15	1E-8	1E-7	1E-21	1E3	1E5

この図において  $T$  はシステムのサイクル時間(スイッチング時間)、 $CD$  は critical dimension (例えば物理ゲート長)、 $Energy$  はデバイスあたりの演算エネルギー、 $Cost$  はゲートあたりのコスト(ドル)を表わす。

### 表掲載技術の定義と議論

プラスチックトランジスタ (Plastic Transistors) - プラスチックトランジスタはプラスチック基板上に作製した薄膜トランジスタ (Thin Film Transistors; TFT) のことである。TFTの活性層としてアモルファスシリコン、ポリシリコン、有機半導体などが用いられる。TFTは有機発光ダイオード (Organic Light Emitting Diodes; OLED) と組み合わせれば、曲げたり、折ったり、着用したり、任意の形状の面に張り付けたりできる高機能フレキシブルディスプレイを作ることができる。有機材料を全面的に用いたオールプラスチックチップはすでに作られている。この機械的な柔軟性は、急激に成長している認証や商品タグなどの市場やフレキシブルディスプレイの画素ドライバ分野において全く新しい展開を与えている。<sup>199</sup> 典型的な電源電圧は 10 V で 100  $\mu\text{m}$  程度の寸法で作られており、適度な電子移動度と電流電圧特性が得られている。ペンタセンをベースとしたプラスチックトランジスタでは電源電圧が 5 V 以下でオンオフ比が  $10^5$  以上を示す事が報告されている。<sup>200</sup> ポリエステル基板上の有機(ペンタセン)トランジスタを用いたアナログ/デジタル回路も作製・評価されている。プラスチック上の有機回路の今日までの最高動作周波数は 1.7 kHz である。<sup>201</sup> プラスチックトランジスタは超低コスト、非平面大面積エレクトロニクスとして多くの潜在的な応用が可能である。<sup>202,203</sup> 紙のような基板に対して印刷していくプロセス技術は今日のカラーインクジェット印刷に類似したコスト構造を持つだろう。それは雑誌やダイナミックバーコードといった使い捨てデバイスを支えるものになるだろう。

光コンピューティング (Optical Computing)<sup>204</sup> - 光コンピューティングは光の透過性と固体との相互作用を用いて情報処理を行なう。デジタル光コンピュータの潜在的な特長は、以下に示す光の情報の担体としての性質による。

- 光線は互いに影響を及ぼし合わない
- 光情報処理は並列的に行なうことができる (例えばフーリエ変換)
- 究極的に高速な信号伝達 (光の速度)

全光コンピュータと呼ばれるものも実際にはレーザーや非線型素子などから構成されている。この場合、材料の光学的性質は光と作用する荷電粒子や原子の影響によって決まる。デジタル光コンピュータの欠点を以下に示す。

<sup>2</sup> シリコンCMOSにおける $T_{\text{min}}$ は22 nm ノード (物理ゲート長  $< 9 \text{ nm}$ ) における局所的クロックレートに基づいて計算した。イントリンジックなスイッチ時間である $CV/I$ を基にしたものでない。

<sup>3</sup> NEMSの2次元アーキテクチャを仮定してコストを推定した。

- 回折効果に起因する構成物(光スイッチ)の場合はサイズが比較的大きい
- 高速演算には必ずエネルギーの散逸をとまなう。例えば、スイッチ、メモリなどに用いる光相変化材料では、速く原子配置を変えるためには大きいエネルギーを供給しなければならない。実際のデバイスでは、膨大な演算エネルギーを必要とするため"光速での計算"とはいかない。

光エレクトロニクスの短期的な展開としては、サブ 100nm CMOS への光コンポーネントの集積化にある。別の展開としては、相変化メモリ(Phase Change Memory; PCM)など光により制御する相変化材料を用いる事である。別の方向性としては、エレクトロニクスよりも大変速いフーリエ変換を行なうアナログ光コンピュータの完成度を高めることである。アナログ光コンピュータはデジタルコンピュータより精度が悪いが高速に連続的なデータを取り扱うことができる。

**ナノエレクトロメカニカルシステム**(*Nano-Electro-Mechanical Systems; NEMS*) ナノメカニカルコンピュータの概念においては、機械的なデジタル信号は微細な固体構造物の変位により表現され、信号伝達の速度は音速(例えばダイヤモンドでは  $1.7 \times 10^4$  m/s)で制限される。楽観的な予測ではNEMS論理ゲートは 0.1 nsでスイッチし、 $10^{-21}$  J以下のエネルギー散逸で、1 ワットあたり  $10^{16}$  の演算が可能とされている(人間の脳の演算は 1 ワットあたり  $5 \times 10^{12}$  の演算が行なわれる)。この予測されたスイッチングエネルギーは非可逆的演算に対する熱力学的限界である  $kT \ln 2$  を下回っている。NEMSコンピューティングは論理的に可逆であるため低散逸が可能であるためと信じられている。<sup>205</sup>NEMSコンピュータの特性は、最近実演された並列データストレージ用 VLSI-NEMSチップに基づいて、より保守的な予測が可能である。<sup>206</sup>報告されたストレージ密度は 500 Gbit/in<sup>2</sup> である。今のところデータレートは 6 Mbit/secまで達している。Table63 にはNEMSコンピュータに対して保守的に予測したパラメータが掲載されている。

**高速単一磁束量子**(*Rapid Single Flux Quantum; RSFQ*)<sup>207</sup> RSFQ論理回路は超伝導体の量子効果に基づくダイナミック論理回路である。磁束量子(Fluxon)の保持および伝播によってデバイスが動作する。1つのジョセフソン結合(Josephson Junction; JJ)と外部抵抗短絡からなる超伝導リングが基本的なRSFQ構造である。磁束量子の保持部分は超伝導誘導リングであり、スイッチング部分はジョセフソン接合である。RSFQダイナミック論理回路においては閉じた超伝導誘導ループに磁束量子が存在するか存在しないかで"0"か"1"かのビットの状態を表現する。RSFQ回路を用いると 100 GHz以上動作、恐らく 800 GHzまで回路動作が可能であり、この高速性がこの技術の主な特長となっている。しかしながら、いくつかの理由により集積密度は究極の限界に近づいており、また同じ理由により二値情報のスループットについても微細シリコンよりはるかに小さいまま限界となりつつある。多大なコスト負担がかかってしまう低温動作を避ける見込みのある方法も見あたらない。動作速度が支配的な要求となるようなニッチな分野への商業的な応用は継続するだろうが、広範囲な応用は難しいと思われる。

**バイオインスパイアード**(*Biologically Inspired*) (より詳細な議論はアーキテクチャの節を参照の事)人間の脳をバイオインスパイアードあるいはニューロモルフィック情報処理デバイスの原型と定義することができる。ここではシリコンベース情報処理システムと比較するための土台として取り扱う。ひとつの神経細胞のサイズは脳の容積と神経細胞の推定数から見積もった。この節のはじめに説明した様にバイオインスパイアードコンピューティングにおける"実効演算時間"を算出する事ができる。ここでは、参照する演算として大量の情報処理が必要な視覚情報処理を取り上げた。この方法で得られる実効演算時間はシナプスの速度より非常に速いものとなる。それはどんなシリコンベースシステムと比較してみても脳におけるインターコネクト密度が非常に大きいためである。Table63 にTminとして掲載した情報処理速度(1秒あたり  $1 \times 10^{13}$  ビット)は視覚情報処理に基づいて推定した。<sup>208</sup>同様に、実験的に得られているシナプスの開閉に要する時間スケールをTable63 にTmaxとして掲載している。それぞれの神経細胞は 100 から 10,000 のシナプスと結合しているが、これは人間の脳のアーキテクチャがシリコンベースシステムと本質的に異なる特長のひとつである。

人間の脳の基本的なパラメータ<sup>209</sup>を以下の様に推定した。

- 神経細胞数 -  $2E10$
- ひとつの神経細胞が持つことができるシナプス結合の数 - 100 から 10,000
- 重量 -  $1.3 \text{ kg}^{210}$
- 体積 -  $1600 \text{ cm}^3$
- 消費電力 - 15-30 W
- 記憶容量 -  $1E12 \text{ bit}$  (短期記憶)
- 情報処理速度 -  $1E13 \text{ bit/second}$

Table63 に掲載したパラメータは上記の基本的パラメータから派生的に得たものである。

## 新探究技術—評価

### 序論

ナノスケールデバイスが将来の情報処理や通信技術用途に適合するかどうかは現在のところ明らかではないが、そのようなデバイスがもたらすテラスケールの集積化の利点が必要とされていることは間違いない。前節で議論したとおり、これらのデバイスは広範な作製法や新機能を生み出すであろう。これらのデバイスは、相補的な形で微細 CMOS の応用範囲を広げていくかも知れない。逆に、ナノスケールデバイスには多くの限界があり、それが有用性に影響する。特に、上述のとおり、ナノスケールデバイスは短期的にはシリコン CMOS と機能的にも技術的にも互換性が必要である。長期的には、電荷を用いるナノデバイスの働きは、きわめて新しい「計算状態変数 (computational state variable)」ロジックや情報のユニット (ビット) を表す新手法などを用いた新しい情報処理技術によって補足されるかも知れない。したがって、この節の目的は、技術の評価基準を設け (Table64,65 を参照のこと)、この基準に基づき、ポスト CMOS スケーリングの情報処理と考えられているメモリとロジックの技術候補の評価を行うことである。加えて、電荷に基づくデバイスについては、データ表現法や「計算状態変数」といった新しい技術の観点から、この節の中で別に議論を行う。この別の議論では、新しい電荷ベース情報処理における基本的なスイッチの原理的な限界 (サイズ、エネルギー、スピードなど) という重要な疑問について議論する。

## CMOS を越える技術

### 技術要求

**スケーラビリティ** — まず第一に、新しい情報処理技術に開発投資する主な動機は、情報処理機能密度をスケーリングするための、そして実質的に CMOS で達成できるジュールあたりの処理能力を超えるような、新しい領域を発見し、利用することである。シリコンベースの CMOS と、それに関連する技術は、MOSFET 密度の数桁のスケーリングをもたらした。新しい情報処理技術の目標は、新たな技術を使って、機能と情報処理能力のさらなる数桁のスケーリングをもたらす、CMOS での成功を再現することである。

**ゲイン (ロジックデバイス)** — ナノデバイスのゲインは、ゲートのファンアウトが大きな電流駆動力を必要とし低電圧で雑音に弱くなっているロジック回路においては、重要な制限要因である。情報処理にこれらのナノデバイスを用いるには、新しいロジックやファンアウトの小さいメモリなどのアプローチが必要である。大きな回路では、信号の再生のため CMOS との集積化が必要である。短期的に、ナノデバイスと CMOS の集積化が必要理由は、多くのロジック回路における信号の再生に加えて、確立された技術および市場である。この集積化の必要性は、設計ツール、回路からプロセス技術まで全ての領域に及ぶ。

**ON/OFF 比 (メモリーデバイス)** — メモリーデバイスの ON/OFF 比は、メモリ記憶素子の、OFF 状態でのアクセス抵抗と、ON 状態でのアクセス抵抗の比である。不揮発性メモリに関しては、ON/OFF 比は、非選択メモリーセ



ルのリーク電流と選択セルの読み出し電流との比で表すことができる。この定義は、選択型デバイスである限り新メモリ技術にも当てはまるであろう。クロス・ポイントメモリ(cross-point memories)では、消費電力を最小にするために、また、適切な読み出し信号のマージンを維持するために、非常に大きな ON/OFF 比が必要である。

**消費電力限界** — 電子伝導デバイスにおけるクロックスピードと集積密度のトレードオフにより、将来的に高密度システムではクロックスピードを下げるか、逆に高速クロックシステムでは密度を下げなければならなくなるであろう。ナノスケールの電子伝導デバイスは、前者のカテゴリー(将来的に高密度システムではクロックスピードを下げる)に入っており、スイッチング速度を速めるより並列処理を有効に利用する方が重要であると考えられる。

**デバイスのトランスファー機能** — ナノスケールデバイスは、その非線形出力特性により直接回路演算を行う可能性があり、そうなるとレイアウト面積と消費電力を削減することができる。さらに、ロジック機能と記憶機能の両方を備えたナノデバイスは、回路およびアーキテクチャに革命的な変化をもたらす可能性がある。

**エラー率** — すべてのナノスケールデバイスと回路において、エラー率は重要な問題である。エラーの原因は、デバイス作製時のサイズ揺らぎ、および SET における背景電荷のような局所的な周囲環境との干渉である。ナノスケールデバイスを用いるアーキテクチャはいかなる場合でも、大規模なエラー検出およびエラー訂正スキームが必要である。

**動作温度** — 実際の応用では、ナノデバイスは室温かまたはそれに近い温度で動作可能であることが必須である。

**CMOS の技術的なそしてアーキテクチャー的な互換性** — 半導体産業は、過去 40 年にわたって、性能向上達成をデバイス集積の大規模化に頼ってきた。大規模化によって利益を得るという原則により、半導体業界では、将来の商品に過去の技術投資を丸ごと使うということが許されている。代替技術には、過去の技術基盤への巨額な投資を最大限利用することが求められる。CMOS 技術互換性を高めることへの意欲、つまり既存のインフラを活用する意欲が、CMOS アーキテクチャーとの互換を必要とする意欲になる。アーキテクチャーの互換性は、代替技術が利用するロジックシステムとデータ表記法の観点から定義される。CMOS はブール論理関数とバイナリーデータ表記法を利用しているので、代替技術も同様の方法を利用することが理想的である。

## 電荷ベースのナノスケールデバイス

電荷ベースのナノエレクトロニクススイッチに関して明らかにすべき重要課題は、これらの新デバイスの原理的なスケーリング限界と、スケーリング終焉時の CMOS 技術との比較である。2005 年の ITRS では、CMOS のスケーリングを、16nm ノードを僅かに超えるところまで予測している。16nm ノードでは MPU/ASIC デバイスの物理的ゲート長は 6nm であり、平均の消費電力は約  $100\text{W}/\text{cm}^2$  である。最近の解析によれば<sup>21)</sup>、電荷ベースのデバイスの原理的なスケール限界は、2020 年の CMOS MOSFET のゲート長の 1/5 である。しかも、これらのスイッチデバイスの密度は、そのサイズではなく、約  $100\text{W}/\text{cm}^2$  という最大許容消費電力で制限される。この研究の結論は、サイズと消費電力の点で限界までスケールされた MOSFET 技術は、電荷ベースデバイスの理論的なスケーリング限界にも近いということである。したがって、1D 構造(ナノワイヤやナノチューブ)や分子構造のような新探究電荷ベースロジック技術は、シリコンチャネルの代替技術として期待できる。言い換えると、1D 構造や分子構造を電荷ベーススイッチとして利用して、全く新しいバイナリースwitch、メモリ、(ローカルおよびグローバルの)インターコネクトなどの情報処理技術を開発することは、サイズと消費電力の観点から最大でも高々 5-10 倍程度のスケーリングしか達成できないことを考えると無駄なことである。この結論は、デバイス密度がスイッチのサイズではなく消費電力で制限されることを考慮すると極めてリーズナブルである。この議論から結論づけられることは、新しいロジックデバイスの探究には電荷ベースではなく状態変数などの概念が必要であるということ

である。

## 計算状態変数ナノスケールデバイス

ここでは“コンピュータ状態変数”とは、1930年代に Turing により提唱された有限の状態マシンのことである。その考え方では、計算情報や論理状態を操作し記憶するには膨大な数の方法がある。有限の状態ストレージデバイスの初期の例は、そろばんである。そろばんでは、弦の玉の位置が数値データを表現している。この例では、コンピュータ状態変数は単純に物理的な位置であり、オペレータはそろばんを見ることによって情報を読み出す。オペレータの指が物理的に玉を動かしてデータの操作を行う。初期のコアメモリでは、磁気双極子の方向を用いて状態の記憶を行っていた。同様に、紙テープとパンチカードは穴の有無によって計算変数の状態を記憶していた。

## メモリとロジックデバイスの潜在的性能の評価

この節の目的は、ポストCMOS スケーリング技術としてこの章で議論された新メモリとロジックのナノスケールデバイス技術について、潜在的性能を評価することである。この潜在的性能評価は、それぞれのナノスケールデバイス技術を産業的に評価することを助け、また数多くの競合する将来技術の中から産業界が投資をする技術の決定を助けるものである。評価の基準と性能・リスクの評価法については以下に述べる。

### 評価の基準

ポストCMOS スケーリングのナノスケールデバイスには、さまざまなアプリケーションがあり、極めて広範囲に及ぶ。それぞれの技術が情報処理応用にどの程度適用可能か(特に短期)について、ナノエレクトロニクスの評価基準を定義し、パラメータ化を行った。

それぞれのポストCMOS スケーリングのナノスケールメモリとロジック技術を、1つのファクターについて評価の基準と照らし合わせ評価を行った。そのファクターは、それぞれのナノスケールデバイス技術の将来的な性能の可能性である。その技術の開発が成功したと仮定して、それぞれの基準に対してロジックについては22nm ノードのシリコン CMOS と、メモリについては比較可能な既存のメモリと比較している。性能の可能性は、1から3の数字で表している。3は22nm ノードの CMOS を本質的に凌駕することを意味し、1は CMOS に劣ること、もしくは比較可能な既存のメモリ技術に劣ることを意味している(下を見よ)。評価の基準は Table64 と Table65 の注で定義されている。この評価は、様々な技術的背景や専門知識を有する人々で構成された ERD ワーキンググループのメンバーの投票によってなされたものである。

*Logic—Individual Performance Potential for Logic Related to each Technology Evaluation Criterion*

3	Substantially exceeds CMOS * <i>or</i> is compatible with CMOS architecture ** <i>or</i> is monolithically integrable with CMOS wafer technology *** <i>or</i> is compatible with CMOS operating temperature (i.e., <b>Substantially Better than Silicon Logic</b> )
2	Comparable to CMOS * <i>or</i> can be integrated with CMOS architecture with some difficulty ** <i>or</i> is functionally integrable (easily) with CMOS wafer technology *** <i>or</i> requires a modest cooling technology, $T \geq 77K$ (i.e., <b>Comparable to Silicon Logic</b> )
1	Substantially (2×) inferior to CMOS * <i>or</i> can not be integrated with CMOS architecture ** <i>or</i> is not integrable with CMOS wafer technology *** <i>or</i> requires very aggressive cooling technology, $T < 77K$ (i.e., <b>Substantially Worse than Silicon Logic</b> )

*Memory—Individual Performance Potential for Memory Related to each Technology Evaluation Criterion*

3	Substantially exceeds the appropriate Baseline Memory Technology * <i>or</i> is compatible with CMOS wafer technology ** <i>or</i> is monolithically integrable with CMOS wafer technology *** <i>or</i> is compatible with CMOS operating temperature (i.e., <b>Substantially Better than Silicon Baseline Memory Technology</b> )
2	Comparable to the appropriate Baseline Memory Technology * <i>or</i> can be integrated with CMOS architecture with some difficulty ** <i>or</i> is functionally integrable (easily) with CMOS wafer technology *** <i>or</i> requires a modest cooling technology, $T \geq 77K$ (i.e., <b>Comparable to Silicon Baseline Memory Technology</b> )
1	Substantially (2×) inferior to the appropriate Baseline Memory Technology * <i>or</i> can not be integrated with CMOS architecture ** <i>or</i> is not integrable with CMOS wafer technology *** <i>or</i> requires very aggressive cooling technology, $T < 77K$ (i.e., <b>Substantially Worse than Silicon Baseline Memory Technology</b> )

*Overall Performance Assessment (OPA) = Performance Potential Summed over the eight Evaluation Criteria for each Technology Entry)*

*Maximum Overall Performance Assessment (OPA) = 24*

*Minimum Overall Performance Assessment (OPA) = 8*

*Overall Performance Assessment for Technology Entries*

<i>Potential for the Technology Entry is projected to be significantly better than silicon CMOS or baseline memory (compared using the Technology Evaluation Criteria)</i> (OPA > 20)	<b>Potential</b>
<i>Potential for the Technology Entry is projected to be slightly better than silicon CMOS or baseline memory (compared using the Technology Evaluation Criteria)</i> (OPA = >18 – 20)	<b>Potential</b>
<i>Potential for the Technology Entry is projected to be slightly less than silicon CMOS or baseline memory (compared using the Technology Evaluation Criteria)</i> (OPA = >16 – 18)	<b>Potential</b>
<i>Potential for the Technology Entry is projected to be significantly less than silicon CMOS or baseline memory (compared using the Technology Evaluation Criteria)</i> (OPA ≤ 16)	<b>Potential</b>

## 技術性能評価

Table65 及び Table66 は、新探索メモリ及びロジック技術の評価結果をまとめたものである。この技術評価は、メモリ技術については Figure53a から Figure53f に、ロジック技術については Figure54a から Figure54f に、より詳しく描かれている。メモリ新技術候補のいくつかは、非常に有望とされている。ナノフローティングゲートメモリ、トンネルバリアメモリ、強誘電FETメモリ、絶縁抵抗変化メモリなどがそれに当たる。反対に、1次元電子系のものを除いて、現在のところロジック用途であまり有望なものはない。それゆえ、有望な新ロジックデバイスの探求が必要である。

Table 64 Performance Evaluation for  
Emerging Research Memory Device Technologies (Potential)

Memory Device Technologies (Potential)	Scalability [A]	Performance [B]	Energy Efficiency [C]	OFF/ON "1"/"0" Ratio [D1]	Operational Reliability [E]	Operate Temp [F] ***	CMOS Technological Compatibility [G]**	CMOS Architectural Compatibility [H]*
Nano Floating Gate Memory	2.5	2.5	2.5	2.5	2.2	2.7	2.7	3.0
Engineered Tunnel Barrier Memory	2.2	2.3	2.3	2.3	2.4	2.8	2.8	3.0
Ferroelectric FET Memory	1.9	2.3	2.5	2.2	2.0	3.0	2.6	3.0
Insulator Resistance Change Memory	2.5	2.5	2.0	2.2	1.9	2.8	2.6	2.8
Polymer Memory	2.1	1.5	2.3	2.2	1.6	2.9	2.3	2.5
Molecular Memory	2.3	1.5	2.4	1.6	1.4	2.6	1.9	2.3

Table 65 Performance Evaluation for  
Emerging Research Logic Device Technologies (Potential)

Logic Device Technologies (Potential)	Scalability [A]	Performance [B]	Energy Efficiency [C]	Gain [D2]	Operational Reliability [E]	Room Temp Operation [F] ***	CMOS Technological Compatibility [G]**	CMOS Architectural Compatibility [H]*
1D Structures (CNTs & NWs)	2.4	2.5	2.3	2.3	2.1	2.8	2.3	2.8
Resonant Tunneling Devices	1.5	2.2	2.1	1.7	1.7	2.5	2.0	2.0
SETs	1.9	1.5	2.6	1.4	1.2	1.9	2.1	2.1
Molecular Devices	1.6	1.8	2.2	1.5	1.6	2.3	1.7	1.8
Ferromagnetic Devices	1.4	1.3	1.9	1.5	2.0	2.5	1.7	1.7
Spin Transistor	2.2	1.3	2.4	1.2	1.2	2.4	1.5	1.7



Table64 と Table65 の評価基準に関する注釈

[A] Scalability(スケーラビリティ) — 持続的増大という経済的利益を引き出すため、代替技術は数世代にわたって微細化可能(スケーラブル)であることが要求される。代替技術を繰り返し修正を施して数倍の性能向上が達成できることが望ましい。言い換えると、新技術においてもムーアの法則が存在するとよい。

[B] Performance(性能) — 将来の性能指標は現在の性能指標に極めて近い。それらは、コスト、サイズ、および消費エネルギーである。

[C] Energy efficiency(エネルギー効率) — いかなるポスト CMOS デバイスにおいても、状態変数として電荷または電流を用いている場合はエネルギー効率が限界要因となるであろう。また、代替の状態変数の実用性を議論する場合に、エネルギー効率は最も重要な評価基準となるであろう。

[D1] OFF/ON or “1”/“0” ratio (Memory) (ON/OFF 又は 1/0 比 (メモリ)) — メモリーデバイスの ON/OFF 比は、メモリ記憶素子の、OFF 状態でのアクセス抵抗と、ON 状態でのアクセス抵抗の比である。不揮発性メモリに関しては、ON/OFF 比は、非選択メモリセルのリーク電流と選択セルの読み出し電流との比で表すことができる。この定義は、選択型デバイスである限り新メモリ技術にも当てはまるであろう。クロス - ポイントメモリ(cross-point memories)では、消費電力を最小にするために、また、適切な読み出し信号のマージンを維持するために、非常に大きな ON/OFF 比が必要である。

[D2] Gain (Logic) (利得(ロジック)) — ナノデバイスの利得は、ゲートのファンアウトが大きな駆動電流を必要とし低電圧でゲートが雑音に敏感になるロジック回路においては、重要な制限要因となる。演算のためにこれらのナノデバイスを用いるには、新しいロジックやファンアウトの小さなメモリによるアプローチが必要となるであろう。大きな回路での信号再生には、CMOS 化が必要かもしれない。ナノデバイスと CMOS を短期に集積化することは、多くのロジック回路における信号再生と、技術と市場を確立するための、重要な条件となる。この集積化の必要性は、設計ツール、回路からプロセス技術まで全ての領域に及ぶ。

[E] Operational reliability (動作信頼性) — 動作信頼性とは、メモリ及びロジックデバイスが、動作仕様で与えられた動作エラー許容値内で動作する能力のことである。

[F] Room temperature operation(室温動作) — 冷却はコストを要するため、室温動作が望ましい。

[G] CMOS technological compatibility(CMOS 技術との互換性) — 半導体産業は過去 40 年にわたって性能向上達成をデバイスサイズの微細化に頼ってきた。経済原則から有利な点は、過去の技術への投資が将来の製品にも役立つことである。代替技術は、過去の技術基盤への投資を最大限利用できることが求められる。

[H] CMOS architectural compatibility(CMOS アーキテクチャ互換性) — この基準を設けた理由は、CMOS 技術との互換性、すなわち現存する CMOS 技術基盤を利用できるかどうか、を意識したからである。アーキテクチャの互換性とは、代替技術が利用するロジックシステムとデータ表現法の観点から定義される。CMOS はブール論理関数とバイナリーデータを利用しているので、代替技術も理想的には同様の方法を利用する必要がある。

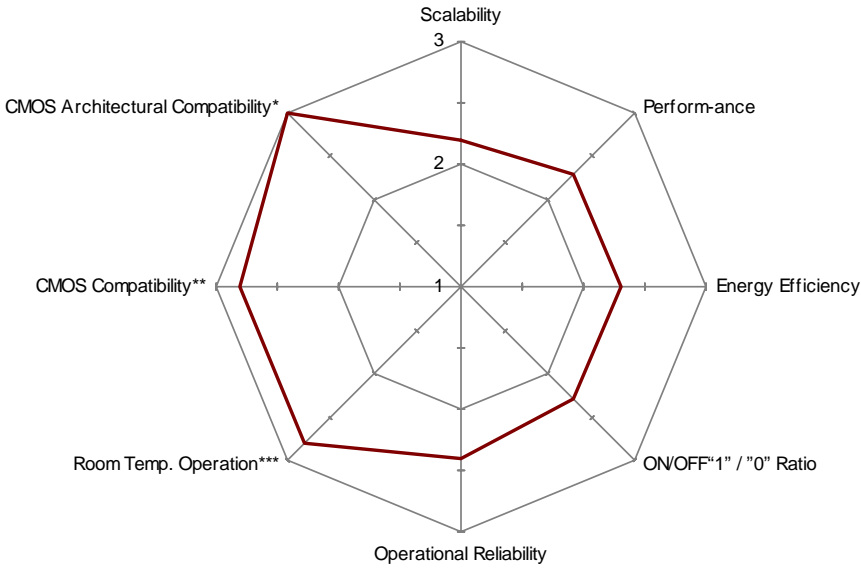


Figure 53a Technology Performance Evaluation for Nano Floating Gate Memory

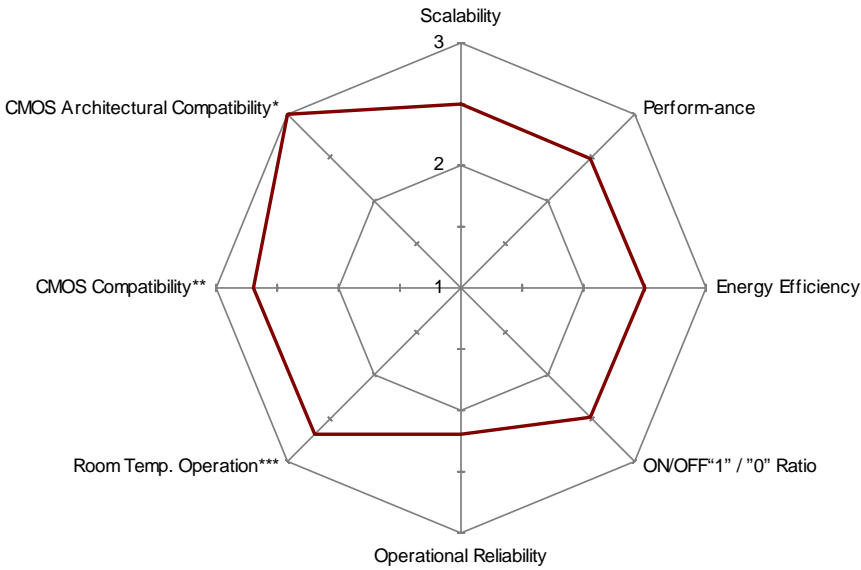


Figure 53b Technology Performance Evaluation for Engineered Tunnel Barrier Memory

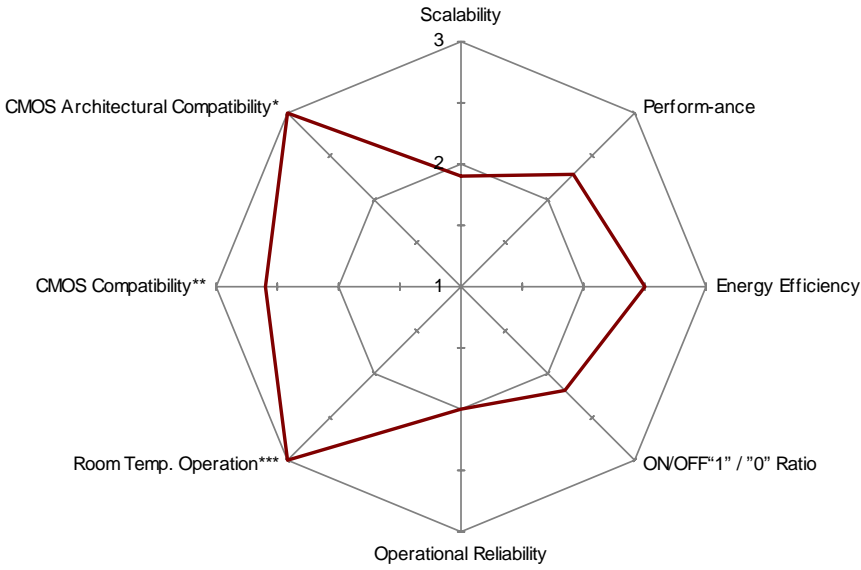


Figure 53c Technology Performance Evaluation for Ferroelectric FET Memory

•

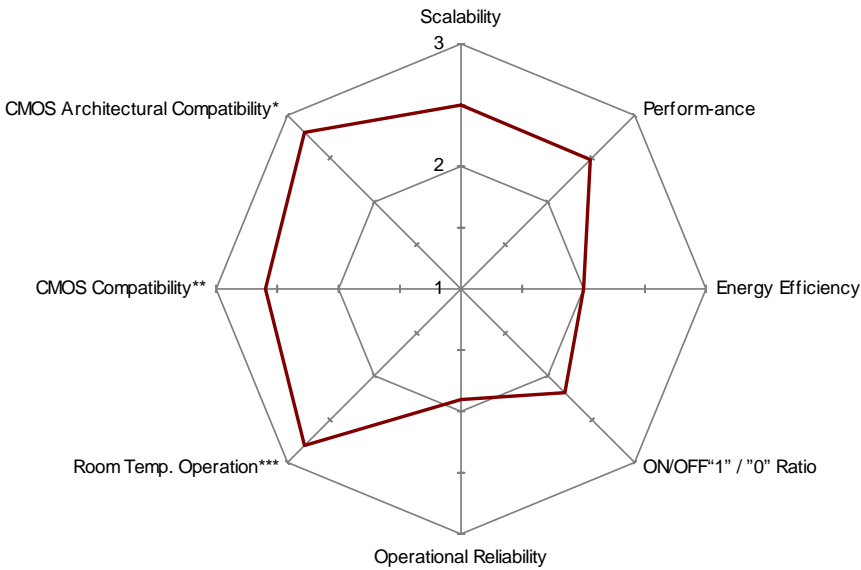


Figure 53d Technology Performance Evaluation for Insulator Resistance Change Memory

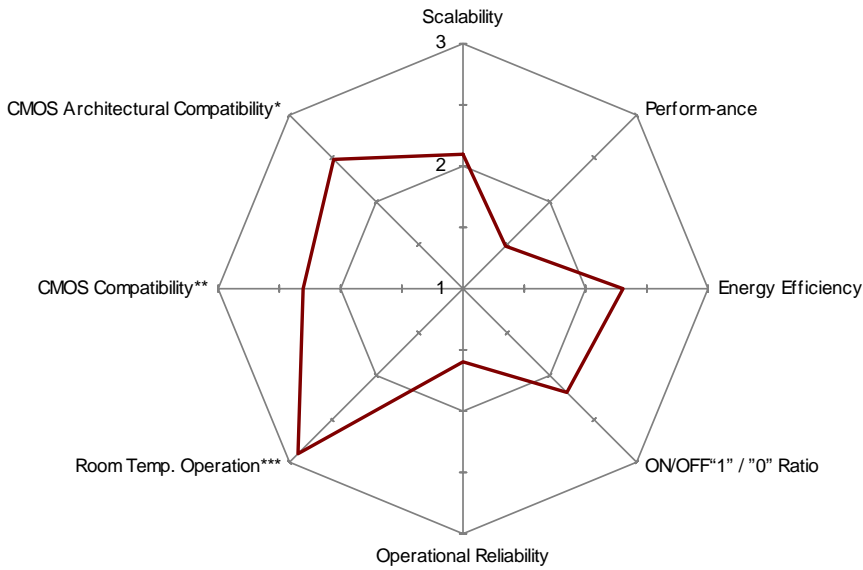


Figure 53e Technology Performance Evaluation for Polymer Memory

•

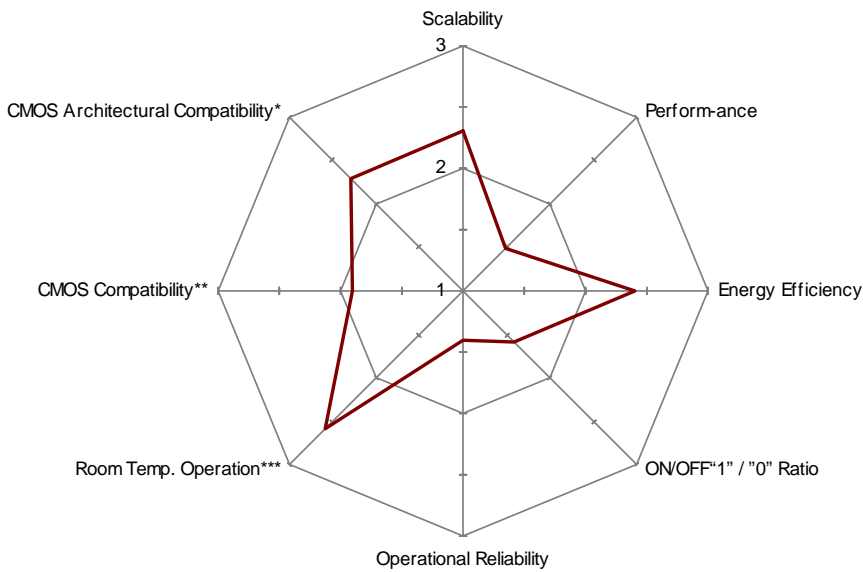


Figure 53f Technology Performance Evaluation for Molecular Memory



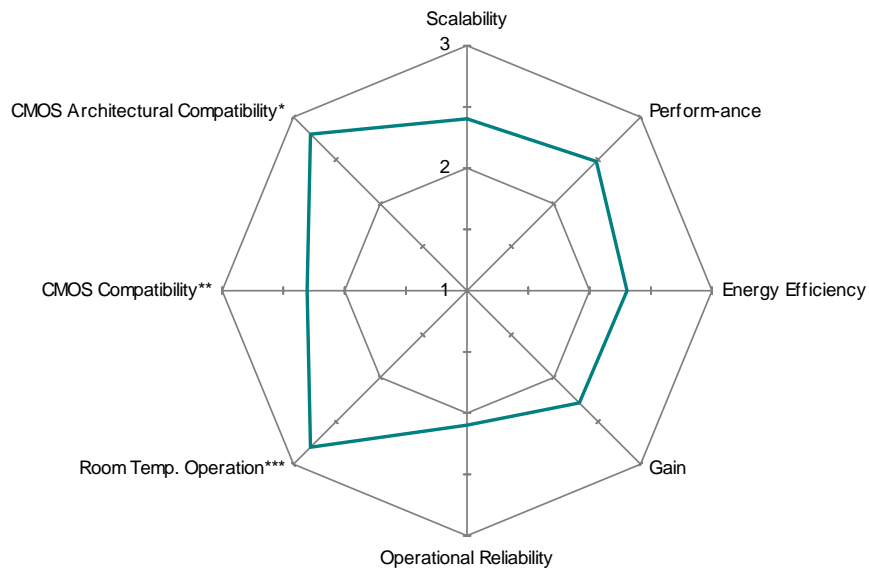


Figure 54a Technology Performance Evaluation for 1D Logic Structures (CNTs and NWs)

•

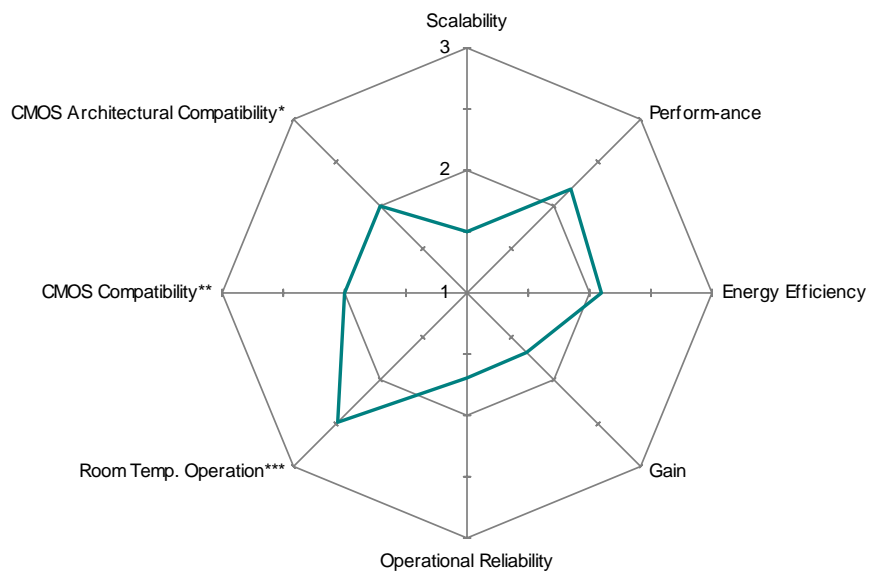


Figure 54b Technology Performance Evaluation for Resonant Tunneling Logic Devices

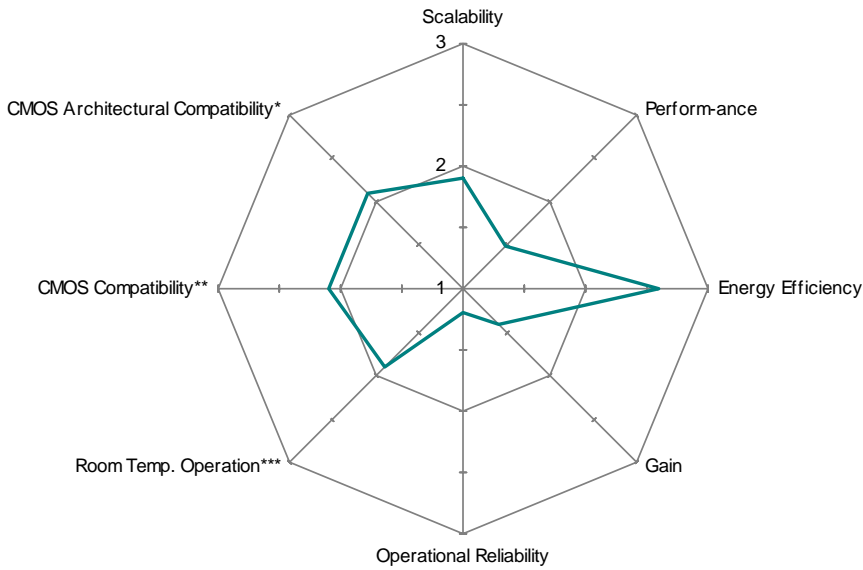


Figure 54c Technology Performance Evaluation for Single-Electron Logic Transistors

- 
- 

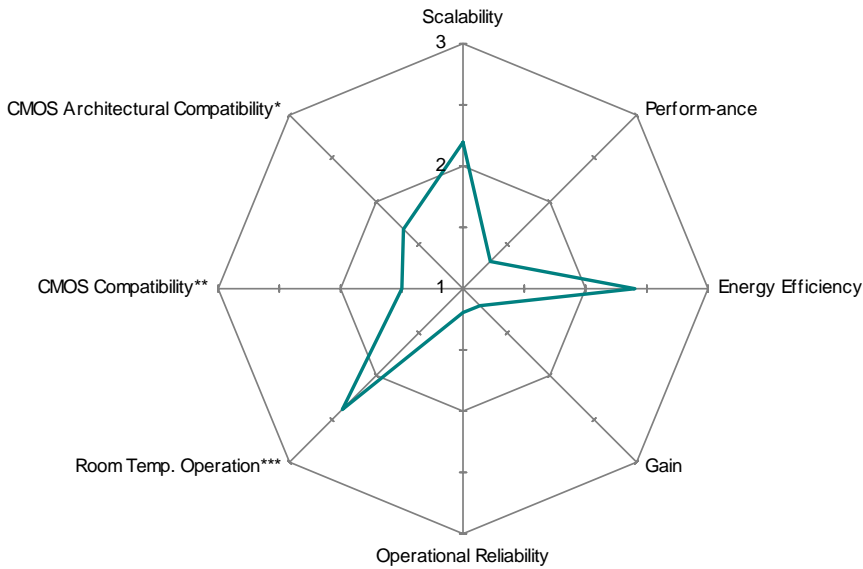


Figure 54d Technology Performance Evaluation for Molecular Logic Devices

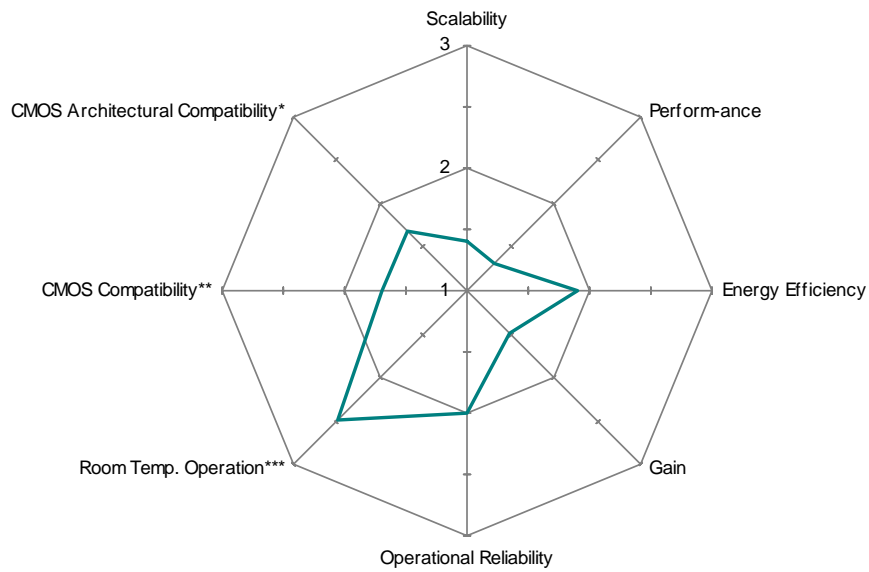


Figure 54e Technology Performance Evaluation for Ferromagnetic Logic Devices

- 
- 

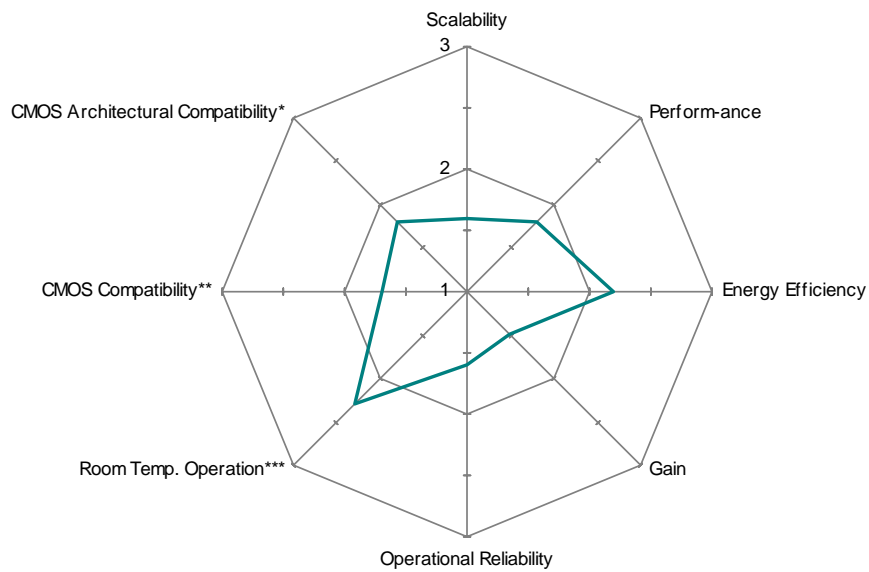


Figure 54f Technology Performance Evaluation for Spin Logic Devices

## 基本的な指導原理 — 「CMOS を超える技術」による情報処理

### 序論

情報処理性能の飛躍的向上を実現するために、究極の微細 CMOS で達成可能なレベルを超える多様な新しいアプローチが提案されているが、それらを検討するに当たり、エマージング・リサーチ・デバイス・ワーキンググループは、幅広い観点から以下の指導原理を提案する。われわれは、これらの「指導原理」が新しい「CMOS を超える技術」による情報処理技術として、機能密度、性能を飛躍的に向上させ、同時に機能動作当たりの消費エネルギーを減少させると信じてやまない。さらに言えば、この新しい技術は、高度な量産製造プロセスを用いることで実現可能であろう。

「指導原理」を提案する目的は、「CMOS を超える技術」による情報処理の新しいパラダイムの出現に必ずや影響力を及ぼすこれらの技術についての議論を活性化することである。

### 指導原理

#### 電荷以外の計算状態変数

状態変数は、スピン、位相、多重極配向、メカニカルな位置、分極、軌道対称、磁束量子、分子配置、量子状態などを含む。極限微細 CMOS に対して、これらの状態変数を使ったデバイスがどの程度の性能を有するかの評価は、技術の絞込みを行うため、また主なトレードオフを明確にするためにも、プログラムの中で出来る限り早めに実施されるべきである。

#### 非熱平衡状態システム

非熱平衡状態は、周囲との熱的な相互作用によって引き起こされるシステムの記憶情報エネルギーの摂動を減少させる。この機能は、全ての計算処理機能を、システムのエネルギー緩和時間より短時間で行なうことが可能なシステムで達成することが出来る。熱的なゆらぎは、双安定スイッチングデバイスの計算状態のランダムなゆらぎを抑制するため、 $10k_B T$  オーダーのエネルギー障壁が必要になる。ここで、 $k_B$  は Boltzmann 定数、 $T$  は実効温度である。低エネルギー、室温動作スイッチング実現の一つの方法は、フォノン浴の熱平衡で動作するシステムを見出すことであり、それによって、システムの実効温度  $T$  を周囲の環境温度より低くすることが出来る。核スピンはその様なシステムの自然界での一例である。

#### 新しいエネルギー伝達相互作用

エネルギー伝達相互作用は、情報処理伝達構成要素を連結する役割を果たす。デバイスの配線に使われるエネルギー伝達メカニズムは、おそらく短距離相互作用を基本にしたものになるであろう。例としては、量子交換、二重交換相互作用、電子ホッピング(跳躍)、Forster カップリング(双極子カップリング)、トンネリング、そしてコヒーレント・フォノンである。

#### ナノスケールの熱伝導制御

ナノスケールでの熱伝導制御は、構成的エネルギー輸送(constructive energy transport)と熱の逃げを実現するために、格子フォノンをうまく操作することで達成出来るであろう。例としては、局所エネルギーの再分布を実現するフォノンストップバンド構造及び異方性熱輸送を持った構造などである。

#### サブリソグラフィック作製プロセス

この原理の一つの例は、ナノスケールのビルディングブロックから成る複雑な構造を、規則性を持って組み



立てることである。これは、上述した(例えば複合金属酸化物)量子相互作用が持続可能なバルク材料の中に、量子ドット、半導体ナノクリスタル、メタリック・ナノクリスタル、そして共鳴空洞(メタクリスタル)などのブロックを製作する際に基本的に必要になる。これらの組み立て方式によるアプローチにおいては、具体的なデバイスを頭に描き、量産可能な製造プロセスに結びつくことを前提に、従来とは異なった、階層構造の実現に取り組む必要がある。

## 参考文献

### MEMORY

- <sup>1</sup> Tiwari, S., et al. "A Silicon Nanocrystals Based Memory," *Applied Physics Letters*. 68 (1996) 1377.
- <sup>2</sup> Lombardo, S., B. De Salvo, C. Gheraldi, and T. Baron. "Silicon nanocrystal memories," *Microelectronic Engineering*. 72 (2004) 388-394.
- <sup>3</sup> Wang, X., et al. "A novel MONOS-type nonvolatile memory using high-k dielectrics for improved data retention and programming speed," *IEEE Trans. Electron Devices*. 51.4 (2004) 597.
- <sup>4</sup> Ramachandran, M. et al. "A 6V Embedded Silicon Nanocrystal Nonvolatile Memory for the 90nm Technology Node," *IEDM Digest* 2003.
- <sup>5</sup> Beltram, F., F. Capasso, J. F. Walker, and R. J. Malik. "Memory Phenomena in Heterojunction Structures - Evidence For Suppressed Thermionic Emission," *Applied Physics Letters*. 53 (1988) 376.
- <sup>6</sup> Likharev, K. K. "Riding the crest of a new wave in memory," *IEEE Circuits and Devices*. 16.4 (2000) 16-21.
- <sup>7</sup> Govoreanu, B., P. Blomme, M. Rosmeulen, J. Vaan Houdt, and K. De Meyer. VARIOT: a novel multilayer tunnel barrier for low-voltage, nonvolatile memory devices, *IEEE Electron Devices Letters*. 24.2 (2003) 99-101.
- <sup>8</sup> Beltram, F., F. Capasso, J. F. Walker, and R. J. Malik. "Memory Phenomena in Heterojunction Structures - Evidence For Suppressed Thermionic Emission," *Applied Physics Letters*. 53 (1988) 376.
- <sup>9</sup> Baik, S. E., S. Choi, U-I. Chung, J. T. Moon. "Engineering on tunnel barrier and dot surface in Si nanocrystal memories," *Solid-State Electronics*. 48 (2004) 1475-1481.
- <sup>10</sup> Cimoiasu, E., S. K. Tolpygo, X. Liu, N. Simonian, J. E. Lukens, K. K. Likharev, R. F. Klie, Y. Zhu. "Aluminum oxide as possible components for layered tunnel barriers," *Journal of Applied Physics*. 96.2 (2004) 1088.
- <sup>11</sup> Brewer, J. C., R. J. Walters, L. D. Bell, D. B. Farmer, R. G. Gordon, and H. A. Atwater. "Determination of energy barrier profiles for high-k dielectric materials utilizing bias internal photoemission," *Applied Physics Letters*. 85.18 (2004) 4133.
- <sup>12</sup> Arimoto, Y. and H. Ishiwara. "Current Status of Ferroelectric Random Access Memory," *MRS Bulletin*, (2004) 823.
- <sup>13</sup> Fitsilis, M., Y. Mustafa, R. Waser. "Scaling the ferroelectric field effect transistor," *Integrated Ferroelectrics*. 70 (2005) 29-44.
- <sup>14</sup> Sakai, S. and R. Ilangoan. "Metal-Ferroelectric-Insulator-Semiconductor memory FET with long retention and high endurance," *IEEE Electron Devices Letters*. 25.6 (2004) 369-371.
- <sup>15</sup> Takahashi, K., B. E. Park, K. Aizawa, and H. Ishiwara. "30-day-long Data Retention in Ferroelectric-gate FETs with HfO<sub>2</sub> Buffer Layers," *SSDM 2004, Tokyo*. Paper No. D-1-2 (2004).
- <sup>16</sup> Kozicki, M. N., C. Gopalan, M. Balakrishnan, M. Park, and M. Mitkova. "Non-Volatile Memory Based on Solid Electrolytes," *Proceedings of the 2004 Non-Volatile Memory Technology Symposium*. (2004) 10-17.
- <sup>17</sup> Sakamoto, T., H. Sunamura, H. Kawuara, T. Hasegawa, T. Nakayama, and M. Aono. "Nanometer-scale switches using copper sulfide," *Applied Physics Letters*. 82 (2003) 3032.
- <sup>18</sup> Pagnia, H. and N. Sotnik. "Bistable Switching in Electroformed Metal-Insulator-Metal Devices," *Phys. Stat. Sol. (a)* 108 (1988) 11.
- <sup>19</sup> Beck, A., J.G. Bednorz, Ch. Gerber, C. Rossel, and D. Widmer. "Reproducible Switching Effect in Thin Oxide Films for Memory Applications," *Applied Physics Letters*. 77 (2000) 139.
- <sup>20</sup> Fors, R., S. I. Khartsev, and A. M. Grishin. "Giant resistance switching in metal-insulator-manganite junctions: Evidence for Mott transition," *Phys. Rev. B*. 71 (2005) 045305.
- <sup>21</sup> Blom, P. W. M., R. M. Wolf, J. F. M. Cillessen, and M. P. C. M. Krijn. "Ferroelectric Schottky Diode," *Phys. Rev. Lett.* 73 (1994) 2107.
- <sup>22</sup> Kohlstedt H., N. A. Pertsev, J. Rodriguez Contreras, and R. Waser. "Theoretical current-voltage characteristics of ferroelectric tunnel junctions," *accepted by Phys. Rev. B, Cond-mat*/0503546.
- <sup>23</sup> Beck A., J.G. Bednorz, Ch. Gerber, C. Rossel, and D. Widmer. "Reproducible Switching Effect in Thin Oxide Films for Memory Applications," *Applied Physics Letters*. 77 (2000) 139.
- <sup>24</sup> Watanabe, Y., J.G. Bednorz, A. Bietsch, Ch. Gerber, D. Widmer, A. Beck, S.J. Wind. "Current-driven Insulator-conductor Transition and Non-volatile Memory in Chromium-doped SrTiO<sub>3</sub> Single Crystals," *Applied Physics Letters*. 78 (2001) 3738.

- Rossel, C., G.I. Meijer, D. Bremaud, D. Widmer. "Electrical Current Distribution Across a Metal-insulator-metal Structure During Bistable Switching," *Journal of Applied Physics*. 90 (2001) 2892.
- van der Sluis, P. "Non-volatile memory cells based on  $\text{ZnxCd1-xS}$  ferroelectric Schottky diodes," *Applied Physics Letters*. 82.12 (2003) 4089.
- van der Sluis, P. "Non-volatile memory cells based on  $\text{ZnxCd1-xS}$  ferroelectric Schottky diodes," *Applied Physics Letters*. 82.12 (2003) 4089.
- Ma, L. P., J. Liu, and Y. Yang. "Organic electrical bistable devices and rewritable memory cells," *Applied Physics Letters*. 80.16 (2002) 2997-2999.
- Ma, L. P., S. Pyo, J. Ouyang, Q. Xu, and Y. Yang. "Nonvolatile electrical bistability of organic/metal-nanocluster/organic system," *Applied Physics Letters*. 80.9 (2003) 1419-1421.
- Ma, L. P., Q. Xu and Y. Yang. "Organic non-volatile memory by controlling the dynamic copper-ion concentration within organic layer," *Applied Physics Letters*. 84.24 (2004) 4908-4910.
- Ouyang, J., C. W. Chu, C. R. Szmanda, L. P. Ma, and Y. Yang. "Programmable polymer thin film and non-volatile memory device," *Nature Materials*. 3.12 (2004) 918-922.
- He, J., L. P. Ma, J. Wu and Y. Yang. "Three-terminal organic memory devices," *Journal of Applied Physics*. 97 (2005) 064507.
- Bozano, L. D., B. W. Kean, V. R. Deline, J. R. Salem, and J. C. Scott. "Mechanism for bistability in organic memory elements," *Applied Physics Letters*. 84.4 (2004) 607-609.
- Simmons, J. G. and R. R. Verderber. "New conduction and reversible memory phenomena in thin insulating films," *Proc. R. Soc. London. Ser. A* 301, No. 1464 (1967) 77.
- Tondelier D., K. Lmimouni, and D. Vuillaume. "Metal/organic/metal bistable memory devices," *Applied Physics Letters*. 85.23 (2004) 5763-5785.
- Reed, M. A., et al. "Molecular random access memory cell," *Applied Physics Letters*. 78.23 (2001) 3735-3737.
- Lui, Y., Collier C.P., Jeppesen J. O., Nielsen K. A., Delonno E., Ho G., Perkins J., Tseng H. R., Yamamoto T, Stoddart J. F., Heath J. R. "Two-dimensional Molecular Electronics Circuits," *Chem Phys Chem*. 3 (2002) 519.
- Tour J. M., L. Cheng, D. P. Nackashi, Y. X. Yao, A. K. Flatt, S. K. St Angelo, T. E. Mallouk, P. D. Franzon. "NanoCell electronic memories," *Journal of American Chemical Society*. 125.43 (2003) 13279-13283.
- Wu, W., G-Y. Jung, D. L. Olynick, J. Straznicky, Z. Li, X. Li, D. A. A. Ohlberg, Y. Chen, S-Y. Wang, J. A. Liddle, W. M. Tong, and R. S. Williams. "One-kilobit cross-bar molecular memory circuits at 30-nm half-pitch fabricated by nanoimprint lithography," *Applied Physics A*. 80.6 (2005) 1173-1178.
- Berg, J., S. Bengtsson, P. Lundgren. "Can Molecular Resonant Tunneling Diodes be Used for Local Refresh of DRAM Memory Dells?" *Solid-State Electronics*. 44 (2000) 2247.
- Robert. F. Service. "Next-generation Technology Hits an Early Mid-life Crisis," *Science*. 302 (2003) 556-559.

## LOGIC

- Cui, Y., C. M. Lieber. "Functional nanoscale electronic devices assembled using silicon nanowire building blocks," *Science*. 291.5505 (2001) 851-853.
- Kotlyar, R., B. Obradovic, P. Matagne, M. Stettler, and M.D. Giles. "Assessment of room-temperature phonon-limited mobility in gated silicon nanowires," *Applied Physics Letters*. 84.25 (2004) 5270-5272.
- Palm, T. "Self consistent calculations of an electron wave y-branch switch," *Journal of Applied Physics*. 74.1 (1993) 3551-3557.
- Heller, E. K. and F. C. Jain. "Simulation of one-dimensional ring quantum interference transistors using the time-dependent finite difference beam propagation method," *Journal of Applied Physics*. 87.11 (2000) 8080.
- Javey, A. and H. J. Dai. "Regular Arrays of 2 nm Metal Nanoparticles for Deterministic Synthesis of Nanomaterials," *Journal of American Chemical Society*, 127.34 (2005) 11942-11943.
- Lin, Y., et.al. "Novel carbon nanotubes FET design with tunable polarity," *Proceedings of the IEDM*. (2004) 687.
- Javey, A., H. Kim, M. Brink, Q. Wang, A. Ural, J. Guo, P. McIntyre, P. McEuen, M. Lundstrom, H. Dai. "High-K dielectrics for advanced carbon-nanotube transistors and logic gates," *Nature Materials*, 1 (2002) 241-246.
- Javey, A., et.al. "High-field quasiballistic transport in short carbon nanotubes," *Phys Rev Lett*. 92.10 (2004) 106804.
- Singh, D. V., Jenkins K. A., Appenzeller J. "Direct measurements of frequency response of carbon nanotube field effect transistors," *Electronics Letters*. 41.5 (2005) 280-282.
- Paul D. J., B. Coonan, G. Redmond, G. M. Crean, B. Holländer, S. Mantl, I. Zozoulenko, K. F. Berggren. "Silicon Quantum Integrated Circuits," *Future Trends in Microelectronics*, Eds. S. Luryi, J. Xu, and A. Zaslavsky. John Wiley and Sons, Inc: New York, NY, 1999, 183-192.
- Nanoelectronics and Information Technology*. Ed. Rainer Wasser. Wiley-VCH, 2003, 416-424.
- Fau, P., et al. "Fabrication of Monolithically-integrated InAlAs/InGaAs/InP HEMTs and InAs/AlSb/GaSb Resonant Interband Tunneling Diodes," *IEEE Trans. Electron Dev*. 48 (2001) 1282.
- Reed, M. A., et al. "Realization of a Three-terminal Resonant Tunneling Device: the Bipolar Quantum Resonant Tunneling Transistor," *Applied Physics Letters*. 54 (1989) 1034.

- 55 Fau, P., et al. "Fabrication of Monolithically-integrated InAlAs/InGaAs/InP HEMTs and InAs/AlSb/GaSb resonant Interband Tunneling Diodes," *IEEE Trans. Electron Dev.* 48 (2001) 1282.
- 56 Chung, S. Y., N. Jin, P. R. Berger, R. H. Yu, P. E. Thompson, R. Lake, S. L. Rommel, S. K. Kurinec, n.t., *Applied Physics Letters*, 84.14 (2004) 2688-2690.
- 57 Kim, K. R, D. H. Kim, K. W. Song, G. Baek, H. H. Kim, J. I. Huh, J. D. Lee, B. G. Park. "Silicon-based field induced band-to-band tunneling effect transistor." *IEEE Electron Device Letters*. 25.6 (2004) 439-441.
- 58 Matsuo, N., H. Kihara, Y. Takami. "Application of advanced metal-oxide-semiconductor transistor in next generation, silicon resonant tunneling MOS transistor, to new logic circuit," *Solid State Electronics*. 47.11 (2003) 1969-1972.
- 59 Gould C., Slobodskyy A., Slobodskyy T., et al. "Magnetic resonant tunneling diodes as voltage-controlled spin selectors," *Physica Status Solidi*. B 241.3 (2004) 700-703.
- 60 Xu H. Z., Zhang Y. F.. "Spin-filter devices based on resonant tunneling antisymmetrical magnetic/semiconductor hybrid structures," *Applied Physics Letters*. 84.11 (2004) 1955-1957.
- 61 Xia JB, Hai GQ, Wang JN, "Spin-polarized current produced by a double barrier resonant tunneling diode," *Solid State Commun.* 127 (7): 489-492 AUG 2003.
- 62 Blakesley, J. L., P. See, A. J. Shields, B. E. Kardynal, P. Atkinson, I. Farrer, and D. A. Ritchie. "Efficient single photon detection by quantum dot resonant tunneling diodes," *Phys. Rev. Lett.* 94 (2005) 067401.
- 63 *Nanoelectronics and Information Technology*. Ed. Rainer Wasser. Wiley-VCH, 2003. 425-444.
- 64 Saitoh M., H. Harata, T. Hiramoto. "Room-temperature demonstration of low-voltage and tunable static memory based on negative differential conductance in silicon single-electron transistors," *Applied Physics Letters*. 85.25 (2004) 6233-6235.
- 65 Kitade T., K. Ohkura, A. Nakajima. "Room-temperature operation of an exclusive-OR circuit using a highly doped Si single-electron transistor," *Applied Physics Letters*. 86.12 (2005) 123118.
- 66 Chen, R. H., A.N. Korotkov, and K.K. Likharev. "Single-electron Transistor Logic," *Applied Physics Letters*. 68.14 (1996) 1954.
- 67 Park, K-S., et al. "SOI Single-electron transistor with low RC delay for logic cells and SET/FET hybrid ICs," *IEEE Trans. Nanotechnol.* 4.2 (2005) 242.
- 68 Bandyopadhyay S. and Roychowdhury V. "Computational paradigms in nanoelectronics: Quantum coupled single electron logic and neuromorphic networks," *Japan Journal of Applied Physics, Pt 1*. 35.6A (1996) 3350-3362.
- 69 Ho, G., J. R. Heath, M. Kondratenko, D. F. Perepichka, K. Arseneault, M. Pézolet, M. R. Bryce. "The First Studies of a Tetrathiafulvalene- $\sigma$ -Acceptor Molecular Rectifier," *Chem. Eur. J.* 11 (2005) 2914.
- 70 Metzger, R. M. "Unimolecular Electrical Rectifiers," *Chem. Rev.* 103 (2003) 3803.
- 71 Elbing M., R. Ochs, M. Koentopp, M. Fischer, C. von Hanisch, F. Weigend, F. Evers, H. B. Weber, M. Mayor. "A Single-Molecule Diode," *Proc. Nat. Acad. Sci. U. S. A.*, 102 (2005) 8815.
- 72 Park, J., A. N. Pasupathy, J. I. Goldsmith, C. Chang, Y. Yaish, J. R. Petta, M. Rinkoski, J. P. Sethna, H. D. Abruna, P. L. McEuen, D. C. Ralph. "Coulomb blockade and the Kondo effect in single-atom transistors," *Nature*. 417 (2002) 722.
- 73 Kubatkin, S., A. Danilov, M. Hjort, J. Cornil, J. L. Bredas, N. Stuhr-Hansen, P. Hedegard, Th. Bjornholm, "Single-electron transistor of a single organic molecule with access to several redox states," *Nature*. 425 (2003) 698-701.
- 74 Pasupathy, A. N., J. Park, C. Chang, A. V. Soldatov, S. Lebedkin, R. C. Bialczak, J. E. Grose, L. A. K. Donev, J. P. Sethna, D. C. Ralph, P. L. McEuen. "Vibration-Assisted Electron Tunneling in C140 Transistors," *Nanoletters*. 5 (2005) 203.
- 75 Yasutake, Y., Z. Shi, T. Okazaki, H. Shinohara, Y. Majima. "Single Molecular Orientation Switching of an Endohedral Metallofullerene," *Nanoletters*. 5 (2005) 1057.
- 76 Xu, B. Q., X. L. Li, X. Y. Xiao, H. Sakaguchi, N. J. Tao. "Electromechanical and Conductance Switching Properties of Single Oligothiophene Molecules," *Nanoletters*. 5 (2005) 1491.
- 77 Chen, J., M. Reed, A. M. Rawlett, J. Tour. "Large On-Off Ratios and Negative Differential Resistance in a Molecular Electronic Device," *Science*. 286 (1999) 1550.
- 78 Chen, Y., D. A. A. Ohlberg, X. Li, D. R. Stewart, R. S. Williams, J. O. Jeppesen, K. A. Nielsen, J. F. Stoddart, D. L. Olynick, E. Anderson. "Nanoscale molecular-switch devices fabricated by imprint lithography," *Applied Physics Letters*. 82 (2003) 1610.
- 79 Stewart, D. R., D. A. A. Ohlberg, P. A. Beck, Y. Chen, R. S. Williams. "Molecule-Independent Electrical Switching in Pt/Organic Monolayer/Ti Devices," *Nanoletters*. 4 (2004) 133.
- 80 Tour, J. M., L. Cheng, D. P. Nackashi, Y. Yao, A. K. Flatt, S. K. St. Angelo, Th. E. Mallouk, P. D. Franzon. "NanoCell Electronic Memories," *Journal of the American Chemical Society*. 125 (2003) 13279.
- 81 Snider, G., P. Kuekes, T. Hogg, and R. S. Williams. "Nanoelectronic architectures," *Applied Physics*. 80 (2005) 1183.
- 82 Kuekes, Ph. J., D. R. Stewart, R. S. Williams. "The crossbar latch: Logic value storage, restoration, and inversion in crossbar circuits," *Journal of Applied Physics*. 97 (2005) 034301.
- 83 Allwood, D.A., G. Xiong, M. D. Cooke, C. C. Faulkner, D. Atkinson, N. Vernier, R. P. Cowburn. "Submicrometer ferromagnetic NOT gate and shift register," *Science*. 296 (2002) 2003-2006.
- 84 Cowburn, R. P. and M. E. Welland. "Room Temperature Magnetic Quantum Cellular Automata," *Science*. 287 (2000) 1466-1468.
- 85 Parish, M. C. B. and M. Forshaw. "Physical constraints on magnetic quantum cellular automata," *Applied Physics Letters*. 83.10 (2003) 2046-2048.

- 86 Datta S. and B. Das. "Electronic analog of the electro-optic modulator," *Applied Physics Letters*. 56 (1990) 665.
- 87 Zutic, I. et.al. "Spintronics-Fundamentals and Applications," *Rev Mod. Phys.* 76.2 ( 2004) 323.
- 88 Sugahara, S. and M. Tanaka. n.t., *Applied Physics Letters*. 84.13 (2004) 2307-2309.
- 89 Bauer, G. E. W., A. Brataas, Y. Tserkovnyak, B. J. van Wees. "Spin Torque Transistor," *Applied Physics Letters*. 82.22 (2003) 3928-3930.
- 90 Nikonov, D. E., G. I. Bourianoff. "Spin-Gain Transistor in ferromagnetic semiconductors-the semiconductor Bloch-equations approach," *IEEE Transactions On Nanotechnology*. 4.2 (2005) 206-214.
- 91 Ohno, H., D. Chiba, F. Matsukura, T. Omiya, E. Abe, T. Dietl, Y. Ohno, and K. Ohtani. "Electric-field control of ferromagnetism," *Nature*. 408 (2000) 944-946.
- 92 Richter, R., H. Boeve, L. Bar, J. Bangert, G. Rupp, G. Reiss, J. Wecker. "Field programmable spin-logic realized with tunneling magneto resistance devices," *Solid State Electronics*. 46 (2002) 639.
- 93 Carter, N.T., N. S. P. Ferrera. "Reconfigurable magneto electronic circuits for threshold logic," *International Journal of Circuit Theory and Application*. 32.5 (2004) 363-382.
- 94 Rabey, J. *Digital Integrated Circuits*. Upper Saddle River, NJ:Prentice Hall, 1996, 190-202.

## EMERGING RESEARCH MATERIALS

- 95 Li, Y., D. Mann, M. Rolandi, W. Kim, A. Ural, S. Hung, A. Javey, J. Cao, D. Wang, E. Yenilmez, Q. Wang, J. F. Gibbons, Y. Nishi, and H. Dai. "Preferential Growth of Semiconducting Single-Walled Carbon Nanotubes by a Plasma Enhanced CVD Method," *Nanoletters*. 4 (2004) 317-321.
- 96 Kong, J., N. R. Franklin, C. Zhou, M. G. Chapline, S. Peng, K. Cho, and H. Dai. "Nanotube molecular wires as chemical sensors," *Science*. 287, 2000, 622-625.
- 97 Auvray, S., J. Borghetti, M. F. Goffman, A. Filoramo, V. Derycke, J. P. Bourgoin, and O. Jost. "Carbon nanotube transistor optimization by chemical control of the nanotube-metal interface," *Applied Physics Letters*. 84 (2004) 5106-5108.
- 98 Chen, J., C. Klinke, A. Afazali, and P. Avourisb. "Self-aligned carbon nanotube transistors with charge transfer doping," *Applied Physics Letters*. 86 (2005) 123108.
- 99 Sharma, S., T. I Kamins, and R. S. Williams. "Diameter control of Ti-catalyzed silicon nanowires," *Journal of Crystal Growth*. 267 (2004) 613-618.
- 100 Islam, M., S. Sharma, T. I. Kamins, R. S. Williams. "A novel interconnection technique for manufacturing silicon nanowire devices," *Applied Physics*. 80 (2005) 1133-1141.
- 101 Zhang, Y., A. Chan, J. Cao, Q. Wang, W. Kim, Y. Li, N. Morris, E. Yenilmez, J. Kong, and H. Dai. "Electric-field-directed growth of aligned single walled carbon nanotubes," *Applied Physics Letters*. 79 (2001) 3155-3157.
- 102 Islam, M., S. Sharma, T. I. Kamins, R. S. Williams. "A novel interconnection technique for manufacturing silicon nanowire devices," *Applied Physics*. 80 (2005) 1133-1141.
- 103 Melosh, N. A., A. Boukai, F. Diana, B. Gerardot, A. Bandolato, P.M. Petroff, and J.R. Heath, "Ultrahigh-Density Nanowire Lattices and Circuits," *Science*. 300 (2003) 112-115.
- 104 Beckman, R. A., E. Johnson-Halperin, N.A. Melosh, Y. Luo, J. E. Green, and J. R. Heath. "Fabrication of conducting Si nanowire arrays," *Journal of Applied Physics*. 96 (2004) 5921-5923.
- 105 Stewart, D. R., D. A. A. Ohlberg, P. A. Beck, Y. Chen, and R. S. Williams. "Molecule-Independent Electrical Switching in Pt/Organic Monolayer/Ti Devices," *Nanoletters*. 4 (2004) 133.
- 106 Tour, J. M., L. Cheng, D. P. Nackashi, Y. Yao, A. K. Flatt, S. K. St. Angelo, Th. E. Mallouk, and P. D. Franzon. "NanoCell Electronic Memories," *Journal of the American Chemical Society*. 125 (2003) 13279.
- 107 Kushmerick, J. G., D. B. Holt, S. K. Pollack, M. A. Ratner, J. C. Yang, T. L. Schull, J. Naciri, M. H. Moore, and R. Shashindhar. "Effect of Bond-Length Alternation in Molecular Wires," *Journal of the American Chemical Society*. 124 (2002) 10654-10655.
- 108 Reed, M. A., J. Chen, A. M. Rawlett, D. W. Price, and J. M. Tour. "Molecular random access memory cell," *Applied Physics Letters*. 78 (2001) 3735-3737.
- 109 Wu, W., G. Y. Jung, D. L. Olynick, J. Straznicky, Z. Li, X. Li, D. A. A. Ohlberg, Y. Chen, S. Y. Wang, J. A. Liddle, W. M. Tong, and R. S. Williams. "One-kilobit cross-bar molecular memory circuits at 30-nm half-pitch fabricated by nanoimprint lithography," *Applied Physics*. 80 (2005) 1173-1178.
- 110 Kushmerick, J. G., D. B. Holt, S. K. Pollack, M. A. Ratner, J. C. Yang, T. L. Schull, J. Naciri, M. H. Moore, and R. Shashindhar. "Effect of Bond-Length Alternation in Molecular Wires," *Journal of the American Chemical Society*. 124 (2002) 10654-10655.
- 111 Kushmerick, J. G., D. B. Holt, J. C. Yang, J. Naciri, M. H. Moore, and R. Shashindhar. "Metal-Molecule Contacts and Charge Transport across Monomolecular Layers: Measurement and Theory," *Phys. Rev. Lett.* 89 (2002) 086801-1-086801-4.
- 112 Piva, P. G., G. A. DiLabio, J. L. Pitters, J. Zikovski, M. Rezeq, S. Dogel, W. A. Hofer, and R. A. Wolkow. "Field regulation of single-molecule conductivity by a charged surface atom," *Nature*. 435 (2005) 658-661.
- 113 Zhou C., M. R. Deshpande, M. A. Reed, L. Jones, and J. M. Tour. "Nanoscale metal/self-assembled monolayer/metal heterostructures," *Applied Physics Letters*, Vol. 71, 1997, 611-613.



- 114 Reed, M. A., J. Chen, A.M. Rawlett, D.W. Price, and J.M. Tour, "Molecular random access memory cell," *Applied Physics Letters*. 78 (2001) 3735-3737.
- 115 Chen, Y., D. A. A. Ohlberg, X. Li, D. R. Stewart, R. S. Williams, J. O. Jeppesen, K. A. Nielsen, J. F. Stoddart, D. L. Olynick, and E. Anderson. "Nanoscale molecular-switch devices fabricated by imprint lithography," *Applied Physics Letters*. 82 (2003) 1610-1612.
- 116 D. R. Stewart, D. A. A. Ohlberg, P. A. Beck, Y. Chen, and R. S. Williams, "Molecule-Independent Electrical Switching in Pt/Organic Monolayer/Ti Devices," *Nanoletters*. 4 (2004) 133.
- 117 Piva, P. G., G. A. DiLabio, J. L. Pitters, J. Zikovski, M. Rezeq, S. Dogel, W. A. Hofer, and R. A. Wolkow, "Field regulation of single-molecule conductivity by a charged surface atom," *Nature*. 435 (2005) 658-661.
- 118 Lopinski, G. P., D. D. M. Wayner, and R. A. Wolkow. "Self-directed growth of molecular nanostructures on silicon," *Nature*. 406 (2000) 48-51.
- 119 Flatt, A. K., B. Chen, J. M. Tour. "Fabrication of Carbon Nanotube-Molecule-Silicon Junctions," *Journal of the American Chemical Society*. 127 (2005) 8918-8919.
- 120 Wang, W., T. Lee, I. Kretzschmar, and M. A. Reed. "Inelastic Electron Tunneling Spectroscopy on an Alkanedithiol Self-Assembled Monolayer," *Nanoletters*. 4 (2004) 643-646.
- 121 Richter, C. A., D. R. Stewart, D. A. A. Ohlberg, and R. S. Williams. "Electrical characterization of Al/AlOx/molecule/Ti/Al devices," *Appl. Phys. A: Materials Science and Processing*, 80 (2005) 1355-1362.
- 122 Piva, P. G., G. A. DiLabio, J. L. Pitters, J. Zikovski, M. Rezeq, S. Dogel, W. A. Hofer, and R. A. Wolkow, "Field regulation of single-molecule conductivity by a charged surface atom," *Nature*. 435 (2005) 658-661.
- 123 Reed, M. A. "Molecular-Scale Electronics," *Proceedings of the IEEE*. 87 (1999) 652-658.
- 124 Getty, R. R., R. Alvarez, D. A. Bonnell, K. G. Sharp. "Surface potential mapping of patterned self-assembled monolayers by scanning probe microscopy," in: *Nanostructured Interfaces. Symposium, MRS Symposium Proceedings*. 727 (2002) 155-60.
- 125 Freitag, M., A. T. Johnson, S. V. Kalinin, and D. A. Bonnell. "Role of Single Defects in Electronic Transport through Carbon Nanotube Field Effect Transistors," *Phys. Rev. Lett.* 98 (2002) 216801-1-216801-4.
- 126 Rashba, E. I. "Theory of electrical spin injection: Tunnel contacts as a solution of the conductivity mismatch problem," *Phys. Rev. B*. 62 (2000) R16 267-R16-270.
- 127 Fert, A. and H. Jaffres. "Conditions for efficient spin injection from a ferromagnetic metal into a semiconductor," *Phys. Rev. B*. 64 (2001) 184420-1-184420-9.
- 128 Jiang, X., R. Wang, R. M. Shelby, R. M. Macfarlane, S. R. Bank, J. S. Harris, and S. S. P. Parkin. "Highly Spin-Polarized Room-Temperature Tunnel Injector for Semiconductor Spintronics using MgO(100)," *Phys. Rev. Lett.* 94 (2005) 056601-1-056601-4.
- 129 Hanbicki, A. T., B. T. Jonker, G. Itkos, G. Kioseoglou, and A. Petrou. "Efficient electrical spin injection from a magnetic metal tunnel barrier contact into a semiconductor," *Applied Physics Letters*. 80 (2002) 1240-1242.
- 130 Hanbicki, A. T., O. M. J. van't Erve, R. Magno, G. Kioseoglou, C. H. Li, B. T. Jonker, G. Itkos, R. Mallory, M. Yasar, and A. Petrou. "Analysis of the transport process providing spin injection through an FeO-AlGaAs Schottky barrier," *Applied Physics Letters*. 82 (2003) 4072-4094.
- 131 Erwin, S. C. and I. Zutic. "Tailoring ferromagnetic chalcopyrites," *Nature Materials*. 3 (2004) 410-414.
- 132 Chen, H., J. J. Heremans, J. A. Peters, A. O. Govorov, N. Goel, S. J. Chung, and M. B. Santos. "Spin-polarized reflection in a two-dimensional electron system," *Applied Physics Letters*. 86 (2005) 032113-1- 032113-3.
- 133 Kimura, T., S. Ishihara, H. Shintani, T. Arima, K. T. Takahashi, K. Ishizaka, and Y. Tokura. "Distorted perovskite with  $e_g^1$  configuration as a frustrated spin system," *Phys. Rev. B*. 68 (2003) 060403-1-060604-4.
- 134 Saitoh, E., S. Okamoto, K. T. Takahashi, K. Tobe, K. Yamamoto, T. Kimura, S. Ishihara, S. Maekawa, and Y. Tokura. "Observation of orbital waves as elementary excitations in a solid," *Nature*. 410 (2001) 180-183.
- 135 *Colossal Magnetoresistive Oxides*. Ed. Y. Tokura. London: Gordon and Breach, 2000.
- 136 Kimura, T., G. Lawes, and A. P. Ramirez. "Electric Polarization Rotation in a Hexaferrite with Long-Wavelength Magnetic Structures," *Phys. Rev. Lett.* 94 (2005) 137201-1-137201-4.
- 137 Kimura, T., S. Ishihara, H. Shintani, T. Arima, K. T. Takahashi, K. Ishizaka, and Y. Tokura. "Distorted perovskite with  $e_g^1$  configuration as a frustrated spin system," *Phys. Rev. B* 68 (2003) 060403-1-060604-4.
- 138 Saitoh, E., S. Okamoto, K. T. Takahashi, K. Tobe, K. Yamamoto, T. Kimura, S. Ishihara, S. Maekawa, and Y. Tokura. "Observation of orbital waves as elementary excitations in a solid," *Nature*. 410 (2001) 180-183.
- 139 Zheng, H., J. Wang, S. E. Lofland, Z. Ma, L. Mohaddes-Ardabili, T. Zhao, L. Salamanca-Riba, S. R. Shinde, S. B. Ogale, F. Bai, D. Viehland, Y. Jia, D. G. Schlom, M. Wuttig, A. Roytburd, and R. Ramesh. "Multiferroic BaTiO<sub>3</sub>-CoFe<sub>2</sub>O<sub>4</sub> Nanostructures," *Science*. 303 (2004) 661-663.
- 140 Migita, S., Y. Kasai, H. Ota, and S. Sakai. "Self-limiting process for the bismuth content in molecular beam epitaxial growth of Bi<sub>2</sub>Sr<sub>2</sub>CuO<sub>y</sub> thin films," *Applied Physics Letters*. 71 (1997) 3712-3714.
- 141 Schlom, D. G., J. H. Haeni, J. Lettieri, C. D. Theis, W. Tian, J. C. Jiang, X. Q. Pan. "Oxide nano-engineering using MBE," *Mat. Sci. Eng B* 87 (2001) 282-291.
- 142 Biswas, A., M. Rajeswari, R. C. Srivastava, Y. H. Li, T. Venkatesan, R. L. Greene, and A. J. Millis. "Two-phase behavior in strained thin films of hole-doped manganites," *Phys. Rev. B* 61 (2000) 9665-9668.
- 143 Nagaraj, B., S. Aggarwal, and R. Ramesh, "Influence of contact electrodes on leakage characteristics in ferroelectric thin

films,” *J. Appl. Phys.* 90 (2001) 375-382.

- 144 Zheng, H., J. Wang, S. E. Lofland, Z. Ma, L. Mohaddes-Ardabili, T. Zhao, L. Salamanca-Riba, S. R. Shinde, S. B. Ogale, F. Bai, D. Viehland, Y. Jia, D. G. Schlom, M. Wuttig, A. Roytburd, R. Ramesh. “Multiferroic BaTiO<sub>3</sub>-CoFe<sub>2</sub>O<sub>4</sub> Nanostructures,” *Science*. 303 (2004) 661-663.
- 145 Eckstein, J. N., I. Bosovic, D. S. Schlom, and J. E. Harris. “Growth of untwined Bi<sub>2</sub>Sr<sub>2</sub>Ca<sub>2</sub>Cu<sub>3</sub>O<sub>x</sub> thin films by atomic layer epitaxy,” *Applied Physics Letters*. 57 (1990) 1049-1051.
- 146 Kimura, T., G. Lawes, and A. P. Ramirez, “Electric Polarization Rotation in a Hexaferrite with Long-Wavelength Magnetic Structures,” *Phys. Rev. Lett.* 94 (2005) 137201-1–137201-4.
- 147 *Colossal Magnetoresistive Oxides*. Ed. Y. Takura. London:Gordon and Breach, 2000.

## ARCHITECTURES

- 148 *Nanoelectronics and Information Technology*. Ed. R. Waser. 1<sup>st</sup> Ed., Wiley-VCH, 2003, (ISBN 3-527-40363-9), 321.
- 149 Depledge, P. G. “Fault-tolerant Computer Systems,” *IEEE Proc.* 128 (1981) 257-272.
- 150 Sadek, A. S., K. Nikolic and M. Forshaw. “Parallel information and computation with restitution for noise-tolerant nanoscale logic networks,” *Nanotechnology*. 15 (2004) 192-210.
- 151 Maiz, J., S. Hareland, K. Zhang and P. Armstrong. “Characterisation of multi-bit soft error events in advanced SRAMs,” *Tech. Digest IEDM*, (2003) 519-522.
- 152 Bakshi, P., D. A. Broido and P. Kempa. “Spontaneous polarization of electrons in quantum dashes,” *Journal of Applied Physics*. 70 (1991) 5150-5152.
- 153 Chowdhury, V. P., D. B. Janes, S. Babdyopadhyay, and X. Wang. “Collective computational activity in self-assembled arrays of quantum dots: a novel neuromorphic architecture for nanoelectronics,” *IEEE Trans. Electr. Dev.* 43 (1996) 1688-1696.
- 154 Toth, G., C. S. Lent, P. D. Tougaw, Y. Brazhnik, W. W. Weng, W. Porod, R. W. Liu and Y. F. Huang. “Quantum Cellular Neural Networks,” *Superlattices and Microstructures*. 20.4, (1996) 473-478.
- 155 Surgay, A. I. “Signal processing with near neighbor coupled time varying quantum dot arrays,” *IEEE Trans. Circuits and Systems*. 47 (2000) 1212-1217.
- 156 Cowburn, R. and M. Welland. “Room-temperature magnetic quantum cellular automata,” *Science*. 287 (2000) 1466-1468.
- 157 Parish, M. C. B. and M. Forshaw. “Physical constraints on magnetic quantum cellular automata,” *Applied Physics Letters*. 83 (2003) 2046-2048.
- 158 Isaksen, B. and C. Lent. “An architecture for molecular computing using quantum-dot cellular automata,” *Proc. IEEE 3<sup>rd</sup> Conf. On Nanotech. IEEE-NANO’03*. (2003) 402-405.
- 159 Türel, Ö., J. H. Lee, X. Ma, and K. Likharev. “Neuromorphic architectures for nanoelectronic circuits,” *Int. J. Circuit Theory and Applications*, 32 (2004) 277-302.
- 160 Yang, T., R. A. Kiehl and L. O. Chua. “Tunneling Phase Logic Cellular Nonlinear Networks,” *Int. J. of Bifurcation and Chaos in Applied Sci. and Eng.* 11 (2001) 2895-2911.
- 161 Li, T. and R. A. Kiehl. “Operating Regimes for Multivalued Single-Electron Tunneling Phase Logic,” *J. App. Phys.* 93 (2003) 9291-9297.
- 162 Heath, J. R., et al. “A Defect Tolerant Computer Architecture: Opportunities for Nanotechnology,” *Science*. 280 (1998) 1716.
- 163 Palm, G., F. Schwenker, F. T. Sommer, A. Strey, “Neural Associative Memories” in *Associative Processing and Processors*, Eds. A. Krikelis and C.C. Weems. IEEE Computer Society, Los Alamitos, CA, 1997, 307-326.
- 164 Laughlin, S., R. van Steveninck, and J. C. Anderson. “The metabolic cost of neural computation,” *Nature Neurosci.* 1 (1998) 36-41.
- 165 Churchland, P. S. and T. J. Sejnowski. *The Computational Brain*. The Mit Press:Cambridge, MA, 1992, ISBN 0-262-03188-4.
- 166 Sarpeshkar, R. “Analog versus digital: extrapolating from electronics to neurobiology,” *Neural Computation*. 10 (1998) 1601-1638.
- 167 Türel, Ö., J. H. Lee, X. Ma, and K. Likharev. “Neuromorphic architectures for nanoelectronic circuits,” *Int. J. Circuit Theory and Applications*. 32 (2004) 277-302.
- 168 Quantum Information Science and Technology Roadmapping Project (qist.lanl.gov) 2005.
- 169 Stein, K.-U. “Noise-induced error rate as limiting factor for energy per operation in digital IC’s,” *IEEE J. Solid-State Circ.* 12 (1978) 527-530.
- 170 Kish, L. B. “End of Moore’s Law: thermal (noise) death of integration in micro and nano electronics,” *Phys.Lett.* 305 (2003) 144-149.
- 171 Zhirnov, V. V., R. K. Cavin III, J. A. Hutchby and G. I. Bourianoff. “Limits to binary logic switch scaling—a gedanken model,” *Proc. IEEE 91*, (2003) 1934-1939.
- 172 Forshaw, M., R. Stadler, D. Crawley, and K. Nikolic. “A short review of nanoelectronic architectures,” *Nanotech.* 15 (2004) S220-S223.

- Kim, S., C. H. Ziesler, and M. C. Papaefthymiou. "Charge-Recovery Computing on Silicon," *IEEE Trans. Comput.* 54 (2005) 651-659.
- Landauer, R. "Uncertainty principle and minimal energy-dissipation in the computer," *Intern. J. Theoret. Phys.* 21 (1982) 283-297.
- Athas, W. C., L. J. Swensson, J. G. Koller and N. Tzartzanis. "Low-power digital systems based on adiabatic-switching principles," *IEEE Trans. VLSI Syst.* 2 (1994) 398-407.
- W. Porod, W., R. O. Grondin, D. K. Ferry, and G. Porod. "Dissipation in Computation," *Phys. Rev. Lett.* 52.3 (1984) 232-235.
- D. G. Jablonski. "A heat engine model of a reversible computation," *Proc. IEEE.* 78.5 (1990) 817-825.
- Cavin, R. K., V. V. Zhirnov, J. A. Hutchby, and G. I. Bourianoff. "Energy Barriers, Demons, and Minimum Energy Operation of Electronic Devices," *Proc. SPIE.* 5844 (2005) 1-9.
- Rueckes, P., K. Kim, E. Joselevich, G. Y. Tseng, C.-L. Cheung and C. M. Lieber. "Carbon nanotube-based nonvolatile random access memory for molecular computing," *Science.* 289 (2000) 94-97.
- Bachtold, A., P. Hadley, T. Nakanishi, and C. Dekker. "Logic circuits with carbon nanotube transistors," *Science.* 294 (2001) 1317-1320.
- Huang, Y., X. Duan, Q. Wei, and C. M. Lieber. "Directed assembly of one-dimensional nanostructures into functional networks," *Science.* 291 (2001) 630-633.
- Goldstein, S. C. and M. Budiu. "Nanofabrics: spatial computing using molecular nanoelectronics," *Proc. 28<sup>th</sup> Int. Symp. Computer Architecture.* (2001) 178-189.
- Luo, Y., et al. "Molecular-based electronically switchable tunnel junction devices," *Journal of the American Chemical Society.* 123 (2001) 12632-12641.
- Chen, Y., G.-Y. Jung, D. A. A. Ohlberg, X. Li, D. R. Stewart, J. O. Jepperwsen, K. A. Nielsen, J. F. Stoddart, and R. S. Williams. "Nanoscale molecular-switch crossbar circuits," *Nanotechnology.* 14 (2003) 462-468.
- Tour, J. M., V. Zandt, C. Husband, E. Libby, D. Ruths, K. Young, L. Wilson, P. Franzon and D. Nackashi, "Nanocell logic gates for molecular computing," *IEEE Trans. Nano.* 2002.
- Zhong, Z., D. Wang, Y. Cui, M. Bockrath, and C.M. Lieber. "Nanowire crossbar arrays as address decoders for integrated nanosystems," *Science.* 302 (2003) 1377-1379.
- Melosh, N. A., A. Boukai, F. Diana, B. Gerardot, A. Badalato, P. M. Petroff and J. R. Heath, "Ultrahigh-density nanowire lattices and circuits," *Science.* 300 (2003) 112-115.
- Türel, Ö, J. H. Lee, X. Ma, and K. K. Likharev. "Nanoelectronic neuromorphic networks (CrossNets)," *IJCNN 2004.* (2004) 389-394.
- Snider, G., P. Kueckes, and R. S. Williams. "CMOS-like logic in defective, nanoscale crossbars," *Nanotechnology.* 15 (2004) 881-891.
- KleinOsowski, A. J. and D. J. Lilja. "The NanoBox Project: exploring fabrics of self-correcting logic blocks for high defect rate molecular device technologies," *IEEE Computer Society Annual Symposium on VLSI.* (2004) 19-24.
- Beiu, V. "A novel highly reliable low-power nano architecture when von Neumann augments Kolmogorov," *IEEE J. C. Application-Specific Systems, Architectures and Processors 2004.* (2004) 167-177.
- Naeimi, H. and A. DeHon. "A greedy algorithm for tolerating defective crosspoints in NanoPLA design," *ICFpt 2004* (2004) 49-56.
- Jin, S., D. Whang, M. C. McAlpine, R. S. Friedman, Y. Wu, and C. M. Lieber. "Scalable interconnection and integration of nanowire devices without registration," *Nanoletters.* 4 (2004) 915-919.
- DeHon, A. "Nonlithographic nanoscale memory density prospects," *IEEE Trans. Nano.* 4 (2005) 215-228.
- Kueckes, P., D. R. Stewart, and R. S. Williams. "The crossbar latch: logic value storage, restoration and inversion in crossbar circuits," *Journal of Applied Physics.* 97 (2005), 034301-1-034301-5.
- Strukov, B. and K. K. Likharev. "CMOL FPGA: a reconfigurable architecture for hybrid digital circuits with two-terminal devices," *Nanotechnology.* 16 (2005) 888-900.
- Nakajima, F., Y. Miyoshi, J. Motohisha, and T. Fukui. "Single-electron AND/NAND logic circuits based on a self-organised dot network," *Applied Physics Letters.* 83 (2005) 2680-2682.
- Snider, G., P. Kuekes, T. Hogg, and R. S. Williams. "Nanoelectronic architectures," *Appl. Phys.A.* 80 (2005) 1183-1195.

## EMERGING TECHNOLOGIES

- Würthner, F. "Plastic Transistors Reach Maturity for Mass Applications in Microelectronics," *Angew. Chem. Int. Ed.* 40 (2001) 1037-1039.
- Dimitrakopoulos, C. D., S. Purushothaman, J. Kymissis, A. Callegari, J. M. Shaw. "Low-voltage Organic Transistors on Plastic Comprising High-dielectric Constant Gate Insulators," *Science.* 283 (1999) 822-824.
- Kane, M. G., J. Campi, M. S. Hammond, F. P. Cuomo, B. Greening, C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, L. Jia, H. Klauk, T. N. Jackson. "Analog and Digital Circuits using Organic Thin-Film Transistors on Polyester Substrates," *IEEE Electron. Dev. Lett.* 21 (2000) 534-536.
- Xu, J. M. "Plastic Electronics and Future Trends in Microelectronics," *Synthetic Metals.* 115 (2000) 1-3.
- Forrest, S., P. Burrows, and M. Thompson. "The Dawn of Organic Electronics," *IEEE Spectrum,* (2000) 29-34.

- 204 Caulfield, H. J., “Perspectives in Optical Computing,” *Computer* (1998) 22–25.
- 205 Drexler, K. Eric. *Nanosystems: Molecular Machinery, Manufacturing and Computation*. John Wiley and Sons, Inc: New York, NY, 1992.
- 206 Despont, M., J. Brugger, U. Drechsler, U. Düring, W. Haberle, M. Lutwyche, H. Rothuizen, R. Stutz, R. Widmer, G. Binnig, H. Rohrer, and P. Vettiger. “VLSI-NEMS Chip for Parallel AFM Data Storage,” *Sensors and Actuators*. 80 (2000) 100–107.
- 207 Block, K., K. Track, and M. Rowell. “Superconducting ICs: the 100 GHz Second Generation,” *IEEE Spectrum*, (2000) 40–46.
- 208 Ayres, R. U. *Information, Entropy, and Progress*. AIP Press: New York, NY, 1994.
- 209 *Nanoelectronics and Information Technology*. Ed. Rainer Waser. Wiley-VCH, 2003. 350.
- 210 Aiello, L. C. and P. Wheeler. “The Expensive-tissue Hypothesis: The Brain and the Digestive System in Human and Primate Evolution,” *Current Anthropology*. 36 (1995) 199–221.
- 211 Zhirnov, V. V., R. K. Cavin, J. A. Hutchby, and G. I. Bourianoff, “Limits to Binary Logic Switch Scaling—A Gedanken Model,” *Proc. IEEE* (2003) 1934–1939.