

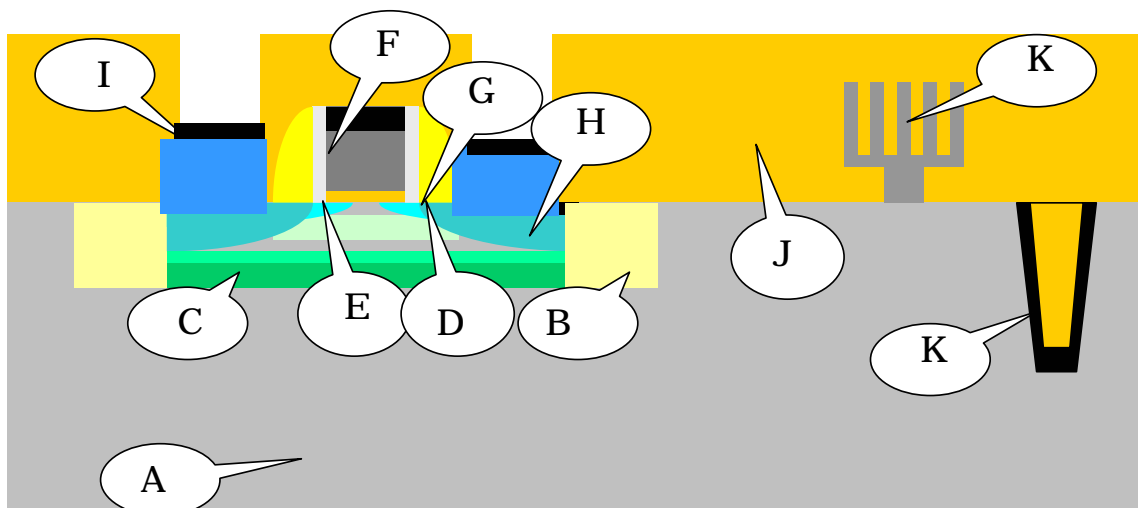
フロントエンドプロセス

概要

フロントエンドプロセス(FEP)のロードマップは、微細化電界効果トランジスタ(MOSFET)、DRAM(Dynamic Random Access Memory)キャパシタ、フラッシュ、強誘電体RAM(FeRAM: ferroelectric RAM)などのデバイスにおいて将来必要となるプロセスの技術的要求と解決策候補に焦点をあわせている。この章の目的は、上であげたデバイスのキーとなるフロントエンドのウェーハ製造技術・材料について、包括的な将来的要求と解決策候補を明確にすることである。そのため、このロードマップは装置、材料、個々のプロセス、統合プロセスに関し、最初のシリコンウェーハからコンタクトのシリサイド化工程までを含んでいる。具体的には次の技術領域を取り扱った。即ち、MOSFET のための「スターティングマテリアル(Starting Materials)」、「表面処理 (Surface Preparation)」、「熱処理/薄膜プロセス(Thermal/Thin Films)」、「浅いトレンチ素子分離(STI: Shallow Trench Isolation)」および「ドーピング (Doping)」、また FEP の「プラズマエッチング (Plasma Etching)」である。更に、「スタック型およびトレンチ型 DRAM キャパシタ (DRAM Stack and Trench Capacitors)」、「フラッシュメモリゲート構造 (Flash Memory Gate Structure)」、「FeRAM 記憶デバイス (FeRAM Storage Devices)」のプロセスと材料についても言及した。

微細化していく上で必要な技術的要求と解決策候補についての予測は、それぞれの技術領域に提示してある。技術的要求予測の表は、特に注釈のない限り、モデルを基にしたものである。ここで示した解決策候補は、可能性のある解決策の既知の例を比較するために示したものであり、他の研究者や興味のある団体向けに提示している。ここで示した解決策候補だけがアプローチであるとは考えないでいただきたい。実際、革新的で新規な解決策が技術的要求表の赤で示した領域で求められている。

FEPに関連したいくつかの話題は、このロードマップの他の章でも取り上げられている。FEPの技術的要求につながる微細化デバイスの性能・構造の予測は、「プロセスインテグレーション、デバイス、および構造 (Process Integration, Devices, and Structures(PIDS))」の章に示されている。銅配線/低誘電率絶縁膜のためのクリーニングと表面処理、トレンチ分離に用いられるプラズマエッチングと CMP (化学機械研磨: Chemical Mechanical Polish)の懸案事項は、配線の懸案事項と重複するため、「配線 (Interconnect)」の章に示されている。FEP と他の分野が関連する要求事項は、「歩留り向上(Yield Enhancement)」、「計測 (Metrology)」、「環境、安全、健康 (Environment, Safety, & Health)」、「モデリング&シミュレーション (Modeling & Simulation)」の章で記述されている。FEP 分野の半導体工場への技術的要求は「ファクトリインテグレーション (Factory Integration)」の章で記述されている。



A: Starting Material	B: Isolation
C: Well Doping	D: Channel Surface (Preparation)
E: Channel Doping and Channel Strain	F: Gate Stack (Including Flash) and Spacer
G: Extension Junction and Halo	H: Contacting Source/Drain Junction
I: Elevated Junction and Contacts	J: Premetal Dielectric
K: DRAM Stack/Trench Capacitor & FeRAM Storage	

Figure55 Front End Processes Chapter Scope

困難な技術課題(DIFFICULT CHALLENGES)

フロントエンドプロセスの主要な技術課題(GRAND CHALLENGES) – デバイスの微細化が材料に制限される時代へのフロントエンドプロセスの対応

半導体産業は、MOSFET デバイスを微細化することを主要な手段として、ムーアの法則(Moore's Law)で数値が示されている通りに、これまでに前例のないほどの生産量の増大とデバイス特性の向上を実現してきた。これは伝統的に新しいリソグラフィ技術やマスク、フォトレジスト材料および微細エッチングプロセスの開発により進められてきたといえる。これらのきわめて重要なプロセス技術の進展により、これまでにない微細な寸法で生産できるようになったにもかかわらず、ここ数年明らかに、フロントエンドプロセスの技術は着実には進まなくなり、微細化されたデバイスは性能を制限されたものとなっている。この問題でもっとも重要なことは、伝統的なトランジスタとキャパシタの形成材料であるシリコン、シリコン酸化膜およびポリシリコンが根本的な材料の限界に追いやられ、継続的な微細化には新しい材料の導入が必要になったという事実である。デバイスの微細化が材料に制限される時代となっている。

デバイスの微細化が材料に制限されており、シリコンウェーハから始まって基本的なプレーナ型 CMOS の構成要素やメモリのストレージ構造を含むほとんどすべてのフロントエンドの材料とユニットプロセスに新たなことが要求されるようになった。さらに、プレーナ型バルク CMOS は数年以内に明らかに終わりになりつつある。結果として、従来と違った MOSFET やプレーナ型完全空乏 SOI (Silicon-on-Insulator) デバイスやバーティカル構造の持つデュアルゲート、マルチゲートデバイスのような代替デバイスを使った CMOS 技術を生み出す準備を

しなければならない。代替デバイスについては **emerging research devices** の節で言及する。これらは早ければ 2008 年には必要になると思われる。これらのさまざまな新材料に関するチャレンジとこれらの材料に関わる物理的界面の制御は、Table66 に纏めたフロントエンドプロセスの困難な技術課題の中心テーマである。

MOSFET のゲートスタック以上に明確で急を要する問題はない。ここに、より高誘電率の新しいゲート絶縁材料が必要とされる。この要求は、2005 年に出現すると予測されるゲート長 65nm 以下の MOSFET に関連して、ITRS 1999 の中で明らかにされていた。その間に、65nm ゲートを作成するパターンニング技術が加速し、これらは 2001 年に達成された。シリコン酸窒化ゲート絶縁膜材料はその進展と歪みによる移動度増大チャンネル構成により、**high-k** の必要な時期が先送りとなった。有望な **high-k** 候補材料が確認されているにもかかわらず、基本的な特性や信頼性の問題は、CMOS インテグレーションの問題とともに、いまだ研究中である。これらの材料が 2007 年以前に生産に入っていくかどうかは疑わしい。その間に、酸窒化ゲート絶縁材料は消費電力により制限されるリーク電流の限界に達する。従って、移動度増大と、ショートチャンネル効果を制御するために接合をより浅くする必要のあるチャンネル長の微細化だけがデバイス性能向上に提供されている。PIDS TWG で検討された基本デバイス設計の再最適化では、**high-k** 絶縁膜の採用を 2008 年まで遅らせるように、移動度増大チャンネル構造が利用された。2008 年には、オフ時消費電力が要求値を満たせば、**high-k** 絶縁膜は低消費電力及び高性能用途に必要となるであろう。ゲート絶縁膜の他を見渡せば、例えばプレーナデバイスがディープサブミクロン領域に微細化されたのと同様に、ドーパされたポリシリコンゲート材料に存在する空乏層がますますわずらわしい問題となる結果、適切な仕事関数を持つデュアルメタルゲートも 2008 年には現在の CMOS 技術の要であるデュアルドーパポリシリコンゲートを置き換えるために必要となる。

Table 66a Front End Processes Difficult Challenges—Near-term Years

Difficult Challenges ≥ 32 nm	Summary of Issues
New gate stack processes and materials	<p>Extension of oxynitride gate dielectric materials to < 1.0 nm EOT for high-performance MOSFETs, consistent with device reliability requirements</p> <p>Control of boron penetration from doped polysilicon gate electrodes while minimizing depletion of dual-doped polysilicon electrodes</p> <p>Introduction and process integration of high-κ gate stack materials and processes for high-performance, low operating and low standby power MOSFETs</p> <p>CMOS integration of enhanced channel mobility in both NMOS and PMOS devices, using local and global strained layers</p> <p>Introduction of dual metal gate electrodes with appropriate work function</p> <p>Control of silicon loss at spacer etch and gate etch needs to be much tighter on thin SOI and SiGe wafers, where the total silicon thickness is 20–50 nm</p> <p>Removal of high-κ dielectric without loss of the underlying silicon, especially in the case of SOI or non planar devices</p> <p>Metrology issues associated with gate dielectric film thickness and gate stack electrical and materials characterization</p>
Critical dimension and effective channel length (L_{eff}) control	<p>Control of gate etch processes that yield a physical gate length that is considerably smaller than the feature size printed in the resist, while maintaining $< 12\%$ overall 3-sigma control of the combined lithography and etch processes</p> <p>Control of profile shape, edge roughness, line and space width for isolated as well as closely-spaced fine line patterns</p> <p>Control of self-aligned doping processes and thermal activation budgets to achieve L_{eff} control</p> <p>Maintenance of CD and profile control throughout the transition to new gate stack materials and processes</p> <p>CD and etch metrology</p> <p>Site flatness to ensure effective lithographic printing</p>
Introduction and CMOS integration of new memory materials and processes	<p>Development and introduction of very high-κ DRAM capacitor dielectric layers</p> <p>Migration of DRAM capacitor structures from silicon-insulator-metal to metal-insulator-metal</p> <p>Integration and scaling of FeRAM ferroelectric materials</p> <p>Scaling of Flash interpoly and tunnel dielectric layers may require high-κ</p> <p>Limited temperature stability of high-κ and ferroelectric materials challenges</p> <p>CMOS Integration</p>
Surfaces and interfaces—structure, composition, and contamination control	<p>Contamination, composition, and structure control of channel/gate dielectric interface as well as gate dielectric/gate electrode interface</p> <p>Interface control for DRAM capacitor structures</p> <p>Maintenance of surface and interface integrity through full-flow CMOS processing</p> <p>Statistically significant characterization of surfaces having extremely low defect concentrations for starting materials and pre-gate clean surfaces</p> <p>Measurement of back surface particles at/near edge wafer edge (including bevel) has no solution</p> <p>Measurement and understanding of clustering of particles needs significant data to define future specification</p> <p>Little information associating back surface particles and the effect on yield</p>
Scaled MOSFET dopant introduction and control	<p>Doping and activation processes to achieve shallow source/drain regions having parasitic resistance that is less than $\sim 17\text{--}33\%$ of ideal channel resistance ($=V_{\text{dd}}/I_{\text{on}}$)</p> <p>Control of parasitic capacitance to achieve less than $\sim 23\text{--}29\%$ of gate capacitance, consistent with acceptable Ion and minimum short channel effect</p> <p>Achievement of activated dopant concentration greater than solid solubility in dual-doped polysilicon gate electrodes</p> <p>Formation of continuous self-aligned silicide contacts over shallow source and drain regions. Formation of elevated junctions and silicides on FDSOI wafers</p> <p>Metrology issues associated with 2D dopant profiling</p>

Table 66b Front End Processes Difficult Challenges—Long-term Years

Difficult Challenges < 32 nm	Summary of Issues
Continued scaling of planar CMOS devices	Higher κ gate dielectric materials including temperature constraints Metal gate electrodes with appropriate work function Sheet resistance of clad junctions CD and L_{eff} control Chemical, electrical, and structural characterization
Introduction and CMOS integration of non-standard, double gate MOSFET devices	Devices are needed starting from 2011 and may be needed as early as 2007 (this is a backup for high- κ materials and metal gates on standard CMOS) Selection and characterization of optimum device types CMOS integration with other devices, including planar MOSFETs Introduction, characterization, and production hardening of new FEP unit processes Device and FEP process metrology Increased funding of long term research Introduction of strained silicon in the structural configuration for advanced non-classical CMOS
Starting silicon material alternatives greater than 300 mm diameter require the start of wafer manufacturing development in year 2005	Need for future productivity enhancement dictates the requirement for a next generation, large silicon substrate material Historical trends suggest that the new starting material have nominally twice the area of present generation substrates, e.g., 450 mm Economies of the incumbent Czochralski crystal pulling, wafer slicing, and polishing processes are questionable beyond 300 mm; research is required for a cost-effective substrate alternative to bulk silicon If 450 mm wafers are to become available for production in 2012 as currently forecasted, wafer manufacturing is already behind schedule and must be implemented in 2005–2006 Enhanced coordination is required amongst Starting Materials, Factory Integration, Yield Enhancement and the IRC to more effectively assess the anticipated onset of 450 mm use
New memory storage cells, storage devices, and memory architectures	Scaling of DRAM storage capacitor beyond $6F^2$ Further scaling of Flash memory interpoly and tunnel oxide thickness FeRAM storage cell scaling Introduction of new memory types and storage concepts (Candidates—MRAM, phase-change memory for 2010, and single electron, molecular, nano-floating products beyond 2010)
Surface and interface structural, contamination, and compositional control	Achievement and maintenance of structural, chemical, and contamination control of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface Metrology and characterization of surfaces that may be horizontally or vertically oriented relative to the chip surface Achievement of statistically significant characterization of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface

短期では歪シリコンチャンネルを用いるといった方法により、必要とされるデバイス高速スピードを達成されると期待されている。しかし、結局は微細化にはプレーナ型 CMOS デバイスを非標準のデュアルゲートデバイス及び又は完全空乏プレーナ型デバイスで置き換えることが必要になると予測される。これらのデバイスの導入には、バルクシリコン基板を SOI 基板で置き換えたり、ダブルあるいはマルチゲートデバイスが必要であろう。バルク CMOS から非古典的デバイス構造へ置き換わりは全てのアプリケーション及び全ての LSI 製造で同時に起こるとは予想されてはいない。その代わりに、非常に多様な技術が同じ問題に関して間に合って、比較して使用されるシナリオとなる—非古典的なデバイスへ置き換えるところもあれば、バルク技術を使い続ける企業もある。

High-k 材料はスタック及びトレンチ DRAM で採用されている。DRAM スタックキャパシタはまもなく新しい MIM(metal-insulator-metal)構造のキャパシタが必要であり、2~3 年でトレンチ構造のキャパシタがこれに続く。high-k 材料はフラッシュ・メモリのポリシリコン間絶縁膜やトンネル絶縁膜にも必要になると予測される。メモリ分野では、強誘電体材料や強磁性材料がキャパシタに使用されるようになると、FeRAM や MRAM(magnetic RAM) が大量生産されるようになることも予測される。これらのさまざまな材料を製造の主流にすることは重要かつ困難な課題である。加えて、相変化メモリ (PCM: Phase change memory) デバイスも製品化されつつある。

2 フロントエンドプロセス

スターティングウェーハ分野では、バルクシリコン基板上に歪シリコンのようなさまざまな従来のシリコンに替わるものが、SOI 基板と同様に急激に増えていくことが予測される。これらはすべて FEP のプロセスアーキテクチャの変更を意味する。このロードマップの期間内に出現すると予想される重要かつ困難なチャレンジは、次世代 450 mm シリコン基板が必要になることである。ここで、現流のウェーハ表面処理の技術がコスト効率良く次世代へとスケールアップできるかどうかは疑問である。この基板がバルクシリコンなのか SOI なのかは、そして、歪シリコンが活性層材料として必要とされるのかも疑問である。代替基板材料を 2012 年にデバイス産業に使用しようとするならば、この有望な新基板を探すための卓越した研究をすぐに始める必要がある。

新しいフロントエンド材料の導入は、フロントエンドのクリーニングプロセスに影響を与えるであろう。加えて、微細化したデバイスは、ますますシャロー構造となると予想され、基板材料の除去及び表面ラフネスに対して、まったく害のないクリーニングプロセスが必要となる。また、導入されるであろう微細化した新デバイスはクリーニングに対してますます弱い構造となり、このことは使用されるクリーニングプロセスのクリーニング力を制約することになるであろう。DRAM スタックキャパシタ及びトレンチキャパシタ構造では、アスペクト比は増大し、そのためサイドウォールの汚染物除去はますます困難となるであろう。

MOSFET のゲートや DRAM のワード線とビット線のような微細加工に適用されるエッチングプロセスは、CD (Critical Dimension) やラインプロファイル形状のコントロールという点で引き続き困難な技術課題を引き起こしている。エッチング技術によって、フォトレジストに形成された寸法を超える微細な加工をするようになるに従って、これらの問題はより困難になると予想される。エッチングの節で述べるように、FEP、リソグラフィ、PIDS 及びデザイン TWG (Technology Working Group) 間の密接な協同検討は、同一の物理ゲート長を達成するためには、リソゲート長を大きくし且つエッチングトリミング量を大きくすることを結論とした。加えて、物理ゲート長ばらつきは 12% まで緩和され、エッチングとリソグラフィで取り分を再配分することで、レッドブリックの時期を 2~3 年先へ伸ばした。ゲートスタックへの新材料導入はこれらのチャレンジの本質を変えられている。

新しい材料の導入は、シリコンをドーピングし活性化するための方法に更なるチャレンジを課すと予想される。非常に浅く、高活性化された接合を形成するという微細化に課された必要性に加えて、たいいてい high-k 材料で見られる制限された熱的安定性は、ドーパント活性化に関するサーマルバジェットに新たな限界をおくものと予想される。最悪のシナリオでは、これらの材料の導入が CMOS プロセス構成に重要な影響を及ぼすことになる。

技術要求および解決策候補

スターティングマテリアル

技術要求 — Table 67a および 67b は、DRAM のような高集積メモリ、高性能 MPU 及び ASIC を生産する際に使用されるウェーハに関して、ウェーハメーカーが製造する動向を予測したものである。これらの要求は全てのウェーハに共通するパラメータに加えて鏡面、エピタキシャル、SOI ウェーハに適した特殊なパラメータも含んでいる。光学的散乱欠陥密度、サイトフラットネス、エッジ除外領域といったウェーハ特性を低コストで改善しようとする障壁が伴う。これらの障壁としては、結晶の引上げとその後の加工プロセスにおけるウェーハ製造コストと歩留りに加えて、測定器の性能と処理能力がある。そこで、Table 67a 及び 67b に示されたパラメータの動向に対して、ウェーハメーカーが実現できるかを記述したのに加え、計測技術が準備できるかを示した。左側にウェーハメーカーの実現可能性、右側に計測技術の準備状況を色分けで示した。対象は、DRAM と高性能 MPU である。

ウェーハ種類 — ITRS のスコープに含まれたすべてのデバイスに対して、これまでのシリコン基板は、CZ (Czochralski) 法の鏡面ウェーハ又はエピタキシャルウェーハに分類されていた。SOI (silicon-on-insulator) ウェーハの出荷総数は、鏡面ウェーハ又はエピタキシャルウェーハに比べれば未だ少ないが、最近になって SOI ウェーハはニッチな技術以上のものとなった。SOI ウェーハは、ロジックデバイスの高速化、低消費電力化、マルチゲートのような特殊なデバイス構造における性能向上によって、需要の大きな応用分野に使われていく機

会がある。場合によっては、プロセスの簡素化も達成される。ウェーハ種類の選択は費用対性能に強く依存している。

DRAMのような汎用デバイスでは、一般的には低コストのCZ鏡面ウェーハが用いられている。インラインでの欠陥検査で干渉を防止するためにCOP(crystal originated pits)フリーのCZ鏡面ウェーハの要求が増えている。高性能ロジックデバイスでは、ソフトウェア耐性やラッチアップ抑制のためにCZ鏡面ウェーハと比べると高価なエピタキシャルウェーハが用いられている。ラッチアップ抑制に関しては、浅いトレンチ分離(STI; shallow trench isolation)の利用やドーピング方法によって、もはや重大な要因ではなくなった。歴史的には、MPUとASIC生産に使用されるほとんどのウェーハがp/p+ウェーハ(高濃度にドーピングされた基板に軽くドーピングしたエピ層を有するウェーハ)だった。最近ではp/p-エピウェーハが多くのアプリケーションに使用されている。アニールウェーハは、表層がCOPフリーのシリコンウェーハを提供する為の手段として1990年代前半に導入され、現在、多くの最先端デバイスアプリケーションに使用されている。アニーリングは高温で水素かアルゴンのどちらかの雰囲気で行われる。また、COPを制御することは、適切に欠陥制御されたCZ成長法によっても可能である。ここで示したスターティングマテリアルの表においては、アニールウェーハと欠陥制御された(defect engineered)CZウェーハは、共に鏡面CZウェーハとして考慮した。これらのウェーハ種は、おそらく今後も広く使われていくため、Table 67aと67bにCZ鏡面ウェーハ、エピタキシャルウェーハ、およびSOIウェーハが記載されている。スターティングマテリアルの種類をさらに増大させる新規探求材料は、後に本文書内にて議論する。

パラメータの値 — ウェーハ要求仕様は、各年の各パラメータに対して最先端チップの歩留り低下が1%を超えないような値にしてある。表中の値は、限定しているわけではないが、統計的な歩留り-欠陥モデルから概ね算出されている。これらのモデルは、CD—これはDRAMのハーフピッチ(すなわち技術世代)—、ビット密度、トランジスタ密度、チップサイズのような最先端の技術パラメータを考慮している。算出された値の妥当性は限られたものであり、前提にしているモデルの的確さや予測精度は時として怪しい。ゲート酸化膜換算膜厚(EOT)、物理的なチャンネル長に象徴されるナノメートルデバイスの到来で、これらのモデルベース値に対応するのは非常に高くつくことになるし、再検討を必要とする場合もあるだろう。そのため、要求仕様を実現することで得られる効果とコストとの関係を詳細に再評価すると、適切な切口からモデルの適用限界が暗示されることになる。

2 フロントエンドプロセス

Table67a Starting Materials Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
DRAM Total Chip Area (mm ²)	88	139	110	74	117	93	74	117	93
DRAM Active Transistor Area (mm ²)	23.1	36.2	29.5	23.1	36.4	29.1	23.1	36.0	29.1
MPU High-Performance Total Chip Area (mm ²)	246	195	310	246	195	310	246	195	310
MPU High-Performance Active Transistor Area (mm ²)	25.1	20.0	31.7	25.1	20.0	31.7	25.1	20.0	31.7
General Characteristics * (99% Chip Yield) [A, B, C]									
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)**	300	300	300	300	300	300	300	450	450
Edge exclusion (mm)	2	2	1.5	1.5	1.5	1.5	1.5	1.5	1.5
Front surface particle size (nm), latex sphere equivalent [D] [E]	≥90	≥90	≥90	≥90	≥65	≥65	≥65	≥45	≥45
Particles (cm ⁻²)	≤0.35	≤0.17	≤0.18	≤0.17	≤0.16	≤0.17	≤0.17	≤0.17	≤0.17
Particles (#/wafer)	≤238	≤116	≤123	≤120	≤113	≤115	≤115	≤265	≤271
Site flatness (nm), SFQR 26 mm □ 8 mm site size [F, R]	≤80	≤70	≤65	≤57	≤50	≤45	≤40	≤35	≤32
Nanotopography, p-v, 2 mm diameter analysis area [Q]	≤20	≤18	≤16	≤14	≤13	≤11	≤10	≤9	≤8
Polished Wafer * (99% Chip Yield)									
The LLS requirement is specified for particles only; discrimination between particles and COPs is required (see General Characteristics) [D, E]									
Oxidation stacking faults (OSF) (DRAM) (cm ⁻²) [G]	≤1.39	≤1.15	≤1.03	≤0.85	≤0.71	≤0.81	≤0.52	≤0.43	≤0.37
Oxidation stacking faults (OSF) (MPU) (cm ⁻²) [G]	≤0.37	≤0.32	≤0.27	≤0.23	≤0.19	≤0.16	≤0.14	≤0.12	≤0.10
Epitaxial Wafer * (99% Chip Yield)									
Total Allowable Front Surface Defect Density is The Sum of Epitaxial Large Structural Defects, Small Structural Defects and Particles (see General Characteristics) [H, I]									
Large structural epi defects (DRAM) (cm ⁻²) [J]	≤0.011	≤0.007	≤0.009	≤0.014	≤0.009	≤0.011	≤0.014	≤0.009	≤0.011
Large structural epi defects (MPU) (cm ⁻²) [J]	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005	≤0.003
Small structural epi defects (DRAM) (cm ⁻²) [K]	≤0.023	≤0.014	≤0.018	≤0.027	≤0.017	≤0.022	≤0.027	≤0.017	≤0.022
Small structural epi defects (MPU) (cm ⁻²) [K]	≤0.008	≤0.010	≤0.006	≤0.008	≤0.010	≤0.006	≤0.008	≤0.010	≤0.006
Silicon-On-Insulator Wafer* (99% Chip Yield)[R]									
Edge exclusion (mm) ***	2	2	1.5	1.5	1.5	1.5	1.5	1.5	1.5
Starting silicon layer thickness (Partially Depleted) (tolerance ± 5%, 3σ) (nm) [L]	58–100	53–91	48–83	44–76	40–70	37–65	34–60	31–45	29–42
Starting silicon layer thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) [M]	20–36	19–34	18–33	16–30	15–29	15–28	14–27	13–15	13–15
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) [N]	48–80	42–70	38–64	34–56	30–50	26–44	24–40	22–36	18–32
D _{LASOI} , Large area SOI wafer defects (DRAM) (cm ⁻²) [O]	≤0.011	≤0.007	≤0.009	≤0.014	≤0.009	≤0.011	≤0.014	≤0.014	≤0.012
D _{LASOI} , Large area SOI wafer defects (MPU) (cm ⁻²) [O]	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	≤0.004	≤0.003
D _{SASOI} , Small area SOI wafer defects (DRAM) (cm ⁻²) [P]	≤0.218	≤0.139	≤0.170	≤0.218	≤0.138	≤0.173	≤0.218	≤0.139	≤0.173
D _{SASOI} , Small area SOI wafer defects (MPU) (cm ⁻²) [P]	≤0.200	≤0.252	≤0.159	≤0.200	≤0.252	≤0.159	≤0.200	≤0.252	≤0.159

* 各パラメータは限界値を定義している。それらは独立に歩留りを予測するパラメータであり、数学的もしくは実験的に歩留り 99%となるように値を定義していて、二つ以上のパラメータが同時に影響することはほとんどない。一般的に個別のウェーハでは、複数のパラメータが同時に限界値を取ることはなく、他のパラメータは中央付近の値を取るだろうから、結果として、全てのパラメータを考慮した場合でも、トータルの歩留りは少なくとも 99%になる。

** 表にあるウェーハ径は、各技術世代において主流のウェーハ径ではないだろうけれども、ウェーハあたりになっている値は最大ウェーハ径に対する表現になっている。450mm は黄色であって製造方法の解は知られているものの、産業界にとって経済的に受入れられ得る解がないので、その意味では簡単に赤色に成り得る。

*** それぞれの SOI ウェーハ製造方法によって固有の制限があり、それはプライムウェーハやエピウェーハとはことなるので、エッジ除外領域は SOI の節でも改めて扱う。

Meaning and Color Coding of Left Box	Meaning and Color Coding of Right Box
Technology Requirements Value and Supplier Manufacturing Capability by Color	Metrology Readiness Capability by Color
Manufacturable solutions exist, and are being optimized	Manufacturable solutions exist, and are being optimized
Manufacturable solutions are known	Manufacturable solutions are known
Manufacturable solutions are NOT known	Manufacturable solutions are NOT known

Table67a と 67b に対する注釈

[A] 表面金属は経験に基づいて 3 つのクラスに分けてある^{1,2}。(a) 1 つは可動金属で、NaやKのように洗浄で除去することが容易といえる金属であり、典型的にはEOT=1nmに対してC-Vテストによるフラットバンドシフトが 50mV程度になる限界値としてモデル化できる。(b) 続いて、Fe, Ni, Cu, Cr, Co; Al, Znのようにシリコン中に拡散するかシリサイドを作る金属、(c) 最後が、Caのように、ゲート絶縁膜の品質を悪化させる主要金属である。それぞれの金属は、これからの技術世代を通じて、最大値を $1e10$ 原子/cm²とした。炭素原子の洗浄後の表面濃度に関しては、(100)ベアSi表面を 10%被覆する(=7.3e13 原子/cm²)レベルがデバイス製造時に許容可能と仮定した。有機物/ポリマーは 0.1 分子層でモデル化され、 $1e14$ 炭素原子/cm²以下となる。表面有機物の許容レベルは、ウェーハ梱包法、Si表面が疎水性か親水性か、温度・期間・雰囲気といったウェーハ保管条件に強く依存する。

バルクSi中のFeの総量は、再結合キャリアライフタイムに対応させて規定されるもので、今後の技術世代を通じて $1e10/cm^3$ とした³。その再結合キャリアライフタイム τ_r は、軽くドープしたp型Siに対して低(光)注入条件下でのSPV (Surgface Photo Voltage)測定で得られる値である。バルクFe濃度(/cm³)はウェーハ厚さに基づいて表面濃度(/cm²)に換算すべきものではないことには注意すべきである。再結合キャリアライフタイムは、 $\tau_r \geq 2(L^2)/Dn$ で与えられる。ここで、Lは少数キャリアの拡散長であり、Dnは 27°Cにおける少数キャリアの拡散係数⁴である。拡散長はウェーハ厚さに等しいと置くと、得られる τ_r は 350 μs になる。許容できるライフタイム値は、十分な安全を考慮して、係数 2 をかけた結果、最終的な値として 700 μs になる。特にバルクライフタイムを 20 μs 以上と規定する場合には、それぞれの測定法 (SPV, PCD: Photo Conductive Decayなど)に応じて表面制御・表面安定化・表面被覆のために適切な技術が必要となる。SPV以外の技術では、測定時の注入レベルが示されるべきである。酸素析出がなく、裏面の機械的ダメージもなく、抵抗率が 5~20 Ωcm であるSiウェーハを測定対象とすることを推奨する。

[B] 表面のマイクロフネスに関する測定装置の選択、目標値、それに空間周波数範囲(スキャンサイズ)は適用目的に対応させて選ばれる。パワースペクトル密度解析は、その装置で可能な最大領域で行うことを推奨する。鏡面ウェーハに対する典型的な値は、全ての CD 世代に亘って $\leq 0.1nm$ (RMS)である。エピウェーハ、アニールウェーハ、SOI ウェーハは鏡面ウェーハより高い値になっているが、まだユーザの要求には応えられている。

[C] 酸素濃度は、使っている製造プロセスに依存したチップメーカーの特異性に基づいて規定されているだろうが、一般的にいえば 18-31ppma (ASTM F121-79 を参照した SEMI M44-0702 で規格化)⁵の範囲にある。最新の結晶成長技術を使えば、バルク微小欠陥 (BMDs: Bulk Micro Defects)は格子間酸素濃度によらずに制御できる。金属ゲッタリングのための BMDの重要性は最近になって再び強調されるようになっていて、特にサーマルバジェットを減らしたIC製造プロセスで重要であろう⁶。同時ドーピング技術(窒素と炭素など)は酸素析出を促進させることができるので、特に低サーマルバジェットのデバイス製造プロセスに適している。更に、熱処理技術と組合せることで酸素析出を促進できる結晶成長技術もある。しかし、全てのデバイス製造プロセスがBMDを必要とする訳ではない。意図的にゲッタリング能力をもたせた鏡面ウェーハのBMDは、ICプロセスを経た後、一般的には $1e8/cm^3$ を超えているであろう。BMD密度はASTM F-1233 を用いて測定される。

[D] 問題になるウェーハ表面のパーティクルサイズは K_1F , [$K_1=1$] で表わされる。ここでFはDRAMの 1/2 ピッチであり、特定の技術世代におけるウェーハ表面パーティクル密度を計算する時に K_1F が使われる。Table 67aと 67bに記載されているパーティクルサイズは、減少する技術世代の前の数世代は一定の値に固定してあるが、その理由は計測技術が対応できないからである。パーティクル密度の要求値は、通常のマalyの歩留り算出式⁷から求めたものであり、 $Y = \exp [-(D_p R_p) A_{eff}]$ 、この式に現れる A_{eff} は有効チップ面積で $A_{eff} = 2.5 * F^2 T + (1 - a F^2 T / A_{chip}) A_{chip} * 0.18$ 、aはDRAMセルフファクター (Table70a)、Tは対象となる技術世代での 1 チップあたりのトランジスタ数かビット数に (K_1F/PS)を掛けた値。ここでPSは、表中でそれぞれの技術世代に記載されているパーティクルサイズである。Malyの歩留り算出式を用いて得られるパーティクル密度は、それぞれの技術世代において、ウェーハ表面の臨界パーティクルサイズに対する密度であるので、表中に示されたパーティクルサイズに対しては 2 乗則を用いて変換している。キルファクター R_p はDRAM工場の特異性に強く依存するけれども、0.2 と仮定した。実際の欠陥サイズと対応するLSE (Latex Sphere Equivalent:ラテックス球状粒子換算のサイズ)との関係は、欠陥のタイプやスキャン方式の影響を受ける。SOIウェーハでの最小可測粒径は、現在 100nmであり、光学的計測装置を用いた場合には鏡面ウェーハやエピタキシャルウェーハに比べてSOIウェーハの場合に反射光が変調を受けることに起因している。

[E] ウェーハ裏面に関する詳細情報はTable67には含まれていない。と言うのは、現実的には、そうした欠陥を目に見える形で特定されないと、リソグラフィでの問題として認識されないからである。おそらく、大きなパーティクルしか問題にならないだろう。ウェーハ裏面パーティクルのサイズと密度の要求値に関して、必要であれば、下記のモデルを使って計算することもできる。裏面に厚さTの膜が付いている厚さWのSiウェーハに、サイズDのパーティクルが付着した場合、ウェーハ表面側の凸量Hは $[(xD + x(T+W)) - (T+W)]$ で表わされ、その式は $H = [(xD) - (1-x)T]$ と変形できる、ここで $x=0.6$ はウェーハチャック時に加わる圧力によって裏面の膜とパーティクルが圧縮される比率である。仮にウェーハ表面側の凸量が 2 (CD) になるとリソグラフィでの 100%露光不良になるとすると、裏面の臨界サイズDは $D = [(2/0.6) (F) + (0.4/0.6) (T)]$ で表わされる、こ

2 フロントエンドプロセス

ここでFとTはnm単位での数値である。このモデルで、例えば、裏面に形成されている膜の厚さTを 100nmとする。99%歩留りに対する裏面パーティクル要求値は、 $Y = \exp(-D_p R_p A_{\text{eff}})^7$ で表われ、キルファクター $R_p=1.0$ 、実効チップ面積 $A_{\text{eff}}=A_{\text{chip}} \times 0.03 \times 0.8$ 、ここで0.03という数値は裏面面積の3%がチャックに接触していることを意味し、0.8という数値は実効チップ面積の80%が裏面パーティクルの影響を受けて表面側で焦点ずれによる不良が生ずるといふモデルである。 D_p は $Y=99\%$ に対応する許容裏面パーティクル密度を表わし、そのパーティクル検出は裏面パーティクル検査装置による。キラーとなる裏面パーティクルサイズの数式は2つの仮定に強く依存し、それはICプロセスの影響を受ける。1つめは、焦点面から2倍のCDだけ外れると100%の露光不良になるといふ仮定である。多くの場合にプロセスウインドウがあるといへ、厳しい層では焦点面の変動に対する許容度はほとんどないであろう。そのような場合には、より小さな裏面パーティクルがキラーになるだろう。2番目は、裏面の膜とそこに付着したパーティクルが共に元の数値から60%に圧縮されるという仮定である。パーティクルが膜よりかなり硬い材質である場合や、パーティクルがSiと同じくらいの硬さでウェーハ裏面に膜がない(T=0)場合ではこの仮定は正しくないだろう。こうした状況でも、より小さな裏面パーティクルがキラーになるだろう。裏面に関する歩留りの式は、裏面にあるパーティクルに起因してリソグラフィ中で生ずる表面側の焦点ずれが必ずチップの不良になると仮定している(臨界サイズは、歩留り式で使われている数値である)。この仮定は、ウェーハの厚さよりもずっと小さな裏面パーティクルは、表面側に径10mm程度以下の膨らみを生じさせると考えられるので起こりうるし、致命的な個所で焦点ずれが起こりチップ不良となる。パーティクルがチップの端近くにあれば状況はもう少し緩和されるが、それはチップ端の裏面パーティクルはチップの局所的な傾斜となって現れるのでスキヤンステッパーの水平出しシステムで修正できるからである。このことを考慮に入れて、実効チップ面積の100%ではなく80%に影響されるというようにモデル化した。

[F] サイトフラットネスの計測方法は最先端のデバイスに用いられている露光機の方式に一致しているべきであり、重要な層に対応する露光方式はスキヤンステッパーである。SFSRが最適な計測基準であるが、産業界でははっきりとした支持は得られなかった。歴史的にSFQRが使われてきたことの影響は根強く残っていて、これからもこの基準が使いつづけられるであろう。スキヤンステッパーの実用面での状況に合わせて、局所的サイトフラットネスに対応する実効的なサイトサイズは26mm x 8mmに変更されつつある。正方形フィールドのフルフィールドステッパー(通常22mm x 22mm)も厳しくない層に対しては使い続けられるであろう。厳しくない層はどんどんなくなって来ているが、どちらの場合でも、計測基準となる値は緻密ライン(DRAMの1/2ピッチ)に対して大体Fに等しい。パーシャルサイトは対象に含まれるべきである。更に、各々の技術世代に特有の形状を把握するために、フラットネスの計測方法には十分な空間分解能が必要だということには注意すべきである。

[G] OSF (Oxidation Stacking Fault:酸化起因積層欠陥)の密度は実験により $K_3(F)^{1.42}$ で表される、ここでFはnm単位の数値で、 $K_3=2.75 \times 10^{-3}$ である⁸。この式が実験的に求められた時には技術ロードマップの観点は想定されていなかった。将来の技術世代への適用を考えるのであれば、1100°C1時間のウェット酸化と酸化膜除去による再評価が必要である。n型基板でのOSF制御はより難しい。

[H] ヒロックやマウンドといった他のエピ欠陥も考慮されるべきではあるが、妥当な歩留りモデルはない。今の計測技術では、欠陥構造に基づいた正確な分類も、一般論としては、できない。

[I] 望ましいエピ膜の許容膜厚は、ウェーハ中央2-10mmの目標膜厚に対して±4%である。p/p+構造の場合、裏面膜によるオートドーピング抑制が期待できないことの影響を受けるが、それは300mmでは200mmとは違って裏面に膜がないことに起因する。p/p-エピでの最小のエピ厚は、COPなどのバルク成長起因欠陥が影響しないように設計される。p-に比べてp+ではCOP形成が抑制されるので、p/p+の場合には、このような考察はあまり重要ではない。

[J] 大きなエピ構造欠陥(ラテックス粒子換算で1μm以上の大面積欠陥)は99%歩留りでモデル化され、 $Y = \exp(-D_{\text{LAD}} R_{\text{LAD}} A_{\text{chip}})^7$ で表される、ここでキルファクター $R_{\text{LAD}}=1$ であり、 A_{chip} はDRAMあるいは高性能MPUなどに応じて妥当な値を用いる。

計測技術に関する注:これら大きなエピ欠陥の光散乱機構や検査装置の光学設計の影響で、ラテックス粒子換算のサイズで0.5μm以上の表面形状に対しては、現在ある多くのスキヤン式表面検査システム(SSIS:Scanning Surface Inspection System)によって計測されるサイズはあまり信頼できない。更には、エピ積層欠陥を区別し計数するというように、大きなエピ構造欠陥を大きなパーティクルなどの他の欠陥から分離できる計測装置、量産ラインで使えるような装置、が存在しないのだから、計測技術には明らかに問題がある。

[K] 小さなエピ構造欠陥(ラテックス粒子換算で1μm以下)は99%歩留りでモデル化され、 $Y = \exp(-D_{\text{SF}} R_{\text{SF}} A_{\text{chip}})^7$ で表される、ここでキルファクター $R_{\text{SF}}=0.5$ であり、 A_{chip} はDRAMあるいは高性能MPUなどに応じて妥当な値を用いる。量産のDRAMあるいは高性能MPUでスターティングマテリアルは用いられる。

計測技術に関する注:エピ微小欠陥を区別し計数できる量産ラインで使用可能な装置が存在しないのだから、計測技術には明らかに問題がある。

[L] シリコンのデバイス層の最終膜厚(PD: Partially Depletedの場合)はMPU物理ゲート長の2倍で与えられる(中心値の±25%)。目標値の範囲はウェーハ中央の測定値を示し、ウェーハ内での測定中央値に対して最大のプラスあるいはマイナスの%偏差を均一性として併記している。デバイス製造工程でシリコン層は減少するため、最終的なシリコン厚さは購入ウェーハの値よりも薄い。表には、スターティングマテリアルとしての厚さが示されている。2003から2009年に対しては、デバイスに関する許容範囲の最小値に10nmを加え、最大値に20nmを加えた値になっている。2009年以降は、デバイス許容範囲の最小値と最大値のどちらにも10nmを加えてスターティングマテリアルの厚さにしている。シリコン層の減少量は用いるプロセス条件に依存する—ここでは2009年以降、プロセスパラメータはより厳しく管理されるようになると仮定している。PDSOIが全ての年において解と表示されているが、より微細化が進んだ技術世代では適用できそうにないことには注意すべきである。

[M] シリコンのデバイス層の最終膜厚(FD: Fully Depletedの場合)は、2008年以前ではMPU物理ゲート長の0.4倍で与えられ、2008~2011年ではMPU物理ゲート長の0.35倍で、2012年以降ではMPU物理ゲート長の0.3倍で与えられる(中心値の±25%)。目標値の範囲はウェーハ中央の測定値を示し、ウェーハ内での測定中央値に対して最大のプラスあ

るいはマイナスの%偏差を均一性として併記している。デバイス製造工程でシリコン層は減少するため、最終的なシリコン厚さは購入ウェーハの値よりも薄い。表には、スターティング材料としての厚さが示されている。2003~2009年に対しては、デバイスに関する許容範囲の最小値に10nmを加え、最大値に20nmを加えた値になっている。2009年以降は、許容範囲の最小値最大値ともに10nmを加えることでスターティング材料値に変換できる。そのSi減少厚さはプロセス条件に依存するが、2009年以降はより厳しく制御されると仮定している。

[N] FDSOIに対するBOX(Buried Oxide)の厚さは、MPU物理ゲート長の2倍で与えられる。短チャネル効果と放熱に対する効果を期待して、BOX厚さはゲート長とともにスケールされる。FD-SOIで短チャネル効果を制御する目的では、BOXとシリコンの厚さはトレードオフの関係にあり、そのトレードオフを考慮して目標値±25%の範囲が許容されている。

注:PDSOIデバイスの場合、BOX厚さが直接デバイス特性に影響することはほとんどない。BOX容量、回路上の放熱、金属ゲタリング、BOXの電気的品質、SOIウェーハの製造能力、ウェーハ品質、ウェーハコストなどを考慮してBOX厚さを決める。PD-SOIの場合のBOX厚さは、100-200nmのままであると思われる。

[O] 大面積のSOI欠陥(LASOI defect: Large Area SOI defect)は99%でモデル化され、 $Y = \exp(-D_{LASOI} R_{LASOI} A_{chip})^7$ で表され、 D_{LASOI} = LASOI欠陥の密度、 $R_{LASOI} = 1.0$ (現時点での最善評価)。

[P] 小面積のSOI欠陥(SASOI defect: Small Area SOI defect)は99%でモデル化され、 $Y = \exp(-D_{SASOI} R_{SASOI} A_{chip})^7$ で表され、 D_{SASOI} = SASOI欠陥の密度、 $R_{SASOI} = 0.2$ (現時点での最善評価)。SASOI欠陥源としては、COP、シリサイド、SOI中の局所的SiO₂などが含まれる。これらのSASOI欠陥は光散乱測定(LLS: Localized Light Scattering)でも検出できる。^{9,10,11}

[Q] 直径2mmの領域のP-V(Peak-to-Valley)しきい値。ウェーハメーカーの180-90nm世代実績と100nm以下の線幅分布に関する報告例から外挿し、P-Vの最大値をCD/4にとった。

[R] いろいろなウェーハパラメータの面内ばらつきは、それが形成されるメカニズムに応じて異なる長さに亘って変化する。空間的に異なるスケールで生ずるこれらの変化はデバイス製造にも影響を及ぼすが、その影響のされ方はデバイスプロセスやデバイスの種類によっても変わる。例えばCVD膜厚のように、ガスフローや温度傾斜の影響を受けるパラメータは、典型的には相当な長さに亘って変化し、mmからcmというオーダーになる。このようなプロセスを制御するには、それほど空間分解能がない計測装置を使って、空間的に緩やかに変化するパラメータをウェーハ上のあまり多くない測定点モニターでも十分であることがほとんどである。ウェーハ表面形状のような他のパラメータは、多様な空間的スケールで変化し、半導体工場で異なる影響を及ぼしている。非常に長いスケールで(数10cm)ウェーハ表面凹凸はμmオーダーで変化し(BowやWarp)、ウェーハの機械的性質にいろいろな影響を及ぼす。1cmの空間スケールで、表面には1μmの数分の1の高さの変動がある。これらの変化(即ちサイトフラットネス)は一般的にはウェーハの機械的形狀としては重要ではないが、リソグラフィの焦点深度の観点では重要である。数mm以下のスケールでは、表面凹凸は数10nmのオーダーである。このオーダーはリソグラフィでの焦点不良にはならないが、ゲート長の線幅ばらつきやCMPでの不均一性に影響を及ぼす。ミクロンの長さスケールでは、表面凹凸はオングストロームオーダーであるが、これはゲート絶縁膜の品質に影響を及ぼす。FD-SOIの例では、シリコン層の厚さばらつきはチップ間(cmの長さスケール)でのトランジスタしきい値ばらつきの原因になり、チップ内(mmの長さスケール)でも、そしておそらくトランジスタ間(サブミクロンスケール)でもしきい値ばらつきの原因になるだろう。いろいろな空間波長に亘るパラメータ変化を制御するためには、ウェーハ全体を測定でき長波長成分を抽出できる計測装置が必要であるが、高密度のデータに対しては(比較的小さな領域に対しては)短波長成分を抽出する必要がある。空間周波数に対する要求は、計測技術に関して難しい影響をもたらす。空間的長波長成分に向けた方法は短波長成分には向いていないだろう、それはスループットや空間分解能などの点である。この表内の計測技術準備状態レベルは現在の空間波長に対する要求内容が反映されている。将来のプロセスやデバイスの開発がより短波長での計測を必要とするなら、これらの計測技術の準備状態レベルは変わることになるであろうけれども、それは現時点では予期し得ない。

2 フロントエンドプロセス

Table67b Starting Materials Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020	
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	D ½
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	M
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	M
DRAM Total Chip Area (mm ²)	74	117	93	74	117	93	74	D ½
DRAM Active Transistor Area (mm ²)	23.1	36.7	28.6	23.1	36.7	29.1	19.6	D ½
MPU High-Performance Total Chip Area (mm ²)	246	195	310	246	195	310	246	M
MPU High-Performance Active Transistor Area (mm ²)	25.1	20.0	31.7	25.1	20.0	31.7	25.1	M
<i>General Characteristics * (99% Chip Yield) [A, B, C]</i>								
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)**	450	450	450	450	450	450	450	D ½, M
Edge exclusion (mm)	1.5	1.5	1.5	1.5	1.5	1.5	1.5	D ½, M
Front surface particle size (nm), latex sphere equivalent [D][E]	≥45	≥32	≥32	≥32	≥22	≥22	≥22	D ½, M
Particles (cm ⁻²)	≤0.17	≤0.17	≤0.17	≤0.17	≤0.18	≤0.18	≤0.21	D ½
Particles (#/wafer)	≤271	≤268	≤261	≤268	≤283	≤283	≤233	D ½
Site flatness (nm), SFQR 26 mm □ 8 mm site size [F, R]	≤28	≤25	≤22	≤20	≤18	≤16	≤14	D ½, M
Nanotopography, p-v, 2 mm diameter analysis area [Q]	≤7	≤6	≤6	≤5	≤4	≤4	≤4	M
<i>Polished Wafer * (99% Chip Yield)</i>								
<i>The LLS requirement is specified for particles only; discrimination between particles and COPs is required (see General Characteristics) [D, E]</i>								
Oxidation stacking faults (OSF) (DRAM) (cm ⁻²) [G]	≤0.32	≤0.27	≤0.22	≤0.19	≤0.16	≤0.14	≤0.12	D ½
Oxidation stacking faults (OSF) (MPU) (cm ⁻²) [G]	≤0.09	≤0.07	≤0.06	≤0.05	≤0.04	≤0.04	≤0.03	M
<i>Epitaxial Wafer * (99% Chip Yield)</i>								
<i>Total allowable front surface defect density is the sum of epitaxial large structural defects, small structural defects and particles (see General Characteristics) [H, I]</i>								
Large structural epi defects (DRAM) (cm ⁻²) [J]	≤0.014	≤0.009	≤0.011	≤0.014	≤0.009	≤0.011	≤0.014	D ½
Large structural epi defects (MPU) (cm ⁻²) [J]	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	M
Small structural epi defects (DRAM) (cm ⁻²) [K]	≤0.027	≤0.017	≤0.022	≤0.027	≤0.017	≤0.022	≤0.027	D ½
Small structural epi defects (MPU) (cm ⁻²) [K]	≤0.008	≤0.010	≤0.006	≤0.008	≤0.010	≤0.006	≤0.008	M
<i>Silicon-On-Insulator Wafer* (99% Chip Yield)[R]</i>								
Edge exclusion (mm) ***	1.5	1.5	1.5	1.5	1.5	1.5	1.5	M
Starting silicon layer thickness (Partially Depleted) (tolerance ± 5%, 3σ) (nm) [L]	27–38	25–35	23–32	22–30	21–28	19–26	18–24	M
Starting silicon layer thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) [M]	13–14	12–14	12–13	12–13	12–13	11–12	11–12	M
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) [N]	16–28	16–26	14–22	12–20	10–18	10–16	8–14	M
D _{LASOI} , Large area SOI wafer defects (DRAM) (cm ⁻²) [O]	≤0.014	≤0.012	≤0.011	≤0.007	≤0.009	≤0.009	≤0.009	D ½
D _{LASOI} , Large area SOI wafer defects (MPU) (cm ⁻²) [O]	≤0.004	≤0.003	≤0.003	≤0.003	≤0.005	≤0.005	≤0.005	M
D _{SASOI} , Small area SOI wafer defects (DRAM) (cm ⁻²) [P]	≤0.218	≤0.137	≤0.176	≤0.218	≤0.137	≤0.173	≤0.256	D ½
D _{SASOI} , Small area SOI wafer defects (MPU) (cm ⁻²) [P]	≤0.200	≤0.252	≤0.159	≤0.200	≤2.252	≤0.159	≤0.200	M

* 各パラメータは限界値を定義している。それらは独立に歩留りを予測するパラメータであり、数学的もしくは実験的に歩留り 99%となるように値を定義していて、二つ以上のパラメータが同時に影響することはほとんどない。一般的に個別のウェーハでは、複数のパラメータが同時に限界値を取ることはなく、他のパラメータは中央付近の値を取るだろうから、結果として、全てのパラメータを考慮した場合でも、トータル歩留りは少なくとも 99%になる。

** 表にあるウェーハ径は、各技術世代において主流のウェーハ径ではないだろうけれども、ウェーハあたりになっている値は最大ウェーハ径に対する表現になっている。450mm は黄色であって製造方法の解は知られているものの、産業界にとって経済的に受入れられ得る解がないので、その意味では簡単に赤色に成り得る。

*** それぞれの SOI ウェーハ製造方法によって固有の制限があり、それはプライムウェーハやエピウェーハとはことなるので、エッジ除外領域は SOI の節でも改めて扱う。

<i>Meaning and Color Coding of Left Box</i>	<i>Meaning and Color Coding of Right Box</i>
Technology Requirements Value and Supplier Manufacturing Capability by Color	Metrology Readiness Capability by Color
<i>Manufacturable solutions exist, and are being optimized</i>	<i>Manufacturable solutions exist, and are being optimized</i>
<i>Manufacturable solutions are known</i>	<i>Manufacturable solutions are known</i>
<i>Manufacturable solutions are NOT known</i>	<i>Manufacturable solutions are NOT known</i>

モデル限界 — モデルベースのパラメータ要求は、ウェーハ製造工程固有のパラメータ値のバラツキによる効果を含んではいない。パラメータ値のバラツキには、2種類の統計分布のどちらかが通常用いられる。膜厚のようなパラメータ値は、中央値か平均値に対して対称に分布し、良く知られた正規分布で表すことができる。ゼロが下限となるパラメータの値(例えばサイトフラットネス、パーティクル密度、表面金属濃度)は、対数正規分布で近似することができる、言い換えればパラメータの値の対数は正規分布に従う。対数正規分布は、非対称性が高く、分布の上限方向に長い裾を引く。歩留りモデルの実証は40年間以上のIC製造の経験にもかかわらず、とらえどころがないままで残っている。

理想的な管理方法というのであれば、IC製造歩留りに対するスターティングマテリアル起因の歩留り低下がトータルとして1%を超えないように、欠陥の種類別に割り当てるべきである。特定の欠陥による歩留り損失は、(1)パラメータ値で決まる不良率(適切な歩留りモデルで確認が必要)に、(2)そのパラメータ値を持つウェーハの割合(正規分布か対数正規分布であることの確認が必要)を掛けたものを積分することによって得られる。この方法を用いれば、受入れ可能なウェーハ仕様の分布を決定することができるだろう。統計分布による仕様決定を有効にさせるためには、ウェーハメーカーのプロセスが十分に理解され、コントロールされ、ICユーザの要求に整合する必要がある。これらの理想を達成することができるまでは、最善の情報に基づいたポアソン分布による歩留りモデルが用いられており、各パラメータ値にはそのパラメータに対応する歩留りが99%になるような限界値が割り当てられることになる。さらに、どのパラメータによる歩留り損失も他のパラメータによる歩留り損失には大きな影響を与えないと仮定する。言い換えると、欠陥による歩留りへの影響は統計的に独立な事象ということ仮定する。評価に使うデータが妥当なものであれば、この経験に基づく仮定から得られる要求仕様値は、前に述べたパラメータ分布に基づく設定方法で得られる限界値とあまり変わらないであろう。

CoO(Cost of Ownership) — 多くのパラメータへの許容可能値が計測技術の限界に近づいているので、ウェーハメーカーとICメーカーは、受入れ可能な製品仕様分布とコストを明確にするとともに現状レベルを保つために共同作業を増やしていくことが重要になる。IC歩留り/欠陥モデルの開発と有効性確認が益々重要になっている。しかしながら、最も重要なことは、計測限界まで要求仕様高めて“作り得る最高品質のウェーハ”とCoOを比較評価することではなく、高いIC歩留りを保てる範囲でいくらか緩めの要求仕様に対して比較評価を行うことである。ここでその例をあげると、スターティングマテリアルの表面金属要求仕様とパーティクル汚染要求仕様は、表面処理の表にあるゲート前洗浄の要求仕様より緩い値になっている(Table 68a, 68b 参照)。これは、ゲート前洗浄などのIC製造工程で得られる最低の除去効率50%(表面のFe除去では95%の報告例もある)を仮定して緩くしているためである。ウェーハメーカーでのウェーハ最終表面の化学的性質(親水性 vs 疎水性)、出荷に使うウェーハキャリアとウェーハ表面との相互作用、保管室の湿度などは、その後の不純物やパーティクルのウェーハ表面吸着に重要な影響を及ぼすことも指摘しておく。サイトフラットネスといった特定のパラメータに対して、100%ウェーハ検査の有効性を検証するモデルが開発されたのでCoOの重要性が確認できた。このモデルは、100%検査を実施しなかった場合に確率的な不良率増加となるチップ損失に対して、ICメーカーの仕様に100%保証するのに必要な付加的なウェーハメーカーのコストを考慮してある。この手法を使うワークシートはウェブで利用可能なので、ICメーカーは、ウェーハ仕様と関心のある製品群とのトレードオフを分析することができる。【訳者注:英語版で設けられていたモデルのSFQR表記へのリンクは削除した】

2 フロントエンドプロセス

ウェーハパラメータの選択 — ウェーハ表面の化学性質と物理構造が重要な関心事であり、Table 67a と 67b に関連するウェーハパラメータが記載されている。化学的欠陥は金属、有機粒子、表面残留物が含まれる。これらの欠陥は、どのタイプのウェーハに対しても重大なものであるが、特に薄膜 SOI では薄い Si 層中に金属が拡散することで表面金属の悪影響が強調される。有機汚染は、ウェーハ保管や搬送の雰囲気強く依存するため Table 67a と 67b には含まれていないが、脚注には推奨値が記載されている。

両面研磨ウェーハの採用で、化学的特性および物理的特性の両方を向上しているためにウェーハ裏面のパーティクルにも注意を払う必要がある。研磨された裏面は、マクロな汚染やウェーハ搬送時の傷が容易に顕在化する。そのため、裏面のクリーン化や傷に配慮された精巧な搬送装置が要求される。しかしながら、Starting Materials IC Users Survey の 2003 年調査に基づく、裏面パーティクルによるサイトフラットネスの劣化は、重大事ではないため今回の ITRS には含まれていない。なお、いかなる裏面処理(例えば、エキシトリンシックゲッターリング、裏面酸化膜シール)も裏面と表面の両鏡面の品質が劣化する可能性がある。

ウェーハおもて面の重要な物理特性はウェーハトポグラフィー、結晶欠陥と表面欠陥である。ウェーハトポグラフィーは、空間周波数によってサイトフラットネス、表面ウェイビネス、ナノトポグラフィーあるいは表面マイクロラフネスに分類できる種々なウェーハ形状カテゴリーを網羅する。おもて面のサイトフラットネス、ナノトポグラフィーは最も重要なウェーハ形状パラメータと考えられており、この ITRS 版で言及する。裏面のトポグラフィーも、特に、ウェーハとチャックの相互作用の可能性の観点から、最近注目された。しかし、この相互作用を定量化する技術はまだ初歩的な状態にあり、表にはこのパラメータが含まれていない。エッジ近傍のウェーハ形状は、歩留まりを律則しうるシリコンウェーハ特性として浮かび上がってきた。しばしば ERO(Edge Roll-Off)と言われ、実質上平坦な大部分のウェーハ中央領域とエッジプロファイル(故意に丸みを持たせたウェーハ外周)との間の角度方向あるいは半径方向に変化する様々な特徴を網羅する。評価指標が合意出来ていないので将来の技術世代に対する ERO 動向値は確立されていない。

構造欠陥は、COP やバルクマイクロディフェクト(BMD)のような結晶育成欠陥を含む。COP 制御方法は前に議論した。進歩したシリコン製造技術では、格子間酸素濃度とは独立に BMD を制御できる。それに加えて、現在のデバイス工程は、より低温でより短時間の熱サイクルを使うので、イントリシックゲッターリングのための高密度 BMD を作り込むのには適していない。その結果、ゲッターリングのための BMD に顧客が依存しているアプリケーションではシリコンサプライヤーとオプションについて注意深い議論をする必要がある。

他のスターティングマテリアルに対する要求は、異なったウェーハタイプに対する特定タイプの表面欠陥で表している。鏡面ウェーハを使って製造されるあるデバイス(DRAM のような)は非常に浅く小さなスクラッチやピットに敏感であろうと最近のデータは示している。エピタキシャルウェーハや SOI ウェーハにはこの種の表面欠陥が少ししか見られない。一方、エピタキシャルウェーハや SOI ウェーハには大構造欠陥($> 1 \mu\text{m}$ と便宜上定義)や小構造欠陥($< 1 \mu\text{m}$ と便宜上定義)がある。エピタキシャルウェーハは積層欠陥のような成長過程で入った結晶欠陥と基板表面のパーティクル起因の大欠陥が入りやすい。エピタキシャルウェーハを使うときには、歩留まりを最大にするためにこのような欠陥を制御しなければならない。幾つかの欠陥は SOI 固有のものである。歩留まりに対しては大面積欠陥が最大の関心事で、SOI 層のボイドと SOI/BOX 接着界面の大欠陥が含まれる。これらの大欠陥はチップ歩留まりに重大な影響をすると判断され、キルレート(kill rate、訳注:欠陥の何%が歩留まりに影響するかの値)は 100%となっている。最上シリコン層(数十ナノメートルから十分の数マイクロン)中の COP、金属シリサイドあるいは局所 SiO₂ 島のような小欠陥はデバイス性能にそれほど重大な影響を与えないと信じられており、そのために、許容密度はより小さなキルレートに基づいて計算されている。これらの欠陥をカウントし、サイズを測り、組成と形状を決めるレーザ走査あるいはその他の評価装置は重要な測定法課題である。表面欠陥の除去と防止はシリコンウェーハ技術において極限技術を駆使したチャレンジであり続ける。

ゲート酸化膜耐圧や他の歩留まり劣化要因の結晶成長パラメータ依存性は点欠陥やその集合体の役割共々精力的に実証されてきた。そこに出てくる欠陥密度(D_0)は何世代ものデバイスに対して材料品質の尺度

として効果的に使われてきた。しかし、EOT<2nmのデバイスに対してはこのパラメータはもはやデバイスの歩留まりや性能の指標にはならず、従って、Table67aとbから削除された。しかし、high-kゲート絶縁膜が導入された時にプリおよびポストゲート表面処理方法が変更されるならばスターティングマテリアル清浄度の要求は変わるかも知れないことを指摘する(表面処理章参照)。

SOIウェーハの評価技術は大きなチャレンジである。可視光で動作する光学測定装置は、SOIを評価するときに、鏡面ウェーハあるいはエピウェーハを評価するのと同じ能力を持ってはいない。SiとBOX層からの多重反射による干渉効果は、鏡面ウェーハやエピウェーハに比べて、これらの測定装置の応答を本質的に変えてしまい、一般的には、測定能力が劣化する。短波長での非常に小さな吸収深さにより、少なくとも10nmより厚い表層シリコン層に対して、最近開発された紫外波長光学装置はこれらの困難さを緩和するであろう。多くのSOI欠陥カテゴリーの評価法は、種々のタイプの欠陥をデコレートするが一義的に区別はしない化学的な破壊エッチングを必要とする。これらの様々な欠陥は全てが同じ起因、大きさ、デバイス歩留まりに対するインパクトではなく、そのために、異なったキルレートとなる。これに加えて、表層シリコン層を完全にエッチングしてしまうことを避けるために極めて小さいエッチング取り代となるが故に、非常に薄い表層シリコン層SOIウェーハのデコレート欠陥エッチングは極めて困難である。非破壊で早いターンアラウンドである評価方法がSOI材料の電氣的性質や構造欠陥測定に必要である。最後に、種々の歪みシリコン構造評価問題(空間的に変化する歪み水準とSi:Ge組成、独特な表面ラフネスはもとより貫通転位とそれに関連する欠陥)は相当な努力が必要とされる(エマージングマテリアル章参照)。

エピタキシャルウェーハとSOIウェーハの層厚と均一性がTable67aと67bに含まれている。SOIウェーハに関しては、広範囲な昨今のICアプリケーションは相当な範囲のSiデバイス層と埋め込み酸化膜(BOX)厚を必要とする。幾つかのSOIウェーハ製造へのアプローチは、今や、この範囲のSOIアプリケーションに供給出来る生産(訳注:SOIウェーハの量産が始まっている段階)に達している。ある場合には、これは、電子移動度を増加させ、それよりかなり小さいが正孔移動度も増加させる二軸引っ張り歪みをSi層が持っている事を除けば従来のSOIと同じ層構造である歪みSOI(sSOI)を含んでいる。歪みシリコンはもっと詳細に“エマージングマテリアル”で論じられている。この表は部分空乏型(PD)と完全空乏型(FD)デバイスに対する購入時のシリコン厚(訳注:表層シリコン厚)である。PD厚値は2020年まで延長してあるが、2012年頃には実際のアプリケーションはマルチゲートデバイスであると予想される。大まかには、これらのPD厚値はマルチゲートデバイスの予想シリコン厚と一致している。

解決策候補 — Figure56は最も重要なスターティングマテリアル課題のリストと、特定できた可能な解決策を示し、その解決策の開発と大量生産移行のタイミングなども示す。Table67aとbに一致して、Figure56は、300mmあるいはそれ以上の大口径ウェーハで作られる最先端DRAMと高性能MPUの要求を反映している。90nm技術世代以降での200mmウェーハの利用は起こっているし、必要なフラットネスとナノトポグラフィー水準を達成するために両面鏡面研磨が必要である。このタイプのウェーハの推進にはウェーハサプライヤーとユーザーに追加投資が必要となる。

2 フロントエンドプロセス

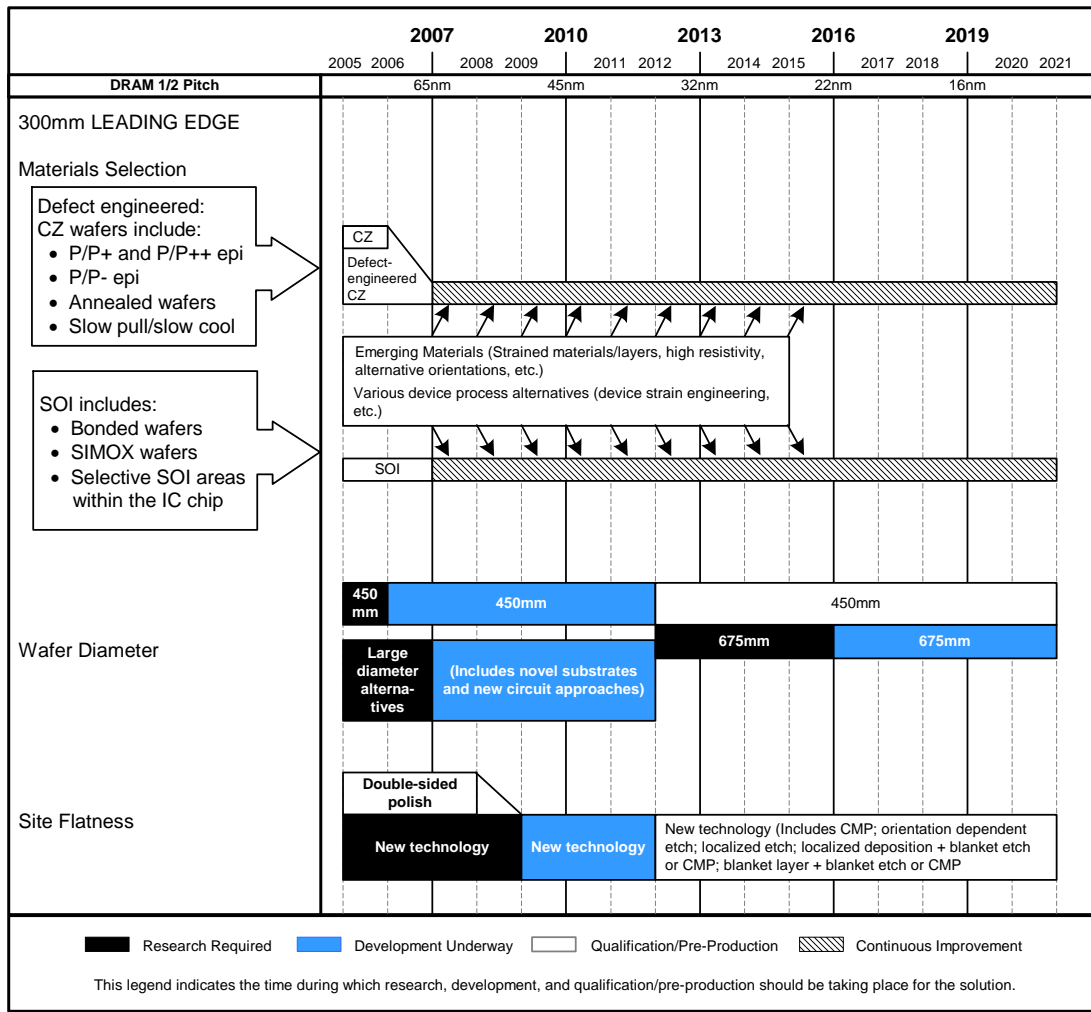


Figure 56 Starting Materials Potential Solutions

材料選択 — 材料選択カテゴリーは二つの節に分かれる: 欠陥制御 CZ ウェーハと SOI ウェーハ。材料タイプの選択は、IC アプリケーションとコストパフォーマンス最適化に強く依存する。前者はコストに敏感なアプリケーションに使われ、後者は性能に敏感なアプリケーションに使われる。Figure 56 に書いてあるように、解決策候補は分散し、そのことは使える資源に対する大きな課題をもたらす。

エマージングマテリアル — ITRS の目標を満たすために他の方法を増補するエマージングマテリアルの活用はシリコン業界にとって極めて重要になった。2005ITRS には、エマージングマテリアルの三つの明確なカテゴリーが特定されている: 1) 熱管理解決策、2) 移動度増大解決策、3) システムオンチップ解決策。将来のマイクロエレクトロニクスアプリケーションの熱管理解決策(即ち、熱損失特性の改善)を潜在的に提供できるエマージングマテリアルの例は次のようなものである: シリコンオンダイヤモンド、単一同位体 Si、SiO₂ より熱伝導度の高い材質の絶縁物、例えば、Al₂O₃ (アルミナ)あるいは窒化シリコンを使ったシリコンオンインシュレータ。熱損失に関係した事項に加えて、将来のマイクロエレクトロニクスシステムはシリコンより大きな移動度を持つトランジスターチャンネルが特徴となろう。チャンネル移動度の増大を目的としたエマージングマテリアルの解決策候補には、歪みシリコン、ゲルマニウム(歪み緩和した、あるいは、歪んでいる)とカーボンナノチューブなどがある。最後に、従来の CMOS ロジックアーキテクチャーに新しい機能性を取り入れる可能性もまたエマージングマテリアル革新によって実現できる。高抵抗シリコン基板とシリコン上のモノリシック光配線はシステムオンチップの解決策である。マイクロエレクトロニクスが直面している極めて重要な課題に対する技術的な解決策を潜在的にもたらすけれども、これらエマージングマテリアルのトピックスは、今年の ITRS2005Table67a と b に詳細

な仕様を記載するには成熟度が足りない。しかし、これらのトピックスは見守り続けられであろうし、ITRS のエマージェンシマテリアル委員会は詳細な注釈と参考文献を読者のために纏めた(ここにリンクがある)

ウェーハ直径 — 生産性増大の一部は、歴史的には、ウェーハ直径の移行によって達成されてきた。業界が重大な経済的課題に直面した時期に 200 mm から 300 mm への遷移が起きた。この事情が歴史的周期に基づく予想タイミングに対してこの直径による大量生産開始を実質上遅らせた。これは既に 300 mm から 400 mm への移行タイミングに影響している。(450mmシリコンウェーハ導入に関する問題点は別途編集され補遺ドキュメントとして提供した。リンクがある)

サイトフラットネス — 300mm ウェーハが両面ポリッシュになることでサイトフラットネス能力を業界は本質的に高められた。この根本的な進歩の更なる改善は IC メーカーの 65nm あたりの技術世代の要求を満たすと予想される。この時点以降の引き続き改善は、Figure56 と付随テキストで議論されているようなものを含む新しいフラットネス改善技術を取り入れることが必要になろう。しかし、次世代リソグラフィは実際のフラットネス要求に対して大きなインパクトを与えるであろう。

表面処理

ウェーハ洗浄および表面処理は、長年に渡って固有の特性は維持しつつも、新材料や新プロセスの採用に伴って発展し続けてきた。フロントエンドの表面処理では、歴史的にゲート絶縁膜の品質を最良とすることに、研究や開発が注力されてきた。そして、これらの注力は、High-k ゲート絶縁膜やメタルゲート電極に移行した場合にも続けられる。トランジスタ構造と同様に、新 High-k、メタルゲート材料、新しいインテグレーション計画は、フロントエンド表面処理に対して新しい要求を出すことになるだろう。さらに、CMP におけるセリアベースのスラリー使用、高ドーズ注入されたレジストの除去能力、エレベータッドソース/ドレイン用エピタキシャル SiGe の使用、キャパシタ用新材料の使用、高アスペクトコンタクトは、新技術開発や薬液開発を要求するだろう。

表面処理の技術要求を Table68a および b に示す。このフロントエンドの予測は、将来の絶縁膜やゲート電極材料やそれらの特性に関連するデータが不足しているため、不確かなままである。しかし、デバイスの発表では、Hf ベースの材料が、あちこちで同時期に報告されており、使用すべき High-k 材料のタイプは収束しているように思われる。メタルゲート材料とインテグレーション計画は、まだ研究段階である。しかし、デュアルメタル CMOS デバイスで使用されるメタルは、デバイス性能に影響しないレベルまで、やはり洗浄されなければならない。

ウェーハ表面および裏面上の微粒子汚染は、ますます厳しいレベルで注目されつづける。構造またはエッチング材料へのダメージのないパーティクルレベルの制御は、困難な技術課題と見なされる。ポアソンモデルは、歩留まりに基づいた表面パーティクルの許容欠陥密度を予測するために使われ続ける。キラー欠陥サイズやクリティカルなパーティクル径は、技術世代と共に減少し続ける。重点項目は、歩留まり向上のセクションの中で用いる歩留まり要求に基づいている。将来のモデルは、歩留まり向上ロードマップとの互換性を保証するために、歩留まり向上 TWG によって作られるだろう。歩留まりへの影響に関して、ウェーハ裏面とベベルエッジ欠陥とパーティクルは、より包括的に研究が進められている。現在、ウェーハ裏面やエッジでの欠陥を検出するための装置が商業ベースで販売されており、さらに多くの歩留まりに関するデータが、もうすぐ出てくるはずである。しかし、裏面パーティクルの低減要求への理解はあるものの、ウェーハ表面の歩留まりに対する裏面パーティクルのサイズや密度とリンクしうる有効なデータやモデルはほとんどない。さらなる説明に関しては、表の脚注を参照のこと。

2 フロントエンドプロセス

Table68a Surface Preparation Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	Driver
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	D ½
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	M
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13	M
Wafer diameter (mm)	300	300	300	300	300	300	300	450	450	D ½, M
Wafer edge exclusion (mm)	2	2	1.5	1.5	1.5	1.5	1.5	1.5	1.5	D ½, M
<i>Front surface particles</i>										
Killer defect density, D _{pRp} (#/cm ²) [A]	0.027	0.017	0.022	0.027	0.017	0.022	0.027	0.017	0.022	D ½
Critical particle diameter, d _c (nm) [B]	40.1	35.7	31.8	28.4	25.3	22.5	20.1	17.9	15.9	D ½
Critical particle count, D _{pw} (#/wafer) [C]	94.2	59.3	75.2	94.8	59.7	75.2	94.8	135.3	170.4	D ½
Back surface particle diameter: lithography and measurement tools (µm) [D][E]	0.16	0.12	0.12	0.12	0.1	0.1	0.1	0.1	NA	D ½
Back surface particles: lithography and measurement tools (#/wafer) [D][E]	400	400	200	200	200	200	200	200	NA	D ½
Back surface particle diameter: all other tools (µm) [D][E]	0.2	0.16	0.16	0.16	0.14	0.14	0.14	0.14	NA	D ½
Back surface particles: all other tools (#/wafer) [D][E]	400	400	200	200	200	200	200	200	NA	D ½
Critical GOI surface metals (10 ¹⁰ atoms/cm ²) [F]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	MPU
Critical other surface metals (10 ¹⁰ atoms/cm ²) [F]	1	1	1	1	1	1	1	1	1	MPU
Mobile ions (10 ¹⁰ atoms/cm ²) [G]	1.9	1.9	2	2.2	2.4	2.5	2.3	2.5	2.4	MPU
Surface carbon (10 ¹³ atoms/cm ²) [H]	1.4	1.3	1.2	1	0.9	0.9	0.9	0.9	0.9	
Surface oxygen (10 ¹³ atoms/cm ²) [I]	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	D ½, M
Surface roughness LVGX, RMS (Å) [J]	4	4	4	4	4	2	2	2	2	
Silicon loss (Å) per cleaning step [K]	0.8	0.7	0.5	0.4	0.4	0.3	0.3	0.3	0.2	M
Oxide loss (Å) per cleaning step [L]	0.8	0.7	0.5	0.4	0.4	0.3	0.3	0.3	0.2	M
Allowable watermarks # [M]	0	0	0	0	0	0	0	0	0	M

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

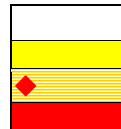


Table68b Surface Preparation Technology Requirements—Long-term Years)

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	D ½
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	M
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	M
Wafer diameter (mm)	450	450	450	450	450	450	450	D ½, M
Wafer edge exclusion (mm)	1.5	1.5	1.5	1.5	1.5	1.5	1.5	D ½, M
Front surface particles								
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.027	0.017	0.022	0.027	0.017	0.022	0.027	D ½
Critical particle diameter, d_c (nm) [B]	14.2	12.7	11.3	10.0	9.0	8.0	7.1	D ½
Critical particle count, D_{pw} (#/wafer) [C]	214.6	135.4	170.5	214.6	135.4	170.4	214.9	D ½
Back surface particle diameter: lithography and measurement tools (µm) [D][E]	NA	NA	NA	NA	NA	NA	NA	D ½
Back surface particles: lithography and measurement tools (#/wafer) [D][E]	NA	NA	NA	NA	NA	NA	NA	D ½
Back surface particle diameter: all other tools (µm) [D][E]	NA	NA	NA	NA	NA	NA	NA	D ½
Back surface particles: all other tools (#/wafer) [D][E]	NA	NA	NA	NA	NA	NA	NA	D ½
Critical GOI surface metals (10 ¹⁰ atoms/cm ²) [F]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	MPU
Critical other surface metals (10 ¹⁰ atoms/cm ²) [F]	1	1	1	1	1	1	1	MPU
Mobile ions (10 ¹⁰ atoms/cm ²) [G]	2.4	2.3	2.3	2.3	2.3	2.3	2.3	MPU
Surface carbon (10 ¹³ atoms/cm ²) [H]	0.9	0.9	0.9	0.9	0.9	0.9	0.9	
Surface oxygen (10 ¹³ atoms/cm ²) [I]	0.1	0.1	0.1	0.1	0.1	0.1	0.1	D ½, M
Surface roughness LVGX, RMS (Å) [J]	2	2	2	2	2	2	2	
Silicon loss (Å) per cleaning step [K]	0.2	0.2	0.2	0.2	0.2	0.2	0.2	M
Oxide loss (Å) per cleaning step [L]	0.2	0.2	0.2	0.2	0.2	0.2	0.2	M
Allowable watermarks # [M]	0	0	0	0	0	0	0	M

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

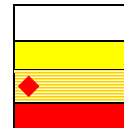


Table68a と b に対する注釈

[A] キラー欠陥密度は、デバイス歩留まり 99%の解析式 $Y=0.99=\exp[-D_p R_p A_{\text{eff}}]$ から計算される。 A_{eff} は実効チップ面積、 D_p は欠陥密度、 R_p はひとつの欠陥がデバイス不良を引き起こす確率を表す欠陥キラーファクターを示す。 $D_p R_p$ の積はウェーハ上のデバイスキラー欠陥密度を示す。 R_p はパーティクルの大きさや形、パーティクルの成分、デバイスレイアウトの詳細を含む多数の要因に依存する。従来は、クリティカルなパーティクル径 d_c を超えるどんなパーティクルに対しても、 R_p は0.2と仮定された。DRAMの場合は、 $A_{\text{eff}}=2.5F^2T+(1-aF^2T/A_{\text{chip}})*0.6A_{\text{chip}}$ で、ここでFは最小の形状サイズ、aはセル占有ファクター、Tはチップ当たりのDRAMビット数(トランジスタ数)、 A_{chip} はDRAMチップサイズである。MPUの場合は、 $A_{\text{eff}}=aT(GL)^2$ で、ここでGLはゲート長である。 A_{eff} は各々の技術世代と共に増えたり減ったりするため、 $D_p R_p$ は常に年々減少するとは限らない。

[B] 歩留向上ではクリティカルなパーティクル径 d_c は、メタルのハーフピッチの 1/2 としてYield Enhancementで定義される。最も多い微粒子の汚染は不規則な形状をしているため、 d_c は実効的なパーティクル径を考えるべきである。

[C] クリティカルなパーティクル径より大きな全てのパーティクルに対して、キラーファクター R_p が 0.2 であると仮定している一例が示されている。これはロードマップの前バージョンで作られた仮定であるが、普遍的に有効でなく一つの計算例の目的に対してのみ含めて考えられる。パーティクル数/ウェーハは $[R_p * 3.14159 * (\text{ウェーハ半径} - \text{エッジ除外領域})^2]$ を使用して計算される。クリティカルなパーティクルサイズのパーティクル数/ウェーハから、別サイズのパーティクル数/ウェーハに変換するために、提案された変換式は次のとおり。 $D_{\text{alternate}}=D_{\text{critical}}*(d_{\text{critical}}/d_{\text{alternate}})^2$ 。

[D]と[E] これらの表では、プロセスやハンドリング時にウェーハ裏面に接触することによって付着するパーティクルを反映している。処理されるウェーハに対して、一般的な共通認識は、ウェーハ表面のパーティクル仕様は、裏面と同じであるべきである(Table68a)。プロセスやハンドリング時に付着する実験的なモデルやデータはあるが(そして、将来の表で

2 フロントエンドプロセス

は、これらのモデルが採用されるかもしれない。) 半導体プロセスに対して劣化させる裏面パーティクル数や大きさに関して、業界内での合意は得られていない。結果として、裏面のコンタクト仕様が、現在の現実的な予測(どのフロントエンドプロセス装置においても接触回数を反映している。)や将来のグレッシブなリソグラフィの改善に基づいている。リソグラフィ工程において、裏面パーティクルがウェーハ表面で焦点面をずらしクリティカルな寸法変化を引き起こすことにより、デバイス歩留まりに重大な影響を与えるという議論がなされてきた。どのようにピンチャックで制限された裏面接触が裏面パーティクル密度と相互に作用して、ウェーハ裏面の平坦度変化を引き起こすかについては明らかになっていないが、小さな(<200nm)パーティクルのクラスタ化が、焦点深度問題を引き起こすことがありうることを示す証拠が出されつつあり、将来の表にはこれらのデータが反映されるだろう。全ての表面測定機器がクラスタ化を測定出来ないため、明確なデータがまだ得られていない。さらに、リソグラフィのロードマップの中で明記されていないため、焦点深度(DOF)が年々どのように変わるかについても明らかではない。2007-2010年のリソ装置/測定装置のグレッシブな仕様は、エッジグリップまたはエッジ接触型のハンドリングだけを必要とするかもしれない。特に200mmウェーハに対しては、ウェーハ裏面の仕上げ面や薄膜の変化が大きく、処理中ウェーハの裏面パーティクルの絶対レベルを測定することは可能ではない。一般に可能なことは、特別のプロセスか処理時に裏面パーティクルの増加数を評価するために、鏡面ウェーハの表面を裏返しにして処理することである。この評価指標は、どんなフロントエンドプロセス装置でも、全ての接触回数を反映する。現段階では、ベベルエッジや近傍での測定は有効ではないため、裏面パーティクルの評価指標は、3mmのエッジ除外領域を有するウェーハに対して適用される。この制限は、エッジグリップエンドエフェクタで発生したパーティクルを測定する場合には、問題になるかもしれない。

[F] 2003年以前のロードマップでは、金属汚染のターゲットが、ゲート酸化膜厚の関数として金属汚染による不良を予測する経験的モデルに基づいている。しかしながら、このモデルが導かれた実験で使われた酸化膜は、現在使われているゲート酸化膜よりはるかに厚かった。より最近のデータは、最新のアプローチが適切であることを示している。金属は、経験的に3つのクラスに分類される。^{12,13} (a) NaやKのように簡単に洗浄可能な可能イオン。これらの可動イオンは、容量-電圧(CV)テストでのフラットバンド電圧シフトを50mV以下とすることでモデル化できるだろう。(b) Ni, Cu, Cr, Co, Hf, Ptのような、シリコン中に溶解するかシリサイドを形成する金属。(c) Ca, Ba, Srのような、ゲート酸化膜の初期耐圧;GOI(Gate Oxide Integrity)の主なキラー。Feのような金属は、分類(b)と(c)の両方になるだろう。可動イオンの目標値は、CVテストで測定される許容しきい値電圧のシフトに基づいている。GOIキラーと他の金属に対する現在の目標値は、経験的なデータに基づいている。¹⁴ 将来予測では、その影響は物理的な絶縁膜厚(EOTではない)でスケールされるべきだが、High-k材料の導入で物理膜厚が増加するため、目標値の予測があまり厳密ではない理由になるかもしれない。しかし、物理的な絶縁膜厚の予測と同様にそのような予測を確認するデータがない状況では、将来も目標値は一定に維持されている。さらに、SOIの導入は、金属が埋め込み酸化膜層の界面に蓄積することを示唆する証拠があるため、金属汚染の許容レベルにも影響するかもしれない。これがどのように許容金属レベルに影響するかはまだ明確になっておらず、これらの表の中で説明されていない。将来年々で考えるべきもう一つの要因は、ウェーハ当りの平均汚染とは対照的に、局在化した汚染の空間分布である。

[G] 可動性イオン D_i のモデルは、許容しきい値電圧変動量(ATVV)の一部のしきい値電圧シフトを生ずるイオン数を計算する。2005年の可動イオンモデルにおいては、LOPまたはLSTP技術に対してATVVが電源電圧の3%であると仮定されている(PIDS章を参照)。可動イオンに分配されたATVVの比率は5%であると仮定される。従って、 $D_i = 1/q(C_{gate} * ATVV * 0.05)$ となる。ここで C_{gate} が電氣的に等価な SiO_2 ゲート絶縁膜厚さに対して計算され、 q が一つの電子の電荷である。このモデルでは、 $D_i = ((3.9 * 8.85) / 1.6) * (0.05 * ATVV / EOT) * 10^9$ となる。ここで、ATVVがmVの単位であり、EOTがnmの単位であり(PIDS章中のLOPまたはLSTP技術要求の表からも)、酸化膜の比誘電率は3.9である。 D_i はATVVに比例するだけでなくEOTに反比例するため、 D_i の値が常に年と共に減少するとは限らないことに注意してほしい。

[H] 表面処理後の有機的汚染による残存炭素量。180nm技術世代の表面炭素量は、露出したシリコンウェーハの10%の炭素原子被覆に相当した($7.3E+13$ 原子/cm²)。以降の技術世代での表面炭素量は、180nmに対してCD(1/2 DRAM 1/2 pitch)の比率で直線的にスケールされた。 $D_c = (CD/180)(7.3E+13)$

[I] $1E+12$ 原子/cm²未満の表面酸素濃度は、エピタキシャル洗浄の要求から導かれる。シリコンとSiGeのエピタキシャル堆積は、現在いくつかのデバイスに対して使用されているが、歪シリコンチャネル技術の実施とともに、より広い範囲で見られるだろう。あるレベルの酸化物はエピタキシャル堆積前にin-situで除去できるが、より低い堆積温度への移行により、高温水素ブリベークの使用が不可能になるだろう。 $1E+13$ 原子/cm²未満の表面酸素濃度は、シリサイド前洗浄のような処理には許容される。(訳注: Table 68aおよび68bでは、表面酸素濃度は 0.1×10^{13} atoms/cm²と記載されている。)現在のゲート前洗浄は酸化物フリーの表面を要求しないが、酸素の中間濃度レベルは不安定なため、ゲート酸化前の表面は、連続的な酸化層によって完全に保護されるか、 $1E+13$ /cm²未満の酸素濃度のどちらかにするべきである。酸素の中間的なレベルは不安定である。現在のHigh-kゲート絶縁膜は、堆積前に酸化物で覆われた表面を要求するが、シリコン上にHigh-k膜を堆積出来るように、多くの研究が進行中である。

[J] 2001 年の ITRS では、表面ラフネスを引き起こす表面処理によって、チャネルモビリティが 10% よりも大きく劣化されないことが仮定されていた。さらに、現在の技術は、AFM に基づいた測定で 2 ÅRMS の表面マイクロラフネスで良好に製造可能であることが要求された。このことは、付加的な粗さを引き起こす表面処理に対してほぼ正しいが、低電圧ゲート酸化 (LVGX) の前洗浄直後に製品上の粗さを測定することの方がより直接的である。この場合、トータルの表面マイクロラフネスは、前洗浄、初期酸化膜除去、イオン注入スクリーン酸化、ダミーまたは犠牲酸化、高電圧用ゲート酸化の最初の酸化 (デュアルゲートフロー)、プラズマ窒化で生じた粗さによって引き起こされた付加的なマイクロラフネスに加えて、スターティング基板の粗さを考慮する必要がある。これを考慮に入れて、製品は、4 ÅRMS の表面マイクロラフネスで最近は何事もなく製造されてきた。これは、キャリアモビリティが AFM マイクロラフネス計測ツールによって典型的にサンプリングされるものより、小さな空間の周波数で主に影響を受けることを示す TCAD 予測によって、部分的に説明されるかもしれない。

[K] シリコンロスの数値は、ソースドレインのエクステンションが形成される過程において、高性能ロジックの要求によって決められる。その具体的な数値は、パターンのないポリシリコンテストウェーハ上で光学上測定されたシリコンロスと関連している。製品上の実際の消費は、プラズマエッチング/アッシングからのダメージ、イオン注入およびドーパント濃度に依存して変わるだろう。駆動電流 (Ids) への悪影響を制御するために、数値を減少させる要求に応じている。もしソースドレインのエクステンション下のシリコンが凹んでいると、接合プロファイルを変化させて、ソースドレインのエクステンション抵抗を増加させ、駆動電流を減少させる。この対応策と注入マスクレベル、接合深さおよびクリティカル寸法のような表パラメータを結び付ける正確なモデルを表すことはまだ出来ていない。IC メーカーは、シリコンロスを 90nm 世代では洗浄ステップ毎に 1.0 Å、65nm 世代では洗浄ステップ毎に 0.5 Å を、現在目標としている。より長期年での数値が要求されるか、あるいは、どの数値が可能なのかは明らかでない。したがって、その数値は 2008 年で 0.4 Å に設定されて、45nm 世代まで一定に保たれ、その後 32nm 世代まで 0.3 Å で、それ以降は 0.2 Å に設定された。

[L] 酸化膜消費の数値は、ソースドレインのエクステンションが形成される過程において、高性能ロジックの要求によって決められる。その具体的な数値は、パターンのないテストウェーハ上の熱酸化膜消費と関連している。製品上の実際の消費は、プラズマエッチング/アッシングからのダメージ、イオン注入およびドーパント濃度に依存して変わるだろう。駆動電流 (Ids) への悪影響を制御するために、数値を減少させる要求に応じている。もしソースドレインのエクステンション下のシリコンが凹んでいると、接合プロファイルを変化させて、ソースドレインのエクステンション抵抗を増加させ、駆動電流を減少させる。同様のプロセスを仮定すると、酸化物を消費しないことによって、その後のプロセスがさらにシリコンを酸化させて消費するという能力を低減する。酸化されるシリコンが少ないということは、ソースドレインのエクステンション下のシリコンの凹みが少ないこと一致する。さらに、分離領域の堆積酸化膜の消費も関心事項である。この対応策と注入マスクレベル、接合深さおよびクリティカル寸法のような表パラメータを結び付ける正確なモデルを表すことはまだ出来ていない。IC メーカーは、酸化膜ロスを 90nm 世代では洗浄ステップ毎に 1.0 Å、65nm 世代では洗浄ステップ毎に 0.5 Å を、現在目標としている。より長期年での数値が要求されるか、あるいは、どの数値が可能なのかは明らかでない。したがって、その数値は 2008 年で 0.4 Å に設定されて、45nm 世代まで一定に保たれ、その後 32nm 世代まで 0.3 Å で、それ以降は 0.2 Å に設定された。

酸化膜やシリコンのロスを最小限にするための要求がさらに重要になるため、微粒子汚染の制御はますます挑戦的な課題になるだろう。しかし、2008 年のデバイスは、たぶんエレベーターティッドソースドレインのある SOI 基板上に形成された完全空乏型になると思われる。このため、イオン注入マスクステップ数も減少し、この減少がイオン注入マスク後洗浄当たりの酸化物およびシリコンロスの許容量を変更させるかもしれない。さらに、SOI およびエレベーターティッドソースドレインの導入は、金属が埋め込み酸化膜層の界面に蓄積することを示唆する証拠があるため、金属汚染の許容レベルにも影響するかもしれない。これがどのように許容金属レベルに影響するかまだ明確になっておらず、これらの表の中で説明されていない。

ゲート絶縁膜材料および歪チャネル形成用のエピタキシャルシリコンや SiGe がデバイスで使用し始められるにつれて、界面制御がますますクリティカルになると予想される。High-k ゲート絶縁膜には、堆積前に酸化か窒化した表面が要求されるかもしれないし、一方エピタキシャルシリコンは酸化物フリーの表面が要求されるだろう。High-k 堆積前に行われる表面処理は、ケミカル酸化によって達成されるかもしれない。オゾン洗浄は既に効果的であることが証明されているし、他の新洗浄法は研究段階である。High-k ゲート絶縁膜は、物理膜厚が厚くなるため、金属汚染物制御に対する要求の緩和ももたらすかもしれない。ゲート電極形成後に、High-k 絶縁膜やメタルゲート電極と互換性のあるエッチング後洗浄が導入されるに違いない。新しい MPU や DRAM 材料は、その材料費が厳しくなっているが、高選択性エッチングの化学的性質やプロセスに対する要求が増えると予想されるし、かつ、これらの新材料は、ESH の効果を下げることなく導入されなければならない。

2 フロントエンドプロセス

清浄表面のウォーターマークを許容できないという普遍的な共通認識があるため、2005年のロードマップではウォーターマークが項目として再登場した。

有望解を加えた表面処理の技術課題は Figure57 の中で示されている。水溶液が本来持っている多くの特質が、金属汚染除去(薬液の持つ高い金属溶解能)やパーティクル除去(ゼータ電位制御、せん断応力、メガソニックによる効率的なエネルギー伝達)を容易にするため、ウェット洗浄はまだ多くの支持を集めている。しかし、非エッチングやダメージフリーのパーティクル除去と同様に次世代ゲートの界面制御を行うために、他の新洗浄技術が立ち上がるだろう。現在、広く効率的で非ダメージのパーティクル除去や残留物除去を目的とした液体および非液体の洗浄技術が開発中である。ウェットやドライの枚葉洗浄は、プロセスの統合やサイクル時間の観点から、さらに普及することが期待されているが、その使用がフロントエンドプロセスにおいて、いつ頃普及するかどうかについては不明なままである。枚葉洗浄は、枚葉のサーマルプロセスや堆積プロセスがゲートスタックに使用されるまでは、広く採用されるのは難しそうである。

水エアロゾルや極低温エアロゾルの様な新洗浄技術は、枚葉システムとして製造の中で使用されてきた。レーザや超臨界CO₂プロセスのような他の技術は、ハイレベルの研究開発が進められており、枚葉システムが採用される可能性が最も高い。しかし、洗浄に対する解は存在しているため、これら新技術採用の障壁は高い。洗浄のための薬液は、発展し続けるだろう。特にRCA洗浄で見られる薬液の希釈は、可能性検討の段階から量産段階へ移行された。薬液の希釈は、酸化膜やシリコンへのアタックを少なく出来るため、希釈薬液は量産工場採用されてきている。

オゾン水プロセスは、硫酸ベースのレジスト剥離や後洗浄の代替として使用されている。オゾン水プロセスの採用は、薬液や水の使用量を削減するけれども、その処理時間が長いことや腐食の可能性があるため、普及していない。193nm リソグラフィのための新レジストの採用によって、硫酸ベースのレジスト剥離と同様に、オゾン水レジスト剥離にもチャレンジして良いかもしれない。

22nm 技術世代での表面処理にどんな技術課題が存在するか不明確なため、有望解は短期(2009年を通して)に対してのみ示されている。過去で行われてきたように、現在と将来の表面処理プロセスについても継続的な改良努力が主題になることが期待される。

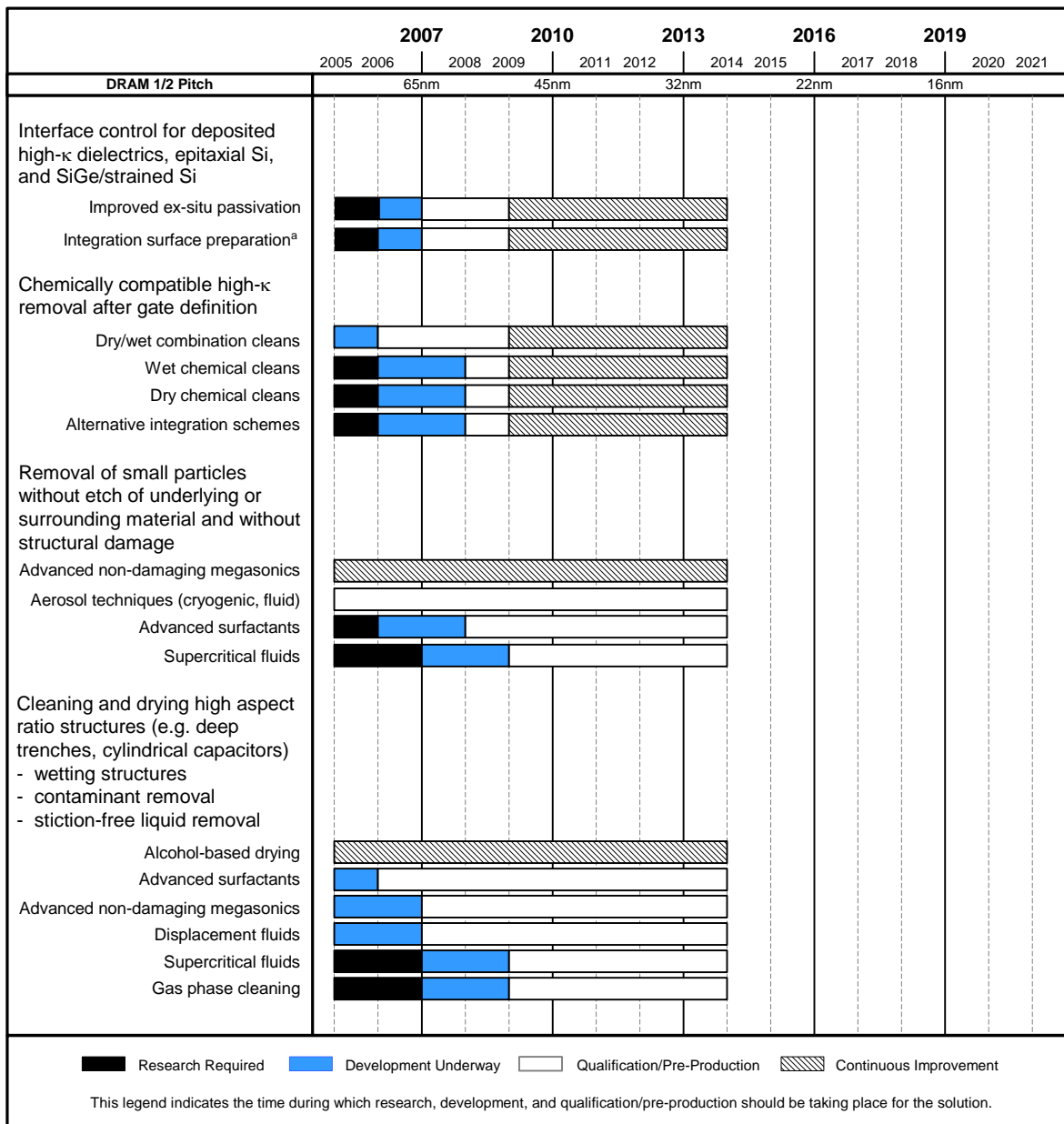


Figure57 Surface Preparation Potential Solutions

ESH や歩留まり向上等は、表面処理と互いに密接に関わっている。薬液の使用量削減、薬液や水のリサイクル、より無害な薬液を用いた代替プロセスは、ESH や CoO に利益をもたらすことが出来る。薬液や水の使用量削減努力は継続されるべきである。自動化されたプロセスモニタリングや制御は、CoO についても削減でき、これらの使用が増えることは、モニタウェアのコストが高くなる 300mm 以上の大口径ウェアハにとって特に期待されている。新洗浄技術の要求は、液浸リソグラフィと関連して生じるが、その液浸リソグラフィ方法の実施と結び付けられるだろう。このため、新洗浄技術の要求は、将来リソグラフィ技術ワーキンググループによって項目化されるのが望ましい。表面処理は、薬液や純水中の適切な純度レベルを定義するために必要な欠陥低減技術と互いに関わり合っている。CoO を最小にするため、アグレッシブな純度ターゲットは、技術的に正当な理由がある所でのみ採用されるべきである。表面処理の全ての分野において、プロセス、欠陥低減、コスト、環境、健康、安全性問題のバランスが達成されなければならない。包括的な情報に関しては Environment, Safety and Health の章を参照すること。

2 フロントエンドプロセス

熱プロセス/薄膜およびドーピング

フロントエンドプロセスでは高い品質と均一性、欠陥の無い膜の成長、堆積、エッチング、およびドーピングが求められる。これらの膜は、絶縁膜や導体または半導体(例えば、シリコン)である。フロントエンドプロセスの困難な挑戦は次の内容を含んでいる; (1) 信頼性が保証された極薄(電気的実効膜厚 $\leq 1.0\text{nm}$)ゲート絶縁膜の成長あるいは堆積; (2) ロジックと DRAM コンデンサーの両方に必要な適当な界面層を含んだ代替高誘電率膜の開発; (3) 空乏化しない低抵抗ゲート電極材料の開発; (4) チャンネル中への歪の形成により、NMOS、PMOS 両デバイスでのチャンネル移動度の増加を実現する信頼性の高いプロセスの開発; (5) 浅接合デバイスへの低抵抗コンタクト形成。他の重要な挑戦は急峻なチャンネルドーピングプロファイルの達成、(6) 良好な CD コントロールを可能とする、レジストリミングとゲートのエッチングプロセスの開発。これら以外にも、急峻なチャンネルドーピングプロファイルの形成、サーマルバジェットが小さい状況下において注入後の欠陥に基づくリーク電流を最小にするための欠陥の管理、および正確な側壁構造の形成を含んでいる。

PIDS の章で詳しく述べられているように、さらにデバイスのスケールリングをしてもトランジスタ性能の向上を維持するためには多くの「技術革新」が必要になると予想される。(キャリア移動度と駆動電流を上げるための)歪み Si チャンネルは正に導入されたばかりであり、歪みを導入のためのそれ以外の技術との比較、及び組み合わせによる最適化が進められている。5 年以内にこれ以外の技術革新の導入が予想される。特筆すべきは、(ゲートリークを減少させ、短チャンネル効果を制御するための)High-k ゲート絶縁膜、および(ゲートスタック層の実用上のスケールリングを律則するドーブド・ポリシリコンの空乏化を取り除くための)メタルゲートである。これらの新素材と構造をうまく導入しても、プレーナ形バルク CMOS トランジスタの限界、特にしきい値電圧と駆動電圧の低下で顕著になるサブスレッショルド・リーク電流の増加により、完全空乏型の SOI(Silicon on Insulator) (あるいは GOI(Ge on Insulator))トランジスタや、マルチゲートトランジスタのような新しいデバイス構造の導入が促進されるであろう。次の 5~7 年間ににおけるこのような新素材とデバイス構造の急速な導入は、開発への挑戦のみならず、効果的で費用効率の高い生産技術と統合するという今までに例のないさまざまな挑戦を必要とする。このように技術が移り変わる時期においては、デバイス構造の選択肢が多数あることから、産業界内において異なった方針が採用されることになる。一部のデバイスメーカーではバルク CMOS でアグレッシブなスケールリングを進めるのに対し、それ以外のメーカーでは要求値が緩和される FDSOI やマルチゲートに移っていくことになる。Table69a と b に、熱プロセス、薄膜、ドーピング、およびエッチングについての要求値を示した。

熱プロセス/薄膜

ゲート絶縁膜は将来のデバイススケールリングに対する最も困難な挑戦の 1 つとして浮上してきた。Table69a や b にまとめられた要求から、酸化膜換算膜厚(EOT)が実質的に 1nm 以下になることが示されている。直接トンネル電流と(ポリシリコン層からの)ポロンの突き抜け現象により膜厚がおおよそ 1nm 以下の酸化膜は使用されなくなる。大きな許容リーク電流を有する高速動作の用途においても、大きなリーク電流のために酸化膜の 1nm あるいはそれ以下の膜厚へのスケールリングの進展が ITRS2003 から止まっているように思われる。幸いにも、高移動度チャンネルが実現されたことで high-k 絶縁膜の必要性が数年遅れることになった。表の中の灰色の空欄は技術要求が短期、中期、あるいは長期の世代のみで示されることを意味している。例えば、高誘電率材料は早くとも 57nm 技術世代(2008 年)で必要とされる。同じ年には空乏化の無いメタルゲート電極が必要とされる。許容されるリーク電流が非常に小さい低消費電力用途にも、ポリシリコンゲート電極が使い続けられる訳だが、高誘電率膜は早くとも 2008 年に必要とされる。高誘電率膜は、有望な結果が出ていたりいくつか早いアナウンスがあるが、今日までにこれらの用途に使えるようなゲート絶縁膜として安定性、信頼性や界面特性を持つ完全に適切な材料や界面膜は見出されていない。適当な代替ゲート絶縁膜を見出し、最適化させるために、地球規模的な研究開発の努力が精力的になされている。短期のゲート絶縁膜の解としては、極薄膜のシリコン酸化膜を使用し、製造することが求められている。過去数年の間に Hf ベースの高誘電率ゲート絶縁膜がかなり研究されてきた。それにもかかわらず、短期の解は表面処理、工程前後の雰囲気制御、シリコンと互換性をもつ材料の開発(例えば、ゲート電極とコンタクト)、後工程の熱履歴に厳しい制約を課すことになるであろう。同様の問題は DRAM の蓄積容量用絶縁膜でも予想され、より早い技術世代で発生すると思われる。

Table69a Thermal and Thin Film, Doping and Etching Technology Requirements—Near-term Years

Grey cells indicate the requirements projected only for near, intermediate, or long-term years.

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for 1E20-doped poly-Si [A, A1, A2]	1.1	1.0	1.0						
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.2	1.1	1.1	0.5					
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for 3E20-doped poly-Si [A, A1, A2]	1.3	1.2	1.2	0.71	0.54	0.41			
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]				0.9	0.75	0.65	0.5	0.5	
Gate dielectric leakage at 100 °C (A/cm^2) bulk high-performance [B, B1, B2]	1.8E+02	5.4E+02	8.0E+02	9.1E+02	1.1E+03	1.6E+03	2.0E+03	2.4E+03	
Metal gate work function for bulk MPU/ASIC $ E_{c,v} - \phi_m $ (eV) [C]				<0.2	<0.2	<0.2	<0.2	<0.2	
Channel doping concentration (cm^{-3}), for bulk design [D]	3.7E+18	4.6E+18	5.4E+18	7.3E+18	8.6E+18	8.9E+18	8.6E+18	8.8E+18	
Bulk/FDSOI/DG – Long channel electron mobility enhancement factor for MPU/ASIC [E]	1.7	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8
Drain extension X_j (nm) for bulk MPU/ASIC [F]	11	9	7.5	7.5	7	6.5	5.8	4.5	
Maximum allowable parasitic series resistance for bulk NMOS MPU/ASIC \times width ($(\Omega-\mu m)$) [G]	180	170	140	140	120	105	80	70	
Maximum drain extension sheet resistance for bulk MPU/ASIC (NMOS) (Ω/sq) [G]	653	674	640	740	677	650	548	593	
Extension lateral abruptness for bulk MPU/ASIC (nm/decade) [H]	3.5	3.1	2.8	2.5	2.2	2.0	1.8	1.5	
Contact X_j (nm) for bulk MPU/ASIC [I]	35.2	30.8	27.5	25.3	22	19.8	17.6	15.4	
Allowable junction leakage for bulk MPU/ASIC ($\mu A/\mu m$)	0.06	0.15	0.2	0.2	0.22	0.28	0.32	0.34	
Sidewall spacer thickness (nm) for bulk MPU/ASIC [J]	35.2	30.8	27.5	25.3	22	19.8	17.6	15.4	
Maximum silicon consumption for bulk MPU/ASIC (nm) [K]	17.6	15.4	13.8	12.7	11.0	9.9	8.8	7.7	
Silicide thickness for bulk MPU/ASIC (nm) [L]	21	19	17	15	13	12	11	9	
Contact silicide sheet R_s for bulk MPU/ASIC (Ω/sq) [M]	7.5	8.6	9.6	10.5	12.1	13.5	15.1	17.3	
Contact maximum resistivity for bulk MPU/ASIC ($\Omega-cm^2$) [N]	1.6E-07	1.3E-07	9.5E-08	8.3E-08	6.2E-08	4.7E-08	3.2E-08	2.5E-08	
STI depth bulk (nm) [O]	367	359	353	339	335	331	323	316	
Trench width at top (nm) [P]	80	70	65	57	50	45	40	35	
Trench sidewall angle (degrees) [Q]	>86.9	>87.2	>87.4	>87.6	>87.9	>88.1	>88.2	>88.4	

2 フロントエンドプロセス

Table69a Thermal and Thin Film, Doping and Etching Technology Requirements—Near-term Years
(continued)

Grey cells indicate the requirements projected only for near, intermediate, or long-term years.

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Trench fill aspect ratio – bulk [R]	5.1	5.6	5.9	6.4	7.2	7.9	8.6	9.5	
Equivalent physical oxide thickness for FDSOI MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]				0.9	0.8	0.7	0.6	0.5	0.5
Gate dielectric leakage at 100°C (A/cm^2) FDSOI high-performance [B, B1, B2]				7.7E+02	9.5E+02	1.2E+03	1.4E+03	2.1E+03	2.2E+03
Metal gate work function for FDSOI MPU/ASIC $\phi_m - E_f$ (eV) NMOS/PMOS [S]				± 0.15	± 0.15	± 0.15	± 0.15	± 0.15	± 0.15
Saturation velocity enhancement factor MPU/ASIC [T]	1	1	1	1.1	1.1	1.1	1*	1*	1*
Si thickness FDSOI (nm) [U]				7.6	6.8	6.2	5.4	5.1	4.4
Maximum allowable parasitic series resistance for FDSOI NMOS MPU/ASIC × width ((Ω - μ m) [G]				155	140	125	110	90	75
Maximum drain extension sheet resistance for FDSOI MPU/ASIC (NMOS) (Ω /sq) [G]				688	691	679	682	649	628
Spacer thickness, FDSOI elevated contact [J]				12.1	11.0	9.9	8.8	7.7	7.2
Thickness of FDSOI elevated junction (nm) [V]				22	20	18	16	14	13
Maximum silicon consumption for FDSOI MPU/ASIC (nm) [K]				22	20	18	16	14	13
Silicide thickness for FDSOI MPU/ASIC (nm) [L]				28	24	22	19	17	16
Contact silicide sheet R_s for FDSOI MPU/ASIC (Ω /sq) [M]				5.8	6.7	7.4	8.3	9.5	10.2
Contact maximum resistivity for FDSOI MPU/ASIC (Ω - cm^2) [N]				9E-08	7E-08	6E-08	4E-08	3E-08	2E-08
Trench fill aspect ratio – FDSOI [W]				0.6	0.6	0.6	0.6	0.6	0.6
Equivalent physical oxide thickness for multi-gate MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]							0.8	0.7	0.6
Gate dielectric leakage at 100°C (nA/ μ m) multi-gate high-performance [B, B1, B2]							6.3E+02	7.9E+02	8.5E+02
Metal gate work function for multi-gate MPU/ASIC [S]							midgap	midgap	midgap
Si thickness for multi-gate (nm) [U]							10.3	9.0	8.4
Maximum allowable parasitic series resistance for multi-gate NMOS MPU/ASIC × width ((Ω - μ m) [G]							105	95	90
Maximum drain extension sheet resistance for multi-gate MPU/ASIC (NMOS) (Ω /sq) [G]							543	557	565
Spacer thickness, multi-gate elevated contact [J]							8.8	7.7	7.2
Thickness of multi-gate elevated junction (nm) [V]							16	14	13
Maximum silicon consumption for multi-gate MPU/ASIC (nm) [K]							16	14	13
Silicide thickness for multi-gate MPU/ASIC (nm) [L]							19	17	16
Contact silicide sheet R_s for multi-gate MPU/ASIC (Ω /sq) [M]							8.3	9.5	10.2
Contact maximum resistivity for multi-gate MPU/ASIC (Ω - cm^2) [N]							4.2E-08	3.4E-08	2.9E-08

Table69a Thermal and Thin Film, Doping and Etching Technology Requirements—Near-term Years
(continued)

Grey cells indicate the requirements projected only for near, intermediate, or long-term years.

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Physical gate length low operating power (LOP) (nm)	45	37	32	28	25	23	20	18	16
Equivalent physical oxide thickness for bulk low operating power T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.4	1.3	1.2	0.8	0.7	0.6	0.6	0.6	
Equivalent physical oxide thickness for bulk low operating power T_{ox} (nm) for metal gate [A, A1, A2]				1.1	1	0.9	0.9	0.9	
Gate dielectric leakage at 100°C for bulk (A/cm^2) LOP [B, B1, B2]	3.3E+01	4.1E+01	7.8E+01	8.9E+01	1.0E+02	1.1E+02	4.5E+02	6.9E+02	
Metal gate work function for bulk low operating power $ E_{c,v} - \phi_m $ (eV) [S]				<0.2	<0.2	<0.2	<0.2	<0.2	
Allowable junction leakage for bulk LSTP ($pA/\mu m$)	10	10	10	10	10	10	16	21	
Equivalent physical oxide thickness for FDSOI low operating power T_{ox} (nm) for metal gate [A, A1, A2]							0.9	0.9	0.8
Gate dielectric leakage at 100°C for FDSOI (A/cm^2) LOP [B, B1, B2]							2.0E+02	2.8E+02	3.1E+02
Metal gate work function for FDSOI and multi-gate LOP [S]							midgap	midgap	midgap
Equivalent physical oxide thickness for multi-gate low operating power T_{ox} (nm) for metal gate [A, A1, A2]							0.9	0.9	0.8
Gate dielectric leakage at 100°C for multi-gate (A/cm^2) LOP [B, B1, B2]							1.3E+02	1.9E+02	2.2E+02
Physical gate length low standby power (LSTP) (nm)	65	53	45	37	32	28	25	23	20
Equivalent physical oxide thickness for bulk low standby power T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	2.1	2.0	1.9	1.2	1.1	1	1	0.9	0.8
Equivalent physical oxide thickness for bulk low standby power T_{ox} (nm) for metal gate [A, A1, A2]				1.6	1.5	1.4	1.4	1.3	1.2
Gate dielectric leakage at 100°C for bulk (A/cm^2) LSTP [B, B1, B2]	1.5E-02	1.9E-02	2.2E-02	2.7E-02	3.1E-02	3.6E-02	4.8E-02	7.3E-02	1.1E-01
Metal gate work function for bulk LSTP $ E_{c,v} - \phi_m $ (eV) [S]				<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Equivalent physical oxide thickness for FDSOI low standby power T_{ox} (nm) for metal gate [A, A1, A2]								1.3	1.2
Gate dielectric leakage at 100°C for FDSOI (A/cm^2) LSTP [B, B1, B2]								4.5E-02	5.0E-02
Metal gate work function for FDSOI and multi-gate LSTP $ \phi_m - E_i $ (eV) NMOS/PMOS [S]								-/+ 0.1	-/+ 0.1
Equivalent physical oxide thickness for multi-gate low standby power T_{ox} (nm) for metal gate [A, A1, A2]								1.2	1.1
Gate dielectric leakage at 100°C for multi-gate (A/cm^2) LSTP [B, B1, B2]								4.5E-02	5.0E-02

2 フロントエンドプロセス

Table69a Thermal and Thin Film, Doping and Etching Technology Requirements—Near-term Years
(continued)

Grey cells indicate the requirements projected only for near, intermediate, or long-term years.

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Thickness control EOT (% 3σ) [X]	<±4	<±4	<±4	<±4	<±4	<±4	<±4	<±4	<±4
Poly-Si or metal gate electrode thickness (approximate) (nm) [Y]	64	56	50	46	40	36	32	28	26
Gate etch bias (nm) [Z]	22	20	17	15	14	12	11	10	8
L _{gate} 3σ variation (nm) [AA]	3.84	3.36	3.00	2.76	2.40	2.16	1.92	1.68	1.56
Total maximum allowable lithography 3σ (nm) [AB]	3.33	2.91	2.60	2.39	2.08	1.87	1.66	1.45	1.35
Total maximum allowable etch 3σ (nm), including photoresist trim and gate etch [AB]	1.92	1.68	1.50	1.38	1.20	1.08	0.96	0.84	0.78
Resist trim maximum allowable 3σ (nm) [AC]	1.11	0.97	0.87	0.80	0.69	0.62	0.55	0.48	0.45
Gate etch maximum allowable 3σ (nm) [AC]	1.57	1.37	1.22	1.13	0.98	0.88	0.78	0.69	0.64
CD bias between dense and isolated lines [AD]	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%
Minimum measurable gate dielectric remaining (post gate etch clean) [AE]	>0	>0	>0	>0	>0	>0	>0	>0	>0
Profile control (side wall angle) [AF]	90	90	90	90	90	90	90	90	90
Allowable V _t shift from charge in dielectric (mV) [AG]	10	10	10	10	10	10	10	10	10
Allowable interfacial charge in high-κ gate stack (cm ⁻²) [AH]	1.0E+11	1.1E+11	1.1E+11	1.8E+11	2.0E+11	2.2E+11	2.2E+11	2.4E+11	2.7E+11
Allowable bulk charge in high-κ gate stack (cm ⁻³) [AI]	2.4E+17	2.7E+17	3.0E+17	7.5E+17	8.9E+17	1.1E+18	1.1E+18	1.3E+18	1.7E+18
Allowable bulk charge in high-κ gate stack (ppm) [AJ]	11.1	12.3	13.6	34.0	40.5	49.0	49.0	60.5	76.6
Allowable critical metal impurity level in high-κ dielectric (ppm) [AJ]	1.1	1.2	1.4	3.4	4.1	4.9	4.9	6.1	7.7

* モデル化されたより詳細な記述については、オンライン上の補足資料ワークシートにある2003 コンタクトRs と2003RsXj を参照。

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

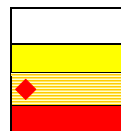


Table69a と b に対する注釈

[A] この数字は、その技術の最大動作周波数で基板や電極の効果を除いた絶縁膜の実効的な厚さのみを表している。このパラメータは、基板(量子効果)と電極(空乏化)の効果を補正した容量の電気的測定を通して得られている。電気的、すなわち容量等価な膜厚(CET: Capacitance Equivalent Thickness)は、EOT とは異なり、ゲート(ポリシリコン)の空乏化の寄与を含んでいる。より詳細な EOT 測定に関しては、リンクされたファイルにある別のワークシートで議論されている。EOT の値は、PIDS の章で示されている電気的なデバイスパラメータ(CET)から導きだされている。それぞれの技術世代におけるチャンネルの構成、ドーピングや電圧で決まる基板のダークスペースやゲート空乏化の効果は MASTER やその他のシミュレータを用いて差し引かれている。

[A1] EOTの値はゲート電極のいくつかの選択肢に対して示されている。これらは、ポリシリコン電極については絶縁膜との界面の不純物濃度が 1x10²⁰/cm³ (軽いドーピング)、1.5x10²⁰/cm³ (通常の場合)、3x10²⁰/cm³ (積極的なドーピング)の場合、そしてメタルゲートを用いた場合である。およその値として、Poly電極の空乏層厚は 1.5E20 で約 0.4nm、3E20 で約 0.3nmである。従って、ポリシリコンのドーピングを 1E20 から 3E20 へ増やすと、許容されるEOTは 0.2nm増加する。同様に、メタルゲートの場合には 1.5E20 の濃度のポリシリコンに比べ約 0.4nm厚いEOTが使えることになる。High-k/ポリシリコン界面には実際上多くの課題があるため、多くの企業はメタルゲートをhigh-k絶縁膜の導入と同時にあるいはそれ以前に導入したいと考えていると見られる。

[A2] それぞれの技術世代における色分けは、絶縁膜がリーク電流、均一性や信頼性の要求を満たせるかどうかを考慮して決められた。このシナリオでは、3 つの全ての用途(HP, LOP そして LSTP)に対して最適化された酸化窒化膜ではもはや要求を満足することは出来ない。従って、high-k 絶縁膜が必要となる。High-k 絶縁膜とポリシリコンゲートに関する早い時期の発表や励みになる結果から、特に 1nm 以上の EOT(多くは SiON-HfSiON 系を使用)では黄色となっている。1nm 以

下でメタルゲートを必要とするような他の全ての high-k 絶縁膜では、既知の問題に対する製造手法が得られていないため、赤色とした。

[B] ゲートリーク電流は 100°C で規定され、トランジスタの室温におけるサブスレショルド電流から導き出されたものである。デバイスのリーク電流は PIDS の章のロジックのセクション-High Performance and Low Power Technology Requirements-で室温におけるオフ時のリーク電流(接合リークとゲートリークを除外したもの)として規定されている。100°C におけるゲートリーク電流のスペックは室温におけるデバイスのサブスレショルドリークに乘数を掛けたものとした。その乗数には 2 つの要素がある。1 つ目の要素は、実際のチップ上の全てのトランジスタが低い V_t を持つトランジスタではないということ考慮したものである。HP チップ上のほとんどのトランジスタは高い V_t を有する。すなわち、リーク電流とドライブ電流は小さい。HP チップで複数の種類のトランジスタが使われることを考慮し、無理の無い推定として第一の要素は 0.1 とした。逆に、LOP と LSTP チップではほとんどのトランジスタが低い V_t なので、第一の要素は 1 とした。第二の要素は温度の係数であり、室温で規定されたデバイスのサブスレショルドリークは動作温度と共に急激に増加することを考慮したものである。高温で動作する HP デバイスでは、第二の要素は 10 とした。LOP、LSTP 用途については温度が低いので、それぞれ 5 と 1 とした。モデルは本章のオンラインの電子ファイル版ではリンクされた補助ファイルとして提供される (<http://public.itrs.net>)。このようにゲートリークをデバイスのサブスレショルドと結びつけることは、回路動作の立場からは満足いくものだと考える。しかし、全ての設計手法(企業)がこのような大きなゲートリーク電流を許容している訳ではないことに注意する必要がある。ゲートリーク電流は最小寸法のデバイスで測定され、そのスペックは全てのトランジスタのバイアス条件 ($V_g = V_s = 0$ 、 $V_d = V_{dd}$ および $V_s = V_d \approx 0$ 、 $V_g = V_{dd}$) に適用される。

[B1] 面積あたりのゲートリークは、許容ゲートリークを物理ゲート長で割った値でモデル化している。しかしながら、総ゲートリークは次の 3 つのリーク成分の合計であることに注意すべきである: 1) ゲートソースオーバーラップ領域のソースとゲートの間のリーク、2) チャンネル領域の上のチャンネルとゲートの間のリーク、および 3) ゲートドレインオーバーラップ領域におけるゲートとドレインの間のリーク。これらの 3 つの成分のそれぞれの大きさはゲート、ソース、およびドレインのバイアス条件に依存する。リーク電流値の色分けは、EOT の中央値に対して反転したチャンネルからゲートへトンネルする電流を UTQUANT シミュレーションした結果に基づいている。(これらのシミュレーション結果は別のワークシートとして <http://public.itrs.net> でオンライン参照できる。) 一般にトンネル電流密度は反転したチャンネルとゲートとの間よりも接合とゲートとの間ではるかに高くなるであろうことは強調されるべきだ。したがって、これらのシミュレーションは、ゲート-接合間のオーバーラップ領域が最小となるような最も良いケース(最も低いリーク)の状態を表している。酸化膜がリークの仕様を満たすとき、その値は白となる。最近の経験では、最適化された酸化膜のリーク電流は酸化膜よりおよそ 30 倍低い; 最適化された酸化膜でリーク電流のスペックが満たせれば白となる。High-k 膜を代替として必要とする場合には、注釈 A2 に基づいて黄色か赤色となる。

[B2] 管理されないゲートリーク電力は、チップの上のすべてのデバイスに最大許容値と等しいゲートリークが流れた時に発生する総静的チップ電力です。パワーマネジメントとしては、許容できる静的なパワーレベルを達成するためのパワーダウンや複数の V_t をもつデバイスのようなパワー削減の技術を広範囲に使用することが必要となるであろう。

[C] ゲート電極の仕事関数は PIDS のデバイス設計に基づくものである。バルクデバイスでは、電極の仕事関数とチャンネルのドーピングが共に、オン電流を最大化しオフ電流の仕様を満たすようにデバイスの閾値電圧をコントロールする。同時に、ドーピングは短チャンネル効果と移動度にも影響を与えるため最適化が必要となってくる。PIDS のデバイス設計では、仕事関数は E_c から 0.1eV 下側および E_v から 0.1eV 上側がそれぞれ NMOS と PMOS に最適であるとしている。表で述べられている仕事関数の必要条件は、シリコンのバンド端から 0.2eV 以内である。ゲートの仕事関数の選択に余裕があるとしても、仕事関数そのものは 10mV 3σ 以内に制御される必要がある。デバイスの閾値電圧の許容範囲を決める要素になるからである。

[D] バルクデバイスのチャンネルドーピング量は PIDS のデバイス設計に基づくものである。ドーピングは、ゲート絶縁膜厚や接合深さと共に短チャンネル効果を制御するものであるため、これらは同時に最適化する必要がある。高いドーピング濃度で短チャンネル効果は抑制されるが、これはチャンネル移動度の減少やトンネルリーク電流増大とトレードオフの関係にある。表で示された値は、同時最適化を行った結果を反映している。 $5 \times 10^{18}/\text{cm}^3$ 以上のドーピング濃度はバンド間トンネルによる過大なリーク電流をもたらす懸念があり黄色とした。

[E] バルク/FDSOI/DG - 長チャンネル NMOS デバイスにおける中でピーク電子移動度のピーク値の向上を示している。

[F] チャンネルの X_j (エクステンション接合)は PIDS のバルクデバイス設計において ($\pm 25\%$ の範囲で) 与えられているものである。以前のロードマップでは、 X_j は $0.55 \times$ 物理ゲート長として与えられていた。しかしながら、CET がゲート長と共にスケールリングされなくなってきたので、エクステンション接合はより積極的にスケールリングされるようになった。NMOS と PMOS の接合深さは同じ値である。

[G] NMOS における最大の許容直列抵抗は PIDS のデバイス設計に基づくものである。PMOS の許容抵抗は NMOS の 2.2 倍とされた。最大のドレインエクステンションのシート抵抗は、許容されるドレイン/ソース寄生抵抗の 15% とモデル化されている。(この章の電子版のリンクファイルで $R_s X_j$ とラベルされたワークシートを参照) 寄生抵抗の要求を全体として満たすために、ドレインエクステンションのシート抵抗値は、コンタクト抵抗と(広がり抵抗に影響を与える)接合の横方向の急峻性と共に最適化されなければならない。これは、比較的シンプルなモデルであり、結果として得られたシート抵抗値は指針としてのみ用いられるべきである。

[H] チャンネルの急峻性(nm単位で表したドーピング濃度が 1 桁下がる距離) $= 0.11 \times$ 物理ゲート長(nm)とする。-短チャンネル効果に基づき算出。¹⁵ この横方向の急峻性は、接合の横方向に 3 桁ドーピング濃度が下がることに相当し、接合深さの

2 フロントエンドプロセス

60%とした。インテグレーションの選択に関するオンライン補足資料の議論に留意のこと。

[I] バルクデバイスに対しては、コンタクト接合深さ $=1.1 \times$ 物理ゲート長($\pm 33\%$ の範囲で)とする。NMOSとPMOSの接合深さは同じ値である。

[J] バルクデバイスに対しては、スペーサの厚さ(幅)はコンタクト接合深さと同じとされている。すなわち、 $1.1 \times L_{gate}$ である。“Response Surface Based Optimization of 0.1 μ m PMOSFETs with Ultra-Thin Oxide Dielectrics”¹⁶による表面反応論を用いて正当性を確立した。FDSOIとマルチゲートに対しては、スペーサ幅は半分、すなわち $0.55 \times L_{gate}$ とした。(この章の電子版のリンクファイルで $R_s X_j$ とラベルされたワークシートを参照)

[K] バルクデバイスに対しては、シリコンの消費はコンタクト接合深さの半分に等しいものとする。エレベーターティッドコンタクトを有する高度な FDSOI やマルチゲートデバイスでは、シリサイド膜厚はシリサイド/シリコン界面がチャネル/ゲート絶縁膜界面と同一平面になるように設定される。シリコンの消費は堆積されたシリコンの厚さと同じである。

[L] バルクデバイスに対してシリサイド層の厚さは、シリコンの消費に起因するコンタクトリークの増加を避けるために、コンタクト深さ X_j の中間の $1/2$ とする。接合深さの半分未満が消費されることになる。¹⁷ エレベーターティッドコンタクト構造を持つ FDSOIとマルチゲートデバイスに対しては、シリサイド層の厚さは、ゲート絶縁膜/チャネル界面より上部に堆積されたシリコンを丁度消費する厚さとする。コバルトやチタンのダイシリサイドの場合には、シリサイド膜厚は消費したシリコンの厚さにほぼ等しい。ニッケルモノシリサイドでは、シリサイド層の厚さは消費したシリコン厚さの $2.22/1.84$ 倍となる。表ではNiSi(ニッケルモノシリサイド)を仮定した。

[M] コンタクトシリサイドのシート抵抗は NiSi に対して $16 \mu\Omega$ -cm と仮定した。

[N] シリコン/シリサイド界面コンタクト抵抗の最大値は、PIDSが許容したMOSFETのソース/ドレイン抵抗の全てがコンタクト抵抗に割り当てられたという仮定で計算されている。さらに、トランジスタのコンタクトの電流方向に沿った長さがMPUハーフピッチの 2 倍であると仮定している。PIDSの配分が $R_s \times W$ に換算しているため、コンタクト抵抗率 ρ_{oc} は $\rho_{oc} = R_s \times W \times M$ となる。異なるトランジスタのコンタクト長さを仮定した場合には、これらの値は適切に修正されなければならない。(この章の電子版のリンクファイルでContact R_s とラベルされたワークシートを参照)コンタクト抵抗率は最大許容値であり実際のデバイスでは使用できないことに注意が必要である。寄生抵抗の要求を全体として満たすために、コンタクト抵抗率、ドレインエクステンションの低効率、ドレインエクステンションの横方向急峻性は同時に最適化されなければならない。

[O] バルクでのトレンチ深さは、コンタクト接合深さとウェル中の空乏層幅を足したものに比例する。比例定数は 2003 年での値を 400nm と設定して決めた。

[P] 最小のトレンチ幅は MPU ハーフピッチとした。

[Q] トレンチの幅はトップの寸法の半分以上には縮小されないとした。

[R] マスクの厚さは DRAM ハーフピッチの半分と基板のトレンチ深さを加えたものとした。

[S] FDSOI およびマルチゲートデバイスでは、ゲートの仕事関数がデバイスの閾値電圧を決める主要因である。従って、midgap 付近の値がより適切である。あるデバイスタイプに対して同じ仕事関数がある期間維持すること、そして異なる用途に対して仕事関数の種類を最小にすること、というシナリオに沿って表は記述されている。仕事関数が NMOS、PMOS それぞれに対して midgap から $\pm 0.15 \text{ eV}$ (LSTP では $\pm 0.1 \text{ eV}$)の場合に最も良い 2 種仕事関数ゲートが与えられる。低コスト版などいくつかの用途では、NMOSとPMOSに対して単一の midgap 仕事関数を持つもので満足の行くものが得られる。バルクデバイスのゲート電極に関しては、仕事関数は 10 mV (3σ)でコントロールされる必要がある。

[T] 飽和速度の向上係数。*2013 以降は速度向上係数はバリスティック向上係数 kbal の中に含まれている。(PIDS 参照)

[U] FDSOI とマルチゲートデバイスに対する Si の厚みは短チャネル効果を制御するための PIDS のデバイス最適化に基づいている。最終的に最適化された厚さは企業ごとに異なることが予想されるが、最終厚みに対する許容度は $\pm 10\%$ である。FDSOI の厚さに関する色分けは、Starting Materials の Table (67a と b) で規定されているように材料を PIDS デバイスに必要とされる最終膜厚(許容度 $\pm 10\%$)まで $\pm 5\%$ の精度で薄膜化することに基づいている。ここでは、薄膜化により膜厚ばらつきは増大しないことを仮定している。全てのマルチゲートで Si 厚さに対する要求値は赤に色分けされている。膜厚制御、側壁の角度、チャネル移動度に関して実証されたものがないからである。

[V] FDSOI およびマルチゲートにおけるエレベーターティッド接合の厚さは物理ゲート長と同一とした。このモデルにおいて、エレベーターティッド接合の全ての厚さはシリサイド形成時に消費される。この厚さを調整することによって、シリサイドのシート抵抗と接合とゲート間の横方向寄生容量との取捨選択がなされる。

[W] FDSOI の膜厚と等しいトレンチ深さに基づいている。

[X] “0.18 μ m MOS デバイスに対する製造の感度および統計をベースにしたプロセス制御要求のモデル”¹⁸を用いた。

[Y] ゲート電極の厚さは物理ゲート長の 2 倍とした。厚いゲートは直列抵抗を低減できるが、その代償としてトポロジーやアスペクト比の増大をもたらす。

[Z] バイアスは露光されたゲート長とエッチング後の最終ゲート長との差として定義した。

[AA] ゲート長の最終的な 3σ ばらつきは、ウェーハ面内、ウェーハ間、ロット間の全てのランダムなばらつきを含んでいる。リソグラフィの近接効果やエッチングに起因する粗密パターン間の CD バイアスなどのシステムティックなばらつきは含ん

でない。この最終的なばらつきは、仕上がりサイズの 10%とした。従来の MOS 構造をこれら計算の基本として用いた。従来の構造から何かが変わった MOS トランジスタ構造(例えば縦型トランジスタ)には別の技術的挑戦があり、これらの計算には従わないだろう。データはレジストパターン形成時におけるリソグラフィ誤差とレジストトリミングとゲートエッチングの両方における加工誤差を考慮に入れて計算された。

[AB] リソグラフィにおける許容できる寸法の分散 σ^2_L はリソグラフィとエッチングプロセスによる分散を合計した値、 σ^2_T の 3/4 を限度とする。リソグラフィとエッチングプロセスは統計的には独立であるため最終的な分散はエッチングとリソグラフィの分散の和とした。これは、露光されたレジストパターンは垂直形状を有すること、エッチングプロセスにおいても寸法忠実性を失わない程度に十分厚いこと、という仮定を含んでいる。この章の電子版のエッチングに関する補助資料を参照のこと。

[AC] レジストトリミングとゲートエッチングプロセスは統計的に独立であり、それぞれの分散 σ^2 は加えることができるとしている。トリミングとエッチングプロセスでの寸法の分散は 1/3 がトリミングプロセスに割り当てられ、残りの 2/3 がエッチングプロセスに割り当てられる。

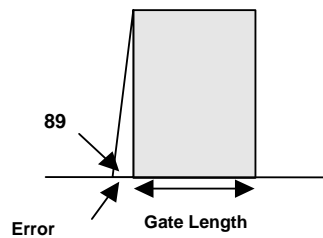
[AD] 15%という疎パターンと密パターンの CD 差というのは、エッチング、リソグラフィおよび計測技術の寄与を組み合わせたものである。

[AE] ゲートエッチングの洗浄工程後には絶縁膜が残っていることが重要である。技術世代間で絶縁膜厚は減少し、代替 high-k 材料(2008)がゲート絶縁膜として使われ始める。これら 2 つの進展のため、絶縁膜がいくらか残っていることを保証しなければならないし、残っている材料を計測できなければならない。

[AF] ゲート形状はエッチング誤差(挿入図参照)の主要因となる。垂直形状の正確な計測は課題として残っている。長期的には、エッジラフネスのデバイス性能に対する効果が示され、計測方法も決める必要がある。

Gate error produced @ 89 degrees = 3.5 nm

Gate Length:	65nm	53nm	45nm	37nm	32nm	30nm	25nm
% error =	5.4	6.6	7.8	9.4	10.9	11.7	14



[AG] 値は SEMATECH のワーキングドキュメントから採用した。電荷は初期から存在するものと、長期ストレスによってトラップ/デトラップされたものの両方を含む。

[AH] 全ての電荷はSi/絶縁膜界面にあると仮定する。すなわち、バルク電荷はなくSiO₂/high-k界面にも電荷は存在しないものとした。

[AI] i)均一に電荷が分布した単一の(high-k)絶縁膜、ii)比誘電率はSiO₂の 4 倍、を仮定した。バルクの濃度をppmに換算するに当たっては、high-k絶縁膜中の金属原子密度はSiO₂中のSiと同じ、すなわち $2.2 \times 10^{22}/\text{cm}^3$ とした。

[AJ] High-k 中の電荷(とトラップ)の 90%は本来持っている結合の欠陥によるもので、10%は金属不純物によるものとした。そのような金属として以下が予想される。a) Ti, Sc, Nd, V, Ta, Nb などギャップ中央より低いエネルギー準位の d-電子をもっている遷移金属。b) high-k より多くの d-電子を持っている遷移金属。c) Cu, Ag, Ag。 d) high-k 金属の放射性同位体。

【訳者注:上記 c)の Ag は Au の間違いと思われる。】

2 フロントエンドプロセス

Table69b Thermal and Thin Film, Doping and Etching Technology Requirements—Long-term Years

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	DRAM
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	MPU
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	MPU
Bulk/FDSOI/DG – Long channel electron mobility enhancement factor for MPU/ASIC [E]	1.8	1.8	1.8	1.8	1.8	1.8	1.8	MPU/ASIC
Equivalent physical oxide thickness for FDSOI MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]	0.5	0.5						MPU/ASIC FDSOI
Gate dielectric leakage at 100°C (A/cm^2) FDSOI high-performance [B, B1, B2]	3.3E+03	3.7E+03						MPU/ASIC FDSOI
Metal gate work function for FDSOI MPU/ASIC $\phi_m - E_{\text{ref}}$ (eV) NMOS/PMOS [S]	+/- 0.15	+/- 0.15						MPU/ASIC FDSOI
Saturation velocity enhancement factor MPU/ASIC [T]	1*	1*	1*	1*	1*	1*	1*	MPU/ASIC
Si thickness FDSOI (nm) [U]	3.3	3.0						MPU/ASIC FDSOI
Maximum allowable parasitic series resistance for FDSOI NMOS MPU/ASIC × width ($\Omega\text{-}\mu\text{m}$) [G]	75	75						MPU/ASIC FDSOI
Maximum drain extension sheet resistance for FDSOI MPU/ASIC (NMOS) (Ωsq) [G]	700	771						MPU/ASIC FDSOI
Spacer thickness, FDSOI elevated contact [J]	6.1	5.5						MPU/ASIC FDSOI
Thickness of FDSOI elevated junction (nm) [V]	11	10						MPU/ASIC FDSOI

Table 69b Thermal and Thin Film, Doping and Etching Technology Requirements—Long-term Years
(continued)

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	DRAM
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	MPU
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	MPU
Maximum silicon consumption for FDSOI MPU/ASIC (nm) [K]	11	10						MPU/ASIC FDSOI
Silicide thickness for FDSOI MPU/ASIC (nm) [L]	13	12						MPU/ASIC FDSOI
Contact silicide sheet R_s for FDSOI MPU/ASIC (Ω /sq) [M]	12.1	13.3						MPU/ASIC FDSOI
Contact maximum resistivity for FDSOI MPU/ASIC (Ω -cm ²) [N]	2E-08	2E-08						MPU/ASIC FDSOI
Trench fill aspect ratio – FDSOI [W]	0.6	0.6						FDSOI
Equivalent physical oxide thickness for multi-gate MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]	0.6	0.6	0.5	0.5	0.5	0.5	0.5	MPU/ASIC Multigate
Gate dielectric leakage at 100°C (nA/μm) multi-gate High-performance [B, B1, B2]	1.0E+03	1.1E+03	1.2E+03	1.4E+03	1.6E+03	1.8E+03	2.2E+03	MPU/ASIC Multigate
Metal gate work function for multi-gate MPU/ASIC [S]	midgap	midgap	midgap	midgap	midgap	midgap	midgap	MPU/ASIC Multigate
Si thickness for multi-gate (nm) [U]	6.8	6.1	5.5	4.8	4.1	3.3	2.6	Multigate
Maximum allowable parasitic series resistance for multi-gate NMOS MPU/ASIC × width ((Ω -μm) [G]	85	70	65	65	60	55	50	MPU/ASIC Multigate
Maximum drain extension sheet resistance for multi-gate MPU/ASIC (NMOS) (Ω /sq) [G]	641	577	591	687	720	809	781	MPU/ASIC Multigate
Spacer thickness, multi-gate elevated contact [J]	6.1	5.5	5.0	4.4	3.9	3.3	3.3	MPU/ASIC Multigate
Thickness of multi-gate elevated junction (nm) [V]	11	10	9	8	7	6	6	MPU/ASIC Multigate
Maximum silicon consumption for multi-gate mpu/asic (nm) [K]	11	10	9	8	7	6	6	MPU/ASIC Multigate
Silicide thickness for multi-gate MPU/ASIC (nm) [L]	13	12	11	10	8	7	7	MPU/ASIC Multigate
Contact silicide sheet R_s for multi-gate MPU/ASIC (Ω /sq) [M]	12.1	13.3	14.8	16.7	19.0	22.2	22.2	MPU/ASIC Multigate
Contact maximum resistivity for multi-gate MPU/ASIC, (Ω -cm ²) [N]	2.4E-08	1.8E-08	1.5E-08	1.eE-08	1.1E-08	8.8E-09	7E-09	MPU/ASIC Multigate
Physical gate length low operating power (LOP) (nm)	14	13	11	10	9	8	7	LOP
Equivalent physical oxide thickness for FDSOI low operating power T_{ox} (nm) for metal gate [A, A1, A2]	0.8	0.8	0.7					LOP FDSOI
Gate dielectric leakage at 100 °C for FDSOI (A/cm ²) LOP [B, B1, B2]	3.6E+02	3.8E+02	1.1E+03					LOP FDSOI

2 フロントエンドプロセス

Table69b Thermal and Thin Film, Doping and Etching Technology Requirements—Long-term Years
(continued)

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	DRAM
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	MPU
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	MPU
Metal gate work function for FDSOI and multi-gate LOP [S]	midgap	midgap	midgap	midgap	midgap	Midgap	midgap	LOP
Equivalent physical oxide thickness for multi-gate low operating power T_{ox} (nm) for metal gate [A, A1, A2]	0.8	0.8	0.7	0.7	0.7	0.7	0.7	LOP Multi-gate
Gate dielectric leakage at 100°C for multi-gate (A/cm^2) LOP [B, B1, B2]	3.6E+02	3.8E+02	9.1E+02	1.0E+03	1.1E+03	1.3E+03	1.4E+03	LOP Multi-gate
Physical gate length low standby power (LSTP) (nm)	18	16	14	13	11	10	9	LSTP
Equivalent physical oxide thickness for FDSOI low standby power T_{ox} (nm) for metal gate [A, A1, A2]	1.1	1.1	1.1	1.0	1.0	0.9	0.9	LSTP FDSOI
Gate dielectric leakage at 100°C for FDSOI (A/cm^2) LSTP [B, B1, B2]	5.6E-02	6.3E-02	7.1E-02	7.7E-02	8.3E-02	9.1E-02	1.0E-01	LSTP FDSOI
Metal gate work function for FDSOI and multi-gate LSTP $\phi_m - E_i$ (eV) NMOS/PMOS [S]	± 0.1	± 0.1	± 0.1	± 0.1	± 0.1	± 0.1	± 0.1	LSTP
Equivalent physical oxide thickness for multi-gate low standby power T_{ox} (nm) for metal gate [A, A1, A2]	1	0.9	0.8	0.8	0.8	0.8	0.8	LSTP Multi-gate
Gate dielectric leakage at 100°C for multi-gate (A/cm^2) LSTP [B, B1, B2]	6.0E-02	6.5E-02	7.5E-02	8.0E-02	8.6E-02	1.0E-01	1.3E-01	LSTP Multi-gate
Thickness control EOT (% 3σ) [X]	<±4	<±4	<±4	<±4	<±4	<±4	<±4	MPU/ASIC
Poly-Si or Metal Gate electrode thickness (approximate) (nm) [Y]	22	20	18	16	14	12	12	MPU/ASIC
Gate etch bias (nm) [Z]	8	7	6	5	5	5	3	MPU/ASIC
L_{gate} 3σ variation (nm) [AA]	1.32	1.20	1.08	0.96	0.84	0.72	0.72	
Total maximum allowable lithography 3σ (nm) [AB]	1.14	1.04	0.94	0.83	0.73	0.62	0.62	MPU/ASIC
Total maximum allowable etch 3σ (nm), including photoresist trim and gate etch [AB]	0.66	0.60	0.54	0.48	0.42	0.36	0.36	MPU/ASIC
Resist trim maximum allowable 3σ (nm) [AC]	0.38	0.35	0.31	0.28	0.24	0.21	0.21	MPU/ASIC
Gate etch maximum allowable 3σ (nm) [AC]	0.54	0.49	0.44	0.39	0.34	0.29	0.29	MPU/ASIC
CD bias between dense and isolated lines [AD]	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	MPU/ASIC
Minimum measurable gate dielectric remaining (post gate etch clean) [AE]	>0	>0	>0	>0	>0	>0	>0	MPU/ASIC
Profile control (side wall angle) [AF]	90	90	90	90	90	90	90	MPU/ASIC

Table69b Thermal and Thin Film, Doping and Etching Technology Requirements—Long-term Years
(continued)

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	DRAM
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	MPU
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	MPU
Allowable V_t shift from charge in dielectric (mV) [AG]	10	10	10	10	10	10	10	MPU/ASIC
Allowable interfacial charge in high- κ gate stack (cm^{-2}) [AH]	2.0E+11	2.0E+11	2.0E+11	2.2E+11	2.2E+11	2.4E+11	2.4E+11	MPU/ASIC
Allowable bulk charge in high- κ gate stack (cm^{-3}) [AI]	8.9E+17	8.9E+17	8.9E+17	1.1E+18	1.1E+18	1.3E+18	1.3E+18	MPU/ASIC
Allowable bulk charge in high- κ gate stack (ppm) [AJ]	40.5	40.5	40.5	49.0	49.0	60.5	60.5	MPU/ASIC
Allowable critical metal impurity level in high- κ dielectric (ppm) [AK]	4.1	4.1	4.1	4.9	4.9	6.1	6.1	MPU/ASIC

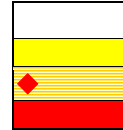
* モデル化されたより詳細な記述については、オンライン上の補足資料ワークシートにある2003 コンタクトRs と2003RsXjを参照。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



中長期の解決策は、高品質のゲート酸化膜に匹敵するような電気特性(安定性や界面準位の密度など)と信頼性を有する高い誘電率(中期的には >10、長期的には>20)を有する材料の特定が必要である。Hfベースの誘電体からIII族や希土類(RE)酸化物、そして三元系酸化物への変遷が必要となってくる。SiO₂以外の材料に関する重要な課題は、良好な界面準位特性とチャンネルの移動性を維持するために非常に薄いSiO₂かSiONがチャンネル界面部で今後もまだ必要であるということである。この界面層は酸化膜換算膜厚の増大を招き、High-k絶縁膜を用いたことによるあらゆる利点を著しく損なってしまう。エピタキシャル成長させた誘電体によりこの界面層を排除することはできるが、それを用いた系ではチャンネル移動度の劣化や高濃度の界面電荷が原因とされる多くの未解決課題が残されている。

シリコン基板と High-k 金属イオンの間を繋ぐための O-Si-O 結合からなる中間層は、名目上 0.4nm という酸化膜換算膜厚のスケール限界をもたらす。また、高誘電率材料とゲート電極値の間で界面反応を最小限に抑制することやプロセス処理中に成長する余分な絶縁膜成長を抑制すること、そしてゲート電極の実効仕事関数の制御/最適化をするために適切な材料が必要となると予想される。また、膜厚制御性と均一性の向上は300mmやそれ以上の大口径ウェハのVt制御を達成するために不可欠である。イオン注入やプラズマエッチングに伴うプロセス誘起損傷やゲートパターニングに対する細心の注意は、特に、リーク電流がゲート絶縁膜周辺長に密接に依存するため益々重要となる。

別の挑戦として、ゲートリークの仕様と信頼性要求事項の両方を満たす誘電体特性の実現が挙げられる。これらの要求を達成するために、High-k 絶縁膜は熱電子放出や直接トンネルを回避すべく、その障壁高さが1eV以上で、4-5eVのバンドギャップを有していなければならない。さらに、候補となる誘電体は安定で、かつFrenkle-Poole トンネリングを抑圧すべくキャリアのトラップ密度は無視できる程度のレベルでなくてはならない。最後に、ゲート絶縁膜材料は、ゲート電極材料やゲート電極のドーパントによってトランジスタのチャンネルを汚染されることが無いような強い拡散抑止能を有していなければならない。

ゲート電極もまた今後のスケールリングに対する主要な挑戦課題であり、仕事関数、抵抗率、およびCMOS化に対する整合性は、ゲート電極の新しい候補材料に対する重要なパラメータである。ゲート電極の課題に対す

2 フロントエンドプロセス

る短期的解決策として、ドーピングされたポリサイドゲートスタックの改善やホウ素添加の SiGe ゲート電極の導入が挙げられる。ゲート絶縁膜へのホウ素侵入の阻止対策(例えば、窒化珪素の使用)と同様により確実な仕事関数制御を実現するためにドーピングされたポリシリコンの活性化処理に対するより一層の開発は極めて重要である。ホウ素の外方拡散にともなうチャンネルへの自己ドーピングとポリシリコンの空乏化が原因で最終的には、デュアルドーピングされたポリシリコンゲート材料が徐々に用いられなくなる。

金属ゲートを含む中長期の解決策に対しては、はるかに複雑で精力的な研究が望まれる。一例を挙げると、最適のゲート電極の仕事関数はそれぞれの素子やアプリケーションによって異なるということがある。バルクの NMOS と PMOS 素子においてバンド端の仕事関数は、駆動電流向上と短チャンネル効果抑制という観点から最良の折り合いをもたらす。しかし、完全空乏型の SOI 素子や多ゲート素子は、そのフェルミレベルがミッドギャップから数百 meV 上下に位置する 2 つの仕事関数を有するゲートを用いることで、うまく最適化できる。低コスト、低待機電力用途には、単一(ミッドギャップ)の仕事関数を有するゲートを有効に用いるということもあり得る。したがって、仕事関数の調節が可能なシステムは、特に重要である。これらのシステムにおいて今日、仕事関数の調節範囲を決定する上で、十分にまたは完全にシリサイド化された(FUSI: Fully Silicided、TOSI: Totally Silicided)ゲート電極に高い関心が寄せられている。シート抵抗の問題があるために最終的には被覆ゲート電極が必要となるであろう。この場合、所望のゲート仕事関数を得るために界面層が使われ、トータルのゲートシート抵抗を下げるために第 2 層が用いられる。

素子のスケールアップにおいて他の非常に困難な挑戦は、フロントエンドの材料とプロセスの選択における機械的応力を利用することを念頭においたチャンネル移動度の向上である。電子と正孔の移動度に対する効果が機械的応力により逆の方向に作用するため、NMOS と PMOS とでは逆方向に応力を印加しなければならないため、解決策候補は複雑になる。従来のプロセス(分離トレンチ形成、ゲート電極、シリサイド)で抑制されなければならない付随的な局所的応力を誘引する。また、Si と SiGe の層をそれぞれ交互に積層することによってグローバルな応力を誘発することができ、加えてひずみ Si(または、Ge)層を、SOI 基板上に形成することも可能である。さらに、応力層を素子表面や基板の中に(SiGe リセス接合)堆積することもできる。正孔の移動度を高めるために PMOS 素子の方向を従来の<110>方向ではなく、<100>方向に沿って形成することも検討されている。ここでの挑戦は、局所的、グローバルな応力源を統合することであり、各応力源からの効果が移動度向上と相加的になるように、NMOS, PMOS の両方において移動度向上効果が得られるように、そして基板のせん断応力限界を超えないように(局所的に)しなければならない。

高い駆動電流を維持するために、従来の部分空乏型や完全空乏型の SOI 素子と同様に、バルク CMOS 素子に対してもチャンネル移動度を向上させるための技術改良が必要である。NMOS に対して緩和された Si-Ge 上のひずみ Si や PMOS に対するひずみ Si-Ge 上のひずみ Si など、歪ませた Si チャンネルの利用は、この目的を達成するための助けとなる一方、十分なプロセスの最適化が不可欠である。これらの向上された移動度、例えば、ひずみチャンネル素子は、High-k 材料が導入される前に酸窒化膜と併用して必要となるであろう。長期予測で挙げられている非標準なダブルゲート素子もまた、ひずみシリコンチャンネルから恩恵を被ることになるであろう。

高移動度チャンネルや代替界面層、High-k 絶縁膜、新ゲート電極を CMOS に組み込むということは極めて大きな集積化の挑戦である。これら多くの候補材料による組合せが有する耐熱性限界は、ゲート形成後の通常の接合熱処理サイクルと両立しない。これら新材料を用いることによって接合熱処理温度を大幅に抑制するか、ゲートスタック形成と接合形成の順序を逆転させた代替プロセスが必要となる。これらの例として“置換ゲート”とかゲートラストプロセスがある。これらの試みは製造を複雑にし、コストの増大を招き、かつ素子性能と信頼性に影響を与える可能性もある。その結果、従来の CMOS プロセスの基本設計概念を維持するために多大な努力が払われている。

側壁スペーサは現在、自己整合形成やソースドレインのドーパント構造形成のためだけでなく、ゲート、ソースドレイン間の分離を構成するために使われている。ゲートとソースドレインのコンタクト構造とこれらコンタクトを形成するために用いられるプロセスは、側壁スペーサの堅牢性に依存する。側壁スペーサは従来、堆積酸化膜やポリシリコンの熱酸化、堆積窒化膜、およびそれらの様々な組み合わせによって形成されている。この従来の側壁プロセスは、側壁スペーサを用いたプロセスの適合性が難しくなり、エレベーターソースドレイン構造が必要となる時(2008年頃と推定)までは少なくとも使われる。完全空乏型 SOI 素子に対しては、ゲート絶縁膜のような高い信頼性と安定性を有する薄くて堅牢な側壁が必要である。また、それらは寄生容量と直列抵抗を最小限に留めるべく最適化されなければならない。物理ゲート長が約 20nm 以下では、エレベーターコンタクト構造を想定した選択エピタキシャルシリコンやシリサイドプロセスに晒されると最良の最先端プロセスによる熱酸化膜でさえ欠陥を発生しやすくなる。窒化膜や酸窒化膜は酸化膜よりも良い代替材料であるが、High-k 絶縁膜との相性が良く、実用可能な側壁スペーサを見出し、認知するための更なる研究が必要である。

また、プリメタル誘電体と同様に、浅い分離用トレンチを埋めるために熱的にもしくは堆積により形成された薄膜は、極めて重要である。この技術の実用化において、トレンチ幅を細めることやよりアスペクト比の大きい隙間が必要とされるということは、トップとボトムのコナー部の形状制御や疎密構造の埋め込みの均一性が最も重要な要求であることを意味している。浅いトレンチ分離構造の形成において活性化領域のトップ端部分は、一般的にゲート絶縁膜の成長や堆積前のパッド酸化膜や犠牲酸化膜のフッ酸エッチングに晒される。ゲートは、このコナー形状に沿って形成され、高電界領域や潜在的な高欠陥部分をつくってしまう。この領域は、低閾値電圧と小さな飽和電流しか得られないトランジスタがバルクトランジスタと並列に接続されていると考えることができる。このことが I_d/V_g 特性における“こぶ”や大きなサブスレッショルドリークを誘発する。従って、STIトレンチ先端部のコナーは通常、分離用酸化膜の堆積前の熱酸化によって丸められる。このコナーの曲率半径が増加すると、寄生トランジスタの V_t が増加し、この“こぶ”は小さくなる。しかしながら、新しいプロセスが導入されない限り、素子のスケールリングは曲率半径の減少をもたらす。

隣接する活性領域端のフィールド酸化膜の後退度合いは、端に位置するトランジスタの断面形状をある程度決定するので、寄生ドレイン電流の大きさもまた、そのフィールド酸化膜の後退度合いに依存する。従って、曲率半径が分離幅とともにスケールダウン、願わくばフィールド酸化膜の後退も、すると曲率半径の減少をともなう少なくとも劣化の部分的緩和をもたらす。この酸化膜の後退は、パッド酸化膜や犠牲酸化膜の他、CMPプロセスやフッ酸浸漬に対する堆積酸化膜の“硬さ”に依存し、これらの全ては各技術世代において最適化されるプロセス設計の選択に委ねられる。

中核技術である熱処理、ドーピングに関する集積化の要件は、浅接合プロファイルや接合の急峻さを維持すること、およびドーパントの高い活性化を実現すること、材料の耐熱性を向上させること、そして素子特性に関わるこれらの影響を制御することである。熱処理・薄膜に対する解決策候補のロードマップは、Figure58に示されている。ひずみ基板、High-k ゲート絶縁膜、金属ゲートそして、非バルク CMOS に関する技術の変遷は、量産までに 2 年のプロセス検証と試作が必要とされる大変重要な事項であり、全く新しいゲートスタック材料が顧客に出回るまでには異常なほど大量の信頼性データが必要となることはその一例である。これは認定までにたった 1 年でよかった劇的な変化をとまなわない従来と状況を異にする。

2 フロントエンドプロセス

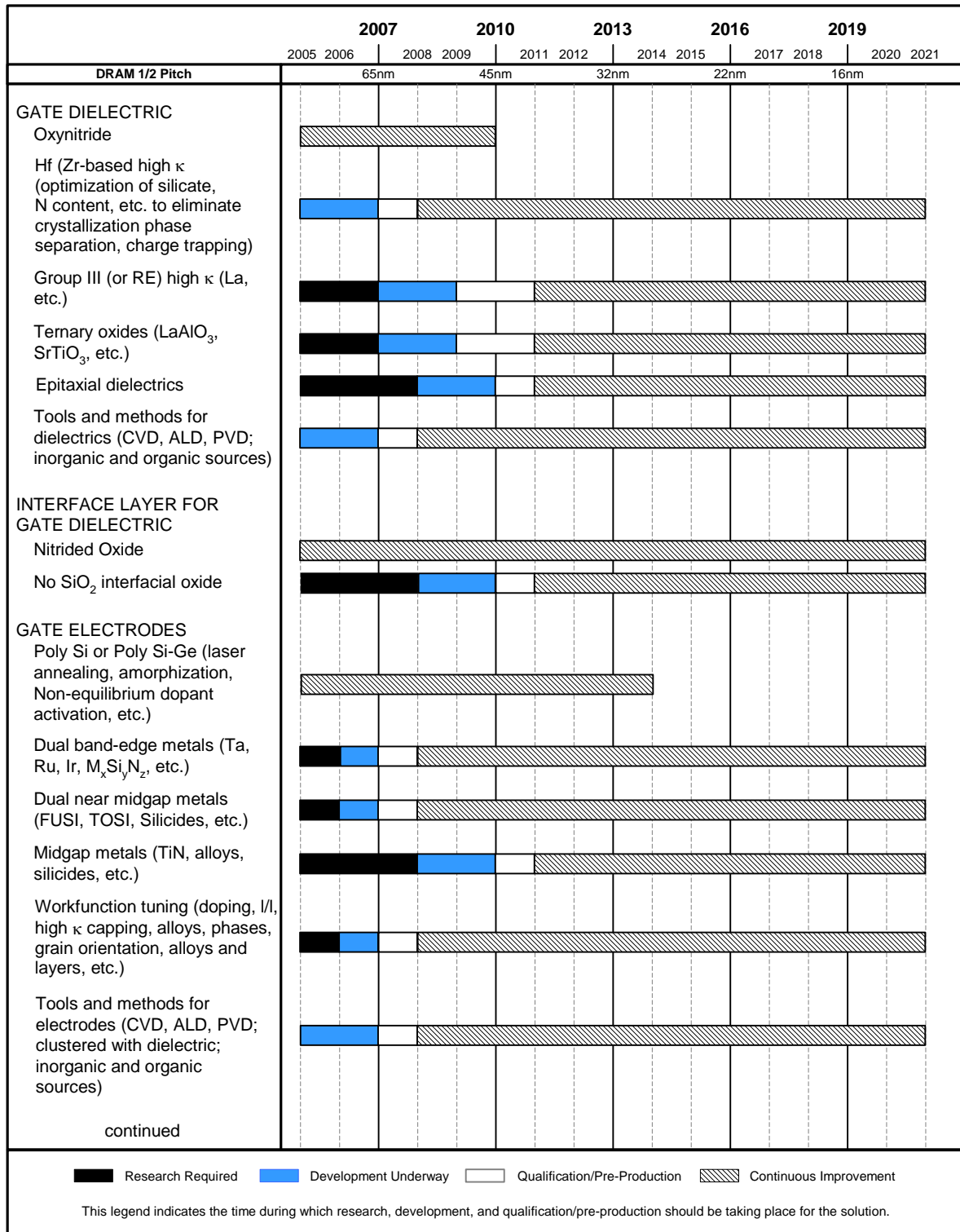


Figure58 Thermal/Thin Films Potential Solutions

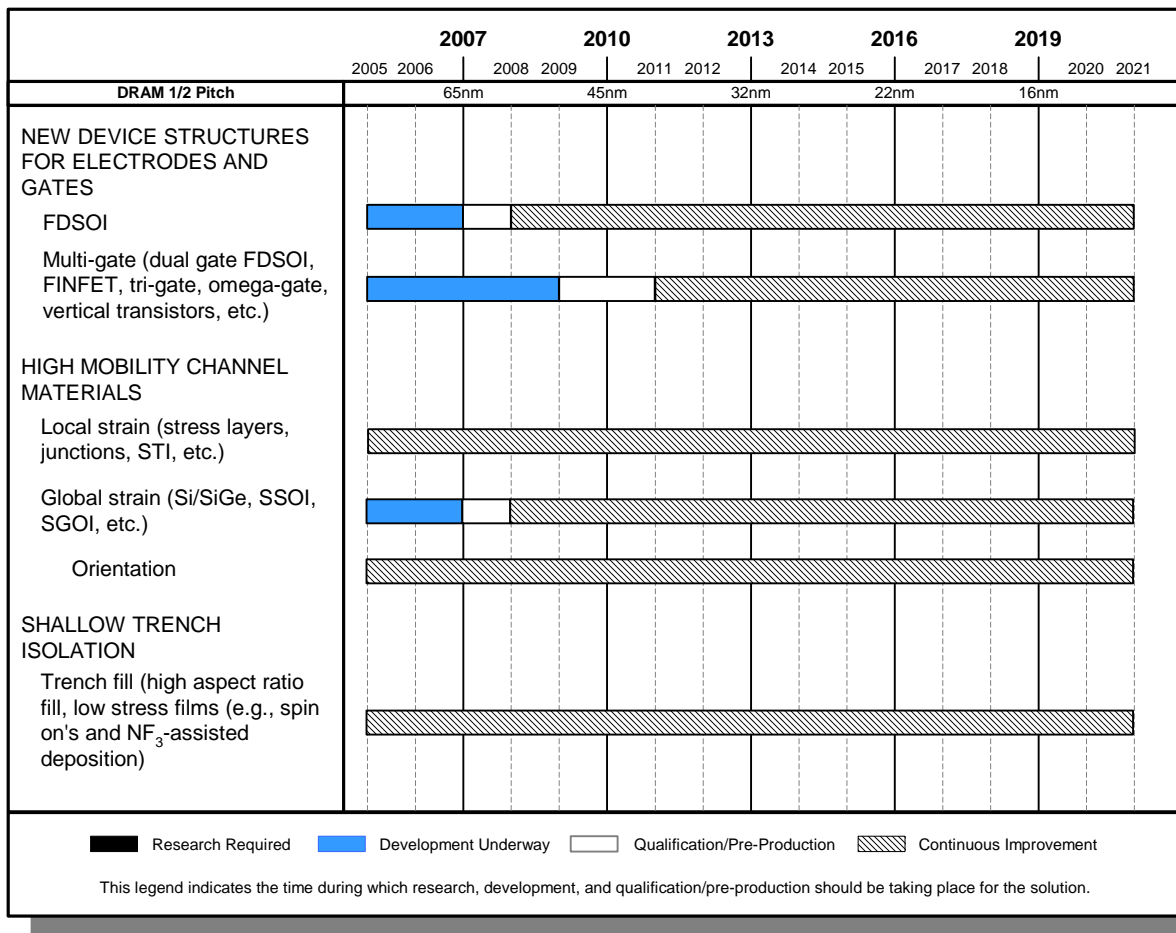


Figure58 Thermal/Thin Films Potential Solutions (continued)

ドーピング技術

バルク CMOS デバイスの伝統的なスケールリングは、新材料と新しいデバイス構造が今後数年のうちに数多く導入されることで、ますます難しくなっている。ノンラシカル CMOS デバイスへの移行時期はデバイスメーカーの間で異なることが予想され、したがって異なったデバイスアーキテクチャが各技術世代に存在するようになる。この点については PIDS の章の中で詳細に議論されており、高性能トランジスタに関しては以下のデバイスシナリオが推定されている:

2005 年から 2012 年ー バルクシリコン MOSFET では以下の進歩がなされる:

- 酸化ゲート絶縁膜の最適化
- High-k ゲート絶縁膜とメタルゲートとのスタック構造の、2008 年における導入
- エレベーターコンタクト構造

2008 年から 2015 年ー エレベーターコンタクト構造を有する単一ゲートの完全空乏 SOI プレーナ・デバイス

20011 年から 2020 年ー デュアルあるいはマルチゲートの完全空乏デバイス。例えば FINFET。

困難な技術課題 — 2007 年を通じた非常に短期の CMOS トランジスタのドーピングのための困難な技術課題は、1) poly-Si ゲートの中で空乏層厚さの薄膜化を実現するため、現在知られている限界以上に poly-Si ゲート中での p/n 両タイプの活性なドーピング量を増加させること、2) 短チャネル効果の制御に必要な、ソース/ドレインのエクステンション領域でのますます浅くなる接合深さ(~10nm)の達成である。このとき、接合を浅くすると同時に低いシート抵抗(~500 オーム/sq)の形成、エクステンションとチャネルの接合部分における急峻な

2 フロントエンドプロセス

ドーピング、エクステンションとゲートのオーバーラップ量の最適化を同時に実現する必要がある。3) 短チャネル効果を最小化し、キャリア移動度を最大化しながら、しきい値電圧を設定するための、チャネル領域でのドーピングプロファイルの制御、4) 浅く、高濃度にドーピングされたソース/ドレイン領域への低抵抗コンタクトの形成である。これまでに一軸性の応力の印加によりチャネル移動度を向上することを目的として、in-situ ドープ層の選択堆積が実用化されており、これは同時にイオン注入とアニーリングの置き換えになっている。チャネル領域での応力印加、接合形成のためのドーピング、およびコンタクト材料の選択を同時に最適化することが新たな技術となっている。

また短期(Near Term)ではあるが 2007 年以降は、主要な技術課題は「トランジスタ構造」と直接関わってくる。アグレッシブに接合をスケールし、high-k/メタルゲートのスタックを用いたとしても、プレーナのバルクデバイスのエクステンションでは、ますます短チャネル効果を制御できなくなる。そのようなアグレッシブなスケールアップの必要性を緩和するために、プレーナのバルク CMOS は、ノンクラシカル CMOS、すなわち FDSOI や垂直なピラー上に形成したダブルゲートやマルチゲートデバイス に置き換わっていく。これらのノンクラシカルデバイスの実現には、極めて薄い SOI 基板やエレベーターティッドコンタクトの接合形成などを含む、新たな技術課題の解決が必要となる。

より長期(Longer Term)においては、直列抵抗、特にコンタクト抵抗が、デバイスのスケールアップを脅かすほどに困難にしている。チャネル長がスケールされてもデバイスの W/L はほぼ一定であり続けるので、デバイスの抵抗もほぼ一定のままとなる。しかしながらコンタクトホールのはり大きさはリソグラフィの大きさの二乗でスケールアップされるので、コンタクト抵抗は素子サイズが小さくなることで急速に増大する。

ソース/ドレインエクステンション — プレーナバルク CMOS では、短チャネル効果を制御するために、ドレインエクステンション、チャネル、ハロー、およびチャネルエッジのドーピングが非常に重要なプロセスとなっている。ドレインエクステンションのドーピング量は、寄生抵抗をできるだけ少なくしつつ、接合深さを浅くする必要性から、できるだけ上がることが望ましい。補足資料に示したイオン注入のエネルギーとドーズ、その結果としての活性化ドーパント濃度のピーク値は、PIDS によるトータルの直列抵抗の 15%と等しいエクステンション直列抵抗を達成する値となっている。ここではドーパントの拡散は無視できる程度 (すなわち活性化は Flash あるいはノンメルトのレーザーアニール、または固相エピタキシャル成長による)としている。

バルクプレーナ MOSFET において、注入直後の(深さ方向の)接合深さは横方向への拡散深さに比例しており、その後の横方向拡散、およびチャネル領域への染み込みに強く影響する。したがって短チャネル効果は深さ方向の接合深さに強く関係しており、またドレインエクステンション抵抗はドーピング濃度と横方向の急峻さと強く関係している。

これまでは常に、より急峻な (すなわちボックスライクな)横方向の接合が短チャネル効果にとって望ましいとされていた。これは、エクステンションドーピングのチャネル領域への拡散を抑えることができ、急峻な接合を形成するためのカウンタードーピングの量を抑えることができたことによる。しかしながら、チャージシェアの結果として、極めて急峻な接合はしきい値電圧のロールオフを劣化させること、接合が急峻になるに従って(すなわちドーピングの傾きがより高くなるに従って)、DIBL(Drain Induced Barrier Lowering)は単調に増大することが最近明らかになってきた。その結果として、デバイス特性を最適化するための、急峻さの最小の値が存在することになる。

理論的には、ソースエクステンションの蓄積抵抗は、最も急峻な横方向接合において、最小の蓄積抵抗とともに得られる横方向の急峻さに強く依存して定義される。しかしながら、蓄積抵抗の値のちょっとした変化であってもデバイス特性全体、特にその短いチャネル効果に大きく影響するため、蓄積抵抗はデバイスの中で電流が流れるパスの中の単純な抵抗成分とみなすことはできない。急峻さが少しでも変化したら、デバイスには新たな最適化が必要となる。本文章の筆者はそのような最適化を行ってきたが、接合を急峻にするという方向性の中から、デバイス特性に対して実質的に意味のある改善を見出したことはなかった。

シート抵抗、接合深さ、接合の急峻さ、および直列抵抗の要求値をモデル化するという努力によって、これらのパラメータの相互の依存性、およびこれらが複合したトータルのトランジスタデザインへの影響が如何に複雑であるかをよく認識することができた。従って、接合深さ、ドーピング濃度、および横方向の急峻さをトータルとしての最適化するためには、各技術世代ごとに完全なトランジスタ特性の設計をする必要がある。これはこのロードマップの範囲を越えた仕事である。したがってどうしても、技術要求表におけるこれら 3 つの要求事項はいずれも、明確な要求事項とはならず、「ガイダンス」として示さざるを得ない。しかしながら一般的には感度シミュレーションから、pチャネルデバイスでは、急峻さをある臨界的な値以上した場合、寄生抵抗はごくわずかに低下するにすぎないことが示されている。したがって、何らかの臨界値を越えて急峻さを高めたとしても、改善はわずかなものにとどまる。その一方 n チャネルデバイスでは、ソースエクステンション接合が急峻であるほど、ソースの注入速度が速くなり、その結果として高いドライブ電流を得ることができる。したがって NMOS デバイスにおいては、より急峻であることが常に望まれる。

垂直方向にも横方向にも急峻であるような、極浅のソース/ドレインエクステンション接合を実現するためには、ドーピング不純物を注入するための、新しくて進歩した方法の開発が必要とされるだけでなく、極めて小さなサーマルバジェットの熱活性化プロセスの開発が必要である。これは、注入されたドーパントの活性化に伴う増速拡散をできるだけ抑えるために必要とされる。現在研究対象となっている方法は、解決策候補、Figure 59 に示されている。これらの方法は、CMOS プロセスフローに対して、コストの大きな増大を招くかもしれない。したがって、横方向および縦方向の急峻さによりもたらされるメリットの増加を、コスト面における損失に対して、注意深く評価する必要がある。エクステンション部の、縦方向、横方向不純物プロファイルの位置および形状をモニターするためには、サブナノメートルの空間分解能の 2 次元計測手法が必要になる。

2008 年、およびそれ以降に想定されるノンバルク、つまり完全空乏極薄 (FD-UTB: Ultra Thin Body) MOSFET においては、デバイスの駆動電流を最適化し、閾値電圧を安定化させるために、ドーピングプロセスには変更が必要になる。クリティカルなドーピング接合深さに関するパラメータは、活性なシリコン層の厚さによって決定されるようになり、したがって注入とアニールという観点からは、課題からは外れてくることになる。

縦方向の接合深さは、シリコン層の厚みという形成された形状によって決定されるので、その意味を失っていく。しかしながらだからといって、UTB デバイスのエクステンションの形成において、どのような注入エネルギーでもいいということにはならない。これは横方向の接合深さが、(実質的な意味での)縦方向の接合深さと結びついているためである。接合深さ、ドーピング濃度、および横方向への急峻さとして適切な値を導き出すことは、各技術世代におけるトランジスタ特性を完全にデザインして初めて可能となることであるが、これはこのロードマップの範囲を越える。極浅のエクステンション接合へのコンタクトはバルクのデバイスにおいてよりもはるかに難しくなり、少なくともコンタクトにおけるシリサイド化の犠牲層として、エレベーター接合が必要とされる。エレベーター接合の採用した場合でも、により、適正にチャネル移動度を向上するために十分なひずみを効果的に与えることができるか、注意が必要である。

FD-UTB デバイスは、短チャネル効果の管理のためのチャネルドーピングは必要とされず、真性の、ドーピングされていないシリコンチャネルが用いられる。しかしながら、ゲートドレインのオーバーラップ(あるいは逆向きのアンダーラップ)を最適化するためのゲートエッジ付近のドーピングの正確な制御、あるいは寄生抵抗の管理は、重要な技術課題であることに変わりはない。

FinFET などの縦方向チャネルトランジスタでは、近接して配置された高アスペクト比のピラーへのドーピングが、新たな技術課題となる。そのような構造ではエクステンション接合を成形するために、等方性のドーピングが必要となると考えられる。

コンタクトと直列抵抗 — 自己整合コンタクト・シャントも含めたコンタクトを形成するための新しい材料やプロセスが開発されない限り、コンタクト面積、ソース/ドレインの接合深さ、そしてシリサイドコンタクトの厚さのスケールリングは、寄生抵抗の増大を引き起こす。本質的なコンタクトのスケールリングにおける問題は、二次元的なコン

2 フロントエンドプロセス

タクト面積の横方向のスケーリングに起因している。その結果として、シリサイドとドーパントシリコンとの間の界面におけるコンタクト抵抗率は、ソース/ドレインの寄生抵抗全体の中で支配的な割合を占めることになる。この問題の解決には以下の方法が考えられる： a) 界面におけるドーパント濃度の最大化、b) コンタクト接合部にシリコンゲルマニウムなどの材料を用いることによるバリアハイトの低減、c) n+/p+接合に対して、バリアハイトの低いデュアルメタル(シリサイド)の使用、等である。またあるいは、まだ実用化はされていないが、接合とコンタクトとしてショットキー接合を用いる方法も考えられる。コンタクト領域へのシリコンゲルマニウムの選択堆積、およびドーパントのプロファイル制御は、このような問題に対する解決策候補となる。しかしながら CMOS インテグレーションにおいては、p チャンネルと n チャンネルのデバイスに異なった種類のドーパントが必要となり、これも重要な技術課題となる。このようなインテグレーションの課題は、トランジスタのゲートがコンタクト領域と同時にドーピングされ、またシリサイドーションされるという事実によって、さらに難しくなっている。

バルクのデバイスにおいては、コンタクト接合深さ、シリサイドの厚さ、そしてシリコン/シリサイド界面コンタクト抵抗率の間での相互の最適化を必要とする、相互に関連した複数のスケーリング上の課題が存在する。コンタクト接合深さには、halo注入をうまく利用したとしても、Table 69 に示したような、ゲート長に対応したスケーリングが必要となる。この結果として、コンタクト深さの継続的な縮小は、シリサイドの形成にとって有用であり続けている。コンタクトリーク電流を抑えるためには、シリサイド形成の際の消費を、多くともコンタクト深さの半分だけにする必要がある。したがって将来のコンタクトにおいては、さらに浅くなるコンタクト接合深さに対応できるように、シリサイドもさらに薄くする必要がある。しかしながらシリサイドは、ある厚さ以下になると不連続となる傾向があり、したがって適切にコンタクトにシャントが取れなくなるため、この薄膜化はいつまでも有効であるわけではない。自己整合ニッケルモノシリサイドコンタクトは、与えられた接合部でのシリコン消費量に対して少し厚い(より安定な)膜を形成するため、この問題に対する緩和策となる。また従来の CoSi_2 と比較して、アグロメレーションの問題が緩和されるような低温で形成される。バルクデバイスにおいても、究極的にはコンタクト領域にシリコンまたはゲルマニウムエピタキシャル層の選択的な堆積が必要とされ、したがってシリサイドーション過程ではより多くのシリコンを利用することができる。しかしながらこれまでに議論したように、選択エピタキシャル堆積は、サイドウォールスペーサに対して、完全さと頑丈さとをさらに高いレベルで必要とする。

また短期的な期間の中で採用が予想される High-k ゲート絶縁膜材料の導入からも、新たな課題が発生する。High-k 材料候補に依存して熱工程が限定され、この結果としてコンタクトの形成とシャントプロセスの構築に大きく影響する。

プレーナ構造のシングルゲート、あるいは垂直方向のマルチゲートの完全空乏型 CMOS トランジスタ構造では、コンタクトの形成において新たな技術課題の解決が必要になる、例えば、高濃度にドーピングされたコンタクト構造を持つ、薄い縦方向マルチチャンネルへのコンタクトの形成などである。このような三次元構造に対して信頼性の高いコンタクトを形成できるような複雑なプロセスのマスターには、コンタクト技術における急速な技術革新が必要となる。ここでもコンタクトにおける直列抵抗の管理は主要な技術課題であり続ける。プレーナ構造のシングルゲートのトランジスタでは、大幅な抵抗上昇を引き起こさないようにするためには、エレベーターコンタクトの導入を避けられない。同様に、ダブルゲートトランジスタにおいて、寄生抵抗の要求低減値を実現するために、コンタクトへのシャントのため、巧妙な選択エピタキシャル成長の適用に関する多くの研究報告がなされている。ただしその一方で、エレベーター接合は、接合部における寄生容量の増加が引き起こされるため、抵抗と容量の両方に対する考慮が必要となる。CMOS インテグレーション全体をどのように構築するか、どのようにデュアルドーピングを行うか、またエピタキシャル成長によって持ち上げたコンタクトにどのようにドーピングするかなどは、重要な開発項目として残っている。

チャンネル — 継続的にゲート長を縮小しつつ、オフ状態のリークを許容値以下に保つ必要から、プレーナ CMOS トランジスタ、特に極小デバイスにおいては、ショートチャンネル効果を制御するために、チャンネルドーピングレベルの増大が必要になる。横方向、縦方向双方のプロファイルの正確な制御は、短チャンネル効果を制御するためにますます強く要求され、ドーピングツール、プロセス、分析手法に関する新たな課題が現れる。

ハイパフォーマンスのロジックデバイスにおける駆動電流を増加させることで回路スピードが速くなることから、キャリア移動度を増加させるとともに、ショートチャネル効果を制御するために高くなったチャネルドーピングレベルによって低下傾向にある移動度を補償するため、歪み Si チャネルが導入され、これからも継続して使用される。接合リーク電流は、バンド間トンネル電流であるか、キャリアの再結合によるものであるか、またあるいはコンタクトでのトンネルあるいは熱放出電流であるかにかかわらず、特にバルクのデバイスにおける課題であり続ける。このようなリーク電流の懸念は、チャネルのドーピングレベルが上がることで直接トンネル電流が流れやすくなること、またアニーリングにおけるサーマルバジェットの低減により、結晶欠陥の低減が困難になること、またあるいはアニールが不十分なために接合における空乏層の位置を結晶欠陥の残った領域よりもさらに深くすることが困難になっていることによるものである。リーク電流は接合とチャネルのドーピング、接合の急峻さ、および欠陥の除去に敏感である。

完全空乏 CMOS は、プレーナ SOI であっても縦方向のマルチゲートデバイスであっても、チャネルデザイン上はイントリンシックのアンダープのシリコンを用いることが望まれる。このアプローチによれば、チャネルドーピングに起因したキャリア移動度低下を避けることができるが、しきい値電圧はゲート電極の仕事関数によってしか制御できなくなる。これらのデバイスでは通常、二種類の仕事関数のゲートを必要とするが、例えばドーピングにより組成を変化させることで、1つの金属を用いた場合でも仕事関数を「調整する」ことができる。

高濃度にドーピングされたコンタクト領域からイントリンシックであるチャネル領域へのドーピングプロファイルの最適化、マルチゲート構造における高電界印加時のチャネルエッジ部でのサブスレッショールドリーク電流の低減、および完全三次元トランジスタを形成するための数多くのインテグレーション上の課題の解決は、マルチゲート・完全空乏 CMOS の生産をうまく開始するために、事前に対策しておかなければならない事柄である。これらの技術課題は、今後予定される High-k ゲート絶縁膜と二種類の仕事関数を有するメタルゲート材料へのシフトに加えて、次の4年から7年の間のトランジスタ技術における革命的な変化を必要としている。

2 フロントエンドプロセス

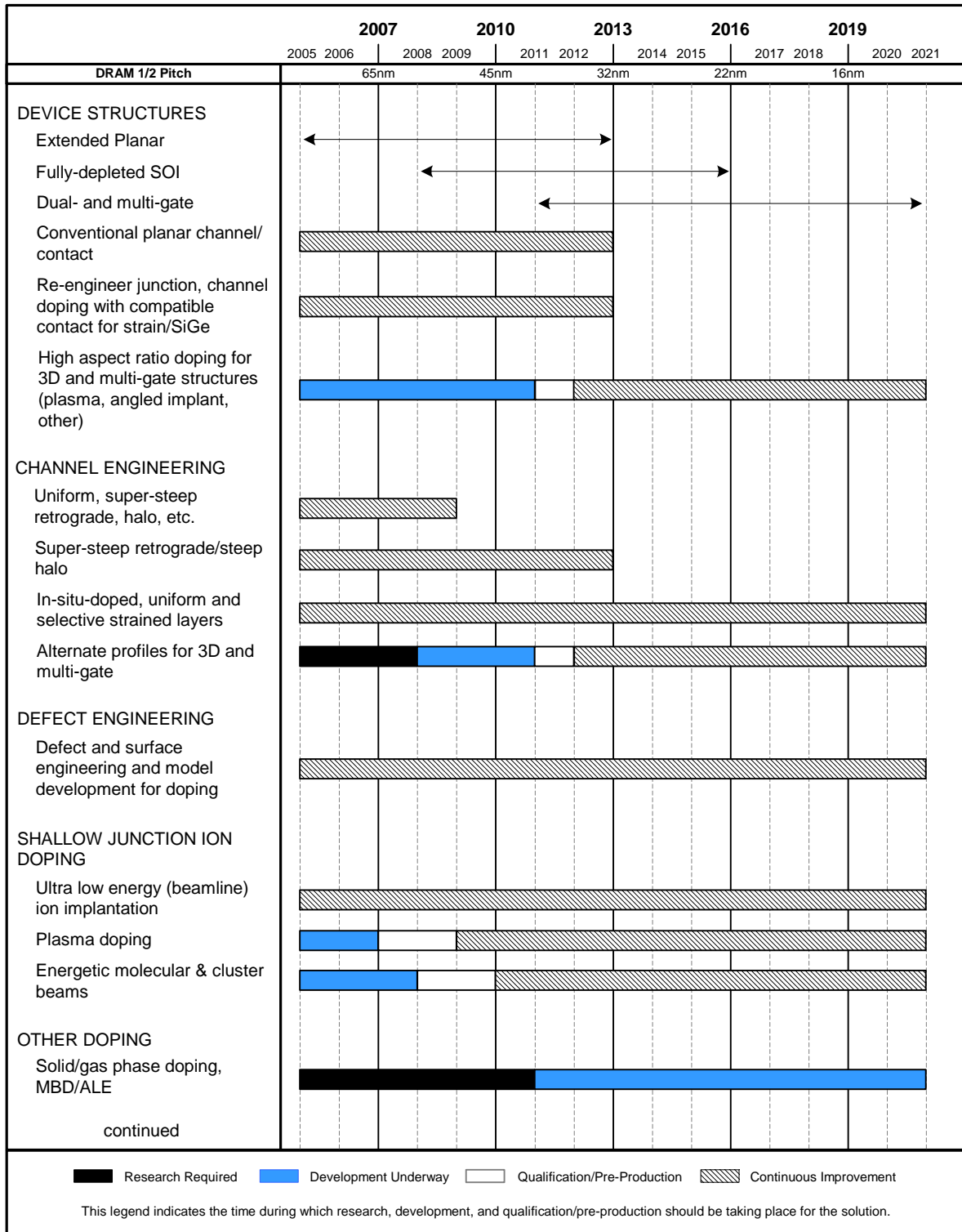


Figure59 Doping Potential Solutions

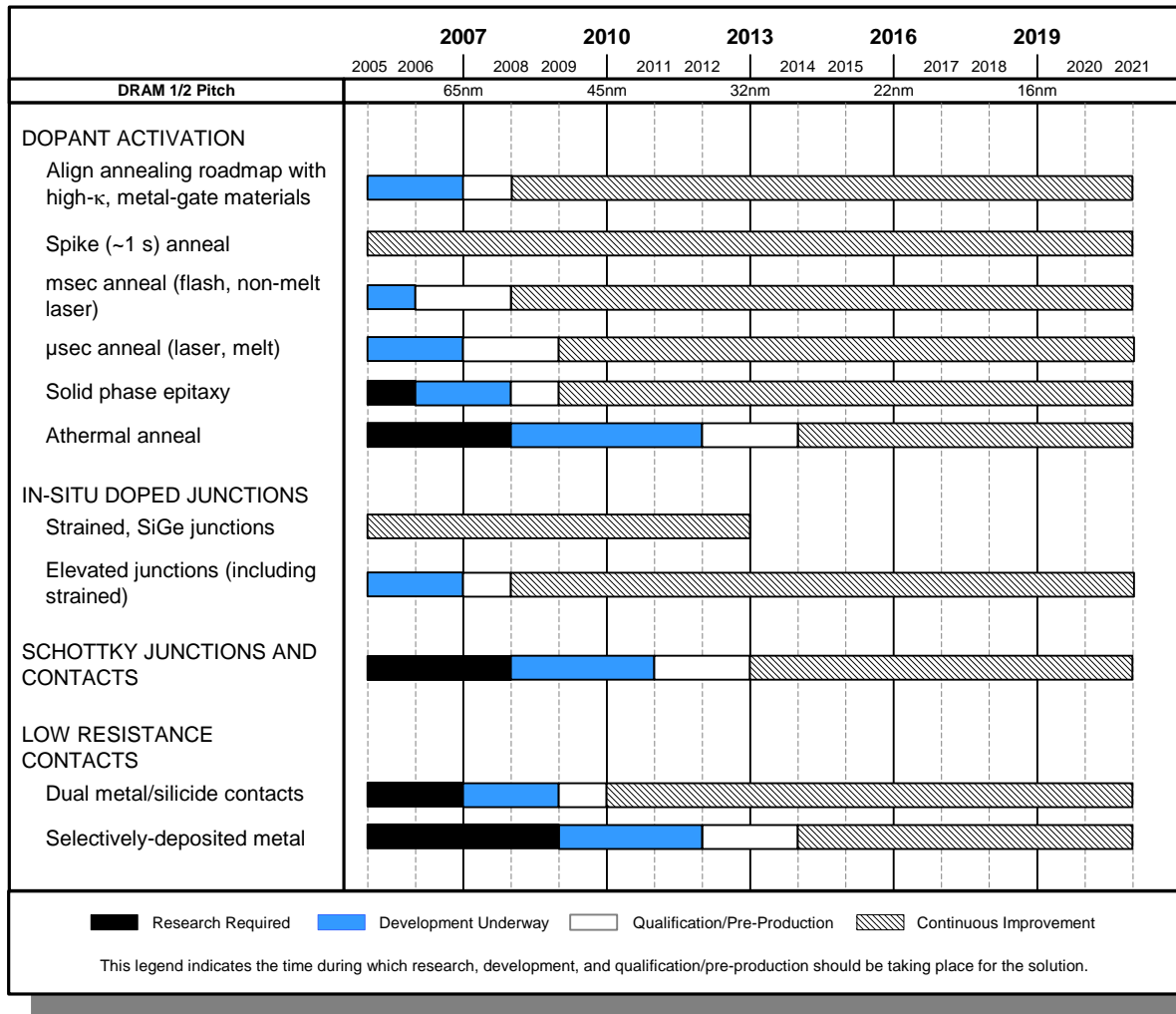


Figure59 Doping Potential Solutions (continued)

フロントエンド・エッチング・プロセス

CD (Critical Dimension)の縮小とプロセス制御は、依然としてFEP エッチング技術の鍵となる課題である。高誘電率(High-k)ゲート絶縁膜やメタルゲートなどの新しい材料との関連、新世代フォトレジストや、もしかするとノンプレーナのトランジスタ構造と関連して、その課題を非常に難しいものとしている。更に、レジストトリムのような他のCD縮小技術が、光近接効果補正(OPC)や位相シフトマスク(PSM)などの高度なリソグラフィ手法の代わりに若しくはそれらと組み合わせられて、現在生産に使用されている。

要求される制御レベルを達成するためには、エッチング装置は多くの基本設計特性値を満足しなければならない(FEPTable69a 参照)。CDのエッチング均一性はチャンバ設計に強く関係しており、均一なガス分布と、特に均一なプラズマ分布を低いバイアス電圧で両立することが基本的に求められる。補整効果によって均一性を改善することは可能であるが、これは本質的にプロセスウインドウを狭くしてしまうため、容認できない再現性のリスクを招く。ウェーハエッジでの形状は従来からの問題点である。エッジ形状制御はウェーハサイズには依存せず、一般的に装置設計の主要な課題の1つとみなすことができる。非常に均一なプラズマがチャンバの径方向に沿って形成されたとしても、形状の均一性を得るためには、ウェーハエッジでの異常を考慮したエッジ補整が必要となる。理論的には2nm以下のレベルのCD制御はさまざまな方法で達成し得るが、最終的には、垂直かつ滑らかなエッジ形状で良好な選択比制御と最小のマイクロローディングを示すダメージフリープロセスでなければならない。特に重要なのは、下地のシリコンにダメージを与えることなく、ゲートエッチングを制御して終了させることに関係しているダメージフリープロセスである。クリティカルディメンションの縮小と新規ゲート絶縁膜の導入にともない、この要求を満たすことがますます困難になっている(Figure60 参照)。非常に

2 フロントエンドプロセス

薄いゲート絶縁膜上でエッチストップさせるための in-situ エッチングモニタリング及び形状制御のためのフィードフォワード/フィードバックの統合計測は、1nm 以下の CD 制御を達成するために用いられる標準的な技術になるかもしれない。

上述したCD制御とエッチング特性の要求は、High-k絶縁膜やメタルゲート構造のような新規材料に対しては達成しなければならない(Figure60 参照)。多くのプラズマ源が高イオン密度でイオンエネルギーと密度の独立制御により先進のエッチング性能を提供することを目的として開発されてきた。しかしながら、一般的に言って、最適な結果が得られるプラズマ密度は標準的な手法で達成可能な $\sim 10^{11}/\text{cm}^3$ の領域である。装置とプロセスの開発は、いくつかの方向性を取るようになるだろう。ECRとICPによるプロセスの発展が継続されることが期待され、新しいゲート材料を扱うのに必要な特性が開発されるであろう。メタルゲート電極のエッチングで生じる特殊な不揮発性の副生成物に対応するように、新しいエッチング手法が求められるだろう。このような開発は、総合的な装置の頑強性、特にMTBCとMTTCに付随的な影響を与える。これらの開発は、メタルゲートを使用したHigh-kゲート絶縁膜に対して 2008 年までに完了されなければならない。ダメージに敏感になることに対応して、エッチングの終了時点やオーバーエッチに使用するステップとして、ケミカルダウンストリームエッチング、ニュートラルストリーム、または他の革新的なエッチング技術の研究開発が必要である。これを念頭に入れてパルスプラズマを用いた開発が進行中である。理想的には、コスト的な理由で技術的観点からではないかもしれないが、新規ゲート材料に対応するばかりでなく、先進のチップアーキテクチャによって起こりうる厳しいダメージ要求にも対応できるエッチング装置を開発するべきである(Figure60 参照)。

線幅の縮小に従って、ライン端の粗さ(LER:Line Edge Roughness)の存在は、エッチングされたゲートの傾斜角とともに、CD 制御に対してますます重要なものとなっている。LER は線幅縮小しても同等値に留まるため、スケーリング上の重要な懸念点となる。LER がゲートリークに影響を与えているといういくつかの証拠もある。リソグラフィとエッチングの両方が LER に影響を与え得る。ゲート材料、フォトリソグラフィのタイプとエッチングケミストリの選択すべてが、LER の程度を左右する。トリミングあるいはエッチングにより LER が減少するかは定かでないが、いずれにせよ、正確に測定し制御する方法を知る必要のあることが課題として広まるだろう。現状での LER の定量化の方法は、この問題をどう扱うか産業界での意味のある議論を考慮に入れて標準化される必要がある。この量の制御目標値を決めるためには、LER のデバイス性能への影響をよりよく理解しなければならず、また、関連する測定の方法と装置も開発しなければならないだろう。

プリントされた後のレジストトリムは、ゲートの物理的寸法を縮小するために、OPC や PSM などのリソグラフィ技術の代わり若しくはそれらに加えて生産現場で使用されている。また、トリミングによって、全体を通しての形状と CD が要求値を満たすように、ウェーハ内や疎密間の線幅のバラツキを次のステップで補正することが可能となる。フレキシブルなFEPエッチング装置とプロセスがここでは必須である。ウェーハ上でレジストの幅を均一に縮小することに加えて、レジストの高さを過度に低くしてはならないこと、また、下地ハードマスクにパターンを写す際に、選択性に関する問題が起きるであろうことに注意することが重要である。他に考慮すべき問題はコーナーのファセットティングである。全体にわたってレジストの高さが損なわれていなくても、ファセットティングが、実効的な高さを低くすることによって、必要とされる選択性を得ることをより困難にしている。193nmレジストは遠くない将来の液浸リソグラフィの出現でも使用されるだろう。193nmレジストはLERを生じ易く、エッチング耐性も低いので、解像力向上のためのレジスト薄膜化の際に選択比が懸念される。もし157nmリソグラフィが必要となっても、レジストは当然ながら、より薄く、より緻密さが無くなり、現行のエッチングプロセスに対して耐性の無いものになる。このことが選択比とレジストレティクレーション(網状のしわ)の問題となる。多層レジスト技術もまた、より微細な形状を下地の材料へ写すことを可能にするために開発されている。

ゲートスタック材料の変更は、おそらく2段階で起こるであろう。最初は、メタルもしくはメタルナイトライド・ゲート材料の導入、そして次がHigh-k絶縁膜材料の導入である。シリコン酸化膜や窒化膜に代わるHigh-kゲート絶縁膜は、EOTが1nm以下となる低待機電力デバイス向けに2008年に要求されている。ゲート材料とリソグ

ラフィとの相互作用が、良い CD 値と電気特性を得るために極めて重大であることは、広く知られている。これらの新しい High-k ゲート絶縁材料自身は、イオンダメージと緻密化により電極形成後のエッチングはより困難であろう。一方で、より強固なこの絶縁膜材料上でのエッチング止めは容易であろう。High-k 材料のウェットエッチングは、(SiO₂もしくは SiN 材料と比べて)膜が厚くなり、許容できないアンダーカット形状となり得るので困難であろう。明らかに、高い誘電率のゲート絶縁膜が導入されると、新たなエッチングの課題が出てくるだろう。メタルゲート電極材料もまた、CMOS インテグレーションの課題を提起するであろう。仕事関数に対する要求のために、P+ ポリシリコンの置き換え候補のメタルゲート材料(Pt, Ir, Ni, Mn, Co)は、N+ ポリシリコンの置き換え候補のメタルゲート材料 (Ta, Zr, Hf, Ti)と異なるであろう。これらの材料は一般的にドーパントポリシリコンよりも揮発しにくい副生成物を出し、更に、それぞれ別個のエッチングプロセスが求められると考えられる。したがって、エッチングプロセスに関する CMOS インテグレーションはさらに困難になる。両方のゲートを同時にエッチングできるかどうかを検討しなければならない。一つの解が、選択的 CMOS ドーピングで使われているイオン注入マスクと同じように、保護のためのレジスト・オーバーコート/マスクの適用かもしれない。High-k 絶縁膜上でダメージフリーに止めることができ、かつデュアルメタルゲートに対応したエッチングが究極のゴールである。

新しいゲート材料の導入により、欠陥の問題と直面する。欠陥密度とプラズマダメージに関係する FEP エッチングへの厳しい要求もまた満たされなければならない。現在のデバイス設計に対して、トンネル現象、ホット・エレクトロンやチャージングなどにより引き起こされるプラズマダメージはかなり理解されており、現在のデバイス設計と材料に関して特性が調べられている。新規材料の採用において、新しいダメージメカニズムに関連した新規の問題が発生するだろう。将来の欠陥密度の要求に応えるために、プラズマプロセスとエッチング装置から発生するパーティクルはかなり少なくまた小さくしなければならない。エッチングケミストリ、エッチングチャンバのデポジション制御及びチャンバメンテナンスに使われるクリーニング方法において改良が必要となるだろう。容認できるウェーハプロセス・コストと装置アップタイムに見合った範囲で、これらの要求を満たさなければならない。チャージングダメージを引き起こさないプラズマエッチング装置設計とプラズマプロセス条件を開発しなければならない。新しい High-k 材料および(または)積層ゲート絶縁膜材料には、マルチステップのエッチングプロセスの開発が必要となる。この要求は、種々の積層材料をエッチングするために同一のエッチングモジュールでガスケミストリを変更する必要性、または、メインエッチングステップでバルク材料をエッチングし、次に終了ステップ、さらにオーバーエッチステップと続くエッチングの必要性と言い換えることができるかもしれない。事前に終点を決定できるように、インターフェロメトリーや同様の検知手法を用いることによって、メインエッチが終了する前に被エッチング材の残りの量を測定することが強く望まれる。更に、高選択性でダメージのないプロセスが必要とされる。

ランプレーナトランジスタが必要となった際、エッチングはよりチャレンジングとなる。FinFET 構造は選択比、異方性とダメージ制御に新たに制限をもたらす。フィンそのものの形成はこれまでウェーハ上でもっとも厳しく制御された CD であったゲート長の約 0.6 倍のスペーサで決定される寸法について、リソグラフィ以下のプロセス制御を必要とする。形状制御は、欠陥無しに極めて平行なフィン表面を形成しなければならないので、非常に厳しくしなければならない。ゲートエッチは、フィンのボトムでのストリンガーの除去、分厚く平坦化されているかもしれない poly-Si のエッチング、非常に薄いオキシナイトライドまたは High-k 材料上でストップすること、レジストは維持しておくこと、などの多くの新しいチャレンジを予め用意して供給する必要がある。スペーサエッチはユニークな問題をもたらすであろう。スペーサは数 100 オングストロームにもなるフィン表面から、コーナー部では除去されず、またフィンを支える埋め込み酸化膜をエッチングしたりダメージを与えたりすること無く、除去されなければならない。このことは、より高選択で、レジストの存在無しで異方性が改善されたプロセスを必要とするかもしれない。

浅いトレンチ分離(STI)もまた、45nm 世代以降になると、挑戦すべきインテグレーションの課題がある。この世代では、従来からあるトランジスタのダブルランプ効果の緩和を目的として STI トレンチのトップコーナーを丸めるために、熱プロセスではなくエッチング技術が使用される。エッチング技術によれば、活性領域に侵入

2 フロントエンドプロセス

することがないという利点がある。この応用において、インテグレーションの課題は、トップコーナーとボトムコーナーの丸め半径の制御、STI 壁スロープの制御、さらに高品質の酸化膜でトレンチをボイドなく埋めることである。これらの特性は、可変の STI ギャップ幅と可変の STI パターン密度に対して、CD 制御を維持した上で、コントロールされなければならない。

サイドウォールスペーサ幅の縮小とその寸法制御は、プラズマエッチングのもうひとつの課題である。スペーサ幅とオーバーエッチに対する敏感さは、スペーサエッチングプロセスの異方性だけでなく、ゲート電極形状や、スペーサ絶縁膜の堆積プロセスでの膜厚制御と堆積状態(コンフォマリティ)の影響を受ける(FEPTable69aとb参照)。利用可能な限られたプロセス制御データを用いて、エッチングの観点からサイドウォールスペーサのスケラビリティを正確に評価することは難しい。ここでフィードフォワード/フィードバックの統合計測の活用がブレークスルーとなるであろう。

スタックキャパシタ構造を用いた将来の DRAM 世代に対応して、~25:1【訳者注:原文は~15:1であるが、Table70a, bに基づき訂正した】の高アスペクト比コンタクトビア(HARC: High Aspect Ratio Contact)のエッチングを、エッチング後のエッチング残渣の効果的な除去とともに開発して導入することはきわめて困難なことである。エッチストップと浅い接合へのダメージを抑制して CDと選択性を維持することが、重要な技術課題となるだろう。最善のデバイス・コンタクト抵抗やリークのために、極めて浅い接合に対する微細でかつ制御されたシリコン・コンタクトエッチングが望まれている。

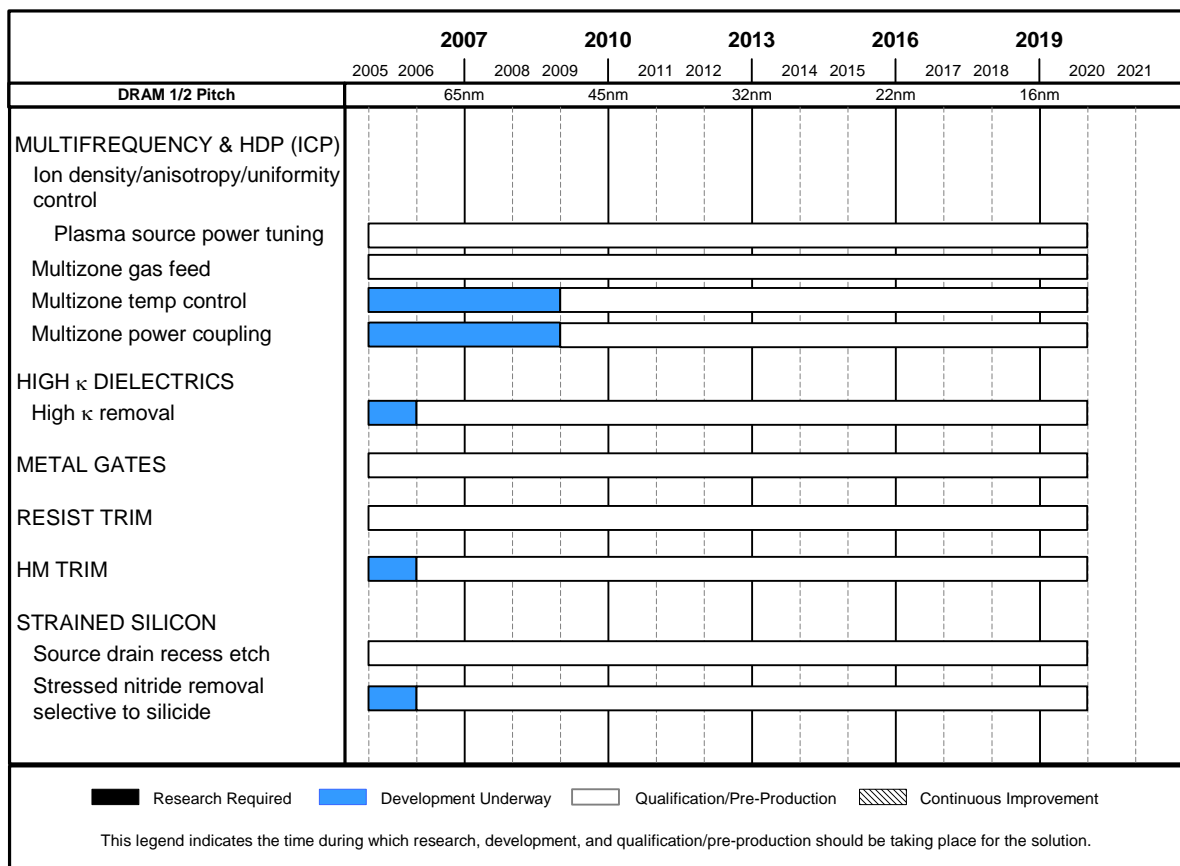


Figure60 Front End Processes Etching Potential Solutions

DRAM スタック型キャパシタ

歴史的に、DRAM が 3 年ごとに 4 倍の容量を達成したのは以下の理由による。

1. 最小加工寸法の縮小(2 倍)
2. チップサイズの拡大(約 1.4 倍)
3. セルエリアファクタとセル効率(全メモリセルエリアチップサイズ)の改善(約 1.4 倍)

しかしながら、チップサイズの拡大は経済的な理由により困難になっており、セルファクターの改善もレイアウトの物理的な限界が近づいていることにより鈍化している。この結果、4 倍容量の DRAM に代わって 64MbDRAM や 256MbDRAM のあとにそれぞれ 128Mb、512Mb といった 2 倍容量の DRAM が出現している。DRAM キャパシタ技術は、キャパシタ膜並びにキャパシタ電極への新材料導入という課題に直面している。Table70 に汎用 DRAM のスタックキャパシタに対する技術要求を示す。DRAM のセルサイズは微細化が進められており、180nm 技術世代では少なくとも折り返しビットラインセル構造においての最小サイズである $8F^2$ (F : 加工寸法 (feature size)) のセル面積を達成している。Table70 の各数値は、DRAM の安定動作とソフトウェア耐性を確保するために、キャパシタの容量値は 25fF/cell(セル) を維持すると仮定して計算されている。

メガビット世代の初期では、キャパシタの容量絶縁膜材料に Si_3N_4/SiO_2 複合膜を用い、蓄積容量電極構造を 3 次元化することで、センシングとノイズ耐性を保証できる大きさの容量を維持してきた。しかしながら、130nm 技術世代以降ではこれらの材料や構造では上記容量値を確保することが困難となった。このために容量絶縁膜として、 Ta_2O_5 や Al_2O_3 等の新たな高誘電体材料が本技術世代において導入された。上に述べた Ta_2O_5 は、比誘電率がある範囲の値を持っており、最も有望な絶縁膜の一つである。130nm 技術世代では、下部電極にポリシリコン材料、高誘電体材料を用いた 3 次元キャパシタセル、および上部電極に金属材料を用いた構造を採用している(これは metal-insulator-silicon (MIS) 構造の一例である)。しかし、誘電体に Ta_2O_5 を用いてこのような MIS 構造を形成すると、 Ta_2O_5 の熱処理時に界面にシリコン酸化膜が成長することにより実効的な比誘電率は 22 になるため、90nm 世代よりも後においては採用できない。一方、ストレージノードの下部電極に Ru や Pt などの金属が用いられた場合 (MIM 構造)、この酸化膜の介在がなくなることと Ta_2O_5 の結晶配向性が向上することにより Ta_2O_5 積層構造の比誘電率は 50 以上を達成することができる。¹⁹ このため、90nm 世代よりも後では MIM 構造が必要とされる。

90nm 世代よりも後では、酸化に対する耐性の向上、および、望ましい微細構造の形成を目的として Pt、Ru、TiN、 RuO_2 、 IrO_2 のような金属や金属窒化物/酸化物がストレージノードの下部電極として必要となる。プロセス中のサーマルバジェット(Thermal budget)の観点からは、これらの電極材料は CVD 法を基本とする低温プロセスで堆積されるべきである。一方で、酸化雰囲気中で相対的に高い温度の熱処理を行うことも求められている。プロセス温度の低温化は、メタルがビットラインとして用いられた場合に、デバイスの特性劣化を最小限にするために必要となる。

セルサイズファクタ a は 65nm 世代の終わりまで 8 を維持し、2003-4 年当時に予想されたよりもゆっくりとスケールアップされる。また、65nm 世代よりも後では前記ファクター a は 6 のままであると予想されている。これらの見積もりは R&D の現状を反映させたものである。

90nm 世代以降の DRAM キャパシタ技術では、キャパシタ膜のリーク電流低減の要求を満たすために、このような低い温度で高品質な膜を形成するプロセスを開発することがもう一つの困難な技術課題となる。また、バックエンドプロセスのプラズマダメージや還元雰囲気プロセスが高誘電体膜を劣化させないプロセス構築が要求される。

65nm 世代よりも後では、1nm よりも薄い酸化膜換算膜厚 (EOT) が求められる。45nm 世代よりも後では、比誘電率が 60 を超えるような超高誘電率材料が要求されると考えられる。DRAM メーカーに対して実施した

2 フロントエンドプロセス

アンケート調査に基づき、キャパシタ用誘電体膜材料の解決策候補を Figure61 に示した。しかしながら、10年の信頼性を満たすキャパシタ用高誘電率材料がどれかということに関しては、今も開発と議論が続いている。たとえ上記のような高誘電体膜材料の開発に成功しても誘電体膜形成後のストレージノードのアスペクト比が、上部電極形成プロセスの限界を超えキャパシタを形成できなくなる可能性が指摘されている。そのため、45nm 世代以降においては、材料およびプロセスの開発に加えて、ゲインセル構造のような新しいメモリセルのコンセプトが必要となるであろう。

DRAM を混載した SoC に要求されるプロセス仕様は、メモリ/ロジックの構成比により異なってくる。混載 DRAM のキャパシタ容量への要求は汎用 DRAM ほどには厳しくないと考えられる。SoC における困難な課題の一つは、コンタクトホール形成である。一般に、DRAM のコンタクトホール深さは、同世代のロジックと比べて比較的深く、極端なアスペクト比増大を避けるためホール径を拡大せざるを得ない。これにより、同世代ロジックと同じ配線ピッチを実現することが困難となる。したがって、ロジックを優先させた SoC では、コンタクトのアスペクト比を低減させるため、セル面積の拡大によりキャパシタ高さを抑えるなどの工夫が必要になってくる。一方、DRAM を優先させた SoC では、DRAM のホール径に応じたロジックの配線ピッチを設定しなければならない。このコンタクトビア密度の問題を解決するためには、さらにいくつかのブレークスルーが SoC では求められる。

Table70a DRAM Stacked Capacitor Films Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) [A]	80	70	65	57	50	45	40	36	32
Cell size factor a [B]	8	8	8	6	6	6	6	6	6
Cell size (µm ²) [C]	0.051 =0.16x0.32	0.041 =0.14x0.29	0.032 =0.13x0.25	0.019 =0.11x0.17	0.015 =0.10x0.15	0.012 =0.090x0.14	0.0096 =0.080x0.12	0.0077 =0.071x0.11	0.0061 =0.064x0.96
Storage node size (µm ²) [D]	0.019 =0.08x0.24	0.015 =0.071x0.21	0.012 =0.064x0.19	0.0064 =0.057x0.11	0.0051 =0.051x0.10	0.0041 =0.045x0.090	0.0032 =0.040x0.080	0.0026 =0.036x0.071	0.0020 =0.032x0.064
Capacitor structure	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
t _{eq} at 25fF (nm) [G]	1.8	1.4	1.1	0.90	0.80	0.60	0.60	0.50	0.50
Dielectric constant	40	50	50	50	50	50	60	60	60
SN height (µm)	1.4	1.4	1.2	1.6	1.8	1.9	2	2	2
Cylinder factor [E]	1.5	1.5	1	1	1	1	1	1	1
Roughness factor	1	1	1	1	1	1	1	1	1
Total capacitor area (µm ²)	1.38	1.22	0.62	0.55	0.55	0.52	0.48	0.43	0.38
Structural coefficient [F]	26.8	30.0	19.2	28.6	36.0	42.6	50.2	56.3	63.2
t _{phy} at 25fF (nm) [H]	18.2	17.9	14.1	11.5	10.3	7.7	9.2	7.7	7.7
A/R of SN (OUT) for cell plate deposition [I]	32.0	39.4	33.9	47.6	60.0	64.2	92.5	98.4	121.7
HAC diameter (µm) [J]	0.10	0.09	0.08	0.07	0.06	0.05	0.05	0.04	0.04
Total interlevel insulator and metal thickness except SN (µm) [K]	0.84	0.81	0.78	0.75	0.73	0.7	0.68	0.66	0.63
HAC depth (µm) [L]	2.24	2.16	1.98	2.35	2.53	2.6	2.68	2.66	2.63
HAC A/R	23.3	25.2	25.9	34.5	41.7	48.1	55.7	62.1	68.9
V _{capacitor} (Volts)	1.6	1.5	1.4	1.3	1.2	1.1	1	1	0.9
Retention time (ms) [M]	64	64	64	64	64	64	64	64	64
Leak current (fA/cell) [N]	0.94	0.88	0.82	0.76	0.70	0.64	0.59	0.59	0.53
Leak current density (nA/cm ²)	68.1	71.9	131.7	138.3	127.7	124.7	121.0	135.9	137.4
Deposition temperature (degree C)	~500	~500	~500	~500	~500	~500	~500	~500	~500
Film anneal temperature (degree C)	~750	~750	~750	~750	<750	<750	~650	~650	~650
Word line R _s (Ohm/sq.)	2	2	2	2	2	2	2	2	2

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

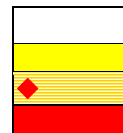


Table70a と 70b の注釈

[A] 2003 Overall Roadmap Technology Characteristics, Table 1a and b

[B] a = (セルサイズ)/F² (F : 最小加工寸法)

[C] セルサイズ = a*F² (セルの短辺 = 2F)

[D] SN サイズ = (a/2 - 1)*F² (SN 短辺 = F)

[E] シリンダー構造によりキャパシタ面積が 1.5 倍に増大する

[F] SC = (キャパシタ総面積) / (Cell size)

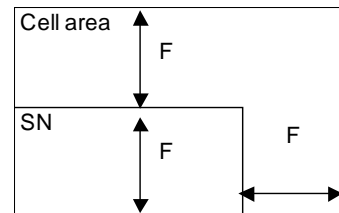
[G] t_{eq} = 3.9*E0*(キャパシタ総面積)/25fF

[H] t_{phy} = t_{eq}*Er/3.9 下部電極にポリシリコンが使用された場合には、t_{phy} = (t_{eq}-1)*Er/3.9

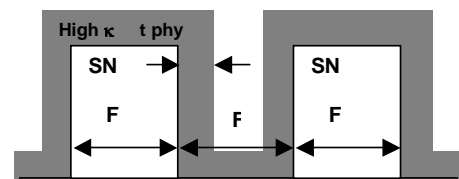
[I] A/R of SN (OUT) = (SN 高さ) / (F - 2* t_{phy})

[J] HAC 径 = 1.2*F (HAC : High Aspect Contact : 高アスペクトコンタクト)

[K] 180nm 技術世代における膜厚を 1.05 µm と仮定した (世代毎に 10% の減少)



Notes [C] & [D] Cell area and Projected SN area



Note [I] A/R of SN (OUT)

2 フロントエンドプロセス

[L] HAC 深さ = SN 高さ + 層間絶縁膜と金属の総膜厚

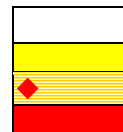
[M] DRAM リテンションタイム (PIDS)

[N] (検出限界*C*Vdd/2)/(リテンションタイム * マージン) (検出限界=30% leak, マージン=100)

Table70b DRAM Stacked Capacitor Films Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) [A]	28	25	22	20	18	16	14
Cell size factor a [B]	6	6	6	6	6	6	6
Cell size (μm^2) [C]	0.0048 =0.057x0.085	0.0038 =0.051x0.076	0.0030 =0.045x0.068	0.0024 =0.040x0.060	0.0019 =0.036x0.054	0.0015 =0.032x0.048	0.0012 =0.028x0.043
Storage node size (μm^2) [D]	0.0016 =0.032x0.064	0.0013 =0.025x0.051	0.0010 =0.023x0.045	0.00080 =0.020x0.040	0.00064 =0.018x0.036	0.00051 =0.016x0.032	0.00040 =0.014x0.028
Capacitor structure	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
t_{eq} at 25fF (nm) [G]	0.45	0.40	0.40	0.30	0.25	0.20	0.15
Dielectric constant	80	80	80	100	100	100	100
SN height (μm)	2	2	2	2	2	2	2
Cylinder factor [E]	1	1	1	1	1	1	1
Roughness factor	1	1	1	1	1	1	1
Total capacitor area (μm^2)	0.34	0.30	0.27	0.24	0.21	0.19	0.17
Structural coefficient [F]	70.9	79.5	89.2	100	112	126	141
t_{phy} at 25fF (nm) [H]	9.2	8.2	8.2	7.7	6.4	5.1	3.8
A/R of SN (OUT) for cell plate deposition [I]	202.3	226.1	328.4	429.1	397.0	353.8	308.6
HAC diameter (μm) [J]	0.03	0.03	0.03	0.02	0.02	0.02	0.02
Total interlevel insulator and metal thickness except SN (μm) [K]	0.61	0.59	0.57	0.55	0.53	0.51	0.49
HAC depth (μm) [L]	2.61	2.59	2.57	2.55	2.53	2.51	2.49
HAC A/R	76.7	85.5	95.2	106.0	118.1	131.4	146.3
$V_{capacitor}$ (Volts)	0.8	0.8	0.7	0.6	0.6	0.6	0.6
Retention time (ms) [M]	64	64	64	64	64	64	64
Leak current (fA/cell) [N]	0.47	0.47	0.41	0.35	0.35	0.35	0.35
Leak current density (nA/cm ²)	137.1	154.0	151.3	145.7	163.6	183.7	206.2
Deposition temperature (degree C)	~500	~500	~500	~500	~500	~500	~500
Film anneal temperature (degree C)	<650	<650	<650	<650	<650	<650	<650
Word line R_s (Ohm/sq.)	2	2	2	2	2	2	2

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
DRAM M1 ½-pitch (nm)			65			45			32			22			16	
Top Electrode	Metal: Ti, TiN, W, Pt, Ru, RuO ₂ , IrO ₂ , ...															
Capacitor Dielectric Material	Al ₂ O ₃ , HfO ₂ , Ta ₂ O ₅		Ta ₂ O ₅ , TiO ₂				Ultra high κ ; new materials, strontium -based, perovskites									
Bottom Electrode	Metal: Ti, TiN, W, Pt, Ru, RuO ₂ , IrO ₂ , others															

Figure61 DRAM Stacked Capacitor Potential Solutions²⁰

DRAM トレンチ型キャパシタ

Table 71aと 71bにDRAMトレンチキャパシタ技術に対する技術要求を示す。各数値はキャパシタの容量値を少なくとも $28\text{fF}/\text{cell}$ (セル) で一定に保ち続けられ、十分な信号と電荷保持特性を確保できると仮定して計算されている。さらに、セルサイズは 8F^2 を維持すると仮定している。

90nm 技術世代まで、トレンチ型キャパシタの誘電体材料としては従来の窒化膜/酸化膜が用いられる。90nm 世代で、更なる表面増大技術が実施されている。ある深さから広がったプロファイルを用いるボトル型トレンチ技術とトレンチ表面の凹凸形状形成技術によりキャパシタの表面積が増大されている。

80nm 世代以降、 Al_2O_3 や HfSiON などの高誘電体材料がキャパシタ用に利用される。これらの材料を高アスペクト比のトレンチに埋め込むために、Atomic Layer Deposition (ALD)が利用されるだろう。65nm 世代においては、上部電極に金属を採用することが有望視されており、これまでのSIS構造からMIS構造へと技術転換が進んでいく。上部電極の候補としては、導体としての性質を失わない金属窒化物が最も有望である。最終的に 50nm 世代ではMIMキャパシタが必須となる。

トレンチ技術により、機械的強度に優れた高アスペクト比のキャパシタ構造を実現することができる。65nm 世代においては、デザインルールの微細化の結果、トレンチのアスペクト比(トレンチ深さをエッチング後のトレンチ上部の幅で割った値)が $\sim 80:1$ にまで増大する。より微細なルールにおいては、さらにアスペクト比が高くなることが予想される。

デバイススケールにおける課題を緩和するため、65nm 世代からこれまでのプレーナデバイスに替わって垂直方向に配置するトランジスタのような新しいセル構造が考えられている。セルサイズファクタ a を 6 にするとセルの効率が劣化しプロセスも複雑化して生産性の向上が見込めなくなり、セルサイズファクタ a は 8 が維持される。

混載デバイスに対しては、キャパシタが基板中に埋め込まれるトレンチキャパシタ技術では、DRAM セルアレイとロジック回路の遷移領域に段差が生じない。また、深いハイアスペクトコンタクトホール化の問題も避けることができる。加えて、キャパシタ形成プロセスがトランジスタ形成に先立って行われるため、キャパシタ形成の熱サイクルによるデバイス性能の劣化を抑えることが可能である。

2 フロントエンドプロセス

Table71a DRAM Trench Capacitor Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Cell size factor	8	8	8	8	8	8	8	8	8
Cell size (μm^2)	0.051	0.039	0.034	0.026	0.020	0.016	0.013	0.010	0.008
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled	bottled	bottled	bottled
Trench circumference (nm)	665	582	540	474	416	374	333	291	266
Trench area enhancement factor (bottle) [A]	1.6	1.6	1.6	1.6	1.6	1.6	1.6	1.6	1.6
Trench surface roughening factor	1.25	1.25	1.2	1	1	1	1	1	1
Effective oxide thickness (CET)(nm)	4.4	4.3	3.9	2.8	2.3	2.0	1.8	1.6	1.4
Trench depth [μm], (at 35fF)	6.2	6.8	6.8	6.7	6.2	6.1	6.2	6.1	6.0
Aspect ratio (trench depth/trench width)	60	75	80	90	95	105	120	135	145
Upper electrode	Poly-Silicon	Poly-Silicon	Metal	Metal	Metal	Metal	Metal	Metal	Metal
Dielectric material	High- κ	High- κ	High- κ	High- κ	High- κ	High- κ	High- κ	High- κ	High- κ
Bottom electrode	Silicon	Silicon	Silicon	Silicon	Silicon	1: Silicon 2: Metal	1: Silicon 2: Metal	1: Silicon 2: Metal	Metal Metal
Capacitor structure/dielectric	Silicon-Insulator-Silicon/High- κ		Meal-Insulator-Silicon/High- κ		1: MIS/High- κ 2: MIM/High- κ			Metal-Insulator-Metal / High- κ	

[A] Bottle factor = checkerboard square perimeter / conventional elliptical perimeter

Perimeter of trench ellipse = $\pi \cdot (3/2(a+b) - \sqrt{ab}) = 7,933 \cdot \text{short half axis}$

Table71b DRAM Trench Capacitor Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Cell size factor	8	8	8	8	8	8	8
Cell size (μm^2)	0.006	0.005	0.004	0.003	0.003	0.002	0.002
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled	bottled
Trench circumference (nm)	233	208	183	166	150	133	116
Trench area enhancement factor (bottle) [A]	1.6	1.6	1.6	1.6	1.6	1.6	1.6
Trench surface roughening factor	1	1	1	1	1	1	1
Effective oxide thickness (CET)(nm)	1.2	1.0	0.8	0.7	0.6	0.5	0.4
Trench depth [μm], (at 35fF)	5.8	5.5	5.0	4.8	4.5	4.2	3.8
Aspect ratio (trench depth/trench width)	160	170	175	185	190	200	210
Upper electrode	Metal	Metal	Metal	Metal	Metal	Metal	Metal
Dielectric material	High- κ	High- κ	High- κ	High- κ	High- κ	High- κ	High- κ
Bottom electrode	Metal	Metal	Metal	Metal	Metal	Metal	Metal
Capacitor structure/dielectric	Metal-Insulator-Metal/High- κ						

[A] Bottle factor = checkerboard square perimeter / conventional elliptical perimeter

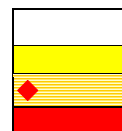
Perimeter of trench ellipse = $\pi \cdot (3/2(a+b) - \sqrt{ab}) = 7,933 \cdot \text{short half axis}$

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

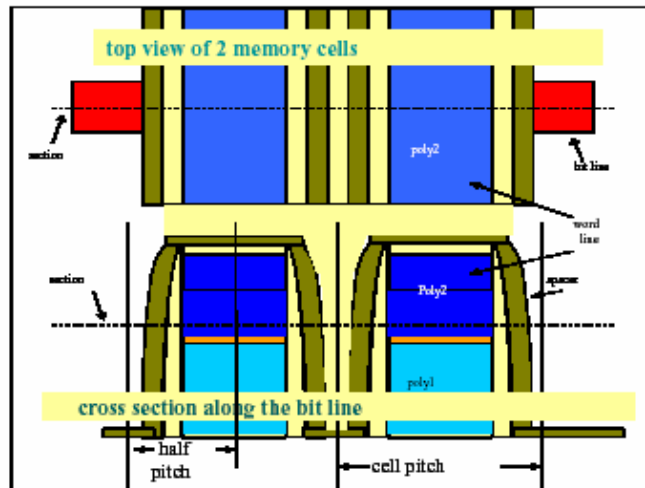
Interim solutions are known

Manufacturable solutions are NOT known



不揮発性メモリ (フラッシュ)

Table 72a と 72b は、NOR と NAND フラッシュメモリの主な技術的要求をまとめている。最も重要な問題はセル領域の縮小に関係している。(PIDS の章にある不揮発性メモリの技術的要求表を参照。)そして結果としては、メモリセルを形成する上で重要となる2つの絶縁膜であるトンネル絶縁膜とPoly-Poly間絶縁膜の膜厚を薄膜化することであるが、一方でメモリセルの電荷保持特性や要求耐性を保証する必要がある。NAND フラッシュでは最適な最小加工寸法の定義は、メモリセルのハーフピッチである。Figure 62 の例に示すように、ビットラ



インに対して平行にメモリセルの断面を見たとき、2層目のポリシリコン(ワードライン)のハーフピッチである。

Figure 62 Minimum Feature Size of NAND Flash Memory

一方 NOR フラッシュでは、最小加工寸法の定義は各生産者間で用いているセル構造が異なるため簡単ではない。Figure 63 の例で示すように、NOR フラッシュでは以下のような最小加工寸法の定義が用いられる。

- 2層目ポリシリコン(ワードライン)と平行に断面を見たときのメモリセルのハーフピッチ
- ワードラインに沿った方向に見たときの1層目ポリシリコンの間隔
- 最小のコンタクトホールサイズ

2 フロントエンドプロセス

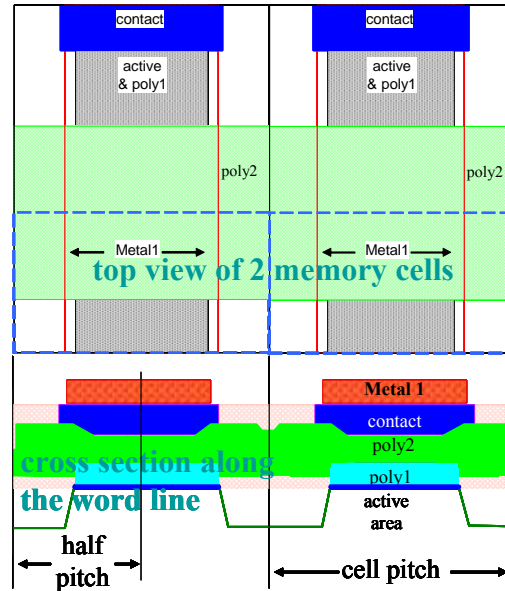


Figure 63 Minimum Feature Size of NOR Flash Memory

トンネル酸化膜厚は、書き込み/消去特性向上のために薄膜化しなければならない。一方、Poly-Poly間絶縁膜厚の薄膜化は、制御ゲートと浮遊ゲート電圧間の比を適切にし、ほぼ一定値である容量カップリング比率 αg を維持するために重要である。カップリング比率は通常、Poly-Poly間絶縁膜厚の薄膜化とトンネル酸化膜厚と浮遊/制御ゲートカップリング面積を増加することで改善される。トンネル酸化膜厚をスケールすることは、フラッシュメモリにとって主要な挑戦の一つであり、厚膜化するほど良好になる電荷保持特性と薄膜化するほど特性向上する書き込み/消去特性を同時に保証しなければならない。

αg に関して浮遊/制御ゲートカップリング面積の影響は、NOR と NAND フラッシュの両方で 45~40nm 技術世代から重大な問題として顕在化する。二つの隣り合った浮遊ゲート(Poly1)間スペースが小さくなると、現状の構造では、制御ゲート(Poly2)が Poly1 の縦側壁を覆うことができなくなる。Poly1 と Poly1 の縦側壁にある Poly2 との電気的カップリングの不足は結果として αg の劣化となり、代償として Poly-Poly 間絶縁膜厚の薄膜化要求がさらに強くなる。この状況を Figure64 に示す。

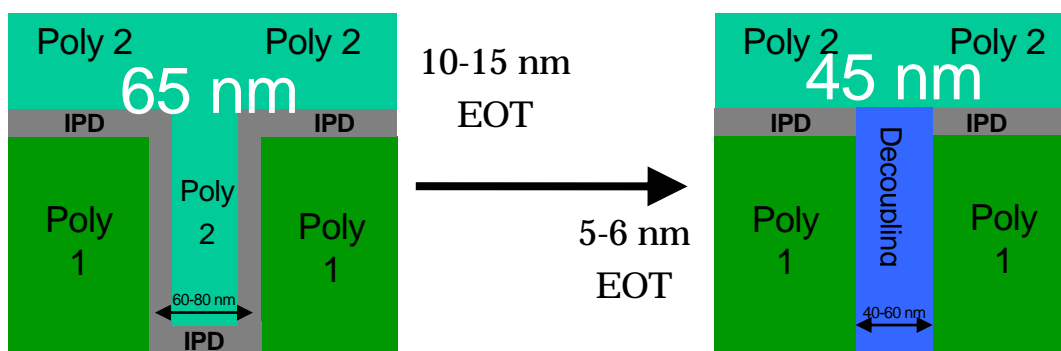


Figure 64 Flash Memory Interpoly Dielectric Thickness Scaling at 45 nm

現在の Poly-Poly 間絶縁膜の技術は、酸化窒化膜を基にしており、積極的な EOT 減少は電荷保持特性を許容できないため、恐らく不可能と思われる。したがってこの段階で High-k 材料の導入が必要であろう。代わりに制御ゲートに対して、高いカップリング面積を維持する新しい浮遊ゲート構造やポリシリコンとは異なる電荷保持材料が潜在的な解決策となる。この観点から 45~40nm 技術世代は、従来構造とメモリセル構造の変革による新しい解決策の両面で転機となるであろう。

Table 72a FLASH Non-volatile Memory Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
Flash technology generation NOR/NAND - F (nm) [A]	80/70	70/65	65/55	57/50	50/45	45/40	40/35	35/32	32/28
Flash NOR tunnel oxide thickness (EOT-nm) [B]	8-9	8-9	8-9	8-9	8-9	8	8	8	8
Flash NAND tunnel oxide thickness (EOT-nm) [B]	7-8	7-8	6-7	6-7	6-7	6-7	6-7	6-7	6-7
Flash program/erase window min DVT SLC/MLC (V) [D]	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4
Flash erase/program time degradation t_{max}/t_0 at constant V [E]	<2	<2	<2	<2	<2	<2	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [F]	13-15	13-15	13-15	13-15	13-15	◆6-13	◆6-13	◆6-13	4-6
Flash NAND interpoly dielectric thickness (EOT-nm) [F]	13-15	13-15	10-13	10-13	10-13	◆5-12	◆5-12	◆5-12	4-6
Flash interpoly dielectric thickness control EOT (% 3s) [G]	<±6	<±6	<±6	<±6	<±6	<±5	<±5	<±5	<±5
Flash interpoly dielectric T_{max} of formation $t > 5' < 5''$ (°C) [H]	750/900	750/900	750/900	750/900	750/900	650/800	650/800	650/800	600/700
Flash interpoly dielectric conformality on floating gate EOT_{min}/EOT_{max} [I]	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98
Tunnel / Interpoly max leakage current (A) at 2 V for 10 years data retention [J]	1 E-24	1 E-24	5 E-25	5 E-25	5 E-25	2.5E-25	2.5E-25	2.5E-25	1.3E-25

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

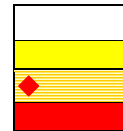


Table72a と 72b に対する注釈

[A]過去においてフラッシュデバイスは、CMOS に比べて遅れ気味であったが、もはやその遅れは全くない。この値がセル設計で用いられる F 値を規定している。

[B] トンネル酸化膜は、リテンションの問題を引き起こさないように十分厚い厚さで、消去/書き込みを容易に行うことができるほど十分に薄い膜厚である。トンネル酸化膜が 7nm 以下でリテンションに対する基本的な問題を引き起こすであろう。

[C] トンネル酸化膜の制御性は、正確なプログラム電圧/消去電圧の幅を保証する値。

[D] 単一セル/多値セル(SLC/MLC)に対するプログラム電圧分布の最小値と消去電圧分布の最大値との間隔。

[E] 消去/プログラム電圧補正を考慮せずに、書き込み/消去を規定回数の最大回行った後のプログラム時間の劣化。

[F]Poly-Poly 間絶縁膜はリテンションを保証するのに十分な厚さで、セルのカップリング比をほぼ一定に保つよう十分に薄い膜厚でなければならない。リテンションが Poly-Poly 間絶縁膜をスケールリングする上での主要問題である。Poly-Poly 間絶縁膜に High-k を用いれば、Poly-Poly 間絶縁膜の EOT を減じることができ、リテンションを劣化することなくカップリング比をほぼ一定にできる。

[G]正確なカップリング比とリテンション特性に必要な最小膜厚を保証できる膜厚制御性

[H] トンネル酸化膜とデバイス劣化を起こさない、長時間(5 分以上)、短時間(5 分以内)の熱処理の最大温度。

[I]均一なステップカバレッジはリテンション特性を保証するために重要であり、特に浮遊ゲート側壁が電氣的に制御ゲートで結合されると、カップリング比を高められる。

[J]10 年間データリテンションを保証するためのトンネル絶縁膜と Poly-Poly 間絶縁膜を流れる最大リーク電流。セルをプログラムするとき浮遊ゲートを -2V とし、全容量は技術世代ごとに半分になることを考慮して計算している。20 年のデータ保持特性を保証する場合は、リーク電流の目標値は表中の値の 50%となる。

2 フロントエンドプロセス

Table 72b FLASH Non-volatile Memory Technology Requirements—Long-term Years

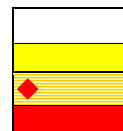
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
Flash technology generation NOR/NAND - F (nm) [A]	28/25	25/22	22/20	20/18	18/16	16/14	14/12
Flash NOR tunnel oxide thickness (EOT-nm) [B]	7-8	7-8	7-8	7-8	7-8	7-8	7-8
Flash NAND tunnel oxide thickness (EOT-nm) [B]	6-7	6-7	6-7	6-7	6-7	6-7	6-7
Flash program/erase window min DVT SLC/MLC (V) [D]	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4
Flash erase/program time degradation t_{max}/t_0 at constant V [E]	<2	<2	<2	<2	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [F]	4-6	4-6	3-5	3-5	3-5	3-5	3-5
Flash NAND interpoly dielectric thickness (EOT-nm) [F]	4-6	4-6	3-5	3-5	3-5	3-5	3-5
Flash interpoly dielectric thickness control EOT (% 3s) [G]	<±5	<±5	<±5	<±5	<±5	<±5	<±5
Flash interpoly dielectric T_{max} of formation $t_{>5'}/t_{<5'}$ (°C) [H]	600/700	600/700	600/700	600/700	600/700	600/700	600/700
Flash interpoly dielectric conformality on floating gate EOT_{min}/EOT_{max} [I]	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98
Tunnel / Interpoly max leakage current (A) at 2 V for 10 years data retention [J]	1.3E-25	1.3E-25	6E-26	6E-26	6E-26	3E-26	3E-26

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



相変化メモリ

相変化メモリ(PCM)技術は、カルコゲナイド合金の基本的な特性に基づいているので、標準CMOS プロセスへの材料インテグレーションが重大な挑戦となる。¹ すでに実証されている単一セル概念だけでなく、非常に高密度な不揮発性メモリの製造力、ここでは数億以上のセルを動作実証されているかどうかのみ確立された技術であるとみなすことができる。

簡潔な機能配列では、PCMデータ保存セルは、直列的に選択デバイス(トランジスタ)を有し、可変抵抗器(ヒーター)とカルコゲナイド材料(結晶質か非晶質かのどちらか)で形成される。したがって、基本的なPCMセルは、1T/1R構造となる。アプリケーションとプロセス構築戦略に依存して、トランジスタとデータ保存の形式は異なる。高密度メモリでは、より簡潔なセルレイアウトはpnpバイポーラトランジスタに対する縦のインテグレーションを通して実現される。^{21,22} 一方、組み込みメモリでは、トランジスタはnチャンネルMOSであり、ここでのより大きなセルサイズは、最小プロセスコスト増分となる標準CMOS によって釣り合いをとる。

データ保存に対するインテグレーションは、CMOSプロセスのフロントエンドとバックエンドとの間で形成される。「単純な」可変抵抗器(すなわちヒーター)とカルコゲナイド系の形成方法は異なるであろう。その選択は、プロセスの複雑さ、現状の性能、熱特性、スケーリングの可能性に対する基本的な理解にある。²³ 一つの可能性として報告されているアプローチは、平面カルコゲナイドに対するサブリソコンタクトヒーターやコンタクトとカルコゲナイドに限定してリセスした修正版を利用し、熱特性を改良し、リセット電流を減少させる。^{24,25} 完全に異なるアプローチは薄い縦の半金属ヒーターとカルコゲナイドを成膜した「マイクロレンチ」と呼ばれる溝の交

¹カルコゲナイドはVI族元素に基づいた合金であり、アモルファスと単結晶の両方とも室温で安定である興味深い特性を有する。特にもっとも将来有望であるのはGeSbTe合金であり、しばしばGSTとして引用される(GeTeとSb2Te3との間である)擬似2成分組成である。

差によってヒーターとカルコゲナイドとの間の接触面積を定義する。マイクロレンチはサブリソ技術やヒーター膜厚によって定義できるので、セル性能は結果として、未だに良い寸法管理を維持できているコンタクト面積を調整することで最適化することができる。

もっとも重要なインテグレーションの課題は、カルコゲナイド自体に見受けられる。材料特性は、成膜装置、成膜条件、エッチングプロセス、絶縁膜保護に対して敏感である。一般的な問題は、すでに確立したプロセス環境において、他の材料をインテグレーションすることによるカルコゲナイド材料のコンタミネーションや成膜後の熱処理により劣化する熱的安定性に関係している。

強誘電体メモリ(FeRAM)

FeRAM は ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両テクノロジーキンググループの協力による成果である。技術要求の重要事項の Table73a、b および解決策候補のロードマップである Figure65 は、FeRAM メーカーに対する PIDS のアンケート結果に基づいて改訂された。

歴史的には、FeRAMは半導体メモリよりもっと早く提案されている。²⁶ しかしながら、強誘電体膜の信頼性に制限があり、キャパシタ形成が難しいため、現時点ではメモリ容量は汎用DRAMの1000分の1程度でしかない。これら技術的困難さに加え、「キラー・アプリケーション」が欠如しているため、商用生産は進んでいない。FeRAMは、たゆまなく行われている強誘電膜等の材料開発に大きく依存するので、ここでの予測はどうしてもある程度推測的にならざるを得ない。それでもなお、技術の方向性と解決されるべき課題に関する戦略的な概観を示すため、このロードマップは2005年から2020年までを取り扱っている。この節では次の項目を論じた。即ち、1)最小寸法、2)セルサイズ、3)強誘電体材料、そして4)最小スイッチング電荷の見積り、である。

最小寸法 — Table73a は、DRAMと同じ評価基準を用いることで2005年に $0.13\ \mu\text{m}$ の製品が現れることを示す。長期的には、2010年以降は最小寸法が3年ごとに0.7倍になると予測される。現在FeRAMのプロセス技術は最先端メモリより大きく遅れている。従って、短期的(2005-2008年)にはFeRAMの微細化は加速的に進むと予測される。この微細化の結果、2008年に90nm技術が現れると予測される。

セルサイズ — 現在の主流のセル構造は1トランジスタ-キャパシタ(1T-1C)型である。これは安定なデータの読み出しを保証するために必要であった2T-2C型セルから置き換わった。1T-1C型は大容量のFeRAMを現実のものにするためには絶対条件の構造である。キャパシタ構造に関しては、平面キャパシタ型からスタック型構造に変更された結果、セルが小さくなった。通常スタック型ではもはや必要な最小スイッチング電荷が得られないため、3次元(3D)型のキャパシタは2010年に出現すると仮定した。キャパシタ構造の違いについてはTable73aとbのところに図示してある。上述したセル構造とキャパシタ構造の変更によりセルファクター a は2010-2012年に24となり、その後徐々に微細化が進む。最先端のDRAM技術の経験に学ぶことにより、さらに小さな10等の値も現れる可能性がある。

強誘電体材料の選択肢 — 現在数種類の強誘電体材料が評価されているが²⁷、現時点では決定的な材料ははっきりしない。現時点で優劣を争っている材料は2つある。PZT、即ち $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ とSBT、即ち $\text{SrBi}_2\text{Ta}_2\text{O}_9$ である。SBTはPtの下部電極を用いた場合優れたファティーグ・フリー特性を示し、抗電界(E_c)も小さいので低電圧動作に向いている。(ファティーグとはメモリキャパシタで繰り返しデータ書き換えをすると、分極が反転しづらくなることと定義される)。そのためSBTはPZT(最初に生産で使用された)を置き換えるものと有望視された。しかしながら、PZTに比べてSBTは単位面積あたりのスイッチング電荷 Q_{sw} が小さく、これは重要な点であるが、スケールした時に最小スイッチング電荷を確保するのが難しくなる。また、膜形成以降のプロセスにより生ずる膜質劣化のため、置き換えが困難となる可能性がある。さらにインプリント特性はPZTの方が優れているという報告もある(インプリントは、同一方向の電圧パルスを多数回印加した後パルスの印加方向を逆転しても、1回では分極特性が完全に反転しない現象として定義される。この現象はヒステリシスが電圧軸に沿ってシフトするときに現れる)。

2 フロントエンドプロセス

PZT膜とSBT膜の最も重要な課題は、酸素欠損に起因するとされている膜質の劣化を抑制すること、安定したデータの読み書きを達成すること、それにデータ保持である。FeRAMを混載する場合にもプロセスの改善が必要である。強誘電体膜を結晶化するための高温酸素アニール後に、高温アニールや膜への水素侵入を避けることが重要である。たとえば、金属配線工程の後で低温MOCVDにより強誘電体膜を形成し高温アニールを避けたり、水素バリア層を使用したりする。また、 IrO_2 や SrRuO_3 (SRO)のような導電性酸化物は、強誘電体膜質が改善されるため、しばしばキャパシタ電極に用いられる。

物理的蒸着 (PVD) や Sol-Gel法を含む化学溶液法 (CSD) は誘電体膜作成に現在もっともよく使用されている製法である。しかしながら、スケーリングを継続して行くには、MOCVD等のもっとステップカバレッジの良い製法に移行していく必要がある。MOCVDを用いた研究によれば、(111) 配向のPZT膜はスイッチング電荷を大きくするのに極めて有効であると報告されている。²⁸ キャパシタ電極のRIEによるエッチングは極めて難しい。適切な電極材料のほとんどが揮発性のエッチング生成物を持たないのがその理由である。そのためスパッタによる加工が広く用いられているが、CD (Critical Dimension) の制御に限界があり、スケーリングが難しくなる。その解決のためにキャパシタの側壁角度を改善する高温RIEが開発されている。²⁷

PZTとSBTはしばしば不純物を入れて用いられる。たとえばPZTに対しLa、SBTに対しNbである。その目的は、リーク電流の抑制、エンデュランスまたはインプリント特性の改善、後工程による膜質劣化抑制等の膜質の向上である。PZTとSBTに加わる、有望な新材料の一つはBLT、即ち $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ である。²⁹ その特性は先行する 2 つの材料の間である。²⁷ さらに BiFeO_3 (BFO) が新しい候補の材料として注目を集めている。BFOは 150fC/cm^2 以上の巨大な強誘電体分極をもつ。³⁰ どの膜の特性も近年の努力で向上して来ているので、膜の選択よりも、その膜を使いこなす方が重要であると思われる。

最小スイッチング電荷の見積り — 最小スイッチング電荷は次のようにして見積もった。FeRAMのセンスアンプは基本的にDRAMと同じと仮定し、ITRS 1999 のDRAMのデータを用いてビット線の信号電圧を計算した。ITRS 1999 のデータはキャパシタンスCsが技術世代に関わらず 25fF/cell のまま一定で、ビット線容量が 1Gb ($0.18\mu\text{m}$ 世代)時に 320fF である。このデータとさらにビット線容量が $F^{2/3}$ (ここでFは最小寸法である)に比例すると仮定することにより、³¹ $\Delta V_{\text{bitline}}$ の計算が可能となる。 $\Delta V_{\text{bitline}}$ は約 140mV であり、この値が技術世代に関わらずセンスアンプ回路には必要と仮定する。 $\Delta V_{\text{bitline}}$ (140mV)と C_{bitline} を掛け合わせることで最小スイッチング電荷が得られる。

以上で求められた最小スイッチング電荷を強誘電膜の単位面積あたりのスイッチング電荷 Q_{sw} ($30\mu\text{C/cm}^2$ と仮定)で割ることにより、必要なキャパシタ面積が得られる。この面積がキャパシタの投影面積より大きい場合は、3次元(3D)のキャパシタが適用されることになる。この議論から3Dキャパシタは2010年までに必要となる。

Table 73a, b に示す FeRAM に関する予測は、以上の仮定と計算に基づいている。「赤い壁」は早い項目では2008年に現れ、2009年にはさらに広がって行く。これらの壁をうち破るには、後工程による劣化の少ない高信頼性の高誘電体材料を開発することが最も重要である。

Table73a FeRAM Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Feature size (µm) [A]	0.13	0.11	0.10	0.09	0.08	0.065	0.057	0.05	0.045
Access time (ns) [B]	30	30	20	20	20	15	15	15	10
Cycle time (ns) [C]	50	50	30	30	30	25	25	25	16
Cell area factor: a [D]	34	34	30	30	30	24	24	24	20
Cell size (µm ²) [E]	0.575	0.411	0.300	0.243	0.192	0.101	0.078	0.060	0.041
Capacitor footprint (µm ²) [F]	0.32	0.23	0.158	0.128	0.101	0.049	0.038	0.029	0.018
Capacitor active area (µm ²) [G]	0.32	0.23	0.158	0.128	0.101	0.076	0.069	0.064	0.059
Cap active area/footprint ratio [H]	1.00	1.00	1.00	1.00	1.00	1.55	1.85	2.20	3.31
Height of bottom electrode/F (for 3D capacitor) [I]	n/a	n/a	n/a	n/a	n/a	0.80	1.23	1.73	2.55
Capacitor structure [J]	stack	stack	stack	stack	stack	3D	3D	3D	3D
Cell structure [K]	1T1C	1T1C	1T1C	1T1C		1T1C	1T1C	1T1C	1T1C
V _{op} (Volt) [L]	1.5	1.5	1.2	1.2	1.2	1.0	1.0	1.0	0.7
Minimum switching charge density (µC/cm ²) at V _{op} [M]	11.4	14.2	19	22	26	30	30	30	30
Minimum switching charge per cell (fC/cell) at V _{op} [N]	36.1	32.3	30.3	28.2	26.1	22.7	20.8	19.1	17.8
Retention at 85°C (Years) [O]	10	10	10	10	10	10	10	10	10
Endurance [P]	1.0E+13	1.0E+14	1.0E+15	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

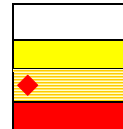


Table73a と 73b に対する注釈

[A] 最小寸法「F」は、FeRAM が単体であるか混載であるか

どうかにかかわらず最初の 2 つの会社から量産された製品の寸法で定義される。

[B] 言及なし。

[C] 言及なし。

[D] =セルサイズ/F²。

[E]セルサイズ=a*F²。

[F] {(セルサイズ)^{1/2} - (キャパシタースペース)}²と仮定。

ここでキャパシタースペース=1.5*F。

[G] 3D はペDESTAL構造を仮定した。

[H] 3D キャパシタの場合は 1 を超える。それ以外は 1 である。

[I] 例えば、0.24 とは高さが 0.24*F1 という意味である。

[J] 右図参照。

[K] セル構造に加え、セル配置も研究されている。例) Chain-FeRAM

[L] V_{op}=動作電圧。低電圧動作が課題。2003 年の松下の 0.18 µm のサンプル(SBT)では 1.1V である。

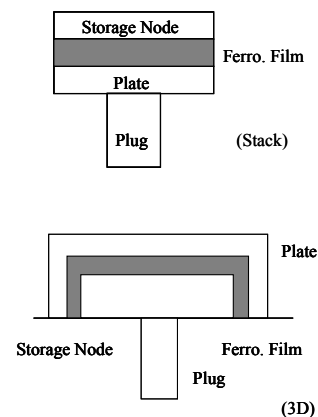
[M] この値は [S] を [L]で割ることにより計算できる。3D に対しては 40 と仮定した。

[N] ΔV_{bitline}=140 mV が必要で C_{bitline} は DRAMと同じと仮定し、ΔV_{bitline}*C_{bitline}で計算。

[O] 応用に依存する。85°C は IC カードのスペックから。

[P] 100 MHz*10years=3E+16

約 1E+15 回は SRAM や DRAM と競合するには必要である。

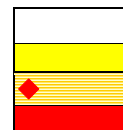


2 フロントエンドプロセス

Table73b FeRAM Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Feature Size (µm) [A]	0.04	0.035	0.032	0.028	0.025	0.022	0.02
Access time (ns) [B]	10	10	8	8	8	6	6
Cycle time (ns) [C]	16	16	12	12	12	10	10
Cell area factor: a [D]	20	20	16	16	16	14	14
Cell size (µm ²) [E]	0.032	0.025	0.016	0.013	0.010	0.007	0.006
Capacitor footprint (µm ²) [F]	0.014	0.011	0.0064	0.0049	0.0039	0.0024	0.0020
Capacitor active area (µm ²) [G]	0.055	0.050	0.047	0.043	0.040	0.037	0.035
Cap active area/footprint ratio [H]	3.88	4.63	7.38	8.81	10.25	15.12	17.17
Height of bottom electrode/F (for 3D capacitor) [I]	3.18	4.01	4.98	6.11	7.23	8.87	10.16
Capacitor structure [J]	3D	3D	3D	3D	3D	3D	3D
Cell structure [K]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
V _{op} (Volt) [L]	0.7	0.7	0.7	0.7	0.7		
Minimum switching charge density (uC/cm ²) at V _{op} [M]	30	30	30	30	30	30	30
Minimum switching charge per cell (fC/cell) at V _{op} [N]	16.4	15.0	14.2	13.0	12.0	11.0	10.4
Retention at 85°C (Years) [O]	10	10	10	10	10	10	10
Endurance [P]	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



Year of First Product Shipment	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Ferroelectric Materials	PZT, SBT					PZT, SBT, New Materials										
Deposition Methods	PVD, CSD, MOCVD				MOCVD, New Methods											

CSD – Chemical Solution Deposition

PZT – P(Zr, Ti)O₃

SBT – SrBi₂Ta₂O₉

Figure65 FeRAM Potential Solutions

SRAMやDRAMのような他のRAMを置き換えるには、読み書きの繰り返しに対するエンデュランスが 10¹⁵回は必要である。FeRAMは温度加速係数がやや小さいため、この値を確認するために、実用的な時間内でテストする方法が極めて重要である。非破壊読み出し法(読み書き回数の上限がない)などいくつかの新しいアイデアがこのエンデュランスの問題を解決するために研究されている。

近年 FeRAM はその高速性と耐久性により FFPRM や FLASH メモリの置き換えとして、IC カードや個人認証用に使われだしている。セキュリティ用途は FeRAM 市場の大きな可能性を秘めている。

フラッシュメモリのメモリ容量が劇的に増加し、今では汎用 DRAM とほぼ等しいか、あるいは凌駕するようになったという事実には勇気づけられるが、これは大容量の不揮発性メモリに対する市場の要求があったから起こったことである。FeRAM もこの要求を満たす可能性があり、結果的に「もう一つのフラッシュ」となり得る。世界の研究者が FeRAM 開発に奮闘されることを大いに期待したい。

クロスカットの課題

FEP と計測とのクロスカットの課題

シリコン基板の測定要求のみならず、先端のゲートスタック、ウェーハ洗浄及びドーピングプロセス技術もまた現在の計測性能を課題とし続けている。これは、計測ロードマップの中の短期・長期の計測技術課題の表 (Metrology Challenges Table) によって、また計測ロードマップの中の FEP 計測の議論によって明らかにされている。FEP 計測の技術要求の表 (FEP Metrology Technology Requirements Table) にはゲート絶縁膜の厚さや他の FEP 膜やプロセスの測定精度が記載されており、FEP 計測の節では規定された精度を満足することは困難な目標であることが指摘されている。ここで留意すべき重要な点は、ゲート絶縁膜プロセスを制御するための界面測定が非常に困難になることである。FEP 要求に基づく重要な計測技術課題は、

- シリコン基板にとって関心のあるレベルでの不純物(とくにパーティクル)検出と計測器に対する削減された周辺除外(Edge Exclusion)。ゲッターングの制御
- 複合材料のスタックや物理特性や電気特性を含む界面特性の測定。
- 具体的な FEP の要求は、メタルゲートや界面のプロセス制御を含んだ高誘電率(High-k)ゲートスタックの測定についてである。SOI や歪シリコンが加わることにより、計測性能の開発が必要となる。
- 三次元のドーパントプロファイル化

である。

FEP とモデリング&シミュレーションとのクロスカットの課題

今年の ITRS で、新材料や非古典的 CMOS の導入は FEP の技術課題に囲まれている。これはモデリング&シミュレーション (Modeling and Simulation) にさまざまな要求をもたらす。特に、来るべき材料に制限されるデバイススケージングの時代には、材料問題をほとんどのモデリングの領域で取り扱う必要がある。これにはとりわけ歪み材料が含まれているので一応力と歪みのモデリングの重要性はますます大きくなっている。とくに新しいデバイスアーキテクチャは、これらのデバイスを製造(例えば浅い接合を形成)するのに使われるプロセスステップのシミュレーション改善とともに、数値的デバイスシミュレーションの大きな進展を必要とする。縮小するデバイス寸法と非プレーナ型アーキテクチャの両方によって(とくに SOI デバイスもまた)、界面の影響がその間の容積が減少するために大きくなる。これらの効果は、物理過程とデバイスモデルに適切に含まれなければならない。プロセスの変化はデバイスの更なる微細化にますます重要となっており、一いちばんの例は、このロードマップでのリソグラフィとエッチングのバラツキ許容量の再配分である。シミュレーションは最終デバイスやチップへのこのような変化の影響を評価することに貢献することができ、また、しなければならない。High-k 絶縁膜を 2008 年までに導入する必要があるため、モデリングはできるだけ早くそれらについて適切に記述できなければならない。極浅の、急峻な、高く活性化されたドレインエクステンションの形成は主要な課題であり続けており、モデリングによる支援は使用されるプロセスの物理的な理解(例えば、アニール中のドーパントや点欠陥の反応動力学)をよりよいものとするとともに、数値シミュレーションによってそれらを引き続き最適化することに必要である。この知識は、ドーパント原子と欠陥との相互作用を利用してより浅い接合を実現することを目的とする欠陥エンジニアリングにもまた必要である。更に、LWR と LER を含むクリティカルディメンション(CD)とそのバラツキの低減は一般的に重要な課題であり、実験の労力を最小化するためには多くのパラメータの中から CD にいちばん影響を与えるものを特定するシミュレーションを使うことがより望ましい。

FEP と環境・安全・健康とのクロスカットの課題

包括的な情報については環境・安全・健康(Environment, Safety, and Health)の章を参照し、新しい化学物質の選別ツール(化学物質制限表)にリンクしてください。

インターフォーカス国際技術ワーキンググループの議論

FEP が他のフォーカス ITWG(国際技術ワーキンググループ: International Technology Working Group)と多くの課題と依存状態を共有しているのは明らかなことである。これらの主なものは、PIDS と(ある程度)設計 ITWG とで、ゲート EOT とリーク要求を取り囲んでいる課題である。これらの ITWG との他の課題は、代替デバイス構造によって促進される要求はもちろん、接合深さとシート抵抗要求を中心に展開されている。これらの課題の解決は、一般的に妥協とトレードオフによって達成される。全体の CD 許容値が 10%から 12%に緩和されたにもかかわらず、CD 制御は ITRS のこの版でも未解決の課題のままであり、FEP、リソグラフィ、PIDS、設計 ITWG 間の継続的な解決が必要である。FinFET や他のマルチゲートトランジスタのような従来とは違った MOSFET のデバイスパラメータの最適なトレードオフに関しては、PIDS とのより広範囲な議論が更に期待される。他の相互関係には、異なる統計的な欠陥モデルを検証するための歩留向上 ITWG との議論が含まれる。最も重要な相互関係は、FEP の表面処理チームのメンバーが配線の表面処理と洗浄の技術要求や解決策候補の開発に技術的な支援を行っている配線 ITWG とのものである。

将来の新探求素子の影響

集積回路技術を縮小し続けるためには重大な技術課題を克服しなければならず、長期には、性能を高め続けるためにより急進的なデバイスを CMOS と統合する必要があるかもしれない。新探求素子は記憶素子と論理素子の両方を含んでおり、これらがまだ研究中である間に CMOS と統合して挑戦的な問題を克服しなければならない。新探求記憶素子の多くといくつかの論理素子は従来のチャージ状態の技術に基づいており、現在 FEP のロードマップにあるプロセスモジュールを使用できるであろう。これらは一時的に脚光を浴びるだろう。より長期の新探求素子の多くは、新しいデバイス材料を使用して、新しいプロセスモジュールと統合の複雑さを取り入れるであろう。これらのデバイスは理論の域を出ないものであり、途中で阻止するタイミングは定義されていない。

新探求記憶素子

- ナノ浮遊ゲート
- 強誘電体 FET
- 絶縁体抵抗変化
- ポリマー
- 分子

新探求論理素子

- 強磁性体(磁気 QCA(Quantum Cellular Automata)を含む)
- 1次元構造
- 共鳴トンネル
- 分子(電子 QCA を含む)
- 単一電子トランジスタ(SET)
- スピン

これらのデバイスの中で、ナノ浮遊ゲート、SET および共鳴トンネルデバイス(RTD)は多くの現存するプロセスを使用することができるが、おそらく技術的に検討された絶縁膜を必要とするだろう。1次元構造(ナノチューブ、ナノワイヤなど)は、直径と位置と方向を制御する新しいプロセスや新しいドーピングプロセスを必要とするだろう。ポリマーデバイスや分子デバイスは、CMOS と互換性のある低温プロセスと信頼性のあるコンタクトを必要とするだろう。他のデバイスは、CMOS プロセスと互換性のあるようにするために重大な仕事を必要とする急進的な材料を導入するだろう。

1次元構造は、直径、構造、位置および方向を制御するために最適化された触媒と CVD プロセスを必要とする。また、1次元構造に選択的にドーピングする新しいプロセスや低抵抗コンタクトを形成する新しいコンタクト材料やプロセスを必要とするだろう。ナノワイヤは、ドーパントのイオン打ち込み量やエネルギーの極めて厳しい制御を必要とし、また、新しい High-k ゲート絶縁膜が Si や SiGe や Ge の多方向の表面を保護するために必要となるだろう。カーボンナノチューブは現存しない新しいドーピングプロセスを必要とし、また、新しいゲート絶縁膜とゲート電極がしきい値電圧を制御するために必要となるだろう。

絶縁抵抗相変化メモリや強誘電体 FET メモリは、新しい成膜能力や新しいエッチング、洗浄を必要とする急進的な新しい材料を導入するだろう。これらの材料は多くの場合、高温で成膜しなければならない複合金属酸化物であり、コンタクトの形成や集積化は挑戦的であるかもしれない。

伝統的にいくつかの RTD は III-V 族半導体で作られており、CMOS との統合のため FET に複雑な新しいプロセスと材料を導入する。最近の仕事はインテグレーションを必要とする SiGe でできたデバイスで実証されているが、多くの課題をとくに peak/valley の I/V 比 >5 を実現するこれらの材料で克服しなければならない。更に、Si や SiGe ベース RTD の最もよい使い方は、別の複雑な材料とインテグレーションの課題をもたらす CMOS ゲートに統合することである。

スピントランジスタは急進的で新しい材料の CMOS への統合を必要とするだろう、そして、これは新しい成膜性能を必要とし、プロセスの複雑さをもたらすであろう。これらのデバイスは今のところ理論の域を出ないが、その中には GaMnAs や GeMn のほかに強磁性体材料から劇的な汚染の課題がある半導体へのスピン注入も含まれている。

新探求素子に対するプロセス複雑さのレベルは、新材料が使われ、CMOS プラットフォームに統合されるに従って増加し続けるだろう。これは新しい成膜、エッチング、洗浄プロセスおよび新しいバリア層とコンタクト技術の開発を必要とするだろう。

結論

ITRS の本章では、「デバイススケールリングが材料に制限されつつある現状」の課題および解決策候補をはつきりと特定しようとした。次の数年の間に、フロントエンドプロセスは、MOSFET のゲートスタックや DRAM のストレージキャパシタ、フラッシュ・メモリのストレージデバイスなど様々なアプリケーションに High-k 材料や難度の高いデバイス設計を適用した金属膜の導入が必要となるであろう。これらの新しい材料に加えて、FinFET のような新しいデバイス構造が要求性能を満たすために導入されるであろう。代替メモリの市場成長は、さらに広範な種類の強誘電体薄膜や磁性体薄膜そして相変化薄膜の材料開発および最適化を要求するであろう。基礎をなすこれらのデバイスの変化は、SOI のような基板への要求や次の 7 年以内のさらに大きな直径 450mm 基板の必要性を急速に進展させている。

バルク CMOS の延命からノンクラシカルなデバイス構造への変化は、すべてのアプリケーションおよびすべての半導体メーカーに同時に起こると思われない。むしろ、非常に多様な技術が同時に競争的に使用される場合、—あるメーカーが先にノンクラシカルなデバイスへの移行を決める一方で、他のメーカーがバルク技術の延命を重要視する—というシナリオが描かれる。我々はこのシナリオが有力であると考え、クラシカル CMOS を延命するために何が必要か、また、完全空乏型 SOI やマルチゲートのような他のデバイス構造への移行により何が得られるかを示す並列パスの指標を示した。

さらに、我々は、High-k 絶縁膜のような材料技術やクリティカル・ディメンション・エッチングのようなプロセス技術の新しいドライバーとして、フラッシュ・メモリのアプリケーションの加速的増大に注目している。フラッシュ・メモリ市場の急拡大によって、これらのデバイス用の材料とプロセスがより多くの技術開発において中心課題となるであろう。

2 フロントエンドプロセス

異なるITRS技術ワーキンググループ(TWG)間の綿密な協力によって、今後直面し得る障壁に対しても解決策が見つかる。これは、過去2年にわたってFEP、PIDS、リソグラフィおよび設計グループ間で物理ゲート長のバラツキの課題について連続的な議論をすることによって実証された。このコラボレーションによって、露光寸法とエッチバイアス間のシフトや許容バラツキの再配分、および以前に規定されたものよりもわずかに大きなバラツキで経済的にデバイスを製造することができるという認識を含んで、結果的にITRSのいくつかの章にわたって変更が行われた。このような継続的なTWG間のコラボレーションは更に今後障壁に直面しても解決策を見つける上で極めて重要になるであろう。

参考文献

STARTING MATERIALS

- ¹ P.W. Mertens, T. Bearda, M. Houssa, L.M. Loewenstein, I. Cornelissen, S. de Gendt, K. Kenis, I. Teerlinck, R. Vos, M. Meuris and M.M. Heynes, "Advanced Cleaning for the Growth of Ultrathin Gate Oxide," *Microelectronic Engineering* 48, 1999, 199–206.
- ² T. Bearda, S. de Gendt, L. Loewenstein, M. Knotter, P. Mertens and M. Heynes, "Behaviour of Metallic Contaminants During MOS Processing," *Solid State Phenomena*, 1999, 65–66, 11–14.
- ³ G. Zoth and W. Bergholtz, "A Fast, Preparation-Free Method to Detect Iron in Silicon," *J. Appl. Phys.*, 67, 1990, 6764–6771.
- ⁴ W. Shockley. *Electrons and Holes in Semiconductors*. Princeton: D. Van Nostrand Co., Inc., 1950, 69.
- ⁵ n.a., SEMI M44-0702, "Guide to Conversion Factors for Interstitial Oxygen in Silicon," SEMI (Semiconductor Equipment and Materials International), San Jose, CA, July 2002.
- ⁶ K. Sueoka, et al., "Oxygen Precipitation Behavior and Its Optimum Condition For Internal Gettering and Mechanical Strength in Epitaxial And Polished Silicon Wafers," *ECS PV 2000-17*, 2000, 164–179.
- ⁷ W. Maly, H.T. Heineken, and F. Agricola, "A Simple New Yield Model," *Semiconductor International*, No. 7, 1994, 148–154.
- ⁸ M. Kamoshida, "Trends of Silicon Wafer Specifications vs. Design Rules in ULSI Device Fabrication. Particles, Flatness and Impurity Distribution Deviations," *DENKA KAGAKU*, No. 3, 1995, 194–204.
- ⁹ Y. Omura, S. Nakashima, K. Izumi, and T. Ishii, "0.1µm-Gate, Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer," *IEDM Tech. Digest*, 1991, 675–678.
- ¹⁰ W. P. Maszara, R. Dockerty, C.F.H. Gondran and P.K. Vasudev. "SOI Materials for Mainstream CMOS Technology," in: "Silicon-on-Insulator Technology and Devices VIII," S. Cristoloveanu, P.L.F. Hemment, K. Izumi and S. Wilson, eds., PV 97-23, The Electrochemical Society Proceeding Series, Pennington, NJ, 1997, 15–26.
- ¹¹ H. Aga, M. Nakano and K. Mitani. "Study of HF Defects in Thin Bonded SOI Dependent on Original Wafers," *Extended Abstracts of the 1998 International Conference on Solid State Devices and Materials*, Hiroshima, Japan (1998), 304–305.

SURFACE PREPARATION

- ¹² P.W. Mertens, "Advanced Cleaning Technology," invited tutorial, UCPSS 2000, (2000), Ostende, Belgium, 31–48.
- ¹³ P.W. Mertens, et. al., "Recent Advances in Wafer Cleaning Technology," *Semicon Europa Front End Technology Conference*, Munich, (April 24, 2001).
- ¹⁴ P. W. Mertens, T. Bearda, M. Houssa, L. M. Loewenstein, I. Teerlinck, R. Vos, I. Cornelissen, S. De Gendt, K. Kenis, M. Meuris and M. M. Heynes, "Advanced Cleaning for the Growth of Ultrathin Gate Oxide", 11th International Conference on Insulating Films on Semiconductors, Erlangen, Germany (June 16-19, 1999), in *Microelectronic Engineering* 48, 1999, 199.

THERMAL, THIN FILM, DOPING AND ETCHING

- ¹⁵ Y. Taur, "25 nm CMOS Design Considerations," *IEDM 1998, Technical Digest, IEEE*, December 1998, 789–792.
- ¹⁶ A. Srivastava and C.M.Osburn, "Response Surface Based Optimization of 0.1 µm PMOSFETs with Ultra-Thin Oxide Dielectrics," *SPIE Proc.*, Vol. 3506, 1998, 253.
- ¹⁷ C.M. Osburn, J.Y. Tsai and J. Sun, "Metal Silicides: Active Elements of ULSI Contacts," *J. Electronic Mater.*, Vol. 25(11), 1996, 1725.
- ¹⁸ P. Zeitzoff and A. Tasch, "Modeling of Manufacturing Sensitivity and of Statistically Based Process Control Requirements for 0.18 micron NMOS device," *Characterization and Metrology for ULSI Technology: 1998 International Conference*, D.G. Seiler, et al. eds., 73.

DRAM STACKED CAPACITOR

- ¹⁹ K. Kishiro, et al., *Jpn. J. Appl. Phys.* Vol 37(1998), pp. 1336-1339.
- ²⁰ N. Fukushima et al., *IEDM Technical Digest*, pp. 257–260, 1997.

PHASE CHANGE MEMORY

- ²¹ S. Lai and T. Lowrey, "OUM – A 180 nm NVM cell element technology for stand alone and embedded applications", IEDM Tech. Dig., p.803, 2001.
- ²² F. Pellizzer et al., "Novel uTrench PCM cell for embedded and stand-alone NVM applications", Symp. on VLSI Tech., 2004.
- ²³ A. Pirovano et al., "Scaling analysis of phase-change memory technology", IEDM Tech. Dig., p.699, 2003.
- ²⁴ S.J. Ahn et al., "Highly manufacturable high density Phase Change Memory of 64Mb and beyond", IEDM Tech. Dig., 2004.
- ²⁵ S.J. Ahn et al., "Highly reliable 50 nm contact cell technology for 256 Mb PRAM", Dig. of 2005 Symp. on VLSI Tech., p.98, 2005.

FERROELECTRIC RANDOM ACCESS MEMORY (FERAM)

- ²⁶ J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices, ED10, 338, 1963.
- ²⁷ D. J. Wouters, 28, International Conference on Solid State Devices and Materials, 2003.
- ²⁸ Y. Horii, Y. Hikosaka, A. Itoh, K. Matsuura, M. Kurasawa, G. Komuro, K. Maruyama, T. Eshita and S. Kashiwagi, 539, IEDM, 2002.
- ²⁹ B. H. Park, B. S. Kang, S.D. Bu, T. W. Noh, J. Lee, and W. Jo, 682, Nature, 1999.
- ³⁰ K. Y. Yun, D. Ricinchi, T. Kanashima, M. Noda and M. Okuyama, Jpn. J. Appl. Phys. 43 (2004) L647.
- ³¹ A. Nitayama, Y. Kohyama, and K. Hieda, 355, IEDM, 1998.