

# リソグラフィ

## 概要

2005 年以降、急速なハーフピッチの縮小ペースを維持するためには、現在の光リソグラフィ技術を改良し延命するための課題を解決と平行して、光リソグラフィより経済的になったときに初めて使用される次世代リソグラフィ技術を開発することが要求される。液浸レンズを用いる ArF(193 nm)リソグラフィの拡張においても、新しい次世代技術の開発においても重要な技術課題が残されているが、非常に挑戦的な問題の技術的解決法が必要とされるだけでなく、設計コスト、プロセス開発コスト、マスクコスト、および装置とプロセスの CoO(Cost of Ownership)を含んだチップコストを経済的にすることが重要である。光リソグラフィの拡張と次世代リソグラフィ技術の開発にはこれらの分野における進歩が必要である。

- 露光装置
- レジスト材料と現像処理装置
- マスク製作、マスク製造装置、および材料
- CD(Critical Dimension)測定、重ね合せコントロール、および欠陥検査のための計測装置

本章はリソグラフィの困難な技術課題(Difficult Challenges)、技術要求、および解決策候補(Potential Solutions)を明確にする 15 年間のロードマップを提供する。更に本章では、リソグラフィ ITWG (International technology working group[国際技術ワーキンググループ])と、設計、FEP(Front End Processing)、ESH (Environment, Safety, and Health[環境、安全性、および健康])、歩留り向上、測定、モデリングおよびシミュレーションの各 TWG とのクロスカット活動とそれぞれとのかかわりを示した。

集積回路を製造する上で、リソグラフィの主要な要求は以下のとおりである。

- CD コントロール—設計される多くのパターンの大きさは正確に制御される必要がある。CD コントロールは、露光フィールド内、ウェーハ内とウェーハ間で達成される必要がある。CD コントロールは適切なトランジスタ性能と配線性能、さらにその結果としての総合的な回路性能を得るために必要である。
- 重ね合せ(Overlay)—適切な歩留りを達成するため、すべての場所で各チップが下の層に対し正確に位置決めされる必要がある。
- 欠陥制御—必要なパターンはすべての場所で正しく存在し、余分なパターンはどんなものであれ存在すべきでない。リソグラフィプロセスにおいて、新たにウェーハにパーティクルが付着することは許されない。
- 低コスト—装置、レジスト、およびマスクのコストは、CD コントロール、重ね合せ、および欠陥制御への要求が満足される間は、可能なかぎり低く抑える必要がある。コストを最小にするために、リソグラフィの各工程はできるだけ短い時間で実行されること、マスクはできるだけ多くのウェーハの露光に使用されること、装置は信頼性が高く常にウェーハに露光できること必要がある。

デバイスを構成するレイヤのそれぞれがパターンングを必要とするので、リソグラフィプロセスは集積回路の製造費用の主要な部分を占める。一般的には、少なくとも四層は最先端リソグラフィ装置を必要とするクリティカル層である。これらは素子分離層、ゲート層、トランジスタ電極(ゲート/ソース/ドレイン)へのコンタクト層;そして、第一層目の配線層である。また、いくつかの下層配線層とビアホール層、トランジスタのチャネルのイオン注入層に最先端リソグラフィ装置が使われることもある。さらに新規デバイス構造ではいくつかのクリティカル層が新たに必要となるかもしれない。現在、リソグラフィ工程ではマスクとレジストと関連した検査・計測を含めると半導体製造費用の 30-40%を占めるが、この割合はプロダクトミックス、IC 製品毎の需要、工場設備の世代に強く依存する。そして、CoO モデルがリソグラフィ技術とプロセスオプションを定量的に比較するのにし

## 2 リソグラフィ

ばしば用いられる。プロセスコストは一般的に 1 ウェーハあたり、プロセスレイヤ、またはチップあたりのコストで評価される。通常リソグラフィのコストはウェーハレベルでの露光費用で定量化される。リソグラフィの CoO、つまりウェーハレベルでの露光費用 (PWLE: per wafer level exposed)は以下のように定量化できる。

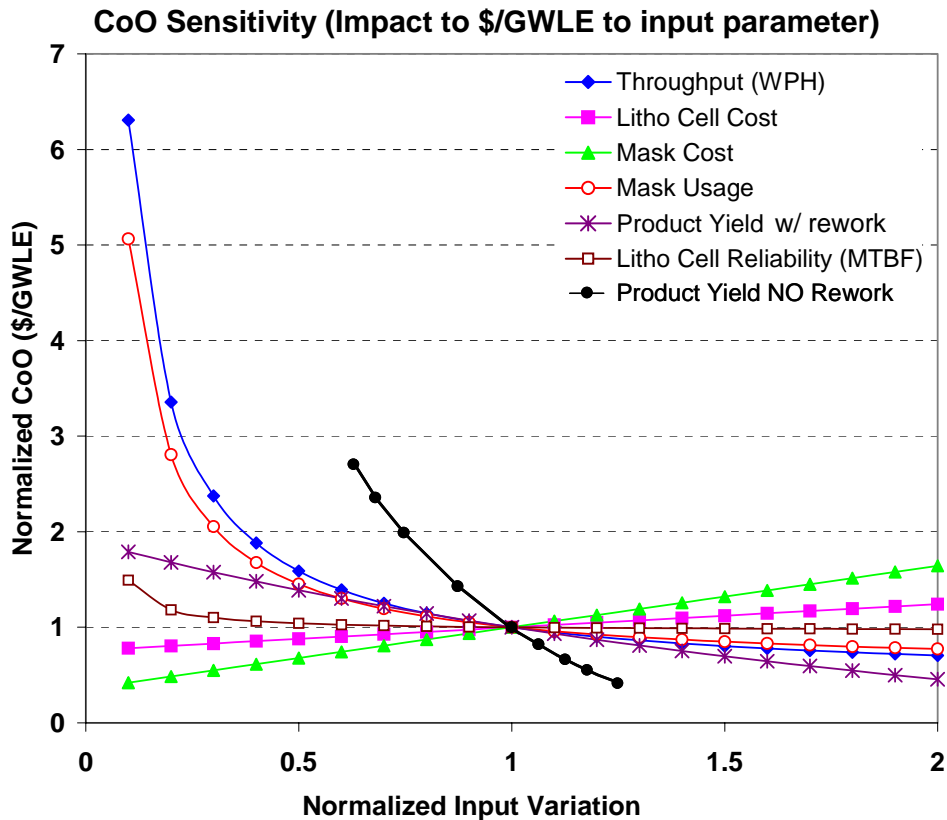


Figure 66 Plot of Normalized Cost of Ownership as a Function of Several Normalized Input Variables

$$C_{pwle} = (C_e + C_l + C_f + C_c + C_r Q_{rw} N_c) / N_g + C_m / N_{wm}$$

ここで:

$C_{pwle}$  =ウェーハレベル露光あたりのコスト

$C_e$  =露光、レジストコート、およびパターントランスファ設備の一年あたりのコスト(減価償却、メンテナンス、およびインストールを含む)

$C_l$  =人件費

$C_f$  =クリーンルームスペースの年間費用

$C_c$  =他の消耗品の費用(コンデンサ、レーザダイオード等)

$C_r$  =レジスト費用

$Q_{rw}$  =ウェーハ毎のレジスト量

$N_c$  =レジスト塗布したウェーハ数

$T_{net}$  =正味の処理能力=生の処理能力\*利用率

$N_g$  =ウェーハレベルでの露光良品枚数(GWLE: good wafers levels exposed)

=  $\int T_{net} Y_L dt$ ,  $Y_L$  =リソグラフィの歩留り、 $t$  =時間

$C_m$  =マスクのコスト

$N_{wm}$  =マスク毎の露光ウェーハ枚数

Ce はインストール費用を含む装置の価格から決まる。このコストは減価償却(通常定額償却 5 年を仮定)を考年毎に割り当てる。実際には、通常、CoO に大きく影響するのは、Ce、Tnet、Cm と Nwm である。Figure 66 は正規化された CoO がこれらの多くの要素によってどう変わるかを示したものである。歩留りの影響がもっとも大きく、処理能力(Tnet)とマスクあたりの露光枚数(Nwm)がそれについて影響する。

マイクロエレクトロニクス産業の黎明期のころから、光リソグラフィは量産のためのメインストリーム技術として使われ、さらに 45 nm ハーフピッチ世代まで使われることが期待されている。光リソグラフィの解像度は Rayleigh 方程式で記述される光の回折によって制限される。このような投影光学系で解像できる最小ハーフピッチ、R は次式で与えられる:

$$R = k_1 \frac{\lambda}{NA} \quad [1]$$

ここで、 $\lambda$  は露光波長、NA は開口数で  $n \sin \alpha_0$  で与えられる。 $n$  は、レンズ-レジスト間の媒質、最後段のレンズ素子、レジストのうち最小の屈折率である。 $\alpha_0$  は空気か真空中で投影される場合、レンズから投影像に到る光線の最大角の半分の角度である。 $k_1$  はレジスト性能、装置コントロール、レチクルのパターンやプロセスコントロールによって主に決まるプロセス定数である。ここで最小ハーフピッチより小さな寸法のラインパターンも転写できるということを指摘しておく。リソグラフィの物理的限界は隣接しているパターンの最小間隔、すなわちパターンピッチである。

フォーカスエラーまたはデフォーカスは、投影像の鮮明さとコントラストを下げ、レジストの CD を変化させ、そして露光余裕度を制限する。露光フィールド内の一点で予想されるフォーカス許容度、または焦点深度(DOF: depth of focus)は以下で示される<sup>1</sup>。

$$DOF = k_3 \frac{\lambda}{n \sin^2 \left[ \frac{1}{2} \sin^{-1} \left( \frac{1}{n} \sin \alpha_0 \right) \right]} \quad [2]$$

ここで、 $n=1$  であり、 $NA < 0.8$  では DOF は以下となる。

$$DOF \approx k_2 \frac{\lambda}{NA^2} \quad [3]$$

定数( $k_2$  と  $k_3$ )は、装置、プロセス、パターンサイズ、およびパターン形状に依存している。したがって、光リソグラフィのトレンドは、より短い波長、より高い開口数を持つシステムと、より小さな  $k_1$  で、より密度の高いパターンを形成することである。ArF(193nm)やArF液浸、およびEUV(Extreme Ultraviolet)を用いた投影光学システムではリソグラフィの解像度とDOFのスケージングは[1]–[3]式に従う。

先端のクリティカル層のリソグラフィにおける主要技術であり続けるため、オフ軸照明(OAI: off-axis illumination)、位相シフトマスク(PSM: phase shifting mask)、近接効果補正(OPC: optical proximity correction)などの超解像技術(RET: Resolution Enhancement Technique)が ArF(193nm)露光システムにおいても引き続き使われている。RET に加え、高 NA 化とレンズ収差の低減が光リソグラフィの延命のため要求されている。また最後段レンズ素子とウェーハ間を液体で満たす液浸法も光リソグラフィを拡張する手段として使用される。Table 74 に光リソグラフィを拡張するのに用いられる RET と手法の発展を示す。次に続く技術世代毎に OPC と RET の実装がより困難になってくる。

<sup>1</sup> Burn Lin, "The k3 coefficient in nonparaxial  $\lambda/NA$  scaling equations for resolution, depth of focus, and immersion lithography," *Journal of Microlithography, Microfabrication and Microsystems* 1(1), 7–12, April 2002.

#### 4 リソグラフィ

32 nm ハーフピッチとそれ以降に対する要求は、おそらくは高屈折率液体、高屈折率レンズ材料、およびより高い屈折率のレジストが開発されない限り、ArF リソグラフィの能力を超えている。 32 nm ハーフピッチとそれ以降に対し、液浸リソグラフィを延命する別のオプションは、2枚かそれ以上のマスクにパターンを分けることである。しかしながら、この方法は代替の技術より安価でなくてはならない。ロードマップを先まで延ばすためには、EUV、マスクレス(ML2: Maskless Lithography)、インプリント技術のような次世代リソグラフィ(NGL: next-generation lithography)技術の開発をおそらく必要とするであろう。次世代リソグラフィには新しく大幅なインフラストラクチャの構築を必要とするため、鍵となる課題はそれらを経済的な製造ソリューションとして提供できるかにある。

Table 74 Various Techniques for Achieving Desired CD Control and Overlay with Optical Projection Lithography

MPU M1 contacted $\frac{1}{2}$ pitch	210 nm	160 nm	120 nm	90 nm	65 nm	45 nm
$k_1$ Range [A]	0.51–0.64	0.48–0.52	0.47–0.53	0.40–0.43	0.31–0.40	0.28–0.31
Design rules	Minor restriction	Allow OPC and PSM, SRAF	Litho friendly design rules			
Restrictions (cumulative)	Minimum pitch, spacing and linewidth		Pitch and orientation	Contact locations, library cells checked for OPC compatibility and printability	Features on grid?, Restricted feature set?	
Masks (Optical proximity correction)	Rule-based OPC, MBOPC for gate, custom OPC for memory cells	Model-based OPC (MBOPC) on critical layers, SRAF on gate layer	Model-based OPC w/SRAF on critical layers, verification of entire corrected layout with simulation		Model-based OPC with vector simulation, SRAF, polarization corrections	Model-based OPC with vector simulation, SRAF, polarization corrections, variation of OPC intensity by location in circuit?, magnification increase?
(Gate and M1 layer mask type)		cPSM and EPSM		APSM, EPSM and hiT EPSM	APSM, hiT EPSM, dual dipole?	APSM, hiT EPSM, double exposure with 2x larger pitch
(Contacts/vias layers mask type)		EPSM		APSM, EPSM, HiT PSM		
Resist	Custom by layer type					
Thickness	<500 nm	<400 nm	<350 nm	<280 nm	<225 nm	<160 nm
Substrate	ARC	ARC, hard masks		ARC, hard masks, top coats		
Etch		Post development resist width reduction				
Tool		Selection based on aberrations, automated NA/sigma control		Aberration monitoring		
(Illumination)	Conventional, annular illumination	Off-axis illumination	Quadrupole	Custom illumination	Custom illumination, polarization optimization	Custom illumination, polarization optimization
(Dose control)		Cross wafer dose adjustments	Dose adjustment across the wafer and along scan			
(Process control (CD and overlay))	Offsets from previous lots	Automated process control with downloaded offsets			Automated process control with downloaded offsets, metrology integrated in lithography cell	

MBOPC—model based optical proximity correction

cPSM—complementary PSM

APSM—alternating PSM

EPSM—embedded PSM

HiT—high transmission

ARC—antireflection coating

SRAF—sub-resolution assist features

Table 74 の注:

[A] 光リソグラフィまたは液浸リソグラフィが使用されていると仮定。

## 困難な技術課題

最小ハーフピッチの縮小を継続するために必要で、最も難しい 10 の困難な技術課題を Table 75 に示す。マスク製造能力とマスクコストの増大は、リソグラフィの今後の発展に重要であり継続的に注力する必要がある。以前の挑戦的なロードマップの加速、特に MPU のゲート線幅 (ポストエッチ)、および低い k1 リソグラフィによる MEEF(mask error enhancement factor)値の増加のため、マスクの線幅コントロールが特に顕著な課題として持ち上がってきた。例えば、1997 年のロードマップにおいては 70 nm 世代では 4 倍マスクに対し孤立ラインで 9 nm、コンタクトホールで 14 nm の CD コントロールが要求されていた。これに対し、2005 年版ではそれぞれ 2.6 nm と 3.0 nm となった。これはポスト ArF 用のマスクプロセスが研究開発段階にあるのに対し、複雑な OPC と PSM 構造の光学マスクの作製に対し、マスク製造装置とプロセス能力が整ったためである。欠陥制御、CD コントロールとパターン位置精度の難しさは世代毎に大幅に増しており、より性能の高いマスク製造装置の開発が必要とされている。先端マスクの製造施設の数は少なく、これらの装置サプライヤがますます複雑化する装置を開発することが困難になっている。静電放電(ESD: electrostatic discharge)によるマスク損傷は長い間課題であったが、マスクパターンサイズの縮小により、より込み入った問題になると予想される。多数のウェーハ露光後に有機や無機の堆積物がマスクに形成される成長性欠陥も問題となってきた。

これまで 1×、5×、および 10× のマスク倍率も用いられてきたが、主流となっている 4× のマスク倍率ではマスク作製の課題とバランスした上でウェーハ上の露光フィールドを最大にできる。しかし、いくつかの問題からマスク倍率を大きくするという議論が繰り返されている。マスクのコストは複雑な RET が一般的に使用されるようになったため大幅に高くなっており、より大きな倍率のマスクは 4× マスクよりかなり安くなるかもしれない〔訳者注: マスク上のパターン寸法が大きいいためマスク製造が容易になるため〕。ドライ露光での  $NA > 0.9$  や液浸リソグラフィでの  $NA > 1.0$  ではレンズの大きさと体積が急激に大きくなる〔訳者注: マスク倍率を大きくすることでレンズの大きさを小さくできる〕。ステージ速度と露光装置の生産性は著しく改善されたため、より小さな露光フィールドサイズでもより良いスループットが得られるかもしれない。さらに 4× マスクにおけるマスク構造の寸法が波長と同程度になっており、そのためマスクを透過する光は部分的に偏光される。寸法が波長の 0.5 倍から 2 倍になると、透過光の一部は TE(Transverse Electric)偏光される。すべての場所で完全に均一な偏光とならないため、この偏光の影響はドーズ量の変化として現れる。ハーフトーンマスクやレベソソ型マスクのような超解像マスクを設計するソフトウェアには、より複雑で厳しい電磁気モデルが必要とされるであろう。最終的にはマスク構造による偏光現象によって、産業界は 4 倍より大きなマスク倍率を検討するかもしれない。マスクコストとレンズコストを下げる他にも、高いマスク倍率によって露光フィールドサイズが小さくなるため、ステッチングせずに製造できるように、設計されるチップ寸法にまで影響するであろう。

CD コントロールへの要求を達成するために、RET やパターン設計への制限、さらに APC(automated process control)が Table 74 に示されるように用いられる。光リソグラフィのもっと先への拡張を実現するためには、設計プロセスにおいて、形状寸法のわずかな変化が CD 変動を増大させることをよく理解することが必要である。このことは DFM(design for manufacturing)と一般によく言われることである。DFM は設計者に回路設計の最適化において製造ばらつきを考慮させ、さらに IC 製造プロセスを最も高い性能と最小コストで提供するために最適化させる。究極的には設計者は製造プロセスにおけるすべての物理的な揺らぎとその統計分布の知見を持って回路を最適化できるかもしれない。最も簡単なレベルでは、設計者は製造において収率の良いライブラリセルを意識するようになっていく。さらにリソグラフィ、エッチング、および CMP プロセスのシミュレーションは、レイアウト上で製造ばらつきに最も影響されやすいウィークスポットがないかどうかチップ全域を調べるのに使用されつつある。これらのウィークスポットの座標はマスクとウェーハの CD 測定装置に提供される。フォーカスと露光はテストパターンではなくウィークスポットのプロセス余裕度を最大にするように最適化される。転写されたウィークスポット部の形状はパターン忠実度の観点で評価されることが必要であろう。そして、これらのウィークスポットはレイアウト変更と製造プロセスにおけるモニタリングの対象とされる。ウィークスポットのソフトウェアによる解析とセルの物理レイアウトへのフィードバックの自動化は EDA サプライヤによって積極的に推進

## 6 リソグラフィ

められている。DFM ツールとその技術は、ウェーハファブでマスクの改版を最小にし、適正な歩留りを達成するために不可欠になるであろう。DFM に関する詳しい情報は設計の章を参照のこと。

リソグラフィ技術は高密度のパターニングを可能にすることによって集積回路の機能あたりの大きなコスト削減を支えてきたが、コストと投資利益率 (ROI) をこれまでの実績レベルに維持することははいよいよ困難になっている。マスクとリソグラフィコストに関するこれらの課題は次世代リソグラフィのみならず光リソグラフィでも同様である。光リソグラフィをさらに延命するためには水や高屈折率の液浸液の下で高いパターン忠実度と高いエッチング耐性を有する新しいレジストを必要とする。より複雑なマスクが要求され、そのマスクの作成には新しく改良されたマスク製造装置と材料が必要とされるであろう。450mm ウェーハへの移行においては露光装置のステージ設計やトラック[訳者注:コーター・ディデロッパ]のコーティング技術における進歩が必要である。これらの改良はさらなる開発費用を必要とするであろう。

MPUにおけるゲートCDコントロールへの要求はリソグラフィのプロセスコントロールに対し多くの角度から影響を与える。これにはレンズ、トラック、レジスト材料、およびメトロロジが含まれる。特に重ね合せと CD のためのプロセスコントロールは重要な課題である。プロセスコントロールの基本となるメトロロジが開発と量産の両方に求められる将来の必要条件を適切に満たせるかは明確ではない。レジストの LER(Line Edge Roughness)はゲートの線幅制御がレジストのポリマー程度の大きさになってきたため重要になりつつある。次世代リソグラフィは、露光装置がこれまで製造に一度も使用されたことがない手法に基づいているため、詳細で慎重な取扱いを必要とするだろう。これらの装置は開発するだけでなく、コスト効果に優れた製造のための信頼性と稼働率を満たすことを確認する必要がある。

液浸リソグラフィの導入は多くの新しい課題をもたらした。スキャン時や露光、または液供給と回収、さらにはリサイクル過程で発生するバブルを液浸液からなくすることが必要である。液浸液はウェーハ上に残ることもあり、それはステインを引き起こす。またレジストと液浸液やトップコート材との相性も必要である。ArF液浸リソグラフィを 45 nm ハーフピッチ世代より先まで引き延ばすためには、水よりも高い屈折率(>1.44)とCaF<sub>2</sub>や石英(>1.56)より高い屈折率のレンズ材料が必要である。これらの材料は、液浸リソグラフィ環境への適合性と投影像形成に対するすべての要求を満たす必要がある。

EUV リソグラフィは 32 nm ハーフピッチ世代から、場合によっては 45 nm ハーフピッチ世代から製造に使われると予想されている。EUV リソグラフィは 13.5 nm の波長を使用する投射光学技術である。この波長ではすべての材料で非常に吸収が大きいので、投影光学系はすべて反射鏡によって構成される。その反射鏡は 13.5 nm で反射率を高めるため多層膜がコーティングされている。EUV リソグラフィを導入するための主な技術的ハードルのアウトラインは Table 75 に示されている。そこには以下の課題があげられている; 低欠陥密度のマスクブランクス作製プロセス; 高出力パワーの EUV 光源と集光光学系の長寿命化、照明光学系と投射光学系の汚染制御、13.5 nm 波長での高い投影像品質のための反射鏡の形状と表面仕上げ、十分小さな LWR(Line Width Roughness)と高感度のレジスト、およびペリクルレスでのマスクの保護。また、EUV リソグラフィは光リソグラフィと混用されるため、重ね合せのために適切な方策が開発される必要がある。

長期(Longer Term)においては、重ね合せ、欠陥、CD コントロールに対するプロセス要件への要求がプロセスコントロール、レジスト開発、マスク開発における課題を継続的に引き起こすであろう。マスクレスリソグラフィが使用される場合には、マスク検査におけるダイ to データベース検査がウェーハのダイ to データベース検査に置き換えられることになろう。インプリントリソグラフィのテンプレート[訳者注:光リソグラフィでのマスクに相当]は、ウェーハ上のパターンと同じ大きさが必要なため、その作製はチャレンジングである。レジスト材料もかなりの改良を必要であろう。液浸リソグラフィを延命するためには、最終的にはレジストにもより高い屈折率が必要となるだろう。光酸発生剤や無反射コート材料に使用されている PFAS(perfluoroalkyl sulfonate)化合物の代替材料も見つけなければならない。拡散距離が小さくできるか、感光機構の新たな手法がない限り、化学増幅レジストの酸拡散は高感度レジストにおける最小ハーフピッチを制限するかもしれない。また、均一な線

幅に向けた本質的に高い寸法制御性と小さな LWR を有するレジスト材料も必要となろう。

Table 75 Lithography Difficult Challenges

<i>Difficult Challenges</i> $\geq 32$ nm	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Registration, CD, and defect control for masks
	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features
	Understanding polarization effects at the mask and effects of mask topography on imaging and optimizing mask structures to compensate for these effects
	Eliminating formation of progressive defects and haze during exposure
	Determining optimal mask magnification ratio for <45 nm half pitch patterning with 193 nm radiation and developing methods, such as stitching, to compensate for the potential use of smaller exposure fields
	Development of defect free 1× templates
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time
	Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume
	Sufficient lifetime for exposure tool technologies
	Resources for developing multiple technologies at the same time
	ROI for small volume products
	Stages, overlay systems and resist coating equipment development for wafers with 450 mm diameter
Process control	Processes to control gate CDs to < 4 nm 3 $\sigma$
	New and improved alignment and overlay control methods independent of technology option to <11 nm 3 $\sigma$ overlay error
	Controlling LER, CD changes induced by metrology, and defects < 50 nm in size
	Greater accuracy of resist simulation models
	Accuracy of OPC and OPC verification, especially in presence of polarization effects
	Control of and correction for flare in exposure tool, especially for EUV lithography
	Lithography friendly design and design for manufacturing (DFM)
Immersion lithography	Control of defects caused in immersion environment, including bubbles and staining
	Resist chemistry compatibility with fluid or topcoat and development of topcoats
	Resists with index of refraction > 1.8
	Fluid with refractive index > 1.65 meeting viscosity, absorption, and fluid recycling requirements
	Lens materials with refractive index >1.65 meeting absorption and birefringence requirements for lens designs
EUV lithography	Low defect mask blanks, including defect inspection with < 30 nm sensitivity and blank repair
	Source power > 115 W at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components
	Resist with < 3 nm 3 $\sigma$ LWR, < 10 mJ/cm <sup>2</sup> sensitivity and < 40 nm ½ pitch resolution
	Fabrication of optics with < 0.10 nm rms figure error and < 10% intrinsic flare
	Controlling optics contamination to achieve > five-year lifetime
	Protection of masks from defects without pellicles
	Mix and match with optical lithography

Table 75 Lithography Difficult Challenges (continued)

Difficult Challenges < 32 nm	Summary of Issues
Mask fabrication	Defect-free masks, especially for 1× masks for imprint and EUVL mask blanks free of printable defects
	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair), especially for 1× masks
	Mask process control methods and yield enhancement
	Protection of EUV masks and imprint templates from defects without pellicles
	Phase shifting masks for EUV
Metrology and defect inspection	Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3σ
	Metrology for achieving < 2.8 nm 3σ overlay error
	Defect inspection on patterned wafers for defects < 30 nm, especially for maskless lithography
	Die-to-database inspection of wafer patterns written with maskless lithography
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput
	Development of cost-effective optical and post-optical masks
	Achieving ROI for industry with sufficient lifetimes for exposure tool technologies and ROI for small volume products
Gate CD control improvements and process control	Development of processes to control gate CD < 1.3 nm 3σ with < 1.5 nm 3σ line width roughness
	Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3σ overlay error, especially for imprint lithography
	Process control and design for low k <sub>1</sub> optical lithography
Resist materials	Resist and antireflection coating materials composed of alternatives to PFAS compounds
	Limits of chemically amplified resist sensitivity for < 32 nm half pitch due to acid diffusion length
	Materials with improved dimensional and LWR control

## リソグラフィ技術リクエスト

リソグラフィロードマップの必要項目は以下のテーブルで定義される:

- リソグラフィ要求(Table 76a と b)
- レジスト要求(Table 77a、b、および c)
- マスク要求(Table 78a-f)

MPUの小さなゲート長(エッチング後)に向けた要求はメトロロジとプロセスコントロールのための重要な課題を生み出す。CD を従来の許容値±10%で制御することははいよいよ困難になってきた。後ほどクロスカットの節で述べるが、ロードマップでの MPU のゲート長の CD コントロールへの要求は±10%から±12%に緩められた。また、コンタクトホールと MPU のゲートにおけるレジストとエッチ後のパターン幅の差[訳注:エッチバイアス]も大きくされた。現像後のレジストをトリミングし縮小することは、より一般的でより可能性が高くなっている。レジストパターンを大きく形成することは、リソグラフィプロセスにおいて大きなプロセス・ウインドウを獲得でき、CD コントロールを改善できる。また、LSI 製造メーカーは、パターニングをより実現可能にするため設計ルールを変更しつつある。メトロロジはこれらのリソグラフィフレンドリなデザインルールを定義する上で重要な役割を果たすだろう。また、LER と LWR の素子性能への影響が明確に現れるようになるため、メトロロジ機器はこれらの値を正確に計測できるように改良される必要がある。LWR の高周波成分は、不純物プロファイルや配線抵抗に影響する。大きな空間周波数における LWR はデバイスの活性領域の上でトランジスタゲート長の変動の原因となる。この変動は、トランジスタのリーク電流を増加させ、個々のトランジスタのスピードのばらつきとなり、IC 内部でのタイミング問題の原因となる。コンタクトホールの形成ではエッチング後のコンタクトホールの寸法はリソグラフィ後のレジスト寸法よりさらに小さくなる。これは MPU のゲートと同様である。2003 年版から現像後とエッチング後のコンタクトホールのバイアスが大きくされた。



Table 76a と b を参照のこと。

良好なパターン忠実度と線幅コントロール、小さな LWR、そして低欠陥性を有するフォトレジストが開発される必要がある。形状寸法がより小さくなるため、欠陥とモノマーは同程度の大きさになり、レジストのフィルタリングにも影響するであろう。Table 77a-c を参照のこと。

マスクへの要求はクリティカル層に対するものである。世代初期には量は比較的少なく、作製することが難しいと考えられる。すべての次世代リソグラフィ(NGL)用マスクは光学マスクと異なっており、さらにいずれのNGL 技術もペリクルを使うことはできない。NGL マスクの要求は光学リソグラフィのそれらと実質的に異なっているため、光学マスク、EUV マスク、およびインプリント・テンプレートについて別々の表が用意された(それぞれ Table 78a と b, Table 78c と d, Table 78e と f)。EUV とインプリントの要求をカバーする後者の表は光学マスクについて一般的な要求と各技術に特定のものについて記述されている。インプリントはいくつか形態があるので、ここでは紫外線によってテンプレートを満たした液体を硬化させるという紫外線ナノインプリント (UV-NIL) の要求をまとめてある。また、EUV マスクには厳しい平坦性コントロールが必要であり、さらにマスクの反射率に関する様々なパラメータの要求が加えられている。EUV マスクブランクスには、小さな欠陥も許されないため、新しい検査装置と低欠陥プロセスの開発が必要とされる。インプリント用テンプレートにはウェーハ上での形状と同じ寸法の表面凹凸が必要であるが、CD、パターン配置、および欠陥をコントロールする必要がある領域は他の技術での 4×マスクより 1/16 と小さい。とは言え、これらのマスクの欠陥検査は難しいであろう。EUV マスクやインプリント・テンプレートにはペリクルが使用できないため、保管、搬送、露光装置での使用の間に欠陥からマスクを保護するための解決法が開発/テストされる必要がある。これらの異なった NGL マスク要求は光学マスクで既に問題となっているマスクのコスト上昇を緩和するよりもむしろ悪化させると予想される。

CD コントロールと重ね合せの許容幅は達成することが最も難しい要求である。重ね合せ許容幅は、高い歩留りでメモリ回路を作るためにより厳しくなった。レンズの歪による重ね合せ誤差の影響を除くため、単一装置が同一ウェーハの複数のクリティカル層を焼き付けるために使用されるかもしれない。フィードバックとフィードフォワードの両方の手法が、プロセス装置(ステップ/スキャナとトラック)によってサポートされる必要がある。非線形性の強い一連の補正モデルとアルゴリズムに従って処理するため自動化フレームワークと CIM システムが必要である。自動プロセス制御(APC)への要求については Factory Integration とクロスカットの節で詳細に議論する。

Table 76a Lithography Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
<b>DRAM and Flash</b>									
DRAM ½ pitch (nm)	80	70	65	57	50	45	40	35	32
Flash ½ pitch (nm) (un-contacted poly)	76	64	57	51	45	40	36	32	28
Contact in resist (nm)	94	79	70	63	56	50	44	39	35
Contact after etch (nm)	85	72	64	57	51	45	40	36	32
Overlay [A] (3 sigma) (nm)	15	13	11	10	9	8	7.1	6.4	5.7
CD control (3 sigma) (nm) [B]	8.8	7.4	6.6	5.9	5.3	4.7	4.2	3.7	3.3
<b>MPU</b>									
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	90	78	68	59	52	45	40	36	32
MPU gate in resist (nm)	54	48	42	38	34	30	27	24	21
MPU physical gate length (nm) *	32	28	25	23	20	18	16	14	13
Contact in resist (nm)	111	97	84	73	64	56	50	44	39
Contact after etch (nm)	101	88	77	67	58	51	45	40	36
Gate CD control (3 sigma) (nm) [B] **	3.3	2.9	2.6	2.3	2.1	1.9	1.7	1.5	1.3
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	90	78	68	59	52	45	40	36	32
<b>Chip size (mm<sup>2</sup>)</b>									
Maximum exposure field height (mm)	26	26	26	26	26	26	26	26	26
Maximum exposure field length (mm)	33	33	33	33	33	33	33	33	33
Maximum field area printed by exposure tool (mm <sup>2</sup> )	858	858	858	858	858	858	858	858	858
Number of mask levels MPU	33	33	33	35	35	35	35	35	35
Number of mask levels DRAM	24	24	24	24	24	26	26	26	26
Wafer size (diameter, mm)	300	300	300	300	300	300	300	450	450

\*MPU 物理ゲート長の数値とカラーはいくつかのワーキンググループと OTRC によって決定された。

\*\*今後 3 年間における赤色の例外： 解決策は知られていないが、製造することを妨げるものではない。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

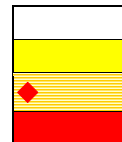


Table 76b Lithography Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ pitch (nm) (contacted)	28	25	22	20	18	16	14
<b>DRAM and Flash</b>							
DRAM ½ pitch (nm)	28	25	22	20	18	16	14
Flash ½ pitch (nm) (un-contacted poly)	25	23	20	18	16	14	13
Contact in resist (nm)	31	28	25	22	20	18	16
Contact after etch (nm)	28	25	23	20	18	16	14
Overlay [A] (3 sigma) (nm)	5.1	4.5	4.0	3.6	3.2	2.8	2.5
CD control (3 sigma) (nm) [B]	3.0	2.6	2.3	2.1	1.9	1.7	1.5
<b>MPU</b>							
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	28	25	23	20	18	16	14
MPU gate in resist (nm)	19	17	15	13	12	11	9
MPU physical gate length (nm) *	11	10	9	8	7	6	6
Contact in resist (nm)	35	31	28	25	22	20	18
Contact after etch (nm)	32	28	25	23	20	18	16
Gate CD control (3 sigma) (nm) [B]	1.2	1.0	0.9	0.8	0.7	0.7	0.6
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	28	25	23	20	18	16	14
<b>Chip size (mm<sup>2</sup>)</b>							
Maximum exposure field height (mm)	26	26	26	26	26	26	26
Maximum exposure field length (mm)	33	33	33	33	33	33	33
Maximum field area printed by exposure tool (mm <sup>2</sup> )	858	858	858	858	858	858	858
Number of mask levels MPU	37	37	39	39	39	39	39
Number of mask levels DRAM	26	26	26	26	26	26	26
Wafer size (diameter, mm)	450	450	450	450	450	450	450

\* MPU 物理ゲート長の数値とカラーはいくつかのワーキンググループと OTRC によって決定された。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

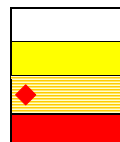


Table 76a and b の注:

[A] Overlay (nm) — Overlay はウェーハのあらゆるポイントで定義された X と Y 方向のベクトル量である。基板側の特定位置 P1、それに対応する重ね合わせるパターン(レジストのこともある)の位置 P2 とすると overlay は  $O=P1-P2$  で与えられる。O は X と Y 方向のそれぞれのベクトル成分で表され、その値はウェーハ上の標準偏差の 3 倍で示される。

[B] CD control (nm) — すべてのパターンピッチでの平均線幅目標と比べた CD の管理。すべてのリソグラフィによる原因(マスク、不完全な光学近接効果補正、露光装置、およびレジストによるもの)による誤差と空間的な要因(例えば、露光フィールド内分布、ウェーハ内及びウェーハ間、さらにロット間の分布)を含む。

Table 77a Resist Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
Flash ½ pitch (nm) (un-contacted poly)	76	64	57	51	45	40	36	32	28
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU physical gate length (nm) [after etch]	32	28	25	23	20	18	16	14	13
MPU gate in resist length (nm)	53	47	42	38	33	30	27	24	21
Resist Characteristics *									
Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **†	3.3	2.9	2.6	2.3	2.1	1.9	1.7	1.5	1.3
Resist thickness (nm, single layer) ***	150–265	125–225	110–200	100–180	90–160	80–145	70–130	60–115	55–100
PEB temperature sensitivity (nm/C)	2	1.75	1.75	1.5	1.5	1.5	1.5	1.5	1
Backside particle density (particles/cm <sup>2</sup> )	0.57	0.57	0.28	0.28	0.28	0.28	0.28	0.28	0.28
Back surface particle diameter: lithography and measurement tools (nm)	160	120	120	120	100	100	100	100	75
Defects in spin-coated resist films (#/cm <sup>2</sup> ) †	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in spin-coated resist films (nm)	50	45	40	35	30	30	20	20	20
Defects in patterned resist films, gates, contacts, etc. (#/cm <sup>2</sup> )	0.05	0.04	0.04	0.03	0.03	0.03	0.02	0.02	0.02
Minimum defect size in patterned resist (nm)	50	45	40	35	30	30	20	20	20
Low frequency line width roughness: (nm, 3 sigma) <8% of CD *****	4.2	3.8	3.4	3.0	2.7	2.4	2.1	1.9	1.7

† 今後3年間に於ける赤色の例外: 解決策は知られていないが、製造することを妨げるものではない。

Table 77b Resist Requirements—Long-term Years

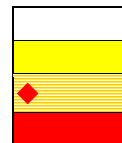
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ pitch (nm) (contacted)	28	25	22	20	18	16	14
Flash ½ pitch (nm) (un-contacted poly)	25	23	20	18	16	14	13
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU physical gate length (nm) [after etch]	11	10	9	8	7	6	6
MPU gate in resist length (nm)	19	17	15	13	12	11	9
Resist Characteristics *							
Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **	1.2	1.0	0.9	0.8	0.7	0.7	0.6
Resist thickness (nm, single layer) ***	50–90	45–80	40–75	35–65	30–60	25–50	25–45
PEB temperature sensitivity (nm/C)	1	1	1	1	1	11	11
Backside particle density (particles/cm <sup>2</sup> )	0.28	0.28	0.28	0.28	0.28	0.28	0.28
Back surface particle diameter: lithography and measurement tools (nm)	75	75	50	50	50	50	50
Defects in spin-coated resist films† (#/cm <sup>2</sup> )	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in spin-coated resist films (nm)	20	10	10	10	10	10	10
Defects in patterned resist films, gates, contacts, etc. (#/cm <sup>2</sup> )	0.02	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in patterned resist (nm)	20	10	10	10	10	10	10
Low frequency line width roughness: (nm, 3 sigma) <8% of CD *****	1.5	1.3	1.2	1.1	0.9	0.8	0.8

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



## Table 77a と b の注:

露光に依存する案件

- \* レジスト感度は別のレジスト感度テーブル(別のシート)で扱われる。
  - \*\* 解像度とゲート線幅コントロールを満足させる為に十分な解像度、線幅制御性および断面形状をレジストが持っているかを示す。
  - \*\*\* レジストの厚さはアスペクト比 2.0:1 から 3.5:1 の間で決められ、パターンの倒壊により制限される。
  - \*\*\*\* 解像度に依存。
  - \*\*\*\*\*  $LWR_{Li}$  は  $0.5 \mu\text{m}^{-1}$  から  $1/(2*MPU \frac{1}{2} \text{Pitch})$  までの空間周波数の標準偏差  $3\sigma$  で与えられる。
- 注: 標準偏差は SEM のノイズを補正した線幅ばらつきの推定値で決められる。線幅ばらつきは  $2 \mu\text{m}$  以上の長さわたって、 $4 \text{ nm}$  以下の間隔で測定される。
- † レジスト膜中の欠陥とはピンホールなどのように、物理的対象として検出可能な欠陥で、光学的検知手法にて検出されるレジスト膜上の欠陥とは区別される。

他の案件:

- [A] ポジティブレジストとネガティブレジストの使い分けはパターンの密度と像の種類に依存する。
- [B] レジスト像の断面形状は  $90 \pm 2$  度が要求される。
- [C] 熱安定性は  $\geq 130^\circ\text{C}$  が要求される。
- [D] エッチング耐性はポリヒドロキシスチレン (PHOST: poly hydroxystyrene) より強くなくてはならない。
- [E] レジストの剥離を行った後に検出可能な残滓が残ってはならない。
- [F] アミンやアミドなど基本的に環境に含まれる化合物に敏感である。クリーンな環境ではこれらの物質濃度を  $< 1000 \text{ pptM}$  に維持すべき。
- [G] Metal 不純物  $< 5 \text{ ppb}$
- [H] レンズの下部で 2 分間に放出される有機ガス量 (molecules/cm<sup>2</sup>sec)。193 nm 露光装置に対しては  $< 1\text{e}12$ 、EUV 露光装置に対しては  $< 5\text{e}13$  が要求される。EPL に対する値は今後設定する。
- [I] レンズの下部で 2 分間に放出される Si を含有する物質質量 (molecules/cm<sup>2</sup>sec)。193 nm 露光装置に対しては  $< 1\text{e}8$ 、EUV 露光装置に対しては  $< 5\text{e}13$  が要求される。電子ビームに対する値は今後設定する。

Table 77c Resist Sensitivities

Exposure Technology	Sensitivity
248 nm	10–50 mJ/ cm <sup>2</sup>
193 nm	20–50 mJ/ cm <sup>2</sup>
Extreme Ultraviolet at 13.5 nm	5–15 mJ/ cm <sup>2</sup>
High Voltage Electron Beam (50–100 kV) ****	5–10 $\mu\text{C}/ \text{cm}^2$
Low Voltage Electron Beam (1–2 kV) ****	0.2–1.0 $\mu\text{C}/ \text{cm}^2$

\*\*\*\* 解像度に依存

Table 78a Optical Mask Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
DRAM/Flash CD control (3 sigma) (nm)	8.8	7.4	6.6	5.9	5.3	4.7	4.2	3.7	3.3
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU gate in resist (nm)	54	48	42	38	34	30	27	24	21
MPU physical gate length (nm)	32	28	25	23	20	18	16	14	13
Gate CD control (3 sigma) (nm) [B]	3.3	2.9	2.6	2.3	2.1	1.9	1.7	1.5	1.3
Overlay (3 sigma) (nm)	15	13	11	10	9	8	7	6	6
Contact after etch (nm)	85	72	64	57	51	45	40	36	32
Mask magnification [B]	4	4	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	214	191	170	151	135	120	107	95	85
Mask minimum primary feature size [D]	150	133	119	106	94	84	75	67	59
Mask sub-resolution feature size (nm) opaque [E]	107	95	85	76	67	60	54	48	42
Image placement (nm, multipoint) [F]	9	8	7	6.1	5.4	4.8	4.3	3.8	3.4
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	1.4	1.4	1.6	1.8	2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] *	3.8	3.4	2.6	2.1	1.7	1.3	1.2	1.1	1.0
MEEF dense lines, binary or attenuated phase shift mask [G]	2	2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	7.1	6.0	4.8	4.3	3.8	3.4	3.0	2.7	2.4
MEF contacts [G]	3	3	3.5	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K] *	4.7	4.0	3.0	2.4	2.1	1.9	1.7	1.5	1.3
Linearity (nm) [L]	13	11	10	9	8	7.2	6.4	5.6	5.1
CD mean to target (nm) [M]	6.4	5.6	5.2	4.6	4.0	3.6	3.2	2.8	2.6
Defect size (nm) [N] *	64	56	52	46	40	36	32	28	26
Blank flatness (nm, peak-valley) [O]	500	500	250	250	250	175	175	175	150
Data volume (GB) [P]	260	328	413	520	655	825	1040	1310	1651
Mask design grid (nm) [Q]	4	2	2	2	2	2	2	2	2
Attenuated PSM transmission mean deviation from target ( $\pm$ % of target) [R]	5	4	4	4	4	4	4	4	4
Attenuated PSM transmission uniformity ( $\pm$ % of target) [R]	4	4	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180° ( $\pm$ degree) [S]	3	3	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from nominal phase angle target ( $\pm$ degree) [S]	2	1.5	1.5	1	1	1	1	1	1
Alternating PSM phase uniformity ( $\pm$ degree) [T]	2	1	1	1	1	1	1	1	1
Mask materials and substrates	Absorber/attenuator on fused silica								
	Pellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion.								

\*今後3年間に於ける赤色の例外：解決策は知られていないが、製造することを妨げるものではない。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

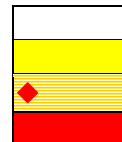


Table 78b Optical Mask Requirements—Long-term Years

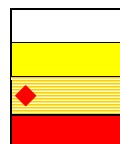
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ pitch (nm) (contacted)	28	25	22	20	18	16	14
DRAM/Flash CD control (3 sigma) (nm)	3.0	2.6	2.3	2.1	1.9	1.7	1.5
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU gate in resist (nm)	19	17	15	13	12	11	9
MPU physical gate length (nm)	11	10	9	8	7	6	6
Gate CD control (3 sigma) (nm) [B]	1.2	1.0	0.9	0.8	0.7	0.7	0.6
Overlay (3 sigma) (nm)	5	5	4	4	3	3	3
Contact after etch (nm)	28	25	23	20	18	16	14
Mask magnification [B]	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	76	67	60	54	48	42	38
Mask minimum primary feature size [D]	53	47	42	37	33	30	26
Mask sub-resolution feature size (nm) opaque [E]	38	34	30	27	24	21	19
Image placement (nm, multipoint) [F]	2.7	2.4	2.2	1.9	1.7	1.5	1.4
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H]	0.9	0.8	0.7	0.6	0.5	0.5	0.4
MEEF dense lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	2.1	1.9	1.7	1.5	1.4	1.2	1.1
MEF contacts [G]	4	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K]	1.2	1.1	0.9	0.8	0.7	0.7	0.6
Linearity (nm) [L]	4.5	4.0	3.5	3.2	2.9	2.6	2.2
CD mean to target (nm) [M]	2.2	2.0	1.8	1.6	1.4	1.3	1.1
Defect size (nm) [N] *	22	20	18	16	14	13	11
Blank flatness (nm, peak-valley) [O]	150	150	125	125	125	100	100
Data volume (GB) [P]	2080	2621	3302	4160	5241	6604	8320
Mask design grid (nm) [Q]	2	2	2	1	1	1	1
Attenuated PSM transmission mean deviation from target (± % of target) [R]	4	4	4	4	4	4	4
Attenuated PSM transmission uniformity (± % of target) [R]	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180° (± degree) [S]	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from nominal phase angle target (± degree) [S]	1	1	1	1	1	1	1
Alternating PSM phase uniformity (± degree) [T]	1	1	1	1	1	1	1
Mask materials and substrates	Absorber/attenuator on fused silica						
	Pellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion.						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



## Table 78a and b の注

- [A] Wafer Minimum Line Size—ウェハ上の最小レジスト線幅。ゼロバイアスで露光あるいは描画された線幅(一般的には孤立線に適用され、線幅均一性とリアリティを追及する)。
- [B] Magnification—露光機の縮小倍率。
- [C] Mask Nominal Image Size—ウェハ上の最小レジスト線幅と同義で露光装置の縮小倍率をかけたもの。
- [D] Mask Minimum Primary Feature Size—OPC が適用されたマスク上で線幅の位置精度と欠陥が制御された時に転写される最小寸法。
- [E] Mask Sub-Resolution Feature Size—アシストバーのようにマスク上にあり転写されない線幅。
- [F] Image Placement—等方的な倍率誤差を除いて定義される理想格子からのパターンの位置ずれ分布の最大値(X あるいは Y)。この値はペリクル装着や露光装置のステージへの吸着で更なる位置精度誤差をもたらさない。
- [G] ウェハ上での線幅誤差はマスク上での線幅誤差に正比例し、MEEF(Mask Error Enhancement Factor)がその比例係数となる。MEEF は通常 1 より大きい為、ウェハ上での線幅均一性を確保する為に更に厳しい線幅均一性をマスクに要求している。
- [H] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の  $3\sigma$ 。バイナリーマスクの X、Y と孤立線に適用する。
- [I] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の  $3\sigma$ 。石英シフター位相マスクの X、Y 及び多数のピッチを持つパターンに適用する。
- [J] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の  $3\sigma$ 。バイナリーマスクあるいはハーフトーン位相マスクの X、Y 及び多数のピッチを持つパターンに適用する。
- [K] CD Uniformity—マスク上のピッチ制約が無い条件でコンタクト面積の平方根の  $3\sigma$  分布。
- [L] Linearity—マスク上で同じトーンの異なるデザインサイズのパターンで目標値に対する誤差の平均値と誤差の差の最大値。パターンサイズの範囲として解像しない最小のアシストパターンからウェハ上の最小ピッチの  $3/2$  倍に倍率を掛けたサイズまでが含まれる。
- [M] CD Mean to Target—測定した線幅の平均値とデザインサイズとの最大差。一つのサイズとトーンに適用される。□(測定値-目標値)/測定数
- [N] Defect Size—マスク欠陥はプリントした時に転写されるかあるいは 10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該世代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。転写される  $180^\circ$ の位相欠陥はここで示された値の 70%小さい。
- [O] Blank Flatness—フラットネスは 6 インチマスクブランク中央部  $140\text{ mm} \times 140\text{ mm}$  の露光エリア内の最大値—最小値を nm 単位で示される。フラットネスの要求は要求されるそれぞれの形状に対する焦点深度に依存する。
- [P] Data Volume—パターン作成装置のフォーマットで1レイヤーに対して予想される最大非圧縮データのファイルサイズ。
- [Q] Mask Design Grid—ウェハにおけるデザイン格子にマスク倍率を乗じたもの。
- [R] Transmission—吸収体の付いていないマスクブランクに対するハーフトーン位相シフトの透過率で、%で示される。
- [S] Phase—マスク上の 2 点での光路長差の変位(位相差)で、度で示される。平均値はマスク上の多くの種類のパターン形状で計られた位相の平均として決められる。
- [T] Alt PSM マスクの位相均一性は有効領域中での平均値からの最大位相誤差で示される。



Table 78c EUVL Mask Requirements—Near-term Years

Year of Production	2008	2009	2010	2011	2012	2013
DRAM ½ pitch (nm) (contacted)	57	50	45	40	36	32
Flash ½ pitch (nm) (un-contacted poly)	51	45	40	36	32	28
DRAM/Flash CD control (3 sigma) (nm)	5.9	5.3	4.7	4.2	3.7	3.3
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	59	52	45	40	36	32
MPU gate in resist (nm)	38	34	30	27	24	21
MPU physical gate length (nm)	23	20	18	16	14	13
Gate CD control (3 sigma) (nm) [B]	2.3	2.1	1.9	1.7	1.5	1.3
Overlay	10	9	8	7	6	6
Contact after etch (nm)	57	51	45	40	36	32
<b>Generic Mask Requirements</b>						
Mask magnification [B]	4	4	4	4	4	4
Mask nominal image size (nm) [C]	151	135	120	107	95	85
Mask minimum primary feature size [D]	106	94	84	75	67	59
Image placement (nm, multipoint) [E]	6.1	5.4	4.8	4.3	3.8	3.4
<b>CD uniformity (nm, 3 sigma) [F]</b>						
Isolated lines (MPU gates)	3.4	3.0	2.7	2.4	2.1	1.9
Dense lines DRAM (half pitch)	8.2	7.3	6.5	5.8	5.2	4.6
Contact/vias	7.6	6.8	4.8	4.3	3.8	3.4
Linearity (nm) [G]	8.7	7.6	6.8	6.1	5.3	4.9
CD mean to target (nm) [H]	4.6	4.0	3.6	3.2	2.8	2.6
Defect size (nm) [I]	46	40	36	32	28	26
Data volume (GB) [J]	655	825	1040	1310	1651	2080
Mask design grid (nm) [K]	2	2	2	2	2	2
<b>EUVL-specific Mask Requirements</b>						
Substrate defect size (nm) [L]	38	36	35	33	31	30
Mean peak reflectivity	65%	66%	66%	66%	67%	67%
Peak reflectivity uniformity (% 3 sigma absolute)	0.69%	0.58%	0.47%	0.42%	0.37%	0.33%
Reflected centroid wavelength uniformity (nm 3 sigma) [M]	0.08	0.07	0.06	0.05	0.05	0.05
Absorber sidewall angle tolerance (± degrees) [P]	1	1	0.75	0.69	0.62	0.5
Absorber LER (3 sigma nm) [N]	3.2	2.8	2.5	2.2	2.0	1.8
Mask substrate flatness (nm peak-to-valley) [O]	75	60	50	41	36	32

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

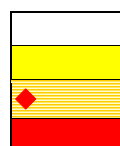


Table 78d EUVL Mask Requirements—Long-term Years

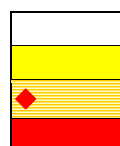
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ pitch (nm) (contacted)	28	25	22	20	18	16	14
Flash ½ pitch (nm) (un-contacted poly)	25	23	20	18	16	14	13
DRAM/Flash CD control (3 sigma) (nm)	3.0	2.6	2.3	2.1	1.9	1.7	1.5
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU gate in resist (nm)	19	17	15	13	12	11	9
MPU physical gate length (nm)	11	10	9	8	7	6	6
Gate CD control (3 sigma) (nm) [B]	1.2	1.0	0.9	0.8	0.7	0.7	0.6
Overlay	5	5	4	4	3	3	3
Contact after etch (nm)	28	25	23	20	18	16	14
<b>Generic Mask Requirements</b>							
Mask magnification [B]	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	76	67	60	54	48	42	38
Mask minimum primary feature size [D]	53	47	42	37	33	30	26
Image placement (nm, multipoint) [E]	3.0	2.7	2.4	2.1	1.9	1.7	1.5
<b>CD Uniformity (nm, 3 sigma) [F]</b>							
Isolated lines (MPU gates)	1.7	1.5	1.3	1.2	1.1	1.0	0.9
Dense lines DRAM (half pitch)	4.1	3.7	3.3	2.9	2.6	2.3	2.1
Contact/vias	3.0	2.7	1.8	1.6	1.4	1.3	1.1
Linearity (nm) [G]	4.3	3.8	3.3	3.0	2.7	2.4	2.1
CD mean to target (nm) [H]	2.2	2.0	1.8	1.6	1.4	1.3	1.1
Defect size (nm) [I]	22	20	18	16	14	13	11
Data volume (GB) [J]	2621	3302	4160	5241	6604	8320	10483
Mask design grid (nm) [K]	2	2	2	1	1	1	1
<b>EUVL-specific Mask Requirements</b>							
Substrate defect size (nm) [L]	28	27	25	23	22	20	18
Mean peak reflectivity	67%	67%	67%	67%	67%	67%	67%
Peak reflectivity uniformity (% 3 sigma absolute)	0.29%	0.26%	0.23%	0.21%	0.19%	0.17%	0.15%
Reflected centroid wavelength uniformity (nm 3 sigma) [M]	0.04	0.04	0.04	0.03	0.03	0.03	0.02
Absorber sidewall angle tolerance (± degrees) [P]	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Absorber LER (3 sigma nm) [N]	1.6	1.4	1.3	1.1	1.0	0.9	0.8
Mask substrate flatness (nm peak-to-valley) [O]	29	26	23	20	18	16	14

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



#### Table 78c と d の注:

EUVL 用のマスクは低熱膨張材料の基板の上に多層膜を形成しその上に吸収体パターンを持つ。

[A] Wafer Minimum Line Size—ウェーハ上の最小レジスト線幅。ゼロバイアスで露光あるいは描画された線幅(一般的には孤立線に適用され、線幅均一性とリニアリティを追及する)。

[B] Magnification—露光機の縮小倍率。

[C] Mask Nominal Image Size—ウェーハ上の最小レジスト線幅と同義で露光装置の縮小倍率 N をかけたもの。

[D] Mask Minimum Primary Feature Size—OPC が適用されたマスク上で線幅の位置精度と欠陥が制御された時に転写される最小寸法。

[E] Image Placement—等方的な倍率誤差を除いて定義される理想格子からのパターンの位置ずれ分布の最大値(X あるいは Y)。

[F] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の  $3\sigma$ 。X、Y 及び多数のピッチを持つ孤立及び密集線に適用する。ホールに対して: 測定と許容誤差はマスク上の面積を参照している。表を見やすくするため一次元で記述している。平方根(面積)—平方根(目標値)

[G] Linearity—マスク上で同じトーンの異なるデザインサイズのパターンで目標値に対する誤差の平均値と誤差の差の最大値。パターンサイズの範囲として解像しない最小のアシストパターンからウェーハ上の最小ピッチの 3/2 倍に倍率を掛けたサイズまでが含まれる。

- [H] CD Mean to Target—測定した線幅の平均値とデザインサイズとの最大差。一つのサイズとトーンに適用される。□(測定値-目標値)/測定数
- [I] Defect Size—マスク欠陥はプリントした時に転写されるかあるいは 10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当世代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。
- [J] Data Volume—ラスタースキャン描画装置のフォーマットで 1 レイヤーに対して予想される最大非圧縮データのファイルサイズ。
- [K] Mask Design Grid—ウェハにおけるデザイン格子にマスク倍率を乗じたもの。
- [L] Substrate Defect Size—露光イメージに許容できない線幅の変化を与える原因となる、基板上で多層膜の下にある欠陥の最小直径(ポリスチレン真球ビーズ換算)。基板の欠陥は露光イメージの位相誤差の原因となり、露光イメージに許容できない変化を与える最小のマスクブランク欠陥となる。
- [M] マスク上の中心波長の変動と、露光装置光学系の波長に対するマスクの平均波長の不整合を含む。
- [N] Line edge roughness (LER)—ラインエッジラフネスは、パターンの片側の、マスク最小寸法より小さい空間領域での凹凸の  $3\sigma$  で定義される。
- [O] Mask Substrate Flatness—露光装置のレベリングとマスク吸着機構で補正されるであろう端から 5 mm の部分とくさび成分を除いた残存平坦度誤差 (nm peak-to-valley)。平坦度誤差は最大偏差が最小となる仮想平面からの偏差として定義される。この平坦度要求は基板の表面、裏面に対して独立に適用される。
- [P] サイドウォール角の許容幅はユーザーとサプライヤの合意のもとで吸収体の平均値に対して適用される。

Table 78e Imprint Template Requirements—Near-term Years

Year of Production	2008	2009	2010	2011	2012	2013
DRAM ½ pitch (nm) (contacted)	57	50	45	40	36	32
Flash ½ pitch (nm) (un-contacted poly)	51	45	40	36	32	28
DRAM/Flash CD control (3 sigma) (nm)	5.9	5.3	4.7	4.2	3.7	3.3
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	59	52	45	40	36	32
MPU gate in resist (nm)	38	34	30	27	24	21
MPU physical gate length (nm)	23	20	18	16	14	13
Overlay (3 sigma) (nm)	5.9	5.3	4.7	4.2	3.7	3.3
Gate CD control (3 sigma) (nm)	2.3	2.1	1.9	1.7	1.5	1.3
Contact after etch (nm)	67	58	51	45	40	36
<b>Generic Mask Requirements</b>						
Magnification [B]	1	1	1	1	1	1
Mask nominal image size (nm) [C]	38	34	30	27	24	21
Image placement (nm, multipoint) [D]	2.0	1.8	1.6	1.4	1.2	1.1
<b>CD Uniformity (nm, 3 sigma) [E]</b>						
Isolated lines (MPU gates)	2.2	1.9	1.7	1.5	1.4	1.2
Dense lines DRAM/Flash (half pitch)	5.5	4.9	4.3	3.9	3.4	3.1
Contact/vias	6.4	5.6	4.9	4.3	3.9	3.4
Linearity (nm) [F]	5.1	4.5	4.0	3.6	3.2	2.8
CD mean to target (nm) [G]	5.1	4.5	4.0	3.6	3.2	2.8
Data volume (GB) [H]	295	372	469	591	745	938
Mask design grid (nm) [I]	1	1	1	1	1	1
<b>UV-NIL-specific Mask Requirements</b>						
Defect size impacting CD (nm) x, y [J]	5.1	4.5	4.0	3.6	3.2	2.8
Defect size impacting CD (nm) z [K]	10.1	9.0	8.0	7.1	6.4	5.7
Mask substrate flatness (nm peak-to-valley) [L]	298	252	192	180	153	126
Trench depth, mean (nm) [M]	75–119	67–104	60–90	53–81	47–72	42–64
Etch depth uniformity (nm) [N]	3.8–5.9	3.4–5.2	3.0–4.5	2.7–4.0	2.4–3.6	2.1–3.2
Trench wall angle (degrees) [O]	87.0	87.3	87.6	87.9	88.1	88.3
Trench width roughness (nm, 3 sigma) [P]	2.2	2.0	1.7	1.6	1.4	1.2
Corner radius, bottom of feature (nm) [Q]	6.3	5.6	5.0	4.5	4.0	3.5
Corner radius, top of feature (nm) [R]	1.6	1.4	1.3	1.1	1.0	0.9
Trench bottom surface roughness (nm, 3 sigma) [S]	7.6	6.7	6.0	5.4	4.8	4.2
Template absorption [T]	<2%	<2%	<2%	<2%	<2%	<2%
Near surface defect (nm) [U]	51	45	40	36	32	28
Defect size, patterned template (nm) [V]	35	30	30	20	20	20
Defect density (#/cm <sup>2</sup> ) [W]	0.03	0.03	0.03	0.01	0.01	0.01
Dual Damascene overlay: metal/via (nm, 3 sigma) [X]	25	23	22	20	18	17

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

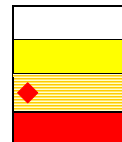


Table 78f Imprint Template Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ pitch (nm) (contacted)	28	25	22	20	18	16	14
Flash ½ pitch (nm) (un-contacted poly)	25	23	20	18	16	14	13
DRAM/Flash CD control (3 sigma) (nm)	3.0	2.6	2.3	2.1	1.9	1.7	1.5
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU gate in resist (nm)	19	17	15	13	12	11	9
MPU physical gate length (nm)	11	10	9	8	7	6	6
Overlay (3 sigma) (nm)	3.0	2.6	2.3	2.1	1.9	1.7	1.5
Gate CD control (3 sigma) (nm)	1.2	1.0	0.9	0.8	0.7	0.7	0.6
Contact after etch (nm)	32	28	25	23	20	18	16
<b>Generic Mask Requirements</b>							
Magnification [B]	1	1	1	1	1	1	1
Mask nominal image size (nm) [C]	19	17	15	13	12	11	9
Image placement (nm, multipoint) [D]	1.0	0.9	0.8	0.7	0.6	0.6	0.5
<b>CD Uniformity (nm, 3 sigma) [E]</b>							
Isolated lines (MPU gates)	1.1	1.0	0.9	0.8	0.7	0.6	0.5
Dense lines DRAM/Flash (half pitch)	2.7	2.4	2.2	1.9	1.7	1.5	1.4
Contact/vias	3.1	2.7	2.4	2.2	1.9	1.7	1.5
Linearity (nm) [F]	2.5	2.3	2.0	1.8	1.6	1.4	1.3
CD mean to target (nm) [G]	2.5	2.3	2.0	1.8	1.6	1.4	1.3
Data volume (GB) [H]	1182	1489	1876	2364	2978	3752	4728
Mask design grid (nm) [I]	1	1	1	1	1	1	1
<b>UV-NIL-specific Mask Requirements</b>							
Defect size impacting CD (nm) x, y [J]	2.5	2.3	2.0	1.8	1.6	1.4	1.3
Defect size impacting CD (nm) z [K]	5.1	4.5	4.0	3.6	3.2	2.8	2.5
Mask substrate flatness (nm peak-to-valley) [L]	110	88	72	56	45	36	29
Trench depth, mean (nm) [M]	37–57	33–51	30–45	26–41	23–36	21–32	18–29
Etch depth uniformity (nm) [N]	1.9–2.8	1.7–2.5	1.5–2.3	1.3–2.0	1.2–1.8	1.1–1.6	0.9–1.4
Trench wall angle (degrees) [O]	88.5	88.7	88.8	88.9	89.1	89.2	89.2
Trench width roughness (nm, 3 sigma) [P]	1.1	1.0	0.9	0.8	0.7	0.6	0.5
Corner radius, bottom of feature (nm) [Q]	3.2	2.8	2.5	2.2	2.0	1.8	1.6
Corner radius, top of feature (nm) [R]	0.8	0.7	0.6	0.6	0.5	0.4	0.4
Trench bottom surface roughness (nm, 3 sigma) [S]	3.8	3.4	3.0	2.7	2.4	2.1	1.9
Template absorption [T]	<2%	<2%	<2%	<2%	<2%	<2%	<2%
Near surface defect (nm) [U]	25	23	20	18	16	14	13
Defect size, patterned template (nm) [V]	20	10	10	10	10	10	10
Defect density (#/cm <sup>2</sup> ) [W]	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Dual Damascene overlay: metal/via (nm, 3 sigma) [X]	15	14	11	10.5	10	9	8

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

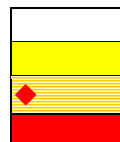


Table 78e とfの注

- [A] Wafer Minimum Feature Size—ウェハ上の最小レジスト線幅。ゼロバイアスで露光あるいは描画された線幅(一般的には孤立線に適用され、線幅均一性とリニアリティを追及する)。
- [B] Magnification—露光機の縮小倍率、N:1。
- [C] Mask Nominal Image Size—マスク縮小倍率をかけたウェハ上のレジストの最小サイズと同等。
- [D] 等方的な倍率誤差の補正後、基準格子に対する像の中心位置の配列の最大のズレ成分(X or Y)。
- [E] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の  $3\sigma$ 。X、Y 及び多数のピッチを持つ孤立及び密集線に適用する。ホールに対して: 測定と許容誤差はマスク上の面積を参照している。表の簡単化のため、ロードマップメンバーは長さの単位にノーマライズした。sqrt(面積)—sqrt(ターゲット面積)
- [F] Linearity—マスク上で同じトーンの異なるデザインサイズのパターンで目標値に対する誤差の平均値と誤差の差の最大値。パターンサイズの範囲として解像しない最小のアシストパターンからウェハ上の最小ハーフピッチの3倍に倍率を掛けたサイズまでが含まれる。
- [G] CD Mean to Target—測定した線幅の平均値と設計サイズとの最大差。一つのサイズとトーンに適用される。□(測定値-目標値)/測定数。
- [H] 現状のラスタ描画装置を用いた場合の一層に対する非圧縮の予想最大フィールドに対応する。
- [I] マスク倍率を掛けたウェハ上の設計グリッド。
- [J] Defect Size (nm) x, y— マスク欠陥はプリントした時に転写されるかあるいは10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。
- [K] Defect Size (nm) z—マスク欠陥はプリントした時に転写されるかあるいは10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。
- [L] 6インチ角基板の内イメージフィールド110mm角でのフラットネス (nm peak-to-valley)。フラットネスは経験的な残存層の均一性と倍率で決まる。
- [M] Trench depth mean—アスペクト比は2:1に設定。低い値は転写後のゲート長で、高い値はMPU/ASICのハーフピッチで決まる。
- [N] Trench depth uniformity in nm—トレンチ深さの5%に設定。
- [O] Trench wall angle in degrees—二層レジストプロセスでエッチバイアスを5%以下にするために必要な最小ウォール角。エッチマスクと転写レイヤの選択比は10:1を仮定。転写レイヤのアスペクト比は1.5から始まり最終的に2となる。
- [P] Trench width roughness (nm, 3 sigma)—レジストのLWRと同じ。
- [Q] Corner radius, bottom of feature—S-FIL/R(ポジトーンインプリント)で重要であり、この値は良好なCDコントロールのため全面エッチでインプリント材料の頭出しを行なう深さを決める(CDの12.5%)。S-FIL(ネガトーンインプリント)プロセスでは重要でない。
- [R] Corner radius, top of feature—良好なCDコントロールのためにS-FIL(ネガトーンインプリント)プロセスで重要(CDの3%)。投影露光での“フットイング”と同じように影響する。S-FIL/R(ポジトーンインプリント)プロセスでは重要ではない。
- [S] プラズマエッチもしくはハードマスクのマイクロマスク効果による不完全さによるトレンチ底のラスネス。
- [T] 6.3mm厚基板の365nmに対する吸収の割合(%)。熱発生、熱による歪を最小限に、装置のスループットを最大にするために必要な項目。
- [U] 石英表面から200nmの深さまでにある最大欠陥サイズ。
- [V] Defect size, patterned template—使用後のテンプレートにおける欠陥サイズ(nm)
- [W] 使用後のテンプレートの1cm<sup>2</sup>辺りの欠陥数。
- [X] 3Dテンプレートでの配線部と繋がったビアホールに対するビアと配線の重ね合せ。

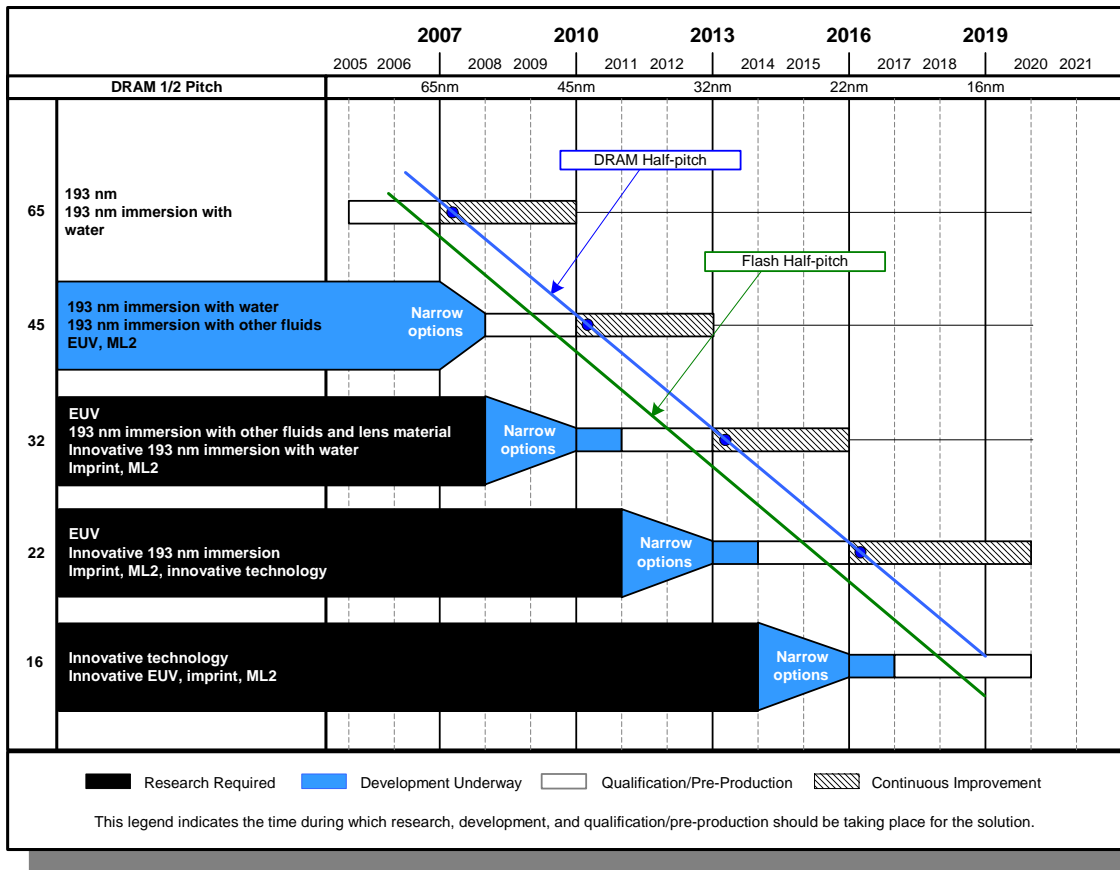
## 解決策候補

クリティカル層に用いられる最先端のリソグラフィに向けた解決策候補をfigure 67に示す。技術オプションの順番は個々の技術がその世代で主要な解となる可能性を表しており、最初にあげられたオプション技術の可能性が最も高い。示された時期に使われるリソグラフィ技術のすべてのインフラ装置、マスク、レジストも含め—はその時期に準備が整っていなければならない。ArFリソグラフィはDRAMの65nmハーフピッチまで最も優位であると期待される。EUV、ML2、およびインプリントは45nmハーフピッチから使われる可能性があるが、おそらく32nmハーフピッチでの登場となるであろう。最先端の半導体製造では、クリティカル層のパターニングではArF(193nm)リソグラフィがKrF(248nm)リソグラフィに取って代わった。より短い157nmの露光波長の使用するF<sub>2</sub>リソグラフィはもはや使われることはない予想されている。液浸リソグラフィは高屈折率レンズ材料と高屈折率液浸液の開発が間に合えば32nmハーフピッチまで光リソグラフィの範囲を広げるかもしれない。2枚のマスクにパターンを分け、目的の最小ハーフピッチの2倍のハーフピッチを持つマスクで2回に分けて露光

する研究も進められている。二度露光に適したレジストと十分な精度のアライメントが開発されたなら、液浸リソグラフィはDRAMの32 nmハーフピッチの先まで適用範囲が広がる。パターンを2枚のマスクに最適に分割するためのソフトウェアの開発が必要であり、さらにこの手法が他の代替技術より安価である必要がある。

ポスト光リソグラフィ技術はDRAMの45 nmハーフピッチ、もしくはそれ以下に対する解決策候補である。可能性のある代替技術として、複数のリージョンが光リソグラフィの潜在的な後継者としてEUV、マスクレス、およびインプリントリソグラフィを挙げた。EUVは32 nmと22 nmハーフピッチに対し最も可能性が高いと見なされている。マスクレスリソグラフィは、開発におけるプロトタイピングというニッチな用途、トランジスタ開発、そして、少量の特定用途向け集積回路(ASIC)生産に適用されているが、その適用範囲を拡大できるであろう。高スループットを実現するための直描技術のブレークスルーは大きなパラダイムシフトとなる可能性があり、マスクを不要とし、さらにコストの削減とサイクルタイム短縮をもたらす。現在、プロトタイピング以上の用途に向けたマスクレスリソグラフィは研究段階にあり、コスト効果的な半導体製造にML2が用いられるためには多くの重要な技術的問題が解決されなければならない。インプリントリソグラフィには、コスト効果的な解決策となる可能性があるが、解決すべき多くの問題(1×テンプレートに関連した困難さ、欠陥、テンプレートの寿命、およびオーバーレイ)が残されている。また現在解決策候補としてあげられているいずれ技術もDRAMの16 nmハーフピッチの要求を満たすことができるかどうかは明確ではなく、革新的な技術の開発が必要である。

多くの技術手法あるにもかかわらず、産業界においては複数の技術に対し完全なインフラストラクチャ(露光装置、レジスト、マスク、およびメトロロジ)を同時開発する資金には限界がある。産業界内部や産業界と大学間の密接で協調したグローバルな交流が、次世代のオプションを絞り込み、1つもしくは2つの技術の必要時期までに完成に注力するため必要である。光以外のリソグラフィの導入は、DRAM32 nmハーフピッチ以降においてもムーアの法則を引き続き堅持していく上で必要となる技術的要求と複雑さに答えるための大きなパラダイムシフトである。それはリソグラフィのインフラストラクチャを大きく変化させ、商業化のために大きなリソースを必要とするであろう。これらの開発コストは露光装置、マスク、および材料の費用で回収されなければならない。



Notes: RET and lithography friendly design rules will be used with all optical lithography solutions, including with immersion; therefore, they are not explicitly noted.

Figure 67 Lithography Exposure Tool Potential Solutions

### クロスカットニーズと技術課題解決策

本章では、Lithography、ESH、Factory Integration、Yield Enhancement、Metrology、Modeling and Simulation、Device and Circuit performance および Emerging Research Devices and Materials を包含したクロスカット技術ニーズおよび解決策候補を概説する。

### 環境、安全、および健康 (ESH)

光化学物質に含まれる Perfluoroalkyl sulfonates(PFAS)の継続的な使用に関わる最新の議論は、つい最近になって、長期および一般的に使用された材料は、ESH に関わる課題を抱えている可能性があるとして理解されていると纏めました。新しい技術の導入は、健康および環境に対する負荷がさほど良く知られていない材料および化学物質の利用を必然的に意味しています。同様に、EUV リソグラフィの高いスループットを実現するために要求される光源出力を提供するためのこれらの光源を動作させる工場の付帯設備と電源を最小にするために、EUV 光源の発光効率は、最大化が必要である。特に、EUV 光の励起および光源部品の冷却に必要なパワーの最少化のために、光源の配電(wall-plug)効率が、増されることが必要である。リソグラフィで用いられる化学薬品の使用および処分の慣習は、労働者の安全と環境に注意深い関わりを持って継続しなければならない。包括的な情報および新規化学物質のスクリーニングツール(化学薬品制限表)へのリンクに関しては、環境・安全および健康の章を参照してください。



## 工場統合 (FACTORY INTEGRATION)

適切なプロセス制御を維持するために、高度なプロセス制御能力は、ウェーハ・ファブのリソ・クラスターにおいて不可欠である。同様に、これらの能力はマスク製作設備(ライン)においてますます重要になっているが、マスク製作のためのそれらのインプリメンテーションは、さほど成熟していない。ウェーハ・ファクトリー・オートメーションの経験からの学習成果を利用するのも不可欠であろう。いくつかのマスクショップは、欠陥検査・修正のためのデータハンドリングを自動化するために自前の解決策を開発しました。自動化のさらなる機会が存在しています。今日、ウェーハファブで使用される SECS/GEM のような既存の標準のマスク製造装置インフラへの使用が、製造エラーの低減を支援するでしょう。

リソグラフィセルの配置は、トラックへのインターフェースにおけるウェーハマークの認識のための光学式文字認識(OCR)あるいはバーコードリーダーを提供すべきであります。各種プロセスモジュールを横断する正確なウェーハ・トラッキング・システムは、プロセスの、任意のウェーハの、ワーキング・フローの識別のために要求されます。CD、リソ膜(Litho stack)の膜厚、目標プロファイル、オーバーレイ、欠陥自動分類を備えたマクロ検査およびウェーハ平坦度のひとつあるいはそれ以上のパラメータの評価を可能にするいくつかの統合(Integrated)計測モジュールは、同様に、推奨されます。トラックとステッパー/スキャナーは、プロセスを調整するための内部あるいは外部のセンサーのどんな種類によっても記録されたデータを使用することが可能であるに違いありません。

設備ソフトの主たる改良、およびいくつかの場合において、関連するハードウェアの改良で求めるかもしれない他の要求事項は、同時に異なるトラックのモジュールのフローの管理を行う能力、および、最適の計測サンプリングプランとダウンロードされた、あるいは、選択されたレシピセットポイントへの重ねを受け付ける機能を提供することです。さらには、どんなトラックモジュールにおいても、同一のロットの中においてさえウェーハごとに適切なセットポイントを全て更新できることが望ましい。露光装置においては、ソフトウェアが露光量(Dose)、焦点(Focus)、傾斜(Tilt)およびオーバーレイの入力パラメータをウェーハごとにホストに従って更新すべきである。計測モジュールのキャリブレーション、自己キャリブレーションおよびマッチングは、リソセルのスループットの大きな損失無しで行われるべきである。

## 歩留り向上 (YIELD ENHANCEMENT)

致命欠陥のサイズが、光学方式の検出限界よりも小さくなるに伴って、歩留り向上が、主要な挑戦になると予想される。検査装置は、感度とスピードの要求に合致するよう、ますます挑戦を促される。非光学方式の欠陥検査は、いまだ、半導体製造で欠陥制御に求められる欠陥検出率を有していることをデモンストレーションできていない。さらに、ML2 を用いるためには、ウェーハの Die-to-Database 検査が、たぶん必要である。

歩留り損失の系統的な原因を最小化するために DFM の実践が展開されており、さらなる開発がなされる必要があります。さらに、局所的なレジストの活性抑制の最小化、露光中、マスク上におこる成長性欠陥の形成の最小化によって歩留りの最大化を得るために、雰囲気中分子汚染(AMC)の制御が重要である。リソグラフィに関連する AMC 制御の要求値は、Yield Enhancement の章を参照してください。ペリクル無しで、EUV マスクおよびインプリント・テンプレートに欠陥無しに保つためのマスク・ハンドリング方法は、依然として重要な挑戦のままで残っている。

## 計測 (METROLOGY)

リソグラフィ技術の急速な進展と、結果として生じる図形サイズの減少は、ウェーハとマスクの計測能力に挑戦し続ける。既存の CD 計測装置の精度は、もっとも進んだ技術世代の多少緩和されている 20%という精度許容測定基準に合致しない。精度には、短期あるいは長期の装置変動から来る変動のみならず、装置間のマッチングも変動として含まれる。ウェーハおよびマスクの CD 技術は、3D 計測のニーズに合致すべく発展している。直近の CD 計測のための潜在的な解決策は CD-SEM、スキヤッタロメトリー、SPM(走査型プローブ顕微鏡)

が含まれている。重要な要求は、LWR 測定です。LWR の測定精度は、線幅測定に要求されるものより小さい(良い)はずです。LWR 測定を最適化するために、デバイス性能への LWR の量的な影響は、一層良く理解される必要があります。

将来の技術世代によりオーバーレイ計測もまた挑戦をうけます。メモリー・メーカーは希望のデバイス歩留りを得るためにより厳格なオーバーレイ制御を要求しています。従来のオーバーレイ・評価構造は、位相シフトおよび OPC マスクの使用に伴って発生する可能性がある全てのオーバーレイ・エラーは捕捉しない。

リソグラフィ計測の完全な議論は、計測の章のリソグラフィ計測および顕微鏡のセクションにあります。リソグラフィ計測技術要求および潜在的な解決策は、同様にその章の中で示されています。

### モデリング・シミュレーション (MODELING AND SIMULATION)

モデリングとシミュレーションからのサポートは、伝統的な光学リソグラフィの限界を引き延ばし、新たな次世代リソグラフィ技術を判断するために必要である。リソグラフィにおけるシミュレーション・ツールのアプリケーションは、リソグラフィ・イメージングを支配するマックスウェル方程式の良く知られた物理的な基礎から大部分の利益を得ている。リソグラフィ・イメージングをモデリングするために、これらの式の適用は問題に特化し、効率的なシミュレーション・ツールでのインプリメンテーション(実行)を要求します。更に、デバイス規模と図形規模のシミュレーションとの間の緊密なリンクが最先端のリソグラフィ・シミュレーションに必要である。デバイス規模の影響は、しばしば、ユーザーが定義した、あるいは、ユーザーが測定した分布確率によって与えられたランダム変数を用いてのモデリングを要求します。リソグラフィ・イメージ形成の計算は、物理的なモデルに依存しているが、レジスト・プロセスの物理的な、化学的な理解、特に、化学増幅系レジストの理解は、それほど深くは進展していない。レジスト・モデルは、典型的な準実証的なもので、実験データでのフィッティングおよびキャリブレーションを要求する。

光学像シミュレーションに対する重要な要求は精度、計算速度および非理想的なマスク、非理想的なレンズ、多層レジストおよび平坦でない基板の影響をモデル化する能力である。問題に特化したアルゴリズムおよびインプリメンテーションは、光学リソグラフィを限界に推し進める際に用いられる、軸外照明(OAI)、位相シフトを含めた複雑なマスク形状および OPC といったトリックを扱う必要があります。用いられる光学装置の理想からのずれは、ますます重要になり、シミュレーションの中で適正に扱われなければなりません。マスク上のおよびウェーハ上の欠陥の影響は、ますます重要になっており、致命欠陥の判定に対する適切なシミュレーション能力が要求されます。

シミュレーション・プログラムには、EUV リソグラフィのための多層膜ミラーによるレンズの置き換え、反射型マスクの使用といった将来の次世代リソグラフィ技術で用いられる新しい技術が適切にモデル化され、含められなければならない。マスク・パターン描画装置といくつかの ML2 オプションが電子での画像形成を含んでいる。統計確率的な空間電荷効果、形状収差および磁気あるいは静電レンズ要素を採用する電子光学レンズ設計性能のシミュレーションが必要である。技術選択を絞り込むためのシミュレーションからのサポートは、今までと同様、重要であり続けるだろう。

今日の液浸リソグラフィの導入に伴い、モデリングとシミュレーションに対するいくつかの新規の要求に結びつきます。NA0.85 を超える光学システムをシミュレーションしなければならず、特に、偏光照明とマスク構造および材料による部分偏光を適切に扱うことが要求されます。液浸液中で気泡により特定の欠陥が生じるか否かの判断をシミュレーションが助けるべきである。

リソグラフィ・モデリングおよびシミュレーションのための特定の挑戦は、広範囲のイメージングおよびプロセス条件に関する最先端技術のフォトレジストの振る舞いを正確に予測することです。これらについては、LER といった影響を含めて、三次元で現像後のレジスト形状およびプロセス・ウィンドウを予測するために、より良い

物理的/化学的なモデルを開発していなければなりません。モデルの開発したり、市販ツールに載せられているモデルをカスタマイズしたりするために、課題の中でフォトレジストの適切な表現を行う改良されたキャリブレーション技術が要求されます。キャリブレーションは、例えば、CD 計測のように、明らかに入力データの質に依存します。したがって、計測エラーのより良い理解と評価が必要です。系統誤差は CD-SEM のように計測ツールのモデルを用いて扱われるべきです。LWR および LER の重要性の増加に伴い、リソグラフィ・シミュレーションは、それらのデバイス影響と配線性能(LER)と変動(LWR)の評価に寄与する必要があります。レジストパターンの三次元的なエッジラフネスおよびプロファイルとエッチング後のゲート、コンタクトあるいはトレンチのラフネスおよびプロファイルとの間の関係を理解する上で、エッチングのシミュレーションは、重要である。マスク製造のリソグラフィ工程の結果しばしば発生する理想的でないマスクエッジの形状の予測を行うために、エッチングのシミュレーションとの緊密なリンクも確立されなければならない。

リソグラフィ・モデリングとシミュレーションに対する特定の要求は、広い領域のシミュレーションを許容する、および/あるいは、物理的なパラメータあるいはレイアウトの変数の複数のシミュレーション研究を遂行するといった非常に効率的なシミュレーション・ツールの必要性です。實際上、高価なマスクが、エラーを伴って、あるいは、ただ最低限の性能を持つだけで補正され製造されることを避けるために、今、OPC と位相の割り当てデータの検証に、フルチップ・レイアウトのリソグラフィ・シミュレーションが必要です。これらのシミュレーションは合理的に正確で合理的な時間で全レイアウトを評価するために、高速で実行するに違いありません。

リソグラフィ・プロセスにおける像形成およびレジスト・プロファイル生成のモデルイメージ構成のモデルに加えて、リソグラフィ・ツールの設計のために機械的なモデルが重要である。有限要素法の洗練および適用は、露光装置、マスクおよびウェーハがオーバーレイの要求仕様に合致するに十分に安定していることを保証するために重要です。レンズの取り付け安定性、ステージの安定性および露光装置のハードウェア設計の静的および動的機械モデルは、重要です。静的および動的機械モデルは、また、マスクおよびウェーハを、高い加速度値のもとでステージを必要な位置を維持し、必要とされる平坦度を維持する為に、適切な取り付け方法を設計するのに重要である。熱の影響の平衡および非平衡モデルも露光装置の設計に不可欠であり、特に、液浸リソグラフィにおける液浸液の加熱およびその歪と収差への影響のモデルに不可欠である。液浸のための液の流体モデルもまた液浸特有の欠陥形成を最小にする液体供給システム的设计において不可欠である。

これらの要求を満足するために必要である開発にかかわる詳細は、Modeling と Simulation の章で与えられる。

## ITWG 間に共通する議論

ゲート CD と LWR 制御能力は、PIDS、FEP、計測そしてデザインへ影響する。可能な CD 制御のレベルによって、トランジスタ性能に影響を与えるイオン注入、拡散およびエッチングなどの他のプロセスへの厳しい要求の増減が生じる。厳しい CD 制御は計測に制御要求をサポートする能力を要求する。デザインは、トランジスタ性能に影響を与える全てのプロセスの総体の能力を考慮に入れる必要がある。デザイン TWG は、最も重要なプロセスとデバイスの変数の関数として、回路の遅延と消費電力の変動性をシミュレーションした。シミュレーションは、 $\pm 12\%$ への CD 制御要求の緩和が、これら回路属性に影響する全ての重要なパラメータの重要な変動により与えられる回路遅延と消費電力の許容できる変動に入る結果を示した。

## 将来出現する研究デバイスおよび材料

エマージングデバイスが 2 つの領域でリソグラフィに影響力をあたえると予想される。最初に、提案された多くの新しい素子が平坦でない基板上でのクリティカル層のパターニングを要求し、非平面上での厳しい線幅制御を達成するリソグラフィの解を求める。例えば二層レジストはこの問題の解決策となっている。大きな焦点深度は信頼できるリソグラフィ技術として説得力のある長所となるかもしれない。二番目にエマージングデバイスはゲート CD 制御を軽減するかも知れない。もしそうなら、マスク、レジスト、露光装置および計測のすべてのリ

## 28 リソグラフィ

ソグラフィ関連技術に衝撃を与えるであろう。