

アセンブリ&パッケージング

本章の概要

本章は、短期(near-term)におけるアセンブリ&パッケージングのロードマップと、市場要求を踏まえた長期(long-term)における多くの新しい要求とその解決策候補について紹介する。アセンブリ&パッケージングは半導体デバイスをエンドユーザーが機能的に使用のためのデバイスの最終工程である。パッケージングは信号伝送、電源入力、電圧制御などの電氣的接合を行っている。また、放熱および物理的な保護の役割もある。

今日、アセンブリ&パッケージングはエレクトロニクスシステムにおけるコストや性能を制約する要因となっており、このことが技術革新の加速をもたらしている。設計思想、パッケージ構造、材料、製造プロセス、システム統合技術などが急激に変化している。伝統的なムーアの法則の達成がますます困難になるにつれて、アセンブリ&パッケージングの技術革新として3次元パッケージが注目を集め出した。

この技術革新の急激な進歩は、数年前に紹介された他のいくつかの新技术開発にも波及している。無線、ミックスド・シグナルデバイス、バイオチップ、オプトエレクトロニクス、MEMSなどは新たなアセンブリ&パッケージング技術を必要としている。拡大するエレクトロニクス市場において、これらの新しい要素は、システムインパッケージ(SIP)、ウェーハレベルパッケージ(WLP)、3次元パッケージなどの技術革新を強く牽引するものである。印刷可能な配線技術、薄いウェーハ、受動素子と能動素子を埋め込んだデバイスなどを含んだ新しいアーキテクチャーは、市場要求の解決策として現れてきている。アセンブリ&パッケージングで使用される材料や装置も、これらの新しいアーキテクチャーや変化する環境規制要求に適合するために変わりつつある。

本章は以下の5つセッションで構成されている。

- 困難な技術課題(Difficult Challenges)
- 技術要求(Technology Requirements)
- インフラ(Infrastructure)
- 解決策候補(Potential Solutions)
- 横断的な問題点(Cross-Cut Issues)

なお、この ITRS アセンブリ&パッケージングの章は、iNEMI、JISSO、IPC などの他組織のロードマップと出来る限り整合をとっている。

困難な技術課題(DIFFICULT CHALLENGES)

アセンブリ&パッケージングにおける革新は、現在多くのデバイスのコストとパフォーマンスにおいて制約要因であるという認識に基づき加速している。短期の困難な技術課題はアセンブリ&パッケージングの設計、製造、テストおよび信頼性までの全てのプロセスで存在している。

次に示す Table 93a, 93b のように、多くの重要な技術要求は未だ解決されていない。これらの要求を満足させるためには、研究開発への大きな投資が必要である。この投資は現在の投資比率を上回るので、アセンブリ&パッケージングのメーカーでは利益を上げるために投資できない。この企業が投資出来るリソースと必要とされる投資リソースのギャップこそが最も困難な課題かもしれない。

2 アセンブリ&パッケージング

Table 93a アセンブリ&パッケージにおける困難な技術課題(短期)

困難な技術課題 ≥ 32 nm	課題のまとめ
新しい材料の影響	<ul style="list-style-type: none"> ・Cu/low-κ を含む配線材料 ・Cuと改良されたボンディングパッド構造へのワイヤーボンドとバンブ ・鉛フリーはんだバンブを含んだバンブとアンダーフィル技術における low-κ 絶縁層の保障 ・改良された絶縁材料の靱性 ・界面の接着力 ・Low-κ との接続信頼性 ・重要な特性を計測するメカニズムの開発が必要である ・Cu/low-κ 上へのブローピング ・ウルトラ low-κ 絶縁層を採用した回路のダイシング技術
ウェーハレベルパッケージ	<ul style="list-style-type: none"> ・I/O 数が 100 以上で、ピッチが 150 ~ 250 μm ・はんだ接合の信頼性 ・ウェーハ薄化とハンドリング技術 ・コンパクトな ESD 構造 (これは他のパッケージにも適用される) ・大きいチップにおける熱膨張係数ミスマッチ
チップ、パッケージおよび基板の協調設計を実現するための設計ツールとシミュレーターの整合	<ul style="list-style-type: none"> ・ミックスドシグナル協調設計とシミュレーション環境 ・モデリングとシミュレーション ・熱応答解析および熱応力統合解析のための統合解析ツール ・電氣的 (電力妨害、EMI、高周波/高電流のシグナルインテグリティ、低電圧スイッチング) ・パッケージ内でのデカップリング ・システムレベルでの統合設計 ・本ロードマップ実現のため、再配線をしない「本来の」エアレイのための EDA ・信頼性予測のためのモデル
エンベデッドコンポーネント	<ul style="list-style-type: none"> ・低価格な基板埋め込み受動素子: R, L, C ・ウェーハと基板の両方に埋め込まれた能動素子 ・WLPでの埋め込み部品
薄化チップのパッケージング	<ul style="list-style-type: none"> ・薄いチップのウェーハチップのハンドリング ・異なる基板での整合性 (有機、シリコン、セラミック、ガラス、積層プラスチック) ・信頼性 ・テストのしやすさ ・エンベデッド能動素子用の薄チップ ・電氣的と光学的なインターフェイス結合
チップと基板の設計ルールの近似化	<ul style="list-style-type: none"> ・低価格で増加する配線数 ・より高い周波数アプリケーションをサポートするためのインピーダンス制御と低誘電損失への改善 ・高温時における平坦性と反りの改良 ・低吸湿性 ・基板のビア密度の増加 ・信頼性を改良するためのめっき代替手段 ・鉛フリーはんだバンブプロセスにおける Tg 確保 (260 °C でのリワークも含む)
高電流密度パッケージ	<ul style="list-style-type: none"> ・エレクトロニクスマイグレーション ・熱的機械的モデリングの信頼性 ・ウイスカの成長 ・放熱性
フレキシブルなシステムパッケージ	<ul style="list-style-type: none"> ・柔軟性のある低価格な有機基板 ・小さくて薄いチップのアセンブリ ・低価格なオペレーションにおける取り扱い

困難な技術課題 ≥ 32 nm	課題のまとめ
3D パッケージング	<ul style="list-style-type: none"> ・熱設計 ・統合設計とシミュレーションツール ・ウェーハ同士のボンディング ・ウェーハの貫通ビア構造とビア充填のプロセス ・バンプレスの接続構造
狭ピッチパッケージ	<ul style="list-style-type: none"> ・ファインピッチ BGA の公差の縮小 ・小型パッケージのための切りしろの縮小 ・ファインピッチ BGA のための高温時の反り低減 ・携帯用電子機器のための落下試験要求を満たす信頼性

Table 93b アセンブリ&パッケージにおける困難な技術課題(長期)

困難な技術課題 < 32 nm	課題のまとめ
パッケージコストはチップコストの低減に追従できない	<ul style="list-style-type: none"> ・パッケージビジネスの利益率は、コスト低減のための投資をまかなうのに十分とはいえない。 ・増加するデバイスの複雑さは、より高いコストのパッケージングでの解決策を必要とする。
寸法が小さいのに多ピン / 高電力密度なチップ	<ul style="list-style-type: none"> ・これらのデバイスは以下の点で、従来のはんだや UBM 構造を使用した現状の組み立て技術では実現できないかもしれない。 <ul style="list-style-type: none"> - 電流密度の増加への対応 - 高い動作温度への対応
高周波チップ	<ul style="list-style-type: none"> ・基板配線密度は、>20 本/mm ・10 GHz 以上では表皮効果によって、より低誘電損失が必要である ・“Hot spot” の放熱対策
チップ、受動素子、基板のシステムレベルでの統合設計能力	<ul style="list-style-type: none"> ・システム設計が分割されておりまた製造が多くの会社を跨っているので、複合システムとしての性能、信頼性、コストの最適化が困難である。 ・これらの情報を伝達する過程においては、情報のタイプと情報の品質を管理するための複雑な基準が求められる ・エンベデッド受動素子は基板の中に埋め込まれるのと同様に、“バンブ”にも埋め込まれるかもしれない。
新しいパッケージ技術が必要なデバイスの出現(有機デバイス、ナノデバイス、バイオデバイス)	<ul style="list-style-type: none"> ・有機デバイス用のパッケージの仕様は未定である。(これらのチップは自らのパッケージを培養していくのだろうか?) ・バイオデバイス用のパッケージは新しいインターフェイスが必要になる

技術的共同体としては以下の様な傾向がある:

- 大学でのパッケージング研究は世界中で増加傾向にある。
- 化学会社は、将来の要求に満たすための low-k 材、high-k 材から、統合受動素子のための新しいポリマー材まで、幅広く新しい材料のための投資を増やしている。
- パッケージングとインターコネクト技術会社のベンチャー企業がここ数年増えてきている。
- 装置会社は、薄いウェーハや薄いチップの製造やハンドリングなど、ウェーハレベルと3次元パッケージの両方の要求を満たすに新しい能力増強に投資している。
- 政府と民間の研究機関はこの分野への投資を増やしている。
 - フラウンフォーファー研究所、IMEC、LETI、IME、ITRI など
- デバイスメーカーは、自分たちの要求に見合った新しいパッケージング技術に投資している。
- 民生品の製造会社は SIP や他の新しいシステム統合構成などの技術革新を牽引している。

これらの投資の増加があっても、現在のレベルではロードマップにおける困難な技術課題を解決させるには不十分である。投資を加速させることとこれらグループ間の効率的な調整のために、アセンブリ&パッケージングに

4 アセンブリ&パッケージング

においてスケジュールされたロードマップのマイルストーンの達成が必要となってくる。本章の主要な目的のひとつは、困難な技術課題への努力を調整し焦点を絞ることを促進する。

技術要求 (TECHNOLOGY REQUIREMENTS)

アセンブリ&パッケージング技術への要求は、最新のシリコン技術の世代交代と同様に急速に変わる市場の要求によって決定される。新しいパッケージタイプは、急速に拡大する電子部品市場が求める、より小さく、より薄く、より軽くという要求に応じて発展していく。ウェーハレベルパッケージ (WLP) およびシステムインパッケージ (SiP) は、新しく複雑な生産技術および著しいインフラ投資を同時に要求する2つの新しいパッケージングのカテゴリーである。ウェーハレベルパッケージにおいてはパッケージングがウェーハ処理工程だけで達成されれば、シングルチップパッケージより低コストで高い性能を実現できる見込みがある。システムインパッケージでは、システム・インテグレーションがチップのパッケージングで達成されれば、電子部品市場が要求する、より小さなサイズ、より低コスト、より高い性能を、より短い開発期間で提供できる見込みがある。これらの2つのパッケージは、そのさらなる前進により将来的に市場要求および半導体技術世代交代の両方を満たすパラダイム・シフトをもたらす。

オプトエレクトロニクス、RF、ミックスドシグナル、MEMS デバイスや医療とバイオテクノロジーデバイスなどは、それぞれにあった特別なパッケージ技術により市場に対応することを必要としている。これらの進歩は、パッケージ技術の継続的な革新を必要とする。

継続する 1 機能当たりのコスト削減要求は、エレクトロニクス市場の成長の鍵を握り続ける。パッケージング・コストはIC 製造原価では決まっておらず、ピン当たりのコストの減少も飽和傾向にある。同時に、新しいデバイスはパッケージのピン数の増加を必要としている。新技術は、より低コストで高性能と高いピン数を提供することを必要とする。さらに、技術の革新は外形、機能、性能とおよびタイムリーな市場への供給といった、相反する要求への対応も必要とする。ウェーハレベルパッケージとシステムインパッケージは、産業界における低コスト/高機能の目標を達成する最終的なパラダイム・シフトの2つの例である。

新しいパッケージの信頼性の課題は、Cu、Low-k といった新しい材料と新しいパッケージ構造で発生する。このような新しいパッケージ技術やデバイスを導入する上では、信頼性物理学や関連する材料科学および製品が使用される環境等で必要な多くの研究が必要とされる。これらの技術には高い信頼性を満たすことが必要とされる。

シングルチップパッケージ (SINGLE CHIP PACKAGES)

ムーアの法則は、IC 製造において著しい性能の向上とコスト削減を可能にした。これはアセンブリ&パッケージングに、同時に成立しないコスト削減と性能の向上という、究極の挑戦をもたらした。従来の組立技術の積み重ねによる改良は、市場の要求を十分に満たせないでいる。シングルチップパッケージに対する技術的要求事項は Table 94a と 94b の中にまとめられている。

Table 94a シングルチップパッケージ(短期)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Cost per Pin Minimum for Contract Assembly [1,2] (Cents/Pin)									
Low-cost, hand held and memory	.27-.50	.26-.49	.25-.48	.24-.47	.23-.46	.22-.45	.21-.43	.20-.42	.20-.41
Cost-performance	.68-1.17	.66-1.11	.64-1.05	.63-1.00	.62-.96	0.61-.94	.60-.92	0.58-.90	0.57-.89
High-performance	1.78	1.74	1.71	1.68	1.64	1.61	1.58	1.55	1.51
Harsh	0.29-2.61	0.26-2.34	0.25-2.11	0.23-2.00	0.22-1.90	0.22-1.54	.21-1.46	0.20-1.38	0.20-1.31
Chip Size (mm ²) [3] JJTR と ITRS は整合していない!									
Low-cost	100	100	100	100	100	100	100	100	100
Cost-performance	140	140	140	140	140	140	140	140	140
High-performance	600	630	662	695	729	766	804	750	750
Harsh	100	100	100	100	100	100	100	100	100
Maximum Power (Watts/mm ²) [4]									
Low-cost (Watts) [1]	2.80	3.00	3.00	3.00	3.00	3.00	3.00	3.00	3.00
Cost-performance	0.65	0.70	0.74	0.79	0.83	0.85	0.85	0.89	0.98
High-performance	0.54	0.58	0.61	0.64	0.64	0.64	0.64	0.64	0.64
Harsh	0.16	0.18	0.18	0.20	0.20	0.22	0.22	0.24	0.25
Core Voltage (Volts)									
Low-cost	1	0.9	0.9	0.8	0.8	0.6	0.6	0.6	0.5
Hand-held	0.9	0.8	0.7	0.6	0.6	0.5	0.5	0.5	0.4
Cost-performance	1	0.9	0.9	0.8	0.8	0.6	0.6	0.6	0.6
High-performance	1	0.9	0.9	0.8	0.8	0.6	0.6	0.6	0.6
Harsh	1.2	1.2	1.2	1.2	1.2	1.2	1	1	0.9
Package Pincount Maximum [5][6] JJTR と整合していない!									
Low-cost	134-550	140-578	148-606	150-636	160-668	170-700	180-738	188-774	198-812
Cost-performance	550-900	550-990	600-1088	600-1198	660-1318	660-1450	720-1596	720-1754	800-1930
High performance	3000	3180	3371	3573	3787	4015	4256	4511	4736
Harsh	350	368	386	405	425	447	469	492	517
Minimum Overall Package Profile (mm)									
Low-cost	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
Cost-performance	0.80	0.80	0.80	0.65	0.65	0.65	0.65	0.50	0.50
High-performance	1.4	1.4	1.4	1.4	1.4	1.2	1.2	1	1
Harsh	0.80	0.80	0.80	0.80	0.80	0.80	0.80	0.70	0.70
Performance: Chip-to-Board for Peripheral Buses (MHz) [7]									
Logic/memory	100/400	100/533	100/667	100/800	100/800	125/800	125/800	125/1000	125/1000
Cost-performance (for multi-drop nets)	533	667	733	800	800	800	800	1000	1000
High-performance (for differential-pair point-to-point nets)	3125	3906	4883	6103	7629	9536	11920	14900	18625
Harsh	88	96	106	106	115	125	125	125	125
Maximum Junction Temperature									
Low-cost	125	125	125	125	125	125	125	125	125
Cost-performance	100	100	95	95	90	90	90	90	90
High-performance	100	100	95	95	90	90	90	90	90
Harsh	175	175	175	175	200	220	220	220	220
Operating Temperature Extreme: Ambient (°C)									
Low-cost (use case/purchase specification)	55/85	55/85	55/85	55/85	55/85	55/85	55/85	55/85	55/85
Cost-performance (MPU/Commercial)	45/70	45/70	45/70	45/70	45/70	45/70	45/70	45/70	45/70
High-performance	55	55	55	55	55	55	55	55	55
Harsh	-40 to 150	-40 to 200	-40 to 200	-40 to 200	-40 to 200				

6 アセンブリ&パッケージング

Table 94b シングルチップパッケージ(長期)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Cost per Pin Minimum for Contract Assembly [1,2] (Cents/Pin)</i>							
Low-cost, hand held and memory	.20-.39	.19-.38	.19-.37	.18-.36	.18-.35	.18-.34	.17-.34
Cost-performance	0.56-.87	0.55-.85	0.54-.83	0.53-.81	0.52-.80	0.51-.79	0.50-.79
High-performance	1.48	1.45	1.43	1.40	1.37	1.35	1.32
Harsh	.20-1.24	.19-1.17	.19-1.12	.18-1.06	0.18-1.00	.18-.94	.17-.89
<i>Chip Size (mm²) [3] JISSO and ITRS not aligned</i>							
Low-cost	100	100	100	100	100	100	100
Cost-performance	140	140	140	140	140	140	140
High-performance	750	750	750	750	750	750	750
Harsh	100	100	100	100	100	100	100
<i>Maximum Power (Watts/mm²) [4]</i>							
Low-cost (Watts) [1]	3.00	3.00	3.00	3.00	3.00	3.00	3.00
Cost-performance	0.98	0.98	1.08	1.08	1.08	1.12	1.12
High-performance	0.64	0.64	0.64	0.64	0.64	0.64	0.64
Harsh	0.25	0.27	0.28	0.28	0.29	0.29	0.3
<i>Core Voltage (Volts)</i>							
Low-cost	0.5	0.4	0.4	0.4	0.4	0.40	0.4
Hand-held	0.4	0.4	0.4	0.4	0.4	0.4	0.4
Cost-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
High-performance	0.6	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.8	0.7	0.7	0.7	0.7	0.7	0.7
<i>Package Pincount Maximum [5][6] Not aligned with JISSO</i>							
Low-cost	208-850	218-896	230-940	240-988	250-1036	266-1088	278-1142
Cost-performance	800-2124	880-2336	880-2568	960-2824	960-3108	1050-3418	1050-3760
High performance	4973	5222	5483	5757	6045	6347	6665
Harsh	543	570	599	629	660	693	728
<i>Minimum Overall Package Profile (mm)</i>							
Low-cost	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Cost-performance	0.50	0.50	0.50	0.50	0.50	0.50	0.50
High-performance	1	1	1	1	1	1	1
Harsh	0.60	0.60	0.50	0.50	0.50	0.40	0.4
<i>Performance: Chip-to-Board for Peripheral Buses (MHz) [7]</i>							
Logic/memory	125/1000	125/1000	150/1200	150/1200	150/1200	150/1200	150/1200
Cost-performance (for multi-drop nets)	1000	1000	1200	1200	1200	1200	1200
High-performance (for differential-pair point-to-point nets)	23282	29102	36378	45472	56840	71051	88813
Harsh	125	150	150	150	150	150	150
<i>Maximum Junction Temperature</i>							
Low-cost	125	125	125	125	125	125	125
Cost-performance	90	90	90	90	90	90	90
High-performance	90	90	90	90	90	90	90
Harsh	220	220	220	220	220	220	220
<i>Operating Temperature Extreme: Ambient (°C)</i>							
Low-cost (use case/purchase specification)	55/85	55/85	55/85	55/85	55/85	55/85	55/85
Cost-performance (MPU/Commercial)	45/70	45/70	45/70	45/70	45/70	45/70	45/70
High-performance	55	55	55	55	55	55	55
Harsh	-40 to 200						

備考 (Table 94a, 94 b):

幾つかの内容は JISSO (訳者注: JEITA 日本実装技術ロードマップのこと) と整合していない

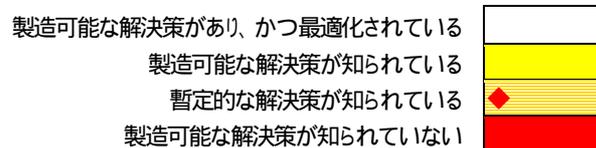
チップサイズは現在出荷されているデバイスより下回っている。

チップ最大パワー密度は最も大きいチップではない。

パワー密度はチップの平均値である。チップの中には実質的により局部的に高いパワー密度がある hot spots であるかもしれない。

ローコストとコストパフォーマンスのピン数の範囲は、異なったデバイスとそのパッケージ技術によるものである。

コストパフォーマンスのチップサイズはマイクロプロセッサが牽引し、ハイパフォーマンスは FPGA と ASIC が牽引する。



現在 65 nm のワイヤボンディング技術と 45 nm Low-k デバイスは開発中である。さらに、Cu 配線/Low-k 材を用いたシリコンデバイスへ及ぼすモールド材の衝撃についても未だ良く理解されていない。要求されている新しいアプローチについてはこの章の材料セクションで記述されている。

現在、最も大きいチップサイズは 26 mm × 23 mm であるが、現在のアプローチではこの大きさを 32nm ノードプロセスで実現することはできない。チップサイズの限界は許容される歩留りで製造することができるサイズとなる。多くの場合、実用的なチップサイズは装置の最大性能より小さくなる。マルチチップパッケージ技術は、増加している多くのトランジスタで用いるチップが大きくなることの経済的な代替手段になるだろう。しかしながら平均的なチップサイズは、プロセス歩留の改善により大きいチップが経済的メリットを持って作られるにつれて、徐々に大きくなりそうである。歩留を考慮した経済性や新技術開発に必要な時間を考慮すると、近い将来においては急激にチップサイズが大きくなる可能性は少ない。

これらの大きいチップを搭載するため、パッケージは I/O 数と電源数の増加という問題に直面する。基板はシングルチップパッケージにおいて大きなコスト比率を占めるが、要求されている電源とグランドと I/O チャンネル数を引き回す複雑さを考慮すると、今以上にコストが高くなるかもしれない。ライン & スペースの狭さ、ビアパッド径の小ささ、ビアサイズの小ささ、層数増加などを組み入れた基板技術などは、コストがより高くなる傾向にある。高周波デバイスにおいては、信号配線の更なる低ノイズ化を要求しながら、より一層の基板の高密度配線と低コスト化を必要としている。

多ピンのパッケージ (HIGH PIN-COUNT PACKAGES)

1990 年代前半の BGA の導入以来、システム設計者は、エリアレイパッケージを使用することで、高密度な I/O 接続の(コストの効率的な)利用と、多くの I/O 数をサポートすることが出来る様になった。I/O 数の増加は当面続いていく。

I/O 数増加の必要性が急速に高まってきている。高周波数、高パワー密度、信号ピンの必要条件を満たすため、電源ピン数とグランドピン数が多く必要されてきており、パッケージのピン数は急速に増えてきている。この接続技術に挑戦するため、パッケージの基板技術は、マイクロビア、ブラインドビアと埋め込みビア、積層ビア、ライン & スペース縮小を取り入れてきた。基板の設計ルールはより高密度なものを可能にしたが、いくつかの課題を解決しなくてはならない。これらは設計およびテストならびにサプライヤ減少による顕著なコスト増加を含んでいる。

I/O 数の増加によるパッケージの別の問題は、プリント配線板の複雑な引き回しである。I/O スピードがギガヘルツ帯になると、シリアルバスとパラレルバスの引き回しが非常に複雑になってきた。この結果、検証回数増加とシステムデバッグがより困難な状態になったので、設計サイクルは長くなっている。SerDes 技術の導入は類似のバスを減らすためのひとつの手段であり、従ってチップ間での接続数も減らすことになる。シングルエンドパラレルバスのメモリーチップでさえ、Fully Buffered DIMM が導入された SerDes 設計の方に移行している。

8 アセンブリ&パッケージング

信号の統合設計は、実装基板の中においてパッケージとしてのサブシステムレベルで改善をもたらすことになる。これはI/O信号あたりの電源電圧数と電源グランド数を増やす結果となった。I/Oと電源電圧と電源グランドの比率をきちんと合わせることで、高性能なI/O技術をもったデバイスが増え続け、結果的にパッケージピン数の増加をもたらす。

システムインパッケージはパッケージ基板とプリント配線板における高密度な接続を減らすことができるので、益々重要になっていくだろう。

ウェーハレベルパッケージング

ウェーハレベルパッケージング(WLP)は、ICパッケージングの全てがウェーハレベルで行われる技術である。WLP技術は、真のチップサイズのパッケージを作り、パッケージの全てのインターコネクトが、チップ外形内に連続的に配置(fan-in design)されなければならない。システムの観点からは、WLPに対する制限は、チップの下にI/Oがいくつ配置できるかということと、基板設計に対して配線を引き出させることができるかということである。ここ数年で基礎的なインフラが利用可能になってきているが、既存のパッケージングソリューションが市場要求を満たしているため、その技術は適用されなかった。

WLPは、サイズの縮小、IC動作周波数の増大、コストの削減が要求され続け、従来のパッケージングで満足できない時に、解決策を提供することができる。WLP技術の長所には、低コスト化、パフォーマンス向上、低電力化、市場への短期投入、小型化などがある。WLP技術は、解決策候補(Potential solutions)の章で詳細に解説する。

システムインパッケージ(マルチチップパッケージ、3次元パッケージング)

民生家電市場で必要としているサイズ、重量、コスト、電力の削減は、技術的な革新なしには満たされない。システムインパッケージは、これらの全てのパラメータを大幅に改善することができる。

今日、製品の複雑さが増大しているのに反して、市場はより短い製品ライフサイクルを要求してきている。システムオンチップ(SoC)ソリューションは、サイズ、重量、電力の要求には対応できるが、図90に示す様に、機能単位でのコストと市場投入期間の増大という犠牲を伴う。高度に複雑化したシステムの統合は、高度な小型化および柔軟性をもって、効率的に原価計算を実行されるに違いない。3次元統合パッケージングのような新しい統合技術はSiP解決策にとってより重要となる。SiP技術は、またシステムコスト縮小と性能改善をもたらすようにパッケージの中へMEMS、オプトエレクトロニクスおよびバイオエレクトロニクスのような他の回路素子の取り込みを可能とする。

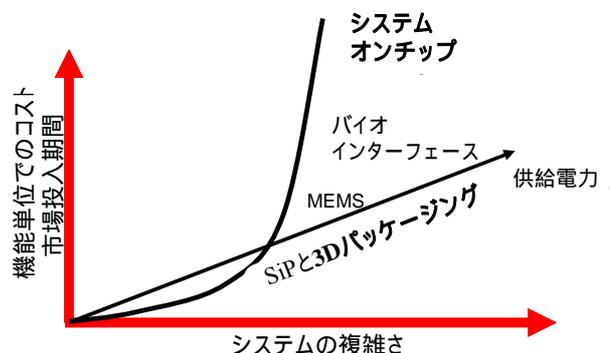


Figure 90 機能単位でのコスト、市場投入期間と複雑さの比較(SoC と SiP)

SiP 技術の重要な要素は、

- ・システム分割 / モジュール化
- ・チップ・パッケージ統合設計(オンチップ、オフチップ)
- ・パッケージへの異なる機能のインテグレーション
- ・システム機能を増加させるための付加技術
- ・高密度部品インテグレーション
- ・KGD(Known Good Die) 技術
- ・テストと信頼性
- ・短い市場投入サイクル
- ・低コスト

フレキシブル配線板と接続技術

今後、出現してくる多くの用途では、電子製品はフレキシブルでなければならない。電子製品は、非常に限られたスペースにはめ込む目的で、また、スマートカードのように一般的な用途において、折りたたまれたり、ねじられたりすることもある。フレキシビリティは、医療用途にとっても重要である。たとえば、補聴器は目立たず、個々人の耳にフィットしていることが必要である。遠隔医療や患者のモニター用途は、送信機を衣類に縫い込まれたものや、装着することによって実現できる。コストが低減するにつれて、消費者は、温水洗剤での洗濯、温風ドライヤー、アイロンの熱と圧力に耐えられる、衣類に装着された電子製品を望むようになる。

ICと受動素子は、フレキシブル配線板上に表面実装されるか、フレキシブルな配線層の中に薄膜構造として内蔵されるかもしれない。用途によっては、これらの配線層は伸縮自在でなければならない。20 μm 以下まで薄型化されて配線層に埋め込まれたチップは、接続に柔軟なバンプ技術が使用されて、環境からの保護のために薄く樹脂被覆される。金属コートされたポリマーファイバーは、衣服を支持基板として配線され、実用化される可能性がある。比較的大きくてフレキシブルなアンテナもまた、患者のモニタリングや他の RFID の用途として、衣服に縫い付けられて形成されるだろう。

マイクロスプリングや柔軟なバンプ構造のような接続部のフレキシビリティも、将来のマルチチップパッケージに必要となるであろう。様々な厚みのチップやその他の部品が高密度に詰め込まれた SiP は、厚みばらつきと平坦性の欠如を補う柔軟な構造が必要である。

オプトエレクトロニクス用パッケージング

オプトエレクトロニクス方式の通信用途に対して、パッケージの役割は、必要な機能を実行する部品のハウジングを提供することと、全体システムにおける他の機能への接続ポートを提供することである。部品としては、発光デバイス、光検出器、光増幅器、モジュレータ、ドライバ IC、光学レンズ、ビームデフレクタ等がある。接続ポートは、光学窓、光ファイバーまたは RF コネクタなどがある。転送レートの高いレーザに対しては、熱電気クーラーも、筐体内に必要かもしれない。

一般に、光学デバイスを保護するのに気密封止を必要とするが、TO ヘッドとバタフライパッケージングは、この要求に適している。その代替の保護技術として、安価で、非気密封止のプラスチックパッケージ技術が、コストに非常に敏感なアクセスネットワーク用途で特に必要とされる。

シングルモードファイバーを使う高データレートの通信に対しては、シングルモードファイバーと光デバイス間の 0.5 μm 未満の厳しいアライメントが高価な要求となる。コストに敏感なアクセスネットワーク用途に対しては、5~10 μm のアライメント精度を達成するために、相対的に大きな直径のポリマー光ファイバー (POF) と自動アセンブリを使用して、必要とされるアライメント精度を緩和することが必要である。次の高温プロセスおよび製品寿命の全体にわたって、上記のアライメントが維持されることを保証するために、接着剤が必要であることに注意しなければならない。

い、POF 材料の改善は減衰量の低減とデータレート増加のために必要である。ポリクラッドシリカ (PCS) ファイバーの材料開発も、継続されなければならない。

更なるコスト削減と性能改善のために、更なる機能をパッケージに取り込む 3 次元化が必要とされる。例えば、VCSEL ウェーハを環境から保護するために、レンズまたは他のマイクロ光電気機械システム (MOEMS) デバイスを組み込んだウェーハレベルパッケージング (WLP) プロセスが用いられる。

ポリマ導波路やビームリフレクタなどのいくつかのマイクロ光学部品は、SiP 基板に内蔵されるだろう。BGA 構造の SiP は、光コネクタ、レーザダイオード、光検出器、レーザードライバやマルチプレクサ/デマルチプレクサを含む CMOS IC、そして RF コネクタ、デカップリングキャパシタを搭載するであろう。

デジタルイメージセンサは、光学式マウス、携帯電話、デジタルカメラ、PC、ビデオカメラ、スキャナ、防犯カメラ等を含む広範囲にわたる民生と一般産業製品で導入されている。ミドルとローエンドの用途が CMOS イメージセンサデバイスで供給される一方で、ハイエンド用途は CCD イメージセンサデバイスで供給されている。大部分のイメージセンサのチップは、パッケージのキャビティの中にガラスリッドによって封止されている。ハイエンド用途では、気密封止のセラミックパッケージが広く用いられる。ミドルとローエンドのパッケージでは、プラスチックパッケージが、より低コストのために使われる。透明な封止樹脂や液状樹脂が、ローエンドイメージセンサと通信部品のコストを抑えるために、光学窓に対して使用されるだろう。ウェーハレベルパッケージングのアプローチは、小型、低背、低コストの製造ポテンシャルによって、より一層普及している。このウェーハレベルプロセスでは、シリコンウェーハは 2 枚のガラスパネルの間に挟まれている。サブシステムモジュール部品として、イメージセンサデバイスを他のデバイスと組み合わせたシステムインパッケージが要求される。

RF パッケージング

RF パッケージングに対する技術課題の多くは、IC パッケージ技術手法、技術知識ベース、製造インフラが、過去 40 年あまりで開発されたデジタル IC パッケージに基づいているという事実から生じている。RF パッケージングでは、パッケージは RF 回路の一部であり、RF デバイスとデジタルデバイスに対するパッケージングの要求は同じものではない。回路性能は、全ての隣接した導体と絶縁体の電磁界相互作用によって強く影響される。どの RF デバイスも受動部品を必要とするが、その部品の特性パラメータは異なる範囲にある。携帯電話やその他の消費者向けワイヤレス携帯用製品に対する市場要求が、受動部品の RF パッケージ集積化や、同一パッケージ内に ASIC、メモリデバイス、RF デバイスを搭載するシステムインパッケージ化を牽引し、RF パッケージ技術の更なる活性化と複雑さを増している。

RF 技術は、1GHz 以下から 100GHz の範囲において、携帯電話、GPS、3G 携帯電話、WLAN、UWB、直接放送衛星、ミリ波通信、車両衝突防止システムのような広い範囲の市場製品を含む。

ワイヤボンドリッドフレームのプラスチックモールドパッケージは、産業用少ピンデバイスに対する低コストの主力製品である。同時に、ワイヤ接続とリード付きパッケージに関連するインダクタンス成分と封止樹脂の影響によって、RF 性能が制限される。これらの問題は、フリップチップ接続や WLP のアレイパッケージで短距離の接続経路によって低減することができる。RF の市場製品の一連の周波数範囲に対するパッケージ設計とデバイス - パッケージ協調設計のためには、材料物性データベースと同様に、RF パッケージのモデリングツールを準備することは重要である。封止樹脂、アンダーフィル、基板の材料物性においても関連した改善が必要とされる。

低温焼成セラミック (LTCC) にみられるような材料プロセスの進歩 (当初軍用に開発) は、比較的低い損失を示し、縮小は受動部品内蔵の更なる改善の可能性をもたらした。プロセス科学の理解、コスト、製造上の進歩は、より高い周波数範囲の市場用途の実現に必要とされる。低コスト化への課題に因ずるために、RF 用途のプラスチックパッケージに内蔵インダクタンスやキャパシタンス部品とネットワーク部品を搭載することを入念に追求しなければなら

ない。RF 製品群の中で課題のひとつは、極めて安価なパッケージコストと、アンテナ機能集積と、苛酷な環境でのデバイスを保護する能力が必要とされる RFID 製品である。

SiP の進歩によって、RF とデジタルのデバイスを共通なパッケージプラットフォームに置くという大きな機会が提供される。豊富かつ多様な SiP 技術と製造インフラ(多様な内蔵受動素子と同様に PiP や PoP のようなチップやパッケージを積層するアプローチ)は、RF 用途に適用できる。パッケージが複雑になっていくことに対して、SiP パッケージのサイズと重量の削減の取組みは特に重要である。シングルチップパッケージで前述したように、RF の物理設計、モデリング及びシミュレーション能力、そして材料の進歩が、RF とデジタル部品の両方が共通のパッケージプラットフォームを共有するように SiP の領域に全面的に拡張されることは重要である。SiP パッケージでは、デバイスとパッケージの協調設計を可能にするツールは非常に重要である。

SiP において、RF IC はマルチポート S-パラメータネットワークとしてモデル化される。そしてそれは、内蔵受動素子を有する SiP 基板に対して、2次元と3次元の周波数ドメインモデリングとうまく統合する。しかしながら、デジタル IC は、入力側ではタイムドメイン信号を要求し、出力側ではタイムドメイン信号を生成する IBIS モデルとして表現される。非常に熟練した設計者によってなされる時間のかかる、周波数 - タイムドメイン信号のマニュアル変換が必要である。モデリングや物理設計ツールの自動化は、SiP 設計の所要時間と全コストを改善するために必要である。

MEMS

Micro-Electro-Mechanical Systems (MEMS) は、微細製造技術によって共通のシリコン基板上に、機械素子、センサ、アクチュエータ、電子機器を集積するものである。電子部品が集積回路(IC)プロセスシーケンス(例えば CMOS、Bipolar または BICMOS プロセス)を使って製造される間に、微小機械部品は、シリコンウェーハの一部を選択的にエッチングするか、もしくは、機械的、電気機械的なデバイスを作るための、新しい構造層を追加する半導体プロセスと互換性のある“マイクロマシニング”プロセスによって作られる。

MEMS は、多種多様なデバイスを含む。MEMS は、それらの一般的な機能アプリケーションに基づいて、(1) RF MEMS、(2) バイオ MEMS、(3) 慣性系 MEMS、(4) 光 MEMS の 4 つのカテゴリーに分類される。各々のカテゴリーに対して、それらの機能と動作環境は、パッケージングへの要求を指定する。たとえば、加速度計やジャイロスコープに基づいた MEMS は、構造体内に可動部を有した 3 次元構造である。パッケージは、デバイスの機能動作に対して、適切な密閉されたキャピティ空間を提供しなければならない。一方、バイオセンサ用のパッケージングは、特定の表面吸収特性を持つ標本サンプリングのために、制御された流体が流れる開放構造の流路を提供しなければならない。これらの 4 つの MEMS カテゴリーに対する機能とパッケージング要求を以下の表に示す。

MEMS Packaging → ↓	RF MEMS	バイオMEMS	慣性系 MEMS	光 MEMS
要求	電気 - 低挿入損失 - 低バックリフレクション - 低接触抵抗 - 周波数 - 信号アイソレーション - パッケージ共振 - 低寄生成分 構造 - 低応力 - 小型 パッケージ - ウェーハレベルパッケージ - 小型の形状ファクタ - 気密封止性 - 低損失パッケージ材料 - 軽量	流体 - 低デッドボリューム - 検出感度 - 低背圧 - 流路サイズ - 流速 - 昇温/冷却速度 電気 - 電子回路とのインターフェース 熱 - 急速昇温と急速冷却 光 - 低光損失 構造 - 流体継ぎ目の低応力 パッケージ - モジュールのパッケージ - 使い捨て	構造 - 低応力 - 信頼性 熱 - 温度安定性 電気 - 感度 - スイッチング時間 - 周波数 - Qファクタ パッケージ - プラスチックパッケージ - ウェーハレベルパッケージ	光 - 低結合損失 - ミラー回転/角度 構造 - 低応力パッケージ - UV エポキシ樹脂の低収縮 - 低反り 熱 - 温度安定性 電気 - スイッチング速度と時間 パッケージ - セラミックパッケージ - メタルパッケージ
困難な課題	電気と構造のパラメータの最適化 挿入損失低減のための低価格材料 形状ファクタの低減 受動デバイスの集積化	流体、電気、熱、光、構造の協調設計 限界真空度の低減 流路サイズの低減 ゼロ低背圧 ナレレベルの流路の扱い 気泡の除去 材料の生体適合性	構造設計 パッケージの信頼性 真空気密封止性 低価格 小型の形状ファクタ 他のシステムへの統合	低結合損失/信頼性に適合した光学構造設計 低価格 他のシステムへの統合
可能性のある方向性	パッケージ内 RF システム バイオ - RF 統合	3D マイクロ流体パッケージ パッケージ内バイオシステム プラスチックベースの流体システム	パッケージ内 MEMS システム - モバイル用途 - バイオ用途 - 情報技術	ウェーハレベルパッケージ

メディカルとバイオチップのパッケージング

メディカルとバイオチップのパッケージングは専門化した特性とアプリケーションに対応した特性を要求する。体内埋め込み型の医療機器、ケアのポイント、あるいはバイオメディカルのセンサであっても、生体適合性、信頼性および製造に対して特別な配慮が必要である。

生体適合性

生体適合性は、体内組織と流体との材料の相互作用がないこと、炎症反応がないこと、生物体に対する毒性がないこと、およびアウトガスあるいは生物体に有害かもしれない他の腐食生成物がないことが必要である。これらの材料は、エタノールを含んでいる生体試薬の様々な濃度に化学的に不活性でなければならない。いくつかのアプリケーションに必要な物理的条件には、高い流量率と大きな背圧を伴ったものもある。

バイオパッケージングの信頼性

医療デバイスの産業は、他の産業より環境上の視点から見て、いくつかの際立った利点を持つ。一旦、その装置が移植されれば、それは非常に安定した温度、つまり 37°C (98.6°F) の一定温度を体験する。したがって、熱サイクルによって引き起こされるパッケージ故障メカニズムおよび放熱は信頼性の問題にはならない。

医療機器産業は、しかしながら、特殊な信頼性の要求事項および認定が必要となる。装置製造者の主な課題は患者の安全性およびリスク軽減である。生命維持装置に対しては、許容できる実際の部品の故障率は、100ppm以下で、重篤な故障率は数ppm以下であろう。そのような低い発生故障を信頼性試験で検出することが課題となる。その結果、メーカーは、しばしば著しい安全係数で過剰設計を行なう。

電磁妨害はもうひとつの主な課題である。電力の増加と、送電線、窃盗保護ゲート、携帯電話、家電器具、航空警備などのような電磁気発生源の存在によってもたらされる医療機器および電子部品用パッケージに対する電磁界の影響は、設計によって回避され、信頼性試験によって評価されなければならない。

体内埋め込み型機器を持つ患者は苛酷な環境にさらされるであろう。CT スキャナや MRI スキャナのような医療装置による影響は設計によって防ぐ必要がある。気圧チャンバ内での治療中、あるいはスキューバダイビング中に必要な圧力条件もまた、デバイスとパッケージの機能を保証するために課せられる。

心臓電気ショック装置は治療を行うとき高電圧充電回路で著しく局所的な発熱を生じる。高電圧動作は、パッケージ基板およびプリント回路板 (PCB) 上の相当な障害となる。温度上昇は PCB あるいは基板の中の絶縁破壊、結合電界効果トランジスタ (FET) の故障およびキャパシタの故障を生じるかもしれない。

集積回路

医療の産業は、パソコン、民生、車載などによって主要な位置を占める一般的な産業とは非常に異なった、IC への課題を持っている。心臓病患者用機器については、心臓はナノ秒でなくミリ秒で動くので、IC はスピードが重要ではない。一般に、デジタル部品は比例的に増加し続けるのに対して、心臓用 IC の大半はアナログあるいはミックシグナル部品である。「アナログ」心臓は、心臓病患者用機器が作動する電気的なシステムに絶対必要な部分である。

体内埋め込み型装置の IC のための最も大きな課題は電流ドレインである。極めて低いトランジスタリークは電池寿命を延ばす鍵である。トランジスタリークの低減は装置交換頻度を軽減させて、装置交換手術の間隔を延長することができる。体内埋め込み型装置産業の発展は、電池寿命を延ばすために動作電圧と電流を極小化する IC 技術を強く推進することによって加速される。したがって、負性バイアスしきい値の不安定性およびソフトエラーのような問題が主な課題となり、ディーブサブミクロン技術への取組み強化につながる。

製造

パッケージの製造は、医療機器用の法的要求によって規定される条件と、製造環境の管理、パッケージのラベル、および文書化の管理による新規の条件に従って、進められなければならない。材質選定と製造工程の変更はアメリカの FDA のような法的機関の承認を必要とする。医療エレクトロニクスの生産量は低く、かつ、要求が特殊なため、必要条件を満たすサプライヤーや、研究開発投資を行うサプライヤーをみつけることが困難になっている。

コスト

継続的な機能当たりのコストの低減は、エレクトロニクス産業を成長させる鍵となっている。これは、歴史的にウェーハ製造工程のスケーリングおよび設計の改善を通して成し遂げられてきた。アセンブリとパッケージングのコストはウェーハ製造コストの低減のペースに追従できておらず、今日においては、パッケージングコストはしばしばウェーハ製造コストを超える。コスト低減の取組みはパッケージングにおいてはいくつかのコスト増加要因により、コスト低減が、ますます困難な状況になっている。鉛フリーはんだ材料、Low-k 誘電体および High-k 誘電体は、置き換えた材料よりもっとコストが高くなる。より高い処理温度や携帯型家電に関連した広範囲の環境温度は、新たに、より高価なパッケージ基板と接続技術を要求している。電力密度の増加とジャンクション温度の低減は、より効果的な放熱設計を要求する。

従って、より低コストなパッケージングの要求を満たす新技術が求められている。コスト削減と、ウェーハ製造工程(フロントエンドプロセス)と同様のスケーリングの利点を達成するために、ウェーハレベルパッケージングおよびシステムインパッケージは、革新的なアプローチといえる。

信頼性

エリアレイパッケージなど新しいパッケージ構造が導入されている状況を見ると、パッケージ分野で急激な革新が進行しているのは明らかである。それらにはリードレスパッケージ、フリップチップ実装、ウェーハレベルパッケージ、そしてSiPなどがある。加えて、パッケージ技術に新たに求められているのは、銅配線とLow-k材を採用した90nm未満のシリコン技術、フレキシブル性を保有しつつも発熱量の増大や高速性の要求に対処した接合技術、鉛フリーやハロゲンフリーなど法規制に基づく環境への対応、そして極限の環境下における耐性などである。これらの変化や、それによって必要とされる新しい材料や構造の導入によって、新たな信頼性の課題が生じている。市場の要求を満たすために、個々のトランジスタに非常に高い信頼性が必要とされるとしたら、これらの事がいっせいに発生する。携帯機器に落下試験が必要になったように、新しいアプリケーションには新しい試験が必要である。次のような信頼性の課題を解決するためには、新たな技術が必要になる。

1. 携帯機器向けに用いられる落下試験のような新しい信頼性試験
2. 市場での不良発生率と評価結果との相関関係
3. 故障検出と分析方法の改善(例: X線、超音波、ナノレベルの変形解析や局部残留応力などの測定方法)
4. 材料物性と界面特性
5. 寿命予測モデルとそのシミュレーション(多分野解析の結合、構造物性相関、第一原理計算、モジュール化と要素によるアプローチ)

新パッケージ開発や新材料、新技術が、すべての市場の要求信頼性を満たすことができるわけではない。信頼性を保証できるパッケージを市場に出荷するためには、最終製品の使用環境やパッケージの故障メカニズムを熟知しておく必要がある。

界面剥離は今後も信頼性上重要な故障要因であり、チップの大型化と新材料、そして層数の増加によって悪化傾向にある。層数が増えれば、増えた分だけ複雑な界面現象を把握している必要がある。界面の接着力を測定する方法の標準化や判定基準の制定が必要である。接着力やその劣化速度と環境条件(温度や相対湿度)、物理的な界面状態(粗さ、組成)、化学的特性(表面張力、分極、共有結合)との関連を明らかにする基礎的な研究が必要である。大きなチップをパッケージングすることから生ずる信頼性上の問題を改善するためには、パッケージとPCB間の熱膨張率差を拡大することなく、チップとパッケージ基板間の熱膨張係数差を小さくしなければならない。これらの要求を満たすためには信頼性を予測する方法が必要である。また、ナノ世代チップ向けに開発された優れた材料を実用化するためには、熱的、電気的、機械的な界面の物理を理解していることが必要である。

パッケージと接合部の特性とシミュレーション

パッケージや接合構造において電気的、物理的な故障を即座に分離するツールが不可欠である。材料バルクとその界面特性の研究を統計的かつ有意義に行うためには、加速試験が必要である。現在の故障分離技術とパッケージ解析技術(X線、超音波、FIB、モアレなど)の更なる開発の継続と、微小不良の視覚化技術(X線トモグラフィなど)の新規開発はバランスをとって行うべきだろう。新しい有機材料が導入されるのに従って、有機化学の界面解析技術はより重要になる。たとえば、界面強度評価などのような新しい特性評価方法が必要になる。透過型顕微鏡やそれに付随する準備作業のように、ウェーハ製造技術の不良解析に使われてきた方法がパッケージの分野でも必要になる。熱/応力複合故障、熱/化学/応力複合故障、電気/化学複合故障を分析する技術を開発することによって、組立プロセスやパッケージに関連した故障メカニズムを特定し、解析できるようになる。

シミュレーション

新材料の多くやパッケージの新構造は、広範囲な特性把握が必要である。シミュレーションを行うことによって信頼性を検証し把握していれば、適正なリスク内で技術が展開されていることを確認することができる。開発を加速するために信頼性を予測できるシミュレーション手法が必要である。そのためには、複合的な故障メカニズム用(電気、熱、応力の相互作用)の新しいモデリング手法と最適化技術が必要であり、それによって、寿命予測モデルを改善して、システムレベルの信頼性予測を可能にすることができる。

使用条件に沿ったシミュレーションは、最近の民生機器環境で使われる電子製品に特に重要である。様々なマーケットや使用環境での信頼性予測を行うためには、新材料の特性や界面特性について広範な知識を有することが不可欠である。

信頼性テスト

信頼性の加速評価やその市場不良率との相関を理解していることは、パッケージの特性を把握する上で不可欠である。新しい材料特性を測定するために必要なツールとしては、可塑材料特性を測定するマイクロ/ナノレベルの折り曲げ試験などがある。また、パッケージ材料特性のデータベースが必要である。

ピン数の増加と接続ピッチの縮小化に伴って、新しい静電破壊試験方法と試験機の開発が必要になる。ベアチップやパッケージ製品へのハンドリング方法が改善されれば、ESDによる信頼性問題は改善されるだろう。

ソフトウェア

チップの微細化は、宇宙線や他の放射線発生源からもたらされるソフトウェアの影響を受けやすくなるが、それはパッケージでは回避することができない。従って、ソフトウェアの原因となるアルファ線を発生するパッケージ材料を使用しないことと、回路やシステム設計レベルで工夫したエラー補正技術を導入する必要がある。

パッケージ材料への要求

組立プロセスとパッケージング産業はあらゆる材料の転換期にいる。パッケージの材料仕様は常に変動している。そして、この変動は今後ますます頻繁になり、広範囲まで及ぶと思われる。短期で変更される新材料の多くは鉛フリーやRoHS準拠(EUの電気電子機器における特定有害物質の使用制限指令)など、環境規制に準拠する目的で導入されている。

次世代デバイスのパッケージングや組立プロセスの要求を満たす、新材料や材料の加工技術が必要になる。次世代デバイスに採用される超 Low-k 誘電体は強度が弱い欠点はあるが、フリップチップパッケージのアンダーフィル樹脂を適正化することによって、界面応力が絶縁体層を破壊するリスクを低減することができる。ウェーハレベルパッケージや接合技術など今後現れてくる技術や、SiP 技術などについては、これから開発される材料や材料加工技術が待ち望まれている。主な材料の課題を Table 95 に示した。

新材料

鉛フリーやハロゲンフリーなど環境問題からの要求や、Low-k 材や超 Low-k 材を用いた次世代デバイスからの要求に対応して、新しいインフラをパッケージ材料に構築することが望まれている。上に述べたことを実現するためには、パッケージの信頼性レベルに決定的な影響を持つ封止樹脂やパッケージ基板など主材料の改良が不可欠で、その際に鉛フリーやハロゲンフリー、Low-k、超 Low-k パッケージ技術に順応するための熱応力設計が十分考慮されていなければならない。鉛フリー対応の封止樹脂やパッケージ基板の技術課題の本質は、材料特性の観点から、リフロー時の高温における耐熱性である。主要な材料技術は以下のとおりである。

Table 95 材料の課題

項目	課題
ワイヤボンド	20 μm ピッチ間隔でもワイヤ流れを抑制できる材料 銅パッド上の金属層間化合物を低減できるバリアメタル ファインピッチボンド用の銅ワイヤ
アンダーフィル	大型チップでも 100 μm ピッチバンプを実現できる特性 low-k材料に対する応力緩和 リフローの鉛フリー条件への適合性 40 μm 未満のスタンドオフへの注入性
材料界面	熱伝導率の向上 接着力向上
材料特性	下記の実使用条件における材料特性の測定方法と特性データベース <ul style="list-style-type: none"> - 10GHz 超の周波数 - 非常に薄い層 - 熱抵抗測定手法
モールド樹脂	low-k 構造のウェーハへの応力を緩和する低弾性材料 非常に微細ワイヤボンディング用のモールド樹脂 フリップチッププロセスに適した低コスト材料 電力密度の増加に耐える熱伝達率 厳しい環境下に適応できる高耐熱性
フリップチップ材料用の鉛フリーはんだ	高電流密度に耐え、エレクトロマイグレーションを抑制できるはんだと UBM
基板内蔵受動素子	誘電率が 1000 超の誘電体の高周波特性の改善 高信頼でより安定した抵抗材料 センサーや MEMS 用の強磁性体
LTCC	低収縮誘電材 高周波用低誘電率
環境適合材料	現状材料と同等またはそれ以上の、プロセス共用性とコストを有した環境適合材料
ウェーハレベルパッケージの絶縁体	200 μm 未満でキュアできる WLP 用絶縁体

進化し続けているワイヤボンド技術は半導体産業の主力技術として、25 μm や 20 μm ピッチのワイヤ接合技術の実現するためには、新たな材料の組み合わせ(ワイヤ、キャピラリ、モールド樹脂、ボンダパッド)を必要とする。鉛フリーパッケージのリフロー温度が高くなったために、封止樹脂材料の重要課題として、耐熱性とパッケージ反りが注目されている。耐熱性を改善するためには吸水性と樹脂の破壊靱性を適正化する必要がある。

フリップチップのバンプピッチをロードマップに従って 100 μm 以下に縮小するためには、相応の UBM の開口径やバンプ直径、ギャップ寸法の縮小が必要である。はんだと UBM 材の刷新やアンダーフィル樹脂の革新によって、より厳しい環境条件や電流密度、熱応力の要求を満たす大量生産向きのフリップチップ構造が実現できる。

パッケージ構造は、多様な技術によって形成された異なるデバイスが集積された、金属や合金、高分子材料、フィラー入り的高分子材料からなる不均一材料構造である。新材料を導入することによって、新しい材料界面が形成される。チップとパッケージ間の物理的界面特性や熱、応力、電気特性を改善する材料界面科学と技術は、今後最も重要なテーマとなる。

新たなレベルの材料がパッケージ構造に導入されて、基板内蔵や集積受動部品、薄型チップ、薄型チップの積層、ウェーハレベルプロセスと接続技術、フレキシブル接続技術、MEMS、医療やバイオチップへの応用など、新しい特徴を持ったパッケージが出現する。

新規パッケージのデザインリリースやパッケージ開発のために、電氣的、熱的、信頼的な性能のモデリングやシミュレーションを行うには、パッケージの材料特性を理解している必要がある。また、使用環境におけるパッケージ材料の特性や材料界面特性を精密に把握する測定方法が望まれる。材料データベースを構築し、その情報に自由にアクセスできる環境を構築することは、チップとパッケージの協調設計を推進するためのシミュレーションに重要である。

プロセス開発、信頼性予測、熱と電気の界面物理のために金属/高分子、高分子化合物間、そして合金の材料界面を理解することは非常に重要である。温度環境条件下で、はんだから UBM への合金成長は、温度サイクルテストや堅牢性のための落下試験など、信頼性結果に大きく影響を与えることがわかっている。エレクトロマイグレーションやサーマルマイグレーションの物理現象を定量的に把握することによって、フリップチップのはんだバンプ接合の設計や寿命予測への理解を深めることができる。また、新材料を導入する際には界面測定や材料データベースの整備がますます重要になる。

部品内蔵と集積型受動素子

永続的な性能の向上、製品の小型化、信頼性向上、そしてコスト低減を推進するためには、受動部品の性能を向上させ、コストを低減しなければならない。受動素子をパッケージ内やチップ内に集積したり、内蔵することによって、民生機器の性能向上と小型化、低コスト化に貢献する。このことについては解決策候補の章でより詳しく述べる。

組立プロセスとパッケージ技術インフラの課題

パッケージ設計には技術的な固有の要求がたくさんある。基本的な電氣的・物理的設計はそのうちの一つであり、目標とした回路性能を満たし、その回路が使用環境下でも設計したとおりに信頼性よく機能することが求められている。要求の概要についてはこの章で解説している。パッケージ構造、製造時の許容度、その構造を支える材料の詳細については、組立プロセスとパッケージ技術の表に掲載した。

SiP 技術の出現は、システムレベルで集積化する際にみられる課題をパッケージレベルに転化した。それに対処していくためには電氣的、機械的、熱的特性の協調設計を支える設計ツールの開発が求められる。チップ / パッケージ / PCB (またはチップ / パッケージ / PCB / システムまで) の協調設計では、パッケージレイアウトや配線設計、電氣的性能、放熱特性を同時に検討する必要があるが、CAD ツールに十分サポートされているとはいえない。

電気設計からの要求

製造時のばらつきは電気設計の性能に大きな影響を与える。表に反映されているビア径やアライメント精度、配線厚、配線幅、絶縁層厚の製造誤差のロードマップは、電氣的な要求値と整合していなければならない。設計要求値に影響する主要因を以下に解説した。

クロストーク

CMOS の世代交代と共に回路はますます高速、高密度になっている。回路の高速化によってクロックサイクルは短くなり、一方、高密度化によって平行配線は近接してくる。デバイスの進化によって、加速度的にパッケージの入出力端子数が増えていく。これら先端回路ではデバイス、パッケージ、システム各レベルのノイズを抑制できるパッケージが必要とされている。

ノイズ源の主なものは平行配線に生ずるクロストークである。クロストークは絶縁材厚と隣接信号配線ギャップの比にほぼ比例している。信号配線の幅とギャップを固定にして、低誘電率材料を使った場合、特性インピーダンスを整合するために絶縁体を薄くする必要があり、その結果としてクロストークが減少する。クロストークはまた、フィンピッチボンディングやビアの微細ピッチにも関連している。

長く狭い隣接信号配線は信号の減衰とクロストークノイズを生じ、SN比を劣化させる。電気抵抗による抵抗損失は信号配線を幅広く設計し、特別に低損失な誘電材を採用することによって対策できるが、それによってパッケージ外形が大型化し、材料コストが高くなってしまふ欠点がある。

差動信号を使うと個々の信号に2つのI/Oパッドと2つの信号配線が必要である。ペアを組む2つの信号配線の長さを等しく、リファレンスプレーンに対してバランスが取れた設計にする必要がある。それによって電流変動によって発生するノイズを低減することができるが、その反面、クロストーク対策のために信号線が増加し、配線平均長が長くなってしまふ。

信号周波数が高い領域では、他のノイズ要因がみられる。信号配線のちょっとした曲がり、リファレンスプレーンのわずかな切れ目、信号層間のビア接続、リファレンスプレーンに電磁誘導されたリターン電流などはすべてノイズ源となり、電気特性に大きな影響を与える。設計時にこれらのノイズを最小限に抑制するためには、3次元電磁界シミュレーションとモデリングツールを準備して、時間領域解析と周波数領域解析を行う必要がある。

デジタル信号の振れはアナログ信号よりも格段に大きい。大きく振れるデジタル信号によってアナログ配線に発生するクロストークノイズは、ミックスドシグナルパッケージの主要ノイズ源といえる。同一パッケージ内に両方の回路がある場合、デジタル信号の過渡電流をアナログ配線から隔離するように設計しなければならない。時として、SiPレベルまで集積化されている携帯電話はその良い例である。デジタルベースバンド、RFフロントエンド、パワーアンプ、アンテナ、インピーダンス整合のとれたネットワーク、フィルタ、その他多くの受動素子は非常に近い位置に実装される。SiP基板や基板内蔵受動素子用の3次元電磁界モデリングが必要になる。

電源供給と電源サブシステム

高速なシステムほど、高い周波数、複雑なシステム、低い動作電圧への傾向が強いので、パワーインテグリティ(電源・グラウンドの完全性)が問題となってくる。電源供給システムとして電源、PCB基板、パッケージ、IC各レベルを考えなければならない。今日、デカップリング・キャパシタ個別部品は交流ノイズを吸収するために広く採用されている。しかし、個別部品が持つ等価直列インダクタンス(キャパシタや抵抗器が持つ寄生インダクタンス)は、高周波特性を制限する主要因となっている。このキャパシタ個別部品の等価直列インダクタンスによる高周波ノイズを抑制するために、基板内蔵平面キャパシタとチップ上のデカップリング・キャパシタが採用されている。電源供給システムは直列につながれたチップ、パッケージ、基板から構成されており、これらの相互作用によりシステム共振が発生するので、万どこかに設計ミスがあれば、システムダウンにつながる。将来の複雑なシステムにはチップ/パッケージ/基板の協調設計が必要になるだろう。一般的には、1MHz未満のノイズは電源装置とバルク・キャパシタによって対策し、1MHzから50MHzのノイズは基板と局部的に実装されたデカップリング・キャパシタで対策し、400MHz超ではチップ上のデカップリング・キャパシタによってノイズ対策する。チップ上のデカップリング・キャパシタのコストは重荷になりつつある。パッケージとチップ間、パッケージと実装基板間で共振が発生するため、電源インピーダンスを広い周波数帯域で一定にコントロールすることは難しい。このことは高速電源供給システム設計におけるパッケージに関連したボトルネックとなり、それを解決する新しい技術が必要となる。

電子デバイスパッケージにおける熱応力の課題

応力の課題

最終製品の多機能化とフレキシビリティ性を追及する継続的な努力は、将来の電子工業に通じる原動力となる。設計期間と市場投入期間を短縮するためには、設計や開発、そして確認段階のミスは許されない。集積回路素子の幾何学的な永続的縮小と、Low-k 誘電膜材料が導入される反面、チップとパッケージの複合構造から発生する熱応力によって、デバイス絶縁層にダメージが発生するという信頼性上の懸念が提示されている。電子製品における鉛やハロゲン材の使用禁止規制によって熱ストレスが高くなり、その対策として新しいパッケージ材料が導入され、新しい材料界面が生じた。パッケージング産業の先にはデジタルやRF、MEMS、光電子工学、ディスプレイなど、異質なデバイス技術を同じパッケージング・インフラ上で集積するという新たな課題が待ち構えている。拡大を続ける民生機器市場は、信頼性要求に新しいパラダイムをもたらした。その最終製品の信頼性を確保するためには、応力モデル、熱的モデルと解析ツール分野の研究開発努力に集中せざるを得なかった。

応力モデルと応力解析、その検証

電子デバイス用パッケージは多次元スケール、複合した材料、多様な材料界面システムが集合した典型的なケースである。長さのスケールが nm から mm に渡っているばかりではなく、材料の反応が弾性特性から非線形でかつ時間と温度依存性のある特性まで渡っている。電子デバイスパッケージ構造に対して、熱応力を予測し、かつ動的なモデリングを行うために、実用的で使用に適したツールを持つことは非常に重要であり、それによってパッケージの開発段階でも、不良モードを予測し、不良メカニズムを解明することに役立てられる。また、ツールを持つことによって、設計、材料、製造プロセス、そして最終的には特徴、性能対コスト、市場投入期間のトレードオフを行うことができるようになる。このような予測を可能にするモデリングツールはさらに、チップとパッケージの協調設計環境に組み込まれていくことが必要である。それによって熱、電気、熱流体、応力特性を統合した解析が望まれる。

応力解析とモデリング努力を補足するためには、負荷条件から実使用条件に渡って、精度の高い材料特性データをとる必要がある。更なる改善のためには、高分子 / 金属間と高分子 / 高分子間の界面の破壊靱性や微視的な応力特性など、界面特性の把握が必要になる。この分野での大きな課題はやはりスケールである。ミクロン以下の薄さを持つ薄膜を取り扱うことのできる測定方法を開発することによって、バルクや界面の応答を測定することができるようになる。はんだと UBM の金属相互作用によって形成される複雑な金属層間化合物は、時間と温度に伴って成長するのだが、このような材料の特性を把握している必要がある。エレクトロマイグレーションや高温時のマイグレーションなどは機械的応力と関係付けて、その物理的な故障メカニズムを十分理解し、実際の寿命評価にモデル化しなければならない。

パッケージ状態において、熱と応力が同時に負荷された薄膜(たとえばシリコンの中の薄膜)の応力や歪みを簡単に直接測定できる測定方法の開発が強く望まれている。たとえば、干渉分光法をベースにした、サブミクロンの解像度を持つ技術が必要とされているのに反して、現状の最先端の方法は 1~2 μm の空間分解能しかもっていない。既に知られているコンセプト、たとえばデジタル画像対比、マイクロラマン、PZT センサ技術などをサブミクロン領域まで展開していく必要がある。

熱モデルと熱解析、その検証

消費電力の増大と、周波数の高いデバイスの電力密度に対応できる電子デバイスパッケージの放熱設計が課題となっている一方で、システムコストを安く維持したいという要求もある。SiP パッケージの多種多様な構造では、例えば基板内蔵能動素子のように熱的に制約のある環境に複数のチップ(熱源)が実装される場合、局所的なホットスポットや過渡温度上昇などに対する放熱の仕組みが課題となる。長期的な材料の劣化と高温エレクトロマイグレーションは、温度起因の信頼性の課題である。安価で性能の良い放熱ソリューションを供給し続けていくためには、以下の領域におけるインフラの育成が必要となる。

複雑なチップ積層構造と 3D パッケージ構造は、必要とするメッシュ数の増大に伴って計算が複雑になっている。それは熱電気協調解析についても言え、パッケージ内やパッケージとチップ界面、パッケージと基板界面で発生するジュール熱の増大によって複雑性が増している。開発中のナノ世代チップのパッケージ材料については、熱解析モデルツールの背景にある物理学を拡張して適用すべきだろう。

大電力デバイスに対してパッケージの熱抵抗は低下する一方なので、分解能が高く能力のある熱測定方法が必要になる。たとえば、過渡温度の測定技術の標準化が業界で切望されている。また、パッケージ内のジュール熱による温度分布を正しく理解するために、簡単に正確な温度センサが求められている。

将来のパッケージに必要な設備性能

ウェーハレベルパッケージやシステムインパッケージなど、組立プロセスとパッケージの革新によって、設備への要求は特化してきた。現在、ウェーハレベルパッケージに用いられている設備の多くは拡散工程の設備を改造したものである。ウェーハレベル接続構造や特別な UBM のために新しい設備が必要になるだろう。例えば、はんだバンプ、パッシベーション、再配線、貫通電極、集積受動素子、裏面メタライゼーション、光学的接合、チップとウェーハ間接合、ウェーハ間接合、仕上げ研削などがある。処理速度や稼動コスト(設備償却)の改善は、本ロードマップのコスト低減要求を満たすためには必須である。

ウェーハを薄くする設備は現在でも存在するが、ウェーハの直径が大きくなり、チップ厚がますます薄くなっていくので、新しい設備が必要となる。基本的な課題は応力緩和と、表面粗さを含むウェーハ表面の厚さのばらつきである。ウェーハを 10 μm 以下に薄くするためには、ドライポリッシュやドライエッチング、その他複合プロセスなど、改善されたプロセスが必要となる。

設備に関するその他の重要な要求として、薄くした後のウェーハやチップのハンドリングがある。超薄型ウェーハのハンドリング、切断、超薄型チップのハンドリング(たとえば吸着搭載機構)は新しい技術が必要となる。それに加えて、ウェーハを薄くした後は安全にハンドリングできるような、ウェーハ・テープやガラスプレートなど、チップやウェーハの次世代キャリアが必要となる。

開発途上の SiP にはフレキシビリティと精度の高い組み立て設備が要求される。多種多様な IC や光学デバイス、MEMS デバイス、バイオチップを同じ基板上に組み立てて SiP にするためには、現在の設備の対応能力を大幅に改善する必要がある。

解決策候補

ウェーハレベルパッケージング

ウェーハレベル CSP(WLCSP)は、量産化された最初のウェーハレベルパッケージング(WLP)製品である。現在の WLCSP はほとんどが少 I/O で小チップサイズである。それらは主に小型、薄型、軽量化が必要なポータブル製品に使われている。ウェーハレベルパッケージング(WLP)の開発は、次の様ないくつかの方向で進められている：
a) 少 I/O、小チップサイズから大チップ、高機能製品への適用、b) 3次元ウェーハ積層や受動部品内蔵などの高密度、高機能化への応用、c) メモリや MEMS などへの新用途への応用。WLP の開発が広く進められている理由は、すべてのチップがウェーハ上で同時に形成でき、従来のパッケージングプロセスに比べてより効率的であると考えられているためである。

ウェーハレベル CSP の製造に用いられるプロセス技術やインフラは、既に確立しているフリップチップウェーハバンピング(UBM、はんだバンパ形成、再被覆、再配線、ウェーハ検査、ウェーハプロービング)技術や設備をベースとしてきた。インフラは、ハイパフォーマンスやコストパフォーマンス製品におけるフリップチップ・パッケージングの大量需要により普及してきた。

従来の WLCSP の設計やプロセスは、より大きいチップサイズへ対応するため、応力緩和層の形成や基板実装におけるアンダーフィルの使用、また応力緩和バンパ構造などを採用している。またより高出力、より低信号損失を目的に銅再配線が採用されている。

銅再配線のプロセス技術は、銅スタッド(ポスト)やインダクタ、さらにはキャパシタやレジスタなどの受動部品の形成にも活用されようとしている。将来的には、これらの部品の組み合わせでフィルタの形成も可能になるであろう。これらの部品の WLP への集積は、3次元ウェーハ積層に向けた第1ステップとなる。

メモリデバイスは、ますます増加している携帯電話や PDA などの携帯機器に使われている。WLP は、そこで要求される低コスト、電気特性の改善、および低電力などの点においてこれらの製品にも有効である。これらの製品に対して WLP が最も有効となるためのキーテクノロジーは、低コストのウェーハレベルテストとバーインの開発であろう。

WLP は3次元ウェーハ積層に対しても最適な解決策候補となる。これにはウェーハレベルのアライメント、ウェーハ同士のアライメント、およびウェーハの薄型化技術を必要とする。ウェーハレベルプロセスによる3次元積層はまた、ウェーハレベルマイクロビア形成技術の開発も必要である。技術的には、マイクロビアを造るいくつかの方法は既に存在する。エッチング(ディープ RIE)、絶縁、そしてメタライズなどの基本的なプロセスは比較的よく知られている。試作レベルから量産化への移行には、設備インフラの開発とコストに見合ったアプリケーションが必要である。

オプトパッケージングや検出器のパッケージングにはシリコン以外の材料を使用する。これらの製品の WLP 技術では、プロセスは、ガラス、有機基板やフレキシブル基板を用いるであろう。一部のオプト部品では、波長を考慮した透明材料に対応した製造プロセスが必要である。また、オプト部品の汚れ防止のため、フラックスフリーの可溶材料の使用も不可欠である。

従来の MEMS パッケージング技術は、しばしば高温プロセス等一般的な WLP 技術では使わないプロセスが要求される。薄膜パッケージングの様に、リッド形成プロセスを利用した、最近では加速度計や BAW(Bulk Acoustic Wave)フィルタなどの小型 MEMS に使われている新しい技術が、多くのタイプの MEMS デバイスに展開されている。WLP の信頼性やテスト方法だけでなく、これらの技術もウェーハレベル MEMS パッケージングの量産化には要求されるであろう。

基板の薄型化や薄型チップ接続技術分野の進展により、RFID への受動部品の集積や他のフレキシブルな民生用エレクトロニクス製品に適用できる WLP も可能になるであろう。

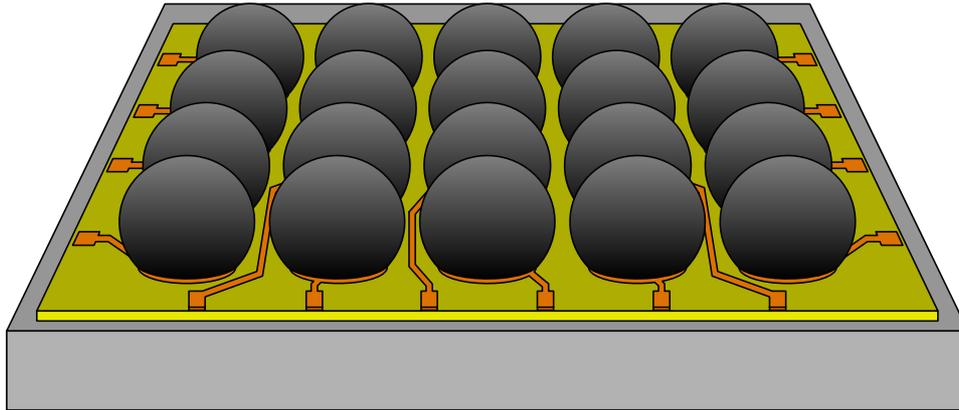


Figure 91 再配線を用いたウェーハレベルパッケージングの例

チップから次のレベルへの接続

チップから次のレベルへの接続の解決策候補を Table 96 に示す。ワイヤボンドパッドピッチの数値は単列パッドおよび多列パッドの両方について示す。狭ピッチ化と多列パッド設計を組み合わせることにより、多I/O 数化要求に対する有効な解決策となる。多列ワイヤボンドパッドの設計には能動回路上や Low-k 絶縁材上へのダメージのないボンディング技術が必要である。

Table 96a チップ-パッケージ基板ピッチ (短期)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Wire bond pitch—single in-line (micron)	35	35	30	30	25	25	25	25	20
2-row staggered pitch (micron)	45	40	35	35	35	35	35	35	35
Three tier pitch pitch (micron)	45	40	35	35	35	35	35	35	35
Wire bond—wedge pitch (micron)	30	25	25	25	20	20	20	20	20
Flying lead pitch (micron)	35	35	35	35	35	35	35	35	35
Flip chip area array pitch (micron)	150	130	120	110	100	90	90	90	90
Flip chip on tape or film pitch (micron)	35	30	30	25	25	20	20	20	20

製造可能な解決策が存在し、かつ最適化されている
 製造可能な解決策が知られている
 暫定的な解決策が知られている
 製造可能な解決策が知られていない

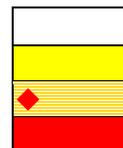


Table 96b チップ-パッケージ基板ピッチ(長期)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Wire bond pitch—single in-line (micron)	20	20	20	20	20	20	20
2-row staggered pitch (micron)	35	35	35	35	35	35	35
Three tier pitch pitch (micron)	35	35	35	35	35	35	35
Wire bond—wedge pitch (micron)	20	20	20	20	20	20	20
Flying lead pitch (micron)	35	35	35	35	35	35	35
Flip chip area array pitch (micron)	80	80	80	80	70	70	70
Flip chip on tape or film pitch (micron)	20	20	20	20	20	20	20

製造可能な解決策が存在し、かつ最適化されている
 製造可能な解決策が知られている
 暫定的な解決策が知られている
 製造可能な解決策が知られていない

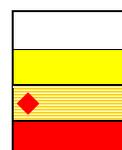


Table 96a, b への注:

100 μm ピッチ要求の妥当性

* はんだバンプフリップチップについて記載。高電流製品では、UBM ピアが大きくなるのではんだバンプピッチは大きくなる。導電性接着剤によるフリップチップの場合は、低コスト高密度基板が実現すれば、小チップ製品の狭ピッチが可能となるであろう。

フリップチップエリアアレイの狭ピッチ化は、将来のコストパフォーマンスおよびハイパフォーマンス製品における I/O 数と消費電力の増加に対する解決策となる。フリップチップ構造により接続長が短くなるため、チップ - 基板間の低インダクタンスと低電気抵抗特性要求に対して有効となる。電気特性の向上には、特有のエリアアレイ I/O 設計技術が必要となるであろう。エリアアレイの狭ピッチ化には、ウェーハバンピング、ウェーハプロービング、アンダーフィル注入、パッケージ基板およびテスト技術の進展が必要であろう。フリップチップがコストパフォーマンスやハイパフォーマンス製品に貢献する主要な接続技術の解決策として期待される一方、携帯機器における小型化要素技術としても有効である。低電流製品では、導電性接着剤が使われる。

これらのワイヤボンドおよびフリップチップ接続技術による解決策は、シングルチップおよびマルチチップパッケージに広く活用されるであろう。最終製品においてパッケージング技術の選択により大きな特性差異が発生する場合、チップ - パッケージ設計におけるトレードオフを最適化する自動設計ツールが要求されるであろう。

パッケージから基板への接続

ボールグリッドアレイパッケージ(BGA)の採用により、数千のはんだボールを持つ多ピン部品が一般市場においても実用化された。多ピン化により、パッケージサイズは大きく、またはピンピッチは小さくなる。しかし BGA のピッチは、小パッケージや高密度実装が必要とされるローコストやハンドヘルド製品のものに比べると、比較的大きくなるであろう。多ピンパッケージには基板の高密度配線が必要である。基板配線のライン & スペースの縮小化により配線密度は上がるが、それよりも基板とパッケージの BGA パッドサイズを小さくして高密度化した方が有効である。小パッド化により、接続信頼性や要求されるコプラナリティの問題も生じてくる。接続信頼性には、パッド設計やメタライズ、表面処理の改善、場合によってはアンダーフィルの使用が必要となる。コプラナリティの確保には、基板材質や設計の改善、高温時のパッケージ挙動の把握およびコプラナリティへの影響が少ないプロセスフローが必要である。パッケージから基板への接続ピッチを Table 97 に示す。

24 アセンブリ&パッケージング

Table 97a パッケージ基板-実装基板ピッチ(短期)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>BGA Solder Ball Pitch (mm) Conventional system Board</i>									
Low-cost and hand-held	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5
Cost-performance	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5
High-performance	1	1	0.8	0.8	0.8	0.8	0.65	0.65	0.5
Harsh	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.5	0.5
<i>Small portable products using flex or other specialized substrate</i>									
Low-cost and hand-held	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
Harsh	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5
CSP area array pitch (mm)	0.3	0.2	0.2	0.2	0.2	0.2	0.15	0.15	0.15
QFP lead pitch (mm)	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
SON land pitch (mm)	0.5	0.4	0.4	0.4	0.4	0.3	0.3	0.3	0.3
QFN land pitch (mm)	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
P-BGA ball pitch (mm)	1.0	0.8	0.8	0.8	0.8	0.65	0.65	0.65	0.65
T-BGA ball pitch (mm)	0.8	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
FBGA ball pitch (mm)	0.4	0.3	0.3	0.2	0.2	0.15	0.15	0.15	0.15
FLGA land pitch (mm)	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3

注:T-BGA は、TAB 接続 BGA

Table 97b パッケージ基板-実装基板ピッチ(長期)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>BGA Solder Ball Pitch (mm) Conventional system Board</i>							
Low-cost and hand-held	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Cost-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
High-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.5	0.5	0.5	0.5	0.5	0.5	0.5
<i>Small portable products using flex or other specialized substrates</i>							
Low-cost and hand-held	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.5	0.5	0.5	0.5	0.5	0.5	0.5
CSP area array pitch (mm)	0.1						
QFP lead pitch (mm)	0.3	0.2	0.2	0.2	0.2	0.2	0.2
SON land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
QFN land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
P-BGA ball pitch (mm)	0.65	0.65	0.65	0.65	0.65	0.65	0.65
T-BGA ball pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
FBGA ball pitch (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15
FLGA land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3

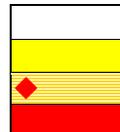
注:T-BGA は、TAB 接続 BGA

製造可能な解決策が存在し、かつ最適化されている

製造可能な解決策が知られている

暫定的な解決策が知られている

製造可能な解決策が知られていない



ファインピッチボールグリッドアレイ / CSP パッケージ

FBGA はボールピッチが 1.0mm 未満の BGA として定義されている。FBGA は特に携帯機器対応の高密度実装の実現のために設計されている。そのために、高密度設計基板の開発、ファインピッチボンディング技術の開発、およびリフロー時のパッケージ反りを抑制するパッケージ構造設計の開発が行われている。

0.4mm ピッチの実現には、チップのパッドからパッケージ端子への配線ができる高密度配線パッケージ基板が必要である。また 0.4mm ピッチ FBGA の表面実装には高精度実装プロセスが必要である。しかし日本では、WLP 技術による 0.4mm ピッチ FBGA を使った携帯電話がすでに作られている。ボールピッチは量産ベースで 2006 年には 0.3mm、2008 年には 0.2mm、そして 2010 年には 0.15mm となると予測される。狭ピッチ化にははんだ接続信頼性確保のため、現在ではアンダーフィルの使用が必要である。しかし将来的にはアンダーフィル廃止の検討も要求されるであろう。

端子の狭ピッチ化に伴い、基板実装に使用されるはんだペーストもより薄くなっている。これに対応するには、室温時とリフロー高温時の両方で、より高精度なコプラナリティが必要である。特に鉛フリーパッケージではリフローピーク温度が上がるため、より高温時のパッケージ反りの抑制が必要である。WLP はより広範囲の温度においてパッケージ反りは小さい。しかし端子数の増加により、チップ周辺のパッケージ下面にボール搭載に必要な周辺エリアが必要となる。このため、この部分のチップ、モールド樹脂および基板の CTE の差がリフロー時の反りの原因となる。高温時のパッケージ反りは、CTE のバランスを考慮したモールド樹脂と基板の適切な選択およびパッケージ反りへの影響の小さいボールレイアウト設計により抑制できる。

(端子ピッチ毎の高温時のパッケージ反り基準は、現在標準化委員会で検討されており、そのロードマップは次版の ITRS に記載の予定である。)

ソケット

ソケットは、ハイエンドマイクロプロセッサのように部品を電気的、機械的に脱着可能にするために使われ、これにより付加価値が生じる。主な脱着パッケージは PGA と LGA である。ピン数が増加すると、ピンピッチは小さくなる。1.27mm ピッチ以下では、ピン径が小さくなり、基板の製造、パッケージアセンブリ、テストおよび基板実装時のダメージを受けやすくなる。またピン数の増加により、ピンの位置ズレが発生しやすくなる。そこで多ピンパッケージに対しては、適当なソケットにより接続する LGA 技術が使われる。よりファインピッチでは LGA ソケット接続でもダメージを受ける可能性はあるが、ソケット筐体により防止できる。LGA パッケージのランドピッチは、BGA のボールピッチとほぼ同じである。ソケットの狭ピッチ化には、金属スプリング接触や弾性体(エラストマ)への内蔵ワイヤなど、さまざまな方法がある。接触位置ズレや接触加重を最小限にするために、LGA のコプラナリティも最小限にしなければならない。材料や設計の最適化と同様に、多ピン化に伴う基板の多層化は必要なコプラナリティ達成に有効である。

内蔵および集積受動部品

集積受動部品は、多くのディスクリート部品の替わりとして、ひとつの基板上のいくつかの R、L、および、または C の素子で構成される。それには、パッシブアレイと呼ばれる抵抗またはキャパシタまたはインダクタの同じ素子の配列や、パッシブネットワークと呼ばれる R と C、または L と C、または R と L と C のまとまったまたは分散されたインターコネクトネットワークがある。集積受動部品は両方をいう。集積受動部品の価格は、相当するすべてのディスクリート部品の合計より高くなるであろう。しかし、ディスクリート部品の使用に比べて、マザーボードや SiP に使う部品数や占有面積を減らすことができ、製品の小型化に貢献する。集積受動部品は、サイズや特性の要求がある場合のみで使われるであろう。集積受動部品では実装基板や SiP のビアが不要で、接続長さが短い。このことは特性改善には重要な要素であるが、市場への普及には時間がかかるであろう。

受動部品はパッケージ基板や IC チップ、またウェーハ表面に埋め込まれ、基板表面からは無くなるため、製品の小型化が可能になる。内蔵部品は、製品寿命を通して安定した特性を持っていなければならない。IC 内の内蔵レジスタ値やキャパシタ容量の許容誤差は通常 5%以内である。新たな一部のアナログ回路では 1%以内である。それらのウェーハ表面上の部品は能動回路に近接して配置され、寄生電流を最小化し、トリミングが可能となる。必要とするシステムに応じて、コストと特性間で設計のトレードオフが行われなければならない。

要求される性能指数	
レジスタ材料	キャパシタ材料
Range: 10 Ω to 100K Ω	Dielectric Constant > 1000
TCR: 1000 ppm hot/cold	Thickness: ~10 Microns
CV: 5%	Breakdown Voltage > 100V
85RH/85C < 2% Drift	Ins. Resistance > 10 ¹¹ Ω
Therm. Cycle < 2% Drift	Dissipation Factor: < 3%
Solder Dips < 2% Drift	Therm. Coeff. Cap: X7R Spec.

内蔵キャパシタは高密度、高性能システム実現に必要な重要な解決策である。それによる高密度化、はんだ接続の削減による高信頼性化、また短い信号経路と低インダクタンスによる高速度化が可能となる。内蔵キャパシタは、2GHz 以上の高密度回路に要求されるであろう。

内蔵レジスタの形成は、フォトリソ、スクリーン印刷およびインクジェット印刷で行われる。これらの技術には、抵抗値誤差や安定性の確保に限界がある。さらに、接着強度、導電接続信頼性、レーザートリミングの可否やコストについては、求められる特性、信頼性やコストに応じて設定されなければならない。

内蔵受動部品の材料と製造プロセスは、有機基板の製造プロセスに適合していなければならない。それはプロセスの再現性や長期間の信頼性に影響するであろう。

パッケージ基板

パッケージ基板は、パッケージを構成する最も高価な部品で、パッケージ特性をも左右する。パッケージ基板技術は、ロードマップの予測値に対応する様、多くの項目で進展が必要である。市場要求に適合するために必要なパッケージ基板仕様を Table 98 に示す。

Table 98a パッケージ基板の物理特性仕様(短期)

Year of Production		2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)		80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)		90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)		32	28	25	22	20	18	16	14	13
Dielectric Constant (at 1 GHz)										
State of the Art	Rigid Structure	3.1	3.1	3	3	2.7	2.7	2.7	2.7	2.7
	Buildup Structure	2.8	2.8	2.8	2.8	2.5	2.5	2.5	2.5	2.5
	Tape Structure	2.5	2.5	2.2	2.2	2.2	2.2	2.2	2.2	2.2
	Ceramics Structure/Low Dielectric Material	4	4	4	4	3	3	3	3	3
	Ceramics Structure/High Dielectric Material	20	100	100	100	100	100	100	100	100
Dielectric Loss (at 1 GHz)										
State of the Art	Rigid Structure	0.011	0.01	0.01	0.01	0.006	0.006	0.006	0.006	0.006
	Buildup	0.003	0.002	0.002	0.002	0.002	0.002	0.002	0.002	0.002
	Tape Structure	0.0005	0.0005	0.0002	0.0001	0.0001	0.0001	0.0001	0.0001	0.0001
	Ceramics Structure	0.005	0.005	0.0005	0.005	0.005	0.005	0.005	0.005	0.005
Water Absorption at 23°C/24hrs Dipped (Unit: %)										
State of the Art	Rigid Structure	0.05	0.04	0.04	0.04	0.04	0.04	0.04	0.04	0.04
	Buildup with Reinforcement Material	0.05	0.04	0.04	0.04	0.04	0.04	0.04	0.04	0.04
	Buildup without Reinforcement Material	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
	Tape Structure	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Young's Modulus (Unit: Gpa)										
State of the Art	Rigid Structure	45	45	45	45	45	45	45	45	45
	Buildup with Reinforcement Material	30	30	35	35	35	35	35	35	35
	Buildup without Reinforcement Material	6	6	6	6	6	6	6	6	6
	Tape Structure	3	3	3	3	3	3	3	3	3
	Ceramics Structure	100-300	50-400	50-400	50-400	50-400	50-400	50-400	50-400	50-400
Peel Strength (Unit: kN/m)										
State of the Art	Rigid Structure	1.6	1.6	1.6	1.6	1.6	1.6	1.6	1.6	1.6
	Buildup Structure Buildup Layer	1.6	1.6	1.6	1.6	1.6	1.6	1.6	1.6	1.6
	Tape Structure	1.4	1.4	1.4	1.4	1.4	1.4	1.4	1.4	1.4

製造可能な解決策が存在し、かつ最適化されている

製造可能な解決策が知られている

暫定的な解決策が知られている

製造可能な解決策が知られていない

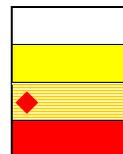


Table 98b パッケージ基板の物理特性仕様(長期)

Year of Production		2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)		28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)		28	25	22	20	18	16	14
MPU Physical Gate Length (nm)		11	10	9	8	7	6	6
Dielectric Constant (at 1 GHz)								
State of the Art	Rigid Structure	2.7	2.7	2.7	2.7	2.7	2.7	2.7
	Buildup Structure	2.5	2.5	2.5	2.5	2.5	2.5	2.5
	Tape Structure	2.2	2.2	2.2	2.2	2.2	2.2	2.2
	Ceramics Structure/Low Dielectric Material	3	3	3	3	3	3	3
	Ceramics Structure/High Dielectric Material	100	100	100	100	100	100	100
Dielectric Loss (at 1 GHz)								
State of the Art	Rigid Structure	0.006	0.006	0.006	0.006	0.006	0.006	0.006
	Buildup	0.002	0.002	0.002	0.002	0.002	0.002	0.002
	Tape Structure	0.0001	0.0001	0.0001	0.0001	0.0001	0.0001	0.0001
	Ceramics Structure	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Water Absorption at 23°C/24hrs Dipped (Unit: %)								
State of the Art	Rigid Structure	0.04	0.04	0.04	0.04	0.04	0.04	0.04
	Buildup with Reinforcement Material	0.04	0.04	0.04	0.04	0.04	0.04	0.04
	Buildup without Reinforcement Material	0.1	0.1	0.1	0.1	0.1	0.1	0.1
	Tape Structure	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Young's Modulus (Unit: Gpa)								
State of the Art	Rigid Structure	45	45	45	45	45	45	45
	Buildup with Reinforcement Material	35	35	35	35	35	35	35
	Buildup without Reinforcement Material	6	6	6	6	6	6	6
	Tape Structure	3	3	3	3	3	3	3
	Ceramics Structure	50-400	50-400	50-400	50-400	50-400	50-400	50-400
Peel Strength (Unit: kN/m)								
State of the Art	Rigid Structure	1.6	1.6	1.6	1.6	1.6	1.6	1.6
	Buildup Structure Buildup Layer	1.6	1.6	1.6	1.6	1.6	1.6	1.6
	Tape Structure	1.4	1.4	1.4	1.4	1.4	1.4	1.4

製造可能な解決策が存在し、かつ最適化されている

製造可能な解決策が知られている

暫定的な解決策が知られている

製造可能な解決策が知られていない

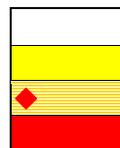


Table 98c Package Substrate Design Parameters—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>Substrate cross-section core thickness (μm)</i>									
Handhelds	50	40	40	35	35	30	30	30	25
High density interconnect substrates	100	60	50	40	40	35	35	30	30
Build-up substrates	400	200	200	150	130	100	90	80	80
Coreless	50	50	40	40	35	35	30	30	30
<i>Blind via diameter (μm)</i>									
Handhelds	60	50	50	40	40	35	35	30	30
High density interconnect substrates	60	50	50	40	40	35	35	30	30
Build-up substrates	50	40	40	35	35	30	30	25	25
Coreless	70	60	60	50	50	40	40	35	35
<i>Blind via stacks</i>									
High density interconnect substrates	2	2	3	3	3	3	4	4	4
Build-up substrates	4	5	5	6	6	6	6	6	6
Coreless	7	9	10	11	11	11	12	12	13
<i>PTH diameter (μm)</i>									
	100	80	75	70	60	50	50	45	45
<i>PTH land (μm)</i>									
	230	180	180	160	140	120	110	105	105
<i>Bump pitch (μm)</i>									
High density interconnect substrates	230	200	190	180	170	160	150	140	140
Build-up substrates	180	150	130	120	110	100	100	90	90
Coreless	180	150	130	120	110	100	100	90	90
<i>Lines/space width (μm)</i>									
Rigid Structure	45	40	35	30	30	25	25	22	22
Build-up substrates (core layer)	45	40	35	30	30	25	25	22	22
Build-up substrate (build-up layer)	18	15	15	10	10	10	9	8	8
Coreless	25	20	20	15	15	10	9	8	8
<i>Lines/space width tolerance (%)</i>									
	10	7	7	7	7	7	7	7	6
<i>Solder mask registration ±(μm)</i>									
Handhelds	25	25	20	15	15	15	12	12	11
High density interconnect substrates	40	25	20	15	15	15	12	12	11
Build-up substrates	40	25	25	20	20	15	12	12	11

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

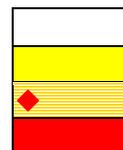


Table 98d Package Substrate Design Parameters—Long-term Years

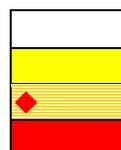
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Substrate cross-section core thickness (μm)</i>							
Handhelds	25	25	25	25	25	25	25
High density interconnect substrates	30	30	30	30	30	30	30
Build-up substrates	70	70	70	70	70	70	70
Coreless	30	30	30	30	30	30	30
<i>Blind via diameter (μm)</i>							
Handhelds	25	25	25	25	25	25	25
High density interconnect substrates	25	25	25	25	25	25	25
Build-up substrates	20	20	20	20	20	20	20
Coreless	30	30	30	30	30	30	30
<i>Blind via stacks</i>							
High density interconnect substrates	4	4	4	4	4	4	4
Build-up substrates	6	6	6	6	6	6	6
Coreless	14	14	14	14	14	14	14
<i>PTH diameter (μm)</i>							
	40	40	40	40	40	40	40
<i>PTH land (μm)</i>							
	100	100	100	100	100	100	100
<i>Bump pitch (μm)</i>							
High density interconnect substrates	130	130	130	130	130	130	130
Build-up substrates	80	80	80	80	70	70	70
Coreless	80	80	80	80	70	70	70
<i>Lines/space width (μm)</i>							
Rigid Structure	20	20	20	20	20	20	20
Build-up substrates (core layer)	20	20	20	20	20	20	20
Build-up substrate (build-up layer)	8	8	8	8	8	8	8
Coreless	8	8	8	8	8	8	8
<i>Lines/space width tolerance (%)</i>							
	5	5	5	5	5	5	5
<i>Solder mask registration ±(μm)</i>							
Handhelds	10	10	10	10	10	10	10
High density interconnect substrates	10	10	10	10	10	10	10
Build-up substrates	10	10	10	10	10	10	10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



ビルドアップ基板の絶縁材としてフィルムタイプの樹脂が使われている。フィラー入りフィルムの補強材として主として不織アラミドが徐々に使われ始めている。配線の微細化、低熱膨張率化、電気特性の改善などに対応するため、基板材料の改善が進んでいる。コア層の材料動向は、補強材としてのアラミドを使ったリジッド基板材の動向に従っている。LCP や熱可塑性樹脂も使われ始めている。高周波製品に対しては、PTFE やシアネートも使われている。コアレス基板も現在開発中であり、まもなく量産化されるであろう。

上記の材料改善は、鉛フリー実装温度への対応や、遅れているハロゲンフリー化などの環境対応と合わせて進められている。

高速電送特性の実現には、低誘電率かつ低損失材料が必要である。材料の改良で、3.4以下のkを達成できる。kを2.8まで下げられる材料もあるが、高価である。kが2.5以下の材料はコストに対する有効な解決策は現在ない。

また Low-k 実現のためには、Low-k 樹脂組成の開発に加えて、E-ガラスをベースとしない新しい補強材の開発が近い将来に必要である。オレフィン系の高耐熱、熱可塑性樹脂が最適と考えられる。もうひとつのアプローチは、ポーラス構造の開発である。

レジンハロゲンフリー化により、しばしば誘電特性が劣化する。したがって、低誘電率でかつ低損失の新しいハロゲンフリー材料の開発努力が望まれる。

配線やPTHの銅厚も薄くなり、Z方向の熱膨張の影響を受けやすくなっている。したがって、Z方向のCTEは、コア材料で20ppm/、ビルドアップ絶縁材料で10ppm/まで下げなければならない。代表的な方法は樹脂にフィラーを入れる方法であるが、この方法ではしばしば他の材料特性や加工性が低下する。

銅配線の接着強度は、主に樹脂への接着面粗さなどにより物理的に確保される。代表的な粗さ $R_z=5\mu\text{m}$ は銅基材厚さに近づいており、導体表面に重大な影響を与えるようになっている。よって、なめらかな銅材を絶縁材へ化学的に接着する方法の早急な開発が必要である。銅の接着力は、配線やランドが絶縁材やソルダーレジストで被膜されるまでのプロセスに十分耐えられる強度が必要である。

ビルドアップ基板、コアレス基板

過去、ハイパフォーマンスのフリップチップパッケージは、制限の無いビア構造が可能なセラミック基板技術によって展開されてきた。スルービアは、ボード側から対応するチップのパッドへの電源の直接接続を可能にし、また、可変の深さを持つビアにより、不必要に配線経路を妨げることなく、最大限の引き回しが可能であった。

有機基板の出現は、この設計コンセプトをプリント配線板技術に基づくスルーホール技術へと一変させた。ビルドアップ技術の発明によって、コア上の再配線形成が可能になった。ビルドアップ層は微細配線技術とブラインドビア技術を用いるため、コアの穴径は小さくなるが、本質的にはプリント配線板技術を引き続き使う。

基板発展の次の段階は、ブラインドビアと同様な、例えば $5\mu\text{m}$ のサイズへ縮小したビア径を持つ高密度なコアの開発であった。最初の応用は、パッケージ応力を緩和するため、合金のコアを持つテフロンベースの誘電材を基本にしたものだった。高密度のコア技術の強みは、配線幅と配線間隔が $25\mu\text{m}$ 以下に微細となった場合に実現される。薄いフォトレジスト($<15\mu\text{m}$)や高接着力で薄い銅箔は、そのレベルの分解能を達成するために必須である。

並行して、コアレス基板技術が開発されてきた。共通する取り組みの一つは、誘電材料のシートにビアを形成することと、積層の土台となる部分を形成するためにビアを金属ペーストで埋めることである。二層目の積層部分は土台となる部分の両面に銅箔を薄板状に貼り合わせることによって形成される。続いて行う回路形成によって、この積層部分は完成する。適切に選択した積層部分を薄板状に貼り合わせるによって、あとは外装処理を行うだけの基板が形成される。このプロセスの他の方法としては、貼り合わせによって合成積層板へ転写される単層の回路を形成するキャリアシート上で、積層部分を形成するものである。どちらのケースでも、誘電材料は、殆ど、あるいは全く補強されていない。プロセス中の寸法安定性管理は必須であろう。固有の設計とプロセスを伴った、異なるコアレス技術が現れてきたことにより、供給力の拡大、安定品質の確保、また、コスト削減を推進するために、大規模な市場開発が必要とされる。

・リジッド基板技術

リジッド基板技術は、ハンドヘルドとハイパフォーマンスという応用分野で区分される。ハンドヘルドは、更に薄い基板開発の推進力となっている。総厚は、大量生産製品において、120 μm にまで薄くなってきている。次の段階は、I/O や配線のファンアウトの点でウェーハレベルパッケージングに移行しない製品での、液晶ポリマのようなフィルムタイプ材料の適用となる。

ワイヤボンドを適用するハイパフォーマンスのパッケージでは、補強されない樹脂の代わりにプリプレグを使用したビルドアップ技術による基板に、ブラインドビアを使用する高密度配線基板を適用し始めている。より微細な加工を達成するためには、合成されたプリプレグの総厚は40 μm 以下に削減しなければならず、ガラスファイバの密度をより均一にしたガラスクロスやガラスマットの開発が必要である。それによって、薄板状の貼り合わせ後のワイヤボンディングに適合したフィルム状樹脂が開発されなければならない。概して、後者の材料特性が実現しないと、配線幅と間隔の微細加工の改善が難しい。

・システムインパッケージ(SiP) – システムレベルインテグレーション

システムインパッケージ(SiP)の概念は、機能増加、コスト低減、小型化が主な推進力となっている民生機器によって、長年推進されてきた。多くのケースで、SiP はシステムオンチップ(SoC)よりも高いフレキシビリティ、市場展開までの時間短縮、より低い開発コストを提供する。

ITRS-TWG では SiP を以下のように定義している。

“システムインパッケージは、異なる機能を持つ複数の能動電子部品と、オプションとして受動素子やMEMS やオプト部品のような他のデバイスを加えたあらゆる組み合わせにより、システムやサブシステムを構成する複数の機能として備え、多くは標準のシングルパッケージに組み立てられたものとして特徴づけられる。”

SiP は一般的に、アナログとデジタル回路や非電子部品を含む。この定義は、異なる基板や内部接続技術、集積受動素子やディスクリート受動素子の使用、そしてサイズと性能において多くの種類があることに対応するあらゆる解決策を挙げている。SiP は、集積受動素子と RF ワイヤレスシステム(RF、ベースバンド、SRAM+Flash メモリ)を構成する、異なるデバイス技術を取り入れることができる。

SiP の長期ビジョンは、ワイヤレス、光学的、流動性、生物学的な要素とシールドや熱管理を持つインターフェイスとの異質のもの最適な集積化である。新たな集積技術は、センシング、信号データ処理、ワイヤレスと光学的な通信、電源変換や蓄電のためのデバイスを一つのパッケージに集積可能とすることである。

Known good die と Known good package の問題を解決する戦略と技術は、SiP の成功に必須である。

・SiP のタイプと分類

Figure 92 に示すように、SiP は幾つかの分類に定義される。SiP は、セラミック、リードフレーム、有機基板、シリコン、あるいはテープ基板を使用し製造される。受動部品は、基板構造の一部として内蔵されるか、または基板表面にはんだ付けかエポキシ樹脂で取り付けられる。パッケージの積層も SiP として考えられる。

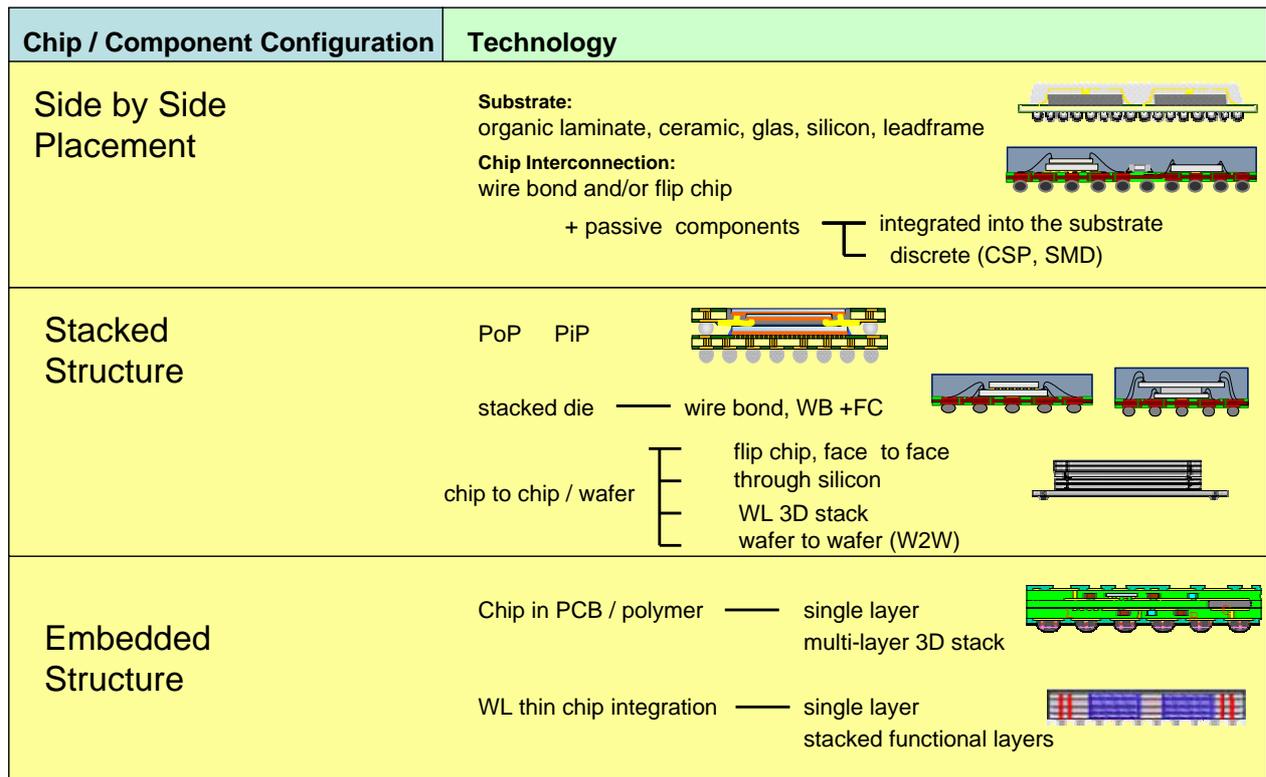


Figure 92 SiP のタイプと分類

平面構造チップ搭載(チップ水平置きパッケージ)

平面構造のパッケージは長年使用されてきた。この SiP 構成は幅広い基板を使用して高い集積密度を提供する (Figure 92 参照)。ワイヤボンディング技術のような、よく確立した接続技術の適用が代表的である。平面構造の利点は、放熱性の改善、異なる接続技術(ワイヤボンディング、フリップチップ)の複合化、異なる半導体デバイスタイプ(例えば、Si、 /)及び SMD 部品の集積である。今日、“平面構造”は、一つの SiP において、積層構造との組合せでよく使用される。

・積層構造

積層構造は、3次元に実装密度を上げている。これは、パッケージ積層(PoP, PiP)、チップ積層、及びチップ to チップ、チップ to ウェーハ、もしくはウェーハ積層のような異なる階層で形成される。積層法の利点は、実装ボード上の占有面積の縮小やデバイス間の短距離の接続である。

・パッケージオンパッケージ(PoP)、パッケージインパッケージ(PiP)

これは、リードフレームや有機基板、もしくはフレックス基板を使用してパッケージしたデバイスを積層したものを含む。このタイプの SiP の主な利点は、積層する前にそれぞれをテストすることが可能であり、それによって、“Known good die”問題は回避される。Figure 93 は、異なる構造の幾つかの例を示す。

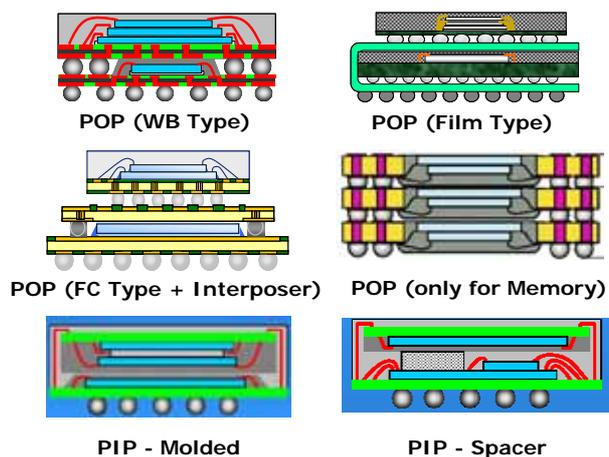


Figure 93 パッケージ積層技術

チップ積層パッケージ

今日、携帯製品において、チップ積層パッケージは一般的なものである。これらは、標準チップとワイヤボンディング技術の特長を持ち、既存の製造インフラや設備を適用する。チップ積層パッケージは、メモリのサブシステムに対しては、USBメモリやCF、SD、XDメモリにおいて大量生産されている。問題となる要素の一つは、パッケージ高さの低減である。現在の市場要求は、実装後のパッケージ高さを1.2mm以下で、8チップまでをチップ積層したものである。これは、より薄い基板、低ループワイヤボンド、低いモールド高さ、及び薄いチップを必要とする。各々のパッケージでより多くのチップが使われる場合、各部材の厚さはより問題となる。

薄チップの要求を満足するための適用技術や必要とする開発については、ウェーハ薄型化の項で述べる。

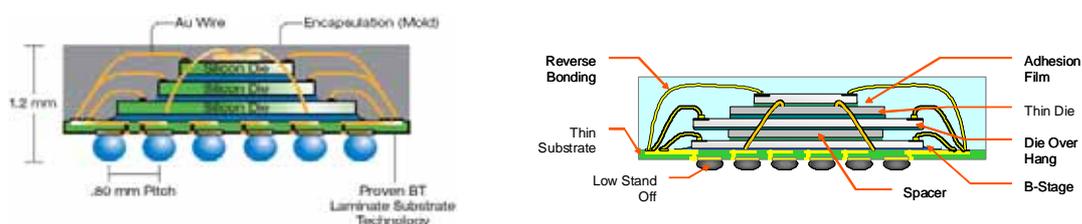


Figure 94 チップ積層パッケージの例

チップ to チップ、チップ to ウェハ 構造

高密度 I/O のデバイスに対しては、基板は多くの接続パッド数と配線引き回しが困難なため、チップ積層が常に適当とは限らない。デバイス当たりのピン数は増加するため、接続の複雑さは拡大され、歩留は影響を受けるだろう。この場合、チップ積層パッケージは、受動部品を取り込むには制約を持つ。フリップチップ技術、face to face や、例えば inter-chip via ---ICV のようなシリコン貫通によって、高密度 I/O の複数デバイスを取り扱う可能性が出る。

3次元集積を主要な推進力は、電子システムの面積/容積の最小化のようなサイズ削減である。平面構造、パッケージ積層、及びチップ積層は、結果として接続距離が相対的に長くなる。これは、大きなチップでの SoC のケースと同じである。距離の長い接続は、結果として高速動作を劣化させ、消費電力を増加させる。3次元集積は、この“接続のボトルネック”を解決する一つの有望な方策である。

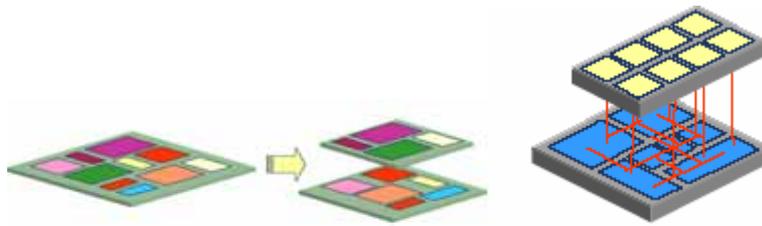


Figure 95 3次元集積はスペース削減と短距離の直接接続配線を実現する

異なるマイクロエレクトロニクス技術によってデバイスの“シームレス”な複合化を行う、ウェーハレベルでの異種デバイスの集積は、3次元集積に対する中長期のチャレンジである。チップ上の機能“タイル”が3次元で積層されればチップ面積は削減され、結果として短い接続配線を得る。

・内蔵構造

基板の内層、あるいは基板表層上に電子デバイスを内蔵することは、3次元集積のもう一つの例である。このケースにおいては、能動素子と受動素子は基板自身(基板レベル)の製造プロセス中にシステムに組み込まれる、あるいはキャリア(例えば、Si, glass, polymer)上でのウェーハレベルプロセス中に薄いデバイスとして集積される。小型化に加えて、高Q値の受動素子の集積は、電気特性と信頼性での特長を引き出す。

能動素子や受動素子の内蔵技術の推進力となっているものは、小型化とパッケージ軽量化である。短い配線長はより高性能となる。工程数の削減とはんだ接続数の削減によって、低コストで信頼性を改善する可能性がある。物理的な設計や製造プロセス、信頼性という非常に本質的なチャレンジに加えて、内蔵構造技術に対する主要なチャレンジは、テスト、歩留、及び手直しに対する戦略と解決策である。薄いパッケージは、小サイズ、軽量、及び性能向上を同時に達成する。

・SiP に対する技術

SiPの実現は、異なる部品や機能、小型化、機能性、信頼性、コストなどの統合を必要とする。主要な課題は、多様な技術と材料を使用した異なる部品を集積する、新たな技術への取組みである。システムアプローチは、共同設計と製造の集積を必要とし、相互の技術的な進め方と解決策を合わせる必要がある。Table 99にて、SiPに対する現在と将来の要求、部品、プロセスについて概要を示す。

Table 99 パッケージレベルのシステムインテグレーション

				2005	2006	2008	2010	2012	2014
				<i>High Performance/Low Cost, Handheld</i>					
<i>Passive devices</i>	<i>Capacitor</i>	o for YES		o/o	o/o	o/o	o/o	o/o	o/o
	<i>Resistor</i>			o/-	o/o	o/o	o/o	o/o	o/o
	<i>Inductor</i>			-/o	o/o	o/o	o/o	o/o	o/o
<i>Active devices</i>	<i>Optical</i>	o for YES		o/o	o/o	o/o	o/o	o/o	o/o
	<i>CCD/CMOS Sensor</i>			-/o	-/o	-/o	-/o	-/o	-/o
	<i>MEMS</i>			-/-	-/-	-/o	-/o	-/o	-/o
<i>Package Inner Structure</i>	<i>IC to IC Connection</i>	o for Applicable	Wire	-/o	-/o	-/o	-/o	-/o	-/o
			Flip Chip	-/o	o/o	o/o	o/o	o/o	o/o
			Via Hole	-/-	-/o	-/o	-/o	-/o	-/o
	<i>IC to Substrate Interconnection</i>	o for Applicable	Wire	o/o	o/o	o/o	o/o	o/o	o/o
			Flip Chip	o/o	o/o	o/o	o/o	o/o	o/o
			Via Hole	-/-	-/o	-/o	-/o	-/o	-/o
<i>Embedded Components</i>	<i>IC</i>	o for Applicable	IC	o/o	-/-	/o	/o	o/o	o/o
	<i>Passives</i>		Capacitor	-/-	o/o	o/o	o/o	o/o	o/o
			Resistor	-/-	o/o	o/o	o/o	o/o	o/o
			Inductor	-/-	-/o	o/o	o/o	o/o	o/o
<i>Substrate Material</i>	<i>Organic</i>	o for Applicable	Rigid	o/o	o/o	o/o	o/o	o/o	o/o
			Flexible	-/o	-/o	-/o	-/o	-/o	-/o
	<i>Inorganic</i>		Ceramic	o/o	o/o	o/o	o/o	o/o	o/o
			Silicon	-/-	o/o	o/o	o/o	o/o	o/o

今日、ウェーハ、基板、ボードレベルでの異なる技術が、多様な製品に対してシステムの小型化を実現することに利用されている。従来と新しい技術は、基板とウェーハレベルの両方で SiP 製品に対して共に適用される。Table 100 は、基板とウェーハレベルでの SiP に対して主要なプロセスの概要を示す。

Table 100 SiP に使用されるプロセス

Technologies and Processes for SiP	Substrate Level	Wafer Level
Pre-processing of wafers		
Thinning, dicing	ca.50 μm	<20 μm
Wafer bumping	Low cost, pitch> 100 μm	Fine pitch and bumpless
Die attach		
Epoxy	■	
Tape	■	
Soldering		■
Polymer		■
Interconnects		
Wire bonding	Low loop bonding	/
Flip chip bump bonding	Mixed WB /FC	Size/pitch (>50 μm)
Face to face	/	Fine pitch (<10 μm) Thin interconnects
Bumpless/Seamless	Electroless	Thin film interconnects, fusion
Underfilling		
Via formation	Photo/drilling, laser	Through silicon etching, photo
Via metallization	Plating, electroless	Electroplating, CVD
Wiring	Substrate wiring (see chapter substrates)	Thin film redistribution
Encapsulation	Molding	Molding
		Wafer/wafer (glas) bonding

Legend: ■ most preferred used

ワイヤボンディング、フリップチップボンディング、ダイアタッチなどのような従来の接続技術が、SiP 製品には使用される。利点は、既存設備を使用できることと、必要とするプロセス変更はほんの僅かであること。ここでの一つの主要課題は、製品に対する組立や設計ルール of 正確なトレードオフを見つけることである。例えば、チップ積層による解決策においては、チップの厚さ、オーバーハング寸法、ワイヤボンドパラメータなどの間のトレードオフが決められなければならない。ダイアタッチ技術は SiP の要求に合うように、改善が進められている。テープのダイアタッチ材は2、3年前は無かったが、今では利用され、さらに改善されている。ダイアタッチ材とプロセスは、更なる小型化、歩留改善、コスト削減に対して改善されてきている。

モールドイングは、Cu/Low-k 技術への移行と薄パッケージの必要性のため、課題になっている。モールドプロセスは、チップ積層パッケージにおいては、最上層のチップ上の最も低いモールド厚さ (<100 μm) に調整されなければならない。

ウェーハレベル SiP、及び3次元集積技術

一般に、3次元集積は、ウェーハ薄型化、適正化された接続、及びチップ内ビアによって完全に処理されたデバイスウェーハの垂直方向(シリコン貫通)の金属形成の上に成り立っている。ウェーハ積層のアプローチに対しては、デバイスウェーハ上のプロセスステップは同一でなければならない。これは、同種(例えば、メモリ)デバイスの場合

合は 3 次元集積を達成できるが、異なるデバイスタイプを同一ステップの処理で行う場合は一般に、シリコンの歩留損失や製造コストの増加をもたらす。

3 次元 SiP における自由で選択可能な相互チップピアを用いた垂直なシステムインテグレーション技術は、高性能で最高の小型化を可能にする。ウェーハ製造プロセスを広く採用した製造技術は、比較的都合のよいコスト構造となる。一方、ウェーハ歩留とチップ面積のロス、及びテストは、ウェーハ積層のコンセプトにおいて、主要な課題となる。3 次元複数デバイス積層の形成プロセスの例を以下に示す。このアプローチ (Fa に unhofer IZM によって開発) は、固相液相相互拡散技術と相互ピア接続技術を組み合わせる。Figure 96 は、この垂直集積した回路積層プロセスのコンセプトを示す。

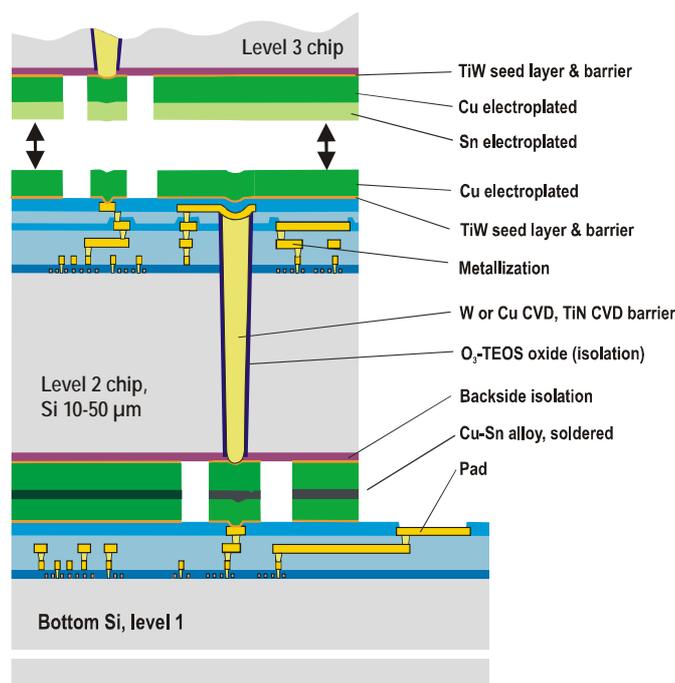


Figure 96 ICV-SLID 技術: 複数デバイスの積層形成概略図

内蔵デバイスに対する技術

表面の使用面積を節約するためには、表面から能動デバイスや受動デバイスを取り除き、それらを基板内に内蔵することで達成される。簡単なデバイスを内蔵することによって、表面はマイクロプロセッサやカスタム ASIC のような高付加価値のデバイスに使うことができる。基板の内層、もしくは表層に能動、受動デバイスを内蔵する多くのアプローチは特定用途(航空、軍事)に対して開発中である。一つの例としては、パワーデバイスの集積である。

基板の内層へのデバイス集積の主な特徴は、基板表面上の面積の損失なしに有機基板やボードのビルドアップ層へ薄いチップを内蔵することである。内蔵した能動デバイスは、集積した受動部品と組み合わせることができる。例えば、薄板状貼り合わせ、ピア形成、めっきなどのプロセスや、先端的な基板製造からの設備が使用されるだろう。主要な構造を Figure97 に示す。

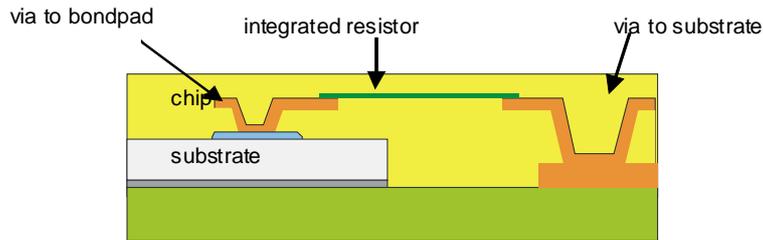


Figure 97 能動デバイスを内蔵、受動デバイスを集積した、チップインポリマ(CiP-Fraunhofer)の主要な構造

SiP の課題

システムインパッケージの実用化は、携帯電話や PDA、そして他の高密度の携帯用電子機器といった小型化を必要とする機器において既に一般的になっている。一方、SiP 提案の多様化は、単純な積層パッケージからより複雑な構造へ拡大している。物理的な設計への課題、KGD、テスト戦略、ウェーハの薄型化、製造工程と複雑な基板の歩留などは、特に 3 次元集積化に向けて新しい可能性の提案を示すことになる。これらの SiP の課題は従来の大規模システムの集積化技術に関連している問題を多く含んでいるが、さらに多くの新しい課題をも解決していかなければならない。

- デジタルと RF を混載したチップやパッケージおよびシステム設計の統合ツール。
- 集積化レベルの切り替え時のリスク、コストと商品のサイクル期間
- システムとして最適な設計とするために、材料データベースと同様に、能動素子や受動素子、パッケージ、基板といった SiP 技術を進展するための新しい設計を可能とする設計手法

MEMS やナノテクノロジーおよび他の機能を取り入れた新しい可能性が提供されなければならない。駆動能力の縮小、信号振幅の縮小、ESD 保護素子の縮小を伴った“パッケージ内部”でのチップ間の接続は、業界標準としての I/O 規格を必要とし、さらにスイッチングでの電力消費量を抑え(より低いキャパシタンスなど)、性能を高めるものとなる。

熱の管理

テスト性

パッケージの集積化として、組立工程後のテストおよび信頼性保証に関して新しい取り組みを考慮した場合、それはより高いレベルへの挑戦となる。KGD 手法を用いたチップを保証するプロセスは不可欠なものである。BIST あるいは JTAG 試験では機能性を保証するのには十分ではないかもしれず、全ての機能試験がロジックとキャッシュメモリを混載した MCM の場合に要求されることとなるだろう。

光信号の伝送

SiP 中での光信号の伝送を含む集積化は、パッケージと組立工程の中でより多くのテスト項目を必要とする。光伝送の性能は、コア層とクラッド層の両方を含む光学的材料などの物性、構造やプロセスにも依存する。導波路壁の粗さは光線路の減衰率を低下させるので、厳密なプロセスパラメータの設定が必要である。

テストとリワーク

リペア技術の適用は困難か不可能となるかもしれない。より良い冗長性/テストおよびリペア技術が最終の組立工程での不良率/コストの目標を達成するために要求される。

信頼性

チップ積層パッケージのストレスおよび熱特性に関して分析し、明らかにすることが必要となる。非常に薄いチップや薄い基板および低誘電率材料やフラッシュを含む様々なプロセスを用いたチップでは、製品の寿命試験やシステムの市場環境で問題が見つかるのではなく、開発の段階で問題を予測することができるような信頼性モデリングが要求される。加速係数についての理解もまた重要となり、様々な接続技術と接続後の安定性、そして新しいプロセスのため信頼性要求事項の定義も必要となる。

システムインパッケージの展望

中長期的には、先例の無い機能や性能を持つ集積化されたシステムを提供するため、微小だが規模の大きなシステムに組み込まれる、独自のナノスケール現象を開発する技術が期待される。しかしながら、これらを実現するためには、多くの課題を検討する必要がある。例えば、分子レベルの構造とデバイスを結合して、より大きなプラットフォームやデバイスにすること、新しい種類の機能性材料を創造したり、集積化されたシステムを製造するために、「トップダウン」と「ボトムアップ」の組立を結合すること、異なる部品の電気的インターフェイスを、中長期的には、一つの構成物の中の生物的な部品と非生物的な部品の電気的インターフェイスを制御すること、液体の輸送や光学的挙動の制御を含めた、ナノスケール、ミクロスケール、マクロスケールを横断した機械的な力を制御することが必要となろう。

Figure xx は SiP として可能性のある構造を示している。【訳者注: Figure xx は記載されていない】

Table 101a システムインパッケージの要求(短期)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	85	76	67	60	54	48	42	38	34
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Low cost/handheld	600	600	700	800	800	800	800	800	800
High performance	1000	1200	1350	1500	1750	2000	2000	2000	2000
Number of terminals—maximum RF	200								
Low cost/handheld (# die / stack)	6	6	7	8	9	10	11	12	13
High performance (# die / stack)	2	2	3	3	3	4	4	4	5
Low cost/handheld (# die / SiP)	6	8	8	8	9	11	12	13	14
High performance (# die / SiP)	4	5	6	6	6	7	7	7	8
Minimum component size (microns)	600x300	600x300	400x200	400x200	400x200	200x100	200x100	200x100	200x100
Maximum reflow temperature (°C)	260								

Table 101b システムインパッケージの要求(長期)

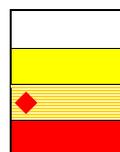
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	30	27	24	21	19	17	15
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Low cost/handheld	800						
High performance	2000						
Number of terminals—maximum RF	200						
Low cost/handheld (# die / stack)	14	14	15	15	16	16	17
High performance (# die / stack)	5	5	6	6	6	7	7
Low cost/handheld (# die / SiP)	15	15	16	16	17	17	18
High performance (# die / SiP)	8	8	9	9	9	10	10
Minimum component size (microns)	200x100						
Maximum reflow temperature (°C)	260						

量産可能な解決策があり、既に実用化されている

量産可能な解決策がある

現期的な解決策がある

解決策が未だない



ウェーハ薄型化

ウェーハの薄型化は後工程処理の一部である。ウェーハ薄型化プロセスに引き続き、ウェーハダイシング、チップのピックアップ、ワイヤボンディング、樹脂封止など、種々の組立工程で処理される。ウェーハ後工程内での薄いウェーハや薄いチップの取り扱いには、200mm および 300mm のウェーハ後工程でも重要である。

ウェーハ薄型化には 4 つの基本的なプロセスがあり、(a) 機械的な研削、(b) 化学的・機械的な磨き研削 (CMP)、(c) ウェットエッチング及びプラズマエッチング、および (d) ドライな化学的エッチングである。なお、これらのプロセスのために必要となる専用の設備についての記載は、本章のインフラストラクチャの章で述べている。

量産でのウェーハ薄型化製造工程は、実際的には2つ以上の研削方法を組み合わせることになると思われる。典型的には、高い生産性の研削プロセスとしてウェーハ厚さの大部分を研削するための粗い研削工程と、より滑らかな表面を形成し、かつ機械的な研削ダメージを受けた層を除去するための細かい研削工程となる。より良好な表面平坦性と厚さの均一性を達成し、かつ研削欠陥や微小割れを含んでいる層を除去するために、表面をわずかに研削する工程が追加される。今日、200mm/300mmのウェーハにおいて、50 μ mのウェーハ厚さの達成は、厚さばらつき変化(TTV) $\leq 2\mu$ mの範囲で量産が可能となっている。

ウェーハ前工程での処理が全て終了した後に、後工程としてウェーハ薄型化処理に引き継がれる。例えばウェーハへのバンピング工程といった追加の後工程が要求された場合には、ウェーハ薄型化はバンピングの後に処理される。ウェーハ薄型化処理中にデバイス表面を保護するための方法も開発されている。300mmといったより大きなウェーハ径でウェーハ表面にバンパを形成した場合、現状では、バンパ形成がないウェーハと同等レベルの薄さまで加工することは困難である。ウェーハレベルパッケージングの進歩がファンダリプロセスの後の機能や複雑さを増加させたので、薄型化技術はウェーハレベルパッケージングとその装置開発においても必須となっている。

量産でのウェーハ薄型化製造工程は、ウェーハ薄型化、次工程でそのまま流用出来るウェーハテープキャリアやガラスキャリアのようなような、薄いウェーハ/チップのハンドリングシステム、および個片化工程からなる。用テープキャリアやこれらと互換性をもったガラスキャリアを用いた薄いウェーハ/チップを取り扱うシステムといった工程からなっている。単一の薄化されたチップは薄板状になり、相互に接続されるであろう。(3Dパッケージングの節を参照。)

下記の表は、従来のデジタルおよびミックスドシグナル集積回路のシリコンウェーハ厚さのロードマップを表わしている。但し、2007年の初め頃には、10 μ m未満のウェーハを用いるような特別な応用例も出てくると予測される。布地や他のカード状民生機器に組み込まれたRFID回路のように、フレキシブル機器(曲げられる機器)に組み込まれるような場合である。

Table 102a 200mm/300mmのシリコンウェーハ厚さ要求(短期)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM $\frac{1}{2}$ Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
MPU/ASIC Metal 1 (M1) $\frac{1}{2}$ Pitch (nm)(contacted)	85	76	67	60	54	48	42	38	34
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Min. thickness of thinned wafer (general product)	75	70	65	60	55	50	45	40	40
Min. thickness of thinned wafer (For extreme thin package ex. Smart card)*	50	25	20	20	15	15	10	10	10

*配線層と絶縁層を含む

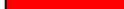
量産可能な解決策があり、既に実用化されている	
量産可能な解決策がある	
限定的な解決策がある	
解決策が未だない	

Table 102b 200mm/300mm のシリコンウェーハ厚さ要求(長期)s

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	30	27	24	21	19	17	15
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Min. thickness of thinned wafer (general product)	40	40	40	40	40	40	40
Min. thickness of thinned wafer (For extreme thin package ex. Smart card)*	10	8	8	8	8	8	8

*配線層と絶縁層を含む

量産可能な解決策があり、既に実用化されている	
量産可能な解決策がある	
限定的な解決策がある	
量産可能が未だない	

専門用語の解説

System in Package (SiP) : システムインパッケージ SiP は、オプションとして MEMS や光学部品のようなデバイスや能動素子も含めて、異なる機能を持った2つ以上の受動素子を一つの標準的なパッケージに搭載し、多くの機能を提供することにより、システムもしくはサブシステムを実現する組合せとして特徴づけられる。

WAFER LEVEL PACKAGING (WLP) : ウェーハレベルパッケージング

ウェーハレベルパッケージング(WLP)は、IC パッケージングおよびインターコネクションが全て、ダイシング前のウェーハ状態で行なわれる技術である。パッケージの要素は全てウェーハの中にある。例えばフリップチップ接続のように、ウェーハ上にチップを搭載し、ダイシング前にウェーハレベルでパッケージングする事もまた、ウェーハレベルパッケージングとして見なされる。

INTEGRATED PASSIVE: 集積受動部品

集積受動部品は、一つの基板上に搭載された、抵抗、コンデンサおよびインダクタを含む受動素子アレイもしくはネットワークであり、一つの受動部品を形成する。

EMBEDDED PASSIVE: 内蔵受動部品

内蔵受動部品は、集積回路の中に組み込まれたり、集積回路の上に絶縁層を追加して形成されたり、ビルドアップポリマ内に埋め込まれたり、あるいはパッケージ基板の中に埋め込まれる受動部品である。

3D PACKAGING : 3次元パッケージ技術

3次元パッケージ技術は、チップ同士の相互接続の実質的な部分がパッケージ基板平面にないパッケージング技術と見なされる。

QFP

四角形の4辺から下方に向けて突き出たリード端子を備えたセラミックあるいはプラスチックのチップキャリア。通常、チップの裏面はリードフレームに接着されており、また電気的な接続はワイヤボンディング工程を用いてチップのデバイス面と接続される。さらにパッケージ全体はモールド工程によって封止される。

QFN

パッケージの4辺の下側に接続リードを備えたセラミックあるいはプラスチックのチップキャリア。通常、チップの裏面はリードフレームに接着されており、また電気的な接続はワイヤボンディング工程を用いてチップの表面側と接続されている。

P-BGA

通常のプリント配線板との接続のために、格子配列のはんだボールを使用しているプラスチックパッケージ。通常、チップの裏面はラミネート基板に接着されている。また電気的な接続は、ワイヤボンディングを用いてチップのデバイス面の電極と接続され、さらにパッケージの上面はモールド工程によって封止される。

T-BGA

テープ BGA。P-BGA と類似しており、基板はポリマテープ上にメタル回路配線層が形成されている。チップへの相互接続は熱圧着ボンディングによって形成される。

FC-BGA

フリップチップ BGA。P-BGA と類似しており、チップと基板との相互接続はフリップチップ接続を用いて形成される。つまり、チップの上面に形成した金属(はんだ)バンプを用いて、チップ表面を下向きにして基板との相互接続を行う。通常、チップと基板との間のスペースにはアンダーフィル材が充填される。

FC-LGA

フリップチップ LGA。FC-BGA と類似しており、パッケージ基板に接続のためのはんだボールがないもの。

クロスカット ITWG 項目

設計 WG

1. 電氣的、熱的、機械的な協調設計
2. チップ・サイズのロードマップ
3. チップまたはパッケージ当りの熱消費量
 - a. 低出力および高出力密度
 - b. ホット・スポット問題
4. 本来のエリア配列設計
5. MEMS、電気、その他の機能との協調設計

ファクトリーインテグレーション WG

チップのトレーサビリティに関するクロスカット

顧客から不良となった電子機器が返品された場合には、不良となった部品を見つけ、不良の根本的な原因を明らかにし、対策を見つけて実行することは非常に重要である。不良は、基板実装や、能動素子や受動素子のパッケージングや、IC に起因するものであったりする。IC メーカーは、不良 IC のウェーハ履歴を調査する。これらのデータベースは、根本的な原因を明確にし、対策の実行を促すのに有効である。

多くの場合、チップは 300mm ウェーハの中の数千か、あるいは数百ヶの中の一つとして、全て等しく構成されている。特定のチップについて、ウェーハ上の位置を示す情報をパッケージ表面に示す余地はない。典型的には IC パッケージの「日付コード(製造年月)」だけが示されている。これは多くのウェーハが処理された日付けを識別したものであり、ウェーハ上のチップの位置を示す情報はない。

ダイシングをする前のウェーハレベルでの測定中に集められた情報は、IC ユーザおよびメーカーにとって重要である。ウェーハ ID や全ての不良 IC の位置とそれらの不良内容の情報は利用が可能である。しかしながら、テストデータの量は200mm ウェーハの場合には2 GB、また300mm ウェーハの場合には5GBも必要としていることに留意すべきである。典型的な半導体ウェーハ工場では、1ヶ月のテストデータを蓄えるための収納スペースとして60 - 100TB (Tera Byte) を必要としている。

廉価な IC においては、テストデータのデータ保存に関連した間接費用は考慮されていない。高付加価値の IC においては、テストデータが半導体製造工場でなく、設計者によって保管される。これらのデータを何年も保管する必要があることに留意すべきである。これらの高付加価値 IC については、前向きな戦略を明確にすることも可能である。そのような戦略の実行には、個々の高付加価値ウェーハの履歴情報の明確化が含まれている。その履歴情報には下記の項目が含まれる。

1. 不良チップの位置。それぞれの不良タイプに対して、ウェーハマップを作成することは重要である。
潜在的な不良の内容は以下のとおり：
 - ・遅延時間の規格外れ
 - ・高すぎる出力電圧
 - ・低すぎる出力電圧
 - ・代表値に対して3シグマ未満の電源電圧
 - ・代表値に対して3シグマを超える電源電圧
 - ・仕様より3シグマ未満の試験温度
 - ・仕様より3シグマを超える試験温度
 - ・適切な他の情報
 - ・経験に基づいた追加情報
2. 遅延時間、入出力電圧レベルなどのテスト規格の ± 1 シグマの範囲に合格した良品チップのウェーハマップと位置。要するに、これらの規格を満足する良品チップ。
3. テスト規格の ± 2 シグマの範囲に合格した良品チップのウェーハマップと位置
4. テスト規格の ± 3 シグマの範囲に合格した良品チップのウェーハマップと位置
5. 経験に基づいたウェーハレベルでの履歴情報の追加

上記のウェーハレベルの履歴情報の保管を詳細に検討すれば、1つには膨大なテストデータ量(各々200mmのウェーハでは2GB、また300mmのウェーハでは5GB)が必要ではないという結論に達するかもしれない。言い換えれば、テストデータ保存のコストを下げることとなる。

さらに、下記のような過去の知識がすぐに活用できるならば、市場から返品された不良 IC パッケージの故障解析の時間を本質的に短くすることができる。

- A. どの生産現場でのどのウェーハについて各々どんな種類の初期故障が予見されているか？
- B. これらの故障に結びついている根本的な原因は何か？
- C. 基板上あるいはパッケージでのテストを各々の潜在的な根本的原因のために適用できたか？
- D. 破壊的な解析は根本的原因分析のために必要か？

そのようなデータシステムの設計においても、いくつかの疑問が残る。：

返却された不良 IC パッケージがウェーハレベルの履歴情報と対応しない場合、何を我々は学べるのか？ ウェーハ生産工程で、IC パッケージ工程で、または基板実装工程での追加の根本原因を明確にするのに、その情報は使われるか？ 我々が収集すべき、更なるウェーハレベルの履歴情報は何か？

インターコネクト:配線 WG

1. 低誘電率材料
2. 3次元パッケージング
3. 薄型化チップ
4. 表層配線
5. 狭ピッチチップでの 1st レベルの相互接続

RF/AMS ワイヤレス WG

1. クロストーク
2. 各タイプのピン数
3. 低電圧動作
4. 内蔵受動素子の仕様

ES&H: 環境 安全性& 健康 WG

1. 環境の規定
2. 新材料

モデリングとシミュレーション WG

1. デバイスとパッケージのための RF/ミックドシグナルモデル
2. 統合あるいは組み合わされた熱/機械/電気のパッケージシミュレーション
3. シミュレーションツールの中で考慮された設計とプロセスの許容値
4. モデリングは動的モデル(例えばポータブル製品を落下させたことで引き起こされる衝撃)を含む

メトロジー (計測学) WG

1. 必要とされる材料特性
2. 材料特性の影響度

テスト WG

1. SiP
2. 多ピンパッケージ
3. ウェーハレベルパッケージングテスト
4. テストにおけるサーマルマネジメント
5. ウェーハレベルテスト
 - a. テストにおける電源とグラウンドの配置
6. バーンイン'