

計測 (METROLOGY)

計測は測定の科学として定義される。ITRS の目的に合わせて、IC(集積回路)を研究、開発、そして製造するために行われる測定に対象を限定する。対象には、IC やその封止(パッケージング)に使われる材料の測定が含まれる。計測はナノエレクトロニクスの分野で日常的に使われるようになった最初の半導体技術である。形状の寸法が名目寸法値の 1/10 ばらつくと、デバイス特性は大きく変動する。このことを心に留めて見ると、線幅変動の制御に加えて薄膜や界面層厚さの制御も既に要求値が原子サイズに近づいてきた。産業がナノエレクトロニクスの世界に深く入りこむほど、材料評価を含めて、計測に課せられる課題は より重要かつ重大になる。計測能力と要求値との乖離の一つは、ゲート、FIN そしてトレンチのような稠密パターンの側壁における“膜厚などの物性”の測定である。材料評価に係る重要な課題は、原子サイズ以下の領域で像形成し物性を測定することである。しかし、原子サイズまで局在していない物性もあることは、銘記すべきである。工場計測に係る重要な課題は、収益性を維持したまま量産時の測定や制御を原子サイズで行うことであろう。

計測のお陰で IC の研究、開発、そして製造が続けられる。測定能力に係る課題は、パターン寸法縮小の速さと新材料や新構造の導入に応えることである。或る場合には、現行の方法で多世代に対応し得る。また或る場合には、不十分な装置で測定せざるを得ないかも知れない。デバイス設計に係って確実に予測できない点が多いことは、測定能力に係る課題を大きくしている。ナノデバイスに向けての長期の研究が、新しい測定方法と有力な計測のテスト手段とを併せて提供してくれるかも知れない。その場計測は製造にもっと使われるようになる。

全ての計測は工場全体を結ぶ自動化システムに接続され、その自動化システムが“データ処理機能によって獲得された知的情報を格納しているデータベース”を持っている。オフラインの材料評価もまた、工場全体を結ぶ自動化システムに接続される方向へと進んでいる。より進んだ顕微鏡観察法やプローブ技術は、それら手法の能力や得られたデータの解釈を完全に理解するための基礎研究が進んでいる段階ではあるが、市販品として手に入れられるようになりつつある。新材料の評価法として受け入れられるために大事な点は、迅速な試料前処理の開発である。材料評価は材料開発やプロセス開発にとって欠かせないものであるが、“材料評価の中で製造時にも必要とされる計測は何か”ということは、予測されておらず、曖昧なままである。プロセスの課題がプロセス改良に因って解決しても、“信頼性を保証するために、何をデバイス製造時に測るべきか”という問題が未解決のまま残っている。

トランジスタ特性には“基板表面に応力層を設けたりチャンネルにプロセス誘起応力を加えたりすることで高められた移動度”など数多くあり、これらを制御することは困難な課題のまま残っている。シリコン応力層の歪みを測定することは可能である。しかし、チャンネルのような“ナノサイズかつ埋め込まれた層に加わる応力”を直接測ることは、現在のところ不可能である。大抵は、表面にある薄膜あるいは構造の性質を測った後にモデルを使って内部の層の性質を決めなければならない。ウェーハ表面での形状測定とモデリングとを組み合わせる用いることが今後の傾向となる。

計測ロードマップでは、先行的研究、開発そして供給業者の財政的基盤を固めることの必要性を繰返し述べてきた。“計測技術開発とプロセス技術開発との関係”を根本から再構築することが必要になっている。かつての課題は、対象とするプロセス技術に先行して計測を開発することであった。今日の問題は、“材料が全く新しくなり デバイス設計が劇的に変わると言うのに、それらの選択が為されていない”という見通しの悪さにある。“計測データや情報”と“最適フィードバック・フィードフォワードプロセス制御や実時間プロセス制御”との相互関係を理解することが、計測とプロセス技術との関係を再構築する際に重要となる。スピネレクトロニクスや分子エレクトロニクスのような“根本的変化をもたらすような新技術における計測ニーズ”の節が、新しく書き加えら

2 計測

れた。

新しい計測技術は勿論、革新的な計測技術も、“3年計画で導入される新しい技術世代”に歩調を合わせて研究・開発されねばならない。パターン寸法縮小のロードマップは、“新しい材料、プロセスおよび構造に係わる計測課題の解決期限”を前倒しにしている。SOI や歪みシリコンのような新しい基板材料は、測定をより複雑化する。計測は、これらのことを踏まえた上で開発されねばならない。計測は、装置開発、試作ラインや新しい生産ラインの垂直立上げ、および生産ラインでの歩留り向上を可能にする。計測は、プロセス装置やプロセスをより正確に評価できるようにしてくれることから、“製造コストの削減”や“新製品を市場に投入するまでの時間の短縮”を可能にしてくれる。チップ種類の多様化が進むことは、課題の範囲をさらに広げることになり、すでに限界にある計測研究・開発のリソースを分散させることになるであろう。装置メーカー、半導体メーカー、コンソーシアムおよび研究機関の計測に携わっている人達は、ITRS で示された要求期限に間に合わせるために、協力して研究・開発および装置試作を行わねばならない。開発された最先端の計測技術は、時宜に合ったやり方で製品化されねばならない。パターン寸法と材料は、2003年ロードマップにおけるこれから先の10年間、“プロセス開発および材料開発に必要とされる計測”にとつての大きな課題になる。

計測の短期的な課題は、ナノエレクトロニクス用トランジスタおよび配線に係わる新材料、プロセス、そして構造を制御することに加えて寸法の比例縮小を制御することに関連している。32nm 技術世代の予測が確かさを欠いていることは、計測技術の開発に大きな影響を与えている。FINFET および その他の新構造は、側壁薄膜の測定や非常に難しい形状の測定を必要としている。技術世代毎に、数多くの材料が使用候補として考えられており、材料を開発し処理する過程で必要とされる評価や制御を行うために、これら材料の特性を評価することが必須になる。さらに、或る技術世代についてみると、“半導体メーカーに依っては異なった材料が使われる”ということも十分考えられ、異なった計測が必要とされることも有り得る。High-k および Low-k 誘電体膜の電気計測および物理計測を引続き短期間で進歩させなければならない。FEP 章で議論された最も確からしい情報に拠ると、極薄かつ恐らくは応力を加えられた SOI のシリコン上に形成されたデバイスの測定技術が必要になる。新しい計測ニーズとして、スクライブラインに配置されたテスト構造の代わりにアクティブエリアの構造を測定したいとの要求が増えている。22nm 以下の技術世代を対象とする長期的な課題は、デバイス設計や配線技術の動向が明確でないことから、今述べることは難しい。Cu 配線に代る技術の選択は、研究課題のまま残されている。材料評価や現行インライン計測の幾つかは新しいデバイスや配線の構造に使えるけれども、生産に適用可能な計測を開発するためには“材料、デバイスおよび配線構造の動向についての もっと確かな知識”が必要である。

あらゆる計測項目(特に“歩留り改善の章”に記載されている項目)は、“情報に基づいたプロセス制御”を行うために、コンピュータ統合製造(CIM; computer integrated manufacturing) およびデータ管理システムに接続されている。統合計測は、未だ普遍的な定義が成されていないけれども、“オフラインからインライン および その場測定への漸進的な移行”に係わる用語である。オフライン、インライン および その場測定を適当に組み合わせることに依り、“最新のプロセス制御(APC; advanced process control)”および“歩留りの垂直立上げ”が可能になる。

計測装置の開発を成功させるためには、“新材料や新構造の計測に使えるようにすること”が必要である。使用できるためには、“必要とされる標準試料の製作”や“生産に先立つ計測方法の開発”に最新の技術・設備を活用できるようにしなければならない。活用するためには、計測技術開発とプロセス開発との関係をより緊密にするように注意しなければならない。計測がプロセス装置およびプロセスに上手く適合していれば、試作ラインや生産ラインの立上げ期間は短縮される。妥当な CoO(Cost Of Ownership)を維持しながら最大の生産性を得るためには、上手く設計・製作された装置と適切な計測を適当に組み合わせることが必要になる。

概要

2005年の計測ロードマップに記述されている項目は、顕微鏡観察;パターン寸法(CD;Critical Dimension)と重ね合わせ;膜厚とプロファイル;材料と汚染解析;ドーパントプロファイル;プロセス制御に用いる その場計測用センサとクラスツール用計測ステーション;標準試料/標準物質(訳者注:寸法・形状に係わる Reference Materials を標準試料、その他の Reference Materials を標準物質とした);物理測定と電気測定との相関;そしてパッケージング(封止技術)である。これらの話題はこの章の以降の節で述べられる:顕微鏡観察法;リソグラフィ計測;FEP 計測;統計限界に直面しているプロセスおよび原子サイズに近づきつつある物理構造の計測;配線における計測;材料および汚染の評価・解析;統合計測;基準測定システム(RMS;Reference Measurement Systems)、標準試料/標準物質;および新デバイスの評価・解析と計測。

新しい計測技術および標準(訳者注:国家的あるいは国際的な規格、および標準試料/物質)の開発には、国際的な協力が必要になるであろう。計測およびプロセスの研究・開発機関は、装置メーカーおよびICメーカーなどの産業界と共同して機能しなければならない。ICメーカーと計測装置メーカーが早い時期から協力することで、“測定装置を最も効果的に使用できるような技術ロードマップ”ができるであろう。計測・プロセスおよび標準の研究機関、標準の推進組織、計測装置メーカー、および大学で計測に携わる人々は、計測方法の標準化・改善および標準試料/標準物質の製作に関し、引き続き協力して行かねばならない。尺度に関する標準化された定義と手順があるにも拘らず、測定の精密さ対プロセス許容度比(P/T比;Measurement Precision to Tolerance Ratio)のように、尺度を個々に用いることが普通である¹。P/T比は、統計的プロセス制御(SPC;Statistical Process Control)に不可欠な自動測定能力を評価するためのものであり、測定ばらつきすなわち測定の精密さを製造ばらつきと関連付けるものである。測定装置の測定ばらつきは、当該製品あるいは当該プロセスとは無関係の標準試料/標準物質を用いて求められることが多い。したがって、公称測定精度は製品ウェーハを測定する際の装置起因測定ばらつきを反映していないかも知れない。装置感度が不十分なため、“小さいけれども許容することができないプロセス変動”を見逃すことも有り得る。計測装置の分解能を統計的プロセス制御に使用するためには、分解能を正確に表わす尺度が必要である。“測定の精密さ対プロセスの変動し易さの比”の逆数は、信号対雑音比(S/N比)あるいは弁別比と云われることもある。しかしながら、何の分解能かは対象プロセスに依る(厚さや幅の測定には空間分解能、表面汚染金属のレベル測定には原子パーセントの違いを弁別するための分解能が要ることなど)ので、分解能の尺度を測定項目毎に定めることが必要になるかも知れない。新しいニーズとして、“計測装置が連続的なデータではなく離散的なデータを出力する場合の測定精度の決め方”を標準化することが挙げられる。このようなことは、例えば、有意差が装置分解能よりも小さい時に起こる。

統合計測の考え方は、スタンドアロン計測および“センサに基づいた計測(Sensor Based Metrology)”自体にも適用される。雰囲気温度や湿度の僅かな変動のような 装置校正および測定精度に影響を与える要因は、監視され、計測装置の性能 については 統計的なプロセス制御を改善するために用いられる。

ウェーハメーカー、プロセス装置メーカー、試作ライン、および新しく立ち上げる生産ラインの夫々で、測定への要求内容 および 必要時期が異なる。試作ラインでは、より短い期間で立ち上げることが必要であり、試作開始前にプロセス装置やプロセスを十分に評価・把握できるようにしなければならない。しかし、プロセスの完成度が高くなるにつれて、計測の必要性は減少するはずである。デバイス寸法が縮小して行くのに伴い、物理計測の課題は“重要な電気特性データを取るためのインライン電気テストに歩調を合わせて行くこと”になる。

産業基盤の必要性(Infrastructure needs)

メーカーが計測装置、センサ、制御装置、および標準試料/標準物質を合理的な価格で提供しようとするなら

¹ For example, refer to SEMI E89-0999 “Guide For Measurement System Capability Analysis.”

4 計測

ば、健全な産業基盤が必要となる。“MEMS (Micro-Electro-Mechanical Systems) を用いた計測”や“ナノテクノロジー”のような芽を研究・開発段階から市販される製品へと育てようとするならば、新規の研究や開発が必要となるであろう。多くの計測装置メーカーは、小さな企業であり、先端的な用途向けに新しい装置を開発するための費用を負担できない。計測装置が当初に売れるのは、装置開発およびプロセス開発用だけである。開発した計測装置が半導体メーカーに数多く・継続して売れるようになるまで、数年間を待たねばならない。“装置メーカーが新しい技術を設計概念の証明から装置試作・製品化を経て数多く売れるようにする”までの必要投資金額に見合う資金助成が必要である。

困難な技術課題

以下にあげてある計測に関する短期的課題の多くは、32nm 技術世代以降も継続課題として残される。2013年以降の計測ニーズは、これから明らかとなるであろう新材料および新プロセスの在り方に応じて変る。従って、今後の計測ニーズを全て洗い出すことは難しい。パターン寸法の縮小、しきい値電圧やリーク電流のようなデバイスパラメータをより精密に制御すること、そして 3 次元配線のような新しい配線技術は、物理計測技術に大きな挑戦課題を与えることになるであろう。所望のデバイス・スケーリングを成し遂げるためには、原子スケールでの特性測定ができなければならない。Table 116 に、計測の 10 大課題を示す。

Table 116 Metrology Difficult Challenges

困難な技術課題 ≥ 32nm ノード	問題の内容
工場および会社規模での実時間/その場/統合された/インライン計測;頑丈なセンサ (robust sensors, 訳者注:測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発;センサの追加統合が可能なデータ管理。	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種/エネルギー/ドーズ量(電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。
シリコンウェーハ (starting materials) 製造やデバイス製造での計測技術は SOI のような新しい基板の導入によって影響を受ける。シリコンウェーハで問題となる量の不純物検出 (特に微粒子)、およびウェーハ周辺部の検査不能領域の削減。CD、膜厚、欠陥検査は薄い SOI の光学的性質や電子・イオンによる帯電によって影響を受ける。	現行のままでは、ロードマップの目標レベルを達成できない。極微小粒子の検出とサイズ分類が必要である。SOI ウェーハに対する性能向上が必要である。課題は、SOI 構造による余分な散乱と表面の品質に起因する。
ダマシンのような高アスペクト比技術を制御するための計測技術。重要な要求は、寸法制御、Cu 配線中のボイド検出、それにパターン形成後の低誘電率(Low-k)膜中のポアサイズ分布とキャリアポアの計測。	プロセス制御に必要とされる新しいニーズが不明確である。たとえば、新しい低誘電率(Low-k)材で作られたトレンチ構造の3次元(CDと深さ)測定が必要であろう。側壁の凹凸は、配線やビア構造でのバリア膜の品質と電気特性に影響する。
複雑な積層材料の測定、および界面における物理的性質や電気的性質の計測。	制御された薄膜と界面層を含む新 High-k ゲート/容量誘電膜、配線バリアのような薄膜と Low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料/標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別に必要になる。歪 Si や SOI でのゲートスタックに対するキャリア移動度評価が必要になるだろう。バリア層についても同様である。メタルゲートの仕事関数の評価は、もう一つの大きなニーズである。
測定用のテスト構造と標準試料/物質。	特にスクライブ線において、テスト構造に割当てられる面積は縮小している。スクライブ線上にあるテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合せその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブ線上とチップ内の対応が取れるように設計を改善する必要がある。適切な標準物質を作るために、標準化機関は最先端技術を用いて開発や製造の能力を向上させる活動に早急に着手する必要がある。

困難な技術課題 <32nm	問題の内容
ウェーハおよびマスクに関する 3 次元構造の寸法測定/重ね合わせ精度測定/欠陥検出/解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションは SEM 像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならない。ダマシンプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と3次元対応が必要である。
チップ内特性を測ることでチップ間やウェーハ間ばらつきを反映できるような新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。
統計変動が顕在化する 32nm ノード以降でのプロセス制御。	自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となろう。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。
デバイススケールでの構造や組成の解析、および CMOS 以降のデバイスの測定。	界面層制御、ドーパント位置、欠陥、元素濃度に関して、デバイススケールとの対応が取れるような材料評価や計測方法が必要。一例は、3 次元のドーパントプロファイル測定。自己組織化プロセスの測定も必要である。
デバイス構造と配線技術が明確にならない段階で製造における計測を決める必要がある。	現在のトランジスタに代る新デバイス構造や Cu 配線に代る材料が検討されている。

* SPC(Statistical Process Control) - 検査を置き換える、プロセス変動を減らす、欠陥を制御する、あるいは廃棄量を減らすために、統計的プロセス制御のパラメータが必要である。

(訳注:長期は Beyond 2009 とあり、この表現には 2009 年は含まれていないため 2010 年以降とした)

Table 117a Metrology Technology Requirements—Near-term

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	Driver
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13	
<i>Microscopy</i>										
Inline, nondestructive microscopy process resolution (nm) for P/T=0.1	0.29	0.25	0.22	0.2	0.18	0.16	0.14	0.13	0.12	MPU Gate
Microscopy capable of measurement of patterned wafers having maximum aspect ratio/diameter (nm) (DRAM contacts) [A]	15	16	16	17	17	>20	>20	>20	>20	DI/2
	95	85	76	67	60	50	40	35	30	
<i>Materials and Contamination Characterization</i>										
Real particle detection limit (nm) [B]	32	28	25	22	20	18	16	14	13	MPU
Minimum particle size for compositional analysis (dense lines on patterned wafers) (nm)	27	23	22	19	17	15	13	12	11	DI/2
Specification limit of total surface contamination for critical GOI surface materials (atoms/cm ²) [C]	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	MPU Gate
Surface detection limits for individual elements for critical GOI elements (atoms/cm ²) with signal-to-noise ratio of 3:1 for each element	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	MPU Gate

Table 117b Metrology Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	
<i>Microscopy</i>								
Inline, nondestructive microscopy process resolution (nm) for P/T=0.1	0.1	0.09	0.08	0.07	0.06	0.06	0.05	MPU Gate
Microscopy capable of measurement of patterned wafers having maximum aspect ratio/diameter (nm) (DRAM contacts) [A]	>20	>20	>20	>20	>20	>20	>20	DI/2
	28	25	23	20	18	16	14	
<i>Materials and Contamination Characterization</i>								
Real particle detection limit (nm) [B]	11	10	9	8	7	6	6	MPU
Minimum particle size for compositional analysis (dense lines on patterned wafers) (nm)	9	8	7	6	6	5	5	DI/2
Specification limit of total surface contamination for critical GOI surface materials (atoms/cm ²) [C]	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	5.00E+09	MPU Gate
Surface detection limits for individual elements for critical GOI elements (atoms/cm ²) with signal-to-noise ratio of 3:1 for each element	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	5.00E+08	MPU Gate

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

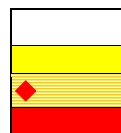


Table 117a および b の注:

[A] デュアルダマシンプロセスの場合には、配線金属およびビアホールのアスペクト比が加わる。

[B] この値は、膜の表面粗さおよび組成に依存する。

[C] 金属汚染に対する要求は、FEP 章に記載された洗浄の技術要求の表、注 F に基づいて、緩和される方向に変更された。

“統計限界に直面しているプロセスと原子サイズに近づきつつある物理構造”の計測

デバイス寸法が このまま縮小して行くと、デバイスを構成する原子の大きさを無視することができなくなり、これがパターン寸法ひいてはデバイス特性の統計変動を引き起こすことになる。さらに、デバイスの構造が このまま縮小して行くと、量子力学的効果および平均自由行程効果のために、その物理特性がバルクの特性と はかけ離れたものになる。例えば、32nm ゲートのシリコン原子の格子間隔は、ゲート長の約 1%になる。統計変動の影響は、厚さが数原子層の異なった成分から成る多層ゲート絶縁膜構造において、より顕著に現れる かも知れない。このような構造の設計・製作では、LSI として十分均一なデバイスおよび回路性能を得るために、“ドーパント原子や真性欠陥の統計変動”および“小さく閉じられた構造での量子力学的効果”を考慮しなければ ならない。線幅粗さ(LWR)の問題と それが電氣的寸法に及ぼす影響は、ドーパント原子の統計変動と合 わさって一層大きくなる([リンクされているD.Herr の論文を参照](#))

先端的な配線技術では、“半導体および Low-k 材に侵入させてはならない Cu のような配線材料”が使用さ れている。“僅か 2~3 原子層程度の厚さで かつ ピンホールの無いソリア層”を堆積させるために、プロセス やプロセスモデルの進歩が必要になる。“バリア層が完全無欠であることを確認するための計測技術”を開発し なければならない。

トランジスタ構造の測定課題として、幾つかの問題がある。ゲート絶縁膜構造の計測では、シリコン・絶縁膜 界面およびゲート電極・絶縁膜界面での“量子力学的効果についての標準化モデル”が必要になる。確率的 モデル化の考え方が、これまで用いられてきた決定論的モデル化技術を補うために、必要になる。機械的応 力がトランジスタの輸送特性を改善するために用いられている、そして応力の効果を最適化し制御するため に は“計測とモデル化の技術”を開発することが必要である。

現実の材料や構造に現れる統計変動は、測定の不確かさとは無関係であり、測定して求められた全不確か さに二次的に加えられる。さらに、回路設計およびプロセス設計に際しては、やり方は未だ考えられていない が、これ等の統計変動を考慮しなければならない。本ドキュメント中に規定されている次世代デバイス用パラメ ータの多くは、計測自体とは殆ど関係の無い根本的な理由のために、測定要求に込えられなくなるように思わ れる。

顕微鏡観察(Microscopy)

顕微鏡観察は、2次元分布すなわち“IC(Integrated Circuit)パターンの形状や外観を示すデジタル画像”が 重要な情報を与えてくれるので、核となるプロセス技術の多くに用いられている。通常、“先ず画像形成ありき” ではあるが、画像形成は 多くの場合 “それを観、測り、制御することができる”という一連の過程の 第 1 段階 に過ぎない。顕微鏡は、一般的には、光線、電子ビーム、あるいは走査プローブを用いる。“画像形成した後 に測る・制御する”ということでのオンライン応用には、欠陥/微粒子の検出・レビュー・自動分類に加えて、パタ ーン寸法(CD)測定や重ね合わせ精度測定がある。ウェーハが高価かつ多量なことから、高速、非破壊、イン ラインでの画像形成・測定の要求が増えつつある。IC パターンのアスペクト比が大きくなりつつあることから、こ れまでの横方向のパターン寸法、例えば 線幅、の測定に加えて、3次元形状を詳細測定することの重要性が 増しており、インラインで使えるようになると良い。“先進的なデジタル画像処理・解析技術、遠隔存在 (Telepresence; 訳者注:ここに居るのに、其処に居るように感じさせること)、およびネットワークで結んだ測定 装置”を活用する新しい計測方法は、近い将来の IC 技術ニーズに合わせて開発することが必要であろう。これ らの技術を用いた顕微鏡観察の技術や測定は、技術者がプロセスを より自動的なやり方で管理できるように、 詳細で十分なプロセス情報を逸早く提供するように機能しなければならない。[顕微鏡観察の詳細については 補足ファイルを参照されたい。](#)

電子顕微鏡観察 — “電子ビームを試料に照射し画像を形成する原理の顕微鏡観察”には、様々な方式がある。走査電子顕微鏡観察、透過電子顕微鏡観察、走査型透過電子顕微鏡観察、電子線ホログラフィ、および低エネルギー電子顕微鏡観察などである。走査電子顕微鏡観察および電子線ホログラフィについては以下に述べる。透過電子顕微鏡観察、走査型透過電子顕微鏡観察、および低エネルギー電子顕微鏡観察については、“材料および汚染の評価・解析”の節で議論する。

走査電子顕微鏡観察 (SEM; Scanning Electron Microscopy) — 断面加工試料の評価・解析、微粒子および欠陥の解析、欠陥像のインライン観察(欠陥レビュー)および CD 測定のために、オフライン(at-line; 訳者注: 米国では工場内でのオフライン計測を at-line と云い、ウェーハを工場外に持ち出して行うオフライン計測を offline と云う。この場合は前者の意味で使用されている)およびインラインの像形成法として使用され続ける。45nm 世代以降も CD 測定および欠陥レビュー(および試作ラインでの欠陥検出)を効果的に行って行くためには、改良が必要である。十分な分解能を保ちながら“試料表面の帯電、コンタミネーション、および照射損傷に起因した像質の劣化”を防ぐためには、超低エネルギー電子ビーム(<250 eV)や高エネルギーSEM を用いるなどの新しいインライン SEM 技術が、必要となるかも知れない。球面収差を低減して分解能を上げようとすると、実用にならないほど焦点深度が浅くなってしまいうので、“幾つかの焦点位置で取られた信号を重畳して像形成すること”およびあるいは“ビーム形状を考慮したアルゴリズムを使用すること”が必要になるかも知れない(詳細に関してはリンクされているDOFの論文を参照)。SEMの分解能を大幅に上げるために、透過電子顕微鏡で用いられていた収差補正レンズ技術が、SEMに転用されるようになった。ナノチップの使用や電子線ホログラフィのような非従来型の像形成技術を開発することが、価値のあることが証明された場合には、その開発は進められなければならない。圧力下すなわち雰囲気制御下での顕微鏡観察は、“高加速電圧での高分解能な像形成および計測”への可能性を開いてくれるもので、新しい代替手法の一つとなり得る。バイナリマスクおよび位相シフトマスクが、この方式の高分解能走査電子顕微鏡で上手く観測された。試料をガス雰囲気中に置くことは、表面帯電やコンタミネーションを低減することが分った。この方法は、ウェーハの検査、像形成、および計測にも高い可能性を持っている。

SEMに依る測定を統計的に見て問題の無いものとするためには、正しい種類・量の情報を集めることが不可欠である。情報の収集は、その際に必要とされる情報よりも多ければスループットの低下を招き、少ないか集める種類を間違えれば制御の不足をもたらす。“必要な情報を測定の妥当性を表す示度を用いて明示するような計測方法”を開発することが大切である。測定の物理に従いかつ収集された全ての情報を用いるようなデータ解析法は、独自の方法に比べて優れていることが実証された。“測定された像とモデル化された像”および“速くて正確な比較技術”は、SEMの寸法計測において、重要性を増しつつあるように見える。

CD測定精度を向上するために、“試料物質と得られたラインプロファイルとの関係について理解を深めること”が望まれる。試料物質の直接電離とゲート構造の帯電に起因した試料損傷が、荷電粒子ビームを用いる全ての顕微鏡の根本的使用限界を決めることになるかも知れない。

90nm以下のコンタクトビアホール、トランジスタのゲート、配線ラインあるいはダマシンの溝と言った構造の実際の3次元形状を測るためには、現行の顕微鏡観察および試料作成法を引続いて進歩させることが必要であろう。FIB(Focused Ion Beam:収束イオンビーム)を用いた断面加工およびTEM(Transmission Electron Microscope:透過電子顕微鏡)あるいはSTEM(Scanning Transmission Electron Microscope:走査型透過電子顕微鏡)で像観察するためのリフトアウト(訳者注:FIBを用いてウェーハから切り出した試料を顕微鏡の試料台に装填すること)は、効果的であることが実証された。

Heイオン顕微鏡観察 — “細く絞られた電子ビームと試料の相互作用に関連して実効的なプローブサイズが広がること”に係る問題を克服するための手段として提案された。この技術はCD測定、欠陥レビュー、およびナノテクノロジーに応用できる可能性を持っている。

走査プローブ顕微鏡観察 (SPM; Scanning Probe Microscopy) — CD-SEM (Critical Dimension Measurement Scanning Electron Microscope) の測定結果校正に使用されるかも知れない。尖鋭なプローブを用いた SPM は、“被測定試料の材質に影響され難い 3 次元測定”を可能にする。プローブが細過ぎると、プローブ先端のチップ先端部が曲げられて測定精度が悪くなる。したがって、プローブ材質と走査時に受ける力を考慮して、チップ先端部の形状とアスペクト比を妥当な値に設定しなければならない。短いカーボンナノチューブ (訳者注: 炭素原子で構成された径が nm 程度の筒) のような非常に硬いプローブ材料が、この問題を多少とも解消してくれるかも知れない。

遠視野顕微鏡観察 (Far-field Optical Microscopy) — 訳者注: 回折光を利用した通常の顕微鏡での観察) — 分解能は光の波長に依って決められる。波長による限界を打破するため、遠紫外光源を用いた顕微鏡および近接場光学顕微鏡 (Near-field Microscopy; 訳者注: 光が波としての性質を發揮できない極微小な領域の光、すなわち近接場光あるいはエバネッセント光を利用する顕微鏡での観察) の開発が進んでいる。自動欠陥分類ソフトの改良が必要である。光学顕微鏡は、今後も引続いて、マルチチップモジュールのハンダバンプのような大きなパターンの検査に使われて行くであろう。

欠陥検出技術 — 各技術が極限的問題を抱えている。欠陥は“歩留りを低下させる恐れがある全ての物理的、電気的あるいはパラメータ的な異常”として定義される。現行の SEM や SPM の欠陥検出速度は、光学顕微鏡に取って代わるには余りにも遅すぎる。アレー型 SPM (訳者注: 複数の SPM を配列した SPM) を用いることで高速走査の可能なことが実証されてきた (SEM よりは速いかも知れない)、しかしプローブチップ先端部の寿命、均一性、特性、および摩滅に係わる問題が処理されねばならない。アレー型 SPM の技術は、並べる SPM の数を増やすことと多様な操作モードを開発することに力を注ぐべきである。アレー型マイクロカラム SEM (訳者注: 複数の超小型鏡筒を配列した SEM) が SEM のスループットを上げるための手法として提案され、単鏡筒のマイクロカラム SEM ではその動作が実証された。静電レンズおよび磁界レンズの設計限界に挑む研究が必要である。

リソグラフィにおける計測 (Lithography Metrology)

パターン加工技術の急速な進歩は、リソグラフィ用計測に対して、相変わらず困難な課題を課し続けている。トランジスタのゲート長における変動を正確に制御する取り組みは、マスク計測から始まることになる。マスク上の全ての図形は、露光装置の投影倍率の関係上、ウェーハ上に投影されたレジスト図形の 4 倍の大きさであるが、位相シフトや光近接効果補正図形の大きさは、投影されたレジスト図形サイズの半分程度の大きさである。マスクエラーファクター (MEF) が大きければ、マスクプロセスでもタイトなプロセス制御をしなければならないだろう。したがってより正確な計測技術が開発されなければならない。マスク計測には、光の位相が正確に転写したかどうか観察できる計測が含まれる。ウェーハ上形成されたパターンの CD と重ね合わせ精度の測定もまた、次第に困難な領域に入ってきている。トランジスタのゲート長の CD 制御は、クロックスピードが早くなっている IC 製造においては、依然として重要な要素になっている。プロセス制御と製品の処置判定のための計測技術の必要性が、今後も“精密さ” (precision), 相対的な“正確さ” (accuracy), マッチング (装置間差) の改善の原動力になり続けてゆく。将来の技術世代のために使用可能な計測を提供しようとするならば、CD と位置ズレに対する研究・開発活動を加速することが不可欠である。これら全ての課題に対して、“測定能力の評価方法”を発展させる必要がある。

従来の顕微鏡ベースの CD 計測システムをプロセス制御に応用し、製品上のモニターから、実効的な露光量、フォーカスを計測するに至っている。同様のシステムによって、リソグラフィプロセスのモニター同様に CD や重ね合わせ計測情報を出力することができる。そういった計測のプロセス制御能力と効率は進歩している。そういった新しい応用を支援する社会基盤も概ね出来上がっている (装置や機能が市販化されている、あるいは機能の改良が可能な状況にある)。例えば、重ね合わせ計測で使用されている従来の光計測システムでも

計測できるように、リソグラフィプロセス制御のための実効露光量、フォーカスマニターもまた開発されてきている。同様の能力としてCD計測に加えて、サイドウォール、高さ計測がスキヤトロメトリーで行われようとしている。全てのケースにおいて、プロセス制御のためにCD計測を行うというより、あらゆる図形のCDは露光とフォーカスの複雑な関数であり、これらのシステムは、露光量誤差が1%(3 σ)、フォーカス誤差が10 nm(3 σ)程度の計測誤差を持つプロセスパラメータそのものを出力する。今日のプロセスモニターの効果は、15%の露光量、200 nmのフォーカスのプロセス裕度に対して、P/T(precision to tolerance) = 0.1といった高いレベルにあり、さらに大量生産におけるK1ファクタの縮小や光リソグラフィの用途の拡張にも対応できる。計測システムの安定とマッチング精度の縮小に対する要求が増大する傾向がある¹一方、この領域における活動として、より厳重な制御とマッチング精度を縮小する開発が既に始まった。これらの活動は正確なCD計測の前提であり²、単なるプロセス制御の応用や、専用のプロセスモニターに特化したものではない。

能力が高く、効率的な直接プロセスモニター方式のリソグラフィプロセス制御は、従来のCD計測の技術限界を克服する能力を持っている。現在リソグラフィプロセス制御のための計測は変化しているが、この変化を加速するためには、産業の協業によって、直接プロセス制御の期待を明確にし、その制御効果を実証し、新しい計測技術の応用と応用環境の整備をすることが重要である。こういった変化は、優れたCD計測メカによって高性能で効率的なプロセス制御の手法が提供され、差別化が行われ、リソグラフィの計測に恩恵をもたらすだろう。しかしながら、特に、校正や先端マスクデザインルール(例:OPC(光近接効果補正)、RET(超解像技)や様々な露光条件においての1、2、3次元のスルーピッチ計測あるいは各種レイアウト計測)の遵守の検証に対するCD計測の領域においては、次世代技術の計測要求を満たすには、“絶対的な正確さ”(absolute accuracy)の新たな基準が必要である。

現状必要とされる全ての情報を提供できる単一の計測技術は存在しない。それゆえに様々な次元の計測装置や計測方法に対して、意味のある比較や、マッチングを取ることが出来るようにするためには、“繰り返し精度”(repeatability)や“精密さ”(precision)を超えた変数が求められる。それぞれの計測を適用するにあたって、相対精度(CD変動に対する感度と2次的な特徴の変化に対する非感受度)、絶対精度(絶対基準長を辿ることができること)、LERやサンプリング、計測における破壊の性質を考慮することが必要である。

全ての計測装置に対して、計測の不確かさを、その主要な要因の発生を含めて、正確に特徴付けることができれば理想的であろう。計測の不確かさを記述するにあたっては、国際的に認可されている手法を使用することを推奨している。こういった知識は、全ての計測機を最大限に活用するのに役立つ。また、計測した結果が必要とされる情報を含んでいないといった状況を回避できる。最後に、一旦計測誤差の主要因が判明すれば、より良い計測装置がすばやく開発される状況が生まれる。そこで、様々な次元の計測機について、計測の不確かさを国際的に認可された方法に従って記述し、その主要因を特定あるいは定量化することを強く推奨したい。

CD計測にあたっては多くの実用的な手段が存在するが、あらゆる計測要求を満たすユニークな技術は存在しない。しばしば、製造中に特殊なテスト構造を用いてCD計測が行われている。このような場合においては、実素子の寸法は計測されない。CD-SEMは、今後もウェーハあるいはマスク上のラインパターンやビア/コンタクトパターンを計測するのに用いられる。193 nmの露光に用いられるフォトレジストの電子ビーム照射ダメージを克服するために、かなりの努力が注がれてきた。そして、液浸やEUVLといった代替リソグラフィ技術が導入される際も同様のことが行われるだろう。積層構造、表面状態、ラインパターン形状、あるいはラインパターン近傍のレイアウトでさえCD-SEMの2次電子信号波形や、しいてはその信号波形から抽出されるラインパターンのCDに影響を及ぼす。これらの効果が、正確にモデル化され補正されなければ、CD-SEMの“計測変動”(measurement variation)やトータルの不確かさが増加してしまう。分解能と“精密さ”(precision)を向上させる電子ビーム光源の開発試験が続けられている。CD-SEMは、SEMを基本原理としたCD計測において、新たな手法が見出せない限り、浅い焦点深度の問題に直面することになるだろう。高加速電圧のCD-SEMや低損失検出器がCD-SEMの延命として提案された³。

スキヤトロメリーは製造現場に導入され、ラインパターンの形状計測に用いられるようになった。スキヤトロメリーには、単一波長—多入射角光散乱測定と、多波長—単一入射角光散乱測定の2方式がある。最近の進歩としては、シミュレーション結果のライブラリーを使用しなくとも、CD やラインパターン形状を特定できる精度に到達している。スキヤトロメリーはAPCにおける計測機として用いられることで、トランジスタの主要な電気的特性の分布を、非常にタイトに制御できることが示されている。次に段階は、コンタクトやビア構造に適用できるようにスキヤトロメリーを開発することである。スキヤトロメリーの計測モデルは、ラインパターンや下地の材質の光学的な性質が均一であるということを仮定している。表面異常や不均一なドーパント分布はスキヤトロメリーの結果に影響を及ぼす可能性がある。それゆえに、スキヤトロメリーのモデルでは、校正や定期的な検証が不可欠である。リソグラフィとエッチングのマイクロローディング効果はラインパターンの CD に顕著な影響を及ぼすだろう。スキヤトロメリーは特殊なテスト構造を用いて計測を行うため、他の SEM や AFM などの CD 計測技術を用いて、スキヤトロメリー計測用構造の CD と回路中のパターンの CD との相関を取る必要性がある。スキヤトロメリーは、計測の“精密さ”(precision)を高めると同時に小さなテスト構造でも計測できるようにする必要がある。

製品の性能を向上させるために、リソグラフィ計測におけるフィードフォワード制御の概念を広げ、少なくともレジストパターンやマスクパターンの測定データを用い、エッチング等の次工程のプロセス制御を行う仕組みが必要である。フィードバック制御の仕組みも、過去に取得した大量のデータから適切なプロセス制御パラメータを設定するために同様に必要である。CD 制御に重ね合わせ精度測定装置を用いることも既に報告されている。この方法は、ラインパターンの幅の変化がフォトレジストラインパターンのラインパターン長にも影響をするといった事実に基づいており、このラインパターン長は、光学式の重ね合わせ精度測定装置を用いて測定することができる。この場合、ラインパターン配列と抜きスペースパターン配列を含む特殊なテスト構造が必要である。

CD-AFM 計測はラインパターン形状や CD 計測の校正として優れた手段である。もし、CD-AFM を 90 nm 以下の密ラインパターン計測に適用するのであれば、新規なプローブチップ技術と 3 次元傾斜可能なカンチレバーが必要である。フォーカス—露光量との相関の調査(特にコンタクト/ビアホールに対して)に関しては、ラインパターン形状との相関が直接観察できるデュアルビームの FIB(SEM+FIB)は勿論のこと、前述した方法で行うことが出来る。

ラインエッジラフネス(LER)は、リソグラフィプロセスで制御すべき重要な項目である。ラインパターン幅ラフネス(LWR)は、エッチングプロセスにおける重要な制御課題である。リソグラフィのロードマップは、LERとLWRの測定基準を示している。2001年LWRの要求は、LERとして記載された。LWRはトランジスタの駆動電流との相関は無かったが、リーク電流の増加と相関があったため、2001年ITRSに記載された⁴。以下に示すように、LERの計測精度“精密さ”の要求値は、CDのその数年先を行く値であることに留意しなければならない。CD-SEMやリソグラフィプロセスシミュレーションシステムは、LERを計算するソフトウェアを搭載しているが、LERを定量化するための標準方法が無い状況である。このようにロードマップの要求値に対して、現状のLERやLWRを査定した結果を標準化することは可能な状況ではない。

LER/LWRは2つの方法によって評価される:スペクトル分析とLER/LWRの振幅/程度(一般的に、平均位置あるいは平均CDに対する残存成分の 3σ として定義)である。LER/LWRのフーリエスペクトルはR&Dでは一般的になりつつある。しかしながら、実際のインラインパターン計測において、 3σ は依然非常に遣い勝手の良い指標である。LER/LWRを評価する際に、検査エッジの長さ(L)とエッジ検出のサンプリング間隔(Δy)は最も重要な計測パラメータである。というのは、 3σ はLと Δy に強く依存するからである。これら2つのパラメータについては色々議論を重ねてきた。これら2つのパラメータは測定の目的を考慮の上選択されるべきである。ゲートパターン上のラフネスを評価する場合、Lはトランジスタのゲート幅に等しく取るべきである。この場合 Δy を決定

するにあたっては考慮すべき背景がいくつかある。LER/LWRの定義にとって最も重要なパラメータの一つと考えられる接合(ジャンクション)の深さが、測定すべき最小空間周期であろう。LER/LWRを全ての空間周波数領域で評価する場合、Lは2 μm 以上とすべきであり、理由としては、長周期のLER成分が最も大きな振幅を持っているからである。この場合、10 nmの Δy はLER/LWRの計測精度“精密さ”の観点から、十分に小さいということが報告されている。なぜならば、この10 nmの Δy 間隔では検出できない高周波数成分は2 μm のラインパターンで観察されるトータルのLER/LWRに比べて、無視できる程度に十分に小さいからである。これは、LER/LWRスペクトルの普遍的な性質によって説明される。つまり、パワースペクトル密度は、 $1/fm$ (f :周波数、 m は2.0から2.3、ランダムにエッジを定義した場合^{5,6)})で減衰する。 Δy を10 nmとして2 μm 長のLWRを計測する場合、計測誤差は5%以下であることが確認されている。一方、4nmの Δy の適用を32nm nodeまで、2nmの Δy の適用を22nm node以降という提案もなされている。このサンプリング構想は、ここ数年間有効なこの定義の恩恵によってイオンインプランテーションの影響が反映したゲートのLWRの最小周期を検知するものであり、こういったことで計測精度の向上が図れる。 Δy 値の選択にあたっては、未だに議論が収束していないことも事実である。

推奨されているLER/LWRの測定基準は、現在2 μm のラインパターンに沿って、残存成分の 3σ として定義されている。しかしながらトランジスタの性能は、将来的にゲート内のラフネスに非常に敏感になることも有りえる。そのような場合、ゲート内のラフネスに対して新しい指標が(例えば、高周波成分のLWR)追加定義されるべきであろう。LWR起因のゲートCD変動を分離して評価するためには、低周波数成分のLWRの指標も同様に定義する必要がある。

画像処理を基にしたLWR/LERの計測におけるもう一つの重要な誤差要因は、エッジの検出におけるノイズである。このノイズは、ラフネス計測において+のバイアス(偏差)を発生させる影響をもたらす。これは、 $LWR_{\text{meas}}^2 = LWR_{\text{actual}}^2 + \sigma_{\epsilon}^2$ の式で表現される。 LWR_{meas} は計測値であり、 LWR_{actual} は、被測定パターンの実際のラフネスである。 σ_{ϵ} はノイズ項であり、所定の計測サンプル点に沿ってエッジ位置を特定するための計測再現性(reproducibility)として定義される。 σ_{ϵ} の大きさ2.5 nm程度と計測されており、この値は、将来のテクノロジーノードにおいて、実際のラフネスの計測値を覆い隠してしまう懸念がある。このノイズ項を除去するための方法論が示されており、これによってラフネスの普遍推定量が求められる。これを用いることは将来のラフネスの計測の“正確さ”(accuracy)を保証するために非常に重要であり、同時にリソグラフィ計測のコミュニティー内でデータの比較を許容するための重要な要素になるべきだと考えている⁷⁾。

前述したポイントを考量すると、LER/LWRの定義や詳細な測定条件は、継続的な議論が必要であり、LER/LWRの表中の値は定期的に見直しが必要である。また考慮すべきLER/LWRは、例えば、高周波数、低周波数および全ての周波数領域のゲートLWRや、配線などの他のプロセスモジュールのパターン形状(コンタクトホールやビアのエッジのラフネスさえも同様の課題になり得る)におけるLER/LWRのように、非常に多くの種類があるということを留意する必要がある。これらのラフネスの定義について議論を開始するにあたり、ラフネスとデバイス特性との関係を明らかにするための実験データを集めなければならない。次に、ハーフピッチが小さくなるにつれてLER/LWRの定義を改定するか否かについても再考が必要である。さらに、必要とされるLER/LWRの“精密さ”(precision)と“正確さ”(accuracy)はLER/LWRのデバイス性能への定量的な影響度を基にすべきである。この場合、LER/LWRのバイアスといった計測精度(“正確さ”)を悪化させる要因について考慮する必要がある。

CD計測の性能は、個々の計測装置の計測再現精度(reproducibility)、計測装置間のマッチング精度、計測サンプル間の計測バイアスの変動から生じる計測変動をすべて含んだ“精密さ”(precision)要求を満たしていない。SEMIでは“精密さ”(precision)を計測再現精度(reproducibility)の倍数として定義している。序論で紹介したように、計測再現精度(reproducibility)は、繰り返し精度(repeatability)、ウェーハの再ロードによる変動、長期のドリフトを含んでいる。実際問題、計測再現精度(reproducibility)は、同一サンプル、測定個所を長期に

わたって繰り返し計測することによって決定される。ITRS における CD 計測の精度“精密さ”要求には、いつもラインパターン形状と材質の違いの影響が含まれていたが、同一サンプルの繰り返し計測では、サンプル間のバイアスの違いに関連した計測の不確かさは判らない。それゆえに、現状の方法論では、ラインパターン形状や材質、レイアウト、あるいは他の要因の違いに関連した計測の不確かさは“精密さ”(precision)には含まれないことになる。通常 CD プロセス制御に用いる標準試料は、それぞれのプロセスレベルで特別に選別された最高のウェーハ、あるいは“golden”ウェーハである。計測のバイアスを検知することはできない。このやり方では、計測の不確かさの成分である計測のバイアスの変動を欠くことになる。これに照らして、総合計測不確かさ(TMU)といった新しい計測基準が提案された。総合計測不確かさの成分はあらゆる計測機に対して適切に査定する必要がある。これによって意味のある比較(計測値および計測機)が可能となり、装置間マッチングを改善させることが出来よう。総合計測変動では新たな“精密さ”(precision)と同様な変数 P(TMU)を定義している。P(TMU)は、それぞれのプロセス工程と関連した計測バイアスにおける変動を説明するために、そのテクノロジーを代表する一組の試料を用いて決定される。TMU を小さくする一つの方法は、それぞれのプロセス工程毎に CD 計測バイアスを補正することである。

インライン CD 計測機の校正は、注意深く校正用計測機を取り扱うことが必要である。例えば、研究レベルで用いている断面観察 SEM や CD-AFM は、インラインの CD 計測機に相当するかそれ以上の“精密さ”(precision)が無くてはならず、頻繁に校正もしなければならない。製造中に用いられる標準試料は、実際のプロセス工程と構造を代表するものでなくてはならない。他の構造と同様にトランジスタのゲート長の制御を維持することは非常に重要であるので、トランジスタのゲート制御には、他の計測システムが選択される可能性がある。この手法に関する報告は既に行われている。

CD 計測は、ラインパターンの形状制御まで応用されるに至った。傾斜ビーム機構の CD-SEM、ゴールデンウェーハのラインスキャン2次電子波形との比較、スカトロメトリー、CD-AFM やデュアルビームの FIB(電子ビームとイオンビームシステム)が、ラインパターン形状計測に応用されてきた。サイドウォールの角度は、重要なプロセス変動要因として提起された。既にフォトレジストのラインパターンは、一枚の平面図形ではサイドウォールを上手く表現できない形状を有している。ラインパターンに沿った LER と LWR、垂直方向の LER、そして丸みを帯びたトップ形状は、プロセス制御において考慮すべき重要なポイントである。前述したように、“精密さ”(precision)の値は各々のプロセス工程毎に変化する。これによってエッチングバイアス(エッチング前後の CD 差)を求めるのが困難になっている。電気的な CD 計測によって、ゲートや配線のラインパターン線幅を観測することが出来るが、これはウェーハの再生処理や、実時間のプロセスパラメータを補正としない場合に限られる。

マスク計測は、現在の光技術では測れない領域に入っている。圧力/雰囲気制御走査電子顕微鏡観察法を用いてバイナリマスクおよび基板掘り込み型位相シフトマスクを調べることが行われ、良い結果が得られた。この手法をマスク計測に応用し成功したことは、高分解能、高信号、大きな試料室および試料交換機能と組み合わせの電界放出技術を装備した圧力制御 SEM を利用できるようになったという点で、画期的なことである。圧力制御 SEM の手法は、試料をガス雰囲気中に置くことで、電子ビーム照射に起因した帯電を軽減しようとするものである。この方法は、電荷を中和することに関しては非常に期待が持てるけれども、今までは ホトマスク計測あるいはウェーハ計測に本格的に用いられることがなかった。これは、この分野へのこの技術の 新規な応用であり、“ホトマスクの検査、像形成、および計測を帯電無く行うこと”への大きな期待を抱かせる。この手法は、“ウェーハ計測にも同じ様に適用できる可能性”を持っている。圧力制御 SEM の手法は、正確な計測を行うために帯電をモデル化することの必要性を、全く無くすることはできないにしても、最小にする道を示してくれる。

リソグラフィ計測は、位置ズレや CD 計測(本来顕微鏡検査は、リソグラフィ工程の終了した後のレジスト像の幅、深さ、形状を計測する)のみならず、プロセス制御や、リソグラフィプロセスに必要な材料、例えば、フォトレ

ジスト、位相シフター、反射防止膜等の性質の評価・解析も含まれる。こういったリソグラフィ材料は複雑になって来ており、こういった材料の性質の評価・解析は困難を増している。更に、ウェーハ製造プロセスで使用されるリソグラフィ以外の材料(例えば、ゲート酸化膜、金属、Low-k 絶縁膜、SOI 基盤、等々)は間接的にリソグラフィ工程に影響を及ぼしている。というのは、これらの光学的特性は露光波長の光の反射率に影響を及ぼすからである。SOI ウェーハの埋め込み酸化膜のように、通常リソグラフィプロセスに重大な影響を及ぼすとは考えられない層であっても、そのプロセス条件の僅かな変動が、その層の光学的性質に影響を与える場合は、レジスト像の寸法や形状が変化することがありえる。

最低限のこととして、全ての層の露光波長における複素反射率(反射率 n と減衰係数 k)を知ることが必要である。このような特性の文献データは、通常、利用できない。すなわち、時代遅れで信頼できないもの(Kramers-Kronig 変換を用いて、材質が確かでない材料を時代遅れな反射率測定法で測定した結果から求められたもの)である。理想的な場合には、露光波長での分光エリプソメトリを用い、インラインで n と k を測定することができる。特に、193nm 以下の場合には測定が非常に難しく、通常は技術要員が工場外で測定する。EUV の光学的性質は、特別な光源(シンクロトロンのような光源)を用いてのみ求められることができる。したがって、実際上は光学的性質を直接測ることができない場合に、材料組成を指標として用いることがある。しかし、同じ組成の物質でも、異なる光学特性を示すことが有り得る(例として、非晶質 Si と結晶 Si の場合が挙げられる)。

表面粗さ、界面層、複屈折すなわち光学的異方性(フォトレジストあるいは他の有機層が応力を受けた時にしばしば観られる)、あるいは“組成が深さに依存して変わること”に起因して、光学的性質を求めることが複雑になる。ウェーハプロセスラインで使われる幾つかの材料では、楕円偏向角から光学定数を求めるという逆問題を完全には解けないので、材料の光学的性質を求められない。それゆえに、物理的な性質、材料の特性および光学定数が全て相互に関係していることから、光学的性質を求めるには材料の物理的評価・解析をしなければならない。

重ね合わせ精度の測定では、位相シフトマスクおよび光学的近接効果補正マスクが課題であり、異なった層で、異なった露光装置あるいは、露光技術を用いることが困難さを増大させている。画像コントラストが低いことに起因した問題に加えて、今後 重ね合わせ精度測定の要求が厳しくなると、走査プローブ顕微鏡(SPM)と共に、新しい光学的な方法あるいは SEM を用いた方法の開発が必要になるであろう。“従来のターゲット構造では検出できない位相シフトマスクや光学的近接効果補正マスクのアライメント誤差に係わる問題”を解決するための手段として、新しいターゲット構造の必要性が示唆された。オンチップ配線の重ね合わせは、引続いての課題である。平坦化のために化学的機械研磨法(CMP; chemical mechanical polishing)を用いることが、ターゲット構造を劣化させている。したがって、重ね合わせを より厳しく制御しようとする要求に応えるため、配線のアライメントターゲットはラインエッジをでこぼこにしている。絶縁体として使用される Low-k 材料は、特に多孔質の Low-k 材が製造に使われるようになると、重ね合わせを更に難しくする。

DRAM や NVM の先端デバイス適用においては、デバイスのハーフピッチの 20% ないし 25% という劇的に厳しい重ね合わせ基準の制御が必要であり、高加速 SEM やスカトロメリー技術のような代替計測技術による解決が早期に求められている。しかしながら、これらの技術は、現在成熟とは程遠い状況であり、計測技術の集約の中で解決が必要かもしれない。

リソグラフィ計測の要求テーブルは、ウェーハ計測要求(Table 118a, b)とマスク計測要求(Table 119a, b, c, d)とに分けられている。マスク計測技術要求は、更に、光露光、EUV 露光、そして電子線投影露光といった露光技術毎に分けられている。

Table 118a Lithography Wafer Metrology Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
Flash ½ Pitch (nm) (Un-contacted Poly)	76	64	57	51	45	40	36	32	28
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Printed gate CD control (nm) Uniformity (variance) is 12% of CD Allowed lithography variance = 3/4 total variance of physical gate length *	3.3	2.9	2.6	2.3	2.1	1.9	1.7	1.5	1.4
Wafer dense line CD control (nm) * Uniformity is 13.5% of CD Allowed lithography variance = 3/4 total variance	8.8	7.4	6.6	5.9	5.3	4.7	4.2	3.7	3.3
Wafer minimum contact hole (nm, post etch) from lithography tables	85	72	64	57	51	45	40	36	32
Wafer contact CD control (nm)* Uniformity is 15% of CD = minimum contact hole size Allowed lithography variance = 2/3 total variance	10.4	8.8	7.8	7.0	6.2	5.5	4.9	4.4	3.9
Line width roughness (nm, 3 σ) < 8% of CD ***	2.6	2.2	2	1.8	1.6	1.4	1.3	1.1	1
Wafer CD metrology tool precision (nm) * 3 σ at P/T = 0.2 for isolated printed and physical lines [A]	0.67	0.58	0.52	0.46	0.42	0.37	0.33	0.29	0.27
Wafer CD metrology tool precision (nm) * (P/T=2 for dense lines**)	1.77	1.49	1.33	1.18	1.05	0.94	0.84	0.74	0.66
Wafer CD metrology tool precision (nm) * (P/T=2 for contacts**)*****	2.08	1.76	1.57	1.40	1.25	1.10	0.98	0.88	0.78
Wafer CD metrology tool precision (nm) * (P/T=.2) for LWR***	0.52	0.44	0.40	0.36	0.32	0.28	.25	0.22	0.20
Maximum CD measurement bias (%)	10	10	10	10	10	10	10	10	10
Aspect Ratio Capability for Trench Structure CD Metrology	15:1	15:1	15:1	15:1	15:1	15:1	15:1	15:1	20:1
Wafer overlay control (nm)	15	13	11	10	9	8	7.1	6.4	5.7
Wafer overlay output metrology precision (nm, 3 σ)* P/T=.1	1.51	1.27	1.13	1.01	0.90	0.80	0.71	0.64	0.57

*全ての“精密さ”(precision)の値は、単位 nm の 3 σ で表わされており、計測装置間のマッチングを含んでいる。“精密さ”(precision)の要求値は CD のトップ、中間、ボトムが含まれる。

**計測装置の性能は、測定試料の形状、材質、密度に依存しないことが必要とされる。

***リソグラフィのロードマップはライネッジラフネスからライン幅ラフネスに変更となった。

LER—“技術世代の寸法の 2 倍に等しい空間波長“以上の距離にわたって測られた局所的なラインエッジのばらつき(3 σ 合計、全周波数成分 含む、両エッジ)。LWR は、相関関係の無いラインエッジラフネス毎に、 $LWR = \sqrt{2} \times (LER)$ のように定義される。

****コンタクトパターンのボトム CD は、現状 FIB の計測を必要とする。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

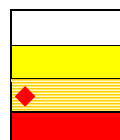


Table 118b Lithography Wafer Metrology Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
Flash ½ Pitch (nm) (Un-contacted Poly)	25	23	20	18	16	14	13
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Printed gate CD control (nm) Uniformity (variance) is 12% of CD Allowed lithography variance = 3/4 total variance of physical gate length *	1.1	1.0	0.9	0.8	0.7	0.6	0.6
Wafer dense line CD control (nm) * Uniformity is 13.5% of CD Allowed lithography variance = 3/4 total variance	3.0	2.6	2.3	2.1	1.9	1.7	1.5
Wafer minimum contact hole (nm, post etch) from lithography tables	28	25	23	20	18	16	14
Wafer contact CD control (nm)* Uniformity is 15% of CD = minimum contact hole size Allowed lithography variance = 2/3 total variance	3.4	3.1	2.8	2.4	2.2	2.0	1.7
Line width roughness (nm, 3 σ) <8% of CD ***	.9	0.8	0.7	.6	0.6	.5	.5
Wafer CD metrology tool precision (nm) * 3 σ at P/T = 0.2 for isolated printed and physical lines [A]	0.23	0.21	0.19	0.17	0.15	0.12	0.12
Wafer CD metrology tool precision (nm) * (P/T=.2 for dense lines**)	0.59	0.53	0.47	0.42	0.37	0.33	0.30
Wafer CD metrology tool precision (nm) * (P/T=.2 for contacts**)****	0.69	0.61	0.56	0.49	0.44	0.39	0.34
Wafer CD metrology tool precision (nm) * (P/T=.2) for LWR***	.18	0.16	0.14	.13	0.12	.1	.1
Maximum CD measurement bias (%)	10	10	10	10	10	10	10
Aspect Ratio Capability for Trench Structure CD Metrology	20:1	20:1	20:1	20:1	20:1	20:1	20:1
Wafer overlay control (nm)	5.1	4.5	4.0	3.6	3.2	2.8	2.5
Wafer overlay output metrology precision (nm, 3 σ)* P/T=.1	0.51	0.45	0.40	0.36	0.32	0.28	0.25

*全ての“精密さ”(precision)の値は、単位nmの3 σ で表わされており、計測装置間のマッチングを含んでいる。“精密さ”(precision)の要求値はCDのトップ、中間、ボトムが含まれる。

**計測装置の性能は、測定試料の形状、材質、密度に依存しないことが必要とされる。

***リソグラフィのロードマップはライネッジラフネスからライン幅ラフネスに変更となった。

LER – “技術世代の寸法の2倍に等しい空間波長“以上の距離にわたって測られた局所的なラインエッジのばらつき(3 σ 合計、全周波数成分含む、両エッジ)。LWRは、相関関係の無いラインエッジラフネス毎に、 $LWR = \sqrt{2} \times (LER)$ のように定義される。

****コンタクパターンボトムCDは、現状FIBの計測を必要とする。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

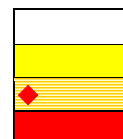


Table 119a Lithography Metrology (Mask) Technology Requirements: Optical—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU gate in resist (nm)	54	48	42	38	34	30	27	24	21
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Flash ½ Pitch (nm) (Un-contacted Poly)	76	64	57	51	45	40	36	32	28
DRAM/Flash CD control (3sigma) (nm)	8.8	7.4	6.6	5.9	5.3	4.7	4.2	3.7	3.3
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H]	3.8	3.4	3.0	2.6	2.4	2.2	1.9	1.7	1.6
Wafer overlay control (nm)	15	13	11	10	9	8	7	6	6
DRAM Contact after etch (nm)	85	72	64	57	51	45	40	36	32
Wafer contact CD control (nm)* Uniformity is 13.5% of CD = minimum contact hole size Allowed lithography variance = 3/4 total variance	10.0	8.4	7.5	6.6	5.9	5.3	4.7	4.2	3.7
Mask nominal image size (nm) [B]	214	191	170	151	135	120	107	95	85
Mask minimum primary feature size [D]	150	133	119	106	94	84	75	67	59
Optical Section									
Minimum OPC size (opaque at 4x, nm) [D]	90	80	70	64	56				
Image placement (nm, multi-point) [F]	9	8	7	6.1	5.4	4.8	4.3	3.8	3.4
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
Mask error factor (MEF) from lithography tables isolated lines, binary	1.4	1.4	1.6	1.8	2	2.2	2.2	2.2	2.2
MEEF dense lines, binary or attenuated phase shift mask [G]	2	2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
MEF contacts [G]	3	3	3.5	4	4	4	4	4	4
CD Uniformity (3 Sigma at 4x, nm) Refer to Lithography Chapter Table for Optical Mask Requirements									
Mask CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H]	3.8	3.3	2.6	2.0	1.7	1.4	1.2	1.1	1.0
Mask CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	7.1	6.0	4.8	4.3	3.8	3.4	3.0	2.7	2.4
Mask contact CD control (nm)* Uniformity is 12% of CD = minimum contact hole size Allowed lithography variance = 3/4 total variance	4.7	4.0	3.0	2.4	2.1	1.9	1.7	1.5	1.3
Mask image placement metrology (precision, P/T=0.1)	0.9	0.8	0.7	0.6	0.5	0.5	0.4	0.4	0.3
Mask CD precision (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] (P/T=0.2 for isolated lines, binary**)	0.8	0.7	0.5	0.4	0.3	0.3	0.2	0.2	0.2
Mask CD precision (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	1.4	1.2	0.96	0.86	0.77	0.68	0.61	0.54	0.48
Mask contact CD precision(nm)* Uniformity is 12% of CD = minimum contact hole size Allowed lithography variance = 3/4 total variance	0.9	0.8	0.6	0.5	0.4	0.4	0.3	0.3	0.3
Specific Requirements									
Alternated PSM phase mean deviation	2	1	1	1	1	1	1	1	1
Phase metrology precision, P/T=0.2	0.4	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2
Attenuated PSM phase mean deviation from 180° (± degree) [S]	3	3	3	3	3	3	3	3	3
Phase uniformity metrology precision, P/T=0.2	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6

Table 119b *Lithography Metrology (Mask) Technology Requirements: Optical—Long-term Years**Optical Masks not part of potential solutions beyond 22 nm, grey-colored cells indicate the transition*

<i>Year of Production</i>	<i>2014</i>	<i>2015</i>	<i>2016</i>	<i>2017</i>	<i>2018</i>	<i>2019</i>	<i>2020</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	28	25	22	20	18	16	14
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)</i>	28	25	22	20	18	16	14
<i>MPU gate in resist (nm)</i>	19	17	15	13	12	11	9
<i>MPU Physical Gate Length (nm)</i>	11	10	9	8	7	6	6
<i>Flash ½ Pitch (nm) (Un-contacted Poly)</i>	25	23	20	18	16	14	13
<i>DRAM/Flash CD control (3sigma) (nm)</i>	3.0	2.6	2.3	2.1	1.9	1.7	1.5
<i>CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H]</i>	1.3	1.2	1.1	1.0	0.8	0.7	0.7
<i>Wafer overlay control (nm)</i>	5	5	4	4	3	3	3
<i>DRAM Contact after etch (nm)</i>	28	25	23	20	18	16	14
<i>Wafer contact CD control (nm)* Uniformity is 13.5% of CD = minimum contact hole size Allowed lithography variance = 3/4 total variance</i>	3.3	3.0	2.6	2.3	2.1	1.9	1.7
<i>Mask nominal image size (nm) [B]</i>	76	67	60	54	48	42	38
<i>Mask minimum primary feature size [D]</i>	53	47	42	37	33	30	26
Optical Section							
<i>Minimum OPC size (opaque at 4×, nm) [D]</i>							
<i>Image placement (nm, multi-point) [F]</i>	3.0	2.7	2.4	2.1	1.9	1.7	1.5
<i>CD uniformity allocation to mask (assumption)</i>	0.4	0.4	0.4	0.4	0.4	0.4	0.4
<i>Mask error factor (MEF) from lithography tables isolated lines, binary</i>	2.2	2.2	2.2	2.2	2.2	2.2	2.2
<i>MEEF dense lines, binary or attenuated phase shift mask [G]</i>	2.2	2.2	2.2	2.2	2.2	2.2	2.2
<i>MEF contacts [G]</i>	4	4	4	4	4	4	4
<i>CD Uniformity (3 Sigma at 4×, nm) Refer to Lithography Chapter Table for Optical Mask Requirements</i>							
<i>Mask CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H]</i>	0.8	0.8	0.7	0.6	0.5	0.5	0.5

Table 119b *Lithography Metrology (Mask) Technology Requirements: Optical—Long-term Years (continued)**Optical Masks not part of potential solutions beyond 22 nm, grey-colored cells indicate the transition*

<i>Year of Production</i>	<i>2014</i>	<i>2015</i>	<i>2016</i>	<i>2017</i>	<i>2018</i>	<i>2019</i>	<i>2020</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	28	25	22	20	18	16	14
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)</i>	28	25	22	20	18	16	14
<i>MPU gate in resist (nm)</i>	19	17	15	13	12	11	9
Mask CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	2.1	1.9	1.7	1.5	1.4	1.2	1.1
Mask contact CD control (nm)* Uniformity is 12% of CD = minimum contact hole size Allowed lithography variance = 3/4 total variance	1.2	1.1	0.9	0.8	0.7	0.7	0.6
Mask image placement metrology (precision, P/T=0.1)							
Mask CD precision (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] (P/T=0.2 for isolated lines, binary**)	0.2	0.2	0.1	0.1	0.1	0.1	0.1
Mask CD precision (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	0.43	0.38	0.34	0.30	0.27	0.24	0.21
Mask contact CD precision(nm)* Uniformity is 12% of CD = minimum contact hole size Allowed lithography variance = 3/4 total variance	0.2	0.2	0.2	0.2	0.1	0.1	0.1
Specific Requirements							
Alternated PSM phase mean deviation							
Phase metrology precision, P/T=0.2							
<i>Attenuated PSM phase mean deviation from 180° (± degree) [S]</i>	3	3	3				
Phase uniformity metrology precision, P/T=0.2	0.6	0.6	0.6				

1.

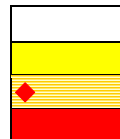
*Manufacturable solutions exist, and are being optimized**Manufacturable solutions are known**Interim solutions are known**Manufacturable solutions are NOT known*

Table 119c Lithography Metrology (Mask) Technology Requirements: EUV—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Flash ½ Pitch (nm) (Un-contacted Poly)				51	45	40	36	32	28
Image placement error (nm, multipoint)				6.1	5.4	4.8	4.3	3.8	3.4
<i>CD Uniformity (3 sigma at 4x, nm)</i>									
Isolated lines (MPU gates) Uniformity is 10% of CD Mask error factor varies with year				3.4	3.0	2.7	2.4	2.1	1.9
Dense lines (DRAM half-pitch) Uniformity is 15% of CD Mask error factor varies with year				8.2	7.3	6.5	5.8	5.2	4.6
DRAM contact after Etch				57	51	45	40	36	32
Contact/Vias Uniformity is 10% of CD mask error factor varies with year				7.6	6.8	4.8	4.3	3.8	3.4
Mask CD metrology tool precision* (P/T=0.2 for isolated lines)**				0.68	0.61	0.54	0.48	0.43	0.38
Mask CD metrology tool precision* (P/T=0.2 for dense lines)**				1.6	1.5	1.3	1.2	1.0	0.92
Mask CD metrology tool precision* (P/T=0.2 for contact/vias)**				1.5	1.4	1.0	0.86	0.76	0.68
<i>Specific Requirements</i>									
Mean peak reflectivity				65%	66%	66%	66%	67%	67%
Peak reflectivity uniformity (3 sigma %)				0.69%	0.58%	0.47%	0.42%	0.37%	0.33%
Absorber sidewall angle tolerance (degrees)				1	1	0.75	0.69	0.62	0.5
Absorber LER (3 sigma, nm)				3.2	2.8	2.5	2.2	2.0	1.8
Mask substrate flatness (peak-to-valley, nm)				75	60	50	41	36	32
Metrology mean peak reflectivity precision (P/T=0.2, %)				1.30%	1.30%	1.30%	1.30%	1.30%	1.30%
Peak reflectivity uniformity metrology precision (3 sigma, P/T = 0.2)				0.14%	0.12%	0.09%	0.08%	0.07%	0.07%
Absorber sidewall angle metrology precision (degrees 3 sigma, P/T = 0.2)				0.20	0.20	0.15	0.14	0.12	0.10
Absorber LER metrology precision (3 sigma, P/T=0.2)				0.64	0.57	0.50	0.45	0.40	0.36
Mask substrate flatness metrology precision (nm 3 sigma, P/T=0.2)				15	12	10	8.2	7.3	6.5

20 nm 世代以前: 灰色のセルは EUV 技術への移行を示している。

*全ての“精密さ”(precision)の値は、単位 nm の 3σ で表わされており、計測装置間のマッチングを含んでいる。

**計測装置の性能は、測定試料の形状、材質、密度に依存しないことが必要とされる。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

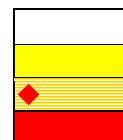


Table 119 d Lithography Metrology (Mask) Technology Requirements: EUV—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Flash ½ Pitch (nm) (Un-contacted Poly)	25	23	20	18	16	14	13
Image placement error (nm, multipoint)	3	2.7	2.4	2.1	1.9	1.7	1.5
<i>CD Uniformity (3 sigma at 4x, nm)</i>							
Isolated lines (MPU gates) Uniformity is 10% of CD Mask error factor varies with year	1.7	1.5	1.3	1.2	1.1	1.0	0.9
Dense lines (DRAM half-pitch) Uniformity is 15% of CD Mask error factor varies with year	4.1	3.7	3.3	2.9	2.6	2.3	2.1
DRAM contact after Etch	28	25	23	20	18	16	14
Contact/Vias Uniformity is 10% of CD mask error factor varies with year	3.0	2.7	1.8	1.6	1.4	1.3	1.1
Mask CD metrology tool precision* (P/T=0.2 for isolated lines)**	0.34	0.30	0.27	0.24	0.21	0.19	0.17
Mask CD metrology tool precision* (P/T=0.2 for dense lines)**	0.82	0.73	0.65	0.58	0.52	0.46	0.41
Mask CD metrology tool precision* (P/T=0.2 for contact/vias)**	0.61	0.54	0.36	0.32	0.29	0.26	0.23
<i>Specific Requirements</i>							
Mean peak reflectivity	67%	67%	67%	67%	67%	67%	67%
Peak reflectivity uniformity (3 sigma %)	0.29%	0.26%	0.23%	0.21%	0.19%	0.17%	0.15%
Absorber sidewall angle tolerance (degrees)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Absorber LER (3 sigma, nm)	1.6	1.4	1.3	1.1	1.0	0.9	0.8
Mask substrate flatness (peak-to-valley, nm)	29	26	23	20	18	16	14
Metrology mean peak reflectivity precision (P/T=0.2, %)	1.30%	1.30%	1.30%	1.30%	1.30%	1.30%	1.30%
Peak reflectivity uniformity metrology precision (3 sigma, P/T = 0.2)	0.06%	0.05%	0.05%	0.04%	0.04%	0.03%	0.03%
Absorber sidewall angle metrology precision (degrees 3 sigma, P/T = 0.2)	0.10	0.10	0.10	0.10	0.10	0.10	0.10
Absorber LER metrology precision (3 sigma, P/T=0.2)	0.32	0.28	0.25	0.22	0.20	0.18	0.16
Mask substrate flatness metrology precision (nm 3 sigma, P/T=0.2)	5.8	5.1	4.6	4.1	3.6	3.2	2.9

灰色のセルは技術が移行する年を示している。

*全ての“精密さ”(precision)の値は、単位 nm の 3σ で表わされており、計測装置間のマッチングを含んでいる。

**計測装置の性能は、測定試料の形状、材質、密度に依存しないことが必要とされる。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

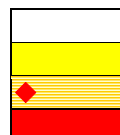


Table 119 a および b の注:

[A] 短期の表で、孤立ラインの CD 測定に付されているオレンジ色の指定は、ロードマップ活動の成果である。パターン加工精度(process range)および“精密さ(precision)に装置マッチングを含めること”が要求値の達成を非常に困難なものにしている。孤立ラインの CD 測定では、1 台の装置だけを使うことによって装置マッチングを考えなくても良いようにし、上の問題を回避している。長期的には、既知の方法の延長では 25nm 線幅の CD 測定を行えないかも知れないので、技術的なブレイクスルーを必要とする。

[B] 公称マスクパターン寸法—ウェーハ上に形成された最小レジストパターンの寸法の 4 倍(マスク縮小比)になる。

[C] 最小主マスクパターン寸法—CD 設定/欠陥制御のために OPC を適用した後の転写可能な最小マスクパターンの寸法。

[D] OPC マスクパターン寸法—転写されない最小マスクパターンの最小幅

[E] 孤立ゲートに対する“リソグラフィでの CD 加工ばらつき(process range)”は、全 CD 加工ばらつき(3σ で CD の 1/10)の 4/5 である。密なライン群に対しては CD の 15%の 4/5 であり、コンタクトビアホールに対しては CD の 15%の 2/3 になる。加工精度は変化するものである。リソグラフィ加工ばらつきに占めるマスクの割合が全リソグラフィ加工ばらつきの 40%を占めるということは、注目すべきことである。マスク誤差係数(MEF)は CD の加工裕度を小さくし、マスクの占める加工ばらつき分を MEF で割った値がマスクでのばらつきとなる。

[F] バイナリマスクの孤立ラインに対するマスク誤差係数は、65nm 技術ノードでは、1.4 から 1.6 の間にある。

[G] レベンソン型位相シフトマスクのマスク誤差係数は 1 である。

[H] 密なライン群に対するマスク誤差係数は、70nm から 100nm 技術ノードで 2 であり、65nm 技術ノードで 2.5、57nm および 50nm 技術ノードでは 3 になる。

[I] コンタクトビアホールに対するマスク誤差係数は、70nm から 100nm 技術ノードで 3 であり、65nm 技術ノードで 3.5、57nm および 50nm 技術ノードでは 4 になる。

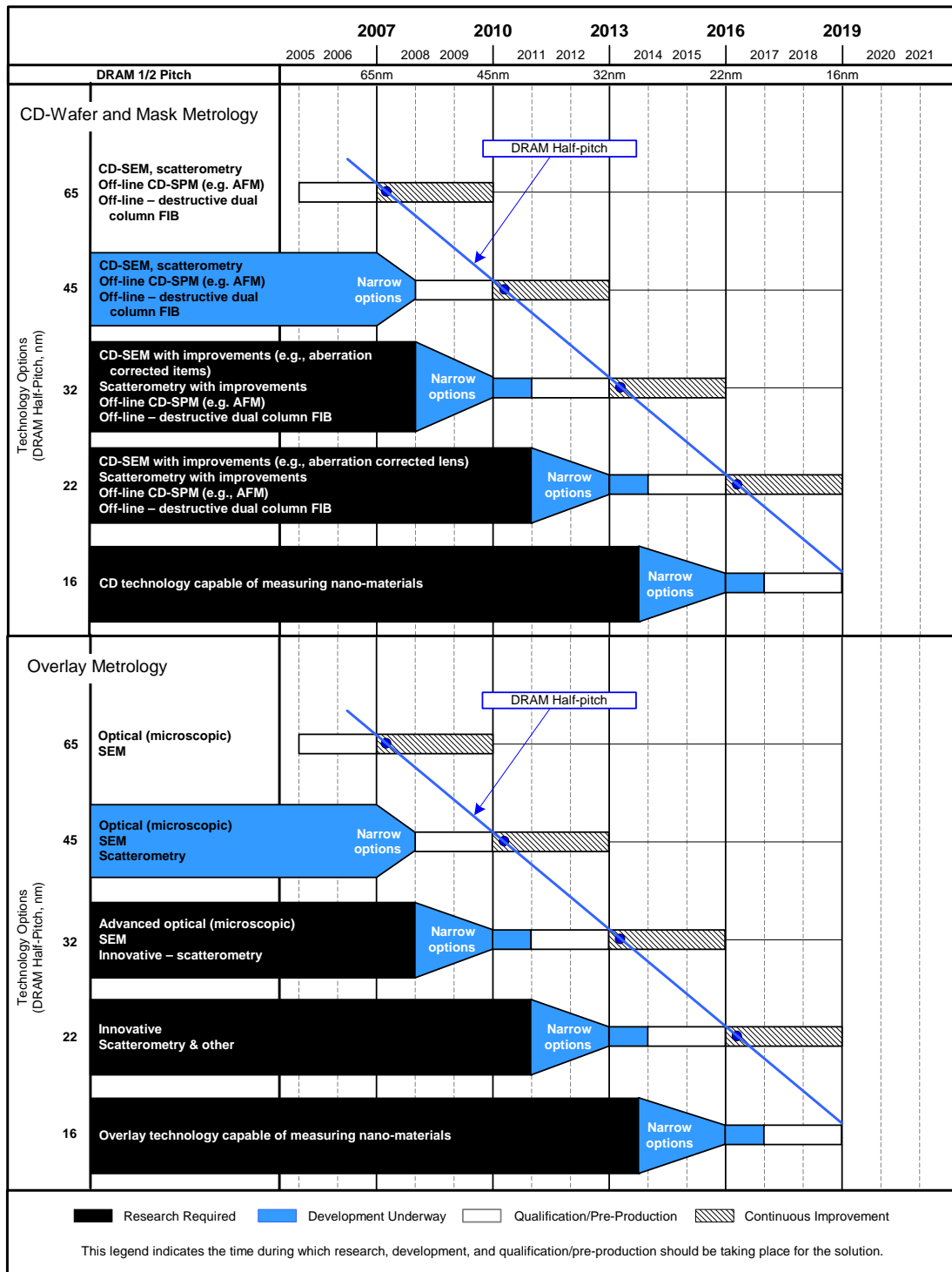


Figure 106 Lithography Metrology Potential Solutions

FEPにおける計測(Front End Processes Metrology)

デバイス・コミュニティは、CMOS と似た構造を持つトランジスタ(非古典的 CMOS と呼ばれる)が今後 15 年間に渡り製造されるスイッチングデバイスであることを示した。どのようなプロセスと設計を選択するかで計測が左右される。各種さまざま異なる設計が用いられる、そして IC 製造メーカーにとって FEP とトランジスタ設計がますます他社との明確な差異化点となるだろう。多くの専門家は FINFET と極薄 SOI 上の CMOS がかなり有力な候補になりうると考えている。メタルゲート電極と High-k スタックによる「ラップアラウンド(wrap around)」ゲートになる。チャンネルに応力を加えて移動度を高めるためのプロセスが数多くあることは、プロセスが如何に多様になるかの一例に過ぎない。新世代技術の導入時期が早まり、“導入課題を克服するために必要とされる計測

技術”を開発することが強く求められている。

次世代技術の導入時期が早められる傾向にあり、トランジスタの開発・製作時に使われる計測も、その技術開発を加速しなければならない。本節では、シリコンウェーハ、洗浄、熱酸化および薄膜形成技術、ドーピング（ドーパントの導入あるいは注入）技術、FEP 用プラズマエッチングに特有な計測ニーズを検討する。リーク電流の制御、しきい値の低電圧化とゲート遅延の短縮、それらの許容度といったプロセスインテグレーションの課題が、ゲート絶縁膜の厚さ、ドーパントの分布、接合深さ、ドーズ量といったプロセスパラメータの許容範囲と密接に関連している。プロセス許容度のモデルを作ることは、トランジスタの計測を考える上で、依然として重要な要件である。FEP における計測の目標到達レベルを Table120、解決策の候補技術を Figure107 に示す。

Table 120a Front End Processes Metrology Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Metrology for metal gate thickness and composition*									
Bulk control limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰
Bulk detection limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹
High-performance EOT (Extended planar bulk)	1.2	1.1	1.1	0.9	0.75	0.65	0.5	0.5	
High-performance EOT (FDSOI)				0.9	0.8	0.7	0.6	0.5	0.5
High-performance EOT (DG)							0.8	0.7	0.6
Low power EOT (bulk)	1.4	1.3	1.2	1.1	1	0.9	0.9	0.9	
Low power EOT (DG)							0.9	0.9	0.8
Low power EOT (FD)							0.9	0.9	0.8
±3σ dielectric process range (EOT) (nm)	±4%	±4%	±4%	±4%	±4%	±4%	±4%	±4%	±4%
EOT measurement precision 3σ (nm) [B]	0.0048	0.0044	0.0044	0.0036	0.003	0.0026	0.002	0.002	0.002
DRAM stacked capacitor structure including electrodes	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM/ others	Pedestal MIM	Pedestal MIM/ others	Pedestal MIM/ others
DRAM stacked capacitor electrodes (near term)	MIM	MIM	MIM	MIM	MIM	MIM	MIM	MIM	MIM
DRAM stacked capacitor dielectric material	ALO/TAO /others	ALO/TAO /others	ALO/TAO/ others	ALO/TAO/ others	ALO/TAO/ others	ALO/TAO/ others	new material	new material	new material
DRAM stacked capacitor dielectric constant	40	50	50	50	50	50	50	60	60
EOT (nm) for stacked capacitor	1.8	1.4	0.8	0.8	0.8	0.7	0.7	0.6	0.5
DRAM stacked capacitor dielectric physical thickness (nm)	18	17.5	10	10	10	8.75	8.75	9	7.5
±3σ process range	±4%	±4%	±4%	±4%	±4%	±4%	±4%	±4%	±4%
DRAM capacitor dielectric physical thickness measurement precision (nm 3s) [C]	0.0072	0.0056	0.0032	0.0032	0.0032	0.0028	0.0028	0.0024	0.002
Uniform channel concentration (cm ⁻³), for V _t =0.4 [W]	1.5–2.5 E18	2.0–4.0 E18	2.5–5.0 E18	NA	NA	NA	NA	NA	NA
Dopant atom	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B

Table 120a Front End Processes Metrology Technology Requirements—Near-term Years (continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Metrology for junction depth [based on drain extension] of (nm) Note change to different structure for 2008	17.6	15.4	13.8	8.8	8	7.2	12.8	11.2	10.4
Extension lateral abruptness (nm/decade) [M]	3.5	3.1	2.8	TBD	TBD	TBD	TBD	TBD	TBD
Lateral/depth spatial resolution for 2D/3D dopant profile (nm)	3.5	3.1	2.8	TBD	TBD	TBD	TBD	TBD	TBD
At-line dopant concentration precision (across concentration range) [D]	4%	4%	4%	4%	4%	2%	2%	2%	2%
Metal gate work function for bulk MPU/ASIC $ E_{c,v} - f_m $ (eV) [***]		<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	
Metal gate work function for FDSOI MPU/ASIC $ f_m - E_i $ (eV) NMOS/PMOS [***]				± 0.1	± 0.1	± 0.1	± 0.1	± 0.1	± 0.1
Metal gate work function for multi-gate MPU/ASIC [***]							midgap	midgap	midgap
Metal gate work function for bulk low operating power $ E_{c,v} - f_m $ (eV) [***]		<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Metal gate workfunction for FDSOI LOP [***]							midgap	midgap	midgap
Metal gate work function for multi-gate LOP [***]							midgap	midgap	midgap
Metal gate work function for bulk LSTP $ E_{c,v} - f_m $ (eV) [***]				<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Metal gate work function for FDSOI and multi-gate LSTP $ f_m - E_i $ (eV) NMOS/PMOS [***]									
Metrology for metal gate thickness and composition*									
Starting silicon layer thickness (SOI) (fully depleted) (tolerance ± 5%, 3s) (nm) [M]	20–36	19–34	18–33	17–31	16–30	15–19	15–18	14–17	14–17
SOI Si thickness precision (3s in nm)	0.1	0.095	0.09	0.085	0.08	0.075	0.075	0.07	0.07

Grey cells indicate transition years of technologies.

* Cell colors indicate this is an overarching metrology for metal gate thickness and composition that are critical challenges during the long-term years.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

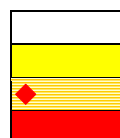


Table 120b Front End Processes Metrology Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Metrology for metal gate thickness and composition*							
Bulk control limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰	0.5x10 ¹⁰
Bulk detection limits for trace metals for bulk silicon and SOI top silicon layer. (Fe concentration in atoms/cm ³)	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹	0.5x10 ⁹
High-pPerformance EOT (Extended planar bulk)							
High-performance EOT (FDSOI)	0.5	0.5					
High-performance EOT (DG)	0.6	0.6	0.5	0.5	0.5	0.5	0.5
Low power EOT (bulk)							
Low power EOT (DG)	0.8	0.8	0.7	0.7	0.7	0.7	0.7
Low power EOT (FD)	0.8	0.8	0.7	0.8			
± 3σ dielectric process range (EOT) (nm)	± 4%	± 4%	± 4%	± 4%	± 4%	± 4%	± 4%
EOT measurement precision 3σ (nm) [B]	0.002	0.002	0.002	0.002	0.002	0.002	0.002
DRAM stacked capacitor structure including electrodes	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
DRAM stacked capacitor electrodes (near term)							
DRAM stacked capacitor dielectric material	new material	new material					
DRAM stacked capacitor dielectric constant	70	80	80	90	100		
EOT (nm) for stacked capacitor	0.5	0.4	0.4	0.3	0.25		
DRAM stacked capacitor dielectric physical thickness (nm)	8.75	8	8	6.75	6.25	0	0
± 3σ process range	± 4%	± 4%	± 4%	± 4%	± 4%		
DRAM capacitor dielectric physical thickness measurement precision (nm 3s) [C]	0.002	0.0016	0.0016	0.0012	0.001	0	0
Uniform channel concentration (cm ⁻³), for V _t =0.4 [W]	NA	NA	NA	NA	NA		
Dopant atom	P, As, B	P, As, B	P, As, B	P, As, B	P, As, B		
Metrology for junction depth [based on drain extension] of (nm) Note change to different structure for 2008	8.8	8	7.2	6.4	5.6		
Extension lateral abruptness (nm/decade) [M]	TBD	TBD	TBD	TBD	TBD		
Lateral/depth spatial resolution for 2D/3D dopant profile (nm)	TBD	TBD	TBD	TBD	TBD		

Table 120b Front End Processes Metrology Technology Requirements—Long-term Years (continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
At-line dopant concentration precision (across concentration range) [D]	2%	2%	2%	2%	2%		
Metal gate work function for bulk MPU/ASIC $ E_{c,v} - \phi_m $ (eV) [***]							
Metal gate work function for FDSOI MPU/ASIC $ \phi_m - E_i $ (eV) NMOS/PMOS [***]	±0.1	±0.1					
Metal gate work function for multi-gate MPU/ASIC [***]	midgap	midgap	midgap	midgap	midgap	midgap	midgap
Metal gate work function for bulk low operating power $ E_{c,v} - \phi_m $ (eV) [***]							
Metal gate work function for FDSOI LOP [***]	midgap	midgap	midgap	midgap	midgap	midgap	midgap
Metal gate work function for multi-gate LOP [***]	midgap	midgap	midgap	midgap	midgap	midgap	midgap
Metal gate work function for bulk LSTP $ E_{c,v} - \phi_m $ (eV) [***]							
Metal gate work function for FDSOI and multi-gate LSTP $ \phi_m - E_i $ (eV) NMOS/PMOS [***]	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1
Starting silicon layer thickness (SOI) (fully depleted) (tolerance ± 5%, 3s) (nm) [M]	13–16	13–15	13–15	12–14	12–14		
SOI Si thickness precision (3s in nm)	0.065	0.065	0.065	0.06	0.06	0.1	0.1

Grey cells indicate transition years of technologies.

* Cell colors indicate this is an overarching metrology for metal gate thickness and composition that are critical challenges during the long-term years.

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

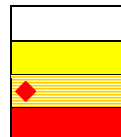


Table 120a と 120b の注:

[A] SOI ウェーハを使うには計測技術の開発が必要。

[B] 計測精度は $P/T=0.1=6x$ 計測精度/プロセスレンジから求められる。計測要求値は SiO_2 膜と電氣的に等価な膜厚を示している。 SiON と SiN/SiO_2 スタックは 130-100nm ノードのロジックデバイスで SiO_2 に置き換わると考えられ、 Ta_2O_5 のような高誘電率膜は 70nm ノード以降、もしくは 100nm ノードのロジックデバイスで使われるだろう。高誘電率膜の物理膜厚は、比誘電率 ($\epsilon_{\text{High-k}}/\epsilon_{\text{ox}}$) と EOT を掛けることで求められる。例えば 6.4nm の Ta_2O_5 ($k \approx 2.5$) は EOT=1nm (SiO_2 の $k=3.9$) である。表にある精度は EOT 換算であり、対象の高誘電率膜の精度を知るには比誘電率を掛けなければならない。スタックの総容量には誘電率膜に界面層が含まれ、チャネル部の量子効果とポリシリコンゲートの空乏層の成分も含まれる。従って、ゲート誘電体の膜厚測定の課題には、界面層の計測技術も含まれている。

[C] MIS 構造の場合、物理膜厚 $\text{tdiel} = (\text{teq.ox} - 1\text{nm})\text{diel} \times \epsilon_{\text{High-k}}/3.9$ 式で求めることができ、熱処理時にポリシリコンと高誘電率膜の界面に形成される酸化膜を考慮に入れる必要がある。MIM 構造の場合、物理膜厚 $\text{tdiel} = \text{teq.ox} \times \epsilon_{\text{High-k}}/3.9$ で求めることができる。ここで、 teq.ox は SiO_2 換算膜厚であり、 $\epsilon_{\text{High-k}}$ は高誘電率膜の比誘電率である。

[D] 統計的エラーの少ない状態で高精度に測定する必要がある。

次世代技術の導入時期が早められる傾向にあり、トランジスタの開発・製作時に使われる計測も、その技術開発を加速しなければならない。本節では、シリコンウェーハ、洗浄、熱酸化および薄膜形成技術、ドーピング (ドーパントの導入あるいは注入) 技術、FEP 用プラズマエッチングに特有な計測ニーズを検討する。リーク電流の制御、しきい値の低電圧化とゲート遅延の短縮、それらの許容度といったプロセスインテグレーションの課題が、ゲート絶縁膜の厚さ、ドーパントの分布、接合深さ、ドーズ量といったプロセスパラメータの許容範囲と密接に関連している。プロセス許容度のモデルを作ることは、トランジスタの計測を考える上で、依然として重要

な要件である。FEP における計測の目標到達レベルを Table120、解決策の候補技術を Figure107 に示す。

シリコンウェーハ (Starting Materials) — シリコンウェーハに関連した計測技術の課題は、SOI、歪 Si およびこれらの組合せのように新規な層状物質に関連している。何層もの界面を伴いつつ、進行する薄膜化によって、多くの材料計測技術には課題が提起されることになる。

関連する領域は次のようなものである：

- p+ウェーハ、SOI ウェーハ、歪 Si それに極薄 SOI ウェーハの Si 中にある Ni や Cu の測定
- 薄いSOIウェーハのトップSi中の 10^9 - 10^{10} cm⁻³のFe(やその他の金属)の測定
- 窒素ドーピングしたエピウェーハやアニールウェーハ中にある 1×10^{14} cm⁻³以下の窒素濃度ばらつきの測定
- 非常に薄い SOI 層 (<20nm) の膜厚と均一性
- 薄膜中の欠陥密度(例. 貫通転位や HF 欠陥)
- 層状物質の表面にあるパーティクルの検出 (<100nm)

ナノポグラフィ(2-20mmの長さレンジでのナノメータスケールの凹凸)に関する計測要求は依然としてある。微小パーティクル(<50nm)の検出は、今後に渡っての課題である。シリコンウェーハに対して、90nm 以下のパーティクル測定仕様にはサブ 90nm の計測技術を用いるのではなく、90nm パーティクルの検出値を基にして 90 nm 以下のパーティクル測定値を求めることになるということを指摘しておく。詳細については、FEP 章のシリコンウェーハ(Starting Materials)の節を参照されたい。

SOI (Silicon-On-Insulator) — SOI は IC デバイス要求の本流となりつつある。そしてロードマップに沿って発展していくと予想される。今までの鏡面シリコン基板のための材料仕様が SOI 仕様に移ることが期待される。しかし、SOI の下層絶縁膜構造では、鏡面シリコン基板に利用されている多くの計測の性能が低下する可能性が高い、従って必要なレベルでの SOI の材料特性の測定や制御をする事が出来ない。これは、SOI 計測にとって主要な課題であり、計測関係者はすぐに対応しなくてはならない。計測課題の詳細については、FEP の章のシリコンウェーハ(Starting Materials)の部分参照されたい。

2001 年のロードマップで予測されたよりも早く、SOI なしの歪 Si がチャネル移動度増加の有力解となった。歪 Si に関する計測技術の問題は、計測の章の材料評価(Materials Characterization)の節を参照されたい。

洗浄 (Surface Preparation) — 微粒子、化学組成、そして可能ならば微量金属の挙動を検出する為、in-situ センサがウェット洗浄装置に組み込まれつつある。微粒子検出は"歩留り改善の章"で取り扱われている。微粒子、欠陥と金属、そして有機汚染の解析は、本章の"材料と汚染の評価/解析"の節で述べられる。High-k ゲート絶縁膜中の不純物の影響と、そのために生ずる計測に対する要求は今後の研究項目である。

熱酸化/薄膜形成技術 (Thermal/Thin Films) — SiONから高誘電率(High-k)材料へ移行することは、今でも計測の主要な課題のままである。High-k 材料の計測の開発は継続する必要がある、そして、界面層の計測は課題のまま残されている。FEP のロードマップでは、2005 年に低電力デバイスと高性能デバイスの両方で High-k 材料の適用を示している。界面層の制御を可能とする解決策候補は、赤外線、および/または紫外線波長領域へ拡張したインライン光学計測手法である。高周波電気試験法の継続的な開発と標準化、および絶縁物の信頼性を試験する新しい方法が必要である。High-k の電氣的試験方法として、従来法の容量とトランジスタ構造による方法、水銀プローブによる方法、非接触コロナ放電法がすべて開発段階にある。"膜堆積後のゲート絶縁膜/容量絶縁膜の誘電特性は、熱処理後の誘電特性とは異なる"という無視できない証拠がある。このことは、電気計測データと物理計測データとの比較を複雑なものにする。しかし、両者の相関をはっきりさせることが必要である。High-k 材料への STEM や X 線反射率法のような材料評価・解析手法の応用は、SiGe チャネル内の Ge の制御のための手法と同様に本章の "材料と汚染の評価/解析" の節で検討される。

ゲート電極プロセスを制御するために、更に計測技術の開発が必要である。新たなゲート電極プロセスとその膜厚制御の例として、複数膜厚を有するポリシリゲートプロセスが挙げられる。メタルゲート電極の膜厚と仕事関数制御のためには、新しい計測技術が必要である。

応力誘導プロセスに依るキャリア移動度向上はトランジスタ技術の重要な構成要素であり続ける。一般的にNMOSTランジスタは、 Si_3N_4 キャップ層のプロセス条件や厚みで引張応力を与えられる。PMOSTランジスタではさまざまな方法で圧縮応力を与えられる。ソース・ドレインに於けるシリコンのSiGeへの置換やSTIプロセスの厳密な設計はその一例である。PMOSゲートとSTIの間の距離が応力の尺度になる。ナノオーダーレベルのトランジスタ領域に於ける応力を直接測定することはほとんど不可能である。モデリングに依って、測定可能な量(例えば Si_3N_4 キャップ層の厚み)がNMOSチャンネル移動度に関連付けられる。新プロセスが導入されると、技術課題自体が一新される。歪みシリコンへの移行時期やFINFETSもしくはラップアラウンド(wrap around)ゲートの導入時期が明確でないことは技術課題をさらに複雑にしている。

FERAM — 誘電体膜の厚さが100から200nmであっても、新しい材料の組合せが使用されるときには、金属酸化物のインライン膜厚測定のための光学モデルを開発しなければならない。 10^{16} 回以上の読み・書き込みサイクルでの容量部分の疲労劣化試験のための計測技術が第一に必要なものである。

ドーピング技術 — 活性ドーパント注入を制御するために、90nm技術ノード以降に向けて、インライン測定技術を改良しなければならない。現在、高ドーズ注入のプロセス制御には4探針法が用いられ、低ドーズ注入にはサーマルウェーブ法(Thermally Modulated Optical Reflectance)が用いられている。両手法ともに改善されねばならない。リアルタイム制御を可能とするドーズ量、ドーパントプロファイル、ドーズの均一性の直接その場測定ができる新しい測定方法の開発が必要である。B、P、As注入を制御するための新計測技術が必要である。そして、B、P、Asの蛍光X線法に基づいてドーズ量測定用に最適化されたインライン型の電子マイクロプローブシステム(In-line Electron Microprobe System)が最近導入されている。オフラインであるが、SIMS(Secondary Ion Mass Spectroscopy)を用いれば、極浅接合などで現在必要とされる測定精度を達成できる。キャリアイルミネーション法(光学技術)などの新しい非破壊測定法について、どの程度の可能性と能力を有するものであるかが、現在評価されている所である。2次元、可能ならば3次元のドーパントプロファイルを観測することが、次世代技術の開発には不可欠である。新しいドーピング技術を開発するためには、活性ドーパントのプロファイルとそのTCAD(technology computer-aided design)モデルの作成と欠陥の分布を知ることが必要となる。(訳注:キャリアイルミネーション(Carrier Illumination)法とは、光照射によってキャリアを発生させ、より長波長のプローブ光で接合位置などを検出する方法。)

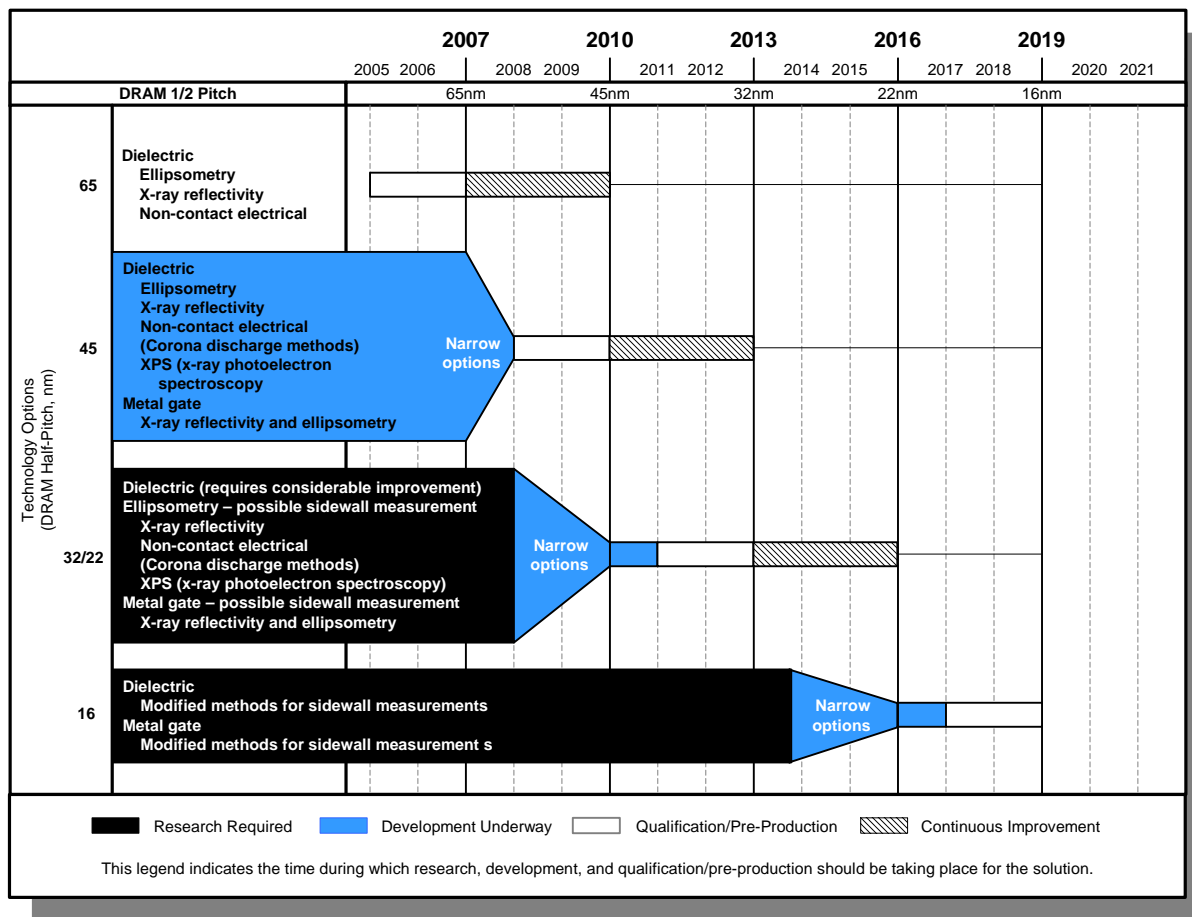


Figure 107 FEP Metrology Potential Solutions

配線における計測 (Interconnect Metrology)

全てのIC構造において、シリコンから基盤までおよび外界である箱と接続するのに配線が必須であり、中でもムーアの法則を半導体産業が維持するには、内部配線が技術的に性能上においては重大な障壁である。この障壁は技術とコストの両方の要素を持っている。技術的要素としては、アルミ/SiO₂構成からCu/Low-kへの移行という範疇にとどまらず、単なる金属/誘電膜構成を凌駕するような、より次世代の配線構造へ向けたアプローチが必要である。コスト要素には、流行の技術を駆使したグローバル配線構造か、現役である金属/誘電膜接続構造を採用するか、二者択一という問題がある。いずれにしても、生産における高コスト化が予想される。コスト問題と技術障壁のせめぎ合いの中で、アルミ/SiO₂構成からCu-Low-k構成への切り替えにおいて発生する独自の問題は、プロセス開発、製造確認、工程管理のための新しい計測技術の開発にとっても、重要な挑戦である。例えば、Cu-Low-kにおいては、Cuと誘電膜の間のバリア層の厚みを最小にして作りたい。これは結果として、測定試料の準備において、極薄膜層と「厚さゼロ」の領域の接合面に望ましくない影響が出て接合破壊が起こる事がないような、膜厚や詳細な特性値の測定をしたいといったニーズが生まれることになる。配線の計測(特性測定)が直面するもっとも挑戦的な課題のひとつは、トレンチとビアの側壁部分の測定能力不足である。次世代の配線(構造)への移行のオプションとして予想されることは、光配線における場合と同様の問題、たとえば非常に狭い導波路内部の光学特性をプロファイルするとか、導波路内部の非常に微小な光学的欠陥を特定するといったような、新たな計測の課題を生む。新たに必要になった測定手法問題のうちいくつかは、既存のテクニックを応用進化させたかきい方法や、新しい測定手法の発見によって解決された。しかしながら、いくつかの計測課題、特に難しいと指摘されている課題は、現状測定法やその発展形では手がつかない状態であり、解決策のめどがたっていない。

配線における計測の要求は、上述のとおり、既存の計測技術に対しては継続的発展を、また同様に、次世代の配線構造のために、革新的な計測技術開発への要求が高まっている。次の章では、最新の配線構造のための、現状の計測技術の状況とニーズについてと今後のあるべき方向性および将来動向について概要を記述する。

Cu-Low-k 膜のメッキ配線問題と計測技術への要求

Cu メッキ配線の問題

半導体産業界はCu-Low-k配線におけるシングルダマシンとデュアルダマシンの両方の技術の開発および量産を経験した。この経験で得た重要な知見として、研究時および開発時にどんな測定を主として行いそれがどんな数値であれば、量産時にどのプロセスパラメータをコントロールすればよいか判ったことである。そして、この測定法はさらに、計測における新たないくつかのニーズを明らかにしたが、そのうちいくつかは既に準備ができていて、仕上がっているものもある。Cu配線への移行は、アルミ配線の時とは、かなり大きな違いがある。もっとも大きな違いはCuの成膜に、アルミ成膜に使う低圧力下での反応性蒸着法とは対極にある、電気メッキ法をつかうということである。この成膜法の変更によって、多くの新たなプロセス計測のニーズが生じた。中でも一番重要なのは、電気メッキ炉の厳密な制御および中の電解銅の抵抗増加を招く非常に低レベルの不純物の同定が必要なことである。今では、我々は金属銅配線の信頼性がエレクトロマイグレーションとストレスマイグレーションによって劣化することを知っている。この劣化を引き起こす主たる要因は、配線Cuと誘電膜とバリア層の間の接合面に沿って発生する表面拡散Cuによるものである。メタルビアと配線の内部のボイドが甚大な歩留まり低下を引き起こす元凶であることが突き止められている。問題を起こすボイドは、成膜/CMP/アニール後に、微小ボイドが凝集して発生し、エレクトロマイグレーションもしくはストレスマイグレーションの発生で顕在化した。もうひとつの、ボイドに関係する重要な問題として、広いパターン領域を形成するCu配線のなかに単独で存在するボイドがあり、これが低信頼性の原因であることを確認できるようにする必要がある。これら単独で発生するボイドが、直接歩留まり低下を引き起こしているのを突き止めるのは大変だが、これが後々の信頼性不良の引き金になっている。これらのボイドは配線の表面に存在する場合もあるが、大抵は配線内部もしくはビア(孔)の中に隠れて居る。Cuメッキ配線におけるさらなる問題が、Cu層と誘電膜の分離にある薄いバリア層で発生している。この極薄いバリア層によって超薄膜層の接合特性、欠陥および非常に細長いチャンネルの側壁の材料構造などの測定が絶対必要になった。

上記の問題は全て90nmかそれ以降のCuメッキ配線において重要になってくることが判った。半導体製造プロセスが90nm以降へ移行するときに上記の問題が再浮上する。将来直面するであろう新たな課題を、今から全部予想する能力を我々は持ち合わせていないが、それでも、いくつかの問題は、現状の技術で微細化を進めると何が起きるかを、すこしは推定することができる。現状ではなんとか許容範囲にある計測限界を、将来技術とその技術的進化によって広げてやる必要があることは明白である。Cuメッキ配線における計測技術の将来への要求は、超薄膜の厚み測定特がますます重要になっている、とくに側壁のバリア層の厚み測定が重要である。これら2nm以下の薄膜層の物理特性と構造の確立を可能にするだけでなく、膜中の典型的な欠陥を確認して見極めることも必須である。付随する問題領域に関する研究は広まっては居ないが、Cuとバリアもしくはインターフェースである誘電層の間の接合面のより微小な接合構造がますます重要になってきている。Cu抵抗値が小さくなればなるほど、接合部に拡散が起きて細線抵抗が激増することが予想される。

Cu メッキ配線の計測

Cuの電気メッキシステムは、電気メッキされたCu膜で必要な特性を維持するために、メッキ槽での添加物、副産物および無機の内容物の中身の定量評価を必要とします。プロセス監視は、メッキ槽の経時劣化から生じる添加物、副産物、および無機物をメッキ最中(in-situ)で計測する必要がある。そのため、メッキ液槽のリアルタイム標本抽出による質量分析法が、新たな問題解決候補(Potential Solution)となった。交流電圧ストリップ法(CVS)が、メッキ品質上に必要な添加物と副産物の合体効果を測定するのに広く採用されている。液浸クロマトグラフィーによる定量分析法は、無機物をモニターすることで、分離不能な内容物や電気的には非導通で

量のある内容物を、個々独立して測定できるので、Cu 計測に使うような大量の分析には役立つ。

非常に薄いバリア層へ統計的な工程管理を適用するには、すこし不安が残る。配線の技術的な将来要求は、バリア層 5nm 以下を示唆している。ITRS2001 が規定したプロセスウィンドウは総合で膜厚変動 20% 以下のプロセス変動である。6nm 厚の膜の厳密な膜厚保測定精度(6σ)は 0.12nm 以下でなければならないが、これは現状の技術では出来ない。従来の統計的基準値(SPC)を使わなければ、この極薄膜があるかないかを知るだけなら、既存の技術でもなんとかなる。目下、シード Cu 下のバリア層で膜が水平に形成された部分だけは、いくつかの計測手法を適用して測定できる。この計測法には超音波計測法、X線反射法、蛍光X線法などで、パターンウェーハに使える方法もある。配線における結晶粒界の大きさ(グレインの方向性)を決めるのに X線回折法をつかう方法が提唱された。Cu 内部のボイドを検出するには、CMP とアニール処理直後がもっとも適する。Cu ボイド測定の項目の一部として、インラインでの Cu ボイド計測には多くの開発課題があることを、配線ロードマップで指摘している。しかしながら、多くがボイドの検出にのみに注力されており、プロセス制御のために必要な統計的なサンプリングにのっとったものではない。ボイド計測手法の多くは、Cu 配線総質量の変化を検出することにもとづいている。Cu 配線のチップにまたがる横方向の膜厚ばらつきの方が大きくて、前述の方法で確認できるほとんどのボイドはマスクされてしまう。配線を構成する多種の成膜材料が、広範囲な膜厚変化の発生に影響を与えているため、立体的な分解能を持ち、しかも高速の(製品ウェーハのための)多層膜の膜厚測定に断固として挑戦しなくてはならない。

Cu/バリア層の結晶構成(粒界方向)のインライン測定は、エックス線回折法をベースにした手法を現在では使うことができる。この技術をプロセスモニターとして使えるかどうかを現在評価中であり、電気特性と歩留まりとの関係を調査している。

配線形成のための CMP プロセスに代わる処理では、Cu 配線のディッシングとエロージョンの測定が必要である。現在は、光学式と超音波式の技術適用が模索されているが、量産の現場でディッシングとエロージョンをきちんと検出するためには、統計的なサンプリングの要求にも応えねばならない。

膜中に水成分を含んだ新材料および新構造の採用に伴って、その他の分野での計測的な課題としては、膜の化学的定量評価、機械的強度および剛性、局所的ストレス(対ウェーハストレス)、そして細線抵抗(対バルク抵抗)。

付け加えるに、計測技術開発に平行して、感度校正方法と規格の開発が必要である。測定技術は将来、化学機械研磨(CMP)において膜の水平方向の面の埋め込みバリア膜の厚さの決定を in-situ (処理の真っ最中)で制御が可能になる。ポーラス Low-k のポア(空孔)サイズの分布測定には、低角 X 線散乱法もしくはエリプソポロシメーター法(エリプソ細孔測定法)を用いる。Cu 配線のボイドは現場でも検出できるようになったが、ほとんどの手法は Cu 配線の質量の変化をもとに測定している。しかしながら、CMP などのように、ウェーハ間で違いが起きるようなプロセス要因で、ボイドをマスクしてしまう場合がある。インラインでメッキ槽の化学的性質を制御する計測は実用化されている。

いくつかの計測項目についてはまだ良い方法が見つかっていない。例えば、サイドウォール上のバリア膜、Cu シード膜の膜厚は未だに計測することが出来ない。最近、サイドウォールの組織構造を結晶学的に計測する方法についての報告が出されている。接着強度については、未だに破壊検査により計測されている。多孔質 Low-k 膜用の新しいエッチングストップ材に対応したエッチング終点検出技術が開発されなければならない。キラーとなるポア、ボイドの検出はまだ出来るようになっていない。

パターンサイズ縮小が加速されるのに伴い、オンチップ配線の開発と量産において高アスペクト比構造の計測技術開発がより重要な技術課題となってきた。配線プロセス開発においても CD 計測技術が重要な鍵とな

っている。多孔質誘電体で出来た非常に高いアスペクト比構造にも適用出来る CD 計測技術が必要であり、トレンチやビア/コンタクトの側壁に関する 3 次元情報が CD 計測に必要となっている。これらの計測は、下層の多層膜の影響によりさらに複雑となっている。

配線用の装置、プロセス開発及びパイロットライン生産のどの段階に於いても、パターン付き膜、パターン無し膜の両方の詳細な評価が求められている。現在、配線構造に係わるインライン計測の多くは、簡略化された構造を計測するか、もしくはモニタウェーハを計測するものであり、その多くは破壊検査である。超薄バリア層を含む構造の微細化により、現在の技術は進展を続けるであろう。電氣的性能、歩留まりや信頼性と相関が取れるような CD 寸法や物理測定データを提供することが求められ、そのためには、計測技術の継続な開発が必要である。製造段階でより効率的かつ経済的な計測を行うためには、パターン付きウェーハを計測できるようにしなければならない。配線における計測の目標到達レベルを Table121 に、解決策の候補技術を Figure108 に示す。Cu 配線中のボイド計測と Low-k 膜中のキラーポア計測に関する新しい要求は実現困難もしくは不可能であるように見える。要求されているのは、素早く、インラインで非常に少ない数のボイドと比較的大きいサイズのポアを観察できる技術である。主たる技術課題は Table121 で示したような割合のボイド、ポアについて統計的に意味のある情報をもつ計測方法を得ることである。

Table 121a Interconnect Metrology Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Metrology for maintaining planarity requirements: lithography field (mm × mm) for minimum interconnect CD (nm) [A]	500	500	500	500	500	500	500	500	500
Measurement of deposited barrier layer at thickness (nm)	7.3	6	5.2	4.3	3.7	3.3	2.9	2.6	2.4
Process range ($\pm 3\sigma$)	10%	10%	10%	10%	10%	10%	10%	10%	10%
Precision σ (nm) for P/T=0.1 [B]	0.073	0.06	0.052	0.043	0.037	0.033	0.029	0.026	0.024
Metrology capability to measure Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μ m square array	24	21	19	17	15	14	13	13	10
Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1% or more of total metal level conductor volume of copper lines and vias.	8	7	6.5	5.7	5	4.5	4	3.5	3.2
Detection of killer pore in ILD at (nm) size	8	7	6.5	5.7	5	4.5	4	3.5	3.2
Measure interlevel metal insulator bulk/effective dielectric constant (κ) and anisotropy on patterned structures [C]	≤ 2.7	≤ 2.7	≤ 2.4	≤ 2.4	≤ 2.2	≤ 2.2	≤ 2.2	≤ 2.0	≤ 2.0
	3.1–3.4	3.1–3.4	2.7–3.0	2.7–3.0	2.5–2.8	2.5–2.8	2.5–2.8	2.3–2.6	2.3–2.6

Table 121b Interconnect Metrology Technology Requirements—Long-term Years

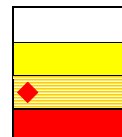
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Metrology for maintaining planarity requirements: lithography field (mm × mm) for minimum interconnect CD (nm) [A]	500	500	500	500	500	500	500
Measurement of deposited barrier layer at thickness (nm)	2.1	1.9	1.7	1.5	1.3	1.2	1.1
Process range ($\pm 3\sigma$)	10%	10%	10%	10%	10%	10%	10%
Precision σ (nm) for P/T=0.1 [B]	0.021	0.019	0.017	0.015	0.013	0.012	0.011
Metrology capability to measure Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μ m square array	10	9	8	7	7	6	6
Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1% or more of total metal level conductor volume of copper lines and vias.	2.8	2.5	2.2	2	1.8	1.6	1.4
Detection of killer pore in ILD at (nm) size	2.8	2.5	2.2	2	1.8	1.6	1.4
Measure interlevel metal insulator bulk/effective dielectric constant (κ) and anisotropy on patterned structures [C]	≤ 2.0	≤ 1.8	≤ 1.8	≤ 1.8	≤ 1.6	≤ 1.6	≤ 1.6
	2.3–2.6	2.1–2.4	2.1–2.4	2.1–2.4	1.9–2.2	1.9–2.2	1.9–2.2

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



低誘電率(Low-k)膜の課題と計測要求

低誘電率(Low-k)膜の課題

配線構造において、SiO₂から他のより低い誘電率が得られる誘電膜へ移行することは、それが同程度であって、たとえ同程度以上でないとしても、半導体産業にとってはアルミからCuへの移行と同じくらいに難題である。Low-k材料の採用が前途多難とされる理由は、前任者のSiO₂に比べて物理特性も機械特性もまったく異なっていることにある。材料内部にポアが存在するために機械特性が一番に大きく異なってしまう。機械的強度が低いために、新しい材料やプロセスを後工程(バックエンド)で使った結果、実装・組み立てやパッケージングにおいてまで、新しい系統の問題を誘発してしまった。実現可能な実装とパッケージングのための、後工程の最終処理での材料を最適化するための、便利で有能な計測ツールと計測方法が無いことである。第2の問題はポーラス材料特性の同定である。現状では、飛びぬけて大きいポアや繋がってしまっているポア(致命ポアと呼ぶ)もしくは逆に材料内部でポアが小さすぎてしまったりするのを特定する、計測技術も計測方法論も無い。勿論、Low-kパターンのサイドウォールでの材料特性を評価するための、物理特性、化学構造、電特性を計測する有効な技術も無い。エッチングのプラズマとポアの密閉などのプロセスによって発生するダメージを、側壁の極薄膜の物理的な層の特性で定量化できるようにする必要がある。これら特性は、サイドウォール表面とそこに繋がっているポーラス材料との両方において、プロセス途中で定量評価できる必要がある。上記2つの課題については、誘電膜の標準的測定法の確立を促進し、それは今現在の誘電膜のためだけではなく、さほど遠い未来ではない数ナノメートル世代にも使われであろうことを記述しておく。

低誘電率(Low-k)膜の計測

非多孔質 Low-k 材を使ったプロセスでは、膜厚と CMP 後の平坦度が計測される。また、CMP の制御に in-situ センサが広く用いられている。多孔質 Low-k 材の研究開発においては、計測はクリティカルな部分であり続ける。研究開発段階で使われた計測項目の中からいくつかのものを量産段階へ移行する必要があるが、どのようなものを移行するかは議論を要する。例えば、ポアサイズ分布の計測がこの中に含まれる。ポアサイズ分布はこれまで低角中性子散乱法や陽電子消滅法、エリプソメトリとガス吸着法を組み合わせた方法(エリプソメトリック・ポロシメトリ)、そして X 線低角散乱法(SAXS)によりオフラインで評価されてきた。SAXS とエリプソメトリック・ポロシメトリについては、量産でもライン内で使われ得るものである。これらの計測技術を量産ラインにも展開するという要求に対しては、現在可能性を評価中である。配線ロードマップにおいて、パターン加工後の Low-k 膜中の大きなキラポアを検出することが、量産段階での計測で欠かすことの出来ない項目として強調されている。

Low-k 材料とテスト構造の高周波計測については、40GHz までの計測技術が開発されている。そして、現状では 20GHz クロックが立ち上がってきたせいで、40GHz より上でもエッジが落ちてしまうため ~100GHz にまで拡大する必要がある。広範囲にわたる評価の結果、配線技術関係者の間では高周波計測はもはや今後数年間においては危うい計測技術ではなくなった。Low-k 材料は、関心の対象となる周波数範囲(1 GHz から 10 GHz)では一定の誘電率を持っているようである。

化学的機械研磨(CMP)時の多孔質 Low-k 膜薄膜化を制御することが必要であり、パターン加工された多孔質 Low-k ウェーハの平坦度を測定する技術が必要である。触針式プロファイラと走査型プローブ(原子間力)顕微鏡でを用いることにより、局所的な平坦度とグローバルな平坦度を計測することが出来るが、スループットが低く改善を要する。リソグラフィプロセスの統計的プロセス制御に必要な情報を得るため、平坦度試験方法が標準機関により開発されている(開発継続中)。

エッチングプロセス制御のため配線特有の CD 計測手順をさらに開発する必要がある。トレンチとコンタクト/ビア構造のサイドウォール角度やボトム寸法を知るため、高速な三次元形状観察技術が必要とされている。これは現状のインライン CD-SEM の能力を超えるものである。レジストパターンの CD 計測精度が十分でない

め、エッチバイアス量の決定は困難なものとなっている。一つの解決策として、スキヤトロメリがある。この方法ではM1（第一メタル配線）層などのレベルでは配線 CD 寸法平均値を高い精度で計測できる。しかし、上層のメタル配線層では精度が低下する可能性がある。加えて、スキヤトロメリではコンタクトやビアへも適用範囲を拡大できる技術が必要となっている。電氣的テスト構造については、パターン加工された Low-k 膜の R-C 特性を評価する重要な手段であることに変わりはない。

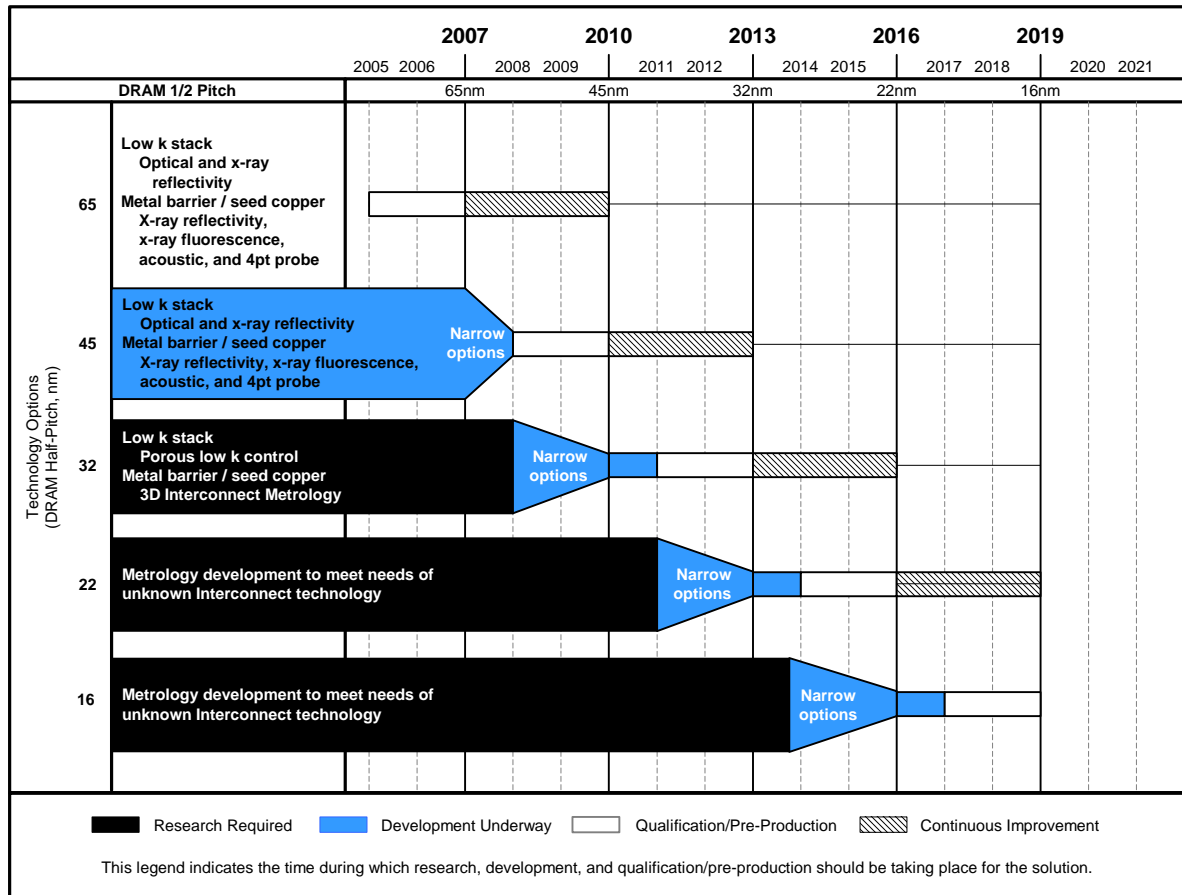


Figure 108 Interconnect Metrology Potential Solutions

材料と汚染の評価・解析

急速な新材料の導入、微細化、新デバイス構造や低温プロセスの導入などにより、材料解析や汚染の評価・解析が引き続き挑戦課題である。適切なオフラインの評価・解析手法とインラインでの物理計測・電気計測手法との相互的關係をもっと拡充すべきである。評価・解析手法は、薄膜の厚さや元素濃度などの正確な情報を得るために、今後も使われ続ける。評価・解析手法の開発方向は、ウェーハ全面にわたって計測でき、クリーンルーム内で使用できるようにして行くことである。

現在用いられている膜はサブナノメートルレンジまで薄膜化が進みつつあり、現在入手可能な光学技術や光音響技術に更なる困難を与えている。インラインでの膜厚や組成の検出についての技術課題を克服するべく、光の短波長化は、X線のレンジほどまでに現在進んでいる。

オフラインの評価・解析によって、しばしば、インライン計測では取れない情報が得られる。たとえば、透過電子顕微鏡 (TEM) や走査型透過電子顕微鏡 (STEM)、特に環状の暗視野検出器を用いて像形成する TEM や STEM (ADF-STEM; Annular Dark Field STEM) を用いることにより、極薄膜や界面層の断面を超高分解能

で観察・分析することができる。TEM や STEM 法は、作成する以前からあるいくらかの歪みを緩和するような試料作成法を必要とする。ADF-STEM に X 線分析やエネルギー損失電子の検出機能を備えれば、界面の化学結合状態を知ることができる。高性能の二次イオン質量分析 (SIMS) やその派生の飛行時間 (TOF; Time Of Flight) SIMS を用いて、表面汚染や積層薄膜の分析ができる。微小角入射 X 線反射率測定法 (XRR) を用いて、薄膜の厚さや密度を測定することができるし、微小角入射 X 線回折法を用いると、薄膜の結晶構造に関する情報を得ることができる。XRR (X-Ray Reflectivity) の測定において拡散散乱や特異散乱を利用することが界面モデルを組み立てる上で他の方法 (TEM/STEM、SIMS やイオン後方散乱法) と比較することも含め非常に重要であると考えられる。電界放射型電子銃を備えたオージェ電子分光 (FE-AES; Field Emission Auger Electron Spectroscopy) によって 20nm 以下の大きさの粒子の元素分析が可能となっている。また、新しい材料を評価するためには、多孔質の Low-k 絶縁体のポイド含有量、ポア (孔) サイズ、膜の接着性、機械的性質などの物理特性をオフラインで評価・解析できることが必要である。現在では 300mm ウェーハの全面までを解析できるこれらのオフライン装置が入手可能となっている。

TEM と STEM については画像取得法のさらなる改善・開発が望まれる。画像に関していくつかの技術が High-k や Low-k 材料とそのプロセスの開発で利用されつつある。界面の画像は STEM の ADF 検出器によって大きく改善された。電子エネルギー損失分析 (EELS; Electron energy Loss Spectroscopy) は直径 0.2nm の範囲で測定可能である。この改良された空間分解能により、ELS を High-k とシリコン基板との界面領域等の評価・解析に使うことができる。ADF と EELS を装備した STEM は半導体デバイス量産の評価装置としてより日常的に使われるようになってきている。画像の再構成ソフトウェアの発達により画像分解能が向上し、界面の画像の分解能も高くなった。TEM と STEM 技術のレンズの収差改善や電子ビームの単色化といった改良は、現在市販化され入手可能となった。近年の収差補正 STEM の飛躍的進歩はとて有望に見え、接合部分にて正しく配置されていない原子をも現す。

マイクロカロリメータ型 (EDS; energy-dispersive spectroscopy) と超電導トンネル接合型のエネルギー分散型 X 線分光器を試作した結果では、非常に高いエネルギー分解能が得られ、従来のリチウムドリフト型シリコン EDS 検出器では不可能であったオーバーラップピークの分離の情報が得られている。このような新しい X 線検出器はピークのわずかな化学シフトの分解能から、局所的な化学結合状態のような情報を得ることを可能にするであろう。これらの技術は従来形 EDS や在りきりの波長分散型分光器に勝っており、クリーンルームに設置した SEM に装着して使用すれば、より微小な粒子や欠陥の分析が可能になる。現在ベータサイトシステムがテスト中である。これらの検出器はさらに、励起源として電子ビームや微小焦点 X 線のいずれを使用しマイクロ XRF システム内に実装することもできる。今のところ、ともにベータ型である。さらに現在、XPS (X 線光電子分光法) が、50nm までの薄膜の厚さと組成を見る方法として開発されているところである。

汚染制御の新しいアプローチとしてインラインの計測が開発されつつある。液体の薬品バスから実時間で試料採取しながら質量分析をベースとしたシステムでバス中溶液の微量汚染の分析が行われている。

他の解析機器も含めこれらのオフライン装置を利用することによって、ロードマップを進める上で重要な情報を得ることができるが、まだ挑戦課題は多く残っている。たとえば今後採用されると考えられる High-k のゲートスタックの解析は、電気的特性を決めるための長さスケールが影響してくるのでとても困難になるであろう。例えば層間の化学的な相互混合や構造、界面の粗さ、また分析に使用する方法 (プローブ) によってはマトリックス誘発効果や重なり合う信号などの影響によって非常に困難となっている。さらにデバイスの微細化が今後進行し続け、新しい非平面 MOS 材料が開発されると、平面構造デバイスを想定した解析方法はもはや疑わしくなってくる。スケーリングの進行により高アスペクト比となる構造の中に潜り込んだ汚染の分析などはもともとと難しいものとなる。

新材料の導入は汚染分析にも新しい技術課題をもたらす。たとえば、Cu メタライゼーションで可能性高く起

こると考えられる相互汚染の分析には、この金属の拡散係数が大きいこと、 10^{10} 個/cm³のCuのバルク汚染の検出感度が必要となる。さらに表面汚染についても、ウェーハのエッジ除外部分やベベルといった領域まで分析する必要がでてくる。微細化の進行はまた、プロセスにおいて許された熱的許容度を低下させる傾向にある。そうすると、金属汚染の挙動やその悪影響を低減するための方策を得るために汚染の評価・解析技術への要求も変化してくる。たとえば低温プロセスにおいては、どの汚染元素に注目しどの程度に制御や分析をしなければいけないのかということが現状とは違ったものとなる。重要な具体例としてカルシウムが非常に薄いゲート酸化膜の完全性に対して与える影響が上げられる。そしてこの元素を 10^8 個/cm³レベルで分析することは困難な技術課題となる。気相分解ICP-MS法などの従来技術ではこのレベル分析を行うにはブランク試料の日間変動による限界がある。さらに付け加えれば、低温プロセスは金属汚染のゲッターリングについても変化をもたらす。この変化によって、適切なゲッターリングを得るためには、金属汚染の評価・解析技術の確立が必要になる。

SOI(Silicon On Insulator)なしの歪みシリコンの使用が予想以上に加速したことは、新しい計測技術と分析方法への要求を、2003年のロードマップでの予想よりも早める結果となった。これらの技術は、現在評価中であつたり、開発中であつたりしている。もし、歪みSiをチャンネル構造に持つ基板がバルクSiやSOIウェーハの代わりに使われるようになったら、ゲート酸化膜の計測は一段と複雑になるであろう。歪みSiは、バルクSi上の厚く緩和されたSiGeバッファ層の上でも、またはSOI上の多層の薄いSiGe層からなる非緩和基板の上でも成長させられる。いずれにしても、これらの膜を含んだ基板の計測技術は以下のような多くの管理パラメータを求めるとして不可欠である。1) SiGeバッファの厚さとGeの濃度プロファイル。2) 歪みSiチャンネルの厚さ。3) Si/SiGeの界面とSiの表面の粗さ。4) Siチャンネル内のストレスの大きさや局所的なばらつき。5) Si内の貫通転位の密度。(望ましい転位密度は、 10^3 から 10^4 cm⁻²以下と極めて低いため、高感度な測定が必要とされる。)6) 双晶や、転位のピルアップ、または特にSiGe/Siチャンネル界面におけるミスフィット転位等その他の欠陥密度。7) チャンネルやバッファ内でのドーパントの分布(特に熱処理後)。

TEMは、マイクロスケールでの歪みシリコンの厚さや界面と表面の粗さを決定するのに、まもなく使用されるようになるであろう。貫通転位とミスフィット転位の両方がTEM像として観測することができる。しかし、視野が限られているため転位に対するTEMの感度は良くない。原子間力顕微鏡(AFM)を用いれば、Siチャンネルの表面の粗さを決定出来る。エッチピット密度(EPD)測定は、表面付近にある貫通転位の密度を決定するのに用いられる。エッチの深さを選択するためには、EPD画像の明確な解釈が必要である。EPDの光学画像における線や点の意味が説明される必要がある。EPD画像のコンピュータ制御されたデータ解析が望ましいが、現在のところ実現可能ではない。X線トポグラフィは、欠陥検出を行える、将来性のある新手の技術である。Geやドーパント濃度のプロファイルはSIMSによって簡単に測定することができる。厚いSiGeバッファには高いスパッタレートが必要である一方、高い深さ方向分解能(できる限り低エネルギーのフローティングイオン銃を使って)は薄いSiチャンネルや、チャンネル/バッファ界面の分析を可能にする。スパッタリングで出来たクレータに照射する赤色ホトダイオードを使用した光学的キャリア励起法はSIMSでのチャージアップの問題を回避出来る。これは、SOI上の歪みSiやドーパされてない層の分析にとって特に重要である。

歪みシリコンに付随する特異的性質は、いくつもの計測方法をもって取りまなければならない問題である。Siチャンネルのストレスは、電子帯構造に影響を及ぼす格子歪みが、電子または正孔の移動度を高速化することを決める重要なパラメータである。ラマン分光分析はストレスを、TEMとXRDは歪みを測ることができる。このストレス量はラマン分光分析によって測定することができる。それは、Siチャンネル内でのSi-Si結合の振動エネルギーがストレスによるものだからである。しかしながら、フォノンの歪み電位法(Si-Si結合のフォノンエネルギーの変動がストレスによるものであるとする)は薄いSiチャンネルには適用出来ない。薄いSiチャンネルに適用する場合、ラマン分光では、Si基板へのレーザーの貫通を防ぐため、紫外レーザーを使った測定を行わなければならない。325nmの波長では、全てのラマン信号は薄いSiチャンネルから発生し、データ解析が行いやすくなる。波長が長いと、SiGeバッファ内のSi-Si結合の振動まで現れ信号を複雑にする。SiGe内のSi-Si結合の振動のエネルギーはSiGeの組成比とストレスによるものであり、それはSiチャンネルとは別の情

報を与える。ラマン分光でのマッピングは、約 $0.5 \mu\text{m}$ の最高分解能でウェーハ全域のストレス分布を与える。このようにして、移動度の高速化についてトランジスタ間でのばらつきを予測することができる。この分解能は、固体または液体浸漬技術を用いて更に改善されることが望ましい。マイクロXRDは小さな構造内のストレスの測定にも適用される。しかし現在測定スポットは5から10マイクロレンジのため、デバイス測定としてはまだ実現可能ではない。この制限はマイクロXRDにとって深刻な課題である。

Si の誘電率はストレスの関数となっているため、歪み Si のエリプソメトリデータの解析は複雑である。この関係(圧光学または弾性光学テンソルを使って記述される)は、定性的には理解されているが、Si チャンネルの厚さを算出するための、歪み Si のエリプソデータにフィッティングを施すのに必要な、充分正確な定量データが欠けている。エリプソスペクトルの紫外部分だけを考慮に入れると、少なくとも十分に滑らかな表面なら、ゲート酸化膜の厚さを決定できる可能性が多少ある。粗い表面だと、表面の粗さのファクタが通常自然酸化膜や、ゲート酸化膜解析時と同様の形で導入されてしまうので、新たな誤差要因となってしまう。正確なゲート酸化膜計測のためには、Si 表面の粗さはゲート酸化膜の厚さより1桁程度小さい値が必要である。これが通常バルクシリコンウェーハの場合だと条件を満たすが、歪み Si の場合、この条件を満たしていないので測定自身に問題がある。薄い Si チャンネルのみを計測するという課題は、エリプソスペクトル中の可視部や紫外部を使うという条件の中からは未だ解決策がない。原則として、エリプソメータは、Si チャンネルの厚さだけでなく、その下にある SiGe バッファ層の Ge 含有量も決定できるべきである。しかしながら実際には、エリプソメータのデータから決定された Ge 含有量は少なすぎるが、それはおそらく Si 誘電率計算に歪みの影響を無視していることが原因であろう。(擬似多層の Si/SiGe のヘテロ構造の解析の方がエリプソメータは遥かにうまくいく。)

X線反射率法は、歪み Si の厚さを決定できる、分光エリプソメトリとは代替可能な魅力的な方法である。それというも、X線の屈折率は殆んど1で、ストレスの影響を受けないからある。実際、10-20nm程度の厚さの Si チャンネルだと、明確な干渉縞(時として、高角度側に、原因不明のピークが現れることがある)を得ることができる。しかしながら、市販のフィッティングルーチンを有したソフトウェアパッケージを使った Si チャンネルの厚さの解析では、常に正しい値が得られるわけではない(TEMとの比較において)。おそらく、これは表面の粗さが関係しており、表面の粗さは、分光エリプソメトリよりも、より波長の短い光(X線)を扱うX線反射装置の方が影響を受けやすい。X線装置におけるデータの信頼性や調整法など実験に関することは、既に述べた High-k ゲート絶縁膜での測定時の注意と同様である。Si チャンネル中の縦方向(成長方向)の Si の格子定数を決定すること及び Si チャンネルや SiGe 中のストレス測定にラボや SR の X線源を使い、うまく行われている。

数々の顕微鏡観察方法が研究、そして開発されている段階にある。これらには、ポイント投影顕微鏡(電子線ホログラフイー)や低エネルギー電子顕微鏡があげられる。低エネルギー電子顕微鏡は表面科学の研究に数年間使われてきた。この方法での材料分析や、また可能であればインライン計測の必要性について研究する必要がある。これらの方法の議論は、本章の「顕微鏡観察(Microscopy)」の節で取り上げている。

計測において長期課題とされている5つの項目のうちの1つは、デバイススケールでの構造や組成の解析である。このニーズを満たすには、原子レベルでのマップを提供する材料分析法を発展させる必要がある。局所電極原子プローブ(LEAP)やそれに類似した方法は、伝導性サンプルの原子間マップを提供できる可能性がある。このLEAP技術は、非伝導性構造や伝導性パターンと非伝導性パターン両方をもつ複雑な構造の測定については現在困難なため、方法とそのアプリケーションについてさらなる開発が必要である。1つの課題は、データ取得の際にそれぞれの元素について100%に近い検出を得なければならないということであろう。電子断層撮影はひとつの興味深い成長領域であり、STEMとTEM両方のチルトシリーズと焦点シリーズ法により推し進められている。収差補正されたTEMは、より小さく強力なプローブと高ビームによって、断層撮影分析に必要な増幅された分解能と信号対雑音を可能にするだろうと、現在この分野で将来性を発揮している。

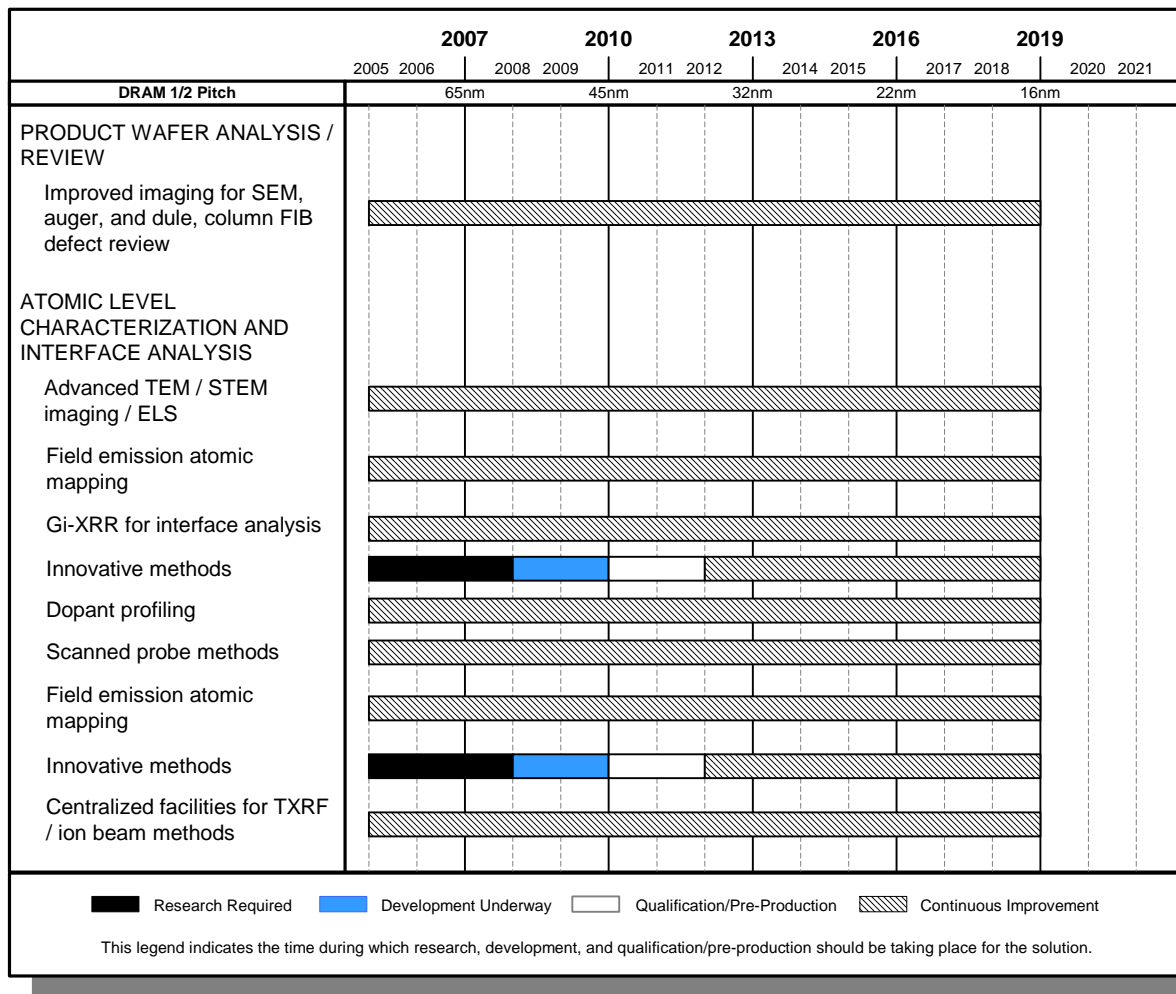


Figure 109 Materials and Contamination Potential Solutions

標準計測システム

基準計測システム(RMS; Reference Measurement System) は一つの機器であるか、いろいろなアスペクトの寸法測定においていくつかの機器がそれぞれの性能によって互いに補完し合う一組の機器である。RMSは、応用物理、厳密な統計、測定誤差の適切な取り扱いなどのような寸法計測のための最良の科学技術に基づいて十分に評価されたものである。十分に評価されているために、RMSは生産のFABに置かれている他の装置よりも、多分析違いに正確で、精度が高いであろう⁸。RMSはその他の測定システムがうまく折り合えるように十分に安定していなければならない。RMSはFABの計測装置間での測定の違いを追跡し、生産用計測器のパフォーマンスやマッチングを昼夜に渡り制御するために利用できる。

この機器に要求されたパフォーマンスや信頼性のために、RMS は FAB の他の装置よりも著しく高度の注意、精査、テストを必要とする。その測定によって、このすばらしい(“golden”) 機器は、生産に役立ち、コストを減少させ得る。しかしながら、これは、半導体プロセスの性質によって、この装置の中で測定されたウェーハをプロセスストリームに戻すことができるように、FAB のクリーンな環境の中になければならない機器である。測定するウェーハは、他の FAB から届けられ、一企業内、あるいは複数企業を横断して in-house 標準として戻すことがある。

標準試料/標準物質

標準試料/標準物質は、一つあるいは複数のよく確定された特性値を有する形を持った物であり、計測機器を校正するために用いられる。標準試料/標準物質は、計測において非常に重要な役割を担う。その理由は、異なった計測方法で得られたデータ同士、(内部のあるいは外部の)設置場所の違う同種の装置によって得られたデータ同士を相互比較したり、モデルと実験結果との照合を行う際、その「物差し」となるからである。また、標準試料/標準物質は、装置の試験運転やベンチマーキングに非常に有用である。標準試料/標準物質は、複数の作製元から種々な形態や等級の物が供給される。呼称は作製元によって色々である: 認証標準試料/標準物質(certified reference material, CRM)、コンセンサス標準試料/標準物質(consensus reference material)、NISTトレーサブル標準試料/標準物質(NTRM®)、或いはスタンダード標準試料/標準物質(standard reference material, SRM®)等がある²。

(訳者注: ISO の VIM(国際計量計測用語集)には、標準物質(RM)と認証標準物質(CRM)が定義されている。RM の定義は、"機器の校正、測定法の評価、または物質の値付けに用いるために、単一または複数の特性値が十分に均一でよく確定された物質または材料"、CRM の定義は、"特性値の表現に用いられている単位の正確な現示へのトレーサビリティが確立され、かつ表記された信頼の水準での不確かさが各認証値に付されるという手続きによって、その一つまたは複数の特性値が認証された認証書付きの標準物質"とされている。;本ロードマップでは、NIST(訳者注:米国標準技術研究所、米国の国家計量機関)の用法が記載されている。NISTのRMは、ISOのRMに適合しており、CRMに適合している場合も有る。NISTのSRMは、ISOのCRMに適合している。)

米国標準技術研究所(NIST)は、半導体産業における計測科学の国家的な権威のある機関の一つとして、これまで国際的に認められてきた。しかし、進歩の激しい半導体産業から寄せられる標準試料/標準物質の要望に対し、これまで通りのニーズの捉え方、装置・技術の開発、SRMの開発をしては対応できない。このことは、NIST自身も認識している。このような状況のもと、民間企業がNISTの足りない所を補完し、標準試料/標準物質を製作できるようにするため、幾つかの取り組みが為されている。民間の供給業者は、校正用に役に立つと思われる物質をNISTにおけるNTRMを開発するための認証システムに提出することができる。標準試料/標準物質の生産者は、NISTの認証システムの下で生産することによって、NISTによって確認された一連の物質に対してNTRMのトレードマークを付けることができる³。

もう一つの取り組みは、ASTM インターナショナルのような権威ある標準推進組織の管理下で、複数の分析機関の試験結果を用いてコンセンサス標準試料/標準物質を開発することである。

米国以外の国の国家計量機関(NMI)においても、相応しいと思われたり、相談をするに値する標準を開発し、供給している。また、NISTを含む多くの先進的NMIでは、それぞれの国の計量標準を互いに相互承認できるように、あるいは、将来において重複して開発することを避けるために綿密な比較を通して同等性を保つための努力をしている⁴。(訳者注:グローバル化した社会において、多国間に存在する通商における技術的課題を包括的に解決する仕組みとして、国際度量衡委員会の下に「計量標準の国際相互承認(Mutual Recognition)」という制度が提案された。これは基幹比較(Key Comparison)に基づいて各国の国家計量機関(NMI)の計量の技術能力を審査し、これに基づいて他国の計量のトレーサビリティを承認するというものである。一部であるが、半導体関連の計測技術においても基幹比較がすでに実施され、内容はウェブで公開されている。この制度は2004年より運用されている。)

² NTRMおよびSRMの頭字語はNISTの登録されたトレードマークである。

³ 新しく人口的に生産する場合は、たとえ同類のものでも、NTRMマークの使用にはNISTによる追加の確認試験を必要とする。

⁴ 国際度量衡局(BIPM)のウェブサイトを参考 <http://www.bipm.org/en/convention/mra/>

標準試料/標準物質の作製・検定・認証に際し、以下のような技術的要件がある：

- 標準試料/標準物質は、使用しても変化・変質せず、安定した特性値を保持できること；場所的/時間的な特性値の変動は、所望の校正の不確かさ以下でなければならない。
- 標準試料/標準物質は、必要とされるレベルの特性で作製できないときがある；特殊な製造技術を用い、短い時間の中で測定と確認の作業を行わなければならないことが多い。
- 標準試料/標準物質を検定し認証するためには、規格化されたか、あるいは、詳細に文書化された手順に基づいて実施されなければならない。現在、満足な測定方法・手順が決められていない分野もある。基本的な測定方法・手順が確立されていなければ、標準試料/標準物質を作ることはできない。
- 標準試料/標準物質を用いた現場での最終的な測定の不確かさは、標準試料/標準物質自身の認証値の不確かさと標準試料/標準物質を未知試料と比較した際の不確かさを含めたものである。このために、標準試料/標準物質の不確かさは最終的に必要な不確かさよりも小さくなくてはならない。半導体製造プロセスの評価・制御に用いられる装置を校正する場合、校正用標準試料/標準物質の認証値の不確かさは、プロセスの変動し易さの 1/4 以下でなければならない。
- シミュレーションの入力データとして用いられるドーパントプロファイルのように、正確な測定が要求される場合には、標準試料/標準物質の認証値の正確さ（バイアスと変動し易さの双方を含めた）は、要求されている最終的な正確さの 1/4 より良くなければならない。
- 測定に携わるプロセスエンジニアには、標準試料/標準物質の取扱や取得結果の判断に間違いが生じないように、十分な教育・訓練を積み重ねなければならない。
- 新世代技術を立ち上げるための測定を開始する際、特に材料開発やプロセス装置開発の初期には、“適切な標準試料/標準物質が利用できる状態になっていること” が非常に重要である。どのような標準試料/標準物質も、上に述べた様々な要件を満足するために、多くの課題を抱えている。

統合計測とアドバンスド・プロセス・コントロール(APC)

アドバンスド・プロセス・コントロール (APC: advanced process control) を通した生産性向上を可能にするために、計測は重要な役割を担っている。オフラインからインラインへ、さらに in-situ (その場) 技術に統合計測が向かうにつれ、より豊かで力強いプロセス制御の仕組みが実現可能となる。この点において、APC の進歩は主に R2R (run-to-run) 制御と FDC (fault detection and classification) 技術の成功により進んできたと言える。統合計測と APC におけるこれらの進歩はいくつかの点で偶然ではあるものの、本質的な進歩である。以下のことが明らかである。1) APC によりもたらす主な価値は半導体産業界で証明されており、たいいていの半導体製造メーカーである程度適用されている。2) APC の持つ能力、関連するセンサ、APC をサポートする計測技術が今日では CMP やリソなどのキープロセスで利用可能となっている。3) しかし、真に内容の充実した APC 生産戦略はまだ実現しておらず、工場規模での完全な展開を進める上でのセンサと計測装置の組み合わせ方法も出来上がっていない。とりわけ将来の技術世代で予測される材料、プロセス、デバイス構造の変化に対して。既に APC によりもたらされた利益によって、新しいセンサと関連ソフトウェアの開発が進んでいる。これらにより近い将来、内容豊かな工場規模の解決策が出来上がるであろう。

APC は以下の 2 つの異なる推進力からなる。

1) プロセス推移の補正 — 装置の規則的なドリフト、製品のばらつき、プロセス挙動を補正するためにプロセスパラメータを調整することを狙いとしている。ここでは R2R 制御が支配的なドライバであり、プロセスばらつきに対し製品品質を維持する目的で、またノンプロダクトウェーハを減らす目的でインライン計測がフィードバック制御やフィードフォワード制御に使われる。これらは wafer-to-wafer や batch-to-batch での制御を基本としている。プロセス中の推移補正用の in-situ センサとリアルタイムセンサを出発点としたリアルタイム制御は、十分な計測精度を持ち、よりプロセスに特化したセンサの更なる開発を一般的には必要としている。

2) 故障管理 — 装置問題の素早い見極めとその対応に目を向けたものである。主たるドライバは FDC であり、FDC では一般的な装置故障の検出、補修の指示や提案、製品不良の低減のため in-situ センサやリアルタイム

センサが使われる。加えて、次のような恩恵がある。センサと計測データが情報処理技術と組み合わせられることにより、より微妙な故障原因に対しても高度に洗練された故障分類が行えるようになり、装置の故障予測と保守スケジュールの見直しが可能になる。これにより装置効率、工場効率も向上する。R2R と FDC の成功による自信の高まりを頼りにして、これら 2 つの APC 要素の技術課題として、推移補正のための R2R 制御へのリアルタイム制御、並びにより幅広い故障管理への FDC 技術の拡張、が加わった。

フィードバック制御と多段階フィードフォワード単変数制御／多変数制御機能を含む R2R 制御を広く実施する上で、今やインライン計測装置が支えとなっている。In-situ リアルタイムセンサは原理的には R2R 制御を押し進めることが出来るが、リアルタイムでの故障検出に主に利用されており、リアルタイムでの推移補正への適用例は数が限られている(例:干渉法によるエッチングエンドポイント制御)。R2R 推移補正とリアルタイム FDC の両方がもたらす経済的価値は、EEC (Equipment Engineering Capability) の進歩に通じている。すなわち、工場規模での情報共有、スケジューリングと運営を伴う APC ハードウェア、モデル、そしてアルゴリズムの幅広い統合をもたらす。これらの進歩はあるが、内容の充実した APC システムを利用可能にしていくには、APC に対する理解と受け入れ障壁を下げるためのセンサ、制御方式、新アプリケーション、ユーザーインターフェース改善に向けたさらなる研究開発が必要である。

R2R がインライン計測に主に基礎を置いていることから、長期間のプロセスや装置のドリフト補正を行うことに有用性がある。その際、フィードバック情報を次ウェーハのプロセス設定条件の調整に使い、次工程の調整に同じウェーハのフィードフォワード情報を使うことにより製品の変動(ウェーハ間、ロット間など)を補正する。FDC の有用性は、in-situ 情報(プロセス、装置、及びウェーハ)の評価を通して装置やプロセスの健全性を診断することによるものである。この評価はリアルタイムで起こるかもしれない。すなわち、プロセス中もしくはプロセス後にまとめとしての評価が完了する。後者の場合、インラインでのウェーハ計測は R2R 制御と同様に FDC を推進するものとなる。R2R 制御と FDC の活用と標準化、そして関連するインターフェース技術が増えることは、両技術の能力を相補的手法で合体した制御方式と、その解決策にも繋がるであろう。R2R 制御と FDC は次のように統合されるであろう。1) データ保管のレベル: アプリケーション間でのデータ共有とデータマイニングの支援、2) ユーザーインターフェースのレベル: APC 習熟期間の短縮と APC による工場の状態表示、3) 論理相互作用のレベル: R2R 制御と FDC の持つ能力の相補的活用のための制御ルール (FDC 結果による R2R 制御、並びにその逆)、4) 最後にアルゴリズムのレベルでは、FDC と R2R のモデル、そしてモデリング手法の統合。上記項目の 1) から 3) は、工場規模の充実した生産戦略を実現する上で重要なものである。これら全ての項目をサポートする技術は未だ完成していない。工場規模の戦略を導く他の要素には次のもの、階層的制御の解決策、プロセス間の段階的(カスケード)制御、歩留まり管理アプリケーションとの連携、が含まれる。APC 実現での別の鍵は、APC アプリケーション間、そして外部との間での相互作用を決める標準を作り上げることである。これらのアプリケーション支援に必要なウェーハ、プロセス、装置に関するデータへのアクセスに関する標準作りも鍵となる。

APC による恩恵は統合計測への動きからもたらされる。R2R 制御では、オフライン計測によってかなり多くの恩恵がもたらされる。例えばリソグラフィでの重ね合わせと CD 寸法制御による統合計測は次のようなものにより恩恵をもたらす。1) 制御ループ時間の短縮とそれによる制御精度の向上、2) 非統合計測の場合での人的要素、ウェーハ搬送にかかわる要素の排除、3) プロセスに対する計測の良い状態への調整、最適化、4) プロセス装置と計測装置へのレシピダダウンロードを通じたマッチング過程の自動化。これらの項目の全てがスループットと歩留まりの向上へと導いてくれる。今のところ、統合計測は CMP (膜厚) だけで広く使われているが、エッチング (膜厚と CD) 並びにリソグラフィ (CD) でも使われ始めている。リソグラフィでの重ね合わせ計測は、スループットを向上させかつ最小のスループット悪化での 100% サンプルングを達成するため、オフライン (スタンドアロン) 計測からインライン計測へ進化しなければならない。オフライン計測からの置き換えとしてのインライン計測は、スループットを向上させサイクルタイムを短縮し、サンプルング量の増加 (ウェーハ内の計測点数と同様にウェーハ枚数も) を可能とし、そしてフィードフォワード・フィードバック制御での時間遅れを減らすであろう。

大きなスケールでの統合計測が広まる前に困難な技術課題は解決されていなければならない。技術課題は以下の領域のものである。1) 統合計測の性能とコスト(これによりスタンドアロン計測との比較がなされるべき)、2) 装置スループットへの影響(0を目指す)、3) 統合、4) データマネージメント、5) セットアップ(キャリブレーションとトレーニングを含む)と校正に要する時間と管理、6) メンテナンスのコストと難しさ、及びその装置稼働時間への影響、7) (スタンドアロン計測と異なり) 統合計測の精度レベルが統合度と制御環境の関数であること、統合計測の重要な恩恵を生み出す上でスタンドアロン計測と同等の精度が必要ではないかもしれないことに対する理解。

リアルタイムのin-situセンサがどの程度定量的かつ精度高く出来るかによって、in-situセンサに追加することの出来るリアルタイム推移補正能力、短期間のランダムなプロセス変動を補正する能力が決まる。同様に、このことにより真にリアルタイムでのAPCが可能になる。リアルタイムでの応答性を持つin-situセンサは推移補正と故障検出の両方を押し進めることが出来る。リアルタイム推移補正が使えると新しいAPC階層構造が刺激され、そこでは調整式装置制御が長い間使われてきたようにリアルタイム推移補正と故障検出は装置(ユニットプロセス)レベルで動作する。インライン計測により見られた様に、リアルタイム推移補正はユニットプロセスの変動項目と結び付けられるが、R2R制御の恩恵は残るであろう。このシナリオでは、全体のAPC戦略の中でアルゴリズムと責任範囲が最適化され階層構造の中で計測情報が上位へあげられる(例えば、in-situセンサのデータがR2R制御の能力を高める)、という新しい制御階層が開発されるべきであることを示唆している。

In-situ センサ技術は完全なものからは程遠いままである。プロセスからの光学的、化学的、電気的信号を使った妥当なセンサ群を利用することが可能であるが、推移補正に必要な定量性を十分備えた計測技術を開発し実証することには限りがある。注目したいのは、この点において推移補正が故障検出に比べて量的に高い精度を要求している点である。特に、ウェーハを横切る方向の均一性と縦方向プロファイルを計測する in-situ センサが必要であり、もしこれらが入手可能なら、不均一性を直接補正するリアルタイム制御が行えるように装置設計に組み入れるべきである。

In-situ リアルタイムセンサは装置の重要不良モードの検出と対応に広く利用されているが、より微妙な不良モードの原因特定とメンテナンス/補修スケジュールの最適化(故障の分類と予測のような)を行えるようにするためには、いつかは in-situ センサとインライン計測は幅広く調和し統合されなければならない。

In-situ センサは将来の技術世代で予想されている様々な複合材料、プロセス、そしてデバイス構造に対応するための技術課題増加に直面している。ALD(Atomic Layer Deposition)を適用したとしても超薄ゲート絶縁膜や金属バリア層の成分、厚さ、均一性の計測は大きな技術課題である。ALD の材料と同様にその化学的性質は複雑で、その利点と生産スループットに対する要求との妥協点を見つけなければならない。ナノポーラス Low-k 材と特にバリア層を含むその界面は、in-situ センサにとっては同等の技術課題である。製品品質に表面の化学的性質が大きな影響を及ぼすため、in-situ 化学分析がますます重要になってきている(例えば、High-k ゲート絶縁材、メッキ添加剤、CMP、Low-k 絶縁材)。

APC と統合計測のすべての形態において性能だけでなく受容性を必要とするキーの要素は、データの品質である。不十分なデータ品質は APC システムによりプロセス性能を改善するどころか低下させてしまいかねない。従ってAPCの展開に当たっては、装置、計測器、センサから得られるデータ品質が許容レベルにあることがまず必要となる。データ品質の問題には、入手可能性、適時性(データ取得と引渡し)、精度、分解能、新鮮さ、そしてコンテキストの豊富さ(時刻記録含む)、が含まれている。有効なAPCを展開するのに必要な最低限のデータ品質を見極めることは、データ品質の定量化という恩恵をAPCシステムにもたらすであろう。従って、有効にAPCを支援するため、ロードマップはデータ品質に関する最低限の要求事項を、アプリケーション毎、技術世代毎に、確立する必要がある。キーとなるセンサ技術の要求項目に関しては、リンクがはられている。

新探求材料とデバイスの為の計測

この節は、新材料とデバイスの為の材料とデバイスの特性評価及びインライン計測の要求について扱う。(新探求デバイス章を参照)

3次元原子イメージングと分光法

収差補正 TEM と ELS 付き STEM

収差補正レンズ技術は TEM 及び STEM に大きな変革をもたらした。市販の TEM、STEM 装置は 0.1nm 以下の解像度が実証され、電子のエネルギー損失スペクトルでは原子列中の原子の位置が特定されている。STEM 装置は結像の共焦点の性質を利用して 3 次元での原子レベル解像度に近づきつつある。この技術は既にナノテクノロジーへ応用されている。シリコンナノワイヤの収差補正された高解像度 TEM 像は、金のナノドット触媒中の原子及び、ナノドットとシリコンナノワイヤ間の結晶成長上の関係を解明した。ナノテクノロジーにおける収差補正電子顕微鏡の成果には以下のものがある：

- High-k ゲート絶縁膜とシリコン基板界面にあるハフニウム原子の観察
- チタン酸カルシウム原子列中の単一ストロンチウム原子の ELS スペクトル
- カーボンナノチューブ内にあるヨウ化カリウム結晶のカリウムとヨウ素原子両方の像
- ナノドット内の原子移動の観察
- 金のナノドット触媒中の金原子とシリコン細線間の関係観察

収差補正の可能性をフルに引き出すことや、電子源のエネルギーフィルタ及びより高いエネルギー分解能といった、関連する進歩の達成により、ELS には画像化とスペクトルのモデリングが要求される。マルチスライスシミュレーションは、既にナノワイヤや他のデバイス用に改良されている。これらのシミュレーションが示唆することは、ナノワイヤ中の欠陥対の観察には複数角度での観察を要求していることである。電子線回折パターンに与えるナノ領域での影響も興味深い。

炭素を含む試料の顕微鏡観察には、カーボンナノチューブ以上の困難さがある。上述した全ての進歩にも拘わらず、軟らかい物質の顕微鏡観察は極めて困難なままである。電流密度が増えるにつれ、分子状の試料では結合手がより簡単に切れてしまう。ELS の為の高いエネルギー分解能は分子状試料を理解するのに重要である。

局所電極アトムプローブ (LEAP; Local Electrode Atom Probe)

LEAP は電界イオン化型の改良版である。電極は小さな円錐形の試料に近接して置かれている。試料と局所電極との間の電界は、試料から飛び出し 2 次元の空間検出器に集められる原子をイオン化する。原子の元の位置は幾何学的な考慮から、また原子の質量は飛行時間から決められる。電極は試料に接近しているので、小さな電圧で電界イオン化することができる。これにより電界をかなり高いレートでパルス化できるので、現在では数百万原子の測定が可能である。局所電極は更に高い測定レートを可能にする上で、鍵となる技術的進歩である。ただし導電性の試料が必要であることに注意することが重要である。LEAP は 3 次元の原子マッピングという夢に我々を近づけてくれる。検出効率がおおよそ 60%なので、原子マップはこの夢をまだ達成するに至っていない。

他の顕微鏡の必要性

仮定 — 微細化が進む既存 CMOS デバイスの構造及び局所的な特性を評価するのと同様に、CMOS デバイス後の技術に対する計測上の要求を予想する必要がある。

高空間分解能な局所的特性のプロブ: 可能性 (Opportunities)

走査型プローブ顕微鏡 (SPM; Scanning Probe Microscopy) は様々な局所的構造及び特性を計測するツールの基盤技術として開発されてきており、その分解能は 50-0.1nm に及ぶ。走査型容量顕微鏡、拡がり抵抗顕

微鏡、導電性探針原子間力顕微鏡は、不純物濃度のプロファイル計測の為に最適化されてきており、不純物濃度に依存した空間分解能を有する。試料や探針に対する周波数依存信号、及び同時に 2 つ以上の周波数及び又はプローブによる同時摂動を含めた SPM における最近の進歩により、計測のレンジと分解能は拡張されている。

電荷と輸送に関連する局所的計測 — デバイス動作中、あるいは周波数に依存する測定の実行中のその場計測は、試料に対して複数の接触で可能になる。走査型インピーダンス顕微鏡、ナノインピーダンス分光法といった周波数依存性測定の一部は、電荷のトラップを含めた界面や欠陥の特性を数量化するための周波数レンジが 8 桁に及ぶ。局所的な規模での接触電位だけでなく、分子ナノワイヤ中の個々の欠陥もこれらの装置を用いて検出される。

走査型表面電位顕微鏡 (SSPM; Scanning Surface Potential Microscopy、ケルビン力顕微鏡とも呼ばれる) は仕事関数に関連するもので、数 10nm のスケールで材料の変動を容易にマッピングでき、電界効果型トランジスタ及び配線構造の評価に利用出来る。更に高いエネルギー分解能のところでは、メタル成膜前の High-k 絶縁膜に起こる表面電位の変動を評価でき、メタル成膜後の界面の特性に見通しを与えてくれる。この手法の空間分解能が原子規模にまで拡張されうるとい証拠が最近出てきている。

SPM と量子ドットを用いた最近の観察は、単一電子の検出が可能であることを示している。単一電子検出には低温が必要ではあるが、局所化された計測に対して更に高いエネルギー分解能化の可能性を示唆している。

スピンに関連する局所的計測 — 走査型プローブに関連するツール (磁気共鳴力顕微鏡) で、磁気プローブを使って単一スピンの検出が可能であることが示されている。更に開発が進めば、空間分解能に関する限界と、スピン分極研究の可能性が明らかになり、スピンの基づくデバイスの特性評価がなされるであろう。

低感度の磁気力顕微鏡はデバイス内の電流の流れをマッピングするのに利用出来る。磁気検出に制限があるのを一般的に使えるようにするには、磁気探針の開発が必要である。

複雑な特性 — 恐らく有機物や生体分子成分を含む広範囲な材料群を巻き込む将来世代のデバイスには、付加的な特性の計測が要求される。様々な検出の構成において高い周波数を使うことで、局所的な誘電定数、電歪、圧電係数、スイッチング動作等が発生する。これらの計測は誘電体の特性評価だけでなく、キャパシタに基づくメモリの開発と複合デバイス構造に対しても重要である。

多重変調 (Multiple Modulation) と複合化プローブ — 複数の計測を組み合わせることは、特性を分離する上で必要であったり、情報を最大にするのに役立つことがある。たとえば磁気力の測定時に発生し、測定を無効にし得る静電相互作用の例がある。表面電位を高い周波数で計測することにより相互作用を無くし、磁気力は低い周波数で計測することにより、相互作用は分離され定量化される。このアプローチは普遍化された計測ツールを作り出すのに応用できる。

高空間分解能の局所的特性用プローブ: 技術課題 (Challenges)

産業上の環境に於いて益々微細化されるデバイスと複雑な材料群にこれらの手段を実施する事への技術的課題は類似している。

全般的なアクセスのしやすさ (General Accessibility) — 研究室に於ける開発から商業化までに要する時間は、能力とアクセスのしやすさとの間の大きな隔たりに帰着する。このことは、デバイスの探求が High-k 絶縁膜の為に新しい材料を包含し、情報記憶オプションの探求及び CMOS 後の技術に目を向けることになるので、現時点で特に重要である。設計に費やす時間が 6 年台である企業もある。ロードマップの要求に合うように、アクセスしやすくする為の新しい仕組みが必要である。

高分解能化 — どのような場合に於いても、より高い空間分解能に向かう傾向は望ましい。SPM の中には、基本原理によって最終的な分解能が制限されるものもあるであろう。その他の最新的手段では、限界が未だ調べられていないものもある。SSPM や仕事関数分光に於ける最近の成果は、いくつかの複雑な特性のプロープに対して原子規模の分解能が可能であることを示唆している。そうであれば、新しい物理が出現し、出てきた結果への解釈を理論に要求されるであろう。

非弾性トンネリングや単一電子検出によって実証されているように、たいていの計測のエネルギー分解能が向上する可能性がある。エネルギー分解能の最高値は低温下で達成されるが、利便性とは相反する。

探針技術 — 商業ベンダーは多くの特殊な SPM 用カンチレバー及び探針を開発してきた。製造の再現性にはしばしば問題があり、良品チップの歩留が 30% 台の場合もある。もっと重大なのは、市販のカнтиレバー/探針とツール開発に要求されるものとの間の隔たりである。ツール開発用の探針は、埋め込まれた電気回路や複雑な探針の形状を伴っているので、より難しくなっている。

校正標準 — ナノメートルサイズの構造物に対する校正標準の欠如は重要な問題である。特殊な環境下での高い空間分解能域では、原子構造を使うことが出来る。カーボンナノチューブは一般的な選択肢として提案され静電特性の校正に対して実証もされている。標準的な校正の手順は開発されるべきである。

ナノ物質の光学特性

結晶材料、特に半導体の光学特性は、量子的閉じ込めと表面状態によって変調を受ける。物質の光学応答の基本的な表現は誘電関数である。誘電関数の虚数部は光の吸収に直接関係している。直接あるいは間接遷移型のバンドギャップを持つ物質において光学応答は、価電子帯の頂上から伝導帯へ電子が励起される臨界点 (Critical Point) によって特徴づけられる。バルクのシリコンに於ける臨界点についての Jellison の議論は、ナノ領域における影響について記述するのに有用である⁹。バルクのシリコン結晶では、特定の波長の光吸収量はバンド構造に依存する。吸収の確率は、価電子帯と伝導帯での波動関数対称性の関数であり、また結合状態密度 (Joint Density of State) に関係する。Jellison によって述べられているように高い吸収確率は、エネルギーの分離幅が一定に近い波数空間 (波数空間は運動量空間で、波数ベクトルは結晶中の特定の方位に沿って定義される) の中に大きな領域があるところに存在する。誘電関数に於ける臨界点は、結合状態密度が高い波数空間のこれら (エネルギーの分離幅が一定) の領域として定義され、ブリルアン帯の臨界点と呼ばれている。物質の可視及び近紫外域の光学スペクトルの特徴は、多くの場合ブリルアン帯の臨界点による。シリコンでは、 E_0 臨界点が直接遷移に対応する最小のエネルギーでおよそ 3.4eV である。これはダイレクトバンドギャップと呼ばれる。シリコンにおける他の臨界点は、 E_2 臨界点と呼ばれ光学スペクトル上およそ 4.25eV (~292nm) に見られる特徴を含んでいる。

バルク試料の対称性により、バンド構造と結合状態密度が導かれる。1次元、2次元または3次元における量子的閉じ込めは、臨界点のエネルギーと結合状態密度を変化させる。このようにナノサイズ物質に於ける誘電関数の虚数部の形は、結合状態密度の変化と閉じ込めによる新しい臨界点の出現によって変わる。直径 2.2nm 以下のシリコンナノワイヤにおいて強い異方性、及び細線の軸に沿った偏光に対して低エネルギーの吸収ピークが現れる興味深い例がある¹⁰。

新材料とデバイスの為の電気的特性評価

多くの新しいナノ電子デバイスは、負の微分抵抗¹¹や履歴を持ったスイッチング^{12,13}といった従来には無い振る舞いを示す。新しい電気的測定方法と解析が、これらの新しい材料とデバイスの振る舞いを特性評価するのに要求されるであろう。移動度といった従来からある変数をナノスケールで抽出することは今よりもっと難しい課題である¹⁴。新しいデバイス技術に対して最終的な性能を決定する変数が何であるかを定めることが重要である。更に、新しいデバイスのある種類の振る舞いは、既存の CMOS とは全く異なったメカニズムに基づいている。例えば、本質的に量子力学的な振る舞いをするデバイスもあれば、計算の状態を変えるのに電荷の

輸送ではなく磁束の変化といった別のメカニズムによるデバイスもある。標準的なMOSFET構造とは異なる物理原理によって動く新しいデバイスの為に、主要なデバイス変数とその抽出方法を定義することが必要であろう。新しいデバイス構造及び回路の基本設計の安定性と信頼性を特徴付ける為の方法論を打ち立てることも必要であろう。

電気的なテストの方法論に於ける進歩に加えて、ナノメートルサイズの要素(個々の分子やナノメートルサイズの半導体量子ドットといったもの)と、探針やワイヤーボンドによって電氣的に接続される大きな電極や導線とを、信頼性と再現性のある方法でつなぐ為の実行可能なテストストラクチャーが特に必要である。新しいナノ電子デバイスにおいて、リソグラフィの限界を超える大きさである構成部分への接触方法は、新しい材料とデバイスの電氣的評価にとって恐らく最も大きな技術課題である。更に、特に有機材料で作られたナノスケールデバイスでは、金属配線と活性領域との間の界面を調べる為の評価用テストストラクチャーを開発することが必要である。従来に無い材料で作られたデバイスの金属配線系に対して、仕事関数、障壁の高さ、輸送過程といったパラメータを調査し明らかにする必要がある。

参考文献

リソグラフィにおける計測

標準計測システム

ナノ物質の光学特性

新材料とデバイスの為の電氣的特性評価

リソグラフィにおける計測

- ¹ J. Allgair et al., Applications of image diagnostics to metrology quality assurance and process control, Proc. SPIE, Vol. 5042; 2003.
- ² SEMATECH Advanced Metrology Advisory Group.
- ³ A.C. Diebold and D. Joy, "CD measurements for Future Technology Generations," Solid State Technology, June 2003.
- ⁴ K. Patterson, J.L. Sturtevant, J. Alvis, N. Benavides, D. Bonser, N. Cave, C. Nelson-Thomas, B. Taylor, K. Turnquest, "Experimental Determination of the Impact of Polysilicon LER on sub-100 nm Transistor Performance," Metrology, Inspection, and Process Control for Microlithography XV, SPIE Vol 4344, 2001, 809-814.
- ⁵ A. Yamaguchi, K. Ichinose, S. Shimamoto, H. Fukuda, R. Tsuchiya, K. Ohnishi, H. Kawada, and T. Iizumi, "Metrology of LER: Influence of Line-Edge Roughness (LER) on Transistor Performance," Metrology, Inspection, and Process Control for Microlithography XVIII, SPIE Vol 5375, 2004, 468-476.
- ⁶ B. D. Bunday, M. Bishop, D. McCormack, J. S. Villarrubia, A. E. Vldar, R. Dixon, T. Vorburger, and N. G. Orji, "Determination of Optimal Parameters for CD-SEM Measurement of Line Edge Roughness," Metrology, Inspection, and Process Control for Microlithography XVIII, SPIE Vol 5375, 2004, 515-533.
- ⁷ J. S. Villarrubia and B. D. Bunday, "Unbiased Estimation of Linewidth Roughness," Metrology, Inspection, and Process Control for Microlithography XIX, SPIE, Vol 5752, 2005, 480-488.

標準計測システム

- ⁸ Lauchlan, L., Nyssonen, D. and Sullivan, N. 1997. Metrology Methods in Photolithography in Handbook of Microlithography, Micromachining, and Microfabrication Vol 1. P. Rai-Choudhury, ed. SPIE Engineering Press, Bellingham, WA.

ナノ物質の光学特性

- ⁹ G.E. Jellison, Physics of Optical Metrology of Silicon-based Semiconductor Devices, In Handbook of Silicon Semiconductor Metrology, Ed. A.C. Diebold, (Dekker, New York, 2001), p
- ¹⁰ X. Zhao, C.M. Wei, L. Yang, and M.Y. Chou, Quantum Confinement and Electronic Properties of Silicon Nanowires, Phys. Rev Lett. 92, 236805, (2004).
- ¹¹ J. Chen, M.A. Reed, A.M. Rawlett, and J.M. Tour, Science, 286, 1550-1552 (1999).
- ¹² C.P. Collier, G. Mattersteig, E.W. Wong, et al., Science 289, 1172-1175 (2000).
- ¹³ Richter, C.A., D.R. Stewart, D.A.A. Ohlberg, R.S. Williams, Appl. Phys. A, 80, 1355-1362 (2005).
- ¹⁴ S.-M. Koo, A.-F. Fujuwara, J.-P. Han, E. Vogel, C. Richter, and J. Bonevich, Nano Lett., Vol. 4, 2107-2111 (2004).