

モデリング & シミュレーション

概要

テクノロジーモデリング・シミュレーションは、広義の TCAD と呼ばれる半導体に関するモデリング領域をカバーし、技術開発の期間や費用を削減できる数少ない手法である。本資料で述べる広義の TCAD は次の分野をカバーする：(1)フロントエンド・プロセス・メタライゼーション工程前迄で、トランジスタを作るまでのリソグラフィを除く製造工程にまつわる物理現象：(2)リソグラフィモデリングーリソグラフィ装置、フォトレジストの諸特性や工程を用いたマスクの結像：(3)デバイスモデリングー能動素子の動作に関する様々な物理に基づくモデルの諸階層：(4)インターコネクトと集積受動素子モデリングーバックエンド・アーキテクチャに関する機械的、電磁氣的、熱的な応答動作：(5)回路素子モデリングー能動的、受動的、寄生的な回路素子、新たな素子構造に基づく新しい回路素子に関するコンパクトなモデル：(6)パッケージ・シミュレーションーチップのパッケージングに関する電氣的、機械的、熱的なモデリング：(7)材料モデリングー材料に関する物理特性や、しばしばその電氣的特性を予測するためのシミュレーション・ツール：(8)装置/寸法形状モデリングー(リソグラフィ以外の)装置形状や設定条件がウェーハ上の各位置でのローカルな加工形状に及ぼす影響をシミュレーションするモデルの諸階層：(9)DFM(Design for Manufacturing:製造容易化設計)DFY(Design for Yield:歩留まりのための設計)のための TCADー製造工程上不可避なバラツキや不純物分布のバラツキが IC の性能に及ぼす影響を TCAD で研究可能にし、その結果を設計パラメータに反映し製造容易性や仕様内にある IC の率で表す様なモデルやソフトウェアを追加する：(10)数値計算アルゴリズムー格子形成、表面形状変化、偏微分方程式の並列解法、最適化計算などを含む、どの分野であれそのモデル計算を実現するために必要とされるすべてのアルゴリズム。第(7)項から(10)項は、モデリング・シミュレーションの他の技術分野と接点があるという意味で独特のものである。また材料と装置に関係した項目は、能動素子やインターコネクト関係と同程度に、すべての製造工程にとって次第に重要性を増している。数値計算アルゴリズムはモデリング・シミュレーションのほとんど全分野で共有される技術である。

モデリング・シミュレーション技術の供給者は、政府またはプロジェクトが資金を提供する、主として大学や研究機関である。TCAD ソフトベンダーはこうした活動を担う上で重要な役割を果たし、多くの場合に研究開発成果をカスタム化して商用シミュレーション・ツールとする機能とする事で技術の研究開発とその利用者の橋渡しを行う重要な機能を果たしている。半導体産業は半導体素子や IC に関する技術の開発やその最適化にシミュレーションを適用し応用する努力を行っている。

一般に、新たな事をモデリングしようとするとき長期の研究期間が必要になり、その期間はより長期化し学際的になるのでアカデミックな又は研究所的な環境がもっとも適している。このためモデリング技術で成功するには、その前段階で、大学や独立した研究機関と産業界とが連携した膨大な研究努力が、シミュレーション技術の分野では必要とされる。必要とされる基礎的仕事は一般に長期の開発時間が必要なため、産業界で本格的に必要とされる時期に先立ち、適切な形で研究のための資金が必要とされる。

困難な技術課題

Table 122 に掲げた困難な技術課題は、必要とされる時期までに実現してロードマップの高度な進展を支えるべき技術である一方、技術上の困難さや研究開発リソースの観点で最も困難な技術課題である。さらに現在全てのモデリング分野にわたり鍵となる困難な技術課題は、実験的検証であることは銘記すべきである。この課題は、多くのプロセスにおいて様々な物理現象が相互に作用し、かつそれらは実験結果への単なる当てはめではなく、予測性を持ったモデルを開発するためによく吟味された実験によって適切に区別されなければならない

2 モデリング&シミュレーション

らないため、とても困難になる。素子サイズの縮小化と新しい材料の導入により、モデル開発に必要な情報と、実験からの評価・検証を引き出せる新しい強力な解析技術が欠かせない。こうした特に重要なニーズは測定技術に関する ITWG との議論で触れる。

Table 122 Modeling and Simulation Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
High-frequency device and circuit modeling for 5–100 GHz applications	Efficient extraction and simulation of full-chip interconnect delay and power consumption Accurate and yet efficient 3D interconnect models, especially for transmission lines and S-parameters Extension of physical device models to III/V materials High-frequency circuit models including non-quasi-static effects, substrate noise, 1/f noise and parasitic coupling Parameter extraction assisted by numerical electrical simulation instead of RF measurement Scalable active and passive component models for compact circuit simulation Co-design between interconnects and packaging
Front-end process modeling for nanometer structures	Diffusion/activation/damage/stress models and parameters including SPER and low thermal budget processes in Si-based substrate, that is, Si, SiGe:C, Ge, SOI, epilayers, and ultra-thin body devices Modeling of epitaxially grown layers: Shape, morphology, stress Characterization tools/methodologies for ultra shallow geometries/junctions and low dopant level Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces Front-end processing impact on reliability
Integrated modeling of equipment, materials, feature scale processes and influences on devices	Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high-κ metal gate); reaction mechanisms, and simplified but physical models for complex chemistry and plasma reaction Linked equipment/feature scale models (including high-κ metal gate integration, damage prediction) CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects) MOCVD, PECVD, ALD, electroplating and electroless deposition modeling Multi-generation equipment/wafer models
Lithography simulation including NGL	Optical simulation of resolution enhancement techniques including mask optimization (OPC, PSM) Predictive resist models (e.g., mesoscale models) including line-edge roughness, etch resistance, adhesion, and mechanical stability Methods to easily calibrate resist model kinetic and transport parameters Models that bridge requirements of OPC (speed) and process development (predictive) Experimental verification and simulation of ultra-high NA vector models, including polarization effects from the mask and the imaging system Models and experimental verification of non-optical immersion lithography effects (e.g., topography and change of refractive index distribution) Multi-generation lithography system models Simulation of defect influences/defect printing Modeling lifetime effects of equipment and masks

Table 122 Modeling and Simulation Difficult Challenges (continued)

<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Ultimate nanoscale CMOS simulation capability	Methods, models and algorithms that contribute to prediction of CMOS limits General, accurate and computationally efficient quantum based simulators Models and analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS Gate stack models for ultra-thin dielectrics Models for device impact of statistical fluctuations in structures and dopant distribution Material models for stress engineering. Physical models for stress induced device performance
Thermal-mechanical-electrical modeling for interconnections and packaging	Model thermal-mechanical, thermodynamic and electronic properties of low κ, high κ, and conductors for efficient in-chip package layout and power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension Model reliability of packages and interconnects (e.g., stress voiding, electromigration, piezoelectric effects; textures, fracture, adhesion) Models for electron transport in ultra fine patterned conductors.
Modeling of chemical, thermomechanical, and electrical properties of new materials	Computational materials science tools to describe materials properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following: Gate stacks, predictive modeling of dielectric constant, bulk polarization charge, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, reliability, breakdown, and leakage currents including band structure, tunneling from process/materials and structure conditions. Models for air gap and novel integrations in 3D interconnects including data for ultrathin material properties. Linkage with first principle computation and reduced model (classical MD or thermodynamic computation). Accumulation of databases for semiempirical computation. Models for new ULK materials that are also able to predict process impact on their inherent properties.
Prediction of dispersion of circuit parameters	Computer-efficient inclusion of influences of statistics (including correlations) before process freeze, quantum/ballistic transport, etc., into compact modeling Efficient extraction of circuit-level variations from process and device simulation
Nano-scale modeling	Process modeling tools for the development of novel nanostructure devices (nanowires, carbon nanotubes (including doping), quantum dots, molecular electronics) Device modeling tools for analysis of nanoscale device operation (quantum transport, resonant tunneling, spintronics, contact effects)
Optoelectronics modeling	Materials and process models for optoelectronic elements (transmitters and receivers). Coupling between electrical and optical systems, optical interconnect models, semiconductor laser modeling. Physical design tools for integrated electrical/optical systems

≥32nm 迄の世代における困難な技術課題

5-100GHz へ適用する高周波回路モデル — インターコネクットの寄生効果や遅延、消費電力に関する正確で計算効率に優れたモデルを開発することが最大の重要課題である。インターコネクットの 2 次元的、3 次元的な効果は統計的なバラツキを含めて考慮されなければならない。分散した R-C-L 抽出の区分化も必要とされている。シミュレーションでは多層誘電体膜を効率的に扱う必要がある。能動素子、たとえば HBT, CMOS, LDMOST のコンパクトモデルが必要で、それらは準定常状態下の動作である効果や、周辺の寄生効果を含む必要がある。受動素子ではバラクタ、インダクタ、高密度キャパシタ、トランスフォーマ、電送線などのコンパクトモデルが必要とされている。こうした RF 用コンパクトモデルのパラメータ抽出は、出来れば測定の手間を最小限にするものであることが望ましい。モデルのパラメータはもし必要ならばシミュレーションを使って標準的な I-V 測定、C-V 測定から抽出されねばならない。77GHz カーレーダーのような極端な RF 製品は 100GHz 帯へ近づいている。40GHz 帯に適用した際に 3 次の高調波成分がゆがんだという結果は、このモデリング手法が 120GHz 程度までしか適用出来ないことを意味する。空間的により広範囲からの影響をモデル化する事の重要性が増している。クロストーク、基板帰還パス、基板カップリング、電磁放射、熱的效果などがそうした例である。こうした空間的に広い範囲から受ける効果は、そのパラメータをレイアウトから正確かつ効率的に抽出できる技術が必要とされている。出来れば、モデルは統計的なバラツキのモデルを十分に扱える物理に立脚したものであるべきである。こうした課題は回路素子のモデリングおよび集積された受動素子に関する節の中で主として述べることにする。

ナノ構造のためのフロントエンド・プロセスモデリング — これはデバイスの製造からその性能を予測する際に鍵となる技術課題である。この課題は、材料やデバイスのシミュレーションを含んだ「究極のナノスケール CMOS シミュレーション能力」という大きな課題と、ある程度オーバーラップする。フロントエンド・プロセス分野の最も重要で挑戦的な技術課題は極浅い接合形成のモデリングで、これは非常に低いエネルギーのイオン注入に始まり、ドーパントのアニールや熱拡散へと収斂する。代案として形状や点欠陥、応力を含んだドーブされたエピタキシャル層がシミュレーションされるべきである。浅い接合形成に必要なサーマルバジェットは大きく減少するため、その工程は過渡的な様相が強まり、ドーパント原子と点欠陥との反応や拡散、特にこれらがクラスタを形成するダイナミックな過程に強く支配される。イオン注入による点欠陥、アモルファス化、再結晶化、シリサイド化のそれぞれの現象は精密なシミュレーションを必要としている。チャネルのキャリア移動度増加が必要な観点からは、応力が拡散や活性化に与える影響のモデリングが重要で、これは特に応力状態のシリコンや SiGe, SOI 構造にとって重要である。モデル開発や、キャリブレーション、モデルの評価は、製造工程自体の評価と同様に、膨大な実験の実施に加え、特にドーパントや点欠陥の 2、3 次元的な測定技術の大きな進展を必要としている。この技術課題はフロントエンド・プロセスモデリングの節で述べる。

製造装置、材料、形状スケールプロセスとその影響の統合モデリング — 製造装置に起因したプロセス結果の不均一性は、テクノロジーの生産性と歩留まりの鍵となる重要な問題である。ここで、不均一性とは、特にウェーハ間での不均一性と、装置の保守と保守の間に装置内壁面に形成された皮膜などに起因した加工結果の変動を示す。プラズマを用いたエッチングや成膜、CVD、電気メッキ、化学的機械研磨(CMP)工程ではこうした効果が特に重大になる。一般に、材料の物理的性質や化学反応はまだ十分には解明されていないため、予測能力があるシミュレーションは依然としてごく限られている。重要かつ困難な技術課題として、反応経路に関する正確な化学反応モデルの開発、必要とされるパラメータに関する信頼出来る数値、実用的な応用にとって必要な主要反応だけを含む簡略化された反応モデルの開発がある。もっとうまく素子形状のシミュレーションと連携させるには、表面科学やプラズマと表面反応の相互作用が、近似的な形でモデル化される必要がある。プロセスにとって、統合された製造装置と素子形状のシミュレーションはますます重要になり、製造装置と素子形状のシミュレーションの明確な境界線は定義できなくなり、それらを分離する事は出来なくなるだろう。この技術課題は装置・デバイス形状モデリングの節で触れる。

NGL を含んだリソグラフィ・シミュレーション — リソグラフィ・シミュレーションの多大な貢献により、様々な手法が、光学リソグラフィをさらに小さいスケールへ適用範囲をひろげるために提案されている。とりわけ解像力向上技術が進み使用される波長の種類が増加するため、さらなる技術開発のためにリソグラフィ・シミュレーションが大きく改善されることを必要としている。液浸リソグラフィによって導入された様々の効果のシミュレーションも急務である。次世代リソグラフィの選択肢のモデリングと共通認識は効果的な選択や導入を手助けするために欠かせない。光学的近接効果補正 (OPC) や位相シフトマスク (PSM) の合成方法に関する改良されたモデルを作ることは重要な技術課題である。化学的増幅型レジストに関して予測能力があるモデルを開発することは継続的な課題であり、もし開発されればリソグラフィモデルの応用範囲を著しく拡大するであろう。リソグラフィ・シミュレーションの挑戦は、素子スケールからチップ全体、装置とマスクの効果からウェーハ上の露光の欠陥、名目上の CD 値やレジスト形状の予測からプロセスウィンドウや装置とマスクの延命効果へと広がっている。この課題はリソグラフィモデリングの節で触れる。

究極のナノスケール CMOS シミュレーション能力 — CMOS 技術とデバイスにとって究極的な限界は何かという問題は、マイクロエレクトロニクス産業にとって基本的な問題であり続ける。ここで鍵となる技術課題は、材料、製造工程、そして信頼性を含めた素子動作に関して予測能力を持つシミュレーションである。特に、high- κ 材料を含む積層ゲート構造、寸法依存性のある Cu 抵抗や low- κ 誘電体からなるインターコネク、そして非線形性を示すフォトレジスト材料に関して材料に関するモデルが必要とされている。短期的なニーズとして、こうした材料モデルは第一原理から導き出されるのではなく、どちらかといえば依然として経験的なモデルになるかもしれない。これらに加え、量子力学に基づく非平衡 (電子散乱がない伝導現象) デバイスシミュレーションが必要になる。シミュレーションは標準的なプレーナ型 CMOS でも利用できなければならない。応力効果を考慮したシミュレーションも利用できるようになるべきである。加えて正確さ、効率も鍵となる課題である。原子レベルや工程に起因するゆらぎは究極の CMOS 素子の製造可能性に重大な影響を与えるので、シミュレーション出来なくてはならない。この技術課題は以下のほとんどの節で関係してくる。

インターコネクとパッケージの熱的、機械的、電気的モデリング — 集積回路の信頼性と性能は、ますますパッケージとインターコネクに影響されるようになっていく。電気的、熱的、機械的な特性は高度に関連しあうので、シミュレーションでは切り離さず同時に扱わねばならない。信頼性が関係した問題には、エレクトロマイグレーション、応力起因のボイド発生、各種の膜の密着性や集積性、表面粗さ、パッケージング時の破損や腐食に関するモデルが必要とされている。IC 内部で発生する熱への耐性や熱をチップ外へ逃すことは、将来さらに集積度をあげる際に最重要な関心事になりつつある。ロードマップでの要求に応えるために、low- κ の様な新材料が導入されつつある。積層ゲート構造中には high- κ も必要とされている。これらの材料は多岐にわたるうえに、材料物性はあまり知られていないので、これら 2 種類の材料に関するモデル開発には多大な努力を必要としている。製造工程は、インターコネクの材料特性と 3 次元的形状の両方に影響を与える。シミュレーションではこうした理想化出来ない状況を考慮しなくてはならない。この課題は、以降の主に関係するインターコネクと集積受動素子モデリングの節で述べる。

<32nm 以降の世代における困難な技術課題

新材料の化学的、熱力学的、電気的特性のモデリング — 物理的な限界に起因して、技術開発の際にますます新材料導入の必要性が高まっている。そうしないと更なるスケーリングが止まってしまうからである。新材料の導入は、積層ゲート構造、インターコネク構造、フォトレジストの分野で特に必要とされている。そのため、装置、プロセス、デバイス、回路のモデルはこれらの新材料を含む様に拡張されねばならない。それに加え、実験の手間を省くために、計算に基づく材料科学を開発して新たな材料の選定や共通認識を形成する際に使用され、貢献する事が期待される。この技術課題はほとんどの節で述べられる。

回路パラメータのバラツキ予測 — 非古典的な CMOS 素子は 45nm 以降で注目を浴びるであろう。可能性のある素子構造として、FD-SOI、FinFET、二重ゲート FET があげられる。コンパクトモデルは、現在の最先端より

も物理モデルに即した状態で、これらの素子構造を含めるために拡張されるべきである。これには表面ポテンシャルに基づく従来の CMOS 用モデルに加えて、量子閉じ込め効果と散乱がないキャリア輸送現象を考慮している必要がある。さらに、まだ成熟していない製造工程に対しても統計的な変動を効率良く計算できる事が必須である。全体としての狙いはプロセスデバイスシミュレーションから回路レベルのバラツキの効果的な抽出である。これは新しい製造ラインでの大量生産の急峻な立ち上がりを可能にするだろう。ナノスケール素子で作られた回路のモデリングも必要になる。しかしどんな新しいモデルがどの素子に必要なかを詳しく予想することは難しい。この課題は回路素子のコンパクトモデルとデバイスモデリング、回路設計・製造・歩留まりのための TCAD(TCAD for Design, Manufacturing and Yield)の節で述べる。

ナノスケールモデリング — 探索素子(Emerging Research Devices)の章の中では、長期的に見た CMOS の代替デバイスとして、たとえばナノワイヤー、カーボンナノチューブ、量子ドット、分子エレクトロニクスが論じられている。この様な素子構造、製造技術に関する最適化や共通認識の形成には、量子輸送、共鳴トンネリング、スピンエレクトロニクスなどの適切なプロセス、デバイスシミュレーションの道具が開発される必要がある。これらは以下の大部分の節と関係してくる。

オプトエレクトロニクスモデリング — 周波数の更なる増加や、やがてくるインターコネクト限界のために、電子デバイスと光インターコネクトとの組み合わせが興味深い選択肢としつつある。光インターコネクトの製造に関するシミュレーションと電子と光の集積システムの性能に関するモデルが開発されなければならない。同様に、この領域での材料モデルも含まれる必要がある。この課題は主にインターコネクトと受動素子の集積モデルの節で扱う。

技術要求

以下の諸節ではスコープで述べた 10 の主要な分野に対する技術課題をより詳細に述べる。先に述べたように、「材料モデリング」、「装置/形状モデリング」、「設計、製造、および歩留まり用 TCAD」それに「数値計算技術」は全ての分野と関わっている。従って、これらについては、それぞれの節だけでなく他の節でも論じられている。

フロントエンド・プロセスモデリング

フロントエンド・プロセスモデリングが扱う範疇は、パターニング工程を除いたメタライゼーションまでのトランジスタ構築に使用される製造工程の物理的な効果のシミュレーションである。これらのシミュレーションは、トランジスタの製造に関する理解および最適化、伝統的なプレーナ型デバイスのスケール限界を広げること、そして代替デバイスアーキテクチャーのプロセスに関連する問題を評価することに対して重要である。スケールに伴うトランジスタ寸法の縮小と、その障害の克服を目指して考案される新材料の増加が、それらをモデリングするためのドライビングフォースとなっている。これらによって、モデル精度に関するより高度の要求が生じ、前テクノロジーノードで二次的と見なせた種々の効果を扱うモデルや、まったく新しい材料、物性、そしてドーピング技術に対するモデルだけでなく、新しいシミュレーションフローの導入も必要とされる。

サーマルバジェットの減少にともない、不純物と点欠陥の水平方向の分布が正確にモデル化されることが必要となる。解析モデルは、イオン注入技術およびその代替ドーピング法で引き続き必要とされる。チャネリング・テールは広い範囲のティルト、ローテーションの条件と積層構造に対して、モデル化される必要がある。モンテカルロイオン注入モデルは、たとえば狭いトレンチにおけるサイドウォードドーピングや、ソース・ドレインのエックステンション部のシミュレーションなどのように、解析的モデルでは不十分な部分でますます必要になる。どちらの方法でも、イオン注入とそれに続くアニールの間のダメージの変化のモデルを含むことが必要である。エネルギーの範囲は、界面の影響が重要になる超低エネルギー(1keV 以下)から高エネルギー(数 MeV)にわ

たる。固相拡散やプラズマ・イマージョン・イオン注入 (PIII) のような代替ドーピング技術のモデルレベルでの評価も重要になる。これまでのところソリューションとなる技術が不明なので、モデリング界は、これらの技術の推移を監視する必要があり、最も有望なドーピング技術に対するモデルを探求する必要がある。

ドーパントの拡散の最小化と、ドーパントの十分な活性化(最大化)との間にあるトレードオフを最適化することが、浅い拡散層の形成とデバイスのアクセス抵抗の最小化に対して重要となる。それゆえ、それに関連するメカニズムのより良い物理的理解が、技術開発および物理的なモデリングに関する種々の研究でまさに重要である。ドーパントの拡散と活性化に関して、今後も、連続体モデルがプロセスシミュレータに於いて大黒柱でありつづけ、プレアモルファス化技術の影響を含めて、幅広い不純物拡散種およびサーマルバジェットの縮小を含む技術の適切な獲得のために、その継続的な改善が必要である。点欠陥に基づく拡散モデルは、これまでの初期増速拡散効果を捉えることに加え、特に、クラスタリング現象と活性化現象におけるドーパントと欠陥の振る舞いに関して、かなり洗練される必要があるだろう。RTA の昇降温レートは一つの重要なファクターで、拡散モデルおよび活性化モデルにおけるそれらの取り扱い方を改善する必要がある。これまでの電気炉または RTA と異なった実験条件、特にスパイクアニールやレーザーアニールなどを考慮することも必要である。境界の効果、特にシリコン酸化膜でない物質の界面の効果がますます重要になる。ここで、偏析と不純物トラップは、N,C,F,Ge そして金属不純物やノックオンされた酸素などの影響を考慮しながら、high- κ 材料層を含め、全ての誘電体に対してモデル化される必要がある。さらに、CMOS テクノロジー改善のロードマップにおいて、機械的応力技術が重要になるので、拡散、クラスタリング現象、活性化のすべてのモデルは、機械的応力の局所的影響を考慮しなければならない。

先端プロセスモデルでは、準安定なドーパントの活性化(固溶限以上)のモデリングが必要である。これらは、フロントエンドで減少したサーマルバジェットの影響や、それに続くバックエンド・プロセスでの不活性化を考慮した振る舞いを含めるべきである。表面と境界での拡散のモデルも必要となるであろう。これらはシリコン酸化膜や新しいゲート絶縁物質との相互作用を含む必要がある。極薄膜のボディ中(例えば SOI)や機械的応力を伴う/伴わない代替素子と同様に、代替物質(SiGe または SiGeC 等)中の拡散/活性化のプロセスモデルもまた改善が必要である。

原子論的なプロセスモデルは、フロントエンド・プロセスの直接的なシミュレーション方法として、また連続体の改善モデルの開発、キネティック・モンテカルロ法の開発、パラメータ抽出の手段として重要な役割を果たし始めている。サーマルバジェットの減少に伴うプロセスの振る舞いや、フッ素のような通常と異なる不純物の役割を理解するため、ドーパントと欠陥との間の相互作用に対して *ab initio* 法を用いた詳細な解析による洞察が必要となるであろう。また、high- κ 絶縁体の堆積や界面特性のように、新しいプロセス、物質、そして境界の原子論的な研究がコンピュータを用いた物性科学によって可能となるであろう。*ab initio* 計算から連続体までの階層化されたモデリングが開発され、主流の TCAD の流れに取り込まれる必要がある。

デバイス移動度の改善に対する機械的応力効果の技術がますます重要になってきているので、信頼性、転位の発生やドーパント拡散に影響する応力モデルの開発が必要である。全プロセスステップの結果である最終的な応力は、そのプロセスで使われる全温度領域にわたって考慮され、デバイス・シミュレーション・ツールに渡されなければならない。シリサイド膜のような薄膜の成長には、コーナー部や微小な三次元構造中の応力が信頼性に与える効果や、これらの構造での欠陥の発生の効果をふくめて、より良いモデルが必要である。

先端ゲート積層物に関し、EOT (Equivalent Oxide Thickness) の継続的なスケールアップを可能とするために、high- κ 絶縁膜の物性、基板との相互作用、メタルゲートとの物性/相互作用をモデリングすることは重要な要求の 1 つである。モデル化は積層物の幾何学的形状を通した堆積条件から、デバイスシミュレーションで用いる界面の欠陥密度のような構造的な特性や薄膜酸化膜の NBTI のような信頼性にかかわる問題にまで広がるべきである。

CMP を含めた、デポジションとエッチングに関する形状モデリングは、装置シミュレーションと結合することが必要である。これにより、ウェーハ間やウェーハ上の不均一性と同様に形状に与える装置設定の影響を決定できる。とりわけ、MOCVD や ALD のような新しいデポジション技術や、半導体および絶縁体のエピタキシャル成長に対して、より物理的な形状モデルへと最終的にこれはなるべきである。プレーナ型 MOS を超え、より複雑なデバイス構造および集積法にむけた工業的動向があるので、これらのプロセスのモデリングはさらに重要になるであろう。

このようなフロントエンドの各モデリング領域に於いて、重要なステップにおける変動がパフォーマンスへ与える影響を見積もる方法を開発することが必要である。これらには、ドーパントのランダムな変動によるランダムな影響や、ウェーハ内のエッチング変動のようなシステムティックな影響が含まれる。近接効果やライン・エッジ・ラフネスのようなリソグラフィの変動のモデリングとこれらの効果は強く関連しており、よりよい DFM 戦略に必要とされる。

既存のテクノロジーにもとづいた確固たるプロセスフローがない次世代のアーキテクチャーノードを定義するために、インバースモデリング技術を導入しなければならない。

正確なプロセスモデルの決定、特に次世代の極端に薄い幾何形状、薄膜やドーパントレベルを扱うツールに対して、測定方法および解析の手法を改善することが本質的になる。

正確なプロセスモデルの決定には、測定方法および解析手法を改善することが必須である。特に、次世代の極浅構造、薄膜、ドーパントにたいするこれらのツールが必要である。また、このような新しい物質系に対し、物質および境界の斬新な測定法が必要である。

リソグラフィモデリング

リソグラフィのモデリング・シミュレーションに要求されることは次の 5 つの分野に分けられる。像形成モデリング、電磁氣的散乱解析、レジストモデリング、統合モデルシステム、測定とモデリングの結合、である。以下、これらについて議論する。

- **像形成モデリング** — 新規プロセス技術の開発をシミュレーションで支援するために、より正確、柔軟、かつ効率的な像形成モデルが必要である。既存の像形成モデルやソフトウェアは、超高 NA、特に液浸リソグラフィで生じる偏光の影響を正しく見積もることができるかどうか、厳しく評価されなければならない。より進んだ像形成モデルには、光源内部や射出瞳での偏光の空間的变化、レンズの複屈折、レンズ透過率の空間的变化、偏光収差などの種々の偏光の効果が含まれなければならない。そして、リソグラフィ用結像系内部の表面粗さによるフレアの影響を扱うことのできる、より進んだシミュレーション方法が必要である。
- **電磁氣的散乱解析** — 電磁氣的散乱解析は、研究の主要な部分になるであろう。位相シフトマスクでの散乱、レジストの下のウェーハ形状による散乱が厳密な電磁場の取り扱いが必要となる 2 つの例である。FDTD (Finite Difference Time Domain) 法、導波路法、RCWA (Rigorous Coupled Wave Analysis) 法、FEM (Finite Element Method) などの異なったモデルの能力は、精度、必要なメモリ、計算時間の点から厳しく評価されなければならない。光学的超解像技術にかかわるレチクルの評価、最適化や、マスク欠陥からの光の散乱の解析のために、より効率的なモデルが必要である。
- **レジストモデリング** — 予測的、かつ定量的なレジストモデリングが、依然としてリソグラフィ・シミュレーションのボトルネックとなっている。ポストバーク、拡散、ライン・エッジ・ラフネス、表面での相互作用を含んだ化学増幅型レジストの正確なモデルが必要であり、3D レジスト形状を正確に予測できなければならない。いろいろな化学物質のレジストから浸透液への溶解などの液侵方式に特化したモデルの拡張が必要である。光学像を空間的に分散させる方法などの簡略化したレジストモデルの予想と厳密なモデルの予想との比較評価も望まれる。リソグラフィとエッチングの両面にかかわる多層薄膜レジストのモデルが重要になってきてい

る。レジストパターンをエッチング耐性と力学的安定性の両面から評価しなければならない。ポリマーの大きさの影響の重要性も増しているため、コンピュータ分子モデリングによるレジスト研究の必要性も増している。

- **統合モデルシステム** — 理論的解像度の限界近傍でのリソグラフィの結像では、照明系、マスク、投射系、レジストなどのリソグラフィ系の各部分の相互作用が複雑に絡んでくる。独立なパラメータが非常に多くなり、また、理解すべきデータも爆発的に増えるため、回折光学の限界付近で操作される今後の技術の微調整のためにコンピュータによる最適化システムが求められる。特に、光学的超解像度技術におけるマスクと光源パラメータの最適化と、レジストがこの最適化にどのような影響を与えるかの理解がこれに含まれる。また、統合モデルシステムはマスクから最終製品までの過程での徹底的な欠陥転写の研究にも必要とされる。さらに、二重露光方式のいっそうのひろがりにより、最適化がより困難になり、工数のかかるものになりつつある。
- **測定とモデリングの結合** — より予測的なプロセスシミュレーションのために、モデルと測定ツールとのより緊密な結びつきが求められる。測定ツールの結果を適切なシミュレーションのパラメータに変換する方法を開発しなければならない。レンズの収差データと光源の形状測定が一般的になったので、光源とレンズの完全な偏光特性がもとめられる。電磁氣的散乱のシミュレーションを使うため、すべてのマスク材料の三次元的形状と光学パラメータが今や必要とされている。レジストパラメータ、特に 193nm および EUV のレジストパラメータの測定の実験的仕組みを考案、あるいは改良しなければならない。リソグラフィ工程のシミュレーションのために開発された手法は、測定ツールの評価にも使える。マスク検査、重ね合わせのアライメント信号のモデリング、収差測定、適切な測定データからのレジストモデルパラメータの抽出などがこれに相当する。

適切な実験によって、多様なリソグラフィ条件、2D, 3D の多様な素子形状、大きさ、ピッチに対して、シミュレーションモデルの妥当性が確かめられなければならない。最も効果的なモデリング手法を見つけるために、モデルの精度の評価の広範囲にわたるベンチマークが役に立つ。数値的精度の仕様とシミュレーション全体の不確かさは、歴史的に、あいまいのままで、まだよく理解されていない。キャリブレーションと妥当性の検討を注意深く行うことにより、不確かさを許容してシミュレーション結果を使うことができる。

OPC, PSM や斜入射照明などの光学的超解像度技術が多用されるので、プロセス開発、最適化のためのリソグラフィ・シミュレーションの重要性は増加するであろう。十分計画された実験と予測的なリソグラフィ・シミュレーションとの組み合わせにより、プロセス開発のコストを削減することができるだろう。

次の数世代の技術のシミュレーションの重要な適用先は、多様なリソグラフィの選択肢(たとえば、EUV 対 193nm 液浸リソグラフィ)のトレードオフを評価することである。次世代リソグラフィ技術のために、EUV (Extreme Ultra Violet) リソグラフィ、直描型電子線リソグラフィ、マスクレスリソグラフィ(ML2)、ナノプリント技術に対する信頼のできるシミュレーション・ツールが必要である。

デバイスモデリング

一般にデバイスモデリングとは物質中のキャリア輸送を表すモデルや手法を指す。モデルは、ポアソンと連続方程式を解く簡単なドリフト拡散から、ボルツマン方程式を単純化した高次のモーメントを解くエネルギーバランスのように、より複雑で計算時間がかかるものまである。適切なモデルは、問題および要求される精度のレベルに依存するため、ユーザが選択することになる。さらに、今日のデバイスの複雑な物理により、ボルツマン方程式を確率的に解くモンテカルロ・コードや、量子効果を考慮したシュレディンガーの解法が必要になっている。近年の数値解析や物理学の大きな進歩にもかかわらず、増え続ける挑戦的な産業の要求に答えるには、デバイスの探究および最適化のために継続的な開発が必要である。デバイスモデリングはスケーリングの研究や技術の最適化のために使用される。したがって、今日のデバイス性能を正確に再現し、将来の限界を正確に予測する技術が必要である。以下は最も重要な課題のリストである。

ゲート・スタック — ゲート誘電膜が非常に薄くなったので、ゲートのトンネリング電流は今日の重要な設計項目である。ゲート・スタック全体(チャネル・誘電膜・電極)の包括的な量子力学的なモデリングは、数原子層の厚さの酸化膜や酸窒化膜の振る舞いを表わすために必要である。それは、誘電膜中の詳細なトンネリングと電荷輸送、複雑に積み重なった誘電体の実効的な誘電率、High-k 膜に分布する界面準位やトラップを含むべきである。代替となる High-k 膜の探索や評価を支援するために、基本的な材料のモデリングを推進すべきである。Fermi-level pinning や酸素欠損によるフラットバンドの変動やヒステリシス効果、しきい値および容量特性、チャネルの移動度や信頼性に注力すべきである。

応力と歪 — 異なる材料の積層やプロセスの熱履歴は、デバイス特性を決めるようになってきた応力や歪を引き起こす。考えられる全てのチャネル方向の電流を正確に予測するためには、任意のストレス場についてフルテンサイル量の正確な表現が必要である。全てのモデルはバンド構造(バンド端、実効的な状態密度、有効質量)の効果を含めるべきである。移動度への影響が最も重要である。それは、ストレス依存の飽和速度だけでなく、有効質量や運動量の緩和時間にも起因する異方性のピエゾ抵抗を含む。

コンタクト抵抗 — デバイスの寸法の縮小に伴い、全体のデバイスの抵抗(チャネル、S/D、コンタクト)に対するコンタクト抵抗の寄与は増え、電流電圧特性やトランスコンダクタンスを予測するシミュレーションにおいて重要な役割を果たすであろう。コンタクトとシート抵抗(高ドーパの活性化と移動度)の正確なモデリングは、正確なデバイス特性の表現に必要である。

3次元のモデリング — 現実的な不純物分布と形状はデバイス中の様々な空間的な方向の結び付けを強め、それにより、その問題の完全な 3 次元モデリングが必要になる。ゲート端のラフネスやゲート幅依存のような効果はデバイスの出力特性に大きな影響を与えるため、デバイスの最適化の研究に考慮される必要がある。これは、3 次元シミュレーションは時より用途が限定されるために保留にするのではなく、日常のタスクで実際に必要であることを暗示している。したがって、3 次元のツールが 2 次元と同様の複雑性と計算時間を要求されるため、プロセスのエミュレータやシミュレータと現実的に結びついているデバイスエディタ、メッシュのアルゴリズム、および行列解法を強化しなければならない。

不純物バラツキ — 継続的な寸法の縮小は他のものと異なった奇妙な問題を引き起こしている。体積が小さいために、注入される不純物の複雑で微妙なバラツキが、不純物濃度の無視できない差を大きくして、デバイス特性に大きな影響を与えるであろう。不純物のバラツキはデバイスパラメータの分布を広げるため、最適化や量産化に向けての検討において考慮する必要がある。個々のデバイスは、なるべくならば 3 次元のランダムな不純物分布を持つデバイス(例えばモンテカルロ法によって作られる)で表現されなければならない。このことは高速な 3 次元シミュレータの必要性を再度強調している。正確な結果を用いた適切な表現は SRAM ノイズマージンなどの重要な性能評価のためには必須である。

RF — バイポーラに特化したモデル開発は、従来の CMOS スケーリングのモデルと同程度あるいはより必要にもかかわらず、遅れている。従って、RF、アナログ混載の CMOS、BiCMOS、バイポーラの回路設計の支援のために、特に小信号解析(AC)および大信号の振る舞い(過渡)の数値的な取り扱いを強化する必要がある。デバイス性能の解析、非定常効果の理解、RF 測定にかかる時間や費用の削減、縮小化したデバイスの予測精度の良いデータの提供のために、効率的なツールが必要とされている。RF 回路を統合したデバイスシミュレーションまたはミックスド・モードシミュレーションは最適化が容易かもしれないが、効率的なアルゴリズムが必要になるであろう。回路シミュレーションとデバイスシミュレーションを結合するときには、個々のデバイスの計算は並列に行う必要があるため、ハードウェアとソフトウェアの支援が必要になる。使用されるモデルには、表面の量子化、ダイレクト・ゲート・トンネリング、ストレス効果のような DC で必要とされる全てのモデルが考慮されるべきであろう。内部雑音の包括的なモデリングには、sub-kHz から少なくとも 100GHz の範囲の重要な全内部

雑音源を含めなければならない。柔軟な方法で輸送方程式に外部雑音源を包括的な表現で繋ぐために、基板雑音の相互作用の効率的なモデルが提供されなければならない。最後に、デバイスと回路の自己発熱と周波数依存の物理的パラメータを考慮する必要がある。

CMOS スケーリング — 新規のデバイス構造や究極の CMOS スケーリングには、より正確なデバイスモデリングが必要になる。数ナノのチャンネル長やシリコン膜は、量子効果を含む(部分的な)バリスティック輸送モデルを使わないと、正確に表現することができない。幾つかの方法が提案されてきたが、それらは近似に対する厳密な検証が欠けていて、そして非常に計算に時間がかかる。ポアソンとシュレディンガー方程式をセルフコンシステントに解く単純な方法が提案されている。もっと改良された方法は、Wigner 輸送方程式、Kadanoff-Baym 方程式、沢山の粒子を取り扱う量子的な Liouville 方程式を解くためにグリーン関数または Wigner 関数を使う方法である。MLDA(Modified Local Density Approximation)や Density Gradient Model のような、量子効果によるキャリアの閉じ込めと量子的な補正のための簡単なモデルに適した、矛盾のない移動度モデルが特に重要である。輸送すなわちストレスとチャンネルの方向、主流になっている設計されたデバイス、新規のゲートの積層構造と共に、これらの話題は重要になる。対応する上記段落を参照。

新規デバイス — 近年、様々な CMOS 互換の新しいデバイス構造が提案されている。短チャンネル効果を抑える有望な方法としては薄膜を利用することである。このため、完全空乏、極薄膜の SOI、マルチゲート FET、様々な形状のダブルゲートやゲートで覆う構造が研究されている。これらの構造には上で述べた部分的なバリスティックモデルと量子輸送モデルが、任意のチャンネル方向の包括的な移動度モデルと同様に不可欠である。さらに研究されているデバイスの特徴としては、ノンプレーナや S/D せり上げ構造、歪 Si や SiGe を用いたデバイスが含まれる。このためには、ストレスおよび歪効果の正確で包括的な表現が必要条件になる。同じことが新規のゲート積層構造に当てはまる。再度、対応する段落を参照する。自己発熱は SOI ウェーハ上に形成された素子で特に重要となる。新規のメモリ技術は、磁性体、常磁性体、強誘電体材料を使うため、それらは、スピン、磁気相互作用および電気的な極性化現象のモデリングが必要である。他の素子のオプション(位相変化メモリ)は電子パルスによるジュール熱に起因する位相変化のモデルが必要となる。

その他 — 基板電流およびホットキャリア注入効果のモデリングは最近の十年間で進歩した。微視的なシミュレータの適用により、ホットキャリアの生成や挙動を詳細に理解することができた。しかしながら、誘電膜の薄膜化のために微細化したデバイスは、特にトラップおよびデ・トラップのメカニズム、誘電膜中の輸送に関して、さらなる開発が必要である。さらに、不揮発性メモリの SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)に対しては誘電膜中の電荷トラップとデ・トラップ及び輸送モデルのまだ大きな改良が必要である。要求の高い素子劣化と信頼性の解析は同様のモデルに依存する。定常状態および過渡状態、あるいは ESD の信頼性の予測は、技術的な微細化の検討において重要となってきた。残念ながら、後処理か経験的なモデルしか使えない。低消費電力のデバイスについては、バンド間とトラップアシストによる接合リーク電流がプロセスウィンドウをかなり狭めている。したがって、それらのパラメータだけでなく既存のモデルを見直す必要がある。量産化のための設計の課題に取り組むには、デバイス構造の変動(不純物、ゲート線幅など)を表現したものを開発する必要がある。それを回路設計に接続する必要がある。大きなデバイス領域のシミュレーション技術の研究が必要である。パワーアンプあるいは光学デバイスは、大きなインターコネクトシステムによって、通常は多くのトランジスタセルが相互に接続されている。デバイスパラメータの分布定数的な効果の影響は、特に熱や電磁気の影響が効くときに、上手く理解されてなくモデル化もされていない。大信号の振る舞いは要求されるが、従来の TCAD はシステム全体の離散化に必要なグリッド数のために使えない。

インターコネクト(INTERCONNECTS)と集積受動素子(INTEGRATED PASSIVES)モデリング

インターコネクトは最大クロック周波数が 1.5 年ごとに 2 倍の割合で伸びるムーアの法則の律速要因として、益々重要な役割を演じている。このことは、インターコネクト電気特性と信頼性の両方に関係しており、電氣的、機械的、熱的に結合させたシミュレーションを必要としている。信頼性に関しては、エレクトロマイグレーション

やストレスによるボイドや突起発生が最も重要なトピックスである。電気特性と信頼性は共に、たとえば、Cu 粒界やポーラスな low- κ 材料を含む、プロセス条件、材料組成に顕著に影響される。デバイス特性と信頼性は、設計に顕著に依存しているが、この他に、寸法や穴断面の縮小が進むと共に、実プロセスでは、設計構造からずれることが重要な依存要因として上げられる。フロントエンド技術と同じように、プロセスの結果とそのシミュレーション結果に基づいた上での、微細加工のモデリングと、インターコネクト性能や信頼性のモデリングとが、共に要求されている。

最大許容周波数限界は、一連の物理的な効果によるものである。抵抗、容量や、インダクタンスのようなものに対して、既に議論されている最小寸法スケール限界に加えて、次のようなものがある。高周波になると導体の表面を流れる電流が流れるようになる表皮効果がその一つである。また、電磁誘導により、平行に同じ方向へ流れる電流は引き合い、逆方向に流れる電流は反発するローレンツ力効果も影響する。また、高周波になるほど、導体の角や曲り、分岐部分で電流集中(crowding)効果が起きることが知られている。後者では、伝送線路理論による 2 次元近似は有効でなくなり、電磁波(full wave)解析が要求されている。

高周波でのこのような効果を十分詳しく理解する要求があることに加え、デバイスに集積した受動素子をシミュレートすることがますます必要となってきた。受動素子の集積は、生産コスト削減に大きく寄与するからである。これらの集積受動素子の特性を計算で把握できるためには、これらの素子をより実際に近い環境でシミュレートする必要がある。たとえば、渦巻き型インダクタの特性係数(q ファクター)を決めるには、基板中に流れる誘導電流のオーミック抵抗によるエネルギー消費がどれだけかを知らないといけない。実際、ここで扱っていることは、将来の IC 設計に一般的トレンドとなるものである。すなわち、集積受動素子と半導体基板層の系が、電磁気パルスに極めて非線形に応答する電磁気的特性をシミュレート出来ることが非常に強く望まれている。

優先度の高いものは、熱的、機械的な性質が結びついた多層薄膜の特性である。薄膜の構造、組成依存特性は、信頼性への影響に関連してどうしても把握が必要なものである。これらの薄膜の機械的な性質、すなわち、材料の疲労化、割れの発生、応力起因の空洞化は同じく信頼特性に影響する。熱サイクルが引き金となって、予測できない割れが発生することがある。これらの影響をより効果的に調べるには、実験手段だけでなく、シミュレーション・ツールが必要である。インターコネクト・シミュレーションが装置／最小寸法スケールのシミュレーションと相互に果たす役割は、ますます重要である。材料を低・誘電率物質へ変更することは、低・熱伝導率物質に変更することであり、インターコネクト設計技術の進展に必要とされる一連のシミュレーション・ツール用に組み合わせた電氣的、熱的モデリングのニーズが極めて大きくなってきている。

素子の動作速度が数 GHz 領域に高まり、インターコネクト構造のシステムの複雑さが次々と増加するに従って、高精度でよりよい効率のソフトウェア・ツールが必要になっている。インダクタンス結合のように高周波・電磁気特性の高精度のモデリングが鍵である。複雑なインターコネクト構造の電氣的、受動素子特性を予測出来るようになることは、引き続き挑戦すべき技術課題である。プロセスの出来と IC レベルの測定結果とを結び付け、信頼性の問題と設計の不具合との関係を明確にし、そして、代替インターコネクト構造を容易に探しだす設計者の能力を持つソフトウェア・ツールや方式が必要となっている。

幾つかの解決策候補はあるが、これらの解決策は、設計フローの日々の使用に耐えるだけの最適なものとして更に発展させる必要がある。

- 第 1 に、半導体基板が低抵抗の場合、電磁氣的応答は、線形応答に収まるはずである。その場合、この基板は伝導度と誘電率とで特性が決まる伝導性媒体として扱うことが出来る。電磁波(full wave)アプローチに基づいた数値モデリングアプローチが使用可能である。モーメント法(MoM)や、部分要素・等価回路(PEEC)法が、電磁氣的環境をシミュレートする有効なスキームとして追究されてきた。最近では、有限差分時間領域法が高周波領域のインターコネクトと集積受動素子の計算スキームとして追究されている。

- 第2のカテゴリーは、基板を半導体として忠実に扱うものである。その際、半導体基板は、電磁界に対し非線形に応答する。更に、電界のソースの応答がセルフコンシステントであることに呼応して、二次の非線形結合が生じる。最近では、半導体デバイスシミュレータの方程式にマクスウェル方程式をセルフコンシストに考慮したアプローチがとられている。この解が使えるものであることは、示されているが、これを実用的なツールに変えるには、未だ一連の発展が必要である。指摘されている疑問点は、「如何にして、(半)自動的に等価回路表現を抽出出来るかである。すなわち、ネットリストや SPICE パラメータ、あるいは S パラメータを、電磁波(full wave)解から、よりよく抽出できるか？」である。展開次数低減(Reduced-order)モデリング技術は、更に発展、開拓を行う価値のある高い可能性を持っている。

全電磁波(All full-wave)解析は計算機上厳しい困難さがある。電磁波的振る舞いの典型的シミュレーションは、定常解に比べ、約10倍以上の節点変数の計算が必要である。動的特性解析のためには、磁界のベクトルポテンシャルを含める必要がある。周波数依存性を扱うためには、変数の位相と振幅の両方を保存する必要がある。従って、速い線型ソルバーが電磁波(full wave)解析を設計フローに実装するにあたっての鍵になっている。

インターコネクト性能のシミュレーションは、問題が広く次の4点に渡り、とりわけ難しくなっている。

1. 電氣的、熱および機械的に強く結合したシミュレーションが必要である。
2. 最終目標が少なくともチップレベルの性能と信頼性である。しかし、最小寸法スケールの縮小とアスペクト比の上昇に従い、理想的なインターコネクト形状からずれていくプロセス事情によって、この目標がますます影響を受けるようになっている。そして、問題は広く、数Åから mm までの大きさにわたって広がっている。
3. 上記した物理的影響とともに最小寸法スケールの限界事情が実設計性能にますます影響を及ぼしており、いろいろなレベルのインターコネクト・シミュレーションが設計と双方向に結合されなければならない。
4. インターコネクトとパッケージの同時シミュレーションがますます重要である。

これらの問題事項を解決するには、階層的シミュレーション手法とツールの開発が必須である。

回路素子モデリング

いくつかの理由から、設計生産性の強力な増強が必要である。第一に、マスクのコストが劇的に増加している(リソグラフィを見よ)。これは、再設計のコストをいっそう重要にする。第二に、新しいファブの建設は、より高い投資を必要とする。これは、タイムリーにより高速に収益を生むことを意味する(生産工場インテグレーションを見よ)。寄生素子を含む回路動作の精確なモデリングは、一回で正常な動作の設計に決定的である。プロセスデバイスシミュレーションが新技術に関する情報を早期に引き出すことの助けになる。物質の性質が電子散乱輸送へ関連するモデルは、将来技術の予測を強力に推進するものであろう。それには、統計的相関を含むプロセスの変化やばらつきを考慮に入れるべきである。望むらくは、これらの統計的なモデルは、プロセスの質を高めるまでの間ずっと長く、使えるはずである。これは、より早い生産立ち上げが出来るチップ設計を可能にするものである。

回路シミュレーションのための回路素子モデルは、チップ設計生産性の鍵である。設計の章に、多くの課題が挙げられている。例として、クロック周波数の増加、電源電圧の低減、弱反転の重要性の増大、回路複雑さの指数関数的増加などがある。モデル精度と CPU 効率は、2つの相対立する要求である。この二項対立は、モデルの階層化をもたらす。最も精確なモデルは、小さな回路をシミュレートするために使われる。比較的低精度のモデルは、大きな回路をシミュレートするために導かれる、等々である。同様に、この二項対立は、デバイスレベル、セルレベル、ブロックレベル等、いくつかの構造レベルのモデルの階層があることも意味する。

歴史的にアナログシミュレーションの必要性は、回路素子モデルの発展を駆動してきた。そしてアナログとデジタルの両設計者とも、これらのモデルを使う。チップ当りの(アナログとデジタルの)デバイス数の増加により、さらに高速なモデルとシミュレーション・ツールで収束性の改良を必要とする。デバイスモデルは、多くのより詳細な効果を含むようになるだろう。シリーズ抵抗、インダクタンス、容量などの寄生効果は、量子効果、漏れ、ノイズ、歪、非準静的効果と共に、重要性が増している。自然な動向として、各モデル改良のために新しいパラメータが加えられる。モデルをもっと少ない合わせこみパラメータでより物理ベースにすることにより、これを防ぐことができる。ロバストで精確なパラメータ抽出アルゴリズムは、各モデルに必須である。回路素子モデルに関する業界標準は、IP ブロックの交換やファブレスのビジネスモデルを助長するだろう。

CMOSに関して、トレンドはしきい値ベースモデルから、表面ポテンシャルベースモデルに向かっている。現在、コンパクトモデル会議で標準として提案されている2つのモデル(:HiSIM と PSP)は、表面ポテンシャルベースモデルである。表面ポテンシャルベースのモデルは、サブしきい値モデルと飽和モデルの間の数学的な継ぎはぎ問題を回避している。これらのモデルは、数は少ないが、より物理ベースのパラメータを持っている。このため、パラメータ抽出が迅速で、ばらつきや統計の組み込みが容易である。これは、たとえば SRAM での静的雑音余裕のように、デジタル回路において重要なことである。しかしながら、アナログと RF の応用にとっては決して容易でなくかつ欠くことの出来ないものである。これらは、しばしば弱反転で動作し、そこではしきい値ベースのモデルは数学的フィッティングに頼っているのに対し、表面ポテンシャルベースのモデルは物理ベースである。いくつかの RF 応用に対しては、長チャネルデバイスが高周波領域で使われ、非準静的モデルが必須になっている。アナログと RF に対して、雑音と歪のモデル化は、もっと留意を必要とするであろう。RF (ノイズ)測定は、パラメータ抽出向けだけのものを、どちらかといえば回避した方がよい。

将来の CMOS 世代のコンパクトモデルは、新しい効果を正しくモデル化すべきである。たとえば、移動度が高められたチャネルと high- κ のゲートリークである。非古典的 CMOS デバイス(PIDS の章を見よ)は、付加的なモデル化の課題を提起するであろう。FD SOI-CMOS, FinFET, Omega FET, デュアルゲート FET 等のように、多くのデバイスは完全にデプリートされたチャネルを持つ。このことはより短いチャネルを可能にし、これはさらなるバリスティック効果を意味する。さらに、(10nm 程度と)相互に近い 2 つのチャネルは、量子力学の相互作用を持つ。これは、FinFET とデュアルゲート FET のような多チャネルデバイスで重要である。小さい寸法が与えられたとき、このクラスのデバイスでは、ばらつきと統計がより目立つだろう。非 CMOS デバイスに対しては、モデル化の詳細な課題を定義するのは難しい。PIDS の章におけるオプションの数は、モデリング領域に膨大な努力を要求し、今なお恐ろしく多い。バイポーラに関しては SiGe(C)か III-V 属の材料のどちらかの究極の HBT に向かってモデルが拡張されるだろう。メモリに関しては、PIDS の章で述べられているように、FRAM, MRAM, 位相変化のような新しいメモリ概念に対するモデルが必要である。

RF の回路モデル化は、100 GHz 範囲にまで拡張されるであろう: それは、究極の RF (77 GHz の車載レーダや、60GHz WLAN)か、(第 3 高調波の)歪が重要な 30-40 GHz 帯か何れかへの応用であろう。寄生素子を含んだ能動デバイスに対するモデルは、良好な RF 回路モデル化に欠くことの出来ないものである。しかしながら、受動回路素子の正しい記述は、重要なもっと多くの注意を要する。インダクタ、伝送線路、可変容量のモデル化は、さらなる高周波において表皮効果と他の抵抗増加を含むであろう。これらの(周波数依存の)効果に対するモデルは、周波数依存成分を含んでいないようにすべきである。この結果、周波数領域シミュレーションに加えて、時間領域シミュレーションも可能になる。より大きな複数の(能動、受動)素子に対して、非準静的効果は重要になり、精確にモデル化されるべきである。

インターコネクトのモデル化の重要性は、回路遅延とクロストークへの強い寄与とともに増している。インターコネクトのモデル化の物理は、それほど複雑ではない。しかしながら、インターコネクト回路網の複雑さと規模は、深刻な課題を提示している。たとえばクロストーク、整合、誘導性結合(3D でも)、表皮効果、寸法効果のよ

うに、異なった効果に対するモデルのそれぞれ異なった応用を必要とする(インターコネクトの章を見よ)。シミュレーション時間を妥当に保つために、階層的なインターコネクトのシミュレーション法が必然である。インダクタンスを考慮に入れることは、高速クロックの回路に対して重要である。RF 応用に対して、それは回路動作の本質的な部分である。伝送線路やアンテナのようにインターコネクトデバイスのフルウェーブ記述は、高速もしくは高周波数に対して一般的になるだろう。デバイスレベルを超えてインターコネクトのフルウェーブ記述が重要になる場合、複雑さの圧縮アルゴリズムに真剣な努力が必要である。

更に複雑な回路では、いくつかの長距離効果が重要性を増す。たとえば、ミックスドシグナルと RF 応用に於ける基板結合効果である。ディジタルクロック信号がアナログと RF の部分に伝播し、その特性仕様を妨げる。温度効果は、SOI ベースや薄膜のデバイスに対してもっと重要になるだろう。それゆえ、自己発熱と相互発熱の効果は、もっと詳細にモデル化されるべきである。RF 応用に対しては、大規模な電磁界効果が重要になるだろう。このことは、デバイスレベルを超えて考慮すべきである。

信頼性予測シミュレーションは、もっと重要になるだろう。多くの設計で、ハード信頼性限界に近づくであろう。ESD は、今後のプロセスで最も深刻な信頼性問題の 1 つになりつつある。デバイスレベルのコンパクトモデルに基づいた回路レベルでの予測シミュレーションは、ESD に対し安全なチップ設計を保障するのに必須である。加えて、インターコネクトレイアウトからのエレクトロマイグレーションの予測は、超最悪マージンを避けるために改良が必要である。酸化物の信頼性、ホットキャリア効果、EMC 耐性のシミュレーションは、幾つかの場合に困難な制約がある可能性がある。

パッケージ・シミュレーション

IC パッケージの共・設計(co-design)はシステムレベルで考えることが益々重要になってきている横断的重要事項である。以前パッケージ設計者は、ダイ上に I/O パッドを配置することや PCB(プリント回路基板)上の I/O 結線を配置することを含むダイ footprint 配線の方法に従事していた。この方法では増えつつけるピン数や大きくなる全体の(パッケージ)サイズに対応できない。またパッケージは高価になり、最悪の場合製造できないという問題を抱える。配線出来、および製造出来ることの上に更に、シグナル・インテグリティ(signal integrity)、パワー、温度、メカニカル・インテグリティ(mechanical integrity)に関しての要求に合致しなければならない。要求されている電氣的、熱的、メカニカル・シミュレーションはダイとシステムを考慮した上で実行しなければならないが、これは共・設計(co-design)ツールとの対話によって可能になる。優れた共・設計(co-design)ツールは、パッケージとダイのデータベースとを直接、相互に関連させ、両者間の相関結果を対比することが可能である。

現在の一般的なパッケージモデルは、IBIS、SPEF、または SPICE のような集中定数モデルである。これらは、モデルが単純で、シミュレーション・スピードの利点があることから今後も使われるであろう。このような単純モデリングは、上手くパッケージ特性を表す改良が必要である。SPEF モデルは、短い結線の自己インダクタンスが重要で、且つ大電流ループが無い相互インダクタンスが無視できる場合に有効である。比較的長い配線、長い電流ループ、配線ボンドを持つパッケージについては、相互インダクタンスが重要になる。IBIS モデルは配線交差結合を良く記述するが、パッケージ上の全てのダイピンは一般的に互いにショートしていて、これはシミュレーション能力を大きく制限する。どちらにしても両方法は、電源、グラウンドを上手く取り扱うことができない。唯一 SPICE は電源、グラウンドのより複雑なモデルを構築することができるが、モデルは扱い難く遅い傾向がある。

パッケージの電源、グラウンド構造のモデリングは非常に重要である。電流ボトルネック、ノイズ、同時スイッチング問題は、熱解析に対し難しい影響がある。十分なデカップル容量が、動作保証用に正しく配置されているか、コストやパッケージサイズに逆行するほど過剰に追加されているか、等の見極めが難しい。

離散的な集中定数要素ベースのモデルを超えて、高精度な分布定数型伝送線路モデルに移行することは

明らかに必要とされている。単純なパッケージ構造では非常に限られた電源、グラウンド構造しかないが、典型的な BGA (ボール・グリッド・アレイ) パッケージでは、配線がグラウンド面を横切る構造はわずか半分程度である。より複雑なフリップチップ設計では、様々なレイヤーの上に多くのグラウンド、電源面が存在する。パッケージを使い回すことになれば、一旦作られたパッケージモデルは多くの顧客に渡ることになる。この際、使いやすいパッケージモデル・フォーマットと簡単に流通するシステムを共有化する必要がある。reduced-order モデルのような代替モデリング方法は調査する必要がある。IC パッケージと PCB システム間の複雑さや相互作用をモデルに取り込むことは、様々なコンポーネントモデルを様々な実装出来るモジュール化のアプローチが、特に SIP(system in package) や SOC(system on chip) ソリューションを考慮する際、必要と言える。デジタル、アナログ、RF そして、MEMS (micro-electro-mechanical systems)、光学製品までも同時に考慮する際は、同様のモデルが必要であろう。インターコネクトアセンブリーとパッケージの章を見よ。

シミュレーションモデルを作るということは数値計算方法に対して新しい課題を生み出すことになる。パッケージ形状解析は完全に 3 次元の電磁界ソルバーを選び出すことに他ならない。フリップチップパッケージでは多くの配線層と電源、グラウンド構造が存在するので、たった一本の信号のネットの抽出でも非常に労力が必要である。MCM (multi-chip-module) では、非常に大きな最小セットの抽出が合わせて必要な沢山のネットを組み合わせた長い配線路が存在する。何れのケースにしても、解析領域を小片に分割する問題が、電源／グラウンドのパラメータ抽出においてフリンジ成分の見かけ上の劣化を引き起こす。フルパッケージでの抽出ができ、解析領域が可変な電磁場ソルバー・エンジンの開発が問題を本質的に解決するものである。解析領域可変性は並列クラスタを導入することで達成できるであろう。同様に時間とメモリ消費の効率化も更に改善する必要がある。

熱伝導度の低い low- κ 誘電体の導入は熱解析の必要性が増している。IC のどんどん大きくなる発生熱量はパッケージに流れる。その際、そのより多くの熱を逃がし、パッケージがシステムに、その熱を流すようにすることは大問題である。これは、シミュレーション解析を容易にする共・設計 (co-design) ツールが必要ということを示している。更にグラウンドを通して流れる電流とパワー構造を理解することが必要である。なぜなら電流のボトルネックは、高温スポットの問題になるからである。

積層を通して導入される真性および熱的な機械的応力 (ストレス) は、その特性を把握してモデル化しなければならない。low- κ 誘電体膜はしばしば機械的ストレス (mechanical integrity) を削減しているが、一方で同時に熱応力 (ストレス) がますます厳しくなっている。そのストレスは、ダイや、グラウンドと電源面中の電流ボトルネックによって引き起こされる熱の不均一や、熱伝導率の低下により、特に大きくなる。ストレス・マイグレーションやボイド、薄膜内の割れ、疲労を予測するソフトウェア・ツールが必要とされる。メカニカル・インテグリティ (mechanical integrity) の意味においても、IC パッケージの共・設計 (co-design) は、low- κ デバイスのモデリングは、新しい流れのものである。low- κ デバイスのパッケージが確実に出来るようにするには、IC 配線構造へ強度を保つ構造が追加され、低応力パッケージ構造が選ばれることになる。一方、パッケージすることは、low- κ バックエンド形成膜のインテグリティ (integrity) の要求事項を明確にすることである。この意味で、IC 設計とファブプロセスは、パッケージの要求に合う low- κ バックエンド形成膜のインテグリティ (integrity) が最適化ように行われる。一方で、low- κ バックエンド形成膜の機械的強度は、パッケージ応力の最適化を求めている。この観点から、パッケージ技術者は low- κ デバイスに適合する低応力のパッケージ設計に取り組んでいる。バックエンド形成膜におけるパッケージ起因の応力をモデル化する新しい方法が、この共・設計 (co-design) 取り組みにおいて、欠くことのできないものである。

材料モデリング

半導体開発において新しい材料が探索されている現在、薄膜やバルク材料の物理的特性や、これ等によるデバイスや集積回路の電氣的、機械的、熱的な特性への影響は、半導体技術のすべての分野で重要性を増している。材料開発が強く推し進められている背景には、現状で用いられている材料系の物理的限界が迫っ

ている事がある。この理解を深めるためには、材料 M&S が、経験的手法であれ基本原理的であれ、必要である。短期的に見れば、例えば技術課題である「究極のナノスケール CMOS についてのシミュレーションの能力」に対しては、基本原理的な材料モデリングは能力的に不十分であり、しばしば現象論的モデルを必要としている。従って長期的には、第一原理計算が不可欠である。取り組むべき課題としては、以下のようなものが挙げられる。

- 装置、プロセス、デバイス、パッケージ、回路パターン、インターコネクトで使われるシミュレーション・ツールは、入力する物性値で決まるとも言える。しかし、これ等の物性値は不明であったり、荒い近似値に過ぎない場合が多い。プラズマでの断面積、反応速度定数、不純物や codopant[訳注:同時にイオン注入された複数種の不純物]、格子欠陥の固溶度や電気的特性、パッケージ材料の熱的特性や機械的特性、相互拡散係数などについて、実測値か、もしくは実測が困難ならば第一原理計算から求めた値での、データベースが必要である。
- 改良されたレジスト(特に化学増幅レジスト)や新しいマスク作成、EUVリソグラフィで用いられる多層反射膜において、材料モデルが必要である。
- デバイスで活性な領域が、物理チャンネル長で数十ナノメートル、High-k ゲート誘電体の実効酸化膜厚(EOT)でナノメートルと微細化して行くのに伴い、原子レベルの解析から連続体としての値を導出する材料 M&S がより重要になってくる。
- プロセスに関しては、イオン注入、拡散、活性化、薄膜内での相互拡散、誘電体の物性、準弾道輸送を含むチャンネル輸送について、調整パラメータを含まない計算コードが必要である。最大の問題は、シュレディンガー方程式の近似解である第一原理計算では実測との間に差異を生じており、近似結果の再調整が必要なことである。
- インターコネクトの動作特性と信頼性は、Cuの微細構造に強く依存しており、計算機シミュレーションでそれが考慮される必要がある。材料モデリングでのもう一つの課題は、Low-k 誘電体である。デバイスモデリングの項を参照。デバイスシミュレーションで用いられるモデルの多くは、例えば半導体のバンド構造に基づいている様に、材料モデルとして考慮することが出来る。ディメンションが微細化し、局所電場がより強くなり、大域的ならびに局所的な歪チャンネル(例として、歪下地 sSi、SiGe、Ge、III-V、SOI、歪 SOI、GeOI、他の新材料などが含まれる)を利用するようになる事に伴い、デバイスシミュレーションの大きな進展が必要である。
- 半導体ロードマップにおける幾つかの大きな障害に対する解決策候補として、多くの代替材料が挙げられている。多層薄膜の物理的特性と電気的特性、熱的特性との相互関係や、デバイスや集積回路の信頼性について評価が出来る材料シミュレーション・ツールが存在すれば、複雑な実験による特性評価を繰り返すことなく、材料の選択をすることが可能となる。

装置・形状モデリング

現状

装置と微細形状モデリングは、圧力やパッドラフネスなどのように幾何形状や本質的なプロセス変動に起因する反応器スケールのシミュレーションを含んでおり、表面化学や局所的な温度変動のようにパターンや微細効果と関連させて、正確なプロセス結果を予測することを目的にしている。従来は、微細形状シミュレーションと装置モデルは分離していたが、その背景には、スケールの異なるモデルをリンクして開発したいろいろな近似をもつ多重スケールモデリングがある。これらの機能はマルチスケール距離のモデリングといい、別々に発展した。”装置モデリング”というミッションはそういうスコープの中で発展してきたが、今や、階層的なシミュレーションレベルとプロセスステップを統合したユニットプロセスシミュレーション(すなわち、個別プロセスステップの定量的なシミュレーション)を含んでいる。このことは、実際の製造サイクルを計算する場合の仮想プロセスインテグレーションに通ずることになる。メカニズムの物理化学的な解明が確実に進んでいることを考えると、将来(シミュレーションの)予測能力が現実的になるだろう。このことを考慮すると、コンセプト設計や可能性調査から始まって、継続的な改良の繰り返しで終了する実際の製造ライフサイクルが、基礎的な現象とメカニズムを基本

にした装置シミュレーションにますます影響されるようになるだろう。これらのテーマの多くは、お互いに論理的なインターフェイスを有するいろいろな技術項目の中で、同時に処理されている。新しい努力により多くの分野からのアプローチと関連技術領域とをしっかりと関連させるが必要があり、リソグラフィ、測定手法、フロントエンド TCAD、物質科学、機構、それに *ab-initio* 計算手法が関わる。

いろいろな分野を一つの包括的なアプローチに統一し、ミクロスコピックな物理や化学を説明するという仕事は非常に難しいようだが、それは実験コストの急騰や大きなばらつきという背景を考えると、懸命な選択だろう。解析的な微細スケールモデルの第一世代は半経験的な手段をベースにして、しばしば単なるデータマッチングをしているに等しく、極端に限定することで、実験でカバーされていないプロセスパラメータへの外挿を許していた。表面反応の分子動力学を統合したプラズマ物理の断面積を適用することにより、ユニットプロセスシミュレーションが正確になり、予測可能になる。

装置シミュレーション能力を向上させることによるその他の差別化面は、プロセス内部依存性のより正確な表現である。ゲートエッチングや *low-k* 絶縁膜エッチ中において、レジスト現像、トリムエッチ、プロファイル進展、ポリとか絶縁膜エッチが、本来、プロセス内部現象に依存しているため、先進のシミュレーションモデルの中で適切に表現することが必須である。

改良に対する要求

以下に示した要求は、2005 Modeling and Simulation challenge “Integrated modeling of equipment, materials, feature scale processes and influences on devices”でリスト化したいくつかの項目にフォーカスを当てている。モデリングの改良を必要としているプロセスモジュールは、

- CMP
 - CVD and ALD
 - Plasma processes
 - Electroplating and electroless deposition modeling
- である。

CMP

CMP モデルに対する現状の技術レベルは、機械的な力や、熱的、化学的な輸送に影響され、ウェーハスケール研磨速度、局所的なディッシングとエロージョンや、電気的性能への影響を予測することが要求される。ただし、スラリー添加の研磨速度への影響や、消費(例えば、パッドやコンディショナー)のライフタイムや、研磨の均一性への影響はまだ初期段階である。研磨パッド、スラリー、コンディショナー研磨の物理パラメータが必要で、材質の性質や化学反応の特性を基本にモデル化する必要がある。注意の必要な新しい領域は、*electro-CMP*(*ECMP*)であり、そこでは、電界の影響を以前の CMP 輸送プロセスに加えて、実質的な研磨速度と研磨選択性を予測する必要がある。

CVD と ALD

熱的 CVD と ALD のプロセスモデリングは比較的に成熟している。モデリングの仕事が必要な新しい領域は、張力を受けた基板上の堆積、ナノクラスター、ナノワイヤー、*low-k* と *high-k* 絶縁膜、シード、そしてバリヤー層の堆積である。核形成、吸着、表面反応、脱離プロセスに対する張力を受けた基板(パターン化した表面を含めて)の影響を *ab-initio* 計算を通して押さえておく必要がある。ナノクラスターやナノワイヤーの直接デポジションは、サイズ、形、分布やスペーシングに関する表面拡散、吸着、表面反応、脱離プロセスの影響を第一原理手法により探求する必要がある。さらに、ナノ結晶のサイズや形の分布に対する通常の熱プロセスの影響を押さえておく必要がある。プラズマ促進 CVD のモデルは、プラズマ相や表面相互作用のデータが欠如していることにより、非成熟なものとして残っている。更に複雑なプロセス、プラズマアシスト ALD は、先端のインターコネクトと先端トランジスタ開発の両方に対する重要なユニットプロセスとして現れていて、十分なモデル開発が必要である。Si、SiGe や Ge の擬似均一表面上での、ブランケットと *fortiori* の選択エピ成長は結晶面方位や機械的なストレス、パターン密度に関連して新しい局面に挑戦している。各々のエピ成長レートは、パターン密度

や基板方位、機械的なストレスに依存して 20%-60%ほども変化する。問題は、Ge の高含有量や高 in-situ ドーピングレベルで、いっそう悪化している。パターン密度の問題はタイル張りの知られているアルゴリズムで明確にできた。将来、先端のエピタキシーモデルも、詳細な CFD シミュレーションを通して、チャンバープロセス均一性を最適化することを期待する。

プラズマエッチング

従来からプラズマエッチングとデポジションの装置モデルは成熟してきているが、それは、プラズマエッチングツールの新しい概念の導入速度がスローダウンしたからである。改良のために残されている領域は、プロセス化学と、静磁場下での放電、マグネトロン、波動加熱放電の特性に限定される。表面処理のための擬似リモートプラズマはあまり理解されていない、それはバルクと表面プラズマ化学が複雑だからである。最も重要なこととして、基礎データの利用可能性、つまり、モデルの入力データとのギャップがあるため、モデリング&シミュレーションは、歩留まり、信頼性、性能促進のためのドライバーになることができない。この分野がさらに発展するためには、データフィッティングではなく、予測可能なモデリングに移行する必要がある。事実を説明する後追いの、疑問を残す現象論的な近似は、プロセスインテグレーションを繋ぎ目なく記述した第一原理モデリングにより代替すべきである。

電気メッキと非電氣的デポジション

電気メッキ(Electroplating :EP)モデリングは、微細形状サイズでシュリンクが進んでいて、チャレンジングな領域として継続している。結果として、EP の初期状態、核形成、島成長はデポジションプロファイルの中では支配的であり、先進的なモデリングが必要である。

非電氣的なメタルデポジションは、ULSI デバイス製造プロセスに対して、銅の拡散防御キャップとして、種の促進や防御用の直接メッキを行う中で、移りゆくメタルデポジション技術として現れている。特に、CoWP または CoWB の非電氣的メッキは注意が必要になった。しかし、基礎的な拡散防御や EM 抵抗の特性はプロセス条件の関数としては、はっきりしていない。最大 EM 性能のための防御膜の W や B の成分最適化はさらなる研究が必要である。COWPB のデポジションと、W の Mo による代替、Re と Co の Ni による代替に対するプロセス設計はモデリングの努力が益するはずである。非電氣的な浴槽は複雑であり、それはメタルの種、キート化媒体、pH 適切化、媒体減少、そして他の添加物を含む多重成分のためであり、そのプロセス化学の研究はチャレンジングである。ツール形態やプロセス条件は一樣なメッキ化を行うのに重要な役割を演じる。メッキは微細な密度依存性があり、それは輸送の振る舞いと核形成中の違いが原因である。モデリングとシミュレーションを使って、最適輸送条件を見つけて、微細密度依存性なしに一樣メッキが可能になる。

さらに、プロセスやプロセスモジュールにフォーカスしたシミュレーションの改良には、モデリングとシミュレーションのチャレンジングテーブル中に概略の一般的なことが記述されているが、さらに詳細な以下の項目の議論を行う。

- 基礎物理のデータニーズ
- リンクした装置/微細スケールモデルと統合モデル開発
- 経験的なモデル開発を含めモデルの正当性とモデリングニーズを満足する手法
- マルチ世代装置/ウェーハモデル

データニーズ

先進のプロセスと装置シミュレーションの第一原理的な面からみて、物質と表面の両方の性質だけでなく、根本のミクロスコピックなメカニズムを特性化したパラメータに関して、より包括的なプロセス特性化と基礎入力データが要求されている。

CVDとALDの分野では、要求データは原料、粒子輸送、バルク反応、表面相互作用の記述から始まる。量子化学ツールを利用して殆どの反応システムを特性化できる。しかし、それらのツールは ab-initio データとマクロスコピックなモデルを、自己整合的なシミュレーション可能性のためにリンクした効率的な計算アプローチ無

しには不適切である。能率よく行うことが必要であり、メカニズムのキャリブレーションをスピードアップする。一つのいい例は、high-k 絶縁膜デポジションに使われる原料の量子化学特性化である。

プラズマプロセス中では、ラジカル、解離粒子、励起状態に対する電子衝突断面積と熱学的なデータは予測的なシミュレーションに対して重要な要因である。強調すべきは、重要な原料に繋がる解離パスの実際の決定である。粒子の励起状態を特性化し、崩壊のカスケードを生成するために、正しい近似が要求されるだろう。このようなデータ要求は、特別な実験のアレンジメントと新しいテスト装置に重点をおくことで、実際に使えるモデルの入力データを提供できるかどうかははっきりする。この関連でほとんど無視されたのはプラズマ表面相互作用に対する基礎データの欠乏で、特に、フォトレジスト、ULK 物質、メタル混成、そして合金の関連である。ひとつのアプローチは分子動力学を使うことである。それは、メタル合金デポジションを目標とし、インターコネクタ中の先進のメタライゼーションと MOSFET のゲート・スタックへ適用すべきである。特別なニーズは、改良された内部原子ポテンシャルに関するメタリックシステムのミクロスコピックな記述と、アモルファス表面とドーフト薄膜のミクロスコピックな記述を含んでいる。

CMP の分野では、基本プロセス特性の理解が貧弱であるので、もっと系統的なそして基礎的に特性化するアプローチが要求されている。実験データから、研磨速度にダイナミックに影響しながら、プロセス条件の関数として研磨パッドやコンディショナーの消耗を特性化する必要がある。電気的な CMP の場合、デポジション表面上や電界の中での吸収/放出の振る舞いが殆ど知られていないし、浴槽中でのそれらの一時的な分解に関する理解も乏しい。

さらに、ECMP で重要なこととして、電気メッキに関して、特に電磁場が存在する中での量子化学計算を液体システムに拡張することで、益があるだろう。複雑な浴槽をもつ非電氣的なデポジションや CoWPM システム物質のデポジションに対する表面化学のモデリングは基礎的量子化学に対して浴槽熱力学や表面熱力学パラメータを導出することが特に必要である。

微細スケールシミュレーションと統合化モデル開発

装置の内部動的セッティングや前条件では、装置チャンバーモデルと微細スケールモデル間のカップリングにおいて高精度を要求する。例えば、形状更新に関するチャンバー条件の影響は小さな研究トピックだがよく知られた現象である。プラズマ ALD を含むプラズマプロセスの場合、薄膜の形状更新のよりよい解析に関して、数値計算のラフネスを最小にするように、特に注意が必要である。一般的に、先進のテクノロジーノードにおいて早いペースで変わる新材料は複雑なプロセス表面物質成分や反応を必要とする。特別な実験と原子レベルのシミュレーションに対する信頼性を向上させる必要があり、表面での無数のプロセスを通して分類できるようにする必要がある。プラズマエッチングの関連するところでは LER (Line Edge Roughness)、ゲートプロファイル制御、プロセス起因のダメージ(PID)、そして、デバイスの電氣的、機械的な状態(ストレス)を含んでいる。

微細スケールモデルはしばしば、トレンチ埋め込みやエッチング残効果のようなプロセス詳細の基本的な理解を与えるが、更なる有益な情報はしばしば関連する装置スケールモデルとの統合により実現される。反応器スケールの効果はしばしば微細スケール結果に対して 1st オーダー効果を持ち、そして、原子レベルの微細スケールシミュレーションと反応スケールモデル間のリンクを必要とし、このリンクを助けるために標準化されるべきである。

微細形状/反応器シミュレーションに関連して、いろいろなプロセスに対するモデルの統合化の問題がある。プロセス統合の下部構造は複雑で標準化は決してありえない。いろいろなユニットプロセスシミュレーション・ツール(レイアウトツールを含む)間のコミュニケーションは真に重要である。特別な場合には、第一原理ベースの設計、統合が導くマスクデザインがある。プロセスばらつき(lot_to_lot、又は tool_to_tool)を取り込むモデル開発

はより大きな挑戦となる。

モデル妥当性と半経験的モデル開発

よりよいモデル妥当性の評価のために必要なこととして、努力すべきはセンサー開発と測定手法であり、特に超薄膜や超微細構造の製造と振る舞いを予測するモデルに対するものが必要である。プロセス化学モデルのコスト効果の確認が必要である。CMP に対しては、研磨パッド、コンディショナーディスク、スラリーのような消費を含むプロセスに関係したいろいろな物理パラメータの測定は成熟していない。プラズマ、CVD や ALD モデルに対しては、微細形状の複写を通してウェーハに向かう粒子の輸送を特性化するピンホール実験のような表面プロセス化学診断を増やす必要がある。表面を探索する ex-site によるものから、実時間で in-site 状態にリターンするアプローチを非平衡プロセスのために開拓すべきである。オーバーハングキャビティ構造のようなテスト構造の標準や温度測定のような特別な診断に使うウェーハも、モデルのキャリブレーションやプロセスコントロールのために必要である。エンハンスした能力をもつ実時間 FTIR、干渉手法、XPS や SIMS のような改良された事後検証診断が必要であり、これによりデバイス製造のチャンバースケールモデルとカップルした原子的スケールモデルを評価することができる。

多世代装置/ウェーハモデル

歴史的に装置モデルは、異なるソルバー、離散手法やメッシュジェネレータを用いて、いろいろな研究者より各々のモジュールにフォーカスされてきた。その分野はこれらのいろいろな手法が同じようなものになることで利益をえて、問題の物理や境界条件を焦点にすることができるだろう。こういうことが起こったが、物理モデル開発のための標準ワークベンチの方向への努力は新しいモジュールシミュレータの高速開発のためだけでなく、統合化モデルのスムーズな開発のためにも、以上で議論したように有益であった。

将来を見据えて

32nm 以降では新ユニットプロセス開発はプロセスインテグレーションの複雑化を増大させ、新規の物質とデバイスが現れることで、モデリング&シミュレーションの必要性をドライブするだろう。新モデル開発を必要とするユニットプロセスは中性ビームのエッチとデポジションがあり、電気的 CMP はダメージフリーのプロセス要求により動機付けされたもので、低エネルギープラズマソースイオン注入がある。健康と環境への影響は量子化学シミュレーションに対して独立したドライバーとなるであろう。合成された(計算で導出された)FTIR スペクトルは、粒子探索や定量化のために重要なツールとなるであろう。プロセス統合に関連して、装置セッティングとバックエンド、フロントエンドの微細構造間の直接的な関係をモデル化する能力、電気的信頼性(ダメージ)や機械的インテグリティは強力に製造プロセスを改良し、未来技術の要求に合わせるだろう。先端のテクノロジーノードでは、ナノチューブやナノワイヤーのような新材料、又は分子デバイスが、基礎的な材料科学モデルの必要性を増加させることになるだろう。最後に、新しいプロセス技術世代が実現されるにつれて、更なるプロセスモジュールとより大きな工場を必要とし、複雑さは増大する。装置モデリングは、組み上げ前に装置を長い間評価するだけでなく、コスト減を狙って新しいプロセスのために装置の再利用を評価するという役割も拡張し続けるべきである。

設計、製造、歩留まりのための TCAD

デバイスが 10nm 領域に微細化するのに伴い、ドーパント原子の個数が少ないことによる統計バラツキあるいは製造パラメータの変動によるプロセスバラツキが今後益々重要になる。焦点の ITRS 章やそれらクロスカットテキストのいくつかで言及されているように、この可変性はさらなるデバイス微細化とロードマップ全体の進歩に挑戦する。イオン数 n の平方根の尺度で変動するトランジスタチャネルにおけるドーパント分布に対して、逆に n の平方根に比例する尺度で相対誤差を生じ、その結果、その誤差は n が減少するにつれて増加する。同様な効果は、ゲートの CD (Critical Dimension) など額面上の値と同じように、絶対変動量を減少することは難しいという幾何学に当てはまる。そして今後、その額面上の値の百分率におけるバラツキは増加する。

モデリング&シミュレーションと、設計、PIDS、FEP、リソグラフィ、インターコネクト、ファクトリーインテグレーション

ョン、歩留まり向上、メソドロジーとの間のクロスカット内容で指摘があるように、TCAD はデバイス、ICs、システムの性能と信頼性におけるドーパント変動量とプロセスバラツキの最小化と評価に寄与しなければならない。鍵となる TCAD の利点は、明確なバラツキがコンピュータ上でシミュレーション実行され、その結果として性能や信頼性への影響を数値で容易に求められることである。それゆえ、十分に予測性のある物理モデルを備えている統合プロセス／デバイス／回路シミュレーションが、バラツキによる物理チャネル長、CD、しきい電圧、オフ電流、駆動電流、信号遅延など、それら値の幅を計算するのに利用される。このようなバラツキの影響を、実験的研究と比較することは、とても困難であり高価で、多くのケースで不可能である。なぜなら、パターンングプロセスと結果として生じる幾何学形状、あるいはチャネル領域のドーパント原子の数、あるいはこれらの正確な配置に対する明確なナノスケールのバラツキを正確に特徴付けする事、実験的に製造する事に本質的な問題があるためである。

そこには、設計、製造、歩留まり(Design, Manufacturing, and Yield:DMY)のための TCAD の応用と潜在的長所への大きな領域が存在する(DMY のための TCAD):

- レイアウト依存ストレス効果、リソグラフィにおける近接効果、または大規模 CMP 効果の調査を可能にするプロセス／デバイス混合シミュレーションの利用によるレイアウト依存デバイス性能の評価。
- プロセス変動によって引き起こるデバイス性能変化の感度解析。これは、目標スペック以内にデバイス性能のバラツキを抑えるために、許容できる明確なプロセスパラメータの最大バラツキを識別できる。先端の利用可能な技術と比較して、これはデバイス仕様の許容範囲(たとえば、 V_{th} の幅 3σ など)が成し遂げられるかどうか、改善すべきプロセスはどれか、そして既に十分なのかどうかを判断できる。
- 与えられた技術とそのバラツキから出発して、TCAD は明らかなデバイスアーキテクチャーの名目上の性能だけでなく、それらの幅も評価できる。これは、使用されるデバイスアーキテクチャーのより良い評価ができる。つまり、更なる微細化と高い統合が進むにつれて、名目上の性能の改善を和らげ、その値自身は、最終的なデバイスあるいは IC の性能におけるバラツキを小さくするプロセスあるいはアーキテクチャの選択よりもあまり重要でないかもしれない。
- プロセス技術とそれらのバラツキ情報に基づく設計との間の橋渡しになる補充した標準 SPICE モデル。この補充は、設計における製造上のより正確な評価ができる。たとえば、グローバル変数やゲート長や V_{th} のような設計パラメータの許容値に変わって、技術要求が幾つかの領域で緩和され、それ以外で厳しくなるかもしれない。それは設計を局所近傍に適合する事によって利用される技術を変更する事なしに、良い性能をもつ IC の製造、より小さなサイズ、あるいは高い信頼性を許す。
- ある装置によって導入されるバラツキに対するデバイスや IC への影響の評価。この評価はフィードフォワードやフィードバック装置制御に、装置メンテナンスがプロセスパラメータの変動やドリフトの制限を必要とされる時に、それらを解決する伝統的な先端プロセス制御(Advanced Process Control :APC)を補足する。
- 最後に、そのループを履行すること、その技術の既知バラツキや変動による最終的な IC パラメータの幅を計算することである。この方法は、歩留まりに対して最も重要なプロセスの特定によって歩留まりにおけるプロセスバラツキの影響を評価でき、それらプロセスや設計の適切な変更により歩留まり向上もできる。

要約すると、“製造のための TCAD”“設計のための TCAD”“歩留まりのための TCAD”に対する大きな見通しを与えてくれる。

しかしながら、プロセスバラツキやドーパント変動の影響を研究するための TCAD の応用への潜在的長所は、TCAD によって幾つかの技術課題を行った場合にだけ獲得できる:

- まず、十分普遍性があり予測性のある物理モデルが利用可能であり、使用される TCAD ツールにおいて具体化されなければならない。これらモデルの一般的な要求はモデリングとシミュレーションの章の、他のセッ

シミュレーションにおいて議論される。しかしながら、2つの様相は製造、設計、歩留まりのための TCAD に特定の意味をもつ。まず、主な目的は絶対的性能の数値の予測ではなく、バラツキの影響の研究である。それゆえ、使用前のモデルのキャリブレーションが許容できる。しかしながら、性能値の大きさと同様に、その変化の傾向が予測されなければならないという意味において、基本要件はモデルが正しい傾向を取得できるということです。さらに、プロセスシミュレーション内の利用できるモデルでも、たとえば、パターンニング段階に導入される LER (Line Edge Roughness)や LWR (Line Width Roughness)において、バラツキの幾つかの種類はまだ研究できていない。

- 2 番目に、DMY のための TCAD に対して、プロセス/デバイス/回路シミュレーションの統合レベルは激的に改善されなければならない。たとえば、リソグラフィによるパターンニング段階、ドーピングプロセスや各々の工程を含むエッチング、デポジション、CMP の 3 次元物理シミュレーションと、3 次元デバイスシミュレーションの統合は、商用シミュレータツールではまだ利用できない。さらに、鍵となる限定要因は平坦でない形状、特に時間に依存して変化する形状に対する順応メッシュである。DMY のための TCAD に対して、この統合への技術課題は飛躍的に増す。なぜなら、全ての数値誤差、たとえば空間や時間の離散化による数値誤差、異なるシミュレータモジュールにおける異なるメッシュ間の違いによる数値誤差は、最終的なデバイスあるいは IC バラツキが数値ノイズによって有意に偽造されないように制御されなければならない。
- 最後に、DMYのためのTCADに対する最も困難な技術課題(Difficult Challenges)は、ナノメータスケールのマイクロスコピックプロセス/デバイスシミュレーションと、およそ 10 平方ミリメートルに数百万から数億個の要素が含まれるIC設計の間の橋渡しである。3 次元プロセスシミュレーションはデバイスを記述するためには少なくとも数十万のメッシュ点を要求する。これをチップレベルに拡張すると、 10^{14} のメッシュ点が要求され、長期におけるシミュレーションの利用にとって実用的でない。結果として、適切な戦略とアルゴリズムは、ナノスケールプロセス/デバイスシミュレーションが小さなクリティカルエリアだけ実行され、それからバラツキを含むSPICEパラメータレベルの適当なデータが抽出され、そして設計に続いていくという階層的なシミュレーションに対して開発されなければならない。クリティカルエリアが設計データとレイアウトに基づいて特定されなければならないので、このリンクは双方向でなければならない。

数値計算技術

広義の TCAD 分野が対象とする物理現象は常に複雑化しているので、数値計算法とアルゴリズムはこれらを扱うために改良を必要としている。たとえばデバイスシミュレーションでは Boltzmann 方程式を一層精密に解くことが要求されている。またドーパントの拡散や活性化に応力や点欠陥とその複合体の効果を反映させるためには、素子領域に対する連立偏微分方程式の本数を増やし続けねばならない。さらに、時間 and/or 距離についての特徴的スケールが互いに異なる物理プロセスが本質的に関連し合った現象に対しては、複数の方程式を一括して高精度に解く必要がある。たとえば点欠陥は熱処理工程の時間に比較して数桁速やかに拡散する。酸化炉中のガスのフロー、欠乏箇所、反応現象といった巨視的空間スケールの事象は、ディープサブミクロンスケールでの局所形状に影響されるコンタクトホールへの CVD 工程の基礎となっている。最近では更に要求内容が増加し、導体の表皮効果、近接効果、基板カップリング効果を考慮した電磁界解析が必要とされている。こうした例は、モデルの予測性能や精度に対する要求が増すために一層複雑なモデルがどのように必要となり、その結果、離散化手法や連立一次方程式の解法がどのように必要とされているかについての例である。

精度に対する要求が高まるにつれ、多くのモデリング分野で全く異なるレベルのアプローチが要求されている。たとえば解析的なイオン注入モデルの代わりにモンテカルロ法が、連続体での拡散方程式の代わりに原子レベルの手法が、光リソグラフィでは最新のマスク(たとえば位相シフトマスク、OPC)のシミュレーションに、古典的な薄膜マスク近似の代わりにマクスウェル方程式が用いられる。標準的アルゴリズムでは多くの場合には実現不可能な程の計算時間とメモリを必要とするため、こうした進んだ取り扱いをする場合、しばしば新しい、モデルに即した効率的アルゴリズムの開発を必要とする。その結果、他の科学分野で利用可能または開発中の最新の数値計算手法やアルゴリズムについて、いつもシミュレーションの様々な分野に応用する視点で検討し、

このロードマップに記載し、技術開発を推進して影響が与えられるように利用されなくてはならない。

離散化格子生成技術は、偏微分方程式を正確かつ効率的に解くためにいつの重要だが、今日では素子構造が本質的に 3 次元的なため特に重要になっている。プロセス・シミュレーションで考慮すべき工程数が増加するにつれ、また特にプロセス・オプションを自動的に組み合わせたり、デバイスの電気特性にプロセスの詳細が及ぼす影響を調べる場合には、完全に自動化された離散格子発生技術が必要になる。その時の完全自動格子発生は、任意の素子形状や物理量の分布に対して、少なくとも今日のツールより 2 桁低い失敗確率という高い信頼性が必要である。それに加え、格子生成用のツールは重要となるどんな微妙なデバイス形状や装置形状、たとえば微細な形状や不純物分布の急峻な変化に対しても十分な分解能をもち、それらに適合して格子を細分化したり、逆に粗くしたりする際には、必要以上に計算時間が長くなってはならない。

非常に多くの工程やその条件の組み合わせのシミュレーションする場合、離散化格子発生に要する時間は特に重要な問題である。3 次元のシミュレーションでは、空間変数の勾配が変化したり、さらには対象の形状そのものが変形する事によって重大なトラブルが発生する。こうした問題には格子点の細分化や間引きの同時並行的処理や格子点の移動が必要となり、多くの場合には解くべき物理モデルを表す方程式の解に格子の形状や品質が適合する様に格子を生成することが要求される。

格子生成アルゴリズムは、格子点の除去や移動に起因した離散化誤差がシミュレーション結果に悪影響を及ぼさない様に保証しなくてはならない。特に、感度解析の場合には異なる条件でのシミュレーション結果の違いは用いた格子の違いで重大な影響を受けず、物理上の理由で生じる事を保証しなくてはならない。

この問題に対する確実な解決方法は、たとえば酸化工程のシミュレーションで用いる再構成後の格子に、再構成前の格子点や要素を出来るだけ多く適切に利用する事である。エッチング工程の様なデバイス構造の変化や多層構造を考慮すべき 3 次元のプロセスシミュレーションでは、構造の変化に追従する効率的で安定したアルゴリズムが必要とされている。こうしたアルゴリズムは素子構造に影響されずに使えて、適切な規模の格子を高い信頼度で発生出来なくてはならない。現時点では、用いられているどのアプローチも(たとえば表面三角分割、セル法、レベルセット法、ループ除去法)上記の関連課題を解決出来ていない。

以上に述べた離散化用格子点生成技術への要求内容は、最近増加している装置や材料のシミュレーション要求のために更に拡張されている。こうした対象では対象形状が変形する事は殆どないが、時間と共に変化する空間変数に適合させて格子を生成する事は重要な課題である。大きな問題点は、シミュレーションで非常に異なる空間的・時間的スケールを同時に扱う場合に生じる: チュップ規模の問題はナノからマイクロサイズを扱うがそれらに影響する製造装置の形状はセンチメートルサイズである。処理中のウェーハ面と処理装置全体の主要形状との両方を表現しつつ、あまりに多数の格子点を使わずに適合する格子を発生する場合には自動メッシュ発生が特に重要になる。装置スケールと半導体素子の設計寸法スケールを同時に扱うシミュレーションでは、この問題は一層厳しくなる。現状のいくつかの計算機流体力学(CFD)ツールでは、シミュレーション対象の形状設定や格子発生に必要な情報の指定方法が複雑であるという問題を抱えている。

粒子ベースのモンテカルロ・コードは CPU そのものの処理速度を上げる事への要求だけでなく、少ない粒子を使って実用的な計算時間内にバラツキの少ない結果を得る手法を必要としている。より高い GFLOPS 値への要求の急速な高まりは、現状の進歩が続くとしてもハードウェアの進歩では一部しか満たされないであろう。計算負荷の大きい 3 次元シミュレーションの要求に応えるには、並列解法も必要になる。特にこの例の場合には分散型システム(たとえばワークステーションクラスター)の利用を含む。これらのシステムは産業界で標準的であるが、どのような種類のシミュレーションが大規模共有メモリ計算機で可能なのか、どの程度の性能のシステムが産業および研究分野で利用可能なのかは厳密に調査する必要がある。

多くの場合、線形方程式は数値計算のボトルネックになっている。二重ループを有する反復解法によって、

数百万もの代数方程式を連立させて解く事が必要とされている。たとえばドリフト拡散モデルとMaxwell方程式を連立して解く場合にはそれぞれの格子点上に約10もの未知数が存在する事になる。方程式の結合によって生じた非線形性を処理する為に必要な多重反復処理の外側ループの計算量は、処理方法をインテリジェント化することで劇的に減らすことが可能になる。反復計算の結果を更新するための内部ループの計算量はリオーダーリング技術、最適化された係数行列の前処理、方程式系を分割する事でかなり改善される。TCAD技術を応用するにはこれら全ての方法が開発され最適化される必要がある。

状況によって破綻することがない頑健な解法の開発には一層の研究が必要とされている:この問題は、実質的に反復計算の過程で局所的な最適解に陥らない様にすることを意味する。それまで得られた結果を破棄する事なく局所的な最適解から脱出する計算手法を開発することが必要である。シミュレーション・ツールを使って探索的な作業をする場合に、それに関して詳細な知識を利用者が持つことが必要である状況は暫く続くだろう。

利用しやすくするという観点から、その改善が望まれる。例えば、予め適切な計算手順を組み込まれているべきである。

パラメータ抽出に関して、効率が良く頑健なアルゴリズムの開発も同様に一層の研究が必要とされている。モデルのパラメータセットが十分キャリブレーションされていなければ、シミュレータはその実用的な価値を失ってしまうからである。しかしながら、キャリブレーションの仕事は、沢山のパラメータ数や、いわゆる局所最適解の問題のために、しばしば非常に時間がかかるものである。いくつかのアルゴリズム、たとえばGA(Genetic Algorithm)はもし計算効率が劇的に改善された場合には、この課題を解決出来る有望な候補かもしれない。更に、キャリブレーションに必要な実験結果が完全なセットとして常に得られるわけではない。不規則に測定された結果を補間する優れた手法もまた必要である。

インバースモデリングは、複雑な反応系での主反応経路の抽出や、2次元的なドーパント分布の様な測定困難な対象からモデルパラメータに関する情報を引き出す事が出来る技術であり、継続的に取り組むべき技術課題である。インバースモデリングは、有限個の測定結果をもとに、有限個の計算結果を一致させる多数のパラメータを探し出さねばならないので、数学的な観点からすると非常に微妙な問題を内包する。つまり、多くの場合には満足できる解が得られない、または逆に、得られた解は同じ結果を与えるパラメータの無数の組み合わせの1つにすぎない、という事を意味する。しかしこの技術はモデリング・シミュレーションの新たな応用分野を開く潜在能力がある。あるパラメータ値の組み合わせが他の組み合わせより優れたものであるかどうかについては議論の上で決める必要がある。この件についてはエントロピーの理論や情報理論に同様な問題を見いだす事が出来る。

数々のモデルで確率論的変動を効率よく計算することに対するブレイクスルーが必要である。これは、半導体素子の製造過程で発生する生後不可能な変動に起因する素子性能の変動をシミュレーションして評価する、あるいはそのどちらか一方を行うことへの根強い要求への対応を目的としている。モンテカルロ法のような伝統的な方法では変動する変数の数が増加するにつれて絶望的な試行回数が必要となる。このような目的に対して、確率偏微分方程式などのような新しいアルゴリズムを導入することが必要になるであろう。

解決策候補

モデリング・シミュレーションで用いるソフトウェア・ツールは半導体産業に広範に行き渡っている。これらのツールは効率向上のため、ますます日常的に使われつつある。この資料は、その有効性を高めて我々の将来の産業に影響を与えるために、明確な必要性を提示した。要求項目に関する記述では、半導体産業にとっての利益の視点に立ち、モデリング・シミュレーションに対する要求を解決できる可能性がある技術や、一般的な行動指針にも触れる。

- 技術分野の間を越えて切磋琢磨する事を増やす事は、もともと無関係だった各技術分野の専門知識を向

上させるために極めて重要である。そして今、この資料の概説した技術要求を、共同して実現する必要がある。

- 明確化された技術的挑戦課題や要求課題に対する解決策に向けて、研究に必要となる十分な資源が動員され効率的に運用されねばならない。ITRS に示された最上位の要求課題の定義に加え、産業界と大学や個々の研究所などの研究機関との対話を継続・強化して、このロードマップで詳細に記されている産業界の要求に向けて研究活動を導く必要がある。両者の対話には、モデリング・シミュレーションに必要な中・長期の研究活動を可能にし推進する事業化について、特に含めなくてはならない。中・長期の研究活動は一般には競争以前の領域の内容であるため優れた広範囲の共同作業といえる。産業界における間近な要求項目と資金に関する境界条件は、非常にしばしばこうした活動を強く減少させており、その結果、ロードマップの中・長期的な継続を危うくしている。
- ソフトウェアハウス、研究機関、大学に対しては、彼らが広範囲で思量して使っているモデリングやシミュレーションのソフトウェアモジュールの一部をオープンにして、競争以前の領域での作業の重複回避をする事を強く推奨する。理想的なケースとして、供給者に依存しない、異なるソースからもたらされたツールを組み合わせた使用を可能にするような標準的なインターフェイスが存在すべきである。これによって研究開発機関は、サポートを受けられるソフトウェア環境と最初から互換性を保ちながら新たなモデル開発のように付加価値を生む内容に集中する事が可能になり、モデルの応用までの期間が短縮できる。いくつかの商用ツール間の独占的なモデルインターフェイスが存在すると研究機関と大学との協力かんけいが強く促進されるということが既に証明されており、同様にモデル開発と、それらが半導体産業の中で使用されることが強く促進される。インターフェイスの標準化は利益を大きく増大するであろう。半導体産業界はソフトウェア開発への投資を判断する際にこうした標準化を要求することにより、この点に関して中心的な役割を果たすことが出来る。
- 製造工程に関して極めて大きな役割を果たしている半導体製造装置メーカーと強調することで、製造装置と共に基本的な製造工程が販売されるだけではなく、装置とプロセスを表現する適切なシミュレーション・ツールもまた(または少なくとも十分確立されたモデルに対するその工程のパラメータ値が装置と一緒に)販売される事を目標にしなくてはならない。こうした事を実現して付加価値を高めるためには、十分に分析評価されて安定しているプロセスについて、十分な数のデータが利用可能な状態でなくてはならない。この活動には装置メーカーと大学や独立研究機関との共同作業がとても重要である。全体としてのシミュレーション環境の互換性は通常はソフトベンダーによって提供されるが、それは標準化や、前述のオープンなインターフェイスや適切なソフトウェアベンダーの手で実現されねばならない。半導体産業にとっての製造装置やソフトに関する選択肢を制限しないために、標準的なインターフェイスまたは非排他的な共同作業が望まれる。IPR 問題に関しては手遅れにならないうちに解決されねばならない。
- モデリング・シミュレーションから得られる産業上の利点をさらに改善するために、モデリング・シミュレーション技術が与える影響の評価方法は改善されるべきである。どうすればシミュレーションが産業界の開発効率化(金銭的な価値)を最も効率的に支援出来るかを詳しく見分けるだけでなく、Table3 で既に見積もられている全体的なコスト効果に対するより見通しがよい詳細な内容を明確にする事を目標にすべきである。モデリング・シミュレーション技術から得られるコスト的な利益をもっと明確にする事は、その実現にとって必要となる研究開発活動に十分な資源を獲得しやすくする。

モデリング・シミュレーション分野に関して最も重要な技術開発要求は、製造装置モデルとプロセスモデルの統合、異なる工程間のモデルの統合、プロセスシミュレーションとデバイスシミュレーションの統合、デバイスシミュレーションと回路シミュレーションの統合、レイアウトレベルのシミュレーションと設計に関するシミュレーションであるだけでなく、異なるモデル階層間の統合でもある。一部のケースでは(伝統的な TCAD におけるプロセスとデバイスのシミュレータや設計ツールの様に)モデリング・シミュレーションのソフトは結合されているが、他の多くの場合には、ソフトウェアは分かれて存在している。もし新たな技術の開発時間を調べたなら、開発期間と費用の大部分は独立した個々のソフトウェアモジュールの開発ではなく、モジュールを統合する作業である事が判るだろう。モデリング・シミュレーションのある作業と次の作業を関連づける際に、ツールがよりうまく連

携すべきであるという事は、これまで強く、またずっと要求され続けてき。以下の事からこうした事に関する努力が必要とされている。

- 製造装置と素子形状に関する個々に独立したシミュレーション・ツール間のインターフェイスをとる事。一例として、フォトレジストの露光特性を予測するリソグラフィ・シミュレーション・ツールと、プロセスマージンやプロセス感度計算のためにエッチング形状を予測するプラズマエッチングツール。
- 材料の分子構造をシミュレーションするツールと電気特性を予測するソフトとのインターフェイス。一例としてこうしたツールは high- κ 誘電体材料の開発に使えるであろう。将来のこの分野のソフトは積層ゲート構造を個々の要素としてではなくシステムとして扱うかもしれない。予測できない材料の相互作用や、もしこうであったらという分析をよりうまく行ったり、信頼性に関する効果を研究できる。
- パッケージ化した時の熱的、機械的、電氣的なシミュレーションを統合して同時設計環境を実現する、チップレベルでの性能分析ツール。
- ツール間でのモデルパラメータ授受を実現する、必要な物理常数を含んだ、構造化された一連のデータ。
- デバイスシミュレータと、回路シミュレータ用コンパクトモデルを作り出すための頑健な手法と設計用の出会い巣パラメータファイルとの結合。
- 一般論として、互いに密接に連携した形でシミュレーション・ツールの階層一たとえば表計算の階層から第一原理に基づくシミュレータの階層まで一が開発されるべきである。こうすれば、産業界は当面の課題でのシミュレーションに関する問題にとって最も適切なモデル表現のレベルを選択出来るようになる。解析作業が異なる階層での分析(例えば、プロセス変動が設計に与える影響)を必要としたときには、それらの間で適切で効率的なデータ授受が可能になる。そのような試みに対して成長し続ける要求は、設計のための TCAD に関する節および製造と歩留まりに関する節を新たに本章中へ設けること、「回路パラメータのばらつき予測」へ長期的な技術課題の一つとすることで強調されている。

現有能力の表と精度／計算速度要求

モデリングとシミュレーションの分野は、広範な要求への様々なアプリケーションを含んでいる。たとえば、設計に密接につながる応用として、現象論的なモデルの精度と計算速度が主な要求である一方で、キャリブレーション無しに予測をすることも要求されており、例としては、OPC システムに組み込まれた回路モデルとリソグラフィモデルがある。また、技術開発に関する応用では、物理的内容と、経験的モデルとそのパラメータをミックスしたものが要求される場合もある。テクノロジーの最適化開発に使われる(高度に合わせ込まれたシミュレータを用いる)従来の TCAD 応用はこの部類に属している。最後に、基本的物理が追及されるモデリング分野がある。その例はたとえばモンテカルロデバイスシミュレータや第一原理によるシリコン中の不純物拡散係数計算である。これら全ての適用領域に関して有効なガイダンスを与えるため、モデリングとシミュレーションの技術要求表は、能力に関する要求表、精度と計算速度の表に分けて、それぞれ Table122a,b,と Table122cとした。しかしながら、明記すべきこととして全体的には、キャリブレーションを余り必要とせず、より高い予測能力をもつ物理モデルを求める傾向がある。さらに、(お互いに影響し合う)異なるプロセス工程同士や、素子の寸法スケールと装置の寸法スケールとを統合して扱う事が緊急性、重要性を増し、これらの一方を扱う際に他方の事象抜きに扱うことがますます困難になっている。

能力要求表(Table123aとc)は、開発すべきモデリングの新たな特徴を要求する、あるいは、主として、まだ不満足である現有モデルやツールを記述するモデリングやシミュレーションに対する技術要求を記述している。たとえば、化学増幅型フォトレジストのモデリングである。この場合、開発すべき非線形レジスト性能を予測能力を以てシミュレーションできる基本技術が必要になる。この種の要求は新しい技術の導入や、微細化による新しい物理現象領域への移行と関連している。

一方、“精度と計算速度”の技術要求表(Table124)はプロセス／回路の設計・最適化に必要なシミュレータの精度レベルをより厳密に記述している。TCAD 応用にとって、この精度レベルは、表の1行目に挙げた TCAD による総合的なコスト削減を実現するために必要となる。コスト削減の目標値は、より一般的に言うと、TCAD が

プロセス開発計画のスピードアップをするという、コスト削減と開発期間短縮を意味している。ECAD や設計アプリケーションに対して、これらの精度レベルは、設計者が新しい製品を効率的に創造するために必要となる。これらの精度要求は短期的な技術要求にのみ指定されるもので、長期的には新しい技術の研究が全体的に優先する。ある時点において、いくつかのテクノロジー世代が平行してシミュレーションされ、それぞれのテクノロジーに要求されるシミュレーション精度は異なるということを知っておく必要がある。

Table124 にある要求精度は、シミュレーション・ツールを特定世代にキャリブレーションする時に必要な精度であることに注意されたい。TCAD のシミュレーション・ツールの場合には特にだが、世代毎に新たな技術や材料、不純物種、工程が導入されるので、世代毎の技術に対してキャリブレーションする必要がある。

Table124 のコスト削減の数値は、新しいプロセス、デバイス、IC の開発に、TCAD を使ったことによるコスト削減の見積もりである。2002 年に日本で質問事項をベースにした調査結果では、開発期間の短縮は 26%削減、ロット数は 30%削減、プロセス選択数は 34%削減の見積もりであり、これらの数値は、モデリング技術者ではない日本の半導体企業およそ 10 社のマネージャーやインテグレーション／デバイス技術者 70 名以上の評価で、印象として成功したと感じた事例の平均である。

Table 123a Modeling and Simulation Technology Requirements: Capabilities—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Lithography									
Exposure	Simulation of immersion lithography including physical mask parameters, mask birefringence and mask polarization effects		Simulation of EUV, EPL, ML2, imprint lithography options, models bridging OPC and predictive feature scale simulation				NGL models and modeling of materials and components (immersion, EUV, EPL, ML2 lithographic processes, imprint)		
Resist models	Detailed chemically amplified resist and EUV resist models including LER and immersion (liquid-solid interface), and methods to easily calibrate parameters; coupling with etch models				Finite polymer-size effects		Meso-scale resist models with finite molecule effects		Non-conventional photo-resist models and coupling with etch models
Full-chip lithography simulation [7]	Simulation of lithography across whole chip to detect weak spots		Simulation of lithography and etching across whole exposure field to detect weak spots						
Front End Process Modeling									
Gate stack*	High-κ dielectrics and gate materials (interfaces, impurity diffusion, electrical barrier) [1]		Model material properties and electrical behavior of prioritized alternative dielectrics and gates (interfaces, defects, impurities, mobility, leakage) [2]				Modeling of new process steps / processing and properties of alternative materials		
Diffusion and activation models	Interface influences and activation for ultra-shallow junction formation		Enhancements of models for Si, extension for Si based materials incl. stress/strain and new annealing steps (e.g. flash/laser anneals, SPER). Atomistic modeling to complement experiments and continuum models.						
Topography and Material Modeling [8]									
Deposition [7]	Integration between feature scale and equipment simulations		Electrical properties and stress incl. microstructure; layout dependence; prediction of liquid dispense (resist, spin-on ULK) on planarity and gate pattern; coupling with etching, lithography and CMP models		Adhesion and reliability, including microstructure; full molecular dynamics (or atomistic) feature scale models, prediction of surface properties				
Planarization * [7]	Comprehensive 3D physical CMP models			Chip-level including dummy placement optimization, padwear and conditioning disc modeling, physics based optimization of rates, uniformity, and defect reduction		CMP process for circuit design including process variations			
Etching [7]	(Surface) physics based feature scale models (incl. redeposition)	Integration of feature-scale simulation with equipment (plasma) models; process integration (coupling of etch-deposition-plating-CMP-lithography- including data beyond topography to also include sub-surface material property prediction), full molecular dynamics (or atomistic) feature scale models							
Alternative material modeling				Calculation of thermal (thermodynamic), mechanical and electronic properties; process impact on intrinsic material behavior integrity and electrical performance under strain					
Equipment impact on process results including material properties						Computer engineered materials and process recipes; predictive manufacturability and yield; full process integration models. Integrated equipment/feature scale modeling extended to include material information from the atomic scale			
Numerical Device Modeling [3]									
Transport modeling [4], [7]	Mobility models incl. stress, surface roughness effects of nitrided oxides and orientation of the channel		Mobility models for high-κ materials		Efficient inclusion of quasi-ballistic transport				
Additional requirements for non-classical CMOS	Device models to include additional interfaces (esp. w.r.t. mobility in thin films)		Efficient quantum-mechanical simulation of 3D device structures, including thin films, consistent with mobility models				Nanoscale simulation capability including accurate atomistic and quantum effects		
Novel memory devices [7]	Material properties and device modeling of MRAMs, PCMs, FeRAMs and SONOS/NROMs								
Novel memory devices * [7]	Unit-cell performance modeling of MRAMs, PCMs, FeRAMs and SONOS/NROMs			Material properties and reliability modeling of novel memory devices					

30 モデリング&シミュレーション

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
RF modeling * [7]	□ Physical device models for HF noise and mobility in III/V's								
Circuit Component Modeling [5]									
Active devices*	□ Non-classical CMOS compact models / non-quasi-static models and series resistance		Circuit models for non-classical CMOS devices including reliability and influences of statistics		Include ballistic effects			Circuit models for nanoscale devices and interconnects	
Interconnects and integrated passives	Hierarchical full chip RLC [6]		Hierarchical process-aware full-chip RLC		Include self-heating and reliability			Mixed electrical/optical simulation	
Process and materials impact on electrical performance of interconnects * [7]	□ Models that relate material properties (process related or fundamental) to electron transport (e.g. in conducting lines). Includes models for electron scattering. Models that predict paths to material property repair (e.g. low-κ repair, capacitance repair)								
Package Modeling									
Electrical modeling*	□ Unified RLC extraction for package/ chips	Reduced order models		Full-wave analysis		Mixed electrical/optical analysis			
Thermal-mechanical modeling * [7]	□ Thermo-mechanical-integrated models	Include non-bulk and porous materials properties		Include reliability (esp. life prediction)					
Material properties * [7]	□ Improved material models (visco-elasticity, creep, plasticity), interfaces	Full die simulation							
Numerical analysis									
Meshing * [7]	□ Robust, reliable grid generation including moving boundaries								
Algorithms	More robust and more parallelizable algorithms			Discretization schemes alternative e.g. to box methods		Efficient atomistic/quantum methods; ab-initio or molecular dynamics based topography simulations			

*For 2005/2006, interim solutions are known but research is still needed towards mature commercial solutions.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

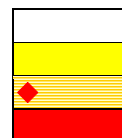


Table 123b Modeling and Simulation Technology Requirements: Capabilities—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Lithography							
Exposure	NGL models and modeling of materials and components (immersion, EUV, EPL, ML2 lithographic processes, imprint)						
Resist models	Non-conventional photo-resist models and coupling with etch models						
Front End Process Modeling							
Gate Stack*	Modeling of new process steps / processing and properties of alternative materials						
Diffusion and activation models	New technology needed						
Topography and Material Modeling							
Alternative material modeling	Calculation of thermal (thermo-dynamic), mechanical and electronic properties; process impact on intrinsic material behavior integrity and electrical performance under strain	Atomistic material model					
Equipment impact on process results including material properties	Computer engineered materials and process recipes; predictive manufacturability and yield; full process integration models. Integrated equipment/feature scale modeling extended to include material information from the atomic scale						
Numerical Device Modeling [3]							
Additional requirements for non-classical CMOS	Nanoscale simulation capability including accurate atomistic and quantum effects						
Circuit Component Modeling [5]							
Active devices*	Circuit models for nanoscale devices and interconnects						
Interconnects and integrated passives	Mixed electrical/optical simulation	Reliability prediction in coupled modeling					
Package Modeling							
Electrical modeling*	Reliability prediction in coupled modeling						
Numerical analysis							
Algorithms*	Multi-scale simulation (atomistic-continuum); fast coupling of equipment-topography-electrical-reliability models; hierarchical full-chip simulation						

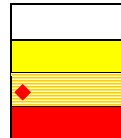
*For 2005/2006, interim solutions are known but research is still needed towards mature commercial solutions.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Table 123a and b:

[1] Models that at least roughly predict effects like oxygen vacancies and Hf-Si interface states are required, as those effects cause flatband shifts and fermi-level pinning. Currently there are no commercial tools available in a typical TCAD environment. Thus very phenomenological, a posteriori approaches are used. They are limited also to only some effects and by using models that were originally not designed for those effects.

[2] “Alternative” refers to materials so far not prioritized in PIDS

[3] In Numerical Device Modeling equations are solved that are typically based on fundamental physics and describe the electrical behavior on spatially fine resolved quantities. This means usually partial differential equations (with respect to spatial coordinates) are employed. The goal is technology optimization and device insight.

[4] This row includes all aspects important for all devices, that is, especially classical CMOS bulk devices

[5] In Circuit Element Modeling no spatially resolved models are used. Approximatively analytically solveable, physically based models give guidance for the used relations between electrical quantities. The goal is a description of device behaviour (currents, charges, noise) in circuit simulators

32 モデリング&シミュレーション

[6] *This refers to a minimum of functional sub-circuits*

[7] *This requirement has only been specified for near-term years*

[8] *Emphasis in topography steps shifted to material aspects towards long-term years*

Table 124 Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Technology-development cost reduction (due to TCAD)	35%	40%	40%	40%	40%	40%	40%	40%	40%
Lithography Modeling									
CD prediction accuracy (incl. OP effects) for dense and isolated lines – 3% of MPU physical gate length	0.9 nm	0.8 nm	0.7 nm	0.7 nm	0.6 nm	0.5 nm	0.5 nm	0.4 nm	0.4 nm
Front End Process Modeling									
Vertical junction depth simulation accuracy (% of physical gate length)	10% (3.2 nm)	10% (2.8 nm)	10% (2.5 nm)	10% (2.2 nm)	10% (2.0 nm)	10% (1.8 nm)	10% (1.6 nm)	10% (1.4 nm)	10% (1.3 nm)
Lateral junction depth: 50% of FEP Lgate 3 sigma	1.9 nm	1.7 nm	1.5 nm	1.3 nm	1.2 nm	1.1 nm	1.0 nm	0.9 nm	0.8 nm
Total source/drain series resistance (accuracy)	10%	10%	10%	10%	10%	10%	10%	10%	10%
Topography Modeling									
General etch cross wafer uniformity (% accuracy of etch depth)	10.0%	10.0%	10.0%	10.0%	10.0%	10.0%	10.0%	10.0%	10.0%
Etch cross wafer uniformity of STI depth (% accuracy of STI depth)	3.0%	3.0%	3.0%	3.0%	3.0%	3.0%	3.0%	3.0%	3.0%
	(11.0 nm)	(10.8 nm)	(10.6 nm)	(10.2 nm)	(10.1 nm)	(9.9 nm)	(9.7 nm)	(9.5 nm)	(9.4 nm)
General deposition cross wafer uniformity (% accuracy of film thickness)	5.0%	5.0%	5.0%	5.0%	5.0%	5.0%	5.0%	5.0%	5.0%
High-κ film deposition cross wafer uniformity (% accuracy of film thickness)	2.0%	2.0%	2.0%	2.0%	2.0%	2.0%	2.0%	2.0%	2.0%
General 2D/3D topography accuracy (% accuracy of the DRAM 1/2 pitch)	5%	5%	5%	5%	5%	5%	5%	5%	5%
	(4 nm)	(3.5 nm)	(3.3 nm)	(2.9 nm)	(2.5 nm)	(2.3 nm)	(2.0 nm)	(1.8 nm)	(1.6 nm)
Gate 2D/3D topography accuracy (% accuracy of the MPU physical gate length)	1.8%	1.8%	1.8%	1.8%	1.8%	1.8%	1.8%	1.8%	1.8%
	(0.58 nm)	(0.50 nm)	(0.45 nm)	(0.40 nm)	(0.36 nm)	(0.32 nm)	(0.29 nm)	(0.25 nm)	(0.23 nm)
Gate sidewall spacer 2D/3D topography accuracy (% accuracy of sidewall width)	5.0%	5.0%	5.0%	NA	NA	NA	NA	NA	NA
	(1.8 nm)	(1.5 nm)	(1.4 nm)	NA	NA	NA	NA	NA	NA
Interconnect 2D/3D topography accuracy (% accuracy of MPU/ASIC Metal 1 (M1) ½ Pitch)	5%	5%	5%	5%	5%	5%	5%	5%	5%
	(4.5 nm)	(3.9 nm)	(3.4 nm)	(3.0 nm)	(2.6 nm)	(2.3 nm)	(2.0 nm)	(1.8 nm)	(1.6 nm)
Numerical Device Modeling [1]									
Accuracy of ft at given ft (% of maximum chip frequency)	10%	10%	10%	10%	10%	10%	10%	10%	10%
Gate leakage accuracy (% of Ig)	25%	25%	25%	25%	25%	25%	25%	25%	25%
Ion accuracy	5%	3%	3%	3%	3%	3%	3%	3%	3%
Ioff accuracy	30%	30%	30%	30%	30%	30%	30%	30%	30%
Long-channel Vt accuracy [3]	3%	3%	3%	3%	3%	3%	3%	3%	3%
Vt rolloff accuracy (mV) [4]	15 mV	10 mV	10 mV	7 mV	7 mV	7 mV	7 mV	7 mV	7 mV
Circuit Element Modeling/ECAD [2]									
I-V error in saturation region	8%	6%	6%	5%	5%	5%	5%	5%	5%
I-V error in linear region	3%	3%	3%	3%	3%	3%	3%	3%	3%
I-V error in subthreshold and off-current	15%	15%	10%	10%	10%	10%	10%	10%	10%
Intrinsic MOS C-V accuracy	5%	5%	5%	5%	5%	5%	5%	5%	5%

34 モデリング&シミュレーション

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Parasitic C-V accuracy	5%	5%	5%	5%	5%	5%	5%	5%	5%
Accuracy of Gm and Gd at Vt +150mV versus L, Vbs, Vds and T	10%	10%	10%	10%	10%	10%	10%	10%	10%
Circuit delay accuracy (% of 1/maximum chip frequency)	5%	5%	5%	5%	5%	5%	5%	5%	5%
RLC delay accuracy (% of 1/maximum chip frequency)	5%	5%	5%	5%	5%	5%	5%	5%	5%
Package Modeling									
Package delay accuracy (% of 1/off-chip clock frequency)	1%	1%	1%	1%	1%	1%	1%	1%	1%
Temperature distribution for package (accuracy)	1C	1C	1C	1C	1C	1C	1C	1C	1C
Numerical Method									
Speed-up of algorithms for 3D process/device/interconnect simulation (compared with year 2000)*	8□	11.2□	16□	22.4□	32□	45x	64x	90x	128x

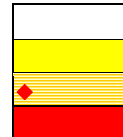
*Numbers referring to continuum models. Estimated scaling similar to the ITRS. Different figures expected for other models.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Table 124:

[1] In Numerical Device Modeling equations are solved which are typically based on fundamental physics and describe the electrical behavior on spatially fine resolved quantities. This means usually partial differential equations (with respect spatial coordinates) are employed. The goal is technology optimization and device insight.

[2] In Circuit Element Modeling no spatially resolved models are used. Approximatively analytically solveable, physically based models give a guidance for the used relations between electrical quantities. The goal is a description of device behaviour (currents, charges, noise) in circuit simulators.

[3] Absolute values strongly differ for HP and LSTP. Important aspects for nominal devices also included in rolloff accuracy

[4] (Positive) difference in Vth of nominal and subnominal device

補足

半導体のモデリング・シミュレーションに関するいくつかの側面を記述した他のロードマップの最新版として、米国では National Electronics Manufacturing Initiative² による iNEMI 技術ロードマップ 2004 がある⁷⁷。European Commission の IST プログラム(将来の、および新たな技術)による Technology Roadmap for Nanoelectronics³ は 2000 年に既に発行されたものだが、当を得た情報が書かれている⁷⁸。iNEMI のロードマップに追加されたシミュレーションに関係する内容はシステムや製品に関連する内容が主に採り上げられ、その結果信頼性、熱的・電氣的シミュレーション、さらにオプトエレクトロニクス、マイクロエレクトロメカニクスシステム、ナノスケール／スピン電子工学について述べている。EU Nanoelectronics Roadmap は、特に CMOS 以降の探索デバイス(emerging-devices)とそれらに必要なナノ製造技術の記述に注力している。これは長期の視点でのシミュレーションに関する情報に言及していて、分子モデリングについても詳しい記述がある。この資料は長期レンジのシミュレーションに関するものだが、分子モデリングについて詳細な記述がある。その作業部会での議論は IST Program の中の European Commission 基金を利用した European Specific Support Action "SUGERT"⁷⁹ からの支援を受けている。SUGERT は TCAD に関する研究開発活動の明確化や推進を役目としている。(ITRS の外部にある)これらの 3 つの活動は互いにうまく補完し合って機能している。

脚注

77 <http://www.inemi.org> を参照のこと

78 R. Compano, ed. Technology Roadmap for Nanoelectronics. Second Edition, November 2000, <http://www.cordis.lu/ist/fet/nidqf.htm> を参照

79 http://www/iisb.fraunhofer.de/en/ar_b_geb/surgert.htm を参照

他の ITWG に関する項目

モデリング・シミュレーションと他の焦点となっている作業部会(ITWG)とに関係する課題は、他の作業部会(ITWG)の章で要約されているが、以下に紹介する他の作業部会(ITWG)とは強く関連した項目がある。

モデリング・シミュレーションと ESH との関連

ESH が扱う問題を最適化するためには、個々の要素化学反応が出来る限り解明され、ESH の観点で悪影響が最小限となる新たな計測・評価方法を実現する必要がある。と同時にこうした計測技術と反応に関する知識は、モデリング・シミュレーションの章でも述べたが、プロセスに関して予測能力があるモデル開発の鍵となる。逆に、多くの実現可能な測定技術は、ESH 分野とモデリング・シミュレーション分野でそれぞれの最終ターゲットは異なるが、多くの実行可能な測定技術を共有可能である。ESH としては、材料の消費と有害物質発生に関するアセスメントが最終ターゲットであり、モデリング・シミュレーションにとっては積層構造の形態やドーピングや幾何形状が最終ターゲットである。さらに、その様なモデルを製造装置、特にプラズマ工程のシミュレータに組み込むことは、ESH に危険な物質の生成に関する定量的なデータが得られる可能性を提供する。理想的な場合にはこうした物質の生成や装置からの排出を最小化する為の、装置やプロセス条件パラメータを最適化に関するデータが得られる可能性を提供する。更にまた、シミュレーションはしばしばスペクトルの様な測定データをガス組成の様な定量的なデータに変換する事で評価技術に貢献する。モデリング・シミュレーションと測定技術との関連の節を参照。このように、モデリング・シミュレーションと ESH は潜在的に互いに支え合う関係にある。

モデリングとシミュレーションは ESH の短期的な技術課題である "Design for Environment(環境保全のための設計)"、安全、健康に関係する事もまた要求される。シミュレーションの成果、をプロセス開発や最適技術の開発過程で使うウェーハの役割に置き換えて費用や(一部 ESH 技術に関連した)資源を削減するだけでは充分とは言えない。更に言えばシミュレーションは、ウェーハに堆積させる材料や CMP 工程の廃液、洗浄頻度な

どを、十分な性能と信頼性を持つ IC や素子を作るのに本当に必要な量にまで削減することで、製造工程で扱う貴重なあるいは危険な資源節約にも貢献する必要がある。最後に、適切なモデルやシミュレーション・ツールを実現するだけでなく、他の技術に対する要求項目と同じ様に、資源保全の考えもシミュレーションが目標とする新たな項目として、その目標値を加える必要がある。

モデリング・シミュレーションと歩留まり向上との関連

開発期間や開発費を削減するという通常の利用方法以外に、歩留まり向上とモデリング・シミュレーションとの関連は 2 つある。第一に、モデリング・シミュレーションは IC 上の欠陥が与える影響に関するアセスメントに貢献できる。判りやすい例として、特定寸法・種類・位置のマスク欠陥が光リソグラフィ工程とその後のエッチング工程で転写されるか否かという問題がある。この問題は最新の光リソグラフィ・シミュレーション・ツールを使えば十分に解明でき、どんな寸法の欠陥が、たとえば分離されるべき配線をつなげてしまう等の理由で IC 又は素子をだめにするかについても指摘できる。特に、パターンニング工程に対する欠陥の下限を調べる事によって、シミュレーションが非常に優れた見通しを提供する限り、シミュレーション・ツールはさらに開発され続ける。リソグラフィに続く工程での欠陥の伝搬や欠陥の相互干渉は、その影響を追跡して局限するために、様々なツールによって調べることが出来る。

他の重要な問題は、ほとんど不可避なプロセスゆらぎがデバイスや IC の性能に及ぼす影響に関する評価である。製造ラインの多くのパラメータ、たとえばアニール温度、温度の変化の様子、または設定値からの経時変化などは、その中心値の周辺をある許容範囲で分布している。高度なプロセス制御(APC : Advanced Process Control)では装置をモニタした値をフィードバックに使ってレシピで指定された状態に装置を戻す事でこうしたバラツキの影響を抑制する。制御に使うモデルは大部分は、成熟した工程だけしか利用できず、また取得するのに費用が掛かるシリコン関係のデータに基づいている。プロセス・デバイスシミュレータを繋げて使えばより精密な APC モデルを短期間で開発するのを支援できる。プロセスインテグレーションの段階で、キャリブレーションされたプロセス・デバイスシミュレータを使えば、プロセスの移管や製造ラインの短期立ち上げに利用できる APC モデルを開発することが出来る。

プロセスバラツキの問題に関連した二番目の方法では、プロセス・デバイスシミュレーションを使って、そうした製造条件のバラツキで生じる、重要な製造パラメータの。この方法を使って、統計的な実測データを得る前に統計的な SPICE モデルを構築することが出来、特定製品や特定製造技術に対して歩留まり最適化や検証に貢献する。

明らかに、歩留まり向上に対するこうしたモデリング・シミュレーションからの貢献は十分な一般性を持っている。用いられるシミュレータ精度と計算速度については、モデリング・シミュレーションの将来の開発課題である。

モデリング・シミュレーションと計測との関連

計測とモデリング・シミュレーションは双方向で強い結びつきがある。半導体素子だけでなくプロセス、製造装置に関する物理モデルの開発で鍵となる事柄は、形状や積層構造の化学組成、ドーパント分布、点欠陥、応力分布、キャリアの濃度、キャリアのライフタイムや移動度などを、高い空間分解能と感度で測定できる技術や手法の利用可能性と、モデルの開発や評価を可能とするために必要な検出限界の引き下げにある。本格的な3次元的な構造について十分な情報が得られる測定技術が必要とされ、多くの場合それは特殊な目的のために作られたテスト構造に対してではなく、実際の構造に対して適用できなくてはならない。さらにやっかいなことに、要求される測定やモデルの精度は個々のドーパント原子間の寸法に近づき、それを下回りつつある。このような場合には測定結果の解釈は疑わしくなり、シミュレーションとしては偏微分方程式に基づく流体的なモデルから原子論的な描像に移り変わらねばならない。

モデリング・シミュレーション技術から計測技術への要求事項は、明らかに計測技術の開発推進に寄与する。しかしシミュレーションは要求の提起だけではなく、計測技術自体の開発に貢献すべきだし、貢献可能である。半導体や他の材料の内部で生じる事を物理的に理解する事は、計測で得たデータの解釈やデータを定量的な情報に翻訳したり、現実的な誤差の推定、さらにはカスタム化した測定手法の開発をする際に、非常に大きな価値がある。例えば、シミュレーションはプロセスパラメータ変動や原子サイズのゆらぎを、測定量の幅と結び付ける際に利用でき、こうして測定結果を正しく解釈する手助けとなる。他のいくつかの例として、シミュレーションを利用したマスク計測、scatterometry, そして APC に計測技術を利用する例がある。

モデリング担当のグループは、モデル開発に必要なデータを提供するために必要な測定技術の開発やそのカスタム化に、しばしば直接貢献する。たとえば、ゲートエッチング工程や誘電体のエッチングに使われる混合ガスなどの新材料や新プロセスの種類が増加するにつれ、工程での生成物分析の信頼できる手法が必要とされている。材料表面からの放出物やガス相中の物質は、大部分の場合には未知の物質であったり、特定の装置や工程以外では合成することができない。潜在的な環境へのリスクとなる物質を同定する技術として浮上した技術に数値計算によるスペクトル生成(computational spectra generation)がある。物質特有の標準スペクトルは計算化学を使えば比較的容易に求めることが出来る。たとえば、FTIR(Fourier-Transform Infrared Spectroscopy)スペクトルはルテニウムのエッチング工程で現れる RuOx 系ラジカルを同定する為に利用されている。そして高度にポリマー化した誘電体材料用のエッチングガス中に有害ガスが生成されない事を保証するための調査に利用された。いずれの場合も実験で標準スペクトルを生成したりそれを得ることは困難である。

さらに、利用可能な測定手法(たとえば 2 次元的な素子断面の計測技術)を用いてシミュレーションのモデルやツールを検証する事が、多くの場合に可能である。そして測定技術で直接扱える適用範囲を超えて(たとえば 3 次元での不純物分布測定)利用することが出来る。その訳は、この例の場合では物理としては同じで、それらの違いはシミュレータ中のアルゴリズムだけで扱える(偏微分方程式を 2 次元でなく 3 次元で解く)。つまり、計測とモデリング・シミュレーションは一層緊密に協力すれば、互いに最も進歩する事が出来る。