

INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2009 年版

新探求材料

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY
COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いです。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんに大変お世話になりました。

厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2009 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5218-1068 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

新探究材料(Emerging Research Materials)	1
スコープ(SCOPE)	1
困難な課題 (DIFFICULT CHALLENGE)	2
イントロダクション (INTRODUCTION)	4
新探究デバイス材料(Emerging Research Device Materials)	5
新探究ロジックデバイス向け材料(Emerging Logic Materials)	5
新探究メモリ用材料(Emerging Memory Materials)	25
複合金属酸化物材料における課題 (Complex Metal Oxide Material Challenges)	29
リソグラフィ材料 (LITHOGRAPHY MATERIALS)	31
レジスト材料(RESIST MATERIALS)	32
EUVレジスト(EUV RESIST)	35
リソグラフィ延命への誘導自己組織化(DIRECTED SELF ASSEMBLY FOR LITHOGRAPHY EXTENSION)	36
フロントエンドプロセス、プロセスインテグレーション、デバイスおよび構造に対する新探求材料 (EMERGING FRONT END PROCESSES' AND PROCESS INTEGRATION, DEVICES, AND STRUCTURES' MATERIAL CHALLENGES AND OPTIONS)	39
ドーピングと堆積 (DOPING AND DEPOSITION) 重要課題: 決定論的な作製の重要性(CRITICAL CHALLENGES: THE IMPORTANCE OF DETERMINISTIC FABRICATION)	39
有益なナノマテリアルの誘導自己組織化(リソグラフィセクションのディスカッションを参照)(DIRECTED SELF ASSEMBLY OF USEFUL NANOMATERIALS (SEE THE LITHOGRAPHY SECTION DISCUSSION).)	41
選択エッチングと洗浄/表面前処理 (SELECTIVE ETCH AND CLEAN/SURFACE PREPARATION).....	41
選択エッチング (SELECTIVE ETCH)	42
クリーニング/表面前処理 (CLEAN/SURFACE PREPARATION).....	42
エマージングFEPとPIDS材料と構造的な課題と選択肢 (EMERGING FEP AND PIDS MATERIAL AND STRUCTURAL CHALLENGES AND OPTIONS)	42
配線 (INTERCONNECTS)	44
Cu配線延命材料 (COPPER EXTENSION MATERIALS)	44
新奇配線 (NOVEL INTERCONNECTS).....	45
Cuとシリサイドナノワイヤー配線とビア (CU AND SILICIDE NANOWIRE INTERCONNECTS AND VIAS)	49
Low-k層間絶縁膜 (LOW K INTERLEVEL DIELECTRIC)	49
アッセンブルとパッケージング (ASSEMBLY AND PACKAGE)	50
低温材料と階層的アッセンブリ (MATERIALS FOR LOW TEMPERATURE AND HIERARCHICAL ASSEMBLY)	50
将来のパッケージングのためのポリマー材料 (POLYMER MATERIALS FOR FUTURE PACKAGING).....	51
将来のパッケージのための低次元材料 (LOW DIMENSIONAL MATERIALS FOR FUTURE PACKAGING)	53
環境・安全・健康 (ENVIRONMENT, SAFETY, AND HEALTH)	55
計測 (Metrology)	56

ナノメータースケール構造／組成の評価とイメージング (Characterization and Imaging of Nano-Scale Structures and Composition)	56
界面と埋め込まれたナノ構造に対する計測のニーズ (Metrology Needs for Interfaces and Embedded Nano-Structures) ^{325,326}	56
ナノスケールの構造における欠損および欠陥の評価 (Characterization of Vacancies and Defects in Nano-Scale Structures) ³²⁷	57
ナノスケール新規探索材料の物性のウェーハレベルでのマッピング (Wafer Level Mapping of Properties of Nanoscale ERM) ^{326, 328-331}	57
スピンおよび電気特性の同時測定のための計測のニーズ (Metrology Needs for Simultaneous Spin and Electrical Measurements) ³³²⁻³³⁷	57
複合金属酸化物系のための計測ニーズ (Metrology Needs for Complex Metal Oxide Systems) ³³⁸⁻³⁴³	58
分子デバイスのための計測 (Metrology for Molecular Devices) ³⁴⁴⁻³⁴⁶	58
機能性分子材料のための計測のニーズ (Metrology Needs for Macromolecular Materials) ³⁴⁷⁻³⁵⁵	58
誘導自己組織化技術のための計測のニーズ (Metrology Needs for Directed Self-Assembly) ³⁵⁶⁻³⁶³	59
プローブとサンプル間の相互作用のモデリングと分析 (Modeling and Analysis of Probe-Sample Interactions)	59
ウルTRASケールデバイスのための計測のニーズ (Metrology Needs for Ultra-Scaled Devices) ³⁶⁴⁻³⁶⁷	59
新規探索材料のための環境、安全と健康のための計測 (Metrology for ERM Environmental Safety and Health)	59
モデリング/シミュレーション (MODELING AND SIMULATION)	60
生成 (SYNTHESIS)	61
構造と性質 (STRUCTURE AND PROPERTIES)	62
メトロロジと評価 (METROLOGY AND CHARACTERIZATION)	63
References	64

LIST OF FIGURES

Figure 1 Thermal and Mechanical Properties of Thin Polymer Films (left) and the Resist Film Thickness Effect on Lithographic Performance (right).....	33
Figure 2 Ideal Acid Response of A 2-Stage PAG, after 2 Exposures, at the Pitch Limit of the Tool.	34
Figure 3 Polymer Composite Materials' Coupling Example	53
Figure 4 Performance of Integrated Structures.....	60
Figure 5 Multi-scale Perspective in Nanotechnology where Materials Form an Important Role at Different Levels.	61

LIST OF TABLES

Table ERM1 Emerging Research Materials Difficult Challenges	3
Table ERM2 Applications of Emerging Research Materials	4
Table ERM3 Challenges for ERM in Alternate Channel Applications.....	6
Table ERM4 Alternate Channel Material Properties	7
Table ERM5 Spin Material Properties	17

Table ERM6	ERM Memory Material Challenges.....	25
Table ERM7	Challenges for Lithography Materials.....	31
Table ERM8	FEP / PIDS Challenges for Self Assembly	39
Table ERM9	Interconnect Material Challenges	44
Table ERM10	Nanomaterial Interconnect Material Properties	46
Table ERM11	Assembly and Packaging ERM Challenges.....	50
Table ERM12	ITWG Earliest Potential ERM Insertion Opportunity Matrix.....	55

新探究材料 Emerging Research Materials

スコープ(SCOPE)

新探究材料(Emerging Research Materials, 以下 ERM)章では、主に材料研究のコミュニティに対して、将来 ITRS のソリューションになる可能性のある新材料技術を、今から研究所で取り組んでもらうため、チャレンジングな研究課題のガイドラインを示している。そのため、まず ITRS の各ワーキンググループ(ITWG)から、将来必要となる、いわゆるニーズを明確化してもらい、それに対して ERM では、低次元材料(low dimensional materials)(例えば、カーボンナノチューブ(CNTs)やグラフェン、ナノワイヤやナノ微粒子)、巨大分子(Macromolecules)、自己組織化材料(Self-directed assembled materials)、スピン材料(Spin materials)、複合金属酸化物(Complex metal oxides)、ヘテロ界面(Selected interfaces)などの新材料の可能性を調査してきた。その結果として、ここでは新材料、プロセス、インターフェースをはじめとする研究課題や、その研究をサポートする計測・モデリング・シミュレーション技術の進展について述べる。特に 2009 年版には、CMOS エクステンション(「CMOS 延命」)のため、チャンネルの代替材料に関するクリティカルアセスメント(「批判的査定」)を行ったこと、章構成を【2007年の初版が材料毎だったのに対して】応用毎の章構成に組み換えたことなどの特長がある。新しい章構成になったことで、同じ応用を目指す競合技術同士の研究進捗が比較できるようになった。さらに研究を加速すべき Beyond CMOS 技術に関して、新探究デバイス(ERD)章との協力の元で実施したアセスメント結果についても含まれている。

ERM のスコープは、ERD のほかにも、リソグラフィ、フロントエンドプロセス(FEP)、配線、アッセンブリとパッケージ(A&P)ほかの各技術の将来を支えるために必要な材料物性、合成法、計測とモデリングなどは、全て含まれる。例えば ERD のメモリやロジックデバイス関連では、プレーナー型の III-V 族化合物半導体や Ge、ナノワイヤ、カーボンナノチューブやグラフェン、スピン材料や複合金属酸化物に至るまでスコープに含まれる。【2008年実施した】beyond CMOS ロジックの特別な調査により、カーボンベース(カーボンナノチューブやグラフェン)ナノエレクトロニクスが注目されていることが分かり、その結果を受けてソリューションの可能性を示すテーブルを追加している。ERD の中には ITRS で以前から議論されている既存の材料とプロセスで実現可能なものもあるが、それらはここでは取り扱わない。リソグラフィのための ERM には、新しい分子や巨大分子、レジストによる究極のパターニング、自己組織化技術などが含まれる。FEP の ERM には、将来のデバイス技術、例えばドーピングをあらかじめ定めた場所に行く「決定論的ドーピング技術」や選択エッチング、デポジションやクリーニングのための新材料技術などが含まれる。配線の ERM には、Cu 配線を延命させるための新極薄バリアや 20nm 以下の低抵抗コンタクト、配線、ビア、Ultra-low-k 層間絶縁膜(ILD)のための新奇材料などが含まれる。実装とパッケージングの ERM には、高信頼な電気配線や熱配線を材料や、ユニークな電氣的、熱的、機械的特性のポリマー、超高出力密度高速キャパシタなどが含まれる。

ERM 章では、下記の一連の ERM ファミリーが含まれている:III-V 族化合物半導体、Ge、低次元材料(Low dimensional materials)、巨大分子(Macromolecules)、自己組織メカニズムが働く材料(Self-assembled materials)、スピン材料(Spin materials)、複合金属酸化物(Complex metal oxides)、界面やヘテロ界面(heterointerfaces)など。これらの中には複数の要求を満たすものがあり、Table ERM2 では、ERM ファミリーと ITRS の応用との関連のマップを示している。将来の改訂では、応用に関係したターゲット機能の多様化を満足する ERM が含まれるだろう。

(【】は訳者の補足部分)

困難な課題 (DIFFICULT CHALLENGE)

ERM の困難な技術課題は、Table ERM1 にまとめられている。おそらく ERM にとっての最も困難な課題は、よく制御され、所望の特性を持った材料オプション(選択候補)を、導入判断に影響を与える時期に作れるかどうかであろう。それらの材料オプションは、高密度 ERD やリソグラフィ技術、ナノスケール配線形成やその動作、パッケージングの選択肢などを実現するための潜在能力を持っていなければならない。ナノメートルスケールでの応用には、材料特性の制御性を高める必要があり、これには研究コミュニティ内での共同研究や共同作業が必要と言える。加速された合成、計測、モデリングのイニシアティブは、ターゲットの材料設計能力を高め、ひいては ERM 技術実現にむけて不可欠である。改善された計測やモデリングツールは、これらエマージングなナノ材料のロバストな合成法の発展にも不可欠である。多くの ERM 材料が成功するかどうかは、求められる組成やモフォロジーを持つ役立つナノ構造を作り出せて、量産技術とも互換性のあるロバストな合成法に依存している。

高密度デバイスと配線を達成するため、ERM は所望な位置に合成しなければならず、さらに方向も寸法も組成も制御しなければならない。またエマージングなデバイス、配線、パッケージ技術向上のもう一つの ERM の要件は、埋め込まれた界面特性をキャラクタライズし、制御する能力にある。形状がナノメートルのスケールに近づくにつれ、基本的な熱力学的安定性や揺らぎの問題が、わずかな寸法ばらつきや制御した有用な特性をもつナノ材料の加工に制限を与えるかもしれない。また研究環境の中での新奇なナノ材料にとって、その材料や構造がもつ環境、安全、健康への影響について体系的に評価できる計測法を開発し、それらのデータを創り出さなければならない。

Table ERM1 にリストアップされた困難な技術課題は、本章で取上げている ERM の進化の妨げになるかもしれない。計測法の重要な進展は、異なるデバイス構造や応用環境のもとで、材料最適化や予測される性能解析を行うことが必要になる。それゆえ材料合成とキャラクタリゼーション、モデリングのコミュニティ間連携が重要であることは、何度言っても言い過ぎではないだろう。材料の進歩には、合成条件と組成や構造、機能特性へのインパクトの間の相互の依存関係を理解することが求められる。そこでキャラクタリゼーション法は、組成と構造、機能特性間の定量的関係を確立するのに十分でなければならない。さらに言えば、それはモデルの実証を可能にし、要求される材料特性の設計や最適化を加速するための助けにならなければならない。ERM モデルや応用技術開発を加速するための知識確立において、モデルの検証は実験研究者と理論研究者間の密接な連携が必要である。

Table ERM1 Emerging Research Materials Difficult Challenges

<i>Difficult Challenges ≤ 16 nm</i>	<i>Summary of Issues</i>
<i>Integration of alternate channel materials with high performance</i>	III-V has high electron mobility, but low hole mobility
	Germanium has high hole mobility, but electron mobility is not as high as III-V materials
	Demonstration of high mobility n and p channel alternate channel materials co-integrated with high κ dielectric
	Demonstration of high mobility n and p channel carbon (graphene or carbon nanotubes) FETs with high on-off ratio co-integrated with high κ dielectric and low resistance contacts
	Selective growth of alternate channel materials in desired locations with controlled properties and directions on silicon wafers (III-V, Graphene, Carbon nanotubes and semiconductor nanowires)
	Achieving low contact resistance to sub 16nm scale structures (graphene and carbon nanotubes)
	Ge dopant thermal activation is much higher than III-V process temperatures
	Growth of high κ dielectrics with unpinned Fermi Level in the alternate channel material
<i>Control of nanostructures and properties</i>	Ability to pattern sub 16nm structures in resist or other manufacturing related patterning materials (resist, imprint, self assembled materials, etc.)
	Control of CNT properties, bandgap distribution and metallic fraction
	Control of stoichiometry, disorder and vacancy composition in complex metal oxides
	Control and identification of nanoscale phase segregation in spin materials
	Control of surfaces and interfaces
	Control of growth and heterointerface strain
	Control of interface properties (e.g., electromigration)
	Ability to predict nanocomposite properties based on a “rule of mixtures”
Data and models that enable quantitative structure-property correlations and a robust nanomaterials-by-design capability	
<i>Controlled assembly of nanostructures</i>	Placement of nanostructures, such as CNTs, nanowires, or quantum dots, in precise locations for devices, interconnects, and other electronically useful components
	Control of line width of self-assembled patterning materials
	Control of registration and defects in self-assembled materials
<i>Characterization of nanostructure-property correlations</i>	Correlation of the interface structure, electronic and spin properties at interfaces with low-dimensional materials
	Characterization of low atomic weight structures and defects (e.g., carbon nanotubes, graphitic structures, etc.)
	Characterization of spin concentration in materials
	Characterization of vacancy concentration and its effect on the properties of complex oxides
	3D molecular and nanomaterial structure property correlation
<i>Characterization of properties of embedded interfaces and matrices</i>	Characterization of the roles of vacancies and hydrogen at the interface of complex oxides and the relation to properties
	Characterization of transport of spin polarized electrons across interfaces
	Characterization of the structure and electrical interface states in complex oxides
	Characterization of the electrical contacts of embedded molecule(s)
<i>Fundamental thermodynamic stability and fluctuations of materials and structures</i>	Geometry, conformation, and interface roughness in molecular and self-assembled structures
	Device structure-related properties, such as ferromagnetic spin and defects
	Dopant location and device variability

イントロダクション (INTRODUCTION)

ERM 章には、新規薄膜材料、低次元材料、巨大分子、自己組織化材料、スピ材料、複合金属酸化物と遷移金属酸化物、そしてヘテロ界面とインターフェースが含まれている。これらの材料は将来のデバイス、リソグラフィ、フロントエンドプロセス、配線あるいはアッセンブリとパッケージ分野でのチャレンジな課題解決に利用されるだろう。これらの多くは、複数の領域の応用に適用可能であることが TABLE ERM2 に強調されている。いくつかの場合、例えば III-V 族化合物半導体のように、必ずしも材料としては新奇ではなくても、その応用について、FET の代替チャンネル材料のように新しいものも含まれている。応用の詳細については、それぞれの記述部分で説明する。

Table ERM2 Applications of Emerging Research Materials

Materials	ERD Memory	ERD Logic	Lithography	FEP	Interconnects	Assembly and Package
Thin Films		Alternate Channel CMOS: Ge, III-V, Graphene			Transition metals and nitrides for ultrathin barriers	
		Tunnel FET: Ge & III-V				
		IMOS: Ge or III-V				
		Spin FET: III-V, Ge BiSFET: Graphene				
Low Dimensional Materials	Nano-electromechanical Memory	Alternate Channel CMOS: Ge, Ge, III-V Nanowires or CNTs	EUV Inorganic-Organic Hybrid Resist (Nanoparticles)		Nanotubes	Electrical applications
	Macromolecular Memory (nanoparticles)	IMOS: Si, Ge or III-V nanowires			Metal nanowires	Thermal applications
	Nanothermal (Chalcogenide Nanowire)	SET: Carbon Nanotubes or Semiconductor Nanowires			Graphene and graphitic structures	Mechanical applications
		NEMS Switch: CNT, Nanowires Nanomagnetic MQCA				
Macromolecules	Molecular memory Macromolecular memory	Molecular devices	Non CAR Resist	Novel cleans	Self Assembled Molecule Barriers	Polymer electrical and thermal/ mechanical property control
		Negative Gate Capacitance FET: FE	Negative tone resist	Selective etches	Low-k ILD	
			Multi-exposure Resists			
			Single expose dual develop Inorganic-organic hybrid resist	Selective depositions		
Self Assembled Materials			Sub- lithographic patterns	Selective etch	Selective etch	High performance capacitors
			Enhanced dimensional control	Selective deposition	Selective deposition	
				Deterministic doping	Self Assembled Molecule Barriers	
Spin Materials	STT MRAM Ferromagnetic layers	Spin FET			Spin Transport Local Interconnects TBD	
		Spin MOSFET				
		Collective Spin Device				
		Moving Domain Wall Nanomagnetic MQCA				
Complex Metal Oxides & Transition Metal Oxides	1T Fe FET	Magnetoelectric materials (Spin materials)	EUV Inorganic-Organic Hybrid Resist			High performance capacitors
	STT MRAM tunnel barrier & magnetic	Novel phase change				
	Charge Trapping	Passivation dielectrics				
	Mott Transition Memory					
	Ferroelectric Polarization Nanothermal Oxide	Negative Gate Capacitance FET: FE Oxide				
Interfaces and Heterointerfaces	Electrical and spin contacts and interfaces	Electrical and spin contacts and interfaces			Contacts and interfaces	Electrical contacts and thermal interfaces

研究段階は首尾よく行って実用化の準備まで進められたとしても、ERM の環境、安全、健康への特性が十分理解されかつ利用できるようにならなければ意味がない。計測やモデリングも、応用に向けた ERM の取り組みとして必要である。計測法はナノメートルスケールでの構造や組成をはじめ、その構造が表面にむき出しになっているの埋め込まれているかなど、重要な物理的特性をキャラクタリゼーションするために必要である。モデリングは、材料合成で所望の構造ができているかどうかを決定するのに必要であり、モデル化された構造の特性が応用において機能しているかどうかを決めるためにも欠くことができない。そうした必要性についても関連するセクションで詳細に説明する。

新探究ロジックデバイス向け材料(Emerging Logic Materials)

新規ロジックデバイス向け材料は、ロードマップの終わりまでCMOSを延命させるための代替チャネル材料、電荷ベースの非従来型FETを実現させるための材料、あるいは非FETや非電荷ベースのBeyond CMOSデバイスを実現させるための材料を包含している。材料およびプロセスは、複数のデバイスにとって有用である場合があるため、あるひとつの応用例について詳細な議論を行い、その他の応用例については、特筆すべき違いについて議論することにする。

CMOS 延命のための代替チャネル材料 (Alternate Channel Materials for Extending CMOS)

シリコンチャネルを、例えばIII-V化合物半導体、Ge、グラフェン、カーボンナノチューブ、半導体ナノワイヤなどのその他の半導体で置き換えることによって、将来のCMOS技術において消費電力の低減やパフォーマンス(動作特性)の向上といったメリットがもたらされる可能性がある。こうしたメリットは、例えばp-チャネルにおけるGe、n-チャネルにおけるIII-V化合物半導体、グラフェン、カーボンナノチューブ、ナノワイヤといったその他の半導体におけるより高い電界効果移動度が得られることによるものである。これらのキャリアの輸送特性が向上したチャネルでは、より高いOn電流(Ion)と一定のIonにおけるより低いゲートキャパシタンスが実現される。このコンビネーションは、低い電力におけるより高いMOSFETのパフォーマンスをもたらす。CMOSの高いパフォーマンスを達成するためには、異なる材料(例えばIII-V化合物半導体とGe)をSi上に一緒に組み込むことが必要となる。重要な材料の問題点に関しては、こういった改善が実現される前に、触れておくべきである。これらの問題点には、Si基板上に高品質の結晶性を有するpおよびnチャネルヘテロエピタキシャル膜の形成、インテグレーション後に良好な界面特性を示し、かつピンニングされていないフェルミ準位を有するhigh-kゲート絶縁膜の形成、チャネルおよびソース/ドレイン領域におけるドーパント分布を制御し、かつほかの素子を破壊せずにこれらを活性化させること、低抵抗で低リーク電流のソース/ドレインの形成、適合する仕事関数を持つゲート電極、ソース/ドレインおよびゲート電極における低いコンタクト抵抗の実現などが含まれる。

グラフェンは、GeやIII-V化合物半導体の比べるとCMOSを置き換えるという観点からはまだ評価の初期段階にあるが、もうひとつの潜在能力を持ったチャネル材料といえる。グラフェンはゼロギャップ半導体であるが、質量を持たないディラック・フェルミオンの性質をもつ電荷によって電流が運ばれ、(より低い駆動電圧によって)消費電力を減らしたり、キャリアの移動度の向上によってデバイスのパフォーマンスを向上させたりする可能性を有している。グラフェンは、二極性材料(ambipolar)ではないが、n-チャネルとしてもp-チャネルとしても活用できる材料である。実際に、グラフェンでは同一層内にn-キャリアとp-キャリアが共存しうるため、ゼロ電界下で電荷キャリアがごちゃ混ぜになっている様子が観測されたことがある。グラフェンに対してはまだ多くの問題点が残っている。この問題点には、例えば、CMOSに適した基板上にグラフェン層を形成することを可能にするプロセス、原子レベルで均一な膜厚の膜を形成すること、エッジ部であまり欠陥を作らずにパターン加工、エッチングができること、ドーピングのような基本的なプロセス技術の開発、CMOSプロセスと整合性のよいプロセスの統合などが含まれる。

等価スケールリングを目的とした提示原材料には、Si、Ge、III-V化合物半導体ナノワイヤ、カーボンナノチューブが含まれる。これらのナノ構造体材料は、CMOSプロセスに整合した触媒を用いて、制御された位置、方向に形成する方法の確立といった共通の問題点を抱えている。他方、カーボンナノチューブはナノワイヤに比べて、格段に大きな電界効果移動度を有するが、その半導体としてのバンドギャップを制御することは非常に困難である。これらの半導体ナノ構造体の潜在的な利点、課題については、以下のTable ERM3でより詳細に記述されている。

Table ERM3 Challenges for ERM in Alternate Channel Applications

Material & Earliest Potential Insertion	Potential Material Value	Key Challenges	Target/Goal	Status
III-V Semiconductors	High electron mobility(InGaAs, InSb) Strained III-V Higher Hole Mobility (Scott UF)	Achieving low defect density in selective deposition on silicon	Free of dislocations, twins, phase separation	Dislocations have been reduced but other defects need attention
		Integration of high κ dielectric with unpinned III-V Fermi level	Dit<1E12/(eV-cm)	GdO: Interface control has been achieved by III-V surface passivation and by interface layers
		High electron & hole mobility devices	Hole mobility >3000cm ² /V-sec Quasi Ballistic Velocity >	Electron mobility >10,000cm ² /V-sec [A]
		Low contact resistance	Contact Resistivity <1 e-8 Ω -cm ²	Satisfactory gate control has been achieved with standard III-V contact metallurgies
Ge	Adequate hole mobility (~3000cm ² /V-sec)*	Control of stress in process and assembly and packaging	No mobility degradation after assembly & packaging	Stress effects have not been measured yet
		Integration of high κ dielectric with unpinned Ge Fermi level	Dit<1E12/(eV-cm)	Fermi level pinning causes are still an open issue
		High hole and electron mobility in a device	Electron Mobility >10,000 cm ² /V-sec Hole mobility >3000cm ² /V-sec Quasi Ballistic Velocity >	
Co-integration of III-V and Ge	High electron and hole mobility	Low contact resistance	Contact Resistivity <1 e-8 Ω -cm ²	Metal Schottky S/D contacts need to be investigated
		Activating Ge dopants requires higher temperature than III-V processing	Meet 400C implant activation for Ge	Co-implant with He may reduce activation drive-in energy
		Forming low resistance contacts to Ge and III-V compounds	Explore new Schottky barrier S/D contacts and low-T processing	Process compatible Schottky S/D contact metallurgies need to be investigated
		Conductivity must not degrade when embedded in a dielectric	New scattering effects must be understood in nanoscale channels	Work on phonon and interface scattering just beginning
Graphene	High electron mobility	Low contact resistance	Contact Resistivity <1 e-8 Ω -cm ²	Process compatible Schottky S/D contact metallurgies need to be investigated
		Ability to deposit graphene (CVD) with controlled orientation and thickness on silicon compatible layers	Develop a new graphene deposition capability that produces the desired film properties and is CMOS compatible	No suitable integrated process has been proposed yet
		Ability generate a controlled bandgap with high on-off ratio in an integrated structure	Develop new double gate structures for bilayers and controlled lateral dimensions for single layers	Bandgap control is still in the discovery stage
		Ability to achieve high electron and hole mobility on silicon compatible substrates	Electron Mobility >20,000 cm ² /V-sec Hole mobility >10000cm ² /V-sec Quasi Ballistic Velocity >	Mobility >8000cm ² /V-sec [B]
		Ability to deposit a high dielectric	Dit<1E12/(eV-cm)	So far only Al ₂ O ₃ has been formed by oxidation of Al films
		Ability to dope the graphene n and p-type	Understand electron/hole puddling physics and edge-dependent doping effects in ambipolar graphene as well as co-deposition of dopants	N-doping has been achieved; P-doping still needs to be demonstrated
Si or Ge Nanowires	High gate control of leakage current and possibly low surface surface scattering	Ability to form low resistance contacts	Contact Resistivity <1 e-8 Ω -cm ²	Contact resistances have not yet been evaluated using proper test structures
		Ability to grow nanowires in desired locations and directions	Selectively deposit NW's in either vertical or horizontal locations	Initial NW deposition in controlled locations has been demonstrated but not for monolithic processing
		Catalyst compatible with CMOS processing	Metal catalysts cannot introduce deep level defects into the channels and S/D's	Initial NW deposition in controlled locations has been demonstrated but not for monolithic processing
		Ability dope nanowire channel and S/D regions	Demonstrate controlled doping of NW's with atomically sharp boundaries	Initial co-linear and surround NW doped structures have been grown by CVD on a one-ff basis but not monolithically
		Ability to achieve high electron and hole mobility on silicon	Identify and understand mobility degradation processes	Mobilities of 50% of bulk values have been achieved in Si and Ge NW's
III-V Nanowires	High electron mobility with high gate control of leakage current	Develop fabrication methods for surround gates for both vertical and horizontal NW's	Develop fabrication methods for surround gates for both vertical and horizontal NW's	Individual NW structures have been demonstrated but monolithic processing has not
		Ability to pattern surround gate structures	Develop fabrication methods for both vertical and horizontal FET's	Individual NW structures have been demonstrated but monolithic processing has not
		Ability to form low resistance contacts	Contact resistances cannot modulate channel transport	Low values have been achieved with Pt but not for CMOS process compatible metallurgies
		Ability to grow nanowires in desired locations and directions	Selectively deposit NW's in either vertical or horizontal locations	Initial NW deposition in controlled locations has been demonstrated but not for monolithic processing
		Catalyst compatible with CMOS processing	Metal catalysts cannot introduce deep level defects into the channels and S/D's	No data yet on catalyst effects on NW FET performance
		Ability dope nanowire channel and S/D regions	Demonstrate controlled doping of NW's with atomically sharp boundaries	Initial co-linear and surround NW doped structures have been grown by CVD on a one-ff basis but not monolithically

Carbon Nanotube FETs	High mobility with high gate control of leakage current	Catalyst compatible with CMOS processing	Metal catalysts cannot introduce deep level defects into the channels and S/D's	No data yet on catalyst effects on CNT W FET performance
		Ability to grow CNT's in desired locations and directions	Ability to grow CNT's in planar structures with density compatible with sub 15 nm technology	Ability to grow CNT's with catalyst on quartz or shapphire with density of 10 per micrometer
		Ability dope CNT channel and SD regions	Demonstrate controlled doping of NW's with atomically sharp boundaries	Initial co-linear and surround CNT doped structures have been grown by CVD on a one-ff basis but not monolithically
		Ability to achieve high electron and hole mobility on silicon	Identify and understand mobility degradation processes in NW's	Fully integrated CNT channels on CMOS have not been demonstrated yet
		Ability to pattern surround gate structures	Develop fabrication methods for both vertical and horizontal FET's	Individual CNT structures have been deposited on a planar gate dielectric but fully integrated channels have not been demonstrated
		Ability to form low resistance contacts	Contact resistances cannot modulate channel transport	Low resistance contacts have been demonstrated but materials compatibility with CMOS processing has not been demonstrated yet

* Field Effect Mobility

References for Table ERM3

[A] M. K. Hudait, G. Dewey, S. Datta, J. M. Fastenau*, J. Kavalieros, W. K. Liu*, D. Lubyshev*, R. Pillarisetty, W. Rachmady, M. Radosavljevic, T. Rakshit and Robert Chau. *Heterogeneous Integration of Enhancement Mode In0.7Ga0.3As Quantum Well Transistor on Silicon Substrate using Thin (=2um) Composite Buffer Architecture for High-Speed and Low-Voltage (0.5V) Logic Applications.* International Electron Devices Meeting (IEDM) Technical Digest, 2007, pp. 625-628.

[B] S. Kim, J. Nah, I. Jo, D. Shahrjerdi, L. Colombo, Z. Yao, E. Tutuc, and S.K. Banerjee. "Realization of a high mobility dual-gated graphene field-effect transistor with Al2O3 dielectric." *Applied Physics Letters*, vol. 94, pp. 062107, 2009.

カーボンベース(カーボンナノチューブおよびグラフェン)デバイスは、代替チャネル材料として活用や Beyond CMOS 分野での活用において、その潜在的な有効性を引き出すことに、より焦点を当てる必要性があるものとして特定されている。ERM および ERD の章では、これらの材料が、Table ERM4 で強調されているように、要求された時間枠の中でこれらの材料が実現可能となるために克服すべき課題を、いつ克服することが必要とされているのかをも特定している。

Table ERM4 Alternate Channel Material Properties

N=8 Raters Research targets	Mobilities: Hole >5000 cm ² /V-s and/or Electron >5000 cm ² /V-s	Performance Unpinned Fermi level, 10% thickness (1s), Dit <1E12/(eV-cm ²)	Material grown on Si wafers with low defect density	Contact resistivity <1E-8 W-cm ²	Property Control 10% (1s)	Demonstrate /understand controlled n and/or p channel & S/D doping, e.g. 10% (1s)	CMOS compatible catalyst, as needed, 10% of half pitch, vert. and/or horizontal	Understand formation mechanism, develop low defect density strategy	Integration Average (excluding mobility)
Ge [For p-channel devices] (2013-2018)	3	1.8	1.5	2	2	1.8	1.8	1.8	1.8
	3								
	2								
	1								
III-V Materials (2019+)	3	1.8	1.1	1.6	2	1.6	1.6	1.7	1.6
	3								
	2								
	1								
Homogeneous Nanowires [Group IV and III-V] (2019+)	2.6	1.8	1.6	1.3	1.8	1.8	1.6	1.7	1.7
	3								
	2								
	1								
Carbon Nanotubes (2019+)	3	1.8	1.3	1.4	1.3	1.3	1.4	1.3	1.4
	3								
	2								
	1								
Graphene (2019+)	2.9	1.7	1.3	1.4	1.4	1.4	1.4	1	1.4
	3								
	2								
	1								

III-V 化合物半導体材料 (III-V Materials)高い結晶性を有する薄膜III-V化合物半導体チャネル層の形成について(Formation of high crystalline quality thin III-V film channel materials:)

Si基板上にヘテロエピタキシャル成長させるために、いくつかのアプローチがなされている。

1. Si基板上にCVD法により直接GeおよびIII-V化合物半導体を成長させる。
2. 絶縁膜上のGe(CVD)膜(GeOI構造)
3. Si基板上のGeOI構造上へのIII-V化合物半導体層の成長¹
4. Si上へのIII-V化合物半導体層形成のためのAspect ratio seeding^{2,3}
5. GaAs/GeOI構造上へのIII-V化合物半導体層の形成¹
6. SiGeヘテロエピタキシャル膜の選択酸化によるGeの濃縮⁴

Si基板上へのインテグレーション後に、欠陥と歪みを制御可能なレベルで、かつモビリティを容認可能なレベルで、III-V化合物半導体層をSi基板上に形成するには多くの問題と課題がある。欠陥は、格子定数の違いに由来するミスフィット転位の生成のため主な問題点となるが、高アスペクト比のトレンチ内部への選択成長およびそれに引き続くSi酸化膜上の水平方向へのOvergrowthを利用したアクティブ領域の内部では、欠陥を劇的に減らすことが可能である³。到達する欠陥密度の下限値はまだ決定されていない。また、制御する必要があるその他の欠陥としては、双晶の成長やIII-V化合物半導体のアンチフェーズドメインが挙げられる。ただし、これらの欠陥がキャリア特性に与える影響を最小限にするために必要な水準はわかっていない。形成された(蒸着された)層内の弾性歪みは歪みシリコンと同様にキャリア特性を向上させるために有効である可能性がある一方で、迂闊にも結晶欠陥の生成によりモビリティを低下させてしまう可能性もある。さらに、この歪みを利用してホールのバンドの縮退を解いて、より高いホール移動度を実現させようという調査も行われている。膨張/収縮率の差異や格子ミスマッチに由来する歪みによる熱歪みも生じる⁴。マルチゲート構造は、こうした応力制御を非常に複雑(難解)なものにする。また、III-V化合物半導体薄膜は一般的に、低い降伏(圧縮)応力によってキャリア特性を改善させるのに必要とされる応力を支えきれないであろう⁵。結晶の向き(配向)は、エピタキシャル膜の質を最高にするため、および電流の流れる向きに沿った有効質量および状態密度をもっとも低いものに制御するに当たってのもうひとつの変数となる。膜/基板界面に対して垂直な方向の有効質量は、反転層の厚みを抑えるために、またIonの増大をもたらす反転層のキャパシタンスを増加させるために最大にすべきである⁴。ヘテロ構造の設計は、(III-V化合物半導体チャネル層を)適合させるためのもう一つのパラメータである。例えば、InGaAs/InAs/InGaAsヘテロ構造は、アクティブ領域のInAsチャネル上の界面の不利な影響を低減するためのバッファ層として用いられる⁶。同様に、III-V化合物半導体のチャネル表面は、ゲート電極との結合を減らすことになるという犠牲を払うことになるものの、後続のプロセスの間の化学的な反応性を抑える目的で、キャップされるべきである。クーロン散乱やフォノン散乱のようなキャリアの散乱機構については、上述のヘテロ構造の寸法を小さくするために、さらに進んだ研究が必要である。最後に、プロセスの制御に関する課題は、300mmあるいは450mmウェハ上に均一でかつ制御された膜厚を有するヘテロエピタキシャル膜の形成、特に水平方向へのovergrwthやGe濃縮のような複雑なプロセスに対して横たわっている。チャネルの厚みとキャリアの注入(伝搬)速度との間の相関関係(トレードオフ)を決める必要がある。

III-V化合物半導体層上のHigh-k絶縁膜の形成について(Deposition of high-k dielectrics on III-Vs:)

現時点でのIII-V化合物半導体上のhigh-k絶縁膜の成膜に対するアプローチは以下のものが含まれる。

1. Ga₂O₃/GdGaO/Si₃N₄構造の分子線蒸着⁷
2. As cap/in-situ As decap+ALD HfO₂⁸
3. NH₄S終端されたGaAs上へのALD法によるHfO₂成膜⁹
4. ALD法によるHfO₂およびAl₂O₃膜¹⁰形成前のNH₄OHクリーニング

5. InAlAsバリア層¹¹
6. 非晶質Si界面層+PLD/MBD法によるHigh-k絶縁膜形成¹²
7. III-V化合物半導体層形成時のin-situクリーニング+ALD法によるHigh-k膜形成¹³

III-V化合物半導体層上の絶縁膜形成に関する課題および問題点は、形成される界面を化学的および電氣的に制御することに対する問題点に由来するものである。III-V化合物半導体層表面のパッシベーション(終端)および界面層(の形成)は、界面の特性を制御するために開発されてきた技術である。NH₄S、NH₄OHを用いたウェット処理によるもの、(Ga、InおよびAl)窒化物¹⁴および水素原子を用いた終端は特性の面においてうまくいっている。このような終端方法は、より低いDit'sやピンニングのない界面を得るためにIII-V層の表面酸化の影響を制御することを可能にしている。またこれらの終端方法は、サンプルを各プロセスチャンバー間で移動させることを可能にしている。非晶質As、非晶質Si/SiO₂、Ga₂O₃/Gd₂O₃、およびALD Al₂O₃のような界面層はHigh-k膜形成に適した表面を得るために用いられてきた。ある特定の材料系でフェルミ準位のピンニングが生じるのを防ぐために異なるHigh-k絶縁膜が必要であり、また、その場合の界面の安定性に対するモデリングが検討されるべきである¹⁵。この非ピンニングは、さまざまなIII-V化合物半導体の表面での表面再構成の差異に由来している¹⁶。界面の結合状態を評価する方法(XPSのような)、界面の状態密度、固定電荷の密度、および表面の反転領域を評価する方法が必要である。さらに、絶縁膜の信頼性に関する問題点についても、触れる必要が生じるであろう。

Ge エピタキシャル材料およびHIGH-K 絶縁膜 (GE EPI MATERIALS AND HIGH K)

現時点でのいくつかの製造技術は、歪みSiおよびその他のデバイスにおけるSiGe層の成長を含むため、純Geの形成が最大の問題点にならないと思われるが、一方でSiGeグレーデッド層(濃度勾配のあるSiGe層)も含むことになる。他方、終端された界面を有するhigh-kゲート絶縁膜の形成は非常に困難である。

現時点でのGe層上のhigh-k膜の形成へのアプローチは以下のような方法が含まれる。

1. GeO_xN_y窒化¹⁷
2. オゾンで酸化されたGe上へのALD法によるHfO₂膜の形成¹⁸
3. LaGeO_x-ZrO₂混晶High-k膜¹⁹
4. High-k絶縁膜を形成するための界面層を制御するためのGe上へのSiキャップの形成²⁰

Geチャネル上への絶縁膜形成に関する課題および問題点は、主にHigh-k絶縁膜形成前および形成中の意図しないGeO_x膜の形成に由来するものである。この影響を除去あるいは低減する方法としては、オゾンによる前処理、Siキャップ、あるいはGeNやAlN膜のような酸化バリア層を利用する方法が挙げられる。密度汎関数法のような理論的なアプローチだけでなく、走査型トンネル顕微鏡法(STM)/分光法(STS)のような技術により、フェルミ準位をピンニングする界面状態についてより多くの知見を得る必要性がある²¹。

III-V 化合物半導体とGe の共形成 (CO-INTEGRATION OF III-V AND GE)

CMOSデバイスにIII-V化合物半導体もしくはGeを組み込むことも難しいが、両者を同時にCMOSに組み込まなければならない場合、さらに課題は複雑になる。これらの課題は、ドーパントの結合や活性化、低いコンタクト抵抗を持つソース/ドレインの形成などが含まれる。

ドーパントの結合、活性化について(Dopant Incorporation and Activation)

III-V化合物半導体のドーパントの活性化は低温で実施されるが、Ge中のドーパントの活性化はn型ドーパントに対して、高いプロセス温度が必要となる²²。Ge中の金属誘起ドーパント活性化に関する最近の発表によれば、活性化が380°Cという低温で達成されたことが示された²³。したがって、もしIII-V化合物半導体とGeの素子が同一基板上に形成されるとすると、プロセスの複雑性を挙げることになるものの、この競合する要求項目によって、

III-V化合物半導体の形成の前に、Ge素子が形成されることが要求される。

ソース/ドレインの形成 (Source/drain (S/D) formation:)

低抵抗かつ低リーク電流でソース/ドレインが形成するという報告例はほとんどない。これについては、金属を用いたショットキーS/Dが有効である可能性がある。III-V化合物半導体に対しては、S/Dの設計は、ヘテロ接合チャネルの特性とキャリアの物理に左右されるはずである。S/Dがチャネル層内でのキャリアの輸送特性を決める範囲は、弾道伝導の限界が近づいているとして、決められる必要性がある。

将来の研究・開発として、ゲート電極、S/D材料の選択、およびプロセス構築についての問題点について触れておく必要があるといえる。また、ドーパント原子の数が、ナノスケールで減少するため、ドーパントの制御についての問題点にに触れておく必要がある。

グラフェンとグラファイト材料 (GRAPHENE AND GRAPHITIC MATERIALS)

これら材料の一番の優位性は、潜在的に移動度が高いこと(カーボンナノチューブにも見られる)と、平面形態でプロセスが可能なことである。

以下のことが可能かどうか、グラフェンにおける重要な課題である:

1. グラフェンを、厚みや方向を制御して大面積で合成すること
2. グラフェンのバンドギャップを形成、制御すること。
3. 電荷の輸送への表面、あるいはインターフェースの影響を減らす、あるいは制御すること。
4. シリコン互換の基板上で、高い移動度を達成すること
5. 高品質で安定な界面を持つ高誘電率膜を堆積すること
6. 再現性の高い低抵抗コンタクトをグラフェンに対し形成すること(単層膜をエッチングすること無しに)
7. 集積化、ドーピング、CMOS との互換性

新探求材料の章で確認されたように、代替チャネル材料としての応用、またその先は Beyond CMOS 応用への進展を後押しするため、グラフェンはさらに注目を受ける必要がある。Table ERD8 に、可能性が高い応用のスケジュールが示されているが、そこでは、2019-2020 年のテクノロジーの応用にグラフェンが必要となることが仮定されている。

グラフェンの堆積 (GRAPHENE DEPOSITION)

グラフェンの堆積において好ましいアプローチは、シリコンウエハ上でのCVD的なプロセス、あるいはエピタキシャルプロセスである。しかし他の技術も使われうる。現在研究されているグラフェンの堆積技術は、Highly Oriented Pyrolytic Graphite(HOPG)からの機械的、化学的酸化、あるいは溶媒による剥離や、単結晶金属基板上への直接CVD エピタキシー、及びSiCからのシリコンの昇華による方法などを含んでいる。ポリエチレン・テレフタレート(PET)やポリジメチルシロキサン(PDMS)上に合成するというような新たな方法は、ねじったり伸ばしたり(導電率を失うことなく 11%まで)することが可能な下地基板を提供することができるため、これもまた調査に値する。明らかに、グラフェン層の厚みや化学的純度を決定するために、グラフェン層の物理化学的特性評価法が開発される必要がある。グラフェンが CMOS 置き換えとして実現可能なテクノロジーになるためには、表 ERD8 に示すように、2012 年以前に大量合成が可能な技術が明らかになる必要がある。

高い結晶性を持つグラフェン材料の形成 (FORMATION OF HIGH CRYSTALLINE QUALITY GRAPHENE MATERIALS:)

グラフェンの機械的剥離は、シリコン上に高品質の膜を用意することができるが²⁴位置や厚みの制御性に関しては、集積回路技術の開発には不向きかもしれない。SiCの分解による方法²⁵は、シリコン的な基板にグラフェ

ンを形成できるという点で優位性があるが、1200°C付近のプロセス温度が必要であるほか、報告されている移動度は今のところ低い。

Ni²⁶、Ir^{27, 28}、及びPt²⁸の単結晶上におけるグラフェンの成長に関し当初進展があったが、これは大変高価な方法である。最近、多結晶のNi薄膜²⁹や、パターンニングされた結晶Ni膜³⁰上で小面積のグラフェンが形成された。さらにごく最近、Cuフォイル上にCVDによって大面積のグラフェンが形成され³¹、その移動度は室温で $4000 \text{ cm}^2 \text{ V}^{-1} \text{ sec}^{-1}$ を超えた。これらグラフェン膜は金属上に合成されるが、SiO₂/Si上への転写が行われ、そこでデバイス構造が作られ特性が評価された。^{29,31}これらCVDを利用する方法は、シリコン互換の基板上に直接グラフェンを形成するものではないが、多結晶の基板を使って転写を行うという手法は、より低コストと言えるかもしれない。この分野は非常に速く進展しているので、ここで紹介したものより優れた結果がすぐにも出る可能性がある。

所望の基板上に選択的にグラフェンを合成する別のアプローチは、シリコンカーバイドからのシリコンの蒸発を使うものである。²⁵この手法では、シリコンを効果的に蒸発させるため、H₂雰囲気中でSiCを 1200°Cでアニールする必要がある。ミリメートルサイズでseveral層程度の厚み制御が示され、移動度も $2500 \text{ cm}^2/\text{Vs}$ を超えている。³²最近、シリコンウエハ上に薄いSiC層を堆積し、その後シリコンを蒸発させ、何原子層かの厚みのグラフェンの薄い層を基板上に残す技術が示された。³³しかしながら、これらのアプローチの欠点の1つは、必要とされる高温プロセスが、300mm、または 450mmウエハに欠陥を生じさせる可能性があることである。

HOPGから機械的に剥離されたグラフェンがこれまでに最も高い移動度を示している。機械的剥離は基板上への配置の精度を欠いている一方で、酸化グラフェンや溶媒剥離が、グラフェンの厚みの制御性の改善や、制御された堆積を可能にするため、研究されている。酸化グラフェンは、グラファイトのエッジをC-OH -COOH基で、そして層間をエポキシC-O-C、及びヒドロキシル基で修飾することにより得られる。³⁴酸化後、グラフェンは溶媒に浸すことにより分離され、表面に堆積され、ヒドラジンプラズマか水素プラズマによりグラフェンに変換される。酸化グラファイトから得られたグラフェンは、主に単層のグラフェンからなり、移動度は 10 から $1000 \text{ cm}^2/\text{Vs}$ の間である。伝導は、欠陥が多いグラフェンに囲まれた高い品質のグラフェン領域の間のホッピング伝導に支配されていることがわかった。³⁵今まで得られたグラフェンフレークの最大サイズは、 $10 \mu\text{m}$ から $100 \mu\text{m}$ 程度である。ヒドラジンは酸化グラフェンを形成し、グラフェンをSiO₂に転写するために使われてきた。³⁶さらに、グラフェン層を選択的にそれぞれの上に堆積するための新たな印刷法が示された。³⁷将来的に重要なことは、酸化プロセスでは不可避なダメージを減らすことにより、欠陥が多いグラフェン領域を減らすことである。グラフェンは超音波を使うことにより、溶媒中でHOPGから剥離できるが³⁸、溶媒の選択肢は溶媒の表面エネルギーの要求から限定されている。高い沸点を持つ溶媒は、基板へのグラフェン堆積を困難にし、基板上で乾燥させたとき、グラフェンが再凝集してしまう。水に界面活性剤を添加することにより、グラフェンの分散もまた可能になる。

39

グラフェンの移動度 (MOBILITY OF GRAPHENE)

孤立したグラフェンの最高の移動度($7 \times 10^4 \text{ cm}^2/\text{V-s}$)は、グラフェン膜の表面の化学状態を制御し、かつ比誘電率 47 を持つ溶媒による誘電遮蔽を用いて得られた。⁴⁰誘電遮蔽が無い場合、孤立したグラフェンでは $2-3 \times 10^3 \text{ cm}^2/\text{V-s}$ 程度の値が得られている。基板表面に密着したグラフェンにおいては、移動度は通常 $10^2-10^3 \text{ cm}^2/\text{V-s}$ の範囲にあるが、FETにおいては $8000 \text{ cm}^2/\text{V-s}$ もの値が報告されている。⁴¹真の移動度を得るためには、接触抵抗の影響を見積もる必要がある。⁴¹

グラフェンのバンドギャップの形成 (GENERATION OF A GRAPHENE BANDGAP)

グラフェンにはバンドギャップは存在しない。バンドギャップを形成するための2つの技術は1)グラフェンをナノリボン化すること、及び2)2層グラフェンにバックゲートによりバイアスをかけることである。デュアルゲートで、2つのゲートそれぞれに対し異なるゲート絶縁膜を持つ構造により、電気的に変化可能なバンドギャップの形成

が行われてきている。このような構造の採用は、バンドギャップとキャリア濃度を、異なるトップゲートとボトムゲートのバイアスにより、独立に変えられるようにするためである。^{42,43}ナリボンについては、15nmのリボン幅においてバンドギャップは 100meVを超え、幅が狭くなるに従いさらに増加するが、電子状態はエッジ状態により敏感になり、エッジ状態のパッシベーションが重要になってくる。バックゲート電圧の印加は、伝導帯と価電子帯を実際分離し、5-10 倍のオン・オフ比を可能にする。⁴³別の選択肢としては、仕事関数の違いや固定電荷の利用により、電場が備わった構造を設計することである。表ERD8 に示されているように、バンドギャップ制御を実現可能な技術が、2014 年以前に明らかになる必要がある。

高誘電率膜の堆積 (HIGH K GATE DIELECTRIC DEPOSITION)

グラフェンの表面は(本来)化学的に不活性であるため、高誘電率膜の堆積は、通常エッジやグラフェンの欠陥から起こる。このことは、グラフェン上への HfO_2 や Al_2O_3 の堆積において実証された。⁴⁴最近、酸化された薄いアルミ膜が、グラフェン上へのALDによる Al_2O_3 堆積の核形成層として働くことがわかり、室温において $6000 \text{ cm}^2/\text{V}\cdot\text{s}$ を超える高い移動度が得られた。⁴⁵これは、それ以前にグラフェン表面の修飾により堆積を行った結果を改善するものであった。

2次元のトランジスタの作製は、これまで小さなグラフェン層のサンプルを用い、電子ビームリソグラフィなど高機能の装置を使って行われてきた。IBMの研究所は、最近ゲート長 150nmのトランジスタで、グラフェンを用いた場合でこれまで最高の、周波数 26GHzでの動作を達成した。⁴⁶シリコン基板上の大きなグラフェン層が利用できれば、シリコンテクノロジーで開発されたALDやMOCVDによる高誘電率絶縁膜、標準的な保護膜、金属接触などが利用できるようになるであろう。これはまた、同じマスクセットを利用し、現在の材料との直接のベンチマークを可能にするであろう。Table ERD8 に示されているように、実用的な高誘電率絶縁膜堆積技術が、2012 年以前に明らかになる必要がある。

ドーパントの導入と活性化 (DOPANT INCORPORATION AND ACTIVATION;)

もしグラフェンが極限CMOS応用に使われるとするならば、チャンネル領域にp型、n型用の材料をドーブし、S/D領域に金属的、n型、p型のどれかになるような材料をドーピングできる必要がある。これまでのところ、チャンネル領域にドーピングする方法として提案されているものとしては、1)グラフェンを、キャリアをグラフェン層に注入できる表面に堆積する、及び 2)グラフェンナリボンのエッジ状態にドーパントを化学的に結合させる、などがある。シミュレーションにより、グラフェンは基板やグラフェン表面に堆積された材料からの電荷移動により、制御性良くドーピング可能なことが示されており、また多くの実験によって、異なった仕事関数の金属を堆積することよりn型、及びp型のグラフェンが形成可能なことが示されてきた。より最近では、グラフェンナリボンのエッジ状態が、高温での電気化学的なアンモニア処理によりn型にドーブされることが示された。⁴⁷また、n型のグラフェンが、 NH_3 と CH_4 を使った合成により形成されること⁴⁸、p型のグラフェンが H_2O や NO_2 の堆積によって形成されること⁴⁹が、実験的に示されてきた。さらに、グラフェンリボンの中心部がn型で、エッジのみがp型になりうることが実験により示された。⁵⁰

このようなドーピング技術の課題は、配線と統合された構造において、キャリアドーピングを維持すること、になるであろう。その理由は、以下のコンタクト形成のセクションでも説明されるように、S/Dドーピングはコンタクトの金属物性により影響を受けると予想されるためである。Table ERD8 に示されているように、ドーピング、およびグラフェン中のキャリア濃度を制御可能な実用的技術が、2012 年以前に現れてくる必要がある。

コンタクトの形成 (CONTACT FORMATION)

ソース・ドレインコンタクトは、グラフェンに対し低抵抗の電気コンタクトを与えるものである一方、nチャンネル、あるいはpチャンネルデバイスの伝導タイプを維持できるものでなくてはならない。電荷移動を利用してドーピングを行う場合と類似して、5.4eVを超える仕事関数で弱い結合を持つコンタクト金属を使って、n型のコンタクトを形成することが、シミュレーションにより提案された。⁵¹n型のグラフェンが NH_3 の堆積により形成され、p型のグラ

フェンが H_2O 、または NO_2 の堆積により形成されることが、実験により示された。オーミックコンタクトの形成は、小さな直径のカーボンナノチューブよりは簡単かもしれないが、さらに研究を進める必要がある。Table ERD8 に示されているように、グラフェンのコンタクト形成についての実用的技術が、2012年以前に実証される必要がある。

ナノワイヤ (NANOWIRES)

金属触媒ナノワイヤはMOSFETのチャネルとして提案されている。SiナノワイヤはGeと化合物半導体の次のデモンストレーションとして最も徹底的に調べられている^{52, 53}。ナノワイヤの潜在的な長所は、1)静電的制御に有利なゲート・オール・アラウンド構造との互換性がある【訳者注：ゲートの電界効果の強さのことでサラウンドゲート構造とも呼ぶ】、2)自己組織化あるいはボトムアップアプローチによってできるスムーズな表面によって移動度を制限する拡散表面散乱が減少する、3)微小構造における非古典的物理現象の利用などにある。さらに言えば、成長方向に格子ミスマッチがあっても欠陥のないヘテロ接合が成長可能であること⁵⁴、また水平方向に低欠陥のヘテロ接合が成長可能であること⁵⁵、それらは素子設計にフレキシビリティをもたらす。他方、こうした優位性をCMOSにインテグレーションしようとする、非常に困難に突き当たる。例えば、CMOSとの整合性が良い触媒材料を見つけなければならないことや、ナノワイヤの位置や方向制御、ドーピング制御などである。それらの詳細はTable ERM3 に述べられている。

非古典的量子効果はBohr半径に強く依存するが、これは材料間で大きく変化する。SiのBohr半径は短く、非古典量子効果(例えばバンドギャップ変化)は、現在実際に作られている直径(>約 8nm)のSiナノワイヤではあまり期待できない。ある種の化合物半導体FETのナノワイヤの移動度は、対応するSiナノワイヤのそれよりもずっと大きく、ナノワイヤの代替材料としての魅力がある。それに加えて、Geのような選ばれた化合物半導体は大きなBohr半径を有し、その結果、非古典効果が現実的になりつつあるサイズのナノワイヤでも観測されている⁵⁶。

たとえナノワイヤがFETのチャネルとしての潜在的優位性を持っていたとしても、高密度集積の応用については乗り越えなければならないチャレンジも多い。2つの電極間にナノワイヤを位置制御する方法は様々試みられている⁵⁷。それらは宙づり構造から、与えられた電極ペア間への制御まで含まれる。例えば、非均一電界による方法(dielectrophoresis)^{58, 59}、予め作製しておいた電極を用いる方法⁶⁰、触媒成長表面を使う成長法⁶⁰、縦型FET構造⁶¹によるものなど。ナノワイヤは位置制御成長が難しいため、従来のリソグラフィによるパターンの位置決めを使ったり、新奇な形状修正プロセス⁶²を使う方がより現実的だろう。ドーピングも難しく、ドーパントは蒸着プロセスでインテグできるが⁶³、反応速度論から、例えばナノワイヤ側壁でも高温の拡散プロセスが必要になる。縦方向にアレイ状に密に詰まったナノワイヤに、サラウンドゲートや低抵抗コンタクトを作製するプロセスもチャレンジングな課題と言える。

カーボンナノチューブ (CARBON NANOTUBES)

カーボンナノチューブ(CNT)の主要な潜在的優位性はその高いキャリア移動度⁶⁴にあるが、それらを実用的なものにするためにはとても困難な課題を克服する必要がある。カーボンナノチューブが高性能FETに応用可能になるための重要な課題は、半導体のバンドギャップが狭い分布を持ち、それぞれのCNTが望み通りの場所に特定の方向を持って配置され、低コンタクト抵抗を持ち、かつ触媒がCMOSプロセスに適合するようなプロセスの実現である。優位性と課題については、Table ERM3 においてより詳細に強調されている。これらデバイスの詳細に関しては、2009 ITRS ERD(新探求デバイス)の章を参照していただきたい。

ナノチューブのバンドギャップの制御 (NANOTUBE BANDGAP CONTROL)

CNTのFETに関連した応用は、その高い移動度と弾道伝導に動機付けられている。⁶⁴SWCNTが将来のCMOS応用に使えるようになるためには、それらを狭いバンドギャップの分布で合成する能力が示される必要

がある。In situでのバンドギャップ制御を達成するためには、成長過程において直径とカイラリティが制御されなければならない。過去2年ではこの点はほとんど進んでいない。プラズマCVDにおいて90%半導体のCNTが得られていること^{65,66}、誘電泳動⁶⁷、選択的沈殿⁶⁸、イオン交換クロマトグラフィ⁶⁹、圧縮と遠心分離^{70, 71}などの液層プロセスで99%の純度を達成していること、DNAを利用した精製で99%に近づく結果が得られていること⁷²、などがこれまでの最高の結果である。このレベルのバンドギャップ分布の制御は、将来の要求値(1兆分の1より良い値)にはるかに及ばない。十分にバンドギャップ分布が制御されたCNTのin situ合成のための触媒やプロセス設計が可能になるような、合成メカニズムの理解を醸成するためにはまだかなりの研究が必要である。Table ERD8に示されているように、CNTのバンドギャップ制御を可能にする実用的技術が、2014年以前に明らかになる必要がある。

位置と方向の制御 (CONTROL OF POSITION AND DIRECTION)

CNTがデバイスに利用されるためには、CNTが正確な場所で、必要な方向に成長できなければいけない。石英、あるいはサファイヤ上にパターニングされた触媒を用いて、所望の位置でCNTを成長する技術は過去2年で進展が見られ、1ミクロンあたり10本程度の密度で、配向したCNTの成長が可能になった。^{73,74}この密度は必要とされる密度に達してはいないが、配向性は他の方法と比較して非常に良い。2007年のITRSの章で議論された他の方法は、CNTを所望の位置、方向で成長することに関しあまり進歩していない。これらが実用化可能な技術になるためには、表ERD8に示されているように、CNTの位置と方向の制御が可能であり、潜在的に製造に適用可能なプロセスが2012年以前に実証される必要がある。

キャリア濃度の制御(ナノチューブのドーピング)(CONTROL OF CARRIER CONCENTRATION (NANOTUBE "DOPING"))

重要なデバイスの課題は、p型、及びn型に自然になっているCNTのキャリア濃度の制御である。典型的には、半導体CNTは合成後にp型になる傾向がある。p型からn型に極性を変えるために、CNTにカリウム(K)をドーピングすること⁷⁵は、FETの作製⁷⁴においてより一般的に使われるようになってきている。表ERD8に示されているように、チャネルやソース・ドレイン領域のキャリア濃度が制御可能なCMOS互換のプロセスが、2012年以前に実証される必要がある。

ゲート絶縁膜界面 (GATE DIELECTRIC INTERFACE)

ほとんどのCNT-FETはバックゲート電極を使って作られてきているが⁷⁶、ALDで堆積されたHfO₂を使ってトップゲート構造も作製されてきている^{77,78}。CNTの側壁は比較的の不活性であるため、絶縁膜の密着の改善のため、表面を化学的に修飾することもありうる。CNTの振る舞いと動作の安定性は、修飾や局所的な保護膜の環境の特質によって影響される。SiNを保護膜として利用するCNT-FETは、非常に小さいI-Vカーブヒステリシスを示すように見える。⁷⁹研究や、指針となる材料設計の原理が、修飾や界面の安定化、そして絶縁膜の堆積をさらに良いものにするために必要である。表ERD8に示されているように、安定な高誘電率ゲート絶縁膜を堆積する実用的技術が、2012年以前に明らかになる必要がある。

ナノチューブの電氣的コンタクト (NANOTUBE ELECTRICAL CONTACTS)

Pdが最もよく使われるコンタクト材料であり、その接触抵抗は量子化抵抗に近い。⁸⁰また最近では、Sc-CNTコンタクト⁸¹がn-FETを作製するために採用された。その一方、小さい直径のナノチューブについては、接触抵抗が非常に変動することが報告されてきている。Pdと直径が小さいナノチューブの界面のポテンシャルの評価結果は、高さがナノチューブの直径に反比例するショットキーバリアの形成を示唆している。⁸²最近のSc-CNTコンタクト(Scの仕事関数は ~ 3.3 eV)のシミュレーションでは、カイラリティが(8,0)の単層ナノチューブについて、Pdのバリア高さが0.34eVであるのに対し、Scでは0.08eVしかなく⁸³、オーミック接触を持つことを予測している。しかしながら、この予測は小さい直径のCNTを使って検証される必要がある。表ERD8に示されているように、CMOSに適用可能で再現性の高いコンタクト形成技術が、2012年以前に明らかになる必要がある。

チャンネル代替材料のクリティカルアセスメント(ALTERNATE CHANNEL MATERIALS CRITICAL ASSESSMENT)

ERM と ERD では、いくつかの同じデバイスの批判的評価(critical assessment)を実施した。評価において、ERDでは集積化と作製プロセスの全ての課題について特に検討し、ERMでは材料、プロセスと集積課題について特に注力して検討した。この ERM の精査は、代替材料が CMOS より良い(3 点)、CMOS 並み(2 点)、CMOS 以下(1 点)であるかどうかを投票によって決めている。ERM のクリティカルアセスメントでは、Table ERM4 に示すように、全ての代替チャンネル材料が Si CMOS よりも良い移動度を持つと見られる。驚くには当たらないが、集積に関する展望の点から、これら全てのオプションは CMOS 並(2 点)よりも低い点数となった。点数からすれば、Ge が最も近く(約 1.8)、次に III-V 族化合物半導体とナノワイヤ(約 1.6)の順となり、カーボンナノチューブやグラフェンは最低スコア(約 1.4)だった。表に示すように平均得点 2.0 以上は、CMOS に「簡単に」集積できるもので、この基準では該当するオプションは無い。平均 1.7 以上は、重大な検討が必要だが、それが伴えば CMOS 上に集積化できるもので、Ge と III-V 族化合物半導体とナノワイヤはこの基準に入っている。投票結果に基づくと、カーボンナノチューブとグラフェンは、いくつも技術的課題において可能性のある解が見当たらないことになり(それらは赤でハイライトされている)、今後、多くの研究が必要であることが分かる。たとえ Ge や III-V 化合物、ナノワイヤの方がより有望視されていても、それぞれに重大な課題への取り組みが必要である。Ge や III-V 化合物材料で最も心配な点は、シリコン上に欠陥のない材料を成長できるかどうかであり、これらの材料集積化にとって基本的なものである。ナノワイヤに対して最も心配な点は、この投票結果からすると、ナノワイヤに低抵抗のコンタクトが形成できるかという点であり、今後さらなる集中と研究によって解決していかなければならない。これらの材料に関する技術的チャレンジについては、代替チャンネルのセクションで、より詳細に記述されるだろう。

なお、このクリティカルアセスメントは、ERM, ERD, FEP, PIDS の各技術ワーキンググループからの 8 人の ITRS の参加者による投票に基づいており、将来の ERM 改訂版では、更新していくことになる。

電荷ベースの BEYOND CMOS デバイスのための材料 (MATERIALS FOR CHARGE BASED BEYOND CMOS)

Beyond CMOS デバイスとして、様々な種類の電荷に基づいたデバイス(Charge-based devices)が検討されている。これらのデバイスに使われている材料については、多の節で詳しく議論される。そのため、ここでは各デバイスの特徴と各デバイス実現に向けた研究ニーズについて議論する。

トンネル FET (TUNNEL FETS)

トンネルトランジスタはバンド間トンネル現象で動作するデバイスである。バンド間トンネルは n^+/p^+ のドープ領域⁸⁴もしくはヘテロ接合で生じる⁸⁵。ドープ接合のデバイスは、シリコンもしくはゲルマニウムなどの高移動度材料からなるが、ドープ接合は極めて急峻である必要がある。そのため、ドーピングの制御が非常に重要である。ヘテロ接合デバイスは、バンドオフセットが極めて急峻である必要がある一方で、トンネルのためのトンネル障壁が低いことが求められる。そのため、材料の選択が重要である。欠陥を抑制した横方向ヘテロ接合の作製は困難かもしれないが、縦型サラウンドゲート・ナノワイヤヘテロ接合素子はこのような問題のいくつかを削減することに有効な可能性がある(ナノワイヤ素子材料の節を参照のこと)。

インパクトイオン化 MOS (IMOS) (IMPACT IONIZATION MOS (IMOS))

IMOSはゲート制御された $p-i-n$ 構造をもつデバイスで、 $p-i-n$ 接合では n^+ 領域と真性領域をゲートが覆っている構造である⁸⁶。ゲート電圧が n^+/i 接合の静電破壊を変調制御し、インパクトイオン化をコントロールする。この構造では熱い電子が生成されるため、熱い電子によってゲート絶縁膜や埋め込み絶縁膜(SOI構造の場合)にダメージが生じ、しきい値電圧のシフトが生じる可能性がある。このため、熱い電子が生成する場所を絶縁膜から遠い場所にしたり、熱い電子に対する耐性の高い絶縁膜を開発したりするなどのエンジニアリングが必要になる。これらのデバイスは平面型シリコン、ゲルマニウム、III-V 属材料やナノワイヤなどを用いて作られる。このような材料は代替チャンネル材料の節で述べられている。

スピントランジスタ (SPIN TRANSISTOR):

スピントランジスタは“スピンFET”と“スピンMOSFET”の両方を含む。どちらのデバイスも磁性ソース/ドレイン、半導体チャネル、MOSゲートを持つ。スピンFETのチャネルは、スピン-軌道結合の強い材料、例えばガリウム砒素や多くのIII-V 属化合物であり、一方でスピンMOSFETのチャネルはスピン-軌道結合の弱い材料である。どちらのデバイスにおいても、スピンは強磁性ソースから注入され、チャネルを伝導しドレインに注入される。ドレイン電極とスピン方向が揃った電子は通過して電流に寄与する。スピンFETの場合には、ソース電極とドレイン電極はスピンの方向が揃っており、ゲート電極がスピン-軌道相互作用を通じてスピンと結合し、スピンの歳差角度を変更する。ドレイン電極はスピン方向が揃っている場合にのみ、電子を受け入れるため、電流が変調される。スピンMOSFETの場合には、ドレインの磁化は固定されているが、ソースの磁化は変調される。そのため、ゲートの変調が無くても電流は変調されることとなる。これらのデバイスでは、スピン注入が重要であり、ショットキー障壁もしくはトンネル障壁を介して実現される。チャネル材料とゲート誘電材料はERMの代替チャネル材料の節とスピン輸送材料節で議論される。一方でソース/ドレインの材料オプションについては強誘電材料の節で議論される。これらのデバイスのより詳しい議論は [ERD chapter](#)において見つけることが可能である。

単電子トランジスタ (SINGLE ELECTRON TRANSISTORS)

単電子トランジスタは、電荷1個でしきい値電圧を変調することが可能で、電子1個を蓄える極めて小さな電荷島を有する。⁸⁷ この素子は、ナノワイヤなどの低次元構造を利用して作製されるが、その際の重要な問題は、デバイス間の特性ばらつきを抑制するために、直径を精密に制御しなくてはならないことである。そのため、直径、閉じ込め領域の長さ、電荷密度などのばらつきを抑制するプロセスが必要になる。直径の再現性が良いナノチューブやナノワイヤを作製するための触媒に関する研究や、電荷の閉じ込めを実現するためのヘテロ構造に関する研究が必要である。

NEMS スイッチ (NEMS SWITCH)

本デバイスのための材料については、ERM メモリ材料節で議論される。

分子デバイス (MOLECULAR DEVICES)

本デバイスのための材料の問題点、材料間のインターフェースについては Beyond CMOS 節で議論される。

負性ゲート容量 FET (NEGATIVE GATE CAPACITANCE FET)

このコンセプトが正しく動くことの証拠は、シリコンの電界効果トランジスタでP(VDF TrFE)/SiO₂ゲート絶縁膜の構造で得られている⁸⁸ところが結果は決定的でなく、さらなる研究が必要である。P(VDF TrFE)の酸素強誘電材料(oxide ferroelectric materials)に対する利点はリーク電流が低いことである。通常の強誘電材料は、メモリー材料の電氣的効果の節(Memory Materials Electronics Effects Section)で議論される。

電荷を用いない BEYONDCMOS 材料 (MATERIALS FOR NON-FET, NON-CHARGE-BASED BEYOND CMOS)

新探求素子 ERD (EMERGING RESEARCH DEVICES)の章ではこのカテゴリーに、“集団スピン素子”、“磁壁移動素子”、“アトム・スイッチ”、“分子素子”を挙げている。スピン材料は集団スピン素子、磁壁移動素子に应用の場を持つが、電荷を用いたビヨンド CMOS 素子としてのスピン FET、スピン MOSFET、更にはメモリーにおける STT RAM (SPIN TRANSFERT TORQUE-RANDOM ACCESS MEMORY)に対しても必要とされる。分子材料とそのコンタクトは分子メモリー素子に利用される。他節でのこれらの材料の応用に関する記述が、本節での材料の必要性と技術課題との相違を明確にすることになる

スピン材料 (SPIN MATERIALS)

多くのスピンを用いた素子は新探求素子 ERD の章でメモリーとロジックへの応用に対して評価されている。これらの素子において、単一スピンもしくはスピンの集団である磁石の向きにより情報を表す。これらの素子の動作

はナノスケールでの材料の性質に依存し、素子の実現には多様な材料を必要とするだろう。ほとんどの素子に対して必要とされるいくつかの基本的機能として、1) 電気信号のスピン状態への変換、2) スピン状態保持、3) スピン輸送、4) 電界もしくは磁界によるスピン変調、5) スピン状態から電気信号への変換、が挙げられる。これらの機能を満たす材料は、~400 K 以上での素子動作を保証しなければならない。これらの機能は単一の材料、界面、もしくは複数の材料の組み合わせにより発現することが期待され、ナノスケール構造での動作も必要となるであろう。スピン材料とそれらの重要な特性と技術課題は Table ERM5 にまとめられる。

Table ERM5 Spin Material Properties

Application	Requirements	Ferromagnetic Metal	Half Metals	Compound Ferromagnetic Metals	Dilute Magnetic Semiconductor	Wide Bandgap Magnetic Semiconductors
Ferromagnetic Spin Injector	High Remnant Magnetization (>400K)	Co, Fe, Ni and alloys >50% RM 400K	LSMO T _c =350	Cu ₂ MnAl, Cu ₂ MnSi, etc.	Ga(Mn(As) T _c 195K	TiO ₂ : Co, SnO ₂ :Co, etc.
	High injection efficiency	Acceptable through Schottky Barrier and tunnel dielectric		Excellent below T _c	Excellent below T _c	Unknown: Low Carrier Mobility
	Resistance Mismatch	High Schottky Barrier	TBD	Low	Low	Low
	Ability to modulate magnetization with electric potential	No direct ability		High Coupling below T _c	High Coupling below T _c	Unknown
		Oxide Dielectrics	Other Dielectrics	Complex Metal Oxides		
Spin tunnel barrier	TMR% >1000%	MgO ~ 70% @300°K[A]	CaF ₂	LSMO/LAO/LSMO ~150% @10°K[C]		
		Al ₂ O ₃ ~ 1-20% @300°K[B]	AlN			
		Dilute Magnetic Semiconductors	Half Metals	Complex Metal Oxides (MagnetoElectric)		
Magnetolectric Switch	High Coupling of Electric Field to Magnetization	(GaMn)N: 300°K; Saturation Magnetization=3μemu [D]	None Reported	BiFeO ₃ :CoFe: Saturation magnetization >1000emu/cc[E] (300°K)		
	Operation >400K		Candidates: -Complex Metal Oxide Heterostructures (e.g. STO-LAO, etc.) -Huesler Alloys (e.g. Cu ₂ MnAl, CuMnSi, etc.)			
		Silicon	Graphene and CNTs	III-V		
Spin Torque & Transport	Spin coherence time or length	10microns; 100microseconds (85°K)[F]	Graphene: 1.5-2 microns(300°K) [G] CNT >130nm (20°K)[H]			

References for Table ERM5:

[A] Z. Diao, A. Panchula, Y. Ding, M. Pakala, S. Wang, Z. Li, D. Apalkov, H. Nagai, A. Driskill-Smith, L.-C. Wang, E. Chen, and Y. Huai. "Spin transfer switching in dual MgO magnetic tunnel junctions." *Appl. Phys. Lett.*, vol. 90, pp. 132508, 2007.

[B] Y. Huai, F. Albert, P. Nguyen, M. Pakala, and T. Valet. "Observation of spin-transfer switching in deep submicron-sized and low-resistance magnetic tunnel junctions." *Appl. Phys. Lett.*, vol. 84, pp. 3118, 2004.

[C] Y. Ishii, H. Yamada, H. Sato, and H. Akoh, M. Kawasaki, Y. Tokura. "Perovskite manganite magnetic tunnel junctions with enhanced coercivity contrast." *Appl. Phys. Lett.*, vol. 87, pp. 022509, 2005.

[D] N. Nepal, M. Oliver Luen, J.M. Zavada, S.M. Bedair, P. Frajtaj, and N. A. El-Masry. "Electric field control of room temperature ferromagnetism in III-N dilute magnetic semiconductor films." *Appl. Phys. Lett.*, vol. 94, pp. 132505, 2009.

[E] L.W. Martin, Y.-H. Chu, M.B. Holcomb, M. Huijben, P. Yu, S.-J. Han, D. Lee, S.X. Wang, and R. Ramesh. "Nanoscale Control of Exchange Bias with BiFeO₃ Thin Films." *Nano Letters*, vol. 8, pp. 2050-2055, 2008.

[F] B. Huang, D.J. Monsma, I. Appelbaum. "Experimental realization of a silicon spin field-effect transistor." *Appl. Phys. Lett.*, vol. 91, pp. 072501, 2007.

[G] N. Tombros, C. Jozsa, M. Popinciuc, H.T. Jonkman, and B.J. van Wees. "Electronic spin transport and spin precession in single graphene layers at room temperature." *Nature*, vol. 448, pp. 571-574, 2007.

[H] K. Tsukagoshi, B.W. Alphenaar, and H. Ago. "Coherent transport of electron spin in a ferromagnetically contacted carbon nanotube." *Nature*, vol. 401, pp. 572, 1999.

スピン材料の技術課題 (SPIN MATERIAL CHALLENGES)

素子実現の鍵となる材料に対する技術課題は、(1) 高キュリー温度 $T_C > 400$ K 及び高残留磁化をも持つ磁性半導体の再現性の良い作製、(2) 電氣的ポテンシャルと磁氣的配列もしくはスピン配列との間に強い結合を持つ材料もしくは構造、(3) CMOS製造工程との材料の適合性、(4) スピンと磁区物理の評価手法、である。材料の技術課題の詳細なリストはTable ERM5 に与えられる。スピン計測についての詳しい議論はERMの計測の節に含まれる。

スピン材料の特性 (SPIN MATERIAL PROPERTIES)

Table ERM5 に与えられるスピントロニクス材料に対する重要な特性は、ERD の章で議論されるように、どのような素子に応用されるかに依存する。半導体材料に基づく素子もしくは全て金属材料からなる素子の(ERD に記述されているように)作製技術がめざましく進展しつつあるという状況を鑑み、この節では以下の物理現象を呈示する材料を取り扱うことにする: (1) バスとロジックに対するスピン波伝搬と変調、(2) ロジックに対する磁気セルラ・オートマタ、(3) メモリとロジックに対するスピン偏極電子及び正孔の電界効果、である。従って、本節では以下の材料とそれら特性に焦点を置くことになる。

1. 希薄磁性半導体
 - 強磁性転移温度 (T_C)
 - T_C のサイズ依存性 – ナノ材料
 - 広禁制帯磁性ドーパ酸化物及び窒化物 (T_C)
 - III-V 族及び VI 族半導体
2. スピン注入/検出のための材料
3. スピン・トンネル障壁
4. 半導体とナノ構造
5. スピン波スピントロニクス材料
6. 磁気セルラ・オートマタ・ロジックに対する材料

希薄磁性半導体 (DILUTE MAGNETIC SEMICONDUCTORS)

強磁性半導体としても知られる希薄磁性半導体DMS (Dilute Magnetic Semiconductor)の潜在能力は、材料中のキャリア濃度を変えることによって磁性をスイッチできることにある。MnドーパされたいくつかのIII-V族化合物半導体は低温でキャリアによって媒介される磁性を示すことが確認され、MnドーパされたIV族半導体も強磁性体であることが報告されている。MnもしくはCoがドーパされた広禁制帯遷移金属酸化物も磁気的性質を示すことが報告されているが、これらの材料に対してはキャリア媒介(結合)により磁性が発現しているかの確認はなされていない。これらの多くの材料はMn及びCoのような 3d遷移金属がドーパされたIII-V族半導体であり、現在のCMOS技術による集積に適している。材料の磁気的特性は電界印加によって誘起でき、スピン配列を電気的に制御可能であることから、スピン素子への様々な応用が期待されている。しかしながら、(Ga,Mn)Asに代表されるようなこれらの材料の応用に対する最も大きな障害は、キャリア媒介の交換相互作用を持つことが確認されている材料に対するキュリー温度の報告値が室温より極めて低いことである($T_C < 190\text{ K}$)⁸⁹。半導体技術に適合し、400 K以上のキュリー温度、高残留磁化、キャリア媒介交換相互作用を持つ合金の発掘が必要とされている。

最大の技術課題は400 Kまでキャリア媒介交換相互作用を持つDMS材料を見つけ出すことにあるので、どういった因子がこの振る舞いを支配し、何をすることでこの性質を高温迄保持できるかを理解することが重要である。これまでに最も研究された化合物は、 $0 < x < 8\%$ のMn組成を持つ $\text{Ga}_{1-x}\text{Mn}_x\text{As}$ である。理論によると、Mn原子がGaAs中のIII族元素位置を置換することでアクセプタとして働き、主として構成元素のp軌道からなるスピン偏極した局在アクセプタ準位を誘起する。雲状のアクセプタ準位が近くのMn原子と重なった際に強磁性が発現する⁹⁰。他のIII-V族化合物に対しては、より高温で強磁性を示すことが報告されているものの、磁性がキャリア濃度によって制御可能かどうかは確認されていない。940 Kのキュリー温度が(Ga,Mn)Nに対して報告されているものの(T_C Table参照、【訳者注:英語版で設けられていた T_C Tableへのリンクは削除した】)、この材料に対するモデリングは、アクセプタ準位の局在性が極めて強いいためキャリア媒介による強磁性ではないことを示唆する。これらの材料の磁性は析出物、第二相合金、ナノスケールのクラスタに起因する可能性があるため、それらの存在を除外することが重要である。350 K以上のキュリー温度を持つ均質なGaNベースのDMSの成長には更なる研究が必要とされている。

遷移金属(例えばMn, Co)をドーブしたIV族半導体(Si及びGe)は強磁性的であり、成長条件によりキュリー温度が変化することが報告されている^{91,92}。MnGe DMSのようなIV族材料の強磁性の起源に対しては、意見の食い違った報告が為されている⁹³。最近の研究は、Ge及びSiを置換するMnドーピング量の増加によりキュリー温度が増加することも予言している。格子置換するMnドーピング量の増加は同時ドーピング、即ちMnドーピング過程においてAsもしくはPのような慣用的なn型ドーパントを付加することによって、実現できるだろう⁹⁴。強磁性転移温度は、III-V族系と同様に格子置換位置Mn量に対する格子間位置Mn量の比に関連することを、理論と実験の両方が示している^{90,95}。GeMnナノワイヤは室温強磁性を示すことが報告されている⁹⁶。モデリングはこれらの結果を支持するものの、キャリア媒介の交換相互作用の実験的な確証は未だ無い。III-V族材料と同様に、強磁性的性質が析出物、第二相合金、ナノスケールのクラスタから生じている可能性があり、やはりこれらの寄与を排除することが重要である。

遷移金属がドーブされた酸化物半導体は室温以上で強磁性であるとの報告が為されているが、それらは低い残留磁化を持つ。磁性がキャリア濃度によって変調できるかどうかは明らかではなく、キャリア移動度も低い。これらの材料に対する強磁性(FM)秩序の現在の理解は、(III,Mn)V材料に対するものには到底及んでいない。広禁帯酸化物母体半導体の強いイオン性は、希薄磁性系でFM秩序を発現させるのに必要とされる長距離相互作用が、高濃度のドーパント原子(~1-10%)により生じる広い不純物帯によってもたらされることを示唆する⁹⁸。実験結果は、FM秩序はnもしくはp型の電気的特性に関連することも示唆している。Mnドーピングはp型ナノ結晶において強磁性を発現し(n型では発現しない)、Coドーピングはn型材料において強磁性を発現する(p型では発現しない)^{99,100}。単結晶膜に対する実験から、室温におけるCo:ZnO、Mn:ZnO^{101,102}とCr:O₂O₃¹⁰³のFM秩序は電子濃度に強く依存することが報告されている。モデリングはCo:ZnO¹⁰⁴とCr:In₂O₃¹⁰⁵に対する高いキュリー温度を支持する。キャリア・ドーピングにより酸化物の磁性の変調が可能であることが示されているものの、電界印加による磁性の変調についての実証例はない。また、酸化物のキャリア移動度は低く、スピン輸送に対しての応用を制限することになるだろう。

まとめると、III(Mn)-V材料は200 K以下でのみキャリア媒介の交換相互作用による強磁性を示す。IV族(Ge)材料と遷移金属がドーブされた酸化物は室温において低い残留磁化(< 10%)を持ち、電界印加によるキャリア媒介交換相互作用の変調は確認されていない。従って、材料技術の革新と改善が必要とされており、DMSに対する現時点での理解も不十分である。材料作製の再現性と第二相の制御と抑制については引き続き主要な技術課題となる。理論と数値モデリングはDMS化合物における電子構造と電気輸送のデザインに対するいくつかの指針を与えてはいるものの、結果は推論の枠を越えていない。経験的モデルに対するパラメータを確立するためのベンチマークとして準粒子自己無撞着GW近似^{106,107,108}もしくは高度な第一原理ハミルトニアンといった手法がモデルをより信頼できるものとするために必要とされるだろう。

スピン注入材料 (SPIN INJECTION MATERIALS)

スピン注入材料の目的とする所は、半導体への高スピン偏極した電流の注入である。これは元々高いスピン偏極を持つ材料を用いることで、もしくは“スピン・トンネル障壁”において議論されるように隣接する半導体もしくはトンネル障壁と整合するバンド対称性を用いることによって達成される。

スピン注入コンタクトに対して用いられる材料はいくつかの基本特性を備えてなければならない。

- (a) 強磁性的であり、400 K を越えるキュリー温度を持つこと。
- (b) 大きな容易軸方向の残留磁化を持つこと、すなわちゼロ磁界で飽和磁化の少なくとも 50%の残留磁化を持つこと。
- (c) 注入電流に高スピン偏極を供給し、半導体中に高スピン偏極を生成できること。
- (d) 隣接層との界面が熱的に安定であり、素子製造工程において FM 特性が損なわれないこと。

(a)と(b)の要求はフィールド・リプログラマブル・ゲート・アレイ、ロジック・エレメント、メモリのような応用に要求さ

れる不揮発なリプログラマブル特性を与える。一般に、スピン注入コンタクト材料は特に半導体やトンネル障壁に対して選択されて作製される必要がある。

大きく分けて、三つの材料系がスピン偏極注入に用いられる。強磁性金属、ハーフ・メタル、強磁性半導体である。各々は異なる技術課題を持つ。

- 1. 強磁性金属(FMMs)** — Fe, Co, Niとそれらの合金のような従来のFMMsは磁気記録産業において良く知られているもので、要求(a)と(b)を満たすことは自明である。FMMと半導体の間の大きな電気伝導率の不整合のため、効率の良いスピン注入を可能にするためにはトンネル障壁の挿入を必要とする。これは逆バイアスのショットキ・コンタクトを利用したり、別に金属酸化物層(例えば Al_2O_3 , MgO 等)を挿入することで形成できる。いくつかのFMMは半導体及びトンネル障壁に対して要求(c)を満たすことが示されている。例えば、効率の良い電氣的スピン注入は次の系に対して示された: $(\text{Fe,FeGa})/\text{GaAs}$ (001)ショットキ障壁、 $(\text{Fe,FeCo})/\text{MgO}/\text{GaAs}$ (001), $(\text{Fe,FeCo})/\text{Al}_2\text{O}_3/\text{GaAs}$ (001), $\text{Fe}/\text{Al}_2\text{O}_3/\text{Si}$ (001), Fe/ZnSe (001)ショットキ障壁に対してである。熱安定性(要求(d))は懸案事項であり、素子製造の際の熱的行程における調査と制御を必要とすることになるであろう。遷移金属プニクタイト(例えば MnAs)及びシリサイド(Fe_3Si , CoSi)のようなFMMをスピン注入コンタクトとして用いた場合にも好結果が得られている。例えば、 MnAs は GaAs (001)に対して良好なスピン注入特性を示す。しかし、そのキュリー温度が低いため要求(a)を満たすことができず、要求(d)はかろうじて満たすことができるといった程度である。 Fe_3Si は GaAs 及び Si に対するスピン注入コンタクトとして用いられ、 Fe_3Si と Si の安定な界面の生成技術においては著しい進展がある¹¹⁰。最近になって、 AlN 上に成長した Fe_4N に対して比較的高いスピン偏極率(約 60%)が実験的に観測されており¹¹¹、 Fe_3Si と Fe_4N は全ての要求(a)~(d)を満たす候補となる材料となることが期待される。他のプニクタイトやシリサイドも有望であろうが、現時点では未だ実証されていない。
- 2. ハーフ・メタル** — ハーフ・メタルはフェルミ・エネルギーにおいて片側のスピン・チャネルに占有状態がなく100%スピン偏極した材料であるため、スピン注入コンタクトとして魅力的である。一般的に、ハーフ・メタルは要求(a)と(b)を満足する。原理的に、100%スピン偏極した金属は、半導体との電気伝導率不整合の問題を回避するためのトンネル障壁コンタクトを必要としない。しかしながら、ハーフ・メタルのスピン偏極率は欠陥に敏感なので(比較的低濃度の格子欠陥が急激にスピン偏極率を減少させる)、ハーフ・メタルとされる材料も室温から400 Kの温度範囲では他のFMと同様のスピン偏極率~50%しか示さない。また、半導体との界面における欠陥も理想的なものからスピン偏極率を大きく低減させる原因となっている。半導体(GaAs)への期待される程ではない電氣的スピン注入が報告されているのみで、ハーフ・メタルは未だ要求(c)を満足していない。要求(d)は大きな技術課題となるだろうが、2, 3の注意深く作製されている系はスピン注入材料として適したものになるかも知れない。
- 2. 強磁性半導体(FMS)** — FMS (Ferromagnetic Semiconductor)は半導体と磁石の性質を同時に持つ材料である。半導体であるので、電気伝導率不整合の問題は無く、素子設計も半導体バンド・エンジニアリングの標準原理に従う。殆どの金属とは異なり、FMSは他の半導体上に容易くエピタキシャルに成長可能であり、複雑なヘテロ構造に組み入れることができる。“希薄磁性半導体”の節に記載されたように、FMSは一般に室温より極めて低いキュリー温度を持つ(< 200 K)。従って、FMSは要求(a)を満足しない。これに関しては、“希薄磁性半導体”の節で議論されたように、現在研究中ではあるもののいくつかの例外はある。

スピン・トンネル障壁 (SPIN TUNNEL BARRIERS)

強磁性(FM)金属と半導体の間の電気伝導率の大きな差が効率の良いスピン注入を阻害する。半導体は上向きスピンと下向きスピンの両方を等量受け入れることができ、両方のスピン・チャネルが低い電気伝導率を持つためである。結果として、FMのスピン偏極率の大小に関わらず、半導体中のスピン偏極率は実質ゼロとなる。この“電気伝導率不整合”の問題を解決するために、電流を制御する直列抵抗の中で界面抵抗が最大になる必要があり、更に界面でのスピン選択性を必要とする。トンネル障壁が両方の必要性を満足する。

FM金属から半導体への安定したスピン注入は Fe/GaAs 界面に形成された逆バイアスのショットキ障壁を用いて

初めて実証された¹¹⁶。トンネル障壁を形成するために、半導体の表面領域はヘビーにn型にドーピングされ空乏層幅は極めて狭くなるように設計されている¹¹⁷。GaMnAs中で達成された電子スピン偏極率は60-70%である¹¹⁸。

標準的なトンネル障壁は薄い(~ 1 nm) Al₂O₃といった金属酸化物であり、金属系のスピン依存トンネル接合(例えばFe/Al₂O₃/FeCo)で当たり前に用いられている。トンネル障壁は薄く、きちんと制御された膜厚を持ち一様に金属層と半導体層を分離するように形成される必要があるが、その形成の再現性に難を持つ場合がある。アモルファスとして堆積されたアルミナ・トンネル障壁はAlGaAs/GaAs、InAs、Si、グラフェンへの金属からの電気的スピン注入に用いることが可能で、半導体中での高いスピン偏極率が実現されている。SiO₂やHfO₂のようなhigh-k材料といった他の酸化物もSiへのスピン注入に対して有望視されている。結晶化したMgOはFe/MgO/GaAs、CoFeB/MgO/GaAsヘテロ構造でのトンネル障壁として成功を収めている。

トンネル障壁がアモルファスではなく結晶質のものであるなら、バンド対称性、特にFM金属とトンネル障壁中のバンドの軌道成分(s, p, d)の対称性が半導体へのスピン注入の効率を決める重要な役割を果たすことを理論は予言する^{121, 122}。Si, Ge, III-V族化合物半導体のような興味ある半導体の伝導帯、Feの多数スピン・バンド、MgOトンネル障壁中の伝搬状態は全て σ_1 バンドである。従って、理論上Feの多数スピン電子はFeから半導体に効率良く透過し^{123, 124, 125}、理想的な場合には99%を越えるスピン偏極率が予言される。Feショットキ障壁とFe/MgOトンネル障壁からの電気的スピン注入によりGaAs (001)中で達成されたスピン偏極率は、上のバンド対称性の条件を満たしていることによるものと考えられる。大きなトンネル磁気抵抗(TMR: Tunnel Magnetoresistance)効果もMgOをトンネル障壁とした接合において得られている¹²⁶。しかしながら、観測されているTMR比は理論値よりも桁違いに小さい。(1) バンド・エネルギー配列、(2) 横運動量が同一値の際のエネルギー配列、(3) 金属と半導体の界面において形成されるショットキ障壁、(4) 界面で生じるスピン緩和等のスピン注入に影響する他の要素が存在するためである。

スイッチング応用に対して重要な磁気トンネル材料の過渡応答が広く研究されている。金属-絶縁体-金属(MIM)トンネル接合に対して、500 ps以下の応答が200 ps以下の分解能を持つX線磁気円二色性(XMCD)を用いて得られている¹²⁷。金属スピン・バルブにおけるこのX線イメージングは、二つのスピン・トルク・バルブ・スイッチング過程があることを明らかにした: ボルテックスの形成を伴う過程とスピン・トルク単独の過程である¹²⁸。小さな試料は、試料内でボルテックスの形成が伴わないスピン・トルク・トランスファ・スイッチング過程へ発展するカオス状の振る舞いを示した。モデリングは、両方の機構が磁化のスイッチングに必要であるだろうことを示唆している¹²⁹。トンネル接合におけるカオス状の過程がスイッチング速度を制限するのであれば、この過程がスピン・トンネル障壁を用いた素子の動作速度を決めることになるだろう。

半導体及び半導体ナノ構造でのスピン輸送

(SPIN TRANSPORT IN SEMICONDUCTORS AND THEIR NANOSTRUCTURES)

半導体中にスピンが注入された後で、いくつかの素子に対しては、スピンが輸送、操作、検出される前にコヒーレンスを失わないことが重要である。半導体中のスピン輸送に関する研究は、GaAsのようなIII-V族の直接遷移半導体で行われた。スピン偏極に依存する光学吸収/発光の分光計測は容易い上に、キャリアのスピン偏極とダイナミクスに対する直接で定量的な知見を与えるからである。low-Z (弱いスピン-軌道相互作用)を持つIV族半導体に対して予期されるスピンの長寿命は、スピン角運動量を用いることを魅力的なものとしている。FM金属コンタクト(例えばFe, CoFe)からSiへのスピン偏極キャリアの電気的スピン注入と検出によるスピン輸送が実証され^{130, 131}、30%もしくはそれ以上の電子スピン偏極率が報告されている。縦型輸送配置での純スピン流及び横型輸送配置でのスピン偏極電流の磁界誘起のコヒーレント歳差運動が示されている^{132, 133}。これらの結果を総じてみると、可変状態として電荷ではなくスピンを用いて、情報の供給、演算、読み出しが可能であることを示していることになる。しかしながら、接触抵抗によって生成される熱雑音があるため、上述の結果はすべて低温において得られたものである。Si中の空乏層幅を制御することで、接触抵抗を低減する工夫が為されている¹³⁴。

グラフェンは、室温において磁気抵抗効果を示し、これまでに研究された他の半導体より優れたスピン輸送特性を示す¹³⁵。InAsからGaN、そしてSiを含む他の半導体材料もしくはナノ構造において、室温でのスピン輸送は未だ観測されていない。

低次元材料であるCNTsはスピン輸送材料として魅力的である。低次元性は高温(> 70 K)でのスピン-軌道相互作用によるある種の散乱機構を抑制し、結果としてスピン寿命を長くする。低温においてではあるが、磁性金属コンタクトからCNTへのスピン注入が報告されている。信頼性のあるコンタクトと再現性のある結果を得ることが引き続きの技術課題となる。いくつかの実験グループが半導体のナノワイヤに対する研究を進めているが¹³⁶、現時点ではスピン注入と輸送に対する結果は多くない。

スピン波スピントロニクス素子のための材料 (MATERIALS FOR SPIN WAVE SPINTRONICS)

スピン波ロジック回路を構成するための主要な技術課題は、高効率のスピン注入、検出、導波路中でのスピン波の変調である。これを実現可能なものとするためには、効率の良いスピン波発生器、スピン波変調器がスピン波導波路上に集積されなければならない、そのため材料間の界面の最適化が必要となる。現時点で、磁気変調器に関する研究はスピン・バルブ/磁気トンネル接合もしくはマルチフェロイック材料を用いて行われている^{137, 138}。本節ではマルチフェロイック材料を用いた効率の良いスピン波導波路とスピン波変調器の作製に必要とされる材料特性について議論する。

最適化されたスピン波導波路の作製に必要とされる基本的性質は、高い飽和磁化(~ 10 kG)、低保磁力(数十エールステッド)、低減衰時間(少なくとも 0.5 ns)である。スピン波バスに対して用いられる現時点で最も知られた材料はスパッタ製膜による NiFe, CoFe, CoTaZr といったソフトな強磁性金属伝導膜である。これらの強磁性金属は高飽和磁化(約 10 kG)と室温より高いキュリー温度(Ni 627 K, Fe 1043 K, Co 1388 K)を持つ。これらの材料を用いるもう一つの利点は、シリコン・プラットフォームとの整合性である。スピン波素子のプロトタイプはイトリウム・鉄・ガーネット(YIG)のようなフェライト材料を用いて作製されている。シリコン基板上にナノメータ厚の均一なフェライト材料を実現することが技術課題である。

スピン波導波路上にマルチフェロイック構造を如何に集積するかを示した理論モデルは存在するものの¹³⁸、実験的実証は為されていない。マルチフェロイック材料に対する主要な二つの要求がある: (i) 顕著な電気-磁気結合(単位: V/cm Oe)、(ii) 速いスイッチング速度、である。導電材料と絶縁材料の両方がスピン波を用いた論理素子に用いられる。それらは単相マルチフェロイック材料(例: BiFeO₃ 7 mV cm⁻¹ Oe⁻¹)でも、ピエゾ材料と強磁性材料からなる複合(二相)マルチフェロイック(例: PZT/NiFe₂O₄ (1,400 mV cm⁻¹ Oe), CoFe₂O₄/BaTiO₃ (50 mV cm⁻¹ Oe⁻¹), PZT/Terfenol-D (4,800 mV cm⁻¹ Oe⁻¹))でも良い。二相複合構造は単相系よりも約 3 桁大きい磁気-電気結合係数を示すが、単相マルチフェロイック系の方が速いスイッチング速度を持つ。実験的に単層マルチフェロイック系は約 100 ps (10 GHz)のスイッチング時間を持つことが示されているが、複合マルチフェロイック構造においては 1 ns (1 GHz)程度である。

材料選択に対する上記のアプローチは、スピン波バスもしくは干渉計を用いたスピン波多数決論理素子を作製するために必要とされるものである¹³⁸。

磁気セルラ・オートマタのための材料 (MATERIALS FOR MAGNETIC CELLULAR AUTOMATA)

ロジックのための磁気セルラ・オートマタはセルラ配列に配置された強磁性アイランドを用いるもので、隣接する磁気ドット間の磁界相互作用によって局所的通信を行う¹³⁹。以前の研究において、30-50 nm厚のアイランドからなる直径 100 nmのドットがパーマロイ及びスーパマロイから作られている¹⁴⁰。一つのMCAの状態は他のMCAから生成される磁界によって変えられるので、技術課題は多数のMCA間での信頼性ある通信である。二

軸の結晶磁気異方性を伴う磁性材料を用いることが一つの選択肢である。矩形のナノ磁石が困難軸方向に沿って磁化している時、二軸異方性はメタステーブルな状態を与え¹⁴¹、スイッチングの信頼性を改善する。そのような二軸異方性を持つ材料系として、単結晶Cu基板上的エピタキシャルCo¹⁴²、GaAs上のエピタキシャルFe¹⁴³、Si上のエピタキシャルCo/Cuが知られている¹⁴³。

他の材料で磁石を包むことで透磁率を増やすことが、MCAの磁束密度を上げるための一つの手法である。この効果はMRAMで実証され、電流の増加なしにword/bit線の磁界強度を増加するために、磁性ナノ粒子の埋め込みにより大きな透磁率を示す誘電体を用いられた¹⁴⁴。提案された材料系により2から30倍、透磁率が増加する。さらに、磁性粒子のサイズが超常磁性極限のサイズ以下であるので、セルの磁気状態に大きな影響を与えないことも保証される。

これらのアプローチは面内磁化を持つ磁気アイランドを用いたものであるが、垂直磁化を持つコバルト-白金多層構造のような積層構造を用いることも可能である。最近の研究において、集束イオン・ビームで加工されたCo-Pt多層膜に対して、磁気結合した垂直磁化を持つ単磁区アイランドが実証されている¹⁴⁵。

磁気-電気結合(マルチフェロイック材料) (MAGNETOELECTRIC COUPLING(MULIFERROICS))

電界と磁気配列との結合はスピンを用いたメモリやロジックにおける重要な性質であり、電気-磁気マルチフェロイック材料はそれに対する潜在能力を秘めている。興味ある材料は磁気-電気結合を有する強誘電体と磁性体(強磁性体もしくは反強磁性体)である^{146, 147}。電氣的秩序と磁氣的秩序に結合があると、磁界による電気分極制御、電界による磁化制御といった相互制御が可能になる。最大の技術課題はロジック動作に対する動作電圧の低減となるだろう。

BiFeO₃は、反強磁性体と強誘電体の性質を持ち、400 K迄高電気分極を保持する唯一の(既知の)化合物である。薄膜の結晶構造は単斜晶であるが、バルクでは菱面体晶である。(100)方向に沿った強誘電分極は~50-60 μC/cm²である¹⁴⁸。この大きな値は歪みによって誘起されるものと元々は考えられていた。しかし、高品質の単結晶も(001)面と垂直方向に60 μm/cm²といった薄膜と同程度の分極値を有する¹⁵¹。強誘電分極値とその値が歪みにあまり依存しないことは、第一原理計算によって予測されている¹⁵²。薄膜において強磁性が強まることも報告されているが¹⁴⁸、その微視的起源は明らかではなく更なる研究を必要としている。磁気モーメントの増強に対する歪み及び磁壁の役割に対する理解も必要とされている。

単結晶^{153, 154}及び薄膜¹⁵⁵のBiFeO₃では反強磁性的磁区の電氣的制御が実証されている。電気分極の方向を71°もしくは109°スイッチすることで磁化容易面方向が変化する。電界による反強磁性の制御は、交換バイアスを介して、電界による(例えばMRAMの磁気情報読み出しに対する)磁性の制御への道筋を与える。CoFeB^{156, 157}もしくはCo_{0.9}Fe_{0.1}¹⁵⁸のような強磁性体と反強磁性体BiFeO₃の間の交換バイアスは既に示されている。交換バイアスは強磁性体のヒステリシス・ループのシフトをもたらす。保磁力H_cは強誘電体のドメインの大きさに依存する¹⁵⁷。交換バイアスを利用した強磁性層(Co)の磁化の電氣的スイッチングは最近になって報告されており、スピントロニクスにおけるBiFeO₃の応用の可能性を示した大きなブレークスルーである。

マルチフェロイック膜の強磁性体でありかつ絶縁体であるという性質はスピン・フィルタのデザインに利用できる。La_{2/3}Sr_{1/3}MnO₃電極とAu電極の間にBiMnO₃もしくは(Bi,La)MnO₃の薄層を挿入することで、各々に対し22%と36%のスピン・フィルタリング効率が測定されている。絶縁障壁の強磁性と強誘電性とを併せることで、トンネル電流を電氣的にも磁氣的にも制御することが可能となり、この現象は4状態メモリ素子に利用できる¹⁶²。ここで示したことは、マルチフェロイック材料の多機能性に対する潜在能力を示すブレークスルーである。

単相マルチフェロイック化合物は、特に室温の動作に対して特性が不十分であり、磁気-電気マルチフェロイック

ク材料を設計するためには二相系を用いるなどの策を要する。二相系として、強誘電化合物と強磁性化合物を組み合わせた多層構造、もしくはマトリクス中にナノピラーを埋めた複合構造がある^{164, 165}。各化合物はその機能性に対して最適化できる。間接的な磁気-電気結合効果は電氣的オーダ・パラメータと磁氣的オーダ・パラメータの間の歪みを媒介とした結合から生じさせることも可能である。強誘電体BiFeO₃母体中に埋め込まれたCoFe₂O₄ナノピラーに対して、電氣的に誘起される磁化反転が報告されている¹⁶⁵。

界面とヘテロ界面 (INTERFACES AND HETEROINTERFACES)

これらの材料を用いて作製されたすべての素子の特性は高品質な界面を持っているかどうかによって依存し、その際に重要視される特性は何に應用されるかに依存する。スピン・トンネル障壁に用いる場合、界面は多数スピン・キャリアを散乱してはならない。スピン輸送に用いる場合は、界面はスピン位相緩和を生じさせないようにスピンを鏡面反射する必要がある。

分子デバイス用材料 (MOLECULAR DEVICE MATERIALS)

分子状態を用いるエレクトロニクスの問題点は以下の4項目である。①低バリアコンタクトの形成、②高信頼性動作、③「オン」状態における高抵抗、④分子状態を変えずに堆積できるトップコンタクト形成技術。分子状態の変化を用いるデバイス(注1)は、非線形電流-電圧特性やバイステイブルな特性などの有用な特性を示すが、現在研究されている多くの分子を基本とするデバイスの特性は各々の分子と電極間のコンタクトにある高いポテンシャル障壁や、欠陥のような過程に支配されているように見える。たとえば、電氣的スイッチングの原因は、分子とコンタクトの構造変化や最近接原子との相互作用によると示唆される^{166,167}。一方で、分子デバイスの高い抵抗が問題である。たとえば、短い一次元共役分子で、たとえばBPDN-DTのような2nm程度の長さの分子は、「オフ」状態で数GΩ、「オン」状態で数100MΩの抵抗を示す¹⁶⁸。直径が1~2nm程度であるから、この抵抗は1GW/m²というとても高い消費電力になる(注2)。これに対する解決策は分子を超電導エレクトロニクスの一部として使うことである。このようにすれば、共役していない高抵抗なDNA螺旋でも超電導が誘起されるだろう¹⁶⁹。他の注目すべき例はGd:C82の二量体がトラップされた2nmのナノブリッジである。近接効果により二量体中に超電導が誘起され、電子の電導はGdイオンのスピン状態に敏感になる。これが分子スピントロニクスの一例である¹⁷⁰。技術的にも理論的にもまだ不明な点は多いが、こういったシステムは分子デバイスの特性ばらつきを減らし、超高密度回路を実現するであろう。

分子状態のコンタクトとその材料

(MOLECULAR STATE CONTACTS AND CONTACT MATERIAL)

信頼性の高い分子スケールのデバイスを作製するには、高品質な電氣的コンタクトを実現する、分子と基板のコンタクトならびにトップコンタクト材料と手段を明確にする必要がある(注3)。結合双極子から分子配向までの様々なパラメータにより、電荷輸送パラメータやスイッチング電圧が影響される。分子と基板ならびにトップコンタクトの構造と電子的な特性を明らかにする研究が必要であり、それにより信頼性の高いコンタクトを実現できる。

これまでの研究は、分子のHOMOとコンタクト材料のフェルミレベルを揃えるために基板材料の仕事関数を調整することに注力されてきた。多くの分子システムはコンタクトバリアを低くするπ電子レベルを持つ。分子構造、分子共役、置換基などの影響が検討されてきたが、電子輸送に対する影響を制御する研究はまだ初期段階である。これまでの殆どの研究は金基板上にチオール基(硫黄原子)を接続するナノスケールのボトムコンタクトに注力してきたが、これは適当な電子特性を持つとは言い難い。最近の研究では分子のコンタクトを変えることは、深いレベルにある価電子準位が合致することに大きな影響があるということが分かってきた。isocyanide、cyanide、dithiocarbamate、dithiol、alcoholなど新しい分子コンタクト材料の開発により、金属や半導体への安定で再現性が良く低バリアなコンタクトが実現できる。

深いレベルにある価電子準位が合致することには仕事関数が大きな影響を及ぼす。金属の仕事関数が新しい分子コンタクトに及ぼす影響を調べるために、分子モデル、合成、実験が必要である。

原子スイッチ材料 (Atomic Switch Materials)

原子スイッチは酸化／還元過程で動作するが、金属原子が2つの異種金属電極間を動いて架橋する。銅のような金属原子と硫黄原子が材料である¹⁷¹⁾。nanoionicメモリーと同様なメカニズムに見えるが、動作メカニズムと信頼性を決めるような研究が必要である。

(訳注)

(注1) 分子デバイスに、molecular state device, molecular device, など種々の名称を付けているが、その意図は不明。前者は分子の電子状態を使う

(注2) 1GW/m²の電力: 分子デバイスの寸法が小さいことを考えると、同一機能の半導体システムと同様な消費電力密度になり、更に低電圧化で電流値を小さくできることから、システム当たり消費電力は同じ機能の半導体の3桁以上省電力化可能と見積もれる。また、超電導電子はコヒーレンス長以上は浸み出しができないと考えられるので、ギャップは1~2nmが精々で長い絶縁体は超電導にはできない。

(注3) 恐らくこの筆者は分子デバイスの構造が2端子で、一方が基板に接続した垂直配置になっており、分子を基板上に垂直に配列後上方のコンタクトを形成することを念頭に置いている。水平方向に分子配置すれば課題は半減する。

新探究メモリ用材料(Emerging Memory Materials)

新探求メモリとして検討すべき対象は、キャパシタンス変化型メモリ(FE FET, FeRAM)と抵抗変化型メモリに分類される。そして、抵抗変化型メモリとしては、ナノ電気機械式メモリ(nanoelectromechanical)、スピン転送トルクメモリ(spin transfer torque MRAM)、有機高分子膜メモリ(macromolecular)や分子メモリ(molecular memories)、電子効果(electronic effects)、ナノサーマル(nanothermal)、ナノイオニックメモリー(nanoionic memories)があげられる。メモリに用いられている材料は、カーボンナノチューブ、ナノワイヤ、複合金属酸化物、遷移金属酸化物、磁性材料があり、これらの材料からなる構造制御界面もまた構成要素としてあげられる。メモリ用新探求材料における可能性と課題を表6にまとめた。その中の多くが複合金属酸化物と遷移金属酸化物を用いていることから、酸化物材料に関しては別の節を設けた。

Table ERM6 ERM Memory Material Challenges

Application	Material	Potential Advantage	Key Challenges	Goal/Target	Status
Ferroelectric FET	Complex Metal Oxides		Interface with silicon - defects at interfaces - compatibility with silicon	Dit<1E11cm ⁻² data retention 10 years at 55°C cycling endurance 1E5 write choice of gate first/gate last for processing with regarding thermal	
			Depolarisation field - control of charge trapping		
			Memory retention time and fatigue - choice of metallic electrode		
Nanoelectromechanical Memory	Carbon Nanotubes or patterned thin film structures	High on/off ratio	Stiction required for a stable state requires high voltage for switching.	Operation below 1V Cycling endurance 1E5 write >1E9 cycles	
			Contact reliability due to frictional wear in switching		
			Scalability		
			Reliable operation		
STT MRAM	Ferromagnetic Metal: Co-Fe	High remnant magnetization	Scaling the etch process to small dimensions without shorting the tunnel barrier	TBD	MgO~70%
	Tunnel Barrier: MgO	High spin selectivity	Identifying a tunnel barrier with higher spin selectivity	TMR>1000%	
	Pinning Layer: Complex Metal Oxide		Low leakage passivation of tunnel barrier: stable through 1E5 Write Cycles	<10% increase in 1E5cycles	
Macromolecular Memory	Polymer	Low Cost	Reliable switching mechanism	1E5 Cycles	>1E6 cycles
	Metallic Nanoparticles		Determine the scalability of charge storage with nanoparticle size		
Molecular Memories	Molecules	High Density	Reliable switching mechanism	1E5 Cycles	~2E3 cycles
	Contact metal		Deposition of the top electrode without changing the molecule	TBD	
			Contacts that don't migrate in the applied fields	No metal migration	
Electronic Effects Memory					
Charge Injection and Storage	Transition Metal Oxides: e.g. Cu ₂ O	Scalability	Determining the charge storage mechanism, its scalability and long term reliability		
	Complex Metal Oxides: e.g. Pr _{0.7} Ca _{0.3} MnO ₃	Nonvolatile	Determining the charge storage mechanism and its scalability Understanding the role of vacancies and reproducibly controlling their concentration		
Mott Effect Memory	Complex Metal Oxides and Transition Metal Oxides: e.g. Nd _{1-x} Sr _x MnO ₃ and VO ₂	Scalability and nonvolatility	Determining whether the electronic transition can reversibly occur with or without the first order structural phase transition. Determining the thermal control required for reversible operation		
FE Barrier	Complex Metal Oxides: e.g. BaTiO ₃	Scalability and nonvolatility	Developing reliable reproducible interfaces between the tunnel barrier and the FE. Determining whether this transition can reproducibly occur in polycrystalline material		

End of Electronic Effects Memory					
Nanothermal Memory	Chalcogenides (GeSbTe, etc.)	Lower switching energy than thin films Higher thermal resistance	Mechanism to decrease power for thermal switch Growth of the nanowires with controlled diameter		
	Transition metal oxides	Scalability and nonvolatility	Determine the relationship between the material-related process (e.g. deposition, etching processes) and the reliability of the memory performance (e.g. endurance, retention) Determine scalability and reliability of the technology	Cycling endurance 1E5 write	>1E9 cycles [A] Retention >10 yrs at 85°C
Nano Ionic Memory	Complex Metal Oxides	Scalability and nonvolatility	Improve the stability of the electrochemical reaction		
			Mechanism to decrease required power for the electrochemical reaction		
Reference for Table ERM6					
[A] Z. Wei, Y. Kanzawa, K. Arita, Y. Katoh, K. Kawai, S. Muraoka, S. Mitani, S. Fujii, K. Katayama, M. Iijima, T. Mikawa, T. Ninomiya, R. Miyana, Y. Kawashima, K. Tsuji, A. Himeno, T. Okada, R. Azuma, K. Shimakawa, H. Sugaya, and T. Takagi, R. Yasuhara, K. Horiba, H. Kumigashira, and M. Oshima. "Highly Reliable TaOx ReRAM and Direct Evidence of Redox Reaction Mechanism." <i>Tech. Dig. Int. Electron Devices Meet.</i> , 2008, pp.293-296, 2008.					

強誘電体 FET (FE FET)

強誘電体FET (FeFET)は、ゲート酸化物として用いた強誘電体薄膜の分極が安定に 2 値をとることを利用してメモリである。FeFETにおける不揮発性メモリとしての主な課題は、状態保持時間が短いこととシリコンと強誘電体界面における電荷トラップである¹⁷²。HfO₂ や Hf-Al-Oのような誘電体層をシリコンと強誘電体層の間に挿入することによって、状態保持時間特性が劇的に向上することが知られている。FeFETへの材料学的な要求は、従来型FRAMのそれとは異なる。残留分極P_rが小さいことが求められ、そうであるが故にYMnO₃ (P_r ~5.5 μC/cm²)がこの応用に適していると考えられている。一方、最近の報告によれば、Pt/SrBi₂Ta₂O₉/Hf-Al-O/Si積層構造を用いて良好な特性が得られている¹⁷³。

ナノ電気機械式メモリ (Nanoelectromechanical Memory)

ERD の章でも述べたように、カーボンナノチューブやその他のナノ構造体が、このナノ電気機械式メモリ用途

に向けた研究の対象となっている。このメモリは、宙吊り、あるいは自由端の構造物が物理的に移動すること、すなわち外場を印加することによって構造物が動き、絶縁されたギャップを電氣的に接続したり、その接続を切ったりすることによって動作する。このメモリ素子を集積化するとともに、片持ち梁がどちらか一方の電極に接続したまま離れないようにするなど、数多くの解決すべき課題がある。スイッチ時間は 10~100 ナノ秒であるが、微細化によって更にその高速化が進むと考えることは難しい。

スピントルクメモリ (*Spin Torque Transfer MRAM*)

このメモリは、磁化の向きをスイッチできる巨大磁気抵抗材料の積層構造から出来上がっている。(訳者注: Giant Magnetoresistive ではなく、Tunnel Magnetoresistive と記載すべき。)より具体的には、反強磁性体との交換結合により磁化の向きが固定されている強磁性体層と、スピン選択機能を持つ絶縁体層、そして磁化が反転することの出来る強磁性体層から構成されている。これらの材料の持つ可能性については、beyond CMOS デバイスの節で記載される。これらのメモリデバイスは、強磁性体金属(強磁性体金属の節も参照のこと)、反強磁性交換結合膜(マルチフェロイック材料の節も参照のこと)、そしてトンネル接合(トンネル障壁層の節を参照のこと)から構成されている。正電圧方向にスピン偏極電子を流した際に磁化反転がなされ、負電圧方向に逆向きに電流を流すことによって磁化の向きが元通りになる。この技術を適用するにあたっての課題は、現時点における実用レベルの電流密度では、磁化反転を起こすために必要なスピントルクを得られないことにある。

有機高分子膜メモリ (*Macromolecular Memories*)

有機高分子膜メモリは、導電性成分を含有したポリマーが 2 つの電極に挟まれた構造からなる。新探求デバイス ERD のメモリの節で記載したように、導電性成分としては、金属薄膜、金属粒子、C60、有機金属高分子やその他のナノ材料があげられる。重要な課題は、電荷保持動作起源の解明と、その信頼性や微細化可能性について明らかにすることである。

分子メモリ (*Molecular Memories*)

Beyond CMOS 分子デバイスの節を参照のこと。

電子効果メモリ (*Electronic Effects Memory*)

このメモリの動作機構としては、電荷捕獲、モット転移、強誘電体障壁層効果があげられる。そして、そのどの場合においても、複合金属酸化物あるいは遷移金属酸化物がメモリ構造に用いられている。

電荷トラップ (*Charge Trapping*)

ERD の章でも前述の通り、Fowler Nordheim トンネル効果によって注入された電荷が、誘電体の欠陥あるいは導電性ナノ粒子に捕獲されると、その結果として誘電体自身のトンネル抵抗が変化する。この類のメモリにおける重要な課題は、スイッチ動作の信頼性である。電荷が輸送される際に、電氣的な欠陥を同時に誘起してしまうからである。電界印加により、用いられる酸化物に依存して、陽イオン、陰イオンの空孔が形成され、そして電界印加によりそれらが移動する。

モット転移 (*Mott Transition*)

新探求デバイス章におけるメモリの節において記載したように、数多くの遷移金属酸化物あるいは複合金属酸化物においてモット転移が報告されている。ここで言うところのモット転移とは、ゲート電圧によって電子濃度が増減し、そのことによって引き起こされる金属-絶縁体転移を意味するものである。この効果は強相関電子材料にて提案されたものであり、幾つかの材料、例えば VO₂¹⁷⁴ や NSMO¹⁷⁵ においては 1 次相転移が観測されている。もし、この 1 次相転移がスイッチ効果の起源であるならば、転移温度以下にしなればこれらの材料は絶縁体状態に復帰しない。また、素子の温度を、相転移温度の近傍にて維持及び制御することが必須となる。

電界で制御可能な 2 次元電子ガス状態を作りこまれた、複合金属酸化物からなる幾つかのヘテロ界面におい

て、金属-絶縁体相転移が報告されている¹⁷⁶。一方、これらの界面における酸素欠損の役割については依然として不明な点が多く、電界誘起で移動する酸素欠損が素子構造の動作特性を複雑なものとしている。酸素欠損の役割を良く理解し、良く制御できるようになることが必須となっている。

強誘電体分極 (Ferroelectric polarization⁸⁸)

ERDの章で注目をしたように、強誘電体分極は、極薄絶縁膜を介したトンネル特性や隣接する半導体層におけるショットキ型空間電荷層を変調する。その結果として、デバイスにおけるトンネル電流を明瞭に変化させることが出来る。このようなトンネル抵抗を用いたメモリ動作が、NdGaO₃ 基板上に作製されたBaTiO₃/La_{0.67}Sr_{0.33}MnO₃ 単結晶薄膜において、プローブ技術を用いて実証されている¹⁷⁷。この技術における課題は、強誘電体とトンネル誘電体膜、そして半導体基板からなる界面の安定性を如何に保つかということにある。トンネル電流が欠陥を生成し伝導特性が変化する、あるいはその欠陥が界面に析出するなどのことが考えられる。もう1つの懸案事項は、このようなメモリデバイスが本質的に単結晶材料を必要とするのか、あるいは非晶質や多結晶材料でも良いのかということである。

ナノサーマルメモリ材料 (Nanothermal Memory Materials)

ナノサーマル材料には、カルコゲナイド材料からなるナノワイヤと熱的に変化する酸化物材料が含まれる。しかしながら、それらの動作原理は大きく異なっている。

カルコゲナイド系ナノサーマル材料 (Chalcogenide Nanothermal)

カルコゲナイド系薄膜を用いたメモリは、PIDSにて説明されている。この節におけるナノサーマル素子はナノワイヤからなるものであって、ダイオードとの集積化やカルコゲナイド材料の高抵抗化を図る技術である。ナノワイヤにおいては、低抵抗の結晶化状態と高抵抗の非晶質状態が、電流誘起の熱によって実現される。この熱相転移は、薄膜の場合と比較して、より制御がしやすいと考えられている。その理由として、ナノワイヤにおけるフォノン状態が限られることが考えられている¹⁷⁸。

酸化物系ナノサーマル材料 (Oxide Thermal)

酸化物系ナノサーマルメモリにおいては、伝導性ナノフィラメントが電界印加によって形成され、低抵抗状態が実現される。そして、さらに高い電流が流れることによってフィラメントに熱が発生し、高抵抗状態に戻ることになる。陽イオン、陰イオン伝導をはじめ、幾つかの動作原理が提唱されている。それゆえ、どの動作原理が最も確からしいのかを明確にすることが必要となっている¹⁷⁹。イオンと酸素欠損がメモリ動作において重要な役割を果たしていると思われることから、これらの振る舞いを評価することが必須である。

ナノイオニックメモリ (Nanoionic Memory)

フィラメント伝導の系においては¹⁸⁰、銅に代表される金属元素が酸化物あるいは硫化物にドーピングされ、さらに電界が印加されることによって、単一のあるいは複数の伝導性を持ったフィラメントが電極間に形成される。この伝導性フィラメントは、逆バイアスの印加によって断線させられるが、プログラム電圧を再度印加することによって再生されることになる。酸化物を欠損なしで作製しておくことが、オフ状態の電流を増やしてしまう原因となる余計なフィラメント形成を抑えるために重要なことである。電界印加によって酸素が拡散する現象が、このメモリの信頼性に直結する問題となる。なぜならば、電界変化や電流密度によって変化する酸素拡散が、酸化物の抵抗を時間と共に変えてしまうからである¹⁸¹。さらに、ドーパントと誘電体との組み合わせを最適化することが重要である。組み合わせ如何によって陽イオンの拡散が速くなれば、メモリデバイスの動作速度を向上させることが出来るからである。さらなる材料学的工夫によって、陽イオンがメモリセルから拡散してしまわないような積層構造を実現することも重要な課題である。そしてどのような場合においても、酸素欠損と化学量論的組成の制御が重要な課題である。

複合金属酸化物材料における課題 (Complex Metal Oxide Material Challenges)

複合金属酸化物を用いたメモリや論理演算素子という概念は、これらの材料が示す新規な性質(誘電率や抵抗の変化、強誘電性、磁性、および電気磁気結合物性など)の開拓と結びついている。応用に向けては、素子の動作および信頼性に対し、欠陥(空孔)等がどのような影響を与えるのか、を解明していくことが重要で、解明を進めていくためには、さらなる研究が必要とされる。さらに、複合金属酸化物で構成される界面やヘテロ界面では、界面における電子状態など界面の性質が変わる場合があり、このような界面についての基礎的な理解が深まれば、新しい機能や物性の発展に繋がる。メモリや論理演算素子への応用に向けては、 400°K 付近まで電気磁気結合が強く保たれる材料系が必然的に必要となる。

最初の課題は、欠陥や乱れが複合金属酸化物の性質にどのような影響を与えるのかを解明し、これを、素子が動作している間上手に制御していくことである。酸素欠陥は、強誘電性の劣化や素子の劣化を引き起こし¹⁸²、また、乱れが、強磁性転移温度の低下を招く場合がある¹⁸³。このような劣化の過程などを入念に調べた場合、素子の動作部分には劣化の影響が出なくなるように素子の設計を行うことなどが可能になってくる。逆に、このような問題が解決されなければ、複合金属酸化物の性質を素子に応用していくことは難しくなる。

素子作製時に界面を制御することによって、どのように性質が変化するのか、また、欠陥の生成や材料の劣化は、材料にとっての本質的な問題なのか、それとも改善することが可能なのか、を解明していくことが望まれる。材料の本質的性質のために室温における動作が難しい場合、素子作製プロセスにおける工夫によってもこれを解決できず他の方法が必要になるのかどうか、等についての判断や見も必要になる。室温で電気磁気結合が強く保たれる材料系をデザインしていくことが、急務の課題である。これらの新材料における、可逆的な“状態”の変化、スイッチングの時定数、伝搬速度、を予測することも重要である。スイッチングのダイナミクスや、材料の安定性を詳細に調べていくためには、熱平衡的および動力学的側面からの研究が必要で、また、どの程度の大きさのどのような場(磁場や電場)が、決定的に材料を劣化させる欠陥をつくりだしているのか、を解明することも重要である。同時に、内因性の場合(磁場や電場)や、ドーピング、歪み等、を利用して、欠陥を、素子の動作に重要でない領域に移動させることが可能かどうか、また、欠陥を電氣的に中性化してしまうことが可能かどうか、を見極めることも重要である。

電気磁気効果の素子への応用にあたり、室温以上にわたって強い電気磁気結合を保つ材料系を見いだすことが、まずは課題である。所望の温度で強い電気磁気結合を保持できる超格子の作製等を通じて、軌道の結合状態などがどのように変化するのかを解明することも重要である。例えば、典型的強誘電体である PbTiO_3 、および常誘電体である SrTiO_3 の極薄膜から構成される酸化物超格子は、界面における回転の歪みにより、新しい強誘電性(室温における大きな分極と 600 に達する誘電率)を示す^{159, 161, 184, 185}。欠陥や空孔はこの性能を劣化させるので、これら欠陥や空孔を制御する技術や、均一で、扱いやすく、 400°K 付近まで動作可能で、また、デバイス加工可能な大きさを持った、材料の作製技術がなければ、これらの材料に内包されている性質を十分に生かすことは出来ない。

これら電気磁気結合を示す材料における二つ目の課題は、 400°K 以上の強磁性転移温度を有し、かつ強誘電性と結合する高い残留磁化を有することである。Beyond CMOS Logic の章で言及したように、多くのペロブスカイト型酸化物が、低温では電気磁気結合物性を示すけれども、室温で、強誘電性と反強磁性性を併せ持ち、かつ、大きな分極を示すのは、 BiFeO_3 だけである¹⁴⁸。室温における強誘電性と強磁性の結合は、薄膜¹⁶³とナノ構造^{164, 165}の歪みによる結合を通じて達成された。重要な問題は、複合金属酸化物超格子を用いて、強誘電性と強磁性を結合させることが出来るかどうかである。超格子における界面では、相競合の状態を本質的に変化させることが出来、その結果、新しい性質や機能が創り出される可能性がある。このような界面において、どのようにして強磁性のような重要な性質が発現するのか、または、転移温度が上昇したりするのか、といったことを解明していくためには、酸化物超格子についてさらなる研究がなされるべきである。複合金属酸化物のヘテ

新探求材料 30

ロ界面と超格子に関する進展と問題については、複合金属酸化物のヘテロ界面と超格子の部分で、より詳しく議論される。

リソグラフィ材料 (LITHOGRAPHY MATERIALS)

スケーリング技術の未来は、微細化へ拡張可能なリソグラフィを実現することができる、新たなパターン形成材料(レジストまたは自己組織化材料)に依存する。新しいレジスト材料は、強固なパターン転写効果を可能とするために、高解像度、高感度、ラインエッジラフネスの低減、十分なエッチング耐性を同時に実現する必要がある。ポジ型レジスト、ネガ型レジスト、化学増幅レジストを強化するために、レジスト進化へのアプローチが引き続き評価されている。ピッチ分割においては、いくつかのプロセスアプローチがあり、スパーサパターニング (SP)、ダブルパターニング (DP)、および二重露光 (DE) などが、193nm のリソグラフィを拡張するためのオプションとして検討されている。二重露光 (DE) の新材料については、準安定状態でよりラジカルな超分子材料の利用が必要とされる。パターニング材料の代替技術には、自己組織化とナノインプリントが含まれる。これらのパターニング材料への課題と利点は、表 ERM7 にまとめられている。ピッチ分割技術の詳細な概説を見るには、2009 年 ITRS のリソグラフィ章を参照されたい。

Table ERM7 Challenges for Lithography Materials

Material/ Process	Potential Value	Key Challenges	Status
Positive Chemically Amplified Resist	Evolutionary Solution	Ability to simultaneously achieve resolution, sensitivity, line edge roughness and pattern collapse margin	No ERM
Positive Non Chemically Amplified Resist	Potential decoupling of resolution & LER	Requires a high intensity image and need to improve etch resistance and pattern collapse margin	E0<50mJ/cm ² [a]
Negative Tone Resist	Reduce LER with high resolution	Poor performance with phase shift mask, microbridging, and pattern collapse margin	50nm L/S process margin close to positive resist[b]
Spacer Patterning	Use Conventional Materials	Multiple process steps and lithography steps required. Pattern collapse margin	No ERM
Double Pattern	Use Conventional Resist	Pattern collapse margin	No ERM
Single Expose Two Tone Develop	Single Exposure and single track operation	Achieving symmetric feature spacings with positive and negative tone developers and pattern collapse margin	38nm L/S demonstrated with low LER and improved CD uniformity with 1.07NA 193nm Immersion[c]
Double Exposure Resist	Single Track Double Exposure	Identifying a two exposure molecule (D2) that reverts to the initial state without the second exposure and integrating in a resist in the required timeframe and pattern collapse margin*	Modified tethered bromo-anthracene system showed evidence of D2 behavior in solution, and apparent reversibility without acid release[d]: Need to demonstrate in resist
Positive Chemically Amplified Resist	Evolutionary Solution	Ability to simultaneously achieve (resolution, sensitivity, line edge roughness and pattern collapse margin)*	No ERM
Negative Tone Cationic Resist	Reduced Sensitivity to Flare	Microbridging and pattern collapse margin*	Molecular Glass(MG) Fullerene achieved 20nm hp with LER 2.5-4.5nm with e-beam (11μC/cm ²)[e], MG-Epoxy achieved 25nm hp with low LER e-beam (38 to 22 μC/cm ²)[f]
Negative Tone Non Chemically Amplified Resist	Reduced outgassing	Achieving resolution, sensitivity, LER, etch resistance without microbridging, and pattern collapse margin*	Resolved 60nm isolated lines with EUV exposure of 5-6 mJ/cm ² with lower outgassing than SELETE Sld.[g]
Inorganic and Inorganic-Organic Hybrid Resist	High contrast and resistance to pattern collapse	Achieving resolution, sensitivity, LER, and potential defectivity issues with inorganic materials	HSQ printed 20nm hp and LER<2nm with EUV interference [h] Zr and Hf based resist printed 36nm hp LER <2nm and RIE etch resistance 7X higher than thermal SiO ₂ [i]
Non Chemically Amplified Resist	Reduced outgassing	Achieving required sensitivity, resolution, etch resistance, and pattern collapse margin*	Resolution of 35nm L/S[j]
			Best Reported
1. Neutral Surface Layer 2. Assembly Control -Graphoepitaxy -Surface Chemical Pattern -Hybrid Resist 3. Supramolecular Options -Di or Tri Block Co-polymers -Di or Tri Block-co-polymer/monomer mixtures 4. Fast Annealing Options -Above T _g -Solvent Annealing	>Higher density features than lithography >Reduced line edge roughness	>Ability to generate required features at a minimum of 2x higher density than achievable by best direct lithographic methods >Ability to achieve low defect density >Annealing times of a few minutes for all patterns >Reducing process complexity >Ability to align features to previous structures >Etch selectivity	Minimum Feature Size: 7 nm (lamellar pattern)[k] LER: 2.2 nm (on 24 nm linewidth lamellar pattern)[l] Defect Density: 1 part in 10000 (sparse chemical patterning of hexagonal array of cylinders) [m] Minimum Annealing Time: 1 minute (dense chemical patterning of lamellar structure [n]) Patterns Demonstrated (Y/N) Double Density Lines Y [o] Double Density Square Contacts N Isolated Lines Y [o] Isolated Contacts Y [p]

References
[a] J. Blakey, L. Chen, Y. Goh, K. Lawrie, Y. Chuang, E. Piscani, P. A. Zimmerman and A.K. Whittaker. "Non-CA Resists for 193 nm Immersion Lithography: Effects of Chemical Structure on Sensitivity." SPIE, vol. 7273, pp. 72733X, 2009.
[b] T. Ando, S. Abe, R. Takasu, J. Iwashita, S. Matsumaru, R. Watababe, K. Hirahara, Y. Suzuki, M. Tsukano and T. Iwai. "Topcoat-free ArF Negative Tone Resist." SPIE, vol. 7273, pp. 727308, 2009.
[c] S. Tarutani, T. Hideaki, and S. Kamimura. "Development of materials and processes for negative tone development toward 32-nm node 193-nm immersion double-patterning process." SPIE, vol. 7273, pp. 72730C, 2009.
[d] R. Bristol, D. Shykind, S. Kim, Y. Borodovsky, E. Schwartz, C. Turner, G. Masson, K. Min, K. Esswein, J.M. Blackwell, N. Suetin. "Double-Exposure Materials for Pitch Division with 193nm Lithography: Requirements, Results." Proc. SPIE, vol. 7273, pp. 727307, 2009.
[e] J. Manyam, M. Manickam, J.A. Preece, R.E. Palmer, A.P.G. Robinson. "Low Activation Energy Fullerene Molecular Resist." SPIE, vol. 7273, pp. 72733D, 2009.
[f] R.A. Lawson, L.M. Tolbert, T.R. Younkin, C.L. Henderson. "Negative-Tone Molecular Resists Based on Cationic Polymerization." SPIE, vol. 7273, pp. 72733E, 2009.
[g] M. Shirai, K. Maki, H. Okamura, K. Kaneyama, T. Itani. "Non-Chemically Amplified Negative Resist for EUV Lithography." SPIE, vol. 7273, pp. 72731N, 2009.
[h] Y. Ekinci, H.H. Solak, C. Padesie, J. Gobrecht, M.P. Stoykovich, P.F. Nealey. "20 nm Line/space patterns in HSQ fabricated by EUV interference lithography." Microelectronic Engineering, vol. 84, pp. 700, 2007.
[i] J. Stowers, D.A. Kesler. "High resolution, high sensitivity inorganic resists." Microelectronic Engineering, vol. 86, pp. 730-733, 2009.
[j] A.K. Whittaker, I. Blakey, J. Blinco, K.S. Jack, K. Lawrie, H. Liu, A. Yu, M. Leeson, W. Yeuh, T. Younkin. "Development of Polymers for Non-CAR Resists for EUV Lithography." SPIE, vol. 7273, pp. 72732I, 2009.
[k] "Patterning sub-10 nm line patterns from a block copolymer hybrid", Sang-Min Park, Oun-Ho Park, Joy Y Cheng, Charles T Retner and Ho-Cheol Kim, Nanotechnology 19 455304 (2008).
[l] "Pattern transfer using poly(styrene-block-methyl methacrylate) copolymerfilms and reactive ion etching" Chi-Chun Liu, Paul F. Nealey, Yuk-Hong Ting and Amy E. Wendt, J. Vac. Sci. Technol. B 25 1963 (2007).
[m] "Density Multiplication and Improved Lithography by Directed Block Copolymer Assembly", Ricardo Ruiz, Huihan Kang, François A. Detchevery, Elizabeth Dobisz, Dan S. Kercher, Thomas R. Albrecht, Juan J. de Pablo and Paul F. Nealey, Science 321, 936 (2008)
[n] "Rapid Directed Assembly of Block Copolymer Films at Elevated Temperatures" Adam M. Welander, Huihan Kang, Karl O. Stuen, Harun H. Solak, Marcus Müller, Juan J. de Pablo and Paul F. Nealey, Macromolecules 41, 2759 (2008) :
[o] Directed Self-Assembly of Block Copolymers for Nanolithography: Fabrication of Isolated Features and Essential Integrated Circuit Geometries, Mark P. Stoykovich, Huihan Kang, Kostas Ch. Daoulas, Guoliang Liu, Chi-Chun Liu, Juan J. de Pablo, Marcus Müller and Paul F. Nealey, ACS Nano, 1, 168 (2007).
[p] Creation of sub-20-nm contact using diblock copolymer on a 300 mm wafer for complementary metal oxide semiconductor applications, Wai-kin Li and Sam Yang, J. Vac Sci Tch B 25 1982 (2007)

レジスト材料 (RESIST MATERIALS)

先端リソグラフィプロセスには、sub-100nmのレジスト厚さで、高解像度(R)、低ライン幅粗さ(L)、と高感度(S)を同時に達成するという課題が存在する。微細化へ拡張可能な露光技術に対する現状の解決策として、次の項目があげられる： 1) ArFドライ露光技術またはArF液浸露光技術、ただし、プロセスの複雑さが大幅に増加、2) EUVリソグラフィ、3) マスクレスリソグラフィ¹⁸⁶。先端レジスト材料を開発するには、特定のArFドライ、ArF液浸、EUVやマスクレスリソグラフィ技術の必要性を満たし、しかも、RLSの必要性を満たす必要がある。3種類のピッチ半分技術のなかで(ITRSの 2009 リソグラフィ章参照)、ArF二重露光(DE)1回現像リソグラフィは、より集中的なプロセスを必要とするスペーサパターニング(SP)や2回レジストパターニング(DP)よりも低いコストオブオーナーシップ(cost of ownership)を実現できる。193 nmの導入ターゲットにArF二重露光(DE)材料を実現するためには、積極的な研究開発が必要とされる¹⁸⁷。EUV露光技術にはRLSトレードオフを満たし、アウトガス低減を実現させる、革新的なレジスト材料が必要である¹⁸⁸⁻¹⁹⁰。パターン倒れを防止する目的もあって、レジスト膜厚はパターン幅の減少とともに減少する可能性がある^{191,192}。レジスト膜厚の臨界値以下では、レジストの機械的および熱的特性が変化する(図1)¹⁹³⁻¹⁹⁵。たとえば超薄膜、多成分ArFレジストおよびEUVレジストのガラス転移温度は、PAG(Photo Acid Generator, 光酸発生剤)とレジストの組み合わせに依存する¹⁹⁶。また、レジスト線幅粗さは図1.に示すように、膜厚減少とともに増加する^{188,197,198}。将来の半導体プロセスでは、予測される16nmのLWR(Line Width Roughness, 線幅粗さ)要件を満たすために、いくつかの異なるポストプロセッシング法¹⁹⁹が必要となる。

ポジ型化学増幅レジストの研究が継続されているが、その一方で、先端リソグラフィ技術で必要とされる要件を満たすために、その他の可能性を持つ材料の探索が新しい候補として進められている。非化学増幅レジスト、新ネガ型レジスト、および193nm二重露光レジストへの応用を目的として、有機、無機、ハイブリッド材料が、研究されている。

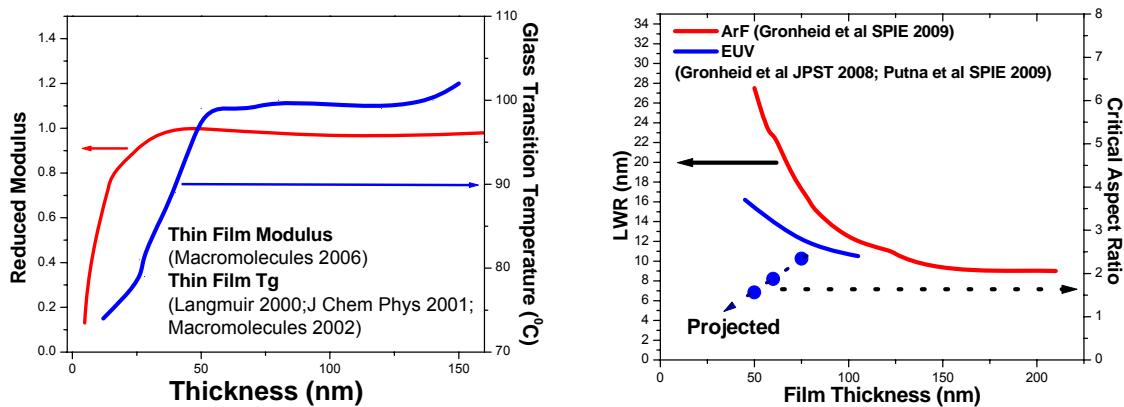


Figure 1 Thermal and Mechanical Properties of Thin Polymer Films (left) and the Resist Film Thickness Effect on Lithographic Performance (right)

ナノメータレジスト拡張オプション (NM RESIST EXTENSION OPTIONS)

レジスト開発の主眼は、化学増幅として用いるポジ型フォトレジストの進化的な設計におかれている。しかし解像度、感度、およびラインエッジラフネスを同時に達成するための課題も困難なまま残っている。その結果、非化学増幅レジスト、ネガ型レジスト、ピッチ分割に用いる材料など、以前からの材料系も探索されている。

ナノメータ非化学増幅レジスト (NM NON-CAR MATERIALS)

ArFエキシマレーザ技術の最近の進歩により、露光強度と処理量が向上したレーザが近いうちに生みだされるであろう。ArF液浸スキャナーの速度が最近向上して光子数に余裕ができ、非化学増幅レジストを含む低感度レジストの再評価が可能となっている²⁰⁰。また、PMMA膜圧を20 nmに減らすことにより感度を最大7倍に改善することができる²⁰¹。PMMAより高感度なポリスルホンも193nm液浸リソグラフィ应用到に検討されている。ポスト露光バークはポリスルホンの解重合を加速することができる。polynorbornenesulfone²⁰¹に193 nm光を照射し、IPA/CHN混合液で現像すると、膜圧の減少、SO₂含有量の減少、およびE₀の<50 mJ/cm²が実現される。非CAR(化学増幅レジスト)が成功するためには、LER (Line Edge Roughness、ラインエッジ粗さ)の許容レベルを維持しながら、ArFに対しより高感度、高解像度でプラズマエッチング高耐性を示す必要がある。これを考慮にいと、鎖切断型化学や高分子設計の応用が制限される。これらのレジスト系の多くには、顕著なレベルで酸素や硫黄などのヘテロ原子が含まれている。

ナノメータネガ型レジスト材料 (NM NEGATIVE TONE RESIST MATERIALS)

重合や極性変化のメカニズムにより動作する、いくつかのArFネガ型レジスト材料が開発された^{202, 203}。ネガ型レジストはバイナリマスクでポジ型レジストより性能が向上する傾向があるが、透過率6%の位相シフトマスクでは性能が悪くなる。この傾向は、ダイポール照明が優先される、いくつかのメモリセルレイアウトで、その使用を制限することになる。

最近では、トップコート不要のArFネガ型レジストが開発され、NA 1.07の193nm液浸スキャナーを利用してデモが行われた。その性能は対応するポジ型レジストと同等である²⁰⁴。歴史的にみると、ネガ型レジストはパターンがブリッジする傾向があった。193nm液浸露光の応用では、この欠陥を強調する必要がある。ネガ型レジスト材料がマイクロブリッジを形成する傾向は、空間像(aerial image)のフレアが大きいときや、光が暗い領域へ(低κ_i)回折されるとき、増加する。ネガ型レジストの設計にはこの点を考慮する必要がある。

ナノメータピッチ分割 (NM PITCH DIVISION)

スパーサパターニングおよび二重パターニングのようなピッチ分割技術オプションは、新しい材料を必要としな

い。しかし、二重露光オプションでは、非線形応答を示す新しいレジスト材料や新しい露出機構が必要となる。もうひとつの方法として、ポジ型とネガ型の2種類の現像液を用いる単一の露光工程が実証されている。

単一露光 デュアルトーン現像(SINGLE EXPOSURE DUAL TONE DEVELOP)

この方法では、ポジ型現像液が最も高い露光量のレジストを除去し、ネガ型現像液は最も低い露光量のレジストを除去し、中間露光量のレジストパターンは残る。高密度の 38 nm L/S パターンが NA1.35 の露光とデュアルトーン現像を用いて実証された。この結果は、CD 均一性を高め、低 LWR.を達成するという概念の実証である。しかし、線幅制御を最適化するためには、飛躍的な仕事量が必要とされる。

193nm リソグラフィ用二重露光材料

(DOUBLE EXPOSURE MATERIALS FOR 193 NM LITHOGRAPHY)

"二重露光材料"は、露光の間にウェーハをチャックからはずすことなく、2つの任意の連続した露光により、ピッチ分割パターン形成を有効にする材料を意味している。この材料は、他のピッチ分割材料に対して、コスト、オーバーレイの改善、設計ルールの柔軟性が大きいなどの利点を提供する。レジストの露光機構においては、光子がレジストに入射する時間経過だけではなく、露光量にもよることが、この材料の課題となっている。たとえば、フォトレジストで生産される酸は、2つの露光量の2乗の和に比例する、すなわち、 $D1^2 + D2^2$ ではなく、 $(D1 + D2)^2$ 。この非相反則(non-reciprocity)と呼ばれる性質は、二重露光方式で重畳する領域で通常失われるであろう情報を区別する材料を必要とする。この非相反則(non-reciprocity)反応の理由は、ふたつの交互に露光された曲線を図示する下図により説明できる。露光装置の解像限界ピッチの露光において、各々の露光曲線は純粋な正弦波となり、 $1 + \cos(kx)$ と $1 - \cos(kx)$ であらわされる。両曲線の和は一定値なので、露光量に対してリニアに応答する材料ではパターンは形成されない。一方、特定の物質では、酸発生収率が露光量に対して $D1^2 + D2^2$ のように二乗で応答する。この仮定のもとでは、酸発生濃度は単一露光の半分のピッチで変調される(図示緑色曲線)。

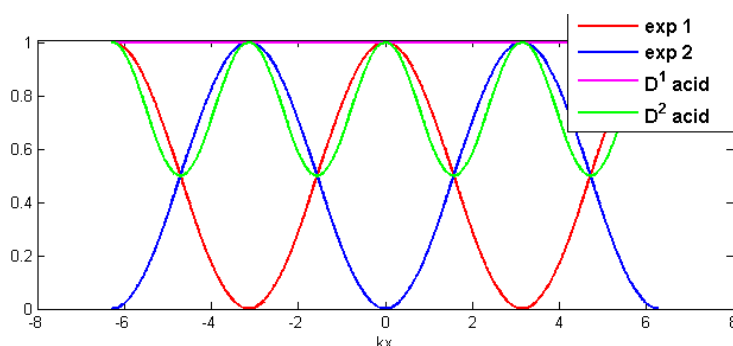


Figure 2 Ideal Acid Response of A 2-Stage PAG, after 2 Exposures, at the Pitch Limit of the Tool.

真の2光子吸収は光強度の二乗で(I^2)反応が生じるが^{206, 207}、実際に用いられているリソグラフィ光源に比べると、必要とされるリソグラフィ光源のパルス長に対する散乱断面積は、数桁のオーダーで大きい。熱応答も本来、非可逆であるが、拡散による解像度に限界が生じる問題がある。可逆的なコントラスト強化層(rCEL)のアプローチが広範にモデル化されているが^{206, 207}、その理由は、回折効果と非現実的な材料を入手したとしても、その不完全なブリーチングによる。その結果としてコントラストがあまりにも低いのである。

"光学閾値層"(optical threshold layer)²⁰⁶を用いて有望な結果が報告され、可逆的な、193nm波長で活性化された"ふるい(sieve)"の層が、光により生じる酸、または他の反応種が異方的に拡散してゆく。多くの異なる方法が活発に研究されているが、高解像度パターンを可能にする十分に切れの良い拡散スイッチはまだ実証されていない。

現在の最先端のアプローチは、可逆的な2段階のPAGのシステムを利用する。1つの光子が吸収された後に、

PAGまたは増感剤が中間状態になり、その中間状態において、2番目の光子を吸収して、酸のリリースされる原因を作る。酸がリリースされていない場合、中間の状態は元の状態に戻す。可逆性は自動的に起こすことが可能であり、または、パターンを形成しない波長による全面露光(例えば、光でスイッチされる反応種)で強制的に元の状態に戻すことが可能である。このような性質を示す二つの異なる方法を実験的に検証した論文が発表されている。193nm波長に対して透明なPAGを持つ、二量体の2-methoxynaphthalene増感剤は低い露光量では酸発生がゼロであり、その後の追加露光で酸が増加する^{208, 209}。装飾したテザー[tethered]プロモアントラセン系はアセトニトリル溶液においてD²の性質を示し、明らかに酸のリリースがない可逆性を示した²⁰⁷。しかし、この系は明白に単一露光での酸リリースを示した。一般的に、中間的なステップを迂回することから連続的な光化学反応経路を防止する後者の効果は、かなりの困難な課題になる可能性がある。

可逆的な2光子反応の意味で必要な2段階のPAGが働くとしても、必要な性能を満足して確実にパターンを形成する化学増幅系システムを開発するのにどれくらいの時間がかかるのか不明である。必要な性能としては、光感度、解像度、およびラインエッジ粗さの要件を満足する必要がある。スペーサを用いたピッチ分割技術が時間どおりに準備できれば、おそらく採用され、DE材料は採用されないだろう。しかし、コスト削減およびスケールアップの可能性を考えると、DEレジストは顕著な利点を提供できることになる。

EUVレジスト(EUV RESIST)

ポジ型化学増幅系レジストの拡張性にレジスト開発の主眼を置いている。代替材料は、高感度達成、高解像度、低LER(ラインエッジラフネス)、低アウトガス、パターン倒れなどの、同時に解決が必要な課題に向けて模索中である。

EUV カチオン重合性ネガ型レジスト材料(EUV NEGATIVE TONE CATIONIC RESIST MATERIALS)

EUVLは7%のフレア(background illumination)が見込まれ、解像性とプロセス余裕度に影響を与えている。明るいマスク特有のフレアを抑えるためにネガ型レジストが検討されてきた。ネガ型レジストは60nmの孤立ラインについて最大のプロセス余裕度を示した²¹⁰。フラーレン誘導体、エポキシ化ノボラック樹脂、光酸発生剤からなる分子ガラス性フラーレンレジストは、走査電子線顕微鏡を使用して評価され有機溶媒により現像された²¹¹。これら化学増幅系のフラーレンベースのレジストは高感度(11 $\mu\text{C}/\text{cm}^2$)、良好な解像度(20nmハーフピッチ)、低LWR(2.5から4.5nm)を示した。エッチング耐性は、永くはわたって商品化されているSAL601と同等程度を示す。カチオン重合機構により合成されるネガ型分子ガラスレジストは電子線やEUVLによって評価され、有機溶媒を使用して現像される。²¹²この分子ガラスレジストのエポキシ基の機能性を体系的に変化させ、高感度(38から22 $\mu\text{C}/\text{cm}^2$)で35から25nmハーフピッチを解像し低LERを得た。

非化学増幅系ネガ型レジスト材料(NON-CHEMICALLY AMPLIFIED NEGATIVE TONE RESIST MATERIALS)

仮にネガ型レジストが重量減少を伴わない架橋機構により機能するのなら、それは低アウトガスを示すはずである。解像性、感度、LER、エッチ耐性を達成するかどうかを見極めるために、架橋の化学反応機構も検討されてきた。そして多くの特性が紹介されてきた。課題は単独のレジストシステムで目標とする特性を全て満たすことにある。3,3-dimethoxy-4,4-diazidobiphenylとクレゾールノボラック樹脂のような、ある高解像低分子量レジストは20nmのL/S配列と20nmのドットパターンを電子線リソグラフィにより解像した。²¹³同様に、ポリフェノール分子ガラスとアジド架橋剤は良好な解像性と低減されたLERを示した。²¹⁴カリックスアレン誘導体を使用した別の分子ガラスによるアプローチでは、超高解像(10nm)を示し、サイドラフネスもほとんどなく、ハロゲン系プラズマエッチングに高耐久性を示した^{215, 216}。光ラジカル架橋によるアプローチでは重量減少を伴わずアウトガスを発生することがほぼないに違いない。例えば、低分散のPHSチオール化合物と光ラジカル架橋剤を含むレジストは、EUVで5-6 mJ/cm^2 の照射量で60nmの孤立ラインを解像した²¹⁷。この新しいネガ型レジストは

SELETEの標準レジストよりアウトガスが少なかった。非化学増幅系ネガ型レジストの特に魅力的な側面として、非化学増幅系ポジ型レジストと比較して、プラズマエッチング耐性とレジスト感度の間に分子構造をデザインする上での相反関係がほとんどないことがあげられる。これはネガ型レジストによるアプローチが、レジスト感度を維持しつつ高いエッチング耐性を示す可能性があることを示唆している。

無機および有機-無機ハイブリッドレジスト(INORGANIC AND ORGANIC-INORGANIC HYBRID RESIST)

加工形状が細かくなり続けると、パターン倒れが新たな克服課題となる。電子線無機レジストは有機レジストに比べ高コントラストが得られる。また優れた機械物性を示し高密度で高いアスペクト比の加工形状の倒れを防げる。例えば電子線露光されたHSQベースのネガ型レジストは2 nm以下の低LERで20 nm加工形状²¹⁸を解像した^{220,221}。しかしながら、無機レジストは低露光感度を示す傾向がある。ZrやHf²²²を含む新たな無機電子線レジストは8 $\mu\text{m}/\text{cm}^2$ まで低い値の感度を示し、概ね2 nmのLWRで、15 nmラインと高照射量で36 nm密集の加工形状まで解像した。またこれらのレジストは反応性プラズマエッチング中(熱酸化膜の7倍以上)で、高いエッチング耐性を示した。ZEP520 やKRS-XEのような市販の電子線レジストへの4-15 wt%のシリカ微粒子の混合により、感度やコントラストを損なうことなく酸素中のエッチング耐性²²³が向上した。シリカナノ粒子含有レジストの電子線露光(20-100 keV)は元の組成よりも特に向上した解像性を示す。これらのシステムは、あるケースで線幅膨張を100 %以上低減しパターン精度の向上を可能とする。無機や無機-有機ハイブリッドレジスト材料からのレジスト組成のアウトガスは逆に添加時の電位に影響する。ハイブリッドナノ微粒子レジストが欠陥発生やLER/LWRのエッチング転写に及ぼす影響とともに、アウトガス分子の種類や量の解析と定量化に向けて詳細検討が必要である。

EUV 非化学増幅系レジスト材料(EUV NON-CAR MATERIALS)

非化学増幅系レジストは主鎖切断機構により機能する。化学増幅系レジスト機構で観察されるよりも低いアウトガス量かどうかは未だわかっていない。PMMAはEUV露光で20 nmまでのライン/スペースパターンを解像している。見かけ上とても小さなLERとほぼ垂直な側面形状を示した²²⁴。PMMAの平均サイズは標準的な化学増幅系レジストより5倍大きくMIBK:IPA溶液により現像される。PMMAに関して平方センチメートルあたりのアウトガス分子量は $1\text{E}14$ 程度と観察された。 α -Trifluoromethaneに置換したPMMA^{198,220}はEUV吸収が向上する一方でアウトガス量が低減した。EUV露光に曝したところ、50 nm 1:1 ラインスペースパターンを解像し、PMMA相当の露光より4倍高感度を示した。レジスト感度、ガラス転移温度、エッチング耐性の向上にむけて、ポリスルホン骨格を持つ直鎖状ポリカーボネート[polycarbonates]を評価した。このシステムは35から50 nm程度のラインスペースの解像性を示し、低LER、そしてPMMAに比較して高感度を示した²²⁶。EUVでパターンニングされたpoly(1-butenesulfone)は50 nmハーフピッチパターンを解像可能である²²⁷。非化学増幅系レジストを上手く実現するために、良好なEUVレジスト感度を維持しつつ良好なプラズマエッチ耐性を示すことが重要な要求項目となる。プラズマエッチ耐性と感度に関する分子構造的な考えは一般的に相反し、達成は困難かもしれない。

リソグラフィ延命への誘導自己組織化(DIRECTED SELF ASSEMBLY FOR LITHOGRAPHY EXTENSION)

誘導自己組織化(DSA)とは、予測可能な形状、制御された寸法、リソグラフィで作成したパターンでの、所望の場所における自己組織化パターンの配列を促す。7 nm までのサイズ領域の希薄パターンへの配列とリソグラフィ的にみて実用的な焼きなまし処理時間の実証について進捗を得られている。誘導自己組織化に関する課題を Table ERM7 にまとめる。

重要課題(CRITICAL CHALLENGES)

仮に DSA が実現可能であり競合可能なパターンニング手段であるとするならば、少なくとも二分の一より小さい

寸法や、通常リソグラフィによる方法で達成するより二倍の密度を有する所望の構造体を成型できなくてはならない。これは、解像性、LER、LWR の目標が、それぞれ 12 nm 以下、1.3 nm 以下、1.7 nm 以下に相当する。この構造体は元の構造体に関して予め定められた場所に、低欠陥密度で形成されなくてはならない。パターン形成と固定にかかる正味時間が、一般的なインラインプロセス要求値や毎時 120 枚の 300 mm ウェーハ処理のスループットに適合しなくてはならない。また、パターン配列、要求パターンサイズ、密度、欠陥密度、エッチ耐性、プロセス時間の到達性能など、同一材料を使用した一斉実験で示す必要がある。

最新技術 (STATE-OF-THE-ART)

最近の研究により各側面で進捗を得ているが、どの材料とプロセスの組み合わせも、現時点で全ての要求項目を満たすことは出来ていないということである。ブロック共重合ポリマーの誘導自己組織化は限定された高対称性のパターン対を簡単に形成できる。例えば、繰り返しのライン/スペースや六角形配置の円筒形孔、これらは回路要素の形成に有用であろう。豊富な形状のセットから描ける可能性は有用性や適応範囲を広げるであろう。多量の DSA 法は、ウェーハ上での自己組織化パターンの位置決め、特別な指向性を持ったパターンの位置合わせ、そして前のリソグラフィレベルのパターンに重ね合わせる手段をもたらす。焼きなまし処理時間はシステムが熱力学的平衡に到達した時点での速度に依存するが、溶剤焼きなまし処理の採用により数日間から数時間そして数分に短縮された。可能性のあるプロセス適応においても現実的な時間軸を示している。自己組織化構造は 10 nm より小さな寸法までよく形成され、本手法の拡張性の証明を示している。欠陥密度は重要な研究課題とされ、現時点で得られる最良の結果は $0.01/\text{cm}^2$ 以下の要求値に対して数桁高い。

二つのめざましい DSA 法が広く検証されている。ひとつめはグラフォエピタキシーであり、トレンチや他のリリーフ形状に自己組織を閉じ込めるのに役立つ。ふたつめは、化学的な特性差をつけることで表面パターンを直接自己組織化するものである。基板材料の上に垂直配列された構造体を組織化するためには両手法とも“中立”な層を必要とする。

誘導自己組織化 (DSA) グラフォエピタキシー (DSA GRAPHOEPIITAXY)

このアプローチでは、リソグラフィにより形成された段差形状と境界が自己組織化されたブロック共重合ポリマー膜の指向性に直結する。自己組織化パターンは、自らリソグラフィ形成やエッチされたパターンに合わせてリソグラフィ以下の解像度で分割される。凹部の表面性状がパターン配列を制御する。例えば、仮に溝底部がニュートラルであり側面部が優先的にあるブロック (共重合ポリマー) でぬれた場合、ラメラ構造は溝と平行に形成する。仮にすべての表面がニュートラルであるなら、ラメラ構造は溝に対して垂直に立つ。ラインもまた再形成されリソグラフィ形成された壁の欠陥を追従する。したがって、最終的な自己組織化パターンの品質はガイドパターンを形成するリソグラフィプロセスの精密制御性に依存する。重要課題はリソグラフィパターンの小さな変化に寛容なシステムを開発することにある。

これらの自己組織化ブロック共重合ポリマーシステムはテンプレートのエッジラフネスやポリマードメインの非均一性による位置ずれを示す。配置精度は層分離の熱力学、組成、ポリマー分散効果に左右される²²⁸。16 nm ハーフピッチに関する 1.4 nm 配置精度の目標要求は、ポリマーパターン (L_0 とする) の固有周期の 0.04 % の空間精度に対応する。これは、球状あるいは円筒形パターンに関する典型的ドメインの $3\sigma \sim 0.09 \sim 0.3 L_0$ のサイズ/間隔のばらつきより相当に小さい²²⁹。鈍感な材料システムや基板段差上の膜厚を一定に保持できる手法開発の研究が必要である。

グラフォエピタキシーによる自己組織化 (DSA) に関する代替方策として、ナノスケールポスト (柱) は希薄格子のテンプレートにより二次元に配列した球状マイクロドメインをテンプレート成長させることが出来る。ガイドポストは、通常の作り方における球状ドメインの僅かな断片として代用され、幅広い領域にわたる低欠陥密度状態について周期的制御をもたらす。²³⁰

誘導自己組織化 (DSA) 表面エネルギー (DSA SURFACE ENERGY)

リソグラフィにより作成された、化学的ナノパターンを有する基板上における誘導ブロック共重合ポリマーの組織化は、ブロック共重合ポリマーのマイクロドメインパターンの配列や配置に関する別方策を提供する²³¹。このアプローチにおいて、例えば自己組織化された単層膜あるいはポリマーブラシの薄膜有機層が基板上に堆積され、リソグラフィによりパターン化され、そして明瞭な化学的性質や表面エネルギーの領域を区分けするために(例えば酸素プラズマエッチにより)有機層へ転写される。表面改質された基板が薄膜のブロック共重合ポリマーにより塗布され熱処理された場合、選択的湿潤はそれぞれのブロック(共重合ポリマー)を化学的に適合性のある表面領域に移動させ、システムの自由エネルギーを最小化する。仮に表面パターンのコントラストが強いと、増大された欠陥密度が観察される以前に間隔 L_s と L_0 の間に重大な不適合が認められてしまう²³²。ポリマー-表面の強い相互作用により、密集や孤立の屈曲部、突起、斑点、ライン終端、T型接合を含む通常骨格構造による、多くの集積回路製造の基本形状中で、ブロック共重合ポリマーのドメインが定められる^{231,233}。改善された寸法制御性やナノスケール次元でのLERは誘導自己組織化手法の重要な利点である。それらの膜は、化学的表面パターンのライン幅ばらつきを修正することができ、 $0.5 L_s$ ²³⁴と同等の共重合ポリマーパターン寸法の保持することができる。またポリマーはいくらか自己修復機能も示すらしい。

最新の研究では、ブロック共重合ポリマーDSAを使用して化学的表面パターンをリソグラフィ作成することで、希薄領域への空間的な繰り返し数の増大が確認されている。円筒形^{235,236}やラメラ²³⁷のマイクロドメインの作成例が記されている。それぞれ、位置合わせ誤差、次元均一性[dimensional uniformity]、LERの測定値から、マイクロドメインの最終構造の品質は化学的表面パターンより優れたものとなっている。これらの希薄パターンング方法により先端の光学リソグラフィとサブリソグラフィによる到達できる寸法スケールとの差を橋渡しする手段を提供され、そこでは自己組織化が多大な有利性を示す。

このアプローチは、中立層の化学的性状の部分改質を得る際の多段階プロセスに依存している。表面の化学的性質や機能性において空間的な変化を直接的にリソグラフィで誘導する一段階の手法や材料について更なる研究が必要となる。

超分子とハイブリッドコンセプトの自己組織化への適用(APPLYING SUPRAMOLECULAR AND HYBRID CONCEPTS TO SELF-ASSEMBLY)

前述のように、多くの重要な可能性が個別実験で示されてきたが、一斉の実験で示されたものではなく、更に拡張性を有する材料が必要となる。新規のジブロックやトリブロック共重合ポリマー材料の自己組織化と構成に関する体系的な研究は、実用性を上げ機能性を改善するであろう。例えばorganosilicateオリゴマー²³⁸をもつブロック重合ポリマーのハイブリッドブレンドとトリブロックポリマー²³⁹をもつホモポリマーブレンドを使用した最近の研究では、潜在的拡張性の指標である 10 nm以下の間隔で特徴的なマイクロドメインを実証している。他の研究報告では、一般的に観察される六方晶形に代わり 20 nm以下の孔構造の高次正方配置を作り上げるために、制御されたジブロック共重合ポリマーの層分離と水素結合による超分子の組織化が組み合わせられた²⁴⁰。更なる発展に向けて、パターン形状中で自己組織化できるレジストを得るべく、層分離ジブロック共重合ポリマーを含有したハイブリッドレジスト組成を必要とするかもしれないし、既にそのコンセプト検証は行われている²⁴¹。しかしながら、これらのシステムが 22 nm以下の可能性ある解への確固たる考慮対象となるには、当分野での多大な研究が必要される。

プロセスの簡略化(PROCESS SIMPLIFICATION)

重要課題は、ブロック共重合ポリマー配列を決めるパターン形成プロセスを簡略化することにある。グラフィオエピタキシーは、パターン化、エッチ、そして基板表面エネルギー調整に複数のプロセス段階を必要とする。自己組織化するフォトレジスト機能²⁴¹の採用はプロセス簡略化にむけた潜在的経路を示すものであるが、現実的な技術とするためにも多大な研究が必要となる。

フロントエンドプロセス、プロセスインテグレーション、デバイスおよび構造に対する新探求材料 (EMERGING FRONT END PROCESSES' AND PROCESS INTEGRATION, DEVICES, AND STRUCTURES' MATERIAL CHALLENGES AND OPTIONS)

将来のフロントエンドプロセス(FEP:Front End Process)やプロセスインテグレーション・デバイスおよび構造(PIDS:Process Integration, Devices, and Structures' Material)の材料やプロセスに対する重要な技術課題は、デバイス性能の変動を抑えた、より小さなディメンジョンへ CMOS を拡張すること(Extending CMOS)である。このためには、ドーパントを今まで以上に正確にデバイスの活性領域に配置すること、有効なナノ材料を誘導自己組織化すること、そして、自己整合構造が形成可能な選択成長やエッチング、それにクリーニングができることが、将来のデバイスに求められる。FEP や PIDS に ERM を展開するための要件や重要課題を表-8 にまとめた。

Table ERM8 FEP / PIDS Challenges for Self Assembly

Application	Potential Value	Key Challenges	Target/Gol	Status
Deterministic Doping	Reduced variation in transistor performance Highest focus will be on S/D dopant lateral abruptness (Maintain high concentration of active dopants with an abrupt transition)	Ability to pattern dopant array with periodicity required for device operation	TBD	
		Abrupt S/D interface doping with controlled gradient	Table FEP12	
		Understanding a mechanism to reproducibly introduce dopant from self assembled material into	TBD	
		Demonstrate potential to satisfy throughput requirements	TBD	
		Demonstrating potential to satisfy integration and manufacturing requirements	TBD TBD	
Selective Etch	Ability to selectively protect materials during etch or cleaning operations	Ability to design polymer brushes to selectively coat and protect new materials against chemical etches	TBD	
Clean and Surface Prep		Low defect density Compatibility with existing cleans Easy removal		
Contacts	Lower contact resistivity	Uniformity compatibility with silicon CMOS Materials	TBD	

ドーピングと堆積 (DOPING AND DEPOSITION)

重要課題: 決定論的な作製の重要性 (CRITICAL CHALLENGES: THE IMPORTANCE OF DETERMINISTIC FABRICATION)

【訳者注】決定論的な (deterministic) : ある状態が決まれば、そこから発生する次の状態が一義的に決まるような) 10nm以下への半導体デバイスのスケーリングにおける重要課題は、ソース/ドレイン領域への高濃度レベルドーピングの実現であり、それは、ソース/ドレイン界面からチャネル領域において変動の小さい急峻なドーパント勾配を持っており、これはチャネル内で位置を制御されたドーパントに他ならない。例えば、MOSFETの直列抵抗を保持することは、スケーリングにおいてはかなり困難な課題である。寄生直列抵抗の大部分は、ソース/ドレイン領域における垂直方向のドーパント分布や接合の急峻性に強く依存する。最近では、全直列抵抗はトランジスタのオン電流を 30%以上劣化させている。ソース/ドレイン界面ドーピングの変動は、この劣化したオン電流の(ウエハ面内での)均一性をそれほど劣化させているわけではない。このような状況から予測すると、【訳者挿入】今後スケーリングが進んでいくと)、より小さなゲート長に対して、同じ劣化パーセンテージの変動を維持するのは困難であろう。ソース/ドレインのドーピング界面のプロファイルは、ソース/ドレイン領域とチャネル間の【訳者挿入】ドーパント濃度の) 遷移領域の長さを決める。理想的な遷移領域は、階段プロファイル(階段接合)であり、実際に、この遷移領域はチャネル長に比べて十分小さくする必要がある。ドーパントプ

ロファイルを制御するひとつの方法として、決定論的なプロセスとドーピングがある。(【訳者注】決定論的な(deterministic):ある状態が決まれば、そこから発生する次の状態が一義的に決まるような現象を意味する。すなわち、ここでは最初の状態を決めればその後に特別な制御がなくても、ある構造・組成が一つに決まるようなプロセスやドーピングを意味する) さらに、(寄生直列抵抗と同様に重要な)トランジスタのスレッショルド電圧(閾値電圧): V_{th} は、チャンネルの寸法、ゲート積層構造、それに空乏層内のドーパント濃度変動の微小な変動に対して敏感である。 V_{th} 変動をどう抑制するかにより、バルクプレーナーCMOSデバイス技術を(【訳者挿入】今後のスケールングに対して)どれだけ拡張できるか、(【訳者挿入】すなわち、将来にわたって継続して利用続けることができるかが)決まる²⁴²。今後の6-13年間では、MPUの物理ゲート長: L_{gate} は、17nmから9nmに設計される。また、チャンネル電子数のトレンドは、2014年までに、チャンネル領域での活性ドーパント数が100個以下になると予測されている²⁴³。チャンネルドーパされたデバイスにおいては、この少ないチャンネルドーパント数が、その他の重要な機能や歩留まりの下限要因となることが明らかになってくるであろう。(チャンネルのドーパント数に関するさらに詳細な議論は以下のドキュメントを参照のこと)^{244,245}。一般的に、デバイスの寸法制御性や変動は、重要な材料の課題として出てくる。理想的には、(ソース)－(チャンネル)－(ドレイン)の各界面は原子レベルで急峻に制御され、ドーパントの位置や組成も原子レベルで緻密に制御されるべきである。そのためには、ドーピングされた物質やその勾配の組成や構造を決定論的(deterministic:前出)に制御できるような新探求材料やその作製方法を発展させるための研究が必要とされている。

FEPやPIDSへの応用に対して、決定論的な作製(【訳者注】deterministic fabrication:ある状態が決まれば、そこから発生する次の状態が一義的に決まるような作製方法)は、三次元のナノパターンニングや組み立て方式にも及んでおり、これらはドーパされた界面の組成や構造の十分な制御性と、デバイス間の性能変動を数桁の大ききで改善できるコンポーネントを提供する²⁴⁶。原子レベルでの位置や濃度制御を伴ったドーピングプロセスは、チューニング可能なデバイス性能特性やデバイス間変動量削減が出来るようになる。デバイスノイズが除去されれば、利用可能な設計領域、回路レベルの均一性、それにシステムの性能が拡張される。正確なドーパントの位置制御能力は、全く新しいデバイス概念、例えば、エマージングな量子コンピュータデバイスのように、シリコン²⁴⁷もしくはダイヤモンドマトリックス中²⁴⁸に形成された単ドーパント準位のコヒーレント操作に基づいた概念を実現するかもしれない。候補となるドーピング技術の選択肢は、次の課題を解決しなければならない:1)ドーパントの数と位置の正確な制御 2)デバイス特性におけるドーパント数の統計的な揺らぎ(statistical fluctuation) 3)現在の製造プラットフォームでの互換性(compatibility)や集積化(integration) それに、4)研究開発や製造設備のコスト、歩留まりそれにスループットに依存する経済性 の4点である。

決定論的な(deterministic)三次元のドーパント配置と構造制御技術は、(ソース)－(チャンネル)－(ドレイン)の各界面において、原子レベルで急峻、かつ再現性良く作製できることが求められているが、現時点では、まだ、初期の探索研究フェーズにある。このITRS2009年度版では、広範囲なチャンネルドーピング技術に対して、可能性の高い3つの選択肢を議論する:単一原子注入技術、ラングミュア自己形成とドーパント堆積による浅いドーピング技術、それに走査トンネル顕微鏡によるドーパント配置技術の3つの選択肢である。

現時点での技術水準(STATE-OF-THE-ART)

A. 単一イオン注入²⁴⁹・・・この技術は、デバイスの活性領域内の正確な位置に、必要とされる場所に必要とされる数のドーパントを堆積させるかを探索する技術である。重要な目的は、次の技術を伴ったイオン注入技術を実現することである:

- ・ 100%の単ドーパントの検出はもちろん、種々のドーパントに対して、高い空間分解能と自由度を持つイオン注入技術であること
- ・ 二次元電子ガスの散らばりのモニタリングを通して、単一イオン衝撃の検出機能を組み合わせた走査プローブの位置精度を持ったイオン注入技術であること、それは単一原子の位置制御に対して万能ツールであること。

重要な研究課題には、ドーパント数の計測とドーパントの配置がある。単一イオン注入は、二次電子、

光子、電子-正孔対、トランジスタチャネル電流の変化もしくは表面形状の直接的なイメージの変化によって測定できる。単一イオン注入技術を最適化するためには、ドーパント配置でエラーの原因となる要因、例えば、注入スポットの大きさ、ばらつき限界、それにアニール中の拡散や分散は、究極的なスケールでドーパされたデバイスやそれらが応用できる分野に、割り当てられなければならない。

- ・ 単一原子デバイスの発展、そこでは信頼性のある単一原子ドーピングのための方法が要求される。
- ・ 適切なデバイスプラットフォームや基板（例えば、シリコンやダイヤモンド）での、ドーパント揺らぎ効果と量子コンピュータのアーキテクチャー（量子ビット読み出し（【訳者注】 qubit : 量子コンピュータにおける最小単位）、制御それにカップリング）のテストの系統的な研究。

- B. **自己形成と表面化学**²⁵⁰・・・調整可能なブランク (tunable blank) と活性なプリカーサー部品により構成された混合単一層の形成によりドーパが正確に調整されることが、この化学をベースとしたアプローチからわかる。さらに、自己形成された分子単一層で制御されたナノスケールの半導体では、スパイクアニールにより形成されたサブ 5nm の深さの極浅接合が実現でき、それはしばしばイオン注入でみられるような遷移増強拡散が起きなかったために形成できている。ナノワイヤーとプレーナーデバイス応用のための重要課題は、ヘビードープした「自己整合」半導体材料である。
- C. **STMでの位置制御**²⁵¹・・・原子レベルで正確に制御されたデバイス作製は、走査プローブ顕微鏡と分子線エピタキシーを用いることで、シリコンにおいて実証されてきた。STMによるアプローチの潜在的な恩恵には、以下の点が上げられる：三次元での原子レベルの正確さを持ったパターン形成能力；極端な高密度、原子レベルでの平坦性、それに急峻なドーピングプロファイル；サブ 10nm の MOSFET アーキテクチャーをパターンニングできる能力；新奇なデバイスアーキテクチャーの調査；それに他のドーパントソース/金属/有機物への適用可能性。この技術は、スループット、STM 針の安定性、それに再現性が低いため、先端デバイス製作に対する潜在的な解としての考察を保証することは全くありえない。しかしながら、一方では、この技術のパターンニングの正確さはユニークなデバイスの探求を可能にするであろう。

重要なメッセージ(KEY MESSAGES)

例えば、STM のような 1nm 以下の正確さを持ったドーピング方法のように、極端に高い配置精度を持った技術は、製造可能性な技術にはなりえない。なぜなら、提示された多くの並行なアプローチは、重要なデータ処理という課題に直面するからである。しかしながら、これらの方法は、基本的なデバイスの限界や対象性や量子効果のような新しい機能の探求を可能にするであろう。10nm レベルの中間の位置制御性を持ったドーピング方法(すなわち、単一イオン注入技術)は、デバイス発展の応用に対するポテンシャルを示している。計画された製造要件では、新しいドーピング概念が必要となる。研究は、高いスループットドーピングの選択肢、それはまた、高い配置精度を伝える。エマージング候補のドーピング研究は、誘導自己組織化の領域と制御されたドーパント配分のための下地としての分子単一層の利用領域にフォーカスされる。

有益なナノマテリアルの誘導自己組織化(リソグラフィ-セクションのディスカッションを参照)
(DIRECTED SELF ASSEMBLY OF USEFUL NANOMATERIALS (SEE THE LITHOGRAPHY SECTION DISCUSSION).)

カーボンナノチューブ^{252,253}のようなナノ構造物質に誘導自己組織化の利用は、進歩してきているが、将来の電子ベースのデバイスに対する考察を保証する前に、位置の方向性や欠陥密度の制御でかなりの改善が求められる。

選択エッチングと洗浄/表面前処理 (SELECTIVE ETCH AND CLEAN/SURFACE PREPARATION)

将来技術に潜在的に集積化されるような新材料の幅広い領域では、選択的でカスタマイズされたエッチング、クリーニングもしくは物質の堆積が可能となる物質に対して、重要な要件が求められる。機能性分子もしくは自己形成は、エッチングもしくは化学的機械的な研磨(CMP)のような、それ以外の化学プロセスが存在する中で特殊な物質のコーティングが可能であるが、この機能性分子もしくは自己形成により、プロセスの選択性や歩留まりが改善出来るかもしれない。同様に、(デバイスの)形状寸法が小さくなるに伴い、クリーニングプロセスには、所望とされる構造を壊すことなくパーティクルを除去する工程で、より高い選択性が必要とされることになる。このように、機能性分子や自己形成された物質には将来の製造プロセスでの選択性を促進させる可能性もっている。

選択エッチング (SELECTIVE ETCH)

エッチングは従来のトップダウンによるパターン転写プロセスにおける重要なステップである。リソグラフィーやエッチングプロセスは、最終寸法、寸法の変動、それにパターン形成された形状の機能に対して大きく寄与する。エッチングは、単純化した製造シナリオ、それは多くのパターン転写や変動に関連した対応プロセスを削減するが、このシナリオを検討するためには有利かも知れない。電氣的に有益な物質の誘導自己組織化は、エマージング技術選択の同一セットを表しており、この選択肢はプロセスの単純化やパターンニングに関連した変動の低減に対して、いくらかの可能性を示している。誘導自己組織化の初期のアプローチは、レジスト応用であり、それは現存し計画されているリソグラフィーやエッチング技術の補充やてこ入れでの応用である。自己形成システムの将来には、電氣的に有益な材料を統合するために設計され、その材料はいくつかのエッチング工程を削減することになるであろう。

クリーニング/表面前処理 (CLEAN/SURFACE PREPARATION)

開発計画された表面前処理とクリーニングからの要求は、そのほとんどが、サブ 22nm 適用のために選択されたデバイス技術に関連するだろう。表面前処理の課題に関連した最も特殊な新探求材料は、未だに明確になっていないが、一方では、界面制御は、新たに出現した表面前処理への挑戦の一例を示しておりその挑戦は究極的にスケールアップされ、機能的に多様化したシステムに対して重要性が増していくことが期待されている。ゲート工程前におけるクリーニング方法の最近のモデルは、それらが将来の工作された表面のパフォーマンスをドライブする原子的でナノスコピックな要因を割り当てられないという理由から、古いモデルである。新しい概念、方法、そしてモデルが必要とされ、それは将来技術に対して先進的なクリーニングシナリオを予測し、計画されたクリーニング要件を指導する。いくつかのクリーニングや表面前処理技術選択は、かなりの研究や発展のサポートを受け続ける。これらには、レーザ、静電気学、機能性分子の設計された堆積、すなわち、構造設計された dendrimers)、分子ガラスなどが含まれる。機能性分子には、特殊な物質に堆積させることが出来たり、エッチングやクリーニング耐性を持ったり、そして容易に除去できたりする要件が求められる。次の2、3年以内に、改善したプロセス安定性と高密度の次世代 CMOS(beyond CMOS) デバイスの実現のための PIDS や FEP に関連した潜在的な解として、これらのエマージング技術の2、3の技術は、重要なアセスメントを保証することになるであろう。

エマージング FEP と PIDS 材料と構造的な課題と選択肢 (EMERGING FEP AND PIDS MATERIAL AND STRUCTURAL CHALLENGES AND OPTIONS)

コンタクト (CONTACTS)

原子レベルのコンタクトの理解とエンジニアリングは、分子レベルのデバイスに対して重要である。これらのシステムに対して、ナノスコピックな要因、例えば、結合形成と配置は、コンタクトのポテンシャルバリアに重要なイ

ンパクトを与える²⁵⁴。更に、金属-分子の相互作用²⁵⁵と堆積での変動は、ナノスケールデバイスの動作を支配するであろう。金属分子軌道オーバーラップの性質は、占有状態と導通可能なパスの結合した特性を決定する上で、重要になる。低いポテンシャルバリア²⁵⁴を形成するための良い機械的もしくは電気的コンタクトに対して、分子と電極間の重要な軌道オーバーラップの最適化が求められる。構造と金属-分子相互作用の理解や、安定した再現性の高い低いポテンシャルバリアのコンタクトを実現する新しい分子電極材料系の設計や合成のための研究が求められている。

配線 (INTERCONNECTS)

将来の集積回路の配線の性能向上を継続するためのキーとなる課題は、信号と電力を信頼性高く伝達するのに要する、RC時間定数を短縮し続けることである。Table ERM9に纏めたように、銅配線を2024年以降まで延命するためには、側壁の銅バリア膜の厚みを2nm以下に薄膜化する必要があるが、これは、非常に困難かつ技術的な挑戦である。銅配線の微細化の後継として、カーボンナノチューブのような低抵抗かつエレクトロマイグレーション耐性のある新奇な配線が探求されている。これらの技術に対する課題をTable ERM10に纏める。併せて、配線間、層間絶縁膜の低誘電率化も必要である。これらの一群の新規材料は、配線への適用が担保されるためには、深刻な課題が克服されなければならないが、エアーギャップ配線が導入された場合には、バリア膜や、新奇配線への、新規な要求事項がこれに取って代わることになる。

Cu 配線延命材料 (COPPER EXTENSION MATERIALS)

超薄膜バリア (ULTRATHIN BARRIERS)

バリア膜の厚みを2nm以下にスケールアップするためには、幾つかの課題に直面しなければならない。その課題としては、プロセス、パッケージング、実動作において、銅の拡散を防止できること、銅や低誘電率膜との密着性が良いこと、銅への水、酸素の拡散を防ぐこと、さらには、CMP、層間膜のエッチングや、レジスト灰化などの銅配線工程に適合することなどが重要である。配線章で議論されているRuやCuMnなどの新規バリア材料が開発中であり、数世代にわたってバリア膜の厚みのスケールアップが維持できると期待されている。しかしながら、予測では、2015年で2nm以下、2021年には1nm以下の銅バリア層の厚みが見込まれている。このような膜厚では、開発中のすべてのバリア材料は機能しなくなり、新規材料や、多層膜が必要となるであろう。そして、もし、業界がエアーギャップの採用に動いた場合、このバリア構造に対する要求はさらに困難なものになるであろう。重要な問題は、代替バリア膜の研究が、すべて5nm程度の厚さに留まっていることである。しかしながら、将来的には、1nm程度の厚さまで薄膜化する必要がある (Table ERM9の困難な課題参照)。

Table ERM9 Interconnect Material Challenges

Application	Potential Value	Key Challenges	Target/Goal	Status
Barrier Layers (Via/Trench) for Copper Interconnects	New Transition Metal Nitrides	Extend Copper Interconnects and Minimize Resistivity Degradation	< 2nm	~ 5nm ZrN
	PVD Direct Plate Barriers (Ir, Os, Rh, ...)			5nm + 5nm TaN
	Self Assembled Monolayers (SAM)			
	SAM + Electroplate Boride/Phosphide			6nm NiB
Capping Barrier Layers for Copper Interconnects	a-C:H, BCN,	Reduce interconnect capacitance	k < 4	
Low k ILD	Nanoporous ILD	Reduce interconnect capacitance	k < 2	
	Mesoporous ILD - k < 2.0 (Zeolite, Aerogel, ...)			
	Novel Polymers			
	Air Gap Materials		k _{eff} < 2	

現状のTaおよびTa₂N₅バリア材料の理にかなった延命は、将来の要求を満足する向上したバリア性能を有する新規の遷移金属窒化膜または、三元系窒化膜を見出すことであろう。代替となる遷移金属窒化膜の候補としては、ZrN, ZrGeN, Mo/WN, HfN, および HfGeNなどが²⁵⁶⁻²⁵⁸、5~70nmの厚さにおいて、現状検討されている。これらの材料の将来の実用化が担保されるためには、銅拡散バリア性能が、5nm~1nm以下の厚さで証明されなければならない。考慮すべき、他の選択肢としてはそれぞれの材料が特定の機能を有しかつ、相互に他の材料の性能を増幅させる多層薄構造の積層膜の堆積が検討されている。配線章に記載されているように、30nmおよび32nm テクノジノードのPVDバリアの候補である、Ruのような直接Cuメッキを可能とするバリア膜は困難な課題に直面している。したがって、OsやIrなどの代替として可能性の高い直接メッキバリア材料の継続的研究が必要とされる。²⁵⁹ 最近の結果では、5nm Ir/5nm Ta₂N₅複合膜が銅拡散バリアとして有効であることが示されている。^{260, 261} 1~2nmの薄膜化と100nm以下の溝の埋め込みと酸化抑制保護の実現可能性を証明するために、これらのバリア材料と他の新探求材料(Pt, Pd, Rh)に関する研究が必要である。²⁶²

自己組織化単分子膜(SAMs)はITRS2009に新規に追加されたCuバリア材料の一群を代表している。SAM膜は、完全ウェットによるCuバリア形成と無電界メッキによるCu埋め込みを可能し、あるいは、Cuバリア膜としても機能する。SAM膜+Pd活性化は種々のNi化合物(NiB, NiP, NiReP)の無電界メッキを可能とすることが報告されている。これらのNi化合物は、Cuバリア膜として機能するとともに^{263, 264}、これらの膜上に、無電界でのCuメッキが可能である。NiB膜のCuギャップフィルとバリア性能は、6nmの薄膜化まで検証されているが、さらなる薄膜化の研究が必要である。完全ウェットバリアかつ無電界Cuメッキの一連のプロセス実現のための他の課題としては、100nm以下の溝とビアへのバリアメッキとCu埋め込み、Low-k層間膜への最小のダメージ($\Delta k < 1\%$)とLow-k層間膜、Cuとの良好な密着性の検証がある。最後に、Cuバリア技術としてのSAM膜の可能性を探求することが必要である。

CU CAPPING LAYERS: Cuキャップ層(CU CAPPING LAYERS:)

将来のCuキャップ/エッチストップ技術に対して厚さと比誘電率の同時スケールアップは困難な課題として残されている。そして、密度とバリア性向上はトレードオフの関係にあり、薄膜でも高いバリア性を得るために高密度化すると、比誘電率が増加してしまうことになる。Low-k層間絶縁膜とCuへの密着性が良好で、Cuの外方拡散とH₂O₂/O₂の内方拡散を防止し、エレクトロマイグレーション耐性と低リーク特性を有しており、Cu配線プロセス(層間絶縁膜のエッチング、レジスト灰化など)に整合性のある材料を特定することが困難な課題である。現状の低誘電率SiCNおよびSiOCキャップ層技術のスケールアップは、今後とも継続すると期待されている。しかしながら、現状のSiN/SiCN/SiOC材料が破綻すると予想される、単分子層なみの厚みにおいて、比誘電率が4.0以下のキャップ層の実現可能性に関する研究も必要である。他の可能性の高い効果のある研究課題は、金属キャップ層(たとえばCo)の選択成長または、自己形成CuSiNバリアの導入により絶縁膜キャップ層、エッチストップを用いない技術の開発である。Cu上面のキャップ層としてのSAM膜の初期の研究では、表面酸化膜の抑制²⁶⁵、面内のCu輸送とリーク電流の低減²⁶⁶が可能であるが、アミノフェニル基で終端されたSAM膜のもっともよい結果でもSiNキャップ層の50%程度の耐圧でしかない。²⁶⁷ さらに付け加えると、SAM膜をCu上面のキャップ層として、現実解とする考えを担保するためには、幾つかの課題に取り組むことが必要である。それらの課題とは、Low-k層間絶縁膜の製膜との整合性(熱安定性、プラズマダメージなど)とCu/ Low-k層間絶縁膜との密着性、Low-k層間絶縁膜上面との密着性、CuとO₂/H₂Oの拡散バリア性能と、配線工程(ウェット/ドライエッチ、CMPなど)との整合性である。

他のキャップ層の材料候補には、さらに材料的な課題の研究が必要であるが、配線工程とある程度整合性があり、Cu拡散を防止できる比誘電率 < 4 のa-C:H²⁶⁸、CN_x²⁶⁹や BCN_x²⁷⁰などがある。^{270, 271}

新奇配線 (NOVEL INTERCONNECTS)

成功裏にCuを置き換えることができる材料は、Cu配線と同じルールにおいて、より低い抵抗値とより高いエレクトロマイグレーション耐性を有していなければならない。Table ERM10に指摘されているように、ビアと配線に適用可能なカーボンナノチューブや、配線に適用可能なおそらく単結晶のCu金属ナノワイヤーなどの、配線置き換えの可能性がある材料の、導入可能性を担保するためには、困難な課題を克服しなければならない。

Table ERM10 Nanomaterial Interconnect Material Properties

Application	Requirements	Carbon Nanotubes (Single Walled) Challenges	Carbon Nanotubes (Single Walled) Status	Carbon Nanotubes (Multiwalled) Challenges	Carbon Nanotubes (Multiwalled) Status
Vias	High density in small vias	1E14 metallic tubes/cm ² inter-tube distance: 0.68 nm; tube diameter < 1.1 nm. Need to develop new catalytic systems.	No data available on the density	Need of 5-10E12 tubes/cm ² , tube diameter < 5-3 nm	Ability to grow in-situ and integrate 1E12 vertically aligned tubes/cm ² in 150 nm vias with repeatable yield[A]
	Defect-free metal contacts	Need reliable and reproducible ohmic contacts. Contacting SWCNTs with diameter < 1.5 nm needs to be improved.	Pd to date is the best metal to contact nanotubes.[B]	Need to produce direct metallic contacts to all the shells to minimize risks of resistance, local heating, and electromigration.	Pd to date is the best metal to contact nanotubes.[B]
	Effective Resistivity	Need to increase metallic content. Need to understand how defects, structure and dielectric interface affect nanotube resistance.	No Data Available.	Must achieve a high density of MWNTs and a low contact resistance between CNTs and metal contacts.	Resistances down to 0.6 Ohm in 2 μm diameter vias filled with MWCNTs have been reported; lowest documented resistance for an array of MWCNTs in a 2.8 μm (60 nm high) via is 0.05 Ohm.[C]
	Control of chirality	Need a process and catalyst to grow dense arrays of metallic SWCNTs with diameter < 1.1 nm. Need to achieve accurate control of chirality distribution.	Only purification in liquid to date. [D]	Not an Issue: All MWCNTs behavior is metallic.	Not Applicable, all MWCNTs are metallic
	Thermal behavior	Needs experiments to determine thermal conductivity of CNT vias. Reduce thermal interface resistance.	No Data Available. Intrinsic CNT thermal resistance is low. Thermal interface resistance may limit performance	Need to increase density of MWNTs. Need to decrease thermal resistance between CNTs and contacts	No Data Available. Intrinsic CNT thermal resistance is low. Thermal interface resistance may limit performance
Interconnects	Ability to grow in controlled locations	Need to achieve same densities of metallic SWCNTs as with vertical vias.	CNTs can be grown in specific locations with patterned catalyst[E] CNTs have been grown horizontally in templating materials (e.g. zeolites, etc.)[F] The big issue is growing them in predefined directions.	Need to achieve same densities of MWCNTs as per vertical vias.	CNTs can be grown in specific locations with patterned catalyst. [E] The big issue is growing them in predefined directions.
	Ability to grow in controlled directions	Over long distances (> 20 μm) alignment < 200 arcsec is required.	Growth in a zeolite template may be most compatible with interconnects, but has a very low maturity.[F] Other options: Growth in electrical field: Low accuracy [G] Growth along quartz crystal steps: may be difficult to apply to interconnects. [H] Need faster CNT growth rate.	Need to achieve same high densities of MWCNTs as per vertical vias to achieve a bundle growth. Need to increase the growth speed of MWNTs at a low CVD growth temperature..	Directional growth of a bundles of MWNTs is reported. Need higher growth rate. [I]
	Defect-free metal contacts	Same as for the vias, but more difficult with horizontal interconnects.	No progress reported	Same as for vias, but more difficult with horizontal interconnects.	No progress reported
	Control of chirality	Same as for vias	Progress reported in liquid purification, but requires ex-situ assembly [D]	Not an Issue	All MWCNTs are metallic
	Thermal behaviour	Same as for vias	No progress reported	Same as for vias	No progress reported
Effective resistivity	Need to achieve nanotube densities in same orders of magnitude as for vias.	No progress reported	Need to achieve same densities of MWCNTs as with vertical vias. Need to improve the quality of CNTs to achieve longer ballistic length.	No progress reported	

References for Table ERM10

[A] Y. Awano, Proc. of Selete Symposium (in Japanese) (2008)
 [B] W. Kim, A. Javey, R. Tu, J. Cao, Q. Wang, and H. Dai. "Electrical contacts to carbon nanotubes down to 1 nm in diameter." Appl. Phys. Lett., vol. 87, pp. 173101, 2005.
 [C] D. Yokoyama, T. Iwasaki, T. Yoshida, H. Kawarada. "Low temperature grown carbon nanotube interconnects using inner shells by chemical mechanical polishing." Appl. Phys. Lett., vol. 91, pp. 263101, 2007.
 [D] M.S. Arnold, A.A. Green, J.F. Hulvat, S.I. Stupp, and M.C. Hersam. "Sorting carbon nanotubes by electronic structure using density differentiation." Nature Nanotechnology, vol. 1, pp. 60-65, 2006.
 [E] A. Javi and H. Dai. "Regular Arrays of 2 nm Metal Nanoparticles for Deterministic Synthesis of Nanomaterials." Journal of the American Chemical Society, vol. 127, pp. 11942-11943, 2005.
 [F] N. Wang, Z. K. Tang, G. D. Li and J. S. Chen. "Single-walled 4 Å carbon nanotube arrays." Nature, vol. 408, pp. 50, 2000.
 [G] A. Ural, Y. Li, and H. Dai. "Electric-field-aligned growth of single-walled carbon nanotubes on surfaces." Appl. Phys. Lett., vol. 81, pp. 3464, 2002.
 [H] K. Ryu, A. Badmaev, C. Wang, A. Lin, N. Patil, L. Gomez, A. Kumar, S. Mitra, H. S. P. Wong, and C. Zhou. "CMOS-Analogous Wafer-Scale Nanotube-on-Insulator Approach for Submicrometer Devices and Integrated Circuits Using Aligned Nanotubes." Nano Letters, vol. 9, pp. 189, 2009.
 [I] Y. Awano, "Carbon Nanotube Technologies for LSI via Interconnects", IEICE Transactions on Electronics E89-C(11), pp.1499-1503, 2006 or M. Nihei, D. Kondo, A. Kawabata, S. Sato, H. Shioya, M. Sakaue, T. Iwai, M. Ohfuti and Y. Awano, "Low-resistance multi-walled carbon nanotube vias with parallel channel conduction of inner shells", IEEE 2005 International Interconnect Technology Conference, pp.234-6, 2005.

ナノチューブ配線 (NANOTUBE INTERCONNECTS)

新探求材料である単層または多層カーボンナノチューブの配線またはビアでは、制御された成長の方向性を有しかつ、低抵抗コンタクトでありながら、望みの場所に高い導電性のナノチューブが高密度で形成でき、層間絶縁膜と半導体に適合する触媒金属上に成長できることが必要である。単層カーボンナノチューブは、長距離のバリスティック電導性を有しているが^{272, 273}、金属電導と半導体電導のチューブの混合物である。一方、多層カーボンナノチューブは金属電導性である。カーボンナノチューブの潜在的な利点は、エレクトロマイグレーションなしに、高い密度の電流を通すことができるということである。このカーボンナノチューブが低抵抗であることは、配線応用としては、バリスティック電導を達成する能力や、大電流を運ぶ能力、エレクトロマイグレーション耐性を含む潜在的な利点を提供するだろう。単層カーボンナノチューブは量子化コンタクト抵抗も有するので、配線章に記載されているように、望ましい実効比抵抗値を得るためには、カーボンナノチューブの長さが十分でなければならない。さらに、カーボンナノチューブの導電性が、動作状態で高かつ安定に保たなければならない。改善されたカーボンナノチューブの機能性、成長、成長位置制御のためには、材料設計の原理の研究と導入が必要である。

狙った位置での成長 (GROWTH IN CONTROLLED LOCATIONS WITH ALIGNMENT)

カーボンナノチューブをデバイスまたは配線として使うために、正確に狙った位置に、望ましい方向に成長させなければならない。ナノチューブを望ましい場所に成長させる技術に進展はあるが²⁷⁴、成長の方向を揃えることは、課題として残っている。最近の研究では、方向性のある電界中の成長においては²⁷⁵、カーボンナノチューブが一様な方向に揃うことが示唆されており、また、サファイアや水晶の結晶ステップにパターン化された触媒上での成長により方向の揃ったカーボンナノチューブが得られるが^{276,277}、位置決めは課題として残っている。密度的には要求を満たしていないものの、位置合わせは他の方法より格段に優れている方法が提案されている。それは、カーボンナノチューブの径と成長箇所と方向をゼオライトを鋳型として制御しようという方法であるが²⁷⁸、このような鋳型材質がカーボンナノチューブの電導性に影響がないということが実証される必要がある。幾つかのアプローチがこのコンセプトの実践的な導入方法として開発されたが、量産化には至っていない。成長後に揃えるという選択肢も検討されている。

配線長が比較的長い場合、高速成長法の開発も重点的に追及されるべきである。^{279, 280} カーボンナノチューブの品質が、チューブ内のキャリア輸送のバリスティック長に影響することが懸念される。それゆえ、高品位なカーボンナノチューブの成長と品質の評価が重要である。配線章に記載されているように、望ましい実効比抵抗値を得るためには、カーボンナノチューブの長さが十分でなければならない。

ナノチューブビア (NANOTUBE VIAS)

垂直方向の配線(ビア)は、将来技術へのカーボンナノチューブ集積化の導入によって恩恵を受ける。CMOSのシングルダマシテスト構造に適した、リモートプラズマCVDによるカーボンナノチューブの低温成長(<400°C)とCMP工程により形成された配線構造を使用して、カーボンナノチューブを現在のCMOS技術に集積化するアプローチはすでに実証されているが^{281, 282}、多くの未解決の困難な取り組むべき課題が依然として残されている。すなわち、実際のCMOS技術に整合性のある新規の複合化集積化スキーム(トップダウンとボトムアップの組み合わせ)とLSIへの熱ダメージを低減できる熱バジェット(<600°C)での加工が必要である。さらに付け加えて、電気特性を導き出し、ギガビットスケールの集積化チップのビアとしてカーボンナノチューブの応用への重要な導きと洞察を提供するために、理論的な研究が行われてきている。カーボンナノチューブはインターミディエートとグローバル配線レベルのRC遅延と熱伝導性を非常に改善することができる(ビア抵抗が低いほど、遅延も小さくなる)。カーボンナノチューブビアを実現するためには、層間絶縁膜と半導体デバイスに適合した触媒で製造されなければならないとともに、電氣的、熱的な信頼性が実証されなければならない。カーボンナノチューブの潜在能力を具現化するために、制御性を確立しなければならない数々のキーププロセスは以下のとおりである:

カイラリティおよび金属vs. 半導体成分の生成比の制御: (CONTROL OF CHIRALITY AND OF METALLIC VS. SEMICONDUCTING FRACTION:)

Cu配線の理想的な抵抗値と同じ値に到達するためには、微細径(~1.2nm)で金属電導の単層または2層カーボンナノチューブを高密度の配列(~1E14チューブ/cm²)で形成することが必要である。カーボンナノチューブビアの抵抗値のバラツキは、カイラリティの分布の関数であり、予測されている要求値を超えてしまうであろう。そのため、カイラリティの制御性を高める、さらなる研究が必要とされる。多層カーボンナノチューブでは、最大密度を実現する、チューブの径と層数はトレードオフの関係にあるが、多層カーボンナノチューブは金属的な挙動をすることから、カイラリティ制御は大きな課題とはならないだろう。

コンタクト抵抗と電気伝導度の制御: (CONTROL OF CONTACT RESISTANCE AND ELECTRICAL CONDUCTIVITY:)

金属電導性の単層カーボンナノチューブ(または、金属的な多層カーボンナノチューブの殻)の抵抗値の真性下限値は、6.5kΩ(この値は、チューブ径に依存しない)であり、カーボンナノチューブ-金属コンタクト界面での反射とフォノン散乱が総抵抗値の増加に寄与している。それゆえ、高抵抗化は許容電流値の低下に繋がるため、信頼性、再現性のある低抵抗オーミックコンタクトが必要である。正のショットキー障壁(半導体ナノチューブ)とトンネル障壁(金属ナノチューブ)の存在により、高性能のナノ電子デバイスを実現するためには、直径1.5nm以下まで微細化した、単層カーボンナノチューブの透過性オーミックコンタクトの実現が重要な課題として残っている。カーボンナノチューブのビアの上部と底部でのコンタクト抵抗により局所過熱とエレクトロマイグレーションのリスクが高まるため、すべてのナノチューブ殻間の直接金属結合を形成することが、技術的な課題としては、合わせて残っている。多層カーボンナノチューブにより埋め込んだビアにおいて、直径2μmでは0.6Ωの抵抗値が、直径160nmでは、34Ωの抵抗値が報告されている。²⁹³

微細ビアにおける高密度カーボンナノチューブの配列: (HIGH DENSITY CNT ARRAYS IN SMALL VIAS:)

理想的な多層カーボンナノチューブの配列とコンタクトは、Cu配線の40%以下のインターメディアートとグローバル配線のRC遅延を実現する可能性を示している。局所的には、Cuに比較して総容量を低減するために、短い低抵抗カーボンナノチューブビアが必要となる。適切な基板上での、その場カーボンナノチューブの成長と集積化も、量産化からは程遠い。密度1E14チューブ/cm²程度の金属単層カーボンナノチューブの選択的成長を促進する触媒プロセスが必要である。また、適切な、信頼性、再現性のある分析ツールと統計的手法が集積化の研究の先導とビア技術の導入可能性の査定を援助するために開発されなければならない。^{284, 285, 294, 295} 多層カーボンナノチューブの場合、4nmの直径で、上部と底部にバリア膜を含む、6層の多層カーボンナノチューブを70nm径のビアに密充填した場合の抵抗値が、Cuのビアの抵抗値と同等程度に低いことが、見積もられている。この見積もりに基づくと、多層カーボンナノチューブの目標密度は、 $5 \times 10^{12}/\text{cm}^2$ となる。現状、 $1 \times 10^{12}/\text{cm}^2$ の垂直に揃った直径制御された多層カーボンナノチューブの例が報告されている。²⁹⁶ この報告とは別に、多層カーボンナノチューブによる70nm径のビアのパルス励起リモートプラズマCVDによる形成が報告されている。^{279, 297}

グラフェンとグラファイト配線 (GRAPHENE AND GRAPHITIC CARBON INTERCONNECTS)

グラフェンは、配線材料として有望な候補の一つである。グラフェンは本質的に2次元的な材料であり、水平配線として理想的であろう。グラフェンはカーボンナノチューブ同様、大電流密度に耐えることができる。グラファイトから剥離した数層のグラフェンが $10^8 \text{ A}/\text{cm}^2$ 以上の電流密度に耐えることが研究結果として報告されている。²⁹⁸ 数値シミュレーションによるとグラフェンナリボンは、8nm幅、アスペクト1でCu配線より小さい抵抗値を示し、独立したナリボンの束では、Cu配線よりかなり小さい抵抗値を示す可能性があることが予測される。²⁹⁹ グラフェン配線を実現するためには、基板上での低温合成を実現することが必要である。最近、CVDによるグラフェンの合成が報告された。³⁰⁰⁻³⁰² しかしながら、依然として合成温度は1000°C程度であり、配線応用としては高すぎる温度である。さらにCVDによる合成は、一般的に触媒フィルムが必要であり、グラフェン合成の後、除去する必要がある。ともかく、グラフェン配線を実現するためには、低温合成により注力することが必要とされる。

Cu とシリサイドナノワイヤー配線とビア (CU AND SILICIDE NANOWIRE INTERCONNECTS AND VIAS)

単結晶ナノワイヤ金属が平滑表面に成長できたならば³⁰³⁻³⁰⁵、配線章の配線Cu抵抗値チャートに描かれているような、粒界による抵抗値上昇や側壁のラフネスによる散乱に伴う、多くの課題が低減されるであろう。以下の実現可能性を検証する研究が必要である。:平滑な表面と表面散乱を低減する自己組織化ナノワイヤ;多結晶ナノワイヤ中での抵抗値の直径依存性と拡散表面散乱と粒界散乱を低減する水素不動態化処理。

Low-k 層間絶縁膜 (LOW K INTERLEVEL DIELECTRIC)

配線章に明記されているように、より低い実効比誘電率の配線を実現する方法として、主に、二つのアプローチが検討されている。その二つとは、1)層間絶縁膜への空孔の導入と2)エアーギャップ配線である。多孔質低誘電率材料は、数nm以下の空孔サイズと低密度により2.3程度の比誘電率を示す。層間絶縁膜の空孔含有率を増加することで、k値を2.0以下にすることが可能であるが、機械強度や、プロセス整合性と吸湿性のため、量産適用は限られている。これらの課題を克服するために、新しい分子設計が研究されるべきである。第二のアプローチは、比誘電率が1.0に迫るエアーギャップ配線である。エアーギャップ配線を形成する典型的な2つの方法について以下に述べる。ひとつは、カバレッジの悪いCVD膜により、金属配線間に部分的または完全に空隙を形成する方法であり、他の方法は、金属配線間に犠牲膜を埋め込み、あとで、キャップ絶縁膜越しに選択的に除去する方法である。材料的な観点からのエアーギャップ配線の困難な課題のひとつは、犠牲材料を開発することである。Low-k絶縁膜の課題のまとめは、Table ERM9に含まれている。

層間絶縁膜材料の比誘電率を低減するためには、単位堆積あたりの分極率を低減することが必要である。分極率の低減には、膜の密度を低減する方法と、低分極率の化学構造を用いる方法があり、この二つの方法の組み合わせによる方法も、研究されている。低密度の層間絶縁膜材料としては、シリカゼオライトが候補として挙げられる。³⁰⁶ この材料は、シリカ骨格に存在する多孔質構造による低誘電率と3次元のシリカネットワークによる高い機械強度を示す。Si-O結合より小さい双極子を持つSi-C結合を有するポリカーボシラン系の絶縁膜は、空孔の含有なしに、2.3程度の低い誘電率と³⁰⁷、標準のBST試験条件で優れたCu拡散に対する耐性を示す。この事実は、ポリカーボシラン低誘電率層間絶縁膜によりバリアメタル不要の配線構造ができ、バリアメタルが無いことにより、低抵抗Cu配線の形成が実現できることを示している。さらに、わずかな空孔を導入することで、ポリカーボシランのk値は2.0を切ることもできるかもしれない。もうひとつの低分極率の化学構造を有する材料として、C₃F₈を原料とするプラズマCVDで形成された空孔を含有しないフルオロカーボン膜が報告されている。³⁰⁸ この膜の比誘電率は、2.0よりも小さく、弾性率は、8GPaより高い。さらに、このフルオロカーボン膜は、SiCNバリア絶縁膜への優れた密着性と電界-電流特性において、低いリーク電流密度を示す。C₃F₈によるCVD製膜の場合には、過分解による揮発性のCFラジカル成分の発生を抑制できることから、この膜は、良好な耐熱性を有している。

犠牲材料によるエアーギャップ形成は、低い実効k値の配線を実現するもうひとつの候補である。犠牲材料は、一般的なポリマーであることが多いが、応用は新規であり、他の配線の新規探求材料への潜在的なインパクトは、甚大であろう。犠牲ポリマーは、エアーギャップを形成する際、弊害となるようないかなる残渣も無しに、綺麗に分解しなければならず、エアーギャップが形成されるまでは、Cu配線の形成工程と整合性がなければいけない。窒素中270°Cでの熱分解において、ラジカル開始CVDにより形成されたポリ(シクロヘキシルメタクリレート)系の犠牲ポリマーの残渣は、0.3%以下である。³⁰⁹ 犠牲材料として、ポリ(ネオペンチルメタクリレート-co-エチレングリコールジアクリレート)共重合ポリマーを使用した場合、分解開始温度を290°Cから350°Cに調整でき、そのときの除去率は、93%から98%である。³¹⁰ これらの犠牲材料は、Cu配線プロセスに整合性のある、十分に高い弾性率(3.9-5.5GPa)と高い分解開始温度を示す。プロセスの単純化が、エアーギャップ技術を実現するためには必要であり、他の配線材料に対して新たな要求を付加することになるであろう。Cu密着層とバリア

げたり、全ての半田ジョイントを最終硬化プロセスで合金化し、信頼性の高いジョイントに仕上げる時、それらが機械的に動かないようにするには、より低融点の半田が必要になる。最初の低温半田ジョイントは、それ以降に続く高温のリフロープロセス中でも機械的強度を保たねばならない。高性能リップ・チップパッケージでは、低温実装が熱膨張ストレスを下げるため必要である。鉛フリーの電子パッケージへの移行は、より高融点 (>30°C高い)の Sn-Ag-Cu (SAC)のような鉛フリー半田の使用という結果になり、それらは機械的弾性率が高く、通常仕上げの表面に対する濡れ性が低いという特徴を持つ。それらの高融点と高機械的弾性率のために、パッケージでの熱機械応力が増加する。ERMのキーチャレンジは、SAC合金にまつわるこれらの課題解決のための新奇配線材料の発見と低温、低ストレスの電子パッケージプロセスを提供することである。鉛フリー合金ベースのナノ半田や導電性接着剤を含むも2, 3の新奇材料が発見されている、研究と業界のコンソーシアの取り組みは、計画的なパッケージングの要請に応えるために、これらの材料のフィージビリティ(実行可能性)を立証することが要求されている。

リップチップの組み立て低温化のオプションには次のようなものがある: Sn-BiやSn-Inの合金類を用いる従来からの低温半田、半田付銅配線を全て銅配線に置換えたリップチップパッケージング³¹¹、カーボンナノチューブを用いた一層配線などである。こうした可能性のあるオプションには、ただし重大なチャレンジが直面している。研究と業界のコンソーシアの取り組みは、計画的なパッケージングの要請に応えるために、これらの材料のフィージビリティ(実行可能性)を立証することが要求されている。

ナノ微粒子系半田 (NANOPARTICLE BASED SOLDERS)

多くの金属ナノ微粒子(例えばCu, Sn, In, Bi, Ga, Auなど)では、融点と融解熱が微粒子のサイズとともに低下することが知られている³¹²。この現象は、融解を決めるキーファクターである表面の融解前特性によるもので表面对体積比率の増加による。低融点ナノ微粒子をベースにした半田は、比較的素直な配線を形成することで、低温電子パッケージに役立つだろう。しかしながら、電流を流す能力、エレクトロマイグレーション耐性、スケラビリティなどはまだ理解されていない。例えば、平均粒子サイズ 10nm以下のSnAgをベースにしたナノ半田の融点は、バルク材料の融点が約 225°Cであるのに対して 194°Cまで下がることが実証されている³¹³。関連する 10nm SAC合金の融点は 199°Cまで下がる。半田ナノ微粒子合成のキーチャレンジは酸化の防止であり、表面パッシベーションである。表面活性剤は低温で反結合ないし分解を起こし、初期の”ハーフ半田接合”が作られる。そして最終の接合は、従来からのリフロープロセスによって行われる。これは、はじめに低温半田アタッチして、その後で高温硬化するような、ある種の応用では有効だが、多くのパッケージ応用は、やはり低温半田だけで良い半田接合を形成できた方が良い。ナノ微粒子半田のキーチャレンジは、低温で半田接合が全て可能になるような、ナノ微粒子サイズの最適化や表面活性剤の化学を含む新奇技術の発見である。

導電性接着剤 (ELECTRICALLY CONDUCTIVE ADHESIVES)

導電性接着剤(ECAs)は低温実装のための、一方の新探究材料ファミリーを形成している。ECAsは、エポキシの母材内に典型的にはAgやNiのフレークなどの金属ナノファイバーが埋め込まれている³¹⁴。それらの埋め込まれた材料は、半田のリフロー温度よりもずっと低い 175°C程度で相互接続が必要な二つの表面間で硬化可能である。等方的あるいは異方的ECAsをインプリメンテーションするためのキーチャレンジは以下のものが挙げられる:鉛フリー半田に比べエージングの間にナノフレーク表面上に金属ハイドロオキシドや金属酸化物が形成され、接合抵抗が不安定化すること、低いインパクト特性、低い電気伝導度、低い熱伝導率、低い電流密度耐性、そして金属マイグレーションなどである。それに加えて、drop strength、(ポリマー密着性)、エレクトロマイグレーション耐性、スケラビリティ、信頼性の高いパッケージレベル配線技術といった材料イノベーションが必要である。

将来のパッケージングのためのポリマー材料(POLYMER MATERIALS FOR FUTURE PACKAGING)

ポリマーは、幅広い用途に使える接着剤、アンダーフィル材、モールドイングコンパウンド、サーマルインターフェース材など、多くの実装・パッケージ応用可能である。それらのポリマーは集積回路や配線を機械的、熱的、環境ストレスから守らなければならない。そして製品寿命までの間、ずっと要求性能を提供し続けなければならない。さらにこれらの材料への要求として、塗布中は、ある一連の特性を持ち、プロセス中は、また別の特性、そして最終製品としての性能を持つ必要がある。残念なことに、これらの多くの特性は現在の材料に付加していかなければならないが、一つの特性を変えるためにある材料を加えると、しばしば他の特性が劣化することが多い。クリティカルチャレンジは、ポリマーの特性を独立に変更させることができる添加材の発見にある。

パッケージポリマー特性(PACKAGE POLYMER PROPERTIES)

新しいパッケージング用ポリマーは、将来技術の要求を満たさなければならない。多くの応用にとって、第一に湿度保護、熱膨張係数(CTE)や弾性係数、破壊靱性を含む機械的特性、他の材料との接着性などを提供する粘着層として働く。さらに、それはまた応用毎に特別な性質を提供できなければならない、例えば、high-k や low-k 応用のための比誘電率や電気抵抗、熱/電気伝導度などである。もし低熱抵抗がコンポジットポリマーで必要ならば、熱伝導材料とポリマーと界面を接する他の材料との間の界面熱抵抗は、非常に低くなければならない。

将来のアンダーフィルはチップとパッケージ間の小さいギャップに順応することが必要になる。キャピラリー・アンダーフィルは、塗布中には低い粘性と様々な表面への濡れ性の良さ、硬化中には収縮率の小ささ、硬化後には低い熱膨張係数(10-14ppm)といった性質が求められる。現在のアプローチでは低 CTE を達成するには、粘性が増加してしまう。ナノ材料ではもしかすると、僅かなフィラーを加えることで粘性の増やすことなく、CTE の条件を満たすことができるかもしれない。ナノ材料をエポキシの中に効果的に組み込み、塗布と接着時の粘性劣化を伴わず、CTE を調整できる技術の研究が必要になる。アンダーフィルの別のアプローチとして、基板レベルの接着では、低 CTE で半田やポリマーや他の材料との粘着性が良く、しかし硬化の際には収縮がないようなものが必要である。ここでもまた低 CTE、サーモセット(thermoset)ポリマーの低収縮性、半田接合形成と干渉しないなどを可能にするナノ材料の集積化の研究が必要である。

モールドイング複合材は、高性能チップ積層からスマートカードのようなフレキシブルエレクトロニクスまで、幅広い応用を支えるものとして必要になるだろう。フリップチップ実装が増えるにつれ、チップを包み込むように、チップと基板の間のギャップを埋めるアンダーフィルとしての性質が必要になり、そのため塗布の粘性と全ての表面に対する密着性が重要になるだろう。所望の特性を持つ材料開発にもイノベーションが必要である、例えば、薄膜シリコンのベンディング(折り曲げ)ストレスからくる割れを抑制するフレキシビリティや、シリコンとフレキシブル基板間の CET 互換性、IC 材料への強い接着性などが挙げられる。

基板レベルあるいは小さいダイレベルあるいはチップ積層パッケージングのために、接着剤には、シリコンと他のダイの材料間のストレスを吸収し、小さな収縮率と低 CTE、低弾性係数、低誘電率を示し、時に高い横方向熱伝導率を持つことが要求される。ここでもまた、モジュールの機械的、熱的特性や耐湿性とは独立に、サーモセット・ポリマーへのナノ材料の取り込みについての研究が必要である。

ナノテクノロジーは、多機能なナノ複合材料などにより、同時にかつステップファンクショナルに特性を改善し、あるいは新奇な特性変更をもたらすことで³¹⁵⁾利益を提供できる。そのような複合材は、将来、モールド複合材、アンダーフィル、あるいはダイアタッチ材などに用いられる潜在的な可能性がある。粒子サイズ減少は複合材のCTEを下げるのに貢献するだろう³¹⁶⁾。また別のナノ複合材料からは、切断強度(decoupling stiffness)や靱性(toughness)についての可能性が期待できる。しかしながら、従来からのプロセス、分散(インターカレーションと層間剥離)に関するチャレンジが、ナノ複合材料をフル活用するには障害として残されている。フィラーの表面化学、すなわちシリカ系フィラー上のエポキシ、酸、アミン、シロキサンなどは、母材フィラーのインターカレーションや層間剥離の実現のため、極めて重要な役割を果たす。ひとたびフィラーがうまく分散でき、母材に良く

差し込まれる(intercalated)(ボンド結合)ようになると、それらは変形中に一時的な交差リンカーとして働き、靱性(toughness)改善やクラック防止あるいは回避に役立つ。もし、よくボンド結合されたフィラーは、変形中にポリマーチェーンを用いて移動することが可能である。結果としてのナノ複合材料は、一方でわずかな弾性率の増加が見られるが、低いCTEと顕著な靱性の増加を示している。酸化フィラーの追加は複合材の表面エネルギーの増加をもたらし、それにより接着性が改善する。しかしながら、接着性の改善がもたらされる基礎的要因を理解する研究は必要である³¹⁷⁾。2007年のITRS ERM章で示されたグランドチャレンジは、低CTE、低弾性率、高破壊靱性、高粘着、低湿度吸収など、同時に実現すべき要請でもある。

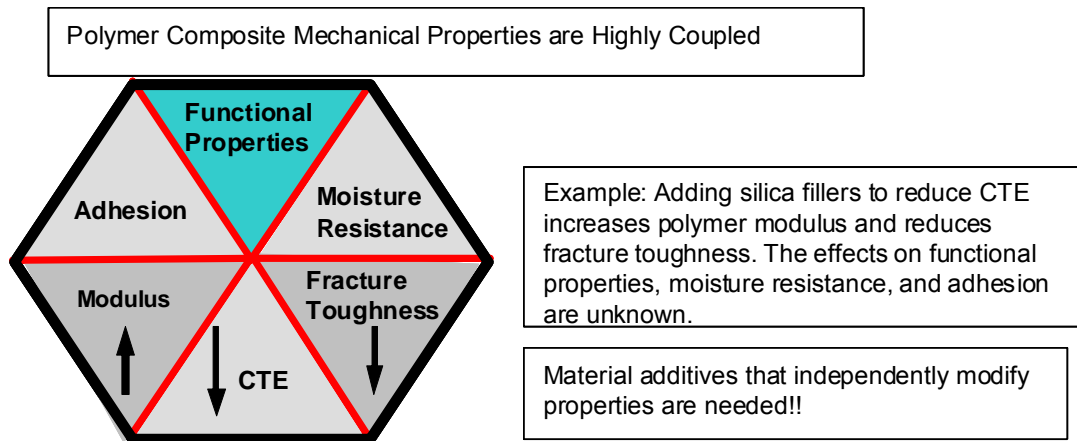


Figure 3 Polymer Composite Materials' Coupling Example

パッケージポリマーは、機械的抵抗と耐湿性の両方の要請と、抵抗や比誘電率、熱伝導率のような機能的性質を同時に満たさなければならない。現在のアプローチでは複数の特性は密接に関係し合い、CTE 低減のためのフィラー追加は、しばしばそのほかの特性を決めてしまう。他の性質を変えることなく独立にナノ材料をポリマーに加えることができるかどうかは必要な研究である。

将来のパッケージのための低次元材料(Low Dimensional Materials for Future Packaging)

ナノチューブ実装配線(NANOTUBE INTERCONNECTS)

2007年版ITRS ERM章では、カーボンナノチューブなどの低次元材料をチップ配線のエレクトロマイグレーション対策の候補技術として取りあげた。しかし、それらの材料には幾つものキーチャレンジが明らかされた。例えば 1)実装プロセスと互換性のあるパッケージング、2)必要な電気的抵抗と界面のエレクトロマイグレーションを含む信頼性、3)低実装コストなどである。

チャレンジは厄介そうではあるが、パッケージングと互換性のある2種類のナノチューブ実装法の探索的研究が進行中である。それらは 1) in situで低温でナノチューブを成長する方法(<300°C)、2)ナノチューブアレイを別途合成し、その後、基板から移す方法である³¹⁸⁾。第1のアプローチでは350-500°Cの成長温度が報告されている³¹⁸⁾。第2のアプローチでは、移す過程でナノチューブアレイの崩れが起き、とりわけ微細ピッチのFCBGAs作製中に損害が生じる。

別のチャレンジはナノチューブに起因する高いコンタクト抵抗である。仕事関数のマッチングによってナノチューブに対する低コンタクト抵抗が得られる金属として、PdやRhなどが知られている³¹⁹⁾。モデリングの報告によれば、高密度化したナノチューブではコンタクト抵抗の目標値を達成できることが予測されている³²⁰⁾。従って、低金属抵抗コンタクトとナノチューブアレイの高密度成長に関係する今後の努力が必要である。

パッケージ熱マネージメントのためのナノチューブ (NANOTUBES FOR PACKAGE THERMAL MANAGEMENT)

2007年版ITRS ERM章では、将来のパッケージ応用のための可能性のある熱マネージメント候補として、ナノチューブや他の低次元材料が紹介されている。ナノチューブの真性の高熱伝導度は熱インターフェース材料の有力な候補としての妥当性を示している。この材料が実用化されるには乗り越えるべきキーチャレンジとしては：1)コンタクト界面低熱抵抗、2)熱源とヒートシンクの間での直接の熱伝導パスとなる高密度ナノチューブが含まれる。ナノチューブ密度とシリコンあるいはシリコン酸化膜との密着性が、金属的界面を通しての熱特性を最適化するために必要である。

パッケージ熱マネージメントのための先進熱電ナノ材料 (ADVANCED THERMOELECTRIC NANOMATERIALS FOR PACKAGE THERMAL MANAGEMENT)

熱電冷却は先進の半導体パッケージの熱マネージメントの要求を満たすための候補となる。熱電冷却能力は無次元の性能指数 ZT で概算でき、 ZT は最近の半導体ナノ構造で急激な進展(スパイク)が見られるまで、長らく1以下の値に停滞していた³²¹⁾。1.3~1.6の値がPbSeTe/PbTeの量子ドット超格子によって報告された³²²⁾。 ZT の最高値(約2.4)は、今までBi₂Te₃とSb₂Teのナノ構造薄膜超格子において得られていて³²³⁾、これらの材料システムによるデバイスが最近報告された³²⁴⁾。これらの新奇ナノ材料は、今後さらに半導体パッケージの熱マネージメントの発展への貢献が見込まれるものの、困難なチャレンジングも残されている。それらにはコンタクトの寄生部分が含まれるが、それはデバイスがいつ作られたとしても現れるもので、かつナノ材料固有の冷却能力を著しく劣化させるものである。

高性能キャパシタ (HIGH PERFORMANCE CAPACITORS)

高速高出力密度キャパシタは、高性能ロジックの電力分離(Power isolation)に必要である。将来の電力分離キャパシタはGHz周波数で動作し高電流を瞬時に流せなければならない。これをサポートする材料は、高比誘電率材料で低抵抗配線、小さい電極間距離が作製できる必要がある。最も高い比誘電率材料は、デバイス材料のセクションで述べた複合金属酸化物であり、カチオンと酸素欠陥がその信頼性を低下させるという困難さがある。配線セクションで取り上げたナノチューブやナノワイヤは低抵抗配線の可能性を持つが、それらの最も困難な課題は低抵抗電極を非常に近接して低コストで作る技術にある。可能性のあるオプションは電極材料に制御された自己組織化材料を用いた高比誘電率キャパシタであるが、集積化には低欠陥密度が要求される。

環境・安全・健康(ENVIRONMENT, SAFETY, AND HEALTH)

過去 10 年の間、新規材料の導入は半導体産業によるトランジスタの高密度化と“等価的スケーリング”による性能向上を可能にした。このような例には、配線速度を上げるための Cu/Low k 配線の導入や電力消費を抑えつつトランジスタ性能を拡張するための新しいゲート電極の高誘電率ゲート絶縁膜の導入が挙げられる。集積回路への新規材料の導入は、製造時に複数の新規材料を使用することでもある。半導体産業は、将来も高密度・高機能技術の提供するための多くの重要な課題に直面しているにも関わらず、解決策となるような材料は少ない。新規材料の技術への導入のハードルは高いので、新規材料には斬新的アプローチに優るはっきりとした性能的な優位性がなくてはならない。しかし、すべての選択肢に既知のあるいは未知の毒性的挙動が起こりえる可能性もある。解決策が強く求められる一方で、毒性的挙動が未知である場合、急性毒性の可能性と長期的な影響を明らかにするための研究が重要となる。これらの材料は技術的な選択肢に数えられるようになってきており、半導体産業界は低減と管理のための戦略を練るために技術、ESH 特性、挙動への理解を深めなくてはならない。重要な新探求材料の導入の可能性が高くなっており、ESH TWG はこのような材料の潜在的な課題に取り組むための戦略の実現可能性を評価する予定である。

ESH 技術ワーキンググループ(原文:work group)及び新規材料の実現の可能性が強くなったときに特定される研究コミュニティ支援のために、他の技術ワーキンググループ(原文:work group)との連携により導入時期予定表の早急な作成を行う。表 ERM12 のように、実現可能性の時期は、3~5 年以内の実現の可能性があるカーボンや金属ナノチューブ、酸化ナノ粒子、機能性分子、自己組織化材料等、応用によって大きく異なる。カーボン及び金属ナノチューブの埋め込みアプリケーションのこの期間内における応用として実装とパッケージが考えられる。酸化ナノ粒子はリソグラフィの新規フォトレジスト添加剤や、実装とパッケージのパッケージ高分子添加剤への応用が考えられる。新規機能性分子は、化学処理とリソグラフィにおけるフォトレジストへの応用が考えられる。自己組織化材料は、埋め込みパッケージへの応用が可能である。いずれも新探求材料のなかでもっとも導入時期が早いと予想されている。本表は将来の新探求材料ロードマップで更新される。

Table ERM12 ITWG Earliest Potential ERM Insertion Opportunity Matrix

Application	Ge & III-V	Carbon Nanotubes and other Metal Nanotubes	Nanowires	Graphene	Oxide Nanoparticles	Metal Nanoparticles	Novel Macromolecules	Self Assembled Materials	Complex Metal Oxides	Spin Materials (Fe, Co, Mn, Ni, etc.)
Process Materials										
Lithography										
Device: Memory										MRAM
Device: Logic										
Interconnect										
Packaging										
LEGEND										
Earliest Potential Insertion	Current Apps	3-5 yrs	5-10 yrs	10-15 yrs	15+ yrs	Not on the Roadmap				

【訳者注】Table ERM12 の”Ge \$ III-V”と”Interconnect”の交点は、5-10yrs の色が付けられているが、ここは”Not on the Roadmap”に色に修正することが日本委員会からすでに提案されている。

計測 (Metrology)

新規探索材料(ERM(Emerging Research Material))のための計測には、原子・ナノメートルスケールでの3次元構造、組成と物性についての評価技術が必要である。さらに、埋め込まれた材料、界面や欠陥における局所的なナノスケール構造を評価するための非破壊的な手法と、複合的なナノスケールの特性を同時測定できる基盤技術(プラットフォーム)も必要とされている。新規探索材料に関連した計測技術についての更なる議論については、「Metrology」章の「新規探索材料およびデバイスための計測」のセクションを参照ください。

ナノメートルスケール構造／組成の評価とイメージング (Characterization and Imaging of Nano-Scale Structures and Composition)

多種多様な新規の複合機能材料をナノメートルスケール構造に集積化するためには、それらの原子構造と組成を可視化できる計測技術が特に必要とされている。これらの新材料には、Ⅲ-V化合物半導体、カーボンナノチューブやグラフェンなどの軽元素(小さな原子番号の元素)材料、ヘテロナノワイヤーのようなナノ構造材料、金属配線、希薄磁性半導体のようなスピン材料、複合金属酸化物とドーピングされた遷移金属酸化物が含まれている。それらの材料のナノ構造、組成や配向を実時間で評価でき、“その場”測定できる非破壊な評価法が必要とされている。そのような評価法は、材料のナノ構造とマクロな特性との相関関係を明確にする上で必須である。例えば、ソースとドレインの界面やチャンネル領域における精密なドーピング制御に対するニーズが挙げられる。ここ数年の内には、数個のドーパント原子の位置のズレが、ナノスケールの回路やシステムのデバイス性能に大きなバラツキを引き起こすと予想される。これにともなって、評価手法には、制御した自己組織化(原文:directed self assembly)や位置制御可能な作製法(原文:deterministic fabrication)のような新規ナノ作製(原文:nanofabrication)法において、新規のナノデバイスや回路の構造と機能性を制御し着実に改善していくために、定量的に評価できる必要がある。

界面と埋め込まれたナノ構造に対する計測のニーズ (Metrology Needs for Interfaces and Embedded Nano-Structures)^{325,326}

デバイスや配線向けの応用が検討されている新規探索材料では、他の材料とともに集積化されることで、そこに界面が形成されるが、その界面における原子構造、組成、界面結合、欠陥、応力およびナノスケール物性の効果を理解し制御することは、ますます重要なものとなってきている。埋め込まれた接合部や他のヘテロ構造に対して、構造的および電気的特性と界面構造の安定性を非破壊で評価できることは、非常に重要であり必要とされているが、実際に実現するのは困難である。界面における分極および電子状態だけでなくナノスケールの構造、原子レベル構造体を評価することで、界面状態がそれらの動作に影響しているかどうかを理解できるようになる。現状における表面下/埋もれた界面のイメージングと測定技術は、界面現象を理解するには十分ではない。また、これらの現状の技術の多くは、測定時に断面を必要とするため、破壊検査になってしまうという問題点もある。これらの環境に敏感な特性を理解する上での課題としては、適切な非破壊な3次元評価ツールと手法の開発と適用にある。さらに加えて、交互に変化する状態変数(訳者注:例えば磁気メモリにおけるスピンの向きなど)が次世代新規デバイス(beyond CMOS)に応用するために探索される時には、ナノスケールの物体と界面から得られる情報を最大化するために、相関／マルチモード顕微鏡(原文:correlated, multimodal microscopies)が必要となる。このような解析システムには、複数の測定技術が、同時に、または非同期で適用されることともに、さらに、プローブと試料の相互作用を分離し、小さな変化を受けていない界面構造や物性を分別するためのモデリングも必要である。

ナノスケールの構造における欠損および欠陥の評価 (Characterization of Vacancies and Defects in Nano-Scale Structures)³²⁷

多くのナノ構造材料の物性は、材料中に含まれる低濃度の空孔や欠陥によって大きな影響を受ける。このため、空孔、欠陥、ドーパント原子と界面構造の位置を正確に把握できることが、将来の新規デバイスを選択するために必要である。CMOSまたはその代替となるチャンネル・トランジスタの場合には、ドーパント分布の統計論的な変化が、閾値電圧分布の変動を引き起こす。材料間に界面が形成されると、結合が切断され欠陥が生成し、それが構造中へ拡散できるようになる。グラフェンやカーボンナノチューブの場合には、部分的なC-H結合の生成やカーボン原子の欠損が、これらの材料の電子的、熱的な物性を大きく変化させる。あるいは、ある官能基を修飾すること(原文: functionalization)によっても、バンドギャップ内に別の(不純物)準位を導入するカーボン原子の欠損生成や変性(原文: rehybridization)を促すことになりうる。こうした材料の僅かな変性(原文: perturbations)が、これらの材料の特性を劇的に変えることがある。複合金属酸化物の電氣的、強誘電性や強磁性の特性も、酸素欠陥の存在とその位置によって強く影響を受ける。というのも、それらが結晶構造内に局所的な乱れを生成させることで、結晶の対称性が破れたり、制御できない新たな電子状態を生成するからである。複合酸化物のヘテロ界面では、界面のキャリア濃度が酸素空孔の存在によって変化しうることから、ナノメートルスケール構造における低濃度の空孔と欠陥を検出できないかが検討されている。顕微鏡に対する性能向上への明確なニーズに加え、他の物理測定手法についても欠陥と物性間の関係を測定、定量、理解できるように、性能の向上が図られるべきである。

ナノスケール新規探索材料の物性のウェーハレベルでのマッピング (Wafer Level Mapping of Properties of Nanoscale ERM)^{326, 328-331}

多くの低次元材料の物性を測定およびマッピングできることが、広範な潜在的な用途に対応できる材料合成技術の開発を支援するには必要である。そのような合成技術上の発展は、高品質な材料の再現性の良い製造技術と、そのサンプルの構造、純度と物性を迅速に評価できる手法の存在に懸かっている。例えば、グラフェンを成長させるための幾つかの方法では、様々な層数のグラフェン層³²⁹や様々な欠陥³³⁰を持っているサンプルを生成する傾向がある。分光学的な手法においては、グラフェンの単層、2層やバルクのグラファイト間の違いを識別することができるが³³¹、さらに、グラフェン層数や欠陥の存在を迅速に予測できる必要がある。ロバストな製造法においては、出来ればインラインでウェーハ面内におけるバンドギャップ分布をマッピングすることにより、目標値から外れた特性を持つ領域を特定して、下地基板とグラフェンとの相互作用を評価することが可能にすることが要求される。ラマン分光法、蛍光や他の分光手法のような幾つかの評価技術は、局所的な化学的な環境に敏感である一方で、これらの材料の局所的な電子的な特性評価を支援できるような別の手法も必要とされている。新規評価手法については、潜在的な特殊な用途へも適用拡大できるように、更なる性能の向上が要求されており、特に、測定スピード、確度と精度の間のバランスを改善する必要がある。

スピンおよび電気特性の同時測定のための計測のニーズ (Metrology Needs for Simultaneous Spin and Electrical Measurements)³³²⁻³³⁷

幾つかの次世代新規デバイス(原文: beyond CMOS)では、交互に変わる状態変数としてスピン状態が利用されている。これら一連のデバイスには、スピン注入トルク磁気ランダムアクセスメモリー(MRAM)、ナノスケールスピントランジスタ、スピン波デバイス、強誘電性/磁性ハイブリット構造と他のスピンベースの論理デバイス概念も含まれている³³²。これらのタイプの新規ナノスケールスピデバイスや材料についての特徴や特性は、電荷輸送を基礎にした従来型CMOSデバイスのものとは異なっている。スピン材料の特性評価における固有の課題としては、磁区の原子スケールイメージ、磁壁移動のダイナミクス、磁性体から半導体への効率的で高速

なスピン注入に必要とされる界面状態と、スピンの輸送と寿命の測定がある。磁性材料の特性評価のための測定とイメージング技術について最近総括されているが³³⁶、これらの技術には、散乱を利用した技術(中性子、X線、電子と光)と、近接プローブ技術(フォース顕微鏡、スピン偏極STM、走査型近接場磁気光学顕微鏡)が含まれている。つい最近には、磁気円偏光二色性(原文:magnetic circular dichroism(XMCD))が、多層膜構造の磁壁をイメージするのに使われている³³⁷。磁区をイメージングするための電子散乱法には、透過電子顕微鏡のローレンツイメージング法と、走査型電子顕微鏡による偏光解析法(原文:polarization analysis in the scanning electron microscope (SEMPA))がある。走査型近接場光学顕微鏡は、ナノメートルスケールでカー回転効果を測定するために開発されている。仕事関数の減少効果については光電子分光法で測定されている。

複合金属酸化物系のための計測ニーズ (Metrology Needs for Complex Metal Oxide Systems)³³⁸⁻³⁴³

マルチフェロイクス(原文:multiferroics)のような相関酸化物系は、競合電荷と結合電荷、スピン、軌道と格子の自由度を持っており、それらが新たな電氣的かつ磁氣的な相を形成させている。これらの材料は新デバイス概念を可能ならしめる潜在能力を持っている。スピン・ロジックをベースにした新規メモリーは、電子配置と磁気スピン配置をカップリングさせることができる。磁壁には、電子電導性のような(ただし、磁壁を構成する母材(matrix)の多機能性材料の特性にはない)機能を獲得できることが分っている³³⁸。これらの電氣的に導電性を有する界面が、有用に利用できるようになるためには、それらの核の発生と位置を決める因子を理解し、再現性良く制御されなければならない³³⁹。ピエゾフォース顕微鏡はナノメートルスケールで強誘電性材料と圧電性材料の静的、動的な特性を評価するのに有用である³⁴⁰。両者が共存する相(原文:coupled phases)では、陽イオンの乱れと空孔に対して敏感であることが分っている。計測法の機能としては、これらの相とその相転移ダイナミクスと、それらの電氣的、磁氣的、そして軌道についての局所的な規則度との相関関係を評価することが必要である。

分子デバイスのための計測 (Metrology for Molecular Devices)³⁴⁴⁻³⁴⁶

計測技術の性能向上により、個々の分子や分子界面での輸送現象を理解できるようになってきている。これらの計測ツールは、分子振動状態を研究するための非弾性電子トンネル分光法³⁴⁴や裏面反射測定FTIR³⁴⁵、転移電圧スペクトル(原文:transition voltage spectra)、STM、導電性AFMとケルビンプローブAFMが含まれている。しかしながら、分子との接触相互作用や、埋め込まれた界面と分子の電氣的な特性も評価できる非破壊で”その場”測定可能な3次元手法のような新規な概念の計測を開発するためには、さらに研究を進める必要がある。

機能性分子材料のための計測のニーズ (Metrology Needs for Macromolecular Materials)³⁴⁷⁻³⁵⁵

設計された機能性分子(原文:macromolecules)やその関連材料に対応した新たな評価手法群が、将来にも長期的に利用されると見込まれているパターンニング技術の要求を満たすために必要とされている。例えば、ナノインプリントによるパターン転写技術(NIL)は、22nm以降のパターンニング技術として期待されるものとして見做されているが、この技術では、鋳型、リリース層、レジストとインプリント機能材料に関係した幾つかの性能面での課題に直面している。このため新たな評価手法は、パターン忠実度(設計値に対する再現精度)、乱れと欠陥、せん断応力とパターン倒れ、接着強度と剥離挙動のような将来予想される重要な材料的な特性要件を評価できる必要がある。

誘導自己組織化技術のための計測のニーズ (Metrology Needs for Directed Self-Assembly)³⁵⁶⁻³⁶³

リソグラフィ技術の延命策となる、あるいは決められた位置や配列にナノ構造材料を組み込んだ誘導自己組織化技術(DSA: Directed Self Assembly)では、重要な材料物性を評価できる設計手法が必要とされる。しかしながら、従来の計測手法では、サブ100nm厚の有機材料中の局所的なナノメーター構造を評価、イメージングすることは困難である。制御した自己組織化材料をベースにしたブロック共重合ポリマーが、リソグラフィ技術への有望な解決案となるためには、ロバストで非破壊なナノスケール測定方法が必要となる。特に、相分離した膜の3次元評価を可能にするための研究が必要とされており、必須な評価基準としては、形状、均一性、ライン幅ラフネス(訳者注:LWR)、位置、既存構造に対する位置合わせ、設定された表面エネルギー、アニール機構と欠陥などが含まれている。

プローブとサンプル間の相互作用のモデリングと分析 (Modeling and Analysis of Probe-Sample Interactions)

電子顕微鏡や走査型プローブや光学プローブのようなナノメータースケールの測定ツールでは、プローブとサンプル状態の間に大きな相互作用(原文:coupling)が見られることから、これらの相互作用を分離(原文:decoupling)するための方法を開発し、ナノスケールの構造と特性を正確に分離し決定するために、重要な研究が必要とされている。ナノスケール構造における変化、欠陥位置、電気的、磁氣的そして光学的な物性を評価するためには、動的な試料—プローブ間の相互作用のモデルも必要である。加えて、両者の相互作用を含む信号から真の構造と物性の情報を抽出できるようなアルゴリズムを発展させる必要がある。

ウルトラスケールデバイスのための計測のニーズ (Metrology Needs for Ultra-Scaled Devices)³⁶⁴⁻³⁶⁷

新規のナノスケールデバイスの性能と信頼性を評価するためには、新計測法とモデルが必要である。新規なナノスケールの特性が、デバイスの性能や信頼性を低下させる新たなメカニズムを導入することになる。例えば、パーセントオーダーまで増大している寸法の変動は、ロバストなデバイス特性を実現する上、また、デバイスが動作可能な下限値を低下させる上で、大きな課題となっている。特にアナログ回路はS/N比の低下に対して敏感である。変動源とデバイスノイズにおいて、それらの影響を完全に理解することは、ナノエレクトロニクスに新規材料を上手くデバイスに組み込み集積化できるためには、絶対に必要である³⁶⁷。この基本的な要求が、ナノスケールシステムにおける重要かつ新規の変動およびノイズのナノスケール発生源を特定、評価するためのツールを開発するための原動力となっている。

新規探索材料のための環境、安全と健康のための計測 (Metrology for ERM Environmental Safety and Health)

作業環境中や廃液中のナノ粒子の存在と挙動を検出できる計測法が必要である。

モデリング/シミュレーション (MODELING AND SIMULATION)

デバイスのサイズが 22nmかそれ以下になると、材料モデリングあるいは計算材料科学が技術開発の重要な部分を占めるようになってくる。ここで、技術開発のいくつかの(モデリングの)重要部分を提示しなくてはならない。それら³⁶⁸には、以下の項目が含まれる。

1. 構造と組成がよくコントロールされた合成、とりわけ、界面、多層界面構造の制御。物質の構造はその性質を決定するので、ナノスケールの特殊構造とその生成過程との関係を、精密に評価することが重要である。
2. これら特別な構造における材料特性、これには状態遷移や欠陥の状態などを記述する界面物理、さらに伝導度や移動度のようなトピックとして選ばれた非平衡的性質を記述する物理も含まれる
3. 試料とプローブの相互作用、これは試料の構造、組成物、重要な性質を定量化することを助ける。

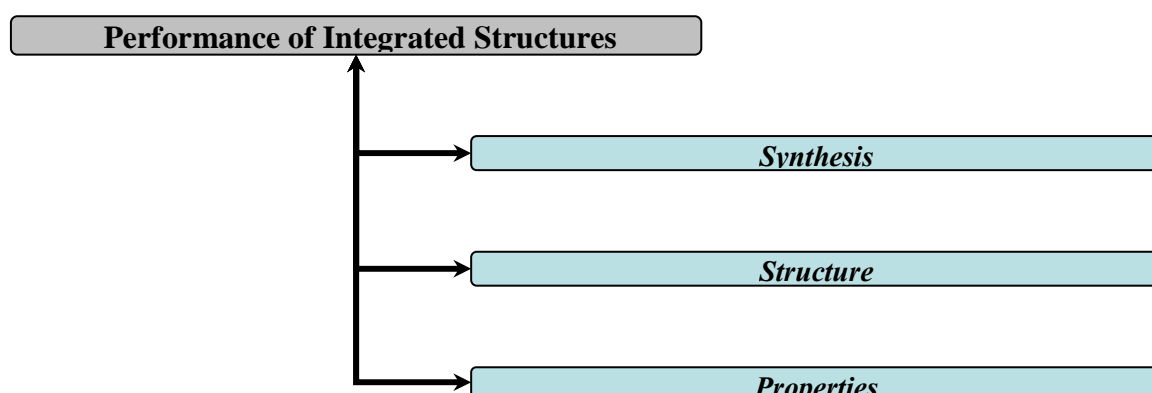


Figure 4 Performance of Integrated Structures

材料のモデリングは、要求される精度と最終的に要求される応用レベルによっていくつかの水準で適用される。技術開発に対して材料モデリングが価値を提供するさまざまな段階が存在する。まず材料開発の初期における第一段階として必要になるのは、物質の構造や化学的性質を材料の性質と関連付けることである。材料の性質は、材料の用途と応用技術を決定的なものである、この関連付けは材料モデリングの最も重要な応用となる。第二段階として、材料モデリングを材料特性の向上に適用し、材料の構造、組成、純度を最適化することを実現することである。第三段階としてモデリングを用いて、材料の性質とデバイス機能の関係を調べることである。この段階でのモデリングは実験による観測と合わせて、生成と集積化を最適化するために用いられる。

材料の振る舞いはその電子構造と格子の物理と密接な相関がある。これらの相関は、電荷ベースのデバイス技術、あるいは非電荷ベースのデバイス技術へ適用できる。それは、このディメンジョンでの物理的・化学的効果が電子構造と密接な関係をもつからである。したがって、物理モデルと数値的シミュレーションは重要で、これらは

1. 観測された現象を説明でき、
2. 新規現象を予測でき、
3. 実験的研究を狙った特性へと先導でき、
4. メトロジーの解釈が出来る。

それに加え、モデリングとシミュレーションは、力学的なダイナミクスと製造工程と材料との密接な関係に関する基礎的な理解を与えてくれる。

ERM における材料応用は、基礎的な理解と、生成プロセス、構造、材料特性の評価技術を必要としている。これは、デバイスであれ、インターコネクトであれ、あるいは実装であれ、新規材料をエマージングなシステムへと組みこむための、きわめて自然な論理の流れといえる。生成の手法と反応条件の選択は、工業的に応用される材料の構造と組成を決める。構造が決まると材料の特性と性能が決定される。後続の図面に示したように、モデルはもっともらしい仮定のもとに、さまざまな次元へと拡張されねばならず、シミュレーションもさまざまなスケールで実行されなくてはならない。材料シミュレーションの鍵となる目標は、原子クラスターや材料同士の界面、高集積化されたデバイスへの振る舞いを変調する薄膜の次元を決定付けるために、原子スケール・ナノスケールレベルの化学的パラメータを特定し定量化することである。

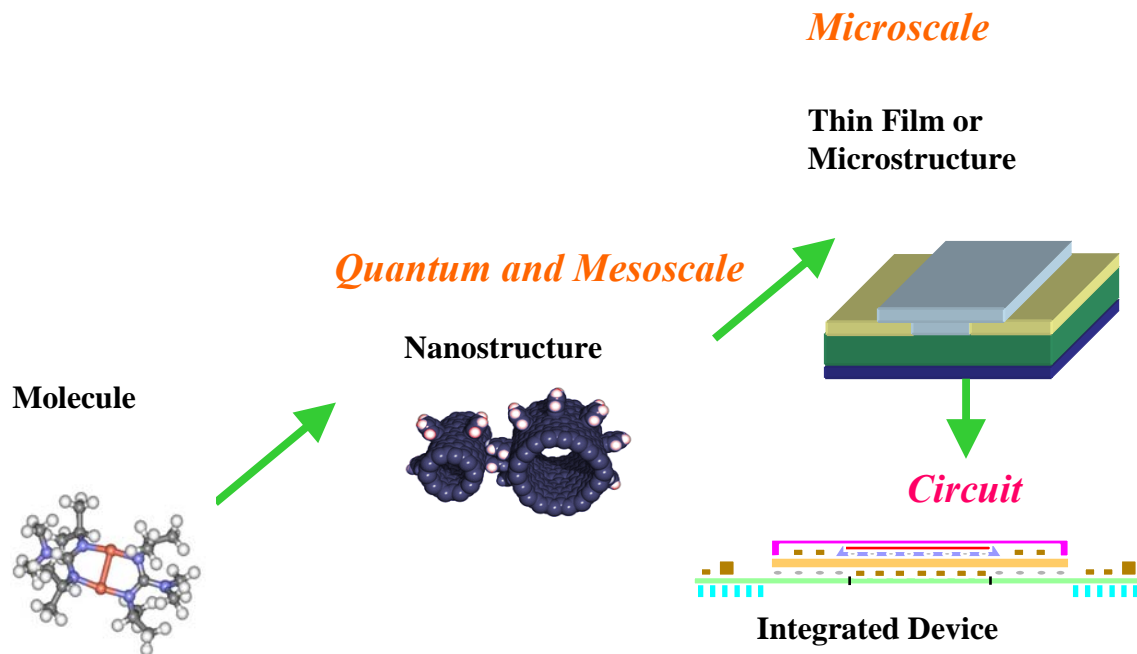


Figure 5 Multi-scale Perspective in Nanotechnology where Materials Form an Important Role at Different Levels.

ナノテクノロジーにおいて要求される材料モデリングの複雑さは増えるばかりである。それは次の項目を含むさまざまな要素が複雑化していることが原因である。

1. コンビナトリアルな系—おのこの要素技術において使用する材料の種類が増え続けている。
2. サイズ—殆どのデバイスのサイズが、材料のドメインサイズ(粒界のサイズ、薄膜の厚さ)に拮抗している。
3. トポグラフィー—平坦でない材料構造は材料の性質や振る舞いを変化させる。それは、異なる材料が複数個の界面に位置するからである。
4. トポロジー—ナノ構造や分子のトポロジー

生成 (SYNTHESIS)

生成を予測できるようにモデリングすることと、プロセス条件が及ぼす生成材料や薄膜の構造・組成への効果を決定することとを可能にすることは、提唱された材料が本当に実現可能かどうかを理解するのに重要である。生成プロセスは材料やその薄膜の構造と組成を決定付ける。材料特性を予測するためには、重要な構造の評価と物理モデリングが必要になる。モデリングの視点から見れば、鍵となる要素は生成反応の前駆体となる分子の役割と反応機構の理解と、生成の結果できたある特殊な構造の成長過程の理解である。ナノスコピックな材料のモフォロジーを制御するためには、相の安定性、原子スケールの現象のダイナミクスに関する詳細な情

報が必要である。原子間力の及ぶ範囲に比べて、その次元がそんなに大きくないであろうナノ材料においては、古典的な熱力学的概念、例えば全体的・局所的性質といったもきりわけは、もはや妥当ではない。^{369,370}有限サイズの相転移の理論を進化させることは重要かもしれない。そして、相転移現象のダイナミクス、それが及ぼすあるナノスケール材料の核形勢や生成過程への影響の理解に役立てるべきである。異なる視点から、材料生成をモデリングするマルチスケールの技術が使用されている。密度汎関数理論は量子論的解釈に欠かせない。モンテカルロ計算の技術、あるいは分子動力学が材料のダイナミクスのモデリングには欠かせない。そして、連続体近似はプロセスシミュレーションに役に立つ。^{371,372} 実際に解くことが出来るサイズには限りがあるのだから、異なる長さや時間のスケールに対応した計算技術の融合は、材料の構造を有効にモデリングするのに不可欠である。この節の詳細はモデリングとシミュレーションの章で述べられている。

構造と性質 (STRUCTURE AND PROPERTIES)

ナノ構造物質を、異なる組成、構造、そして欠陥を含めてその性質をモデリングしシミュレートできることが、その物質の性質を決める構造因子を理解するために不可欠である。材料の性質そのものは、凝集系の原子構造と電子構造によって決定される。実際のマクロな系に含まれる電子のシュレディンガー方程式のいかなる解も、次に述べる2つの単純化された方式のうちの一つを選択することにより一般的には得ることが出来る。1) 一体近似と(あるいは)2) 異なるスケールに対応した手法すなわちマルチスケールの技術である。現在問題にしている構造の次元は 45nm かそれ以下なので、このスケールでの材料の性質はバルクにまで集約されたもののそれとは、サイズ効果と界面効果のせいで異なると予想される。

材料モデリングに適応する際の実際の難しい問題のひとつに、問題サイズを大きくした際の効率がスケールしないことがある。フルに量子論的あるいはab-initioなシミュレーションの殆どが、1000 原子数の比較的小さな系で適応可能である。このサイズは体積が 30nm^3 のサイズに該当する。このことはシュレディンガー方程式の実用的な応用にストップをかけている。この結果、密度汎関数理論(Density Functional Theory - DFT)が最も広範囲に使用されている技術となっており、原子数N個に対する3N次元の問題は3次元の基底状態の問題に集約される(この記述は原文を忠実に翻訳したが何かの勘違いと思われる一訳者注)^{373,374}。いくつかの適用事例がDFTを用いたものとして報告されており、殆どが半導体とインターコネクト材料である。

その一方で、強相関の性質を持つ材料(モット絶縁体、スピン軌道結合系など)が、ポストCMOSロジックデバイスや次世代メモリー素子材料として注目されてきた。これらの材料は多体効果が大きすぎてDFTではモデリングできない。その結果、これらの材料に関しては多体理論が主要な応用技術となる^{375,376,377,378}。これらの計算技術は、電子相関をクラスター理論に基づきセルフコンシステントに扱いながら、電子の平衡状態をモデリングする。系が(外部とのエネルギーや電荷のやり取りなどで一訳者補足)開放されている場合には、非平衡の性質が、動的なシュレディンガー方程式を解くこと、時間依存密度汎関数理論や非平衡グリーン関数などの適用で扱われる。コリニアあるいは非コリニアなスピンをモデリングするためには、ディラックの相対論的方程式の解を含んだ数々の手法が適応される³⁷⁹。これら全ての技術は計算負荷が大きく、そのために適応可能な物理問題サイズに限界がある。現在までのところ、このような多体問題を扱う理論では、ナノスケールの相分離といった大きな範囲の相互作用を予測することはできていない。

数百万個の原子を含んだより大きな系に適応できる半経験的なモデルは、相互作用エネルギーをさまざまな(経験的)ポテンシャルで記述するといった実に多彩な手法によって特徴付けられる。原子スケールの問題へ適用できる範囲は、経験的な描像(例えば力場モデル)を用いれば 1 億原子分にまで拡張できる。いくつかの半経験的方法は下記のようなモデリング手法を含んでいる。

1. 量子論的なシミュレーションを元に作られた原子間ポテンシャルをもとにした、古典的分子動力学。

2. *Ab initio*(非経験的)手法で推定された内部エネルギーを利用する動的モンテカルロ手法による、系の時間発展のシミュレート。
 3. 強結合模型(タイトバインディング模型)で、量子論的な式をパラメータ化し、多くの電子数と原子数をもつシステムへの適用を可能にする。
- これらの技術はある程度の範囲の応用範囲で有効であることが実証されているものの、実際に必要なシステムサイズ(～100 ナノメータ)と実際の経過時間(マイクロ秒から秒)にまで拡張される必要がある。

近年の進歩にもかかわらず理論的な制約は多く、実用的な興味を満たす定量的な相関を導く道のは長い。現在までの理論の応用は、平衡状態のエネルギー、状態密度、反応速度、1000 個に数個の割合の原子欠陥、ナノスケールサイズの界面を含む系の電気伝導をカバーしている。量子論的に扱えるスケールでは、現在までのところ適応可能なモデルには限界がある。モデリングにとって主要な問題は以下のようにリストアップされる。

1. 平衡状態の計算をより大きなスケールに対して可能にし、物質の性質とプロセス(成長過程と思われる一訳者注)の温度依存性を評価すること。
2. d軌道電子を有する遷移金属、f軌道電子を有する inner transition metal (内部遷移金属? 該当する日本語見当たらず一訳者注)を扱えること。
3. バンドギャップや励起状態の精度を上げるべく、より一般的な理論的拡張。
4. 強相関係では、スピン、電荷そして格子のダイナミクスにおける相互作用を扱えるようモデルが進歩し、相分離のような長距離相互作用を記述できるようになること。
5. 電子構造の予測結果を、電気伝導などのような非平衡過程と結びつけること—これは殆どのデバイスの動作が非平衡環境下にあるから。
6. いくつもの外場に対して原子やイオンの応答を記述できる格子模型—このトピックはフォノンのダイナミクスや界面を通してのエネルギー輸送の問題に拡張されなくてはならない。
7. 分子動力学やモンテカルロ手法をフェムト秒からマイクロ秒あるいはより長時間へと拡張し、実際の生成や輸送を再現できるようになること。

メトロロジと評価 (METROLOGY AND CHARACTERIZATION)

以前にも触れたように、新規材料の性質が評価される時、その材料の生成、そのさらなる可能な新規構造の探査、物質間のより複雑な相互作用にたいして道筋をつけるべく、モデルが進化しなくてはならない。精度よく測定された構造から導かれた実験結果のデータベースが確定すれば、より精度の高い、完全に非経験的なセルフコンシステントでかつ集約されたモデルの発達が加速するだろう。ナノメーターの空間スケールで材料の特性をより定量的にマッピングするためには、ナノスケール構造を持つ物質どうしの相互作用をプローブできるようモデルが進化する必要がある。構造と性質のマッピングの空間分解能が TEM、AFM、伝導 AFM、ケルビンプローブ AFM、磁気 force マイクロスコーピー(MFM)やその他の新しい計測技術にて改善すれば、ナノメータスケールの材料モデルの発達速度を加速するであろう。

References

- [1] H. Tanoto, S.F. Yoon, W.K. Loke, K.P. Chen, E.A. Fitzgerald, C. Dohrman, and B. Narayanan. "Heteroepitaxial growth of GaAs on (100) Ge/Si using migration enhanced epitaxy." *Journal of Applied Physics*, vol.103, pp. 104901-104906, 2008
- [2] K. Chilukuri, M.J. Mori, C.L. Dohrman, and E.A. Fitzgerald. "Monolithic CMOS-compatible AlGaInP visible LED arrays on silicon on lattice-engineered substrates (SOLES)." *Semiconductor Science and Technology*, vol. 22, pp. 29-34, 2007
- [3] T. Nishinaga, "Microchannel epitaxy: an overview." *Journal of Crystal Growth*, vol. 237-239, pp.1410-1417, 2002
- [4] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka, and N. Sugiyama. "Carrier-transport-enhanced channel CMOS for improved power consumption and performance." *IEEE Transactions on Electron Devices*, vol. 55, pp. 21-39, January, 2008
- [5] I. Yoenaga, "Mechanical properties and dislocation dynamics in III-V compounds". *Journal de Physique III*, vol. 7, pp. 1435-1450, 1997.
- [6] M.J.W. Rodwell, M. Wistey, U. Singiseti, G. Burek, A. Gossard, S. Stemmer, R. Engel-Herbert, Y. Hwang, Y. Zheng, C. Van de Walle, C. Palmstrom, E. Arkun, and P. Simmonds. "Technology development and design for 22nm InGaAs/InP-channel MOSFET's," presented at the IEEE Conference on Indium Phosphide, Versailles, France, 2008.
- [7] J.F. Zheng, W. Tsai, M. Hong, J. Kwo, and T.P. Ma. "Ga₂O₃(Gd₂O₃)/Si₃N₄ dual-layer gate dielectric for InGaAs enhancement mode MOSFET with channel inversion." *Applied Physics Letters*, vol. 91, pp. 223502-3, 2007.
- [8] N. Goel, P. Majhi, W. Tsai, M. Warusawithana, D.G. Schlom, M.B. Santos, J.S. Harris, and Y. Nishi, "High-indium-content InGaAs MOS capacitor with amorphous LaAlO₃ gate dielectric," *Applied Physics Letters*, vol. 91, pp. 093509, 2007.
- [9] P.T. Chen, Y. Sun, E. Kim, P.C. McIntyre, W. Tsai, M. Garner, P. Pianetta, Y. Nishi, and C.O. Chui. "HfO₂ gate dielectric on (NH₄)S passivated (100) GaAs grown by ALD." *Journal of Applied Physics*, vol. 103, pp. 034106, 2008.
- [10] B. Shin, J. Cagnon, R. D. Long, P. K. Hurley, S. Stemmer, and P. C. McIntyre., "Unpinned Interface Between Al₂O₃ Gate Dielectric Layer Grown by Atomic Layer Deposition and Chemically Treated n-In_{0.53}Ga_{0.47}As(001)." *Electrochem. and Solid-State Lett.*, vol. 12, pp. G40-G43, 2009.
- [11] S. Oktyabrsky, V. Tokranov, S. Kovesnikov, M. Yakimov, R. Kambhampati, H. Bakhru, R. Moore, and W. Tsai. "Interface properties of MBE-grown MOS structures with InGaAs/InAlAs buried channel and in-situ high-k oxide." *J. of Crystal Growth*, vol. 311, pp. 1950-1953, 2009.
- [12] I.J. Ok, H. Kim, M. Zhang, F. Zhu, S. Park, J. Yum, H. Zhao, D. Garcia, P. Majhi, N. Goel, W. Tsai, C.K. Gaspe, M.B. Santos, and J.C. Lee. "Self-aligned n-channel MOSFET on high-indium-content In_{0.53}Ga_{0.47}As and InP using PVD HfO₂ and silicon passivation layer." *Applied. Physics Letters*, vol. 92, pp. 202903, 2008.
- [13] S. Kovesnikov, P. Majhi, N. Goel, and W. Tsai. "In_{0.53}Ga_{0.47} As/InP-based MOS capacitors with ALD ZrO₂ gate oxide demonstrating low gate leakage current and equivalent oxide thickness less than 1nm." *Appl. Phys. Lett.*, vol. 92, pp. 22904-3, 2008.
- [14] C. Bae and G. Lukovsky. "Low temperature preparation of GaN-SiO₂ interfaces with low defect density, I Two-step remote plasma assisted oxidation-deposition process and II Remote plasma assisted oxidation of GaN and nitrogen incorporation." *Journal of Vacuum Science and Technology*, vol. A22, pp. 2402-2418, 2004.

- [15] D. G. Schlom, S. Guha, and S. Datta, "Gate Oxides Beyond SiO₂." *MRS Bulletin*, vol. 33, 1017-1025, 2008.
- [16] D.L. Winn, M.J. Hale, T.J. Grassman, A.C. Kummel, R. Droopad, and M. Passlack. "Direct and indirect causes of Fermi level pinning at the SiO/GaAs interface." *Journal of Chemical Physics*, vol. 126, pp. 084703, 2007.
- [17] K.C. Saraswat, C.O. Chui, D. Kim, T. Krishnamohan, and A. Pethe. "High mobility materials and novel device structures for high-performance nanoscale MOSFET's." *IEEE IEDM*, 2006.
- [18] D. Kuzum, T. Krishmohan, A. Pethe, A.K. Okyay, Y. Oshima, Y. Sun, J.P. McVittie, P. Pianetta, P.C. McIntyre, and K.C. Saraswat. "Ge-Interface engineering with ozone oxidation for low interface-state density." *IEEE Electron Device Letters*, vol. 29, pp.328-330, 2008.
- [19] G. Mavrou, P. Tsipas, A. Sotiropoulos, S. Galata, Y. Panayiotatos, A. Dimoulas, C. Marchiori, and J. Fompeyrine. "Very high-k ZrO₂ with La₂O₃ (LaGeO_x) passivating interfacial layers on germanium substrates." *Applied Physics Letters*, vol. 93, 212904, 2008.
- [20] N. Taoka, M. Harada, Y. Yamashita, T. Yamamoto, N. Sugiyama, and S. Takagi. "Effects of Si passivation on Ge metal-insulator-semiconductor interface properties and inversion-layer hole mobility." *Applied Physics Letters*, vol. 92, pp. 113511-3, 2008.
- [21] S.I. Yi, P. Kruse, M. Hale, and A.C. Kummel. "Adsorption of atomic oxygen on GaAs (001)-(2x4) and the resulting surface structures." *Journal of Chemical Physics*, vol. 114, pp. 3215-3223, 2001.
- [22] E. Simoen, A. Satta, A. D'Amore, T. Janssens, T. Clarysse, K. Martens, B. DeJaeger, A. Benedetti, I. Hoflijk, B. Brijs, M. Meuris, and W. Vandervorst, "Ion implantation Issues in the formation of shallow junctions in germanium." *Materials Science in Semiconductor Processing*, vol. 9, pp634-639, 2006.
- [23] J.H. Park, D. Kuzum, M. Tada, K.C. Saraswat., "High performance germanium N+/P and P+/N junction diodes formed at low temperature (<=380C) using metal-induced dopant activation." *Applied Physics Letters*, vol. 93, pp.193507-3, 2008.
- [24] A.K. Geim, K.S. Novoselov. "The rise of graphene." *Nature Mat.*, vol. 6, pp. 183-191, 2007.
- [25] J. Hass, R. Feng, T. Li, X. Li, Z. Zong, W.A. de Heer, P.N. First, E.H. Conrad, C.A. Jeffrey, and C. Berger. "Highly ordered graphene for two dimensional electronics," *Appl. Phys. Lett.*, 89, 143106, 2006.
- [26] Y. Gamo, A. Nagashima, M. Wakabayashi, M. Terai, C. Oshima. "Atomic Structure of Monolayer Graphite Formed on Ni(111)." *Surface Science.*, vol. 374, pp. 61-64, 1997.
- [27] J. Coraux, A.T. N'Diaye, M. Engler, C. Busse, D. Wall, N. Buckanie, F.J. Meyer zu Heringdorf, R. van Gastel, B. Poelsema, T. Michely. "Growth of graphene on Ir(111)." *New Journal of Physics*, vol. 11, pp. 023006, 2009.
- [28] A. B. Preobrajenski, M. Ling Ng, A. S. Vinogradov, and N. Mårtensson. "Controlling graphene corrugation on lattice-mismatched substrates." *Phys. Rev. B*, vol. 78, pp. 073401, 2008.
- [29] A. Reina, X. Jai, J. Ho, D. Nezich, H. Son, V. Bulovic, M.S. Dresselhaus, and J. Kong. "Large Area, Few-Layer Graphene Films on Arbitrary Substrates by Chemical Vapor Deposition." *Nano Letters*, vol. 9, pp. 30-35, 2009.
- [30] K.S. Kim, Y. Zhao, H. Jang, S.Y. Lee, J.M. Kim, K.S. Kim, J-H Ahn, P. Kim, J-Y Choi, and B.H. Hong. "Large-scale pattern growth of graphene films for stretchable transparent electrodes." *Nature*, vol. 457, pp. 706-710, 2009.
- [31] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S.K. Banerjee, L. Colombo, R.S. Ruoff. "Large-Area Synthesis of High-Quality and Uniform Graphene Films on Copper Foils." *Science*, vol. 324, pp. 1312-1314, 2009.

- [32] C. Berger, Z. Song, X. Li, X. Wu, N. Brown, C. Naud, D. Mayou, T. Li, J. Hass, A.N. Marchenkov, E.H. Conrad, P.N. First, and W.A. de Heer. "Electronic Confinement and Coherence in Patterned Epitaxial Graphene." *Science*, vol. 312 pp. 1191-1196, 2006.
- [33] M. Suemitsu, Y. Miyamoto, H. Handa and A. Konno. "Graphene Formation on a 3C-SiC(111) Thin Film Grown on Si(110) Substrate." *e-Journal of Surface Science and Nanotechnology*, vol. 7, pp. 311-313, 2009.
- [34] H.C. Schniepp, J-L Li, M.J. McAllister, H. Sai, M. Herrera-Alonso, D.H. Adamson, R.K. Prud'homme, R. Car, D.A. Saville, and I.A. Aksay. "Functionalized Single Graphene Sheets Derived from Splitting Graphite Oxide." *J. Phys. Chem. B*, vol. 110, pp. 8535-8539, 2006.
- [35] C. Gómez-Navarro, R.T. Weitz, A.M. Bittner, M. Scolari, A. Mews, M. Burghard, and K. Kern. "Electronic Transport Properties of Individual Chemically Reduced Graphene Oxide Sheets." *Nanoletters*. vol.7, pp. 3499 2007..
- [36] V.C. Tung, M.J. Allen, Y. Yang, and R.B. Kaner. "High-throughput solution processing of large-scale graphene." *Nature Nanotech.*, vol. 4, pp. 25-29, 2009.
- [37] M.J. Allen, V.C. Tung, L. Gomez, Z. Xu, L-M Chen, K.S. Nelson, C. Zhou, R.B. Kaner, Y. Yang. "Soft Transfer Printing of Chemically Converted Graphene." *Advanced Materials*, vol. 21, pp. 2098-2102, 2009.
- [38] Y. Hernandez, V. Nicolosi, M. Lotya, F. M. Blighe, Z. Sun, S. De, I.T. McGovern, B. Holland, M. Byrne, Y.K. Gun'Ko , J.J. Boland, P. Niraj, G. Duesberg, S. Krishnamurthy , R. Goodhue, J. Hutchison, V. Scardaci, A.C. Ferrari, and J.N. Coleman. "High-yield production of graphene by liquid-phase exfoliation of graphite." *Nature Nanotech*. Vol. 3, pp. 563–568, 2008.
- [39] M. Lotya, Y. Hernandez, P. J. King, R. J. Smith, V. Nicolosi, L.S. Karlsson, F.M. Blighe, S. De, Z. Wang, I.T. McGovern, G.S. Duesberg, and J.N. Coleman. "Liquid Phase Production of Graphene by Exfoliation of Graphite in Surfactant/Water Solutions." *J. American Chemical Society*, vol. 131, pp. 3611-3620, 2009.
- [40] F. Chen, J. Xia, D.K. Ferry, and N. Tao. "Dielectric screening enhanced performance in graphene FET." *Nano Letters*, vol. 9, pp. 2571-2574, 2009.
- [41] S. Kim, J. Nah, I. Jo, D. Shahrjerdi, L. Colombo, Z. Yao, E. Tutuc, and S.K. Banerjee. "Realization of a high mobility dual-gated graphene field-effect transistor with Al₂O₃ dielectric." *Applied Physics Letters*, vol. 94, pp. 062107, 2009.
- [42] E. McCann and V.I. Fal'ko. "Landau-Level Degeneracy and Quantum Hall Effect in a Graphite Bilayer." *Physical Review Letters*, vol. 96, pp. 086805, 2006.
- [43] I. Jung, D.A. Dikin, R.D. Piner, and R.S. Ruoff. "Tunable Electrical Conductivity of Individual Graphene Oxide Sheets Reduced at "Low" Temperatures." *Nano Letters*, vol. 8, pp. 4283–4287, 2008.
- [44] Y. Xuan, Y.Q. Wu, T. Shen, M. Qi, M.A. Capano, J.A. Cooper, and P.D. Ye. "Atomic-layer-deposited nanostructures for graphene-based nanoelectronics." *Applied Physics Letters*, vol. 92, pp. 013101, 2008.
- [45] S. Kim, J. Nah, I. Jo, D. Shahrjerdi, L. Colombo, Z. Yao, E. Tutuc, and S.K. Banerjee. "Realization of a high mobility dual-gated graphene field-effect transistor with Al₂O₃ dielectric." *Applied Physics Letters*, vol.94, pp. 062107, 2009.
- [46] Y-M Lin, K. A. Jenkins, A. Valdes-Garcia, J.P. Small, D.B. Farmer, and P. Avouris. "Operation of Graphene Transistors at Gigahertz Frequencies." *Nano Letters*, vol. 9, pp. 422-426, 2009.
- [47] X. Wang, X. Li, L. Zhang, Y. Yoon, P.K. Weber, H. Wang, J. Guo, H. Dai. "N-Doping of Graphene Through Electrothermal Reactions with Ammonia." *Science*, vol. 324, pp. 768 – 771 (2009).
- [48] D. Wei, Y. Liu, Y. Wang, H. Zhang, L. Huang, G. Yu. "Synthesis of N-Doped Graphene by Chemical Vapor Deposition and its Electrical Properties." *Nano Letters*, vol. 9, pp. 1752-1758, 2009.

- [49] T.O. Wehling, K.S. Novoselov, S.V. Morozov, E.E. Vdovin, M.I. Katsnelson, A.K. Geim, and A.I. Lichtenstein. "Molecular Doping of Graphene." *Nano Letters*, vol. 8, pp. 173-177, 2008.
- [50] E.J.H. Lee, K. Balasubramanian, R.T. Weitz, M. Burghard & K. Kern, "Contact and edge effects in graphene devices." *Nature Nanotechnology*, vol. 3, pp.486-490, 2008.
- [51] Y.H. Lu , P.M. He, and Y.P. Feng. "Graphene on metal surface: gap opening and n-doping." <http://arxiv.org/abs/0712.4008v1>
- [52] M.J Kumar, M.A. Reed, G. Amaratunga, G.M. Cohen, D.B. Janes, C.M. Lieber, M. Meyyappan, L.-E. Wernersson, K.L.Wang, R.S. Chau, T.I. Kamins, M. Lundstrom, Y. Bin, C. Zhou. "Special Issue on Nanowire Transistors: Modeling, Device Design, and Technology.", *IEEE Trans on Electron Devices* vol. 55, pp. 2813-2819, 2008.
- [53] J. Appenzeller, J. Knoch, M. T. Bjork, H. Riel, H. Schmidt, and W. Riess. "Toward Nanowire Electronics," *IEEE Trans. Electron Devices*, vol. 55 2827-2845, 2008.
- [54] M.T. Björk, B.J. Ohlsson, T. Sass, A.I. Persson, C. Thelander, M.H. Magnusson, K. Deppert, L.R. Wallenberg, and L. Samuelson. "One-dimensional heterostructures in semiconductor nanowhiskers." *Appl. Phys. Lett.*, vol. 80, pp. 1058-1060 , 2002.
- [55] L.J. Lauhon , M.S. Gudiksen, D. Wang, and C.M. Lieber. "Epitaxial core-shell and core-multishell nanowire heterostructures." *Nature*, vol. 420, pp. 57-61 (2002).
- [56] E. Lind, A.I. Persson, L. Samuelson, and L.-E. Wernersson. "Improved subthreshold slope in an InAs nanowire heterostructure field-effect transistor." *Nano Letters.*, vol. 6, , pp. 1842-1846, Sep. 2006.
- [57] S.J. Koh. "Strategies for controlled placement of nanoscale building blocks." *Nanoscale Research Letters*, vol. 2 , pp. 519-545, Nov. 2007.
- [58] Liu: Y. Liu, J.-H. Chung, W.K. Liu, and R.S. Ruoff. "Dielectrophoretic assembly of nanowires." *J. Phys. Chem. B*, vol. 110, pp. 14098-14106, July, 2006.
- [59] B. Edwards, T.S. Mayer, and R.B Bhiladvala. "Synchronous electrorotation of nanowires in fluid." *Nano Letters*, vol. 6. pp. 626-632 2006.
- [60] S.S. Yi, G. Girolami, J. Amano, M.S. Islam S. Sharma T.I. Kamins, I. Kimukin. "InP nanobridges epitaxially formed between two vertical Si surfaces by metal-catalyzed chemical vapor deposition." *Appl. Phys. Lett.*, vol. 89, pp. 133121, 2006; M. S. Islam, S. Sharma, T. I. Kamins, and R. S. Williams. " Ultrahigh density silicon nanobridges formed between two vertical silicon surfaces." *Nanotechnology*, vol.15, pp. L5, 2004.
- [61] C. Thelander, C. Rehnstedt, L.E. Fröberg, E. Lind, T. Mårtensson, P. Caroff, T. Löwgren, B.J. Ohlsson, L. Samuelson, and L.E. Wernersson. "Development of a Vertical Wrap-Gated InAs FET." *IEEE Trans. Electron Dev.*, vol.55, pp. 3030-3036, 2008..
- [62] N. Singh, K.D. Buddharaju, S.K. Manhas, A. Agarwal, S.C. Rustagi, G.Q. Lo, N. Balasubramanian, and D-L. Kwong. "Si, SiGe nanowires devices by top-down technology and their applications." *IEEE Trans. Electron Devices*, vol. 55, pp. 3107-3118, 2008.
- [63] E. Tutuc, J. Appenzeller, M.C. Reuter, and S. Guha. Realization of a Linear Germanium Nanowire p-n Junction." *Nano Letters*, vol. 6, pp. 2070, 2006.
- [64] T. Dürkop, S.A. Getty, E. Cobas, and M.S. Fuhrer. "Extraordinary Mobility in Semiconducting Carbon Nanotubes." *Nano Lett.*, vol. 4, pp. 35-39, 2004.

- [65] Y. Li, D. Mann, M. Rolandi, W. Kim, A. Ural, S. Hung, A. Javey, J. Cao, D. Wang, E. Yenilmez, Q. Wang, J.F. Gibbons, Y. Nishi, and H. Dai. "Preferential Growth of Semiconducting Single-Walled Carbon Nanotubes by a Plasma Enhanced CVD Method." *Nano Letters*, vol. 4, pp. 317-321, 2004.
- [66] H. Ohnaka, Y. Kojima, S. Kishimoto, Y. Ohno, and T. Mizutani. "Fabrication of Carbon Nanotube Field Effect Transistors Using Plasma-Enhanced Chemical Vapor Deposition Grown Nanotubes." *Japan. J. Appl. Phys.* vol. 45, pp. 5485-89, 2006.
- [67] R. Krupke, F. Hennrich, H. Lohneysen, and M. Kappes, "Separation of Metallic from Semiconducting Single-Walled Carbon Nanotubes." *Science*, vol. 301, pp. 344-347, 2003.
- [68] D. Chattopadhyay, I. Galeska, and F. Papadimitrakopoulos. "A Route for Bulk Separation of Semiconducting from Metallic Single-Wall Carbon Nanotubes." *J. American Chemical Society*, vol. 125, pp. 3370-3375, 2003.
- [69] M. Zheng, A. Jagota, E.D. Semke, B.A. Diner, R.S. Mclean, S.R. Lustig, R.E Richardson, and N.G. Tassi. "DNA-assisted dispersion and separation of carbon nanotubes." *Nature Materials*, vol. 2, pp. 338-342, 2003.
- [70] Z. Chen, X. Du, M.-H. Du, C.D. Rancken, H.-P. Cheng, A.G. Rinzler. "Bulk Separative Enrichment in Metallic or Semiconducting Single Wall Carbon Nanotubes." *Nano Letters*, vol. 3, pp. 1245, 2003.
- [71] M.S. Arnold, A.A. Green, J.F. Hulvat, S.I. Stupp, and M.C. Hersam. "Sorting carbon nanotubes by electronic structure using density differentiation." *Nature Nanotechnology*, vol. 1, pp. 60-65, 2006.
- [72] X. Tu, S. Manohar, A. Jagota, and M. Zheng, "DNA sequence motifs for structure-specific recognition and separation of carbon nanotubes." *Nature*, vol. 460, pp. 250, 2009.
- [73] S. Han, X. Liu, and C. Zhou. "Template-Free Directional Growth of Single-Walled Carbon Nanotubes on a- and r-Plane Sapphire." *J. American Chemical Society*, vol. 127, pp. 5294, 2005.
- [74] K. Ryu, A. Badmaev, C. Wang, A. Lin, N. Patil, L. Gomez, A. Kumar, S. Mitra, H. S. P. Wong, and C. Zhou. "CMOS-Analogous Wafer-Scale Nanotube-on-Insulator Approach for Submicrometer Devices and Integrated Circuits Using Aligned Nanotubes." *Nano Letters*, vol. 9, pp. 189, 2009.
- [75] M. Bockrath, J. Hone, A. Zettl, and P. L. McEuen, A. G. Rinzler and R. E. Smalley. "Chemical doping of individual semiconducting carbon-nanotube ropes." *Physical Review B*, vol. 61, pp. R10606, 2000.
- [76] B.M. Kim, T. Brintlinger, E. Cobas, M.S. Fuhrer, H. Zheng, Z. Yu, R. Droopad, J. Ramdani, and K. Eisenbeiser. "High-performance carbon nanotube transistors on SrTiO₃/Si substrates." *Appl. Phys. Lett.*, vol. 84, pp. 1946-1948, 2004.
- [77] A. Javey, J. Guo, D.B. Farmer, Q. Wang, E. Yenilmez, R.G. Gordon, M. Lundstrom, and H. Dai. "Self-Aligned Ballistic Molecular Transistors and Electrically Parallel Nanotube Arrays." *Nano Letters*, vol. 4, pp. 1319, 2004.
- [78] M. Rinkio, A. Johansson, G. S. Paraoanu, and P. Torma. "High-Speed Memory from Carbon Nanotube Field-Effect Transistors with High-K Gate Dielectric." *Nano Letters*, vol. 9, pp. 643, 2009.
- [79] D. Kaminishi, H. Ozaki, Y. Ohno, K. Maehashi, K. Inoue, and K. Matsumoto. "Air-stable n-type carbon nanotube field-effect transistors with Si₃N₄ passivation films fabricated by catalytic chemical vapor deposition." *Appl. Phys. Lett.*, vol. 86, pp. 113115, 2005.
- [80] A. Javey, J. Guo, Q. Wang, M. Lundstrom and H. Dai. "Ballistic carbon nanotube field-effect transistors." *Nature*, vol. 424, pp. 654-657, 2003.
- [81] Z. Zhang, X. Liang, S. Wang, K. Yao, Y. Hu, Y. Zhu, Q. Chen, W. Zhou, Y. Li, Y. Yao, J. Zhang, and L.-M. Peng. "Doping-Free Fabrication of Carbon Nanotube Based Ballistic CMOS Devices and Circuits." *Nano Lett.*, vol. 7, pp. 3603-3607, Nov. 2007.

- [82] J. Svensson, A. A. Sourab, Y. Tarakanov, D.S. Lee, S.J. Park, S.J. Baek, Y.W. Park, and E.E. B. Campbell. "The dependence of the Schottky barrier height on carbon nanotube diameter for Pd-carbon nanotube contacts." *Nanotechnology*, vol. 20, pp. 175204, 2009.
- [83] Y. He, M. Zhang, J.-Y. Zhanh, Y. Wang, Z.-P. Yu. "Schottky Barrier Formation at a Carbon Nanotube-Scandium Junction." *Chinese Physics Letters*, vol. 26, pp. 027302, 2009.
- [84] K. Boucart and A.M. Ionescu. "Double-Gate Tunnel FET With High- κ Gate Dielectric." *IEEE Transactions on Electron Devices*, Vol. 54, Issue 7, pp. 1725-1733, 2007.
- [85] W.Y. Choi, B.-G. Park, J.D. Lee, and T.-J. King Liu. "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec," *IEEE Electron Device Lett.*, vol. 28, pp. 743-745, 2007.
- [86] K. Gopalakrishnan, P.B. Griffin, J.D. Plummer. "I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q ." *Electron Devices Meeting, 2002. IEDM '02. Digest. International*, pp 289 - 292, 2002.
- [87] M. Kobayashi and T. Hiramoto. "Experimental study on quantum confinement effects in silicon nanowire metal-oxide-semiconductor field-effect transistors and single-electron transistors." *J. Appl. Phys.*, vol.103, pp. 053709, 2008.
- [88] P.W.M. Blom, R.M. Wolf, J.F.M. Cillessen, and M.P.C.M. Krijn, "Ferroelectric Schottky Diode", *Phys. Rev. Lett.*, vol. 73, pp2107, 1994.
- [89] T. Jungwirth, K.Y. Wang, J. Mašek, K.W. Edmonds, J. König, J. Sinova, M. Polini, N.A. Goncharuk, A.H. MacDonald, M. Sawicki, A.W. Rushforth, R.P. Campion, L.X. Zhao, C.T. Foxon, and B.L. Gallagher. "Prospects for high temperature ferromagnetism in (Ga,Mn)As semiconductors." *Physical Review B*, vol. 72, pp. 165204-17, 2005.
- [90] T. Jungwirth, Jairo Sinova, J. Mašek, J. Kučera, A.H. MacDonald. "Theory of ferromagnetic (III,Mn)V semiconductors." *Reviews of Modern Physics*, vol. 78, pp. 809-864, 2006.
- [91] M. Jamet, A. Barski, T. Devillers, V. Poydenot, R. Dujardin, P. Bayle-Guillemaud, J. Rothman, E Bellet-Amalric, A. Marty, J. Cibert, R. Mattana and S. Tatarenko. "High-Curie-temperature ferromagnetism in self-organized Ge_{1-x}Mn_x nanocolumns." *Nature Materials*, vol. 5, pp. 653 - 659, 2006.
- [92] S. Cho, S Choi, S.C. Hong, Y Kim, J.B. Ketterson, B.-J. Kim, Y.C. Kim, J.-H. Jung. "Ferromagnetism in Mn-doped Ge." *Physical Review B*, vol. 66, pp. 033303, 2002.
- [93] E. Biegger, L. Stäheli, M. Fonin, U. Rüdiger, Yu, and S. Dedkov. "Intrinsic ferromagnetism versus phase segregation in Mn-doped Ge." *Journal of Applied Physics*, vol. 101, pp. 103912, 2007.
- [94] W. Zhu, Z.Y. Zhang, E. Kaxiras., "Dopant-Assisted Concentration Enhancement of Substitutional Mn in Si and Ge." *Physical Review Letters*, vol. 100, pp. 027205, 2008.
- [95] A.P. Li, J.F. Wendelken, J. Shen, L.C. Feldman, J.R. Thompson, H.H. Witering. "Magnetism in Mn_xGe_{1-x} semiconductors mediated by impurity band carriers." *Physical Review B*, vol. 72, pp. 195205, 2005.
- [96] O. Kazakova, J. S. Kulkarni, J.D. Holmes, S.O. Demokritov. "Room-temperature ferromagnetism in Ge_{1-x}Mn_x nanowires." *Physical Review B*, vol. 72, pp. 094415, 2005.
- [97] H.-Y. Wang, and M.C. Qian. "Electronic and magnetic properties of Mn/Ge digital ferromagnetic heterostructures: An ab initio investigation." *Journal of Applied Physics*, vol. 99, pp. 08D705, 2006.
- [98] J.M.D. Coey, M. Venkatesan, and C.B. Fitzgerald. "Donor impurity band exchange in dilute ferromagnetic oxides." *Nature Materials*, vol. 4 , pp. 173-179, 2005.

- [99] T.C. Droubay, D.J. Keavney, T.C. Kaspar, S.M. Heald, C.M. Wang, C.A. Johnson, K.M. Whitaker, D.R. Gamelin, and S.A. Chambers. "Correlated Substitution in Paramagnetic Mn²⁺-Doped ZnO Epitaxial Films." *Phys. Rev. B.*, vol. 79, pp. 155203, 2009.
- [100] T.C. Kaspar, T. Droubay, Y. Li, S.M. Heald, P. Nachimuthu, C.M. Wang, V. Shutthanandan, C.A. Johnson, D.R. Gamelin, and S.A. Chambers. "Lack of Ferromagnetism in n-Type Cobalt-Doped ZnO Epitaxial Thin Films." *New Journal of Physics*, vol. 10, pp. 055010, 2008.
- [101] J.R. Neal, A.J. Behan, R.M. Ibrahim, H.J. Blythe, M. Ziese, A.M. Fox and G.A. Gehring. "Room-temperature magneto-optics of ferromagnetic transition-metal-doped ZnO thin films." *Phys. Rev. Lett.*, vol. 96, pp. 197208, 2006.
- [102] X.H. Xu, H.J. Blythe, M. Ziese, A.J. Behan, J.R. Neal, A. Mokhtari, R.M. Ibrahim, A.M. Fox, and G.A. Gehring. "Carrier-induced ferromagnetism in n-type ZnMnAlO and ZnCoAlO thin films at room temperature." *New Journal of Physics*, vol. 8, pp. 135, 2006.
- [103] J. Philip, A. Punnoose, B.I. Kim, K. M. Reddy, S. Layne, J.O. Holmes, B. Satpati, P.R. LeClair, T.S. Santos and J.S. Moodera. "Carrier-controlled ferromagnetism in transparent oxide semiconductors." *Nature Materials*, vol.5, pp. 298 – 304, 2006.
- [104] A. Walsh, J. L.F. Da Silva, and S.-H. Wei. "Theoretical Description of Carrier Mediated Magnetism in Cobalt Doped ZnO." *Phys. Rev. Lett.*, vol. 100, pp. 256401, 2008.
- [105] H. Raebiger, S. Lany, and A. Zunger. "Control of Ferromagnetism via Electron Doping in In₂O₃:Cr." *Phys. Rev. Lett.*, vol. 101, pp. 027203, 2008.
- [106] M. van Schilfgaarde, T. Kotani, and S. Faleev. "Quasiparticle Self-Consistent GW Theory." *Physical Review Letters*, vol. 96, pp. 226402, 2006.
- [107] T. Dietl, H. Ohno, and F. Matsukura. "Hole-mediated ferromagnetism in tetrahedrally coordinated semiconductors." *Physical Review B*. vol. 63, pp. 195205, 2001.
- [108] A.N. Chantis, M. van Schilfgaarde, and T. Kotani. "Ab Initio Prediction of Conduction Band Spin Splitting in Zinc Blende Semiconductors." *Physical Review Letters*. vol. 96, pp. 086405, 2006.
- [109] J.-W. Luo, G. Bester, and A. Zunger. "Full-Zone Spin Splitting for Electrons and Holes in Bulk GaAs and GaSb." *Phys. Rev. Lett.* vol. 102, pp. 056405, 2009.
- [110] K. Sadakuni, T. Harianto, H. Akinaga, and T. Suemasu. "CaF₂/Fe₃Si/CaF₂ Ferromagnetic Resonant Tunneling Diode on Si(111) by Molecular beam Epitaxy." *Applied Physics Express*, vol. 2, pp. 063006, 2009.
- [111] K. Narahara, K. Ito, T. Suemasu, Y.K. Takahashi, A. Ranajikanth, and K. Hono. "Spin Polarization of Fe₄N thin films determined by point-contact Andreev reflection." *Appl. Phys. Lett.*, vol. 94, pp. 202502, 2009.
- [112] X.Y. Dong, C. Adelman, J.Q. Xie, C.J. Palmström, X. Lou, J. Strand, P.A. Crowell, J.-P. Barnes and A.K. Petford-Long. "Spin injection from the Heusler alloy Co₂MnGe into Al_{0.1}Ga_{0.9}As/GaAs heterostructures." *Applied Physics Letters*, vol. 86, pp. 102107, 2005.
- [113] C.D. Damsgaard, M.C. Hickey, S.N. Holmes, R. Feidenhans'l, S.O. Mariager, C.S. Jacobsen, and J.B. Hansen. "Interfacial, electrical, and spin-injection properties of epitaxial Co₂MnGa grown on GaAs(100)." *J. Appl. Phys.*, vol. 105, pp. 124502, 2009.
- [114] E. I. Rashba. "Theory of electrical spin injection: Tunnel contacts as a solution of the conductivity mismatch problem." *Physical Review B*, vol. 62, pp. R16267, 2000.
- [115] G. Schmidt, D. Ferrand, L.W. Molenkamp, A.T. Filip and B.J. van Wees. "Fundamental obstacle for electrical spin injection from a ferromagnetic metal into a diffusive semiconductor." *Phys. Rev. B*, vol. 62, pp. R4790-R4793, 2000.

- [116] A.T. Hanbicki, O.M.J. van t Erve, R. Magno, G. Kioseoglou, C.H. Li, B.T. Jonker, G. Itskos, R. Mallory, M. Yasar, and A. Petrou. "Analysis of the transport process providing spin injection through an Fe/AlGaAs Schottky barrier." *Applied Physics Letters*, vol. 82, pp. 4092, 2003.
- [117] A.T. Hanbicki, O.M.J. van t Erve, R. Magno, G. Kioseoglou, C.H. Li, B.T. Jonker, G. Itskos, R. Mallory, M. Yasar, and A. Petrou. "Analysis of the transport process providing spin injection through an Fe/AlGaAs Schottky barrier." *Applied Physics Letters*, vol. 82, pp. 4092, 2003.
- [118] J. G. Braden, J. S. Parker, P. Xiong, S. H. Chun, and N. Samarth. "Direct measurement of the spin polarization of the magnetic semiconductor (Ga,Mn)As." *Phys. Rev. Lett.*, vol. 91, pp. 056602, 2003.
- [119] C. Mart'inez Boubeta, J.L. Costa-Kr'amer and A. Cebollada. "Epitaxy, magnetic and tunnel properties of transition metal/MgO(001) heterostructures." *Journal of Physics Condensed Matter*, vol. 15, pp. R1123–R1167, 2003.
- [120] I. Tomoaki, M. Takao, I. Mizue, S. Hideyuki, and S. Yoshiaki. "Electrical Spin Injection into n-GaAs Channels and Detection through MgO/CoFeB Electrodes." *Applied Physics Express*, vol. 2, pp. 023006, 2009.
- [121] J.M. MacLaren, X.-G. Zhang, W. H. Butler, and X. Wang. "Layer KKR approach to Bloch-wave transmission and reflection: Application to spin-dependent tunneling." *Physical Review B*, vol. 59, pp. 5470–5478, 1999.
- [122] O. Wunnicke, P. Mavropoulos, R. Zeller, P.H. Dederichs, and D. Grundler. "Ballistic spin injection from Fe(001) into ZnSe and GaAs." *Phys. Rev. B*, vol. 65, pp. 241306, 2002.
- [123] J.P. Veleva, P.A. Dowbena, E.Y. Tsybala, S.J. Jenkinsb and A.N. Carusoc. "Interface effects in spin-polarized metal/insulator layered structures." *Surface Science Reports*, vol. 63, pp. 400–425, 2008.
- [124] T. Sasaki, T. Oikawa, T. Suzuki, M. Shiraishi, Y. Suzuki, and K. Tagami. "Electrical Spin Injection into Silicon Using MgO Tunnel Barrier." *Applied Physics Express*, vol. 2, pp. 053003, 2009.
- [125] T. Sasaki, T. Oikawa, T. Suzuki, M. Shiraishi, Y. Suzuki, and K. Tagami. "Electrical Spin Injection into Silicon Using MgO Tunnel Barrier." *Applied Physics Express*, vol. 2, pp. 053003, 2009.
- [126] X.-G. Zhang and W.H. Butler. "Large magnetoresistance in bcc Co/MgO/Co and FeCo/MgO/FeCo tunnel junctions." *Phys. Rev. B*, vol. 70, pp. 172407, 2004.
- [127] Y. Acremann, J.P. Strachan, V. Chembrolu, S.D. Andrews, T. Tyliczszak, J. A. Katine, M.J. Carey, B.M. Clemens, H.C. Siegmann, and J. Stöhr. "Time-Resolved Imaging of Spin Transfer Switching: Beyond the Macrospin Concept." *Phys. Rev. Lett.*, vol. 96, pp. 217202, 2006.
- [128] B. Van Waeyenberge, A. Puzic, H. Stoll, K. W. Chou, T. Tyliczszak, R. Hertel, M. Fähnle, H. Brückl, K. Rott, G. Reiss, I. Neudecker, D. Weiss, C. H. Back, and G. Schütz. "Magnetic vortex core reversal by excitation with short bursts of an alternating field." *Nature*, vol. 444, pp.461-464, 2006.
- [129] J.P. Strachan, V. Chembrolu, Y. Acremann, X.W. Yu, A. A. Tulapurkar, T. Tyliczszak, J.A. Katine, M.J. Carey, M.R. Scheinfein, H.C. Siegmann, and J. Stohr. "Direct Observation of Spin-Torque Driven Magnetization Reversal through Nonuniform Modes." *Physical Review Letters*, vol. 100, pp. 247201, 2008.
- [130] B.T. Jonker, G. Kioseoglou, A.T. Hanbicki, C.H. Li and P.E. Thompson. "Electrical spin-injection into silicon from a ferromagnetic metal/tunnel barrier contact." *Nature Physics*, vol. 3, pp. 542 – 546, 2007.
- [131] I. Appelbaum, B. Huang and D. J. Monsma. "Electronic measurement and control of spin transport in silicon." *Nature*, vol. 447, pp. 295-298, May 2007.
- [132] O.M.J. van 't Erve, G. Kioseoglou, A.T. Hanbicki, C.H. Li, and B.T. Jonker. "Remanent Electrical Spin Injection from Fe into AlGaAs/GaAs Light Emitting Diodes." *Appl. Phys. Lett.*, vol. 89, pp. 072505, 2006.

- [133] O.M.J. van't Erve, A.T. Hanbicki, M. Holub, C.H. Li, C. Awo-Affouda, P.E. Thompson and B.T. Jonker. "Electrical injection and detection of spin-polarized carriers in silicon in a lateral transport geometry." *Applied Physics Letters*, vol. 91, pp. 212109, 2007.
- [134] B.-C. Min, K. Motohashi, C. Lodder and R. Jansen. "Tunable spin-tunnel contacts to silicon using low-work-function ferromagnets." *Nature Materials*, vol. 5, pp. 817 – 822, 2006.
- [135] N. Tombros, C. Jozsa, M. Popinciuc, H.T. Jonkman, and B.J. van Wees, "Electronic spin transport and spin precession in single graphene layers at room temperature." *Nature*, vol. 448, pp. 571-574, 2007.
- [136] M.I. van der Meulen, N. Petkov, M.A. Morris, O. Kazakova, X. Han, K.L. Wang, A.P. Jacob and J.D. Holmes. "Single Crystalline Ge_{1-x}Mnx Nanowires as Building Blocks for Nanoelectronics." *Nano Lett.*, vol. 9, pp. 50–56, 2009.
- [137] S. I. Kiselev, J. C. Sankey, I. N. Krivorotov, N. C. Emley, R. J. Schoelkopf, R. A. Buhrman & D. C. Ralph. "Microwave oscillations of a nanomagnet driven by a spin-polarized current." *Nature*, vol.425, pp. 380-383, 2003.
- [138] A. Khitun, M. Bao, and K.L. Wang. "Spin Wave Magnetic NanoFabric A New Approach to Spin-Based Logic Circuitry." *IEEE Transactions on Magnetics*, vol. 44, pp. 2141 2008.
- [139] G. Csaba, A. Imre, G.H. Bernstein, W. Porod, and V. Metlushko. "Nanocomputing by Field-Coupled Nanomagnets." *IEEE Transactions on Nanotechnology*, vol. 1, pp. 209-213, 2002.
- [140] A. Imre, G. Csaba, A. Orlov, G.H. Bernstein, W. Porod, and V. Metlushko. "Investigation of Shape-Dependent Switching of Coupled Nanomagnets." *Superlattices and Microstructures*, vol. 34, pp. 513-518, 2003.
- [141] D.B. Carlton, N.C. Emley, E. Tuchfeld, and J. Bokor. "Simulation Studies of Nanomagnet-Based Logic Architecture." *Nano Letters*, vol. 8, pp. 4173-4178, 2008.
- [142] M. Kowalewski, C.M. Schneider, and B. Heinrich. "Thickness And Temperature-Dependence Of Magnetic Anisotropies In Ultrathin Fcc Co(001) Structures." *Physical Review B*, vol. 47, pp. 8748-8753, Apr 1993.
- [143] G.A. Prinz. *Ultrathin magnetic structures II*. Berlin, Heidelberg: Springer, 1994, Chap. 1.
- [144] S.V. Pietambaram, N.D. Rizzo, R.W. Dave, J. Goggin, K. Smith, J.M. Slaughter, and S. Tehrani. "Low-power switching in magnetoresistive random access memory bits using enhanced permeability dielectric films." *Applied Physics Letters*, vol. 90, pp. 143510, 2007.
- [145] M. Becherer, G. Csaba, W. Porod, R. Emling, P. Lugli, and D. Schmitt-Landsiedel. "Magnetic Ordering of Focused-Ion-Beam Structured Cobalt-Platinum Dots for Field-Coupled Computing." *IEEE Transactions on Nanotechnology*, vol. 7, pp. 316-320, 2008.
- [146] H. Schmid. "Multi-ferroic magnetoelectrics." *Ferroelectrics*, vol. 162, pp.317-338, 1994.
- [147] M. Fiebig. "Revival of the magnetoelectric effect." *J. Phys. D*, vol. 38, pp. R123-R152, 2005.
- [148] J. Wang, J.B. Neaton, H. Zheng, V. Nagarajan, S.B. Ogale, B. Liu, D. Viehland, V. Vaithyanathan, D.G. Schlom, U.V. Waghmare, N.A. Spaldin, K.M. Rabe, M. Wuttig, and R. Ramesh. "Epitaxial BiFeO₃ Multiferroic Thin Film Heterostructures." *Science*, vol. 299, pp. 1719-1722, 2003.
- [149] D. Lebeugle, D. Colson, A. Forget, and M. Viret. "Very large spontaneous electric polarization in BiFeO₃ single crystals at room temperature and its evolution under cycling fields." *Appl. Phys. Lett.*, vol. 91, pp. 022907, 2007.
- [150] D. Lebeugle, D. Colson, A. Forget, and M. Viret. "Room-temperature coexistence of large electric polarization and magnetic order in BiFeO₃ single crystals", *Phys. Rev. B*, vol. 76, pp. 024116, 2007.
- [151] D.H. Kim, H.N. Lee, M.D. Biegalski, and H.M. Christen. "Effect of epitaxial strain on ferroelectric polarization in multiferroic BiFeO₃ films." *Appl. Phys. Lett.*, vol. 92, 012911, 2008.

- [152] C. Ederer, C. and N. A. Spaldin, "Effect of Epitaxial Strain on the Spontaneous Polarization of Thin Film Ferroelectrics", *Phys. Rev. Lett.* 95(25), 257601-1-4 (2005).
- [153] D. Lebeugle, D. Colson, A. Forget, M. Viret, A.M. Bataille, and A. Gukasov. "Electric-field-induced spin flop in BiFeO₃ single crystals at room temperature." *Phys. Rev. Lett.*, vol. 100, 227602-1-4, 2008.
- [154] S. Lee, W. Ratcliff, II, S-W. Cheong, and V. Kiryukhin. "Electric field control of the magnetic state in BiFeO₃ single crystals." *Appl. Phys. Lett.*, vol. 92, pp. 192906-1-3, 2008.
- [155] T. Zhao, A. Scholl, F. Zavaliche, K. Lee, M. Barry, A. Doran, M. P. Cruz, Y. H. Chu, C. Ederer, N. A. Spaldin, R. R. Das, D. M. Kim, S. H. Baek, C. B. Eom and R. Ramesh. "Electrical control of antiferromagnetic domains in multiferroic BiFeO₃ films at room temperature." *Nat Materials*, vol. 5, pp. 823-829, 2006.
- [156] H. Bea, M. Bibes, and S. Cherifi. "Tunnel magnetoresistance and robust room temperature exchange bias with multiferroic BiFeO₃ epitaxial thin films." *Appl. Phys. Lett.*, vol. 89, pp. 242114-1-3, 2006.
- [157] H. Bea, M. Bibes, F. Ott, B. Dupé, X.-H. Zhu, S. Petit, S. Fusil, C. Deranlot, K. Bouzehouane, and A. Barthélémy. "Mechanisms of exchange bias with multiferroic BiFeO₃ epitaxial thin films." *Phys. Rev. Lett.*, vol. 100, pp. 017204-1-4, 2008.
- [158] L.W. Martin, Y.-H. Chu, M.B. Holcomb, M. Huijben, P. Yu, S.-J. Han, D. Lee, S.X. Wang, and R. Ramesh. "Nanoscale Control of Exchange Bias with BiFeO₃ Thin Films." *Nano Letters*, vol. 8, pp. 2050-2055, 2008.
- [159] Y.-H. Chu, L.W. Martin, M. B. Holcomb, M. Gajek, S.-J. Han, Q. He, N. Balke, C.-H Yang, D. Lee, W. Hu, Q. Zhan, P.-L. Yang, A. Fraile-Rodríguez, A. Scholl, S.X. Wang, and R. Ramesh. "Electric-field control of local ferromagnetism using a magnetoelectric multiferroic." *Nat Materials*, vol. 7, pp. 478-482 2008.
- [160] H. Bea, M. Gajek, M. Bibes and A. Barthélémy. "Spintronics with multiferroics." *J. Phys.: Condens. Matter*, vol. 20, pp. 434221-1-11, 2008.
- [161] M. Gajek, M. Bibes, A. Barthélémy, K. Bouzehouane, S. Fusil, M. Varela, J. Fontcuberta, and A. Fert. "Spin filtering through ferromagnetic BiMnO₃ tunnel barriers." *Phys. Rev. B*, vol. 72, pp. 020406-1-4, 2005.
- [162] M. Gajek, M. Bibes, S. Fusil, K. Bouzehouane, J. Fontcuberta, A. Barthélémy, and A. Fert. "Tunnel junctions with multiferroic barriers." *Nat. Materials*, vol. 6, pp. 296-302, 2007.
- [163] M.P. Singh, and W. Prellier. "Oxide superlattices for multiferroics: opportunities, issues, and challenges." *Philosophical Magazine Letters*, vol. 87, pp. 211-222, 2007.
- [164] H. Zheng, J. Wang, S.E. Lofland, Z. Ma, L. Mohaddes-Ardabili, T. Zhao, L. Salamanca-Riba, S.R. Shinde, S.B. Ogale, F. Bai, D. Viehland, Y. Jia, D.G. Schlom, M. Wuttig, A. Roytburd, and R. Ramesh. "Multiferroic BaTiO₃-CoFe₂O₄ Nanostructures." *Science*, vol. 303, pp. 661-663, 2004.
- [165] F. Zavaliche, H. Zheng, L. Mohaddes-Ardabili, S.Y. Yang, Q. Zhan, P. Shafer, E. Reilly, R. Chopdekar, Y. Jia, P. Wright, D. G. Schlom, Y. Suzuki, and R. Ramesh. "Electric Field-Induced Magnetization Switching in Epitaxial Columnar Nanostructures." *Nano Letters*, vol. 5, pp. 1793-1796, 2005.
- [166] J.L. Pitters and R.A. Wolkow. "Detailed Studies of Molecular Conductance Using Atomic Resolution Scanning Tunneling Microscopy." *Nano Letters*, vol 6, pp. 390, 2006.
- [167] Z.J. Donhauser, B.A. Mantooth, K.F. Kelly, L.A. Bumm, J.D. Monnell, J.J. Stapleton, D.W. Price, Jr., A. M. Rawlett, D. L. Allara, J. M. Tour, and P. S. Weiss. "Conductance Switching in Single Molecules Through Conformational Changes." *Science*, vol. 292, pp. 2303, 2001.
- [168] E. Lortschner, J.M. Tour, J.W. Ciszek, and H. Riel. "A Single-Molecule Switch and Memory Element." *J. Physics: Conf. Series*, vol. 61, pp. 987, 2007.

- [169] A.Yu. Kasumov, M. Kociak, S.Gueron, B. Reulet, V.T.Volkov, D.V. Klinov, H.Bouchiat. "Proximity-induced superconductivity in DNA." *Science*, vol. 291, pp. 280, 2001.
- [170] A. Yu Kasumov, K. Tsukagoshi, M. Kawamura, T. Kobayashi, Y. Aoyagi, K. Senba, T. Kodama, H. Nishikawa, I. Ikemoto, K. Kikuchi, V. T. Volkov, R. Deblock, S. Gueron, and H. Bouchiat. "Proximity effect in a superconductor-metallofullerene-superconductor molecular junction." *Phys. Rev. B*, vol. 72, pp. 33414, 2005.
- [171] N. Banno, T. Sakamoto, N. Iguchi, H. Kawaura, S. Kaeriyama, M. Mizuno, K. Terabe, T. Hasegawa, and M. Aono. "Solid-Electrolyte Nanometer Switch." *IEICE Trans. Electron.*, vol. E89-C, pp. 1492, 2006.
- [172] N. Setter, D. Damjanovic, L. Eng, G. Fox, S. Gevorgian, S. Hong, A. Kingon, H. Kohlstedt, N.Y. Park, G.B. Stephenson, I. Stolitchnov, A.K. Taganstev, D.V. Taylor, T. Yamada, and S. Streiffer. "Ferroelectric thin films: Review of materials, properties, and applications." *J. Appl. Phys.*, vol. 100, pp. 051606, 2006.
- [173] Q. Li, M. Takahashi, T. Horiuchi, S. Wang, and S. Sakai. "Threshold-voltage distribution of Pt/SrBi2Ta2O9/Hf-Al-O/Si MFIS FETs." *Semicond. Sci. Technol.*, vol. 23, pp. 045011, 2008.
- [174] D. Ruzmetov, K.T. Zawilski, V. Narayanamurti, and S. Ramanathan. "Structure-functional property relationships in rf-sputtered vanadium dioxide thin films." *J. Appl. Phys.*, vol. 102, pp. 113715, 2007.
- [175] M. Nakamura, Y. Ogimoto, H. Tamaru, M. Izumi, and K. Miyano. "Phase control through anisotropic strain in Nd0.5Sr0.5MnO3 thin films." *Appl. Phys. Lett.*, vol. 86, pp. 182504, 2005.
- [176] C. Cen, S. Thiel, J. Mannhart, and J. Levy. "Oxide Nanoelectronics on Demand." *Science*, vol. 323, pp. 1026, 2009.
- [177] V. Garcia, S. Fusil, K. Bouzehouane, S. Enouz-Vedrenne, N. D. Mathur, A. Barthélémy & M. Bibes. "Giant tunnel electroresistance for non-destructive readout of ferroelectric states ." *Nature*, vol. 460, pp. 81, 2009.
- [178] B. Yu, X. Sun, S. Ju, D.B. Janes, and M. Meyyappan. "Chalcogenide-Nanowire-Based Phase Change Memory." *IEEE Trans. Nanotech.*, vol. 7, pp. 496, 2008.
- [179] R. Waser, R. Dittmann, G. Staikov, and K. Szot. "Redox-Based Resistive Switching Memories - Nanoionic Mechanisms, Prospects, and Challenges." *Advanced Materials*, vol. 21, pp. 2632-2663, 2009.
- [180] D. Lee, D. Seong, H. Choi, I. Jo, R. Dong, W. Xiang, S. Oh, M. Pyun, S. Seo, S. Heo, M. Jo, D. Hwang, H.K. Park, M. Chang, M. Hasan, and H. Hwang. "Excellent uniformity and reproducible resistance switching characteristics of doped binary metal oxides for non-volatile resistance memory applications." *IEDM Technical Digest(2006)*.
- [181] A. Ghosh and A. K. Raychaudri. "Electric-field-induced migration of oxygen ions in epitaxial metallic oxide films: Non-Debye relaxation and 1/f noise." *Phys Rev. B*, vol. 64, pp. 104304, 2001.
- [182] H.M. Duiker, P.D. Beal, J.F. Scott, C.A. Pas de Araujo, B.M. Melnice, J.D. Cuchiro, and L.D. McMillan. "Fatigue and switching in ferroelectric memories: Theory and experiment." *J. Appl. Phys.*, vol. 68, pp. 5783, 1990.
- [183] D. Akahoshi, M. Uchida, Y. Tomioka, T. Arima, Y. Matsui, and Y. Tokura. "Random Potential Effect near the Bicritical Region in Perovskite Manganites as Revealed by Comparison with the Ordered Perovskite Analogs." *Phys. Rev. Lett.*, vol. 90, pp. 177203, 2003.
- [184] E. Bousquet, M. Dawber, N. Stucki, C. Lichtensteiger, P. Hermet, S. Gariglio, J.-M. Triscone, and P. Ghosez. "Improper ferroelectricity in perovskite oxide artificial superlattices." *Nature*, vol. 452, pp. 732, 2008.
- [185] M. Dawber, N. Stucki, C. Lichtensteiger, S. Gariglio and J.-M. Triscone. "New phenomena at the interfaces of very thin ferroelectric oxides." *J. Phys. Condens. Matter*, vol. 20, pp. 264015, 2008.
- [186] C.G. Willson and B.J. Roman. "The Future of Lithography: SEMATECH Litho Forum 2008." *ACS Nano*, vol. 2, pp.1323, 2008.

- [187] A. Wüest, A.J. Hazelton, G. Hughes. "Estimation of Cost Comparison of Lithography Technologies at the 22 nm Half-pitch Node." *Proceedings of the SPIE*, vol. 7271, pp. 72710Y, 2009.
- [188] E. S. Putna, T. R. Younkin, M. Chandhok, and K. Frasure. "EUV Lithography for 30nm Half Pitch and Beyond: Exploring Resolution, Sensitivity and LWR Tradeoffs." *SPIE*, vol. 7273, pp. 72731L, 2009.
- [189] C. Koh, L. Ren, J. Georger, F. Goodwina, S.Wurm, B. Pierson, J. Park, T. Wallow, T. R. Younkin, and P. Naulleau. "Assessment of EUV resist readiness for 32nm hp manufacturing, and extendibility study of EUV ADT using state-of-the-art resist." *SPIE*, vol. 7271, pp. 727124, 2009.
- [190] T. Itani. "Recent status and future direction of EUV resist technology." *Microelectronic Engineering*, vol. 86, pp. 207, 2009.
- [191] D. E. Noga, R. A. Lawson, C.T. Lee, L. M. Tolbert and C.L. Henderson. "Understanding Pattern Collapse in High-Resolution Lithography: Impact of Feature Width on Critical Stress." *SPIE*, vol. 7273, pp. 727334, 2009.
- [192] H.B. Cao, P.F. Nealey and W.D. Domke. "Comparison of resist collapse properties for deep ultraviolet and 193 nm resist platforms." *J. Vac. Sci. Technol. B*, vol. 18, pp. 3303, 2000.
- [193] Y. See, J. Cha, T. Chang and M. Ree. "Glass Transition Temperature of Poly(tert-butyl methacrylate) Langmuir–Blodgett Film and Spin-Coated Film by X-ray Reflectivity and Ellipsometry." *Langmuir*, vol. 16, pp. 2351, 2000.
- [194] R.S. Tate, D.S. Fryer, S. Pasqualini, M.F. Montague, J.J. de Pablo and P.F. Nealey. "Extraordinary elevation of the glass transition temperature of thin polymer films grafted to silicon oxide substrates." *Journal of Chemical Physics*, vol. 115, pp. 9982, 2001.
- [195] S. Yamamoto, Y. Tsujii and T. Fukuda. "Glass Transition Temperatures of High-Density Poly(methyl methacrylate) Brushes." *Macromolecules*, vol. 35, pp. 6077, 2002.
- [196] A. Sundaramoorthi, T.R. Younkin, C.L. Henderson. "Elucidating the Physiochemical and Lithographic Behavior of Ultra-Thin Photoresist Films." *SPIE*, vol. 7273, pp. 72733V, 2009.
- [197] R. Gronheid, F.V. Roey and D.V. Steenwinckel, "Using KLUP for Understanding Trends in EUV Resist Performance." *J. Photopolym. Sci. Technol.*, vol. 21, pp. 429, 2008.
- [198] R. Gronheid, C. Fonseca, M.J. Leeson, J.R. Adams, J.R. Strahan, C.G. Willson, B.W. Smith. "EUV Resist Requirements: Absorbance and Acid Yield." *SPIE*, vol. 7273, pp. 727332, 2009.
- [199] M. Chandhok, K. Frasure, E.S. Putna, T.R. Younkin, W. Rachmady, U. Shah and W. Yueh. "Improvement in linewidth roughness by postprocessing." *J. Vacuum Science & Technol. B*, vol. 26, pp. 2265, 2008.
- [200] F. de Jong, B. van der Pasch, T. Castenmiller, B. Vleeming, R. Droste, and F. van de Mast. "Enabling the lithography roadmap: an immersion tool based on a Novel Stage Positioning System." *Proc. of SPIE*, vol. 7274, pp. 72741S, 2009.
- [201] I. Blakey, L. Chen, Y. Goh, K. Lawrie, Y. Chuang, E. Piscani, P. A. Zimmerman and A.K. Whittaker. "Non-CA Resists for 193 nm Immersion Lithography: Effects of Chemical Structure on Sensitivity." *SPIE*, vol. 7273, pp. 72733X, 2009.
- [202] D.N. Pugliano, P. Bolton, T. Barbieri, M. King, M. Reilly, W. Lawrence, D. Kang and G. Barclay. "Negative Tone 193 nm Photoresists." *SPIE*, vol. 5039, pp. 698, 2003.
- [203] K. Patel, M. Lawson, P. Varanasi, D. Medeiros, G. Wallraff, P. Brock, R. DiPietro, Y. Nishimura, T. Chiba, and M. Slezak. "IBM-JSR 193nm Negative Tone Resist: Polymer Design, Material Properties, and Lithographic Performance." *SPIE*, vol. 5376, pp. 94, 2004.

- [204] T. Ando, S. Abe, R. Takasu, J. Iwashita, S. Matsumaru, R. Watababe, K. Hirahara, Y. Suzuki, M. Tsukano and T. Iwai. "Topcoat-free ArF Negative Tone Resist." SPIE, vol. 7273, pp. 727308, 2009.
- [205] S. Tarutani, T. Hideaki, and S. Kamimura. "Development of materials and processes for negative tone development toward 32-nm node 193-nm immersion double-patterning process." SPIE, vol. 7273, pp. 72730C, 2009.
- [206] S. Lee, J. Byers, K. Jen, P. Zimmerman, B.J. Rice, N.J. Turro, and C.G Willson. "An analysis of double exposure lithography options." Proc. SPIE, vol. 6924, pp. 69242A-4, 2008.
- [207] R. Bristol, D. Shykind, S. Kim, Y. Borodovsky, E. Schwartz, C. Turner, G. Masson, K. Min, K. Esswein, J.M. Blackwell, N. Suetin. "Double-Exposure Materials for Pitch Division with 193nm Lithography: Requirements, Results." Proc. SPIE, vol. 7273, pp. 727307, 2009.
- [208] A.J. Berro, X. Gu a, N. O'Connor, S. Jockusch, T. Nagai, T. Ogata, P. Zimmerman, B. J. Rice, E. Adolph, T. Byargeon, J. Gonzalez, N. J. Turro, and C. G. Willson. "Optical Threshold Layer and Intermediate State Two-Photon PAG Approaches to Double Exposure Lithography." Proc. SPIE, vol. 7273, pp. 72731B, 2009.
- [209] N.A. O'Connor, A.J. Berro, J.R. Lancaster, X. Gu, S. Jockusch, T. Nagai, T. Ogata, S. Lee, P. Zimmerman, C.G. Willson, and N.J. Turro, Chemical Materials, vol. 20 pp7365-7524, 2008.
- [210] M. Irie, T. Suzuki, T. Mimura, T. Iwai. "Resist development to improve flare issue for EUV Lithography." SPIE, vol. 6923, pp. 692310, 2008.
- [211] J. Manyam, M. Manickam, J.A. Preece, R.E. Palmer, A.P.G. Robinson. "Low Activation Energy Fullerene Molecular Resist." SPIE, vol. 7273, pp. 72733D, 2009.
- [212] R.A. Lawson, L.M. Tolbert, T.R. Younkin, C.L. Henderson, "Negative-Tone Molecular Resists Based on Cationic Polymerization." SPIE, vol. 7273, pp. 72733E, 2009.
- [213] J. Yamamoto, S. Uchino, H. Ohta, T. Yoshimura and F. Murai. "Accurate critical dimension control by using an azide/novolac resist process for electron-beam lithography." J. Vac. Sci. Technol. B, vol. 15, pp. 2868, 1997.
- [214] A. Yamaguchi, H. Fukuda, T. Arai, J. Yamamoto, T. Hirayama, D. Shiono, H. Hada and J. Onodera. "Spectral analysis of line-edge roughness in polyphenol EB-resists and its impact on transistor performance." J. Vac. Sci. Technol. B, vol. 23, pp. 2711, 2005.
- [215] J. Fujita, Y. Ohnishi, Y. Ochiai, and S. Matsui. "Ultrahigh resolution of calixarene negative resist in electron beam lithography." Applied Physics Letters, vol. 68, pp. 1297, 1996.
- [216] M. J. Rooks and A. Aviram. "Application of 4-methyl-1-acetoxycalix.6.arena resist to complementary metal-oxide-semiconductor gate processing." J. Vac. Sci. Technol. B, vol. 17, pp. 3394, 1999.
- [217] M. Shirai, K. Maki, H. Okamura, K. Kaneyama, T. Itani. "Non-Chemically Amplified Negative Resist for EUV Lithography." SPIE, vol. 7273, pp. 72731N, 2009.
- [218] A.E. Grigorescu, M.C. van der Krogt, C.W. Hagen, P. Kruit. "10 nm lines and spaces written in HSQ, using electron beam lithography." Microelectronic Engineering, vol. 84, pp. 822, 2007.
- [219] Y. Ekinci, H.H. Solak, C. Padeste, J. Gobrecht, M.P. Stoykovich, P.F. Nealey. "20 nm Line/space patterns in HSQ fabricated by EUV interference lithography." Microelectronic Engineering, vol. 84, pp. 700, 2007.
- [220] V. Sidorkin, A. Grigorescu, H. Salemink, E. van der Drift. "Resist thickness effects on ultra thin HSQ patterning capabilities." Microelectronic Engineering, vol. 86, pp. 749-751, 2009.
- [221] H. Namatsu, Y. Takahashi, K. Yamazaki, T. Yamaguchi, M. Nagase and K. Kurihara. "Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations." J. Vac. Sci. Technol. B, vol. 16, pp. 69, 1998.

- [222] J. Stowers, D.A. Keszler. "High resolution, high sensitivity inorganic resists." *Microelectronic Engineering*, vol. 86, pp. 730-733, 2009.
- [223] L. Merhari, K.E. Gonsalves, Y. Hu, W. He, W.-S. Huang, M. Angelopoulos, W.H. Bruenger, C. Dzionk, and M. Torkler. "Nanocomposite resist systems for next generation lithography." *Microelectronic Engineering*, vol. 63, pp. 391, 2002.
- [224] R. Gronheid, H. H. Solak, Y. Ekinici, A. Jouve, and F. V. Roey. "Characterization of extreme ultraviolet resists with interference lithography." *Microelectronic Engineering*, vol. 83, pp. 1103, 2006.
- [225] J.R. Strahan, J.R. Adams, W. Jen, A. Vanleenhove, C.C. Neikirk, T. Rochelle, R. Gronheid, C.G. Willson. "Fluorinated Polymethacrylates as Highly Sensitive Non-chemically Amplified e-beam Resists." *SPIE*, vol. 7273, pp. 72733G, 2009.
- [226] A.K. Whittaker, I. Blakey, J. Blinco, K.S. Jack, K. Lawrie, H. Liu, A. Yu, M. Leeson, W. Yeuh, T. Younkin. "Development of Polymers for Non-CAR Resists for EUV Lithography." *SPIE*, vol. 7273, pp. 727321, 2009.
- [227] I. Blakey, L. Chen, Y. Goh, K. Lawrie, Y. Chuang, E. Piscani, P.A. Zimmerman and A.K. Whittaker. "Non-CA Resists for 193 nm Immersion Lithography: Effects of Chemical Structure on Sensitivity." *SPIE*, vol. 7273, pp. 72733X, 2009.
- [228] L.-W. Chang and H.S.P. Wong. "Diblock copolymer directed self-assembly for CMOS device fabrication." *SPIE Advances in Resist Technology and Processing XXIII*, vol. 6156, pp. 615611, 2006.
- [229] C.T. Black, R. Ruiz, G. Breyta, J. Y. Cheng, M.C. Colburn, K. W. Guarini, H.-C. Kim, Y. Zhang. "Polymer self assembly in semiconductor microelectronics." *IBM Journal of Research and Development*, vol. 51, pp. 605-633 2007.
- [230] I. Bita, J. K.W. Yang, Y.S. Jung, C.A. Ross, E.L. Thomas and K.K. Berggren. "Graphoepitaxy of Self-Assembled Block Copolymers on Two-Dimensional Periodic Patterned Templates." *Science*, vol. 321, pp. 939, 2008.
- [231] M.P. Stoykovich, and P.F. Nealey. "Block copolymers and conventional lithography." *Materials Today*, vol. 9, pp. 20, 2006.
- [232] E.W. Edwards, M.F. Montague, H.H. Solak, C.J. Hawker and P.F. Nealey. "Precise control over molecular dimensions of block-copolymer domains using the interfacial energy of chemically nanopatterned substrates." *Advanced Materials*, vol. 16, pp. 1315, 2004.
- [233] M.P. Stoykovich, M. Muller, S. O. Kim, H.H. Solak, E.W. Edwards, J. J. de Pablo and P. F. Nealey. "Directed assembly of block copolymer blends into nonregular device-oriented structures." *Science*, vol. 308, pp. 1442, 2005.
- [234] E. W. Edwards, M. Muller, M.P. Stoykovich, H.H. Solak, J.J. de Pablo and P.F. Nealey. "Dimensions and shapes of block copolymer domains assembled on lithographically defined chemically patterned substrates." *Macromolecules*, vol. 40, pp. 90, 2007.
- [235] R. Ruiz, H.M. Kang, F.A. Detcheverry, E. Dobisz, D.S. Kercher, T.R. Albrecht, J.J. de Pablo and P.F. Nealey. "Density Multiplication and improved lithography by directed block copolymer assembly." *Science*, vol. 321, pp. 936, 2008.
- [236] Y. Tada, S. Akasaka, H. Yoshida, H. Hasegawa, E. Dobisz, D. Kercher and M. Takenaka. "Directed Self-Assembly of Diblock Copolymer Thin Films on Chemically-Patterned Substrates for Defect-Free Nano-Patterning." *Macromolecules*, vol. 41, pp. 9267, 2008.
- [237] J.Y. Cheng, C.T. Rettner, D.P. Sanders, H.C. Kim and W.D. Hinsberg. "Dense Self-Assembly on Sparse Chemical Patterns: Rectifying and Multiplying Lithographic Patterns Using Block Copolymers." *Advanced Materials*. 20, 3155, 2008.

- [238] S.-M. Park, O.-H. Park, J.Y. Cheng, C.T. Rettner and H.-C. Kim. "Patterning sub-10 nm line patterns from a block copolymer hybrid." *Nanotechnology*, vol. 19, pp. 455304, 2008.
- [239] V.R. Tirumala, V. Daga, A.W. Bosse, A. Romang, J. Ilavsky, E.K. Lin and J.J. Watkins. "Well-Ordered Polymer Melts with 5 nm Lamellar Domains from Blends of a Disordered Block Copolymer and a Selectively Associating Homopolymer of Low or High Molar Mass." *Macromolecules*, vol. 41, pp. 7978, 2008.
- [240] C.B. Tang, E.M. Lennon, G.H. Fredrickson, E.J. Kramer and C.J. Hawker. "Evolution of Block Copolymer Lithography to Highly Ordered Square Arrays ." *Science*, vol. 322, pp. 429, 2008.
- [241] J.K. Bosworth, M.Y. Paik, R. Ruiz, E.L. Schwartz, J.Q. Huang, A.W. Ko, D.-M. Smilgies, C.T. Black and C.K. Ober, "Control of Self Assembly of Lithographically-Patternable Block Copolymer Films", *ACS Nano*, vol. 2, pp. 1396-1402, 2008.
- [242] A. Asenov, S. Kaya, A.R. Brown. "Intrinsic parameter fluctuations in decanometer MOSFETs introduced by gate line edge roughness." *IEEE Trans. Electron Devices*, vol. 50, pp. 1254- 1260 May 2003.
- [243] D.J. Frank, Y. Taur, M. Jeong, H.-S.P. Wong, "Monte Carlo Modeling of Threshold Variation due to Dopant Fluctuations", 1999 Symposium on VLSI Technology Technical Digest of Technical Papers, 169-170, IEEE (1999).
- [244] D. J.C. Herr, "Emerging Patterning Materials Options for Dimensional and Functional Scaling", SPIE Panel on Nanotechnology in Microlithography, p. 8 [February 24, 2009].
- [245] T. Mizuno, J. Okumtura, A. Toriumi. "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's." *IEEE Trans. Electron Devices*, vol. 41, pp. 2216-2221 (1994).
- [246] T. Shinada, S. Okamoto, T. Kobayashi, and I. Ohdomari. "Enhancing Semiconductor Device Performance Using Ordered Dopant Arrays." *Nature*, vol. 437, pp. 1128-1131, 2005.
- [247] B.E. Kane. "A silicon-based nuclear spin quantum computer." *Nature*, vol. 393, pp. 133, 1998.
- [248] F. Jelezko, T. Gaebel, I. Popa, M. Domhan, A. Gruber, and J.Wrachtrup. "Observation of Coherent Oscillation of a Single Nuclear Spin and Realization of a Two-Qubit Conditional Quantum Gate." *Phys. Rev. Lett.*, vol. 93, pp. 130501, 2004.
- [249] A. Persaud, S.J. Park, J.A. Liddle, T. Schenkel, J. Bokor, and I. W. Rangelow. "Integration of Scanning Probes and Ion Beams." *Nano Lett.*, vol. 5, pp. 1087, 2005; and D.N. Jamieson, C. Yang, T. Hopf, S. M. Hearne, C.I. Pakes, S. Praver, M. Mitic, E. Gauja, S.E. Andresen, F.E. Hudson, A.S. Dzurak, and R.G. Clark. "Controlled shallow single-ion implantation in silicon using an active substrate for sub-20-keV ions." *Appl. Phys. Lett.*, vol. 86, pp. 202101, 2005.
- [250] J.C. Ho, R. Yerushalmi, Z.A. Jacobson, Z. Fan, R.L. Alley, and A. Javey. "Controlled nanoscale doping of semiconductors via molecular monolayers." *Nature Materials*, vol. 7, pp. 62, 2008.
- [251] M.Y. Simmons, F.J. Ruess, K.E.J. Goh, W. Pok, T. Hallam, M.J. Butcher, T.C.G. Reusch, G. Scappucci, A.R. Hamilton, L. Oberbeck. "Atomic-scale silicon device fabrication." *Intl. J. of Nanotechnology*, vol. 5, pp. 352-369, 2008.
- [252] S. Auvray, V. Derycke, M. Goffman, A. Filoramo, O. Jost, and J.-P. Bourgoin. "Chemical Optimization of Self-Assembled Carbon Nanotube Transistors." *Nano Letters*, vol. 5, pp. 451-455, 2005.
- [253] C. Klinke, J.B. Hannon, A. Afzali, P. Avouris. "Field-Effect Transistors Assembled From Functionalized Carbon Nanotubes." *Nano Letters*, vol. 6, pp. 906-910, 2006.; and G.S. Tulevski, J. Hannon, A. Afzali, Z. Chen, P. Avouris, and C.R. Kagan. "Chemically Assisted Directed Assembly of Carbon Nanotubes for the Fabrication of Large-Scale Device Arrays." *J. Am. Chem. Soc.*, vol. 129, pp. 11964-11968, 2007.

- [254] N. Koch, A. Kahn, J. Ghijsen, J.-J. Pireaux, J. Schwartz, R.L. Johnson, A. Elschner. "Conjugated organic molecules on metal versus polymer electrodes: demonstration of a key energy level alignment mechanism." *Appl. Phys. Lett.*, vol. 82, pp 70, 2003.
- [255] P.G. Piva, G.A. DiLabio, J.L. Pitters, J. Zikovski, M. Rezeq, S. Dogel, W.A. Hofer, and R.A. Wolkow. "Field regulation of single-molecule conductivity by a charged surface atom." *Nature*, vol. 435, pp. 658-661, 2005.
- [256] L.C. Leu, P. Sadik, D.P. Norton, L. McElwee-White, T.J. Anderson. "Comparative study of ZrN and Zr-Ge-N thin films as diffusion barriers for Cu metallization on Si." *J. Vac. Sci. Technol. B*, vol. 25, pp. 1723-27, 2008.
- [257] P. Majumder, C. Takoudis. "Investigation on the diffusion barrier properties of sputtered Mo/W-N thin films in Cu interconnects." *Appl. Phys. Lett.*, vol. 91, pp. 162108-3, 2007.
- [258] S. Rawal, E. Lambers, D.P. Norton, T.J. Anderson, L. McElwee-White. "Comparative study of HfNx and Hf-Ge-N copper diffusion barriers on Ge," *J. Appl. Phys.*, vol. 100, pp. 63352-7 (2006)
- [259] M.W. Lane, C.E. Murray, F.R. McFeely, P.M. Vereecken, R. Rosenberg. "Liner Materials for Direct Electrodeposition of Cu." *Appl. Phys. Lett.*, vol. 83, pp. 2330-2, 2003.
- [260] D. Josell, C. Witt, T.P. Moffat. "Osmium Barriers for Direct Copper Electrodeposition in Damascene Processing." *Electrochem. Solid-State Lett.*, vol. 9, pp. C41-43, 2006.
- [261] L.C. Leu, D.P. Norton, L. McElwee-White, T.J. Anderson, "Ir/TaN as a bilayer diffusion barrier for advanced Cu interconnects," *Appl. Phys. Lett.*, vol. 92, pp. 111917-3, 2008.
- [262] J. Liu, J. Lei, N. Magtoto, S. Rudenja, M. Garza, J.A. Kelber. "The Effects of an Iodine Surface Layer on Ru Reactivity in Air and During Cu Electrodeposition." *J. Electrochem. Soc.*, vol. 152, pp. G115-21, 2005.
- [263] T. Osaka, N. Takano, T. Kurokawa, K. Ueno. "Fabrication of Electroless NiReP Barrier Layer on SiO₂ without Sputtered Seed Layer." *Electrochem. Sol. State Lett.*, vol. 5, pp. C7-10, 2002.
- [264] M. Yoshino, H. Aramaki, I. Matsuda, Y. Okinaka, T. Osaka. "Effect of Organosilane Underlayers on the Effectiveness of NiB Barrier Layers in ULSI Metallization." *Electrochem. Solid-State Lett.*, vol. 12, pp. D19-22, 2009.
- [265] P.G. Ganesan, A. Kumar, G. Ramanath. "Surface Oxide reduction and bilayer molecular assembly of a thiol-terminated organosilane on Cu." *Appl. Phys. Lett.*, vol. 87, pp. 11905-3, 2005.
- [266] D.D. Gandhi, P.G. Ganesan, V. Chandrasekar, Z. Gan, S.G. Mhaisalkar, H. Li, G. Ramanath. "Molecular-nanolayer-induced suppression of in-plane Cu transport at Cu-silica interfaces." *Appl. Phys. Lett.*, vol. 90, pp. 163507-3, 2007.
- [267] H. Ishikawa, T. Nozawa, T. Matsuoka, A. Teramoto, M. Hirayama, T. Ito, T. Ohmi. "Evaluation of New Amorphous Hydrocarbon Film for Copper Barrier Dielectric Film in low-k Copper Metallization." *Jap. J. Appl. Phys.*, vol. 47, pp. 2531-34, 2008.
- [268] H. Ishikawa, T. Nozawa, T. Matsuoka, A. Teramoto, M. Hirayama, T. Ito, T. Ohmi. "Evaluation of New Amorphous Hydrocarbon Film for Copper Barrier Dielectric Film in low-k Copper Metallization." *Jap. J. Appl. Phys.*, vol. 47, pp. 2531-34, 2008.
- [269] M. Aono, and S. Nitta. "High resistivity and low dielectric constant amorphous carbon nitride films: application to low-k materials for ULSI." *Diamond and Related Materials*, vol. 11, pp. 1219-1222, 2002.
- [270] M. Mazumder, H. Aoki, T. Masuzumi, M. Hara, D. Watanabe, C. Kimura, M. Fukagawa, M. Umeda, M. Kusuhara, and T. Sugino. "Properties of boron carbon nitride (BCN) film after plasma ashing." *Diamond and Related Materials.*, vol. 18, pp. 419-422, 2009.

- [271] E. Engbrecht, Y. Sun, K. Junker, J. White, J. Ekerdt. "Copper diffusion barrier properties of CVD boron carbon-nitride." *J. Vac. Sci. Technol. B*, vol. 23, pp. 463-467, 2005.
- [272] C. Berger, Y. Yi, Z.L. Wang, W.A. de Heer. "Multiwalled carbon nanotubes are ballistic conductors at room temperature." *Appl. Phys. A*, vol. 74, pp. 363-365, 2002.
- [273] M. Zamkov, A.S. Alnaser, B. Shan, Z. Chang, and P. Richard. "Probing the intrinsic conductivity of multiwalled carbon nanotubes." *Appl. Phys. Lett.*, vol. 89, pp. 093111, 2006.
- [274] A. Javi and H. Dai. "Regular Arrays of 2 nm Metal Nanoparticles for Deterministic Synthesis of Nanomaterials." *Journal of the American Chemical Society*, vol. 127, pp. 11942-11943, 2005.
- [275] A. Ural, Y. Li, and H. Dai. "Electric-field-aligned growth of single-walled carbon nanotubes on surfaces." *Appl. Phys. Lett.*, vol. 81, pp. 3464, 2002.
- [276] H. Ago, N. Ishigami, K. Imamoto, T. Suzuki, K. Ikeda, M. Tsuji, T. Ikuta, and K. Takahashi. "Horizontally-aligned single-walled carbon nanotubes on sapphire." *J. Nanosci. Nanotechnol.*, vol. 8, pp. 6165-6169, 2008.
- [277] N. Patil, A. Lin, E.R. Myers, H.-S.P. Wong, S. Mitra. "Integrated wafer-scale growth and transfer of directional Carbon Nanotubes and misaligned-Carbon-Nanotube-immune logic structures." *Proc. VLSI Technology, 2008 Symposium on 17-19 June 2008*, pp. 205-206, 2008.
- [278] N. Wang, Z. K. Tang, G. D. Li and J. S. Chen. "Single-walled 4 Å carbon nanotube arrays." *Nature*, vol. 408, pp. 50, 2000.
- [279] Y. Yamazaki, N. Sakuma, M. Katagiri, M. Suzuki, T. Sakai, S. Sato, M. Nihei, and Y. Awano. "High-Quality Carbon Nanotube Growth at Low Temperature by Pulse-Excited Remote Plasma Chemical Vapor Deposition." *Applied Physics Express*, vol. 1, pp. 034004, 2008
- [280] G. Zhong, T. Iwasaki, K. Honda, Y. Furukawa, I. Ohdomari and H. Kawarada. "Low Temperature Synthesis of Extremely Dense and Vertically Aligned Single-Walled Carbon Nanotubes." *Jap. Journ. Appl. Phys.*, vol. 44, pp. 1558-1561, 2005.
- [282] D. Yokoyama, T. Iwasaki, T. Yoshida, H. Kawarada. "Low temperature grown carbon nanotube interconnects using inner shells by chemical mechanical polishing." *Appl. Phys. Lett.*, vol. 91, pp. 263101, 2007.
- [282] M. Katagiri, N. Sakuma, M. Suzuki, T. Sakai, S. Sato, T. Hyakushima, M. Nihei, Y. Awano. "Carbon Nanotube Vias Fabricated by Remote Plasma-Enhanced Chemical Vapor Deposition." *Jap. Journ. Appl. Phys.*, vol. 4, pp. 2024, 2008.
- [283] A. Naemi, R. Servari, J. D. Meindl. "Performance Modeling and Optimization for Single- and Multi-Wall Carbon Nanotube Interconnects." *Annual ACM IEEE Design Automation Conference, Proceedings of the 44th annual conference on Design automation*, pp. 568, 2007.
- [284] A. Naemi, J. D. Mendl. "Compact physical models for multiwall carbon-nanotube interconnects." *IEEE Electron Device Letters*, vol. 27, pp. 338-340, 2006.
- [285] H. Li, N. Srivastava, J.-F. Mao, W.-Y. Yin, K. Banerjee. "Carbon Nanotube Vias: A Reality Check." *IEDM 2007*, pp. 207
- [286] N. Srivastava, R. V. Joshi, and K. Banarjee. "Carbon Nanotube Interconnects: Implications for Performance, Power Dissipation and Thermal Management." *IEDM 2005*, pp. 249-252, 2005.
- [287] G. F. Close, and H.-S.P. Wong. "Fabrication and Characterization of Carbon Nanotube Interconnects." *IEDM 2007*, pp. 203.

- [288] M.S. Dresselhaus, G. Dresselhaus, P. Avouris. *Carbon Nanotubes: Synthesis, Structure, Properties, and Applications*, Springer-Verlag, Berlin, 2001
- [289] A. Javey, J. Guo, M. Paulson, Q. Wang, D. Mann, M. Lundstrom, H. Dai. "High-Field Quasiballistic Transport in Short Carbon Nanotubes." *Phys. Rev. Lett.*, vol. 92, pp. 106804, 2004.
- [290] O. Hjortstam, P. Isberg, S. Söderholm, and H. Dai. "Can we achieve ultra-low resistivity in carbon nanotube-based metal composites?", *Appl. Phys. A*, vol. 78, pp. 1175, 2004.
- [291] J.-Y. Park, S. Rosenblatt, Y. Yaish, V. Sazonova, H. Üstünel, S. Braig, T.A. Arias, P.W. Brouwer, P.L. McEuen. "Electron-Phonon Scattering in Metallic Single-Walled Carbon Nanotubes." *Nano Letters*, vol. 4, pp. 517, 2004.
- [292] J. Jiang, R. Saito, G.G. Samsonidze, S. G. Chou, A. Jorio, G. Dresselhaus, M. Dresselhaus. "Electron-phonon matrix elements in single-wall carbon nanotubes." *Phys. Rev. B*, vol. 72, pp. 235408, 2005.
- [293] A. Kawabata, S. Sato, T. Nozue, T. Hyakushima, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, K. Asano, M. Ohfuti, H. Kawarada, T. Sakai, M. Nihei and Y. Awano. "Robustness of CNT Via Interconnect Fabricated by Low Temperature Process over a High-Density Current." *Proc. IEEE Int. Interconnect Technology Conf.*, pp. 237-239, 2008.
- [294] T. Yamada, T. Namai, K. Hata, D. N. Futaba, K. Mizuno, J. Fan, M. Yudasaka, M. Yumura, S. Iijima. "Size-selective growth of double-walled carbon nanotube forests from engineered iron catalysts." *Nature Nanotechnology*, vol. 1, pp. 131, 2006.
- [295] G. Zhong, T. Iwasaki, H. Kawarada. "Semi-quantitative study on the fabrication of densely packed and vertically aligned single-walled carbon nanotubes." *Carbon*, vol. 44, pp 2009, 2006.
- [296] Y. Awano, *Proc. of Selete Symposium (in Japanese) (2008)*
- [297] M. Katagiri, Y. Yamazaki, N. Sakuma, M. Suzuki, T. Sakai, M. Wada, N. Nakamura, N. Matsunaga, S. Sato, M. Nihei, and Y. Awano. "Fabrication of 70-nm-diameter carbon nanotube via interconnects by remote plasma-enhanced chemical vapor deposition and their electrical properties." *Proc. IEEE Int. Interconnect Technology Conf.* pp. 44-46, 2009.
- [298] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov. "Electric Field Effect in Atomically Thin Carbon Films." *Science*, vol. 306, pp. 666-669, 2004.
- [299] A. Naeemi and J. D. Meindl' "Performance Benchmarking for Graphene Nanoribbon, Carbon Nanotube, and Cu Interconnects" *IEEE International Interconnect Technology Conference 2005*, pp. 183-185 (2008).
- [300] A. Reina, X. Jia, J. Ho, D. Nezich, H. Son, V. Bulovic, M. S. Dresselhaus and J. Kong. "Large Area, Few-Layer Graphene Films on Arbitrary Substrates by Chemical Vapor Deposition." *Nano Letters*, vol. 9, pp. 30, 2009.
- [301] K. S. Kim, Y. Zhao, H. Jang, S. Y. Lee, J. M. Kim, K. S. Kim, J.-H. Ahn, P. Kim, J.-Y. Choi & B. H. Hong. "Large-scale pattern growth of graphene films for stretchable transparent electrodes." *Nature*, vol. 457, pp. 706-710, 2009.
- [302] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S. K. Banerjee, L. Colombo, and R. S. Ruoff. "Large-Area Synthesis of High-Quality and Uniform Graphene Films on Copper Foils." *Science*, vol. 324, pp. 1312-1314, 2009.
- [303] A. Bid, A. Bora, and A. K. Raychaudhuri. "Temperature dependence of the resistance of metallic nanowires of diameter ≥ 15 nm: Applicability of Block-Grüneisen theorem." *Phys. Rev. B*, vol. 74, pp. 035426, 2006.
- [304] Y. Chang, M.L. Lye, and H.C. Zeng. "Large-scale synthesis of high-quality ultralong copper nanowires." *Langmuir*, vol. 21, pp. 3746-3748, 2005.

- [305] A. Mallikarjunan, S. Sharma, and S. P. Murarka. "Resistivity of copper films at thicknesses near the mean free path of electrons in copper." *Electrochem. and Solid-State Lett.*, vol. 3, pp. 437-438, 2000.
- [306] T. Seo, T. Yoshino, Y. Cho, N. Hata, and T. Kikkawa. "Electrical Characteristics of Mesoporous Pure-Silica-Zeolite Film." *Japanese Journal of Applied Physics*, vol. 46, pp. 5742-5746, 2007.
- [307] P.-I. Wang, Z. Wu, T.-M. Lu, and L.V. Interrante. "A Novel Polycarbosilane-Based Low κ Dielectric Material." *Journal of The Electrochemical Society*, vol. 153, pp. G267-G271, 2006.
- [308] A. Itoh, A. Inokuchi, S. Yasuda, A. Teramoto, T. Goto, M. Hirayama, and T. Ohmi. "Low-Dielectric-Constant Nonporous Fluorocarbon Films for Interlayer Dielectric." *Japanese Journal of Applied Physics*, vol. 47, pp. 2515-2520, 2008.
- [309] K. Chan and K.K. Gleason. "Air-Gap Fabrication Using a Sacrificial Polymeric Thin Film Synthesized via Initiated Chemical Vapor Deposition." *Journal of The Electrochemical Society*, vol.153, pp. C223-C228, 2006.
- [310] K. Chan and K.K. Gleason. "Cross-Linked Organic Sacrificial Material for Air Gap Formation by Initiated Chemical Vapor Deposition." *Journal of The Electrochemical Society*, vol. 155, pp. G78-G86, 2008.
- [311] T. Osborn, A. He, N. Galiba, and P.A. Kohl. "All-Copper Chip-to-Substrate Interconnects Part I. Fabrication and Characterization." *Journal of the Electrochemical Society*, vol. 155, pp. D308-D313, 2008.
- [312] S.L. Lai, J.Y. Guo, V. Petrova, G. Ramanath, and L.H. Allen. "Size-Dependent Melting Properties of Small Tin Particles: Nanocalorimetric Measurements." *Physical Review Letters*, vol. 77, pp. 99, 1996.
- [313] H. Jiang, K.-S Moon, F. Hua, and C. P. Wong. "Synthesis and Thermal and Wetting Properties of Tin/Silver Alloy Nanoparticles for Low Melting Point Lead-Free Solders." *Chemistry of Materials*, vol. 19, pp. 4482, 2007.
- [314] Y. Li and C.P. Wong. "Recent advances of conductive adhesives as a lead-free alternative in electronic packaging: Materials, processing, reliability and applications." *Materials Science & Engineering Reports*, vol. 51, pp. 1-35, 2006.
- [315] K.J. Miller, K.N. Collier, H.B. Soll-Morris, R. Swaminathan and M.E. McHenry. "Induction heating of FeCo nanoparticles for rapid rf curing of epoxy composites." *J. Appl. Phys.*, vol. 105, pp. 07E714, 2009.
- [316] J. Qu and C.P. Wong. "Effective Elastic Modulus of Underfill Material for Flip-Chip Applications." *IEEE Trans. on Comp, and Pack. Tech.*, vol. 25, pp. 53, 2002.
- [317] E. Giannelis, Cornell University, private conversation
- [318] Y.-H. Lee, S.-J. Kyung, C.-W. Kim and G.-Y. Yeom. "Characteristic of carbon nanotubes synthesized by pin-to-plate type atmospheric pressure plasma enhanced chemical vapor deposition at low temperature." *Carbon*, vol. 44, pp. 807-809, 2006.
- [319] W. Kim, A. Javey, R. Tu, J. Cao, Q. Wang, and H. Dai. "Electrical contacts to carbon nanotubes down to 1 nm in diameter." *Appl. Phys. Lett.*, vol. 87, pp. 173101, 2005.
- [320] H. Li, W.-Y. Yin, K. Banerjee, and J.-F Mao. "Circuit Modeling and Performance Analysis of Multi-Walled Carbon Nanotube Interconnects." *IEEE Trans. on Electron Dev.*, vol. 55, pp. 1328-1337, 2008.
- [321] A. Majumdar. "Enhanced: Thermoelectricity in Semiconductor Nanostructures." *Science*, vol. 303, pp. 777-778, 2004.
- [322] T.C. Harman, P.J. Taylor, M.P. Walsh, and B.E. LaForge. "Quantum Dot Superlattice Thermoelectric Materials and Devices." *Science*, vol. 297, pp. 2229-2232, 2002.
- [323] R. Venkatasubramanian, E. Siivola, T. Colpitts and B. O'Quinn. "Thin-film thermoelectric devices with high room-temperature figures of merit." *Nature*, vol. 413, pp. 597, 2001.

- [324] I. Chowdhury, Ravi Prasher, K. Lofgreen, G. Chrysler, S. Narasimhan, R. Mahajan, D. Koester, R. Alley and R. Venkatasubramanian. "On-chip cooling by superlattice-based thin-film Thermoelectrics." *Nature Nanotech.*, vol. 4, pp. 235, 2009.
- [325] I.M. Anderson, M.T. Postek, and B. Foran. "EFTEM Spectral Imaging of FinFET Structure using LACSBI Method." *Proc ACMM20 / IUMAS-4*, 413 (2008).; I.M. Anderson and A.A. Herzing. "Statistical and Systematic Errors in EFTEM Spectral Imaging." *Microscopy and Microanalysis*, vol. 14, pp. 774, 2008.
- [326] C. Kubel, A. Voigt, R. Schoenmakers, M. Otten, D Su, T. Lee, A. Carlsson and J. Bradley. "Recent Advances in Electron Tomography: TEM and HAADF-STEM Tomography for Materials Science and Semiconductor Applications." *Microscopy and Microanalysis*, vol. 11, pp. 378, 2005. ; K. Jarusch, P. Thomas, D.N. Leonard, R. Twesten and C.R. Booth. "Four-dimensional STEM-EELS: Enabling nano-scale chemical tomography." *Ultramicroscopy*, vol. 109, pp. 326, 2009.
- [327] V. K. Tewary and B. Yang. "Parametric interatomic potential for graphene.", *Phys. Rev. B*, vol. 79, pp. 075442, 2009.
- [328] C. Berger, Z. Song, T. Li, X. Li, A. Y. Ogbazghi, R. Feng, Z. Dai, A.N. Marchenkov, E.H. Conrad, P.N. First, and W.A. de Heer. "Ultrathin epitaxial graphite: 2D electron gas properties and a route toward graphene-based nanoelectrics." *J. Phys. Chem. B*, vol. 108, pp. 19912, 2004.
- [329] G.M. Rutter, J.N. Crain, N.P. Gusinger, T. Li, P.N. First, J.A. Stroscio. "Scattering and interference in epitaxial graphene." *Science*, vol. 317, pp. 219, 2007.
- [330] A.C. Ferrari, J.C. Meyer, V. Scardaci, C. Casiraghi, M. Lazzeri, F. Mauri, S. Piscanec, D. Jiang, K. S. Novoselov, S. Roth, and A.K. Geim. "Raman spectrum of graphene and graphene layers." *Phys. Rev. Lett.*, vol. 97, pp. 187401, 2006.
- [331] V.K. Tewary and B. Yang. "Parametric interatomic potential for graphene." *Phys. Rev. B*, vol. 79, pp. 075442, 2009.
- [332] S.A. Wolf, D.D. Awschalom, R.A. Buhrman, J.M. Daughton, S. von Molnar, M.L. Roukes, A.Y. Chtchelkanova, and D.M. Treger. "Spintronics: A Spin-Based Electronics Vision for the Future." *Science*, vol. 294, pp. 1488, 2001.
- [333] M. D. Stiles and A. Zangwill. "Anatomy of spin-transfer torque." *Phys. Rev. B*, vol. 66, pp. 014407, 2002.
- [334] M.L. Schneider, M.R. Pufall, W.H. Rippard, S.E. Russek, and J.A. Katine. "Thermal effects on the critical current of spin torque switching in spin valve nanopillars." *Appl. Phys. Lett.*, vol. 90, pp. 092504, 2007.
- [335] E. W. Bauer, A. Brataas, Y. Tserkovnyak, B. J. van Wees. "Spin-torque transistor." *Appl. Phys. Lett.*, vol. 82, pp. 3928 (2003).
- [336] Y. Zhu(Editor). *Modern Techniques for Characterizing Magnetic Materials*. New York, NY, Springer, 2005
- [337] X-ray magnetic dichroism spectroscopy and microscopy, J. Stohr, SLAC, Stanford University, <http://ssrl.slac.stanford.edu/stohr/xmcd.htm>, March 18, 2009
- [338] J. Seidel, L. W. Martin, Q. He, Q. Zhan, Y.-H. Chu, A. Rother, M. E. Hawkrige, P. Maksymovych, P. Yu, M. Gajek, N. Balke, S. V. Kalinin, S. Gemming, F. Wang, G. Catalan, J. F. Scott, N. A. Spaldin, J. Orenstein & R. Ramesh. "Conduction at domain walls in oxide multiferroics." *Nature Mater.*, vol. 8, pp. 229-234, 2009.
- [339] H. Bea and P. Paruch. "Multiferroics: A way forward along domain walls." *Nature Materials*, vol. 8, pp. 168-169, 2009.
- [340] N. Balke, I. Bdikin, S.V. Kalinin, and A.L. Kholkin. "Electromechanical Imaging and Spectroscopy of Ferroelectric and Piezoelectric Materials: State of the Art and Prospects for the Future." *J. Am. Ceram. Soc.*, vol. 92, pp. 1629-1647, 2009.
- [341] H. Alloul, J. Bobroff, M. Gabay, P.J. Hirschfeld. "Defects in correlated metals and superconductors," *Rev. Mod. Phys.*, vol. 81, pp. 45-108, 2009.

- [342] T. Kawae, Y. Terauchi, H. Tsuda, M. Kumdeda, A. Morimoto. "Improved leakage and ferroelectric properties of Mn and Ti codoped BiFeO₃ thin films." *Appl. Phys. Lett.*, vol. 94, pp. 112904, 2009.
- (343) H. Nananuma, Y. Inoue, S. Okamura. "Evaluation of Electrical Properties of Leaky BiFeO₃ Films in High Electric Field Region by High-Speed Positive-Up–Negative-Down Measurement." *Applied Physics Express*, vol. 1, pp. 061601, 2008.
- [344] J.G. Kushmerick, J. Lazorcik, C.H. Patterson, R. Shashidhar, D.S. Seferos, G.C. Bazan. "Vibronic contributions to charge transport across molecular junctions." *Nano Letters*, vol. 4, pp. 639-642, 2004.; W.Y. Wang, T. Lee, I. Kretzschmar, M.A. Reed. "Inelastic electron tunneling spectroscopy of an alkanedithiol self-assembled monolayer." *Nano Letters*, vol. 4, pp. 643-646, 2004.
- [345] C.A. Richter, C.A. Hacker, L.J. Richter. "Electrical and spectroscopic characterization of metal/monolayer/Si devices." *J. Phys. Chem. B*, vol. 109, pp. 21836-21841, 2005,
- [346] J.M. Beebe B. Kim, J.W. Gadzuk, C.D. Frisbie, and J.G. Kushmerick. "Transition from direct tunneling to field emission in metal-molecule-metal junctions." *Phys. Rev. Lett.*, vol. 97, pp. 026801, 2005.
- [347] R.F. Pease, and S.Y. Chou. "Lithography and other patterning techniques for future electronics." *Proceedings of the IEEE*, vol. 96, pp. 248-270, 2008.
- [348] S.V. Sreenivasan. "Nanoscale manufacturing enabled by imprint lithography." *MRS Bulletin*, vol. 33, pp. 854-863, 2008.
- [349] M.T. Li, L. Chen, W. Zhang, and S.Y. Chou. "Pattern transfer fidelity of nanoimprint lithography on six-inch wafers." *Nanotechnology*, vol. 14, pp. 33-36, 2003.
- [350] R.L. Jones, T. Hu, C.L. Soles, E.K. Lin, R.M. Reano, S.W. Pang, and D.M. Casa. "Real-time shape evolution of nano-imprinted polymer structures during thermal annealing." *Nano Letters*, vol. 6, pp. 1723-1728, 2006.
- [351] Y.F. Ding, H.W. Ro, T.A. Germer, J.F. Douglas, B.C. Okerberg, A. Karim and C.L. Soles. "Relaxation Behavior of polymer structures fabricated by nanoimprint lithography." *ACS Nano*, vol. 1, pp. 84-92, 2007.
- [352] Y.F. Ding, H.W. Ro, K.J. Alvine, B.C. Okerberg, J. Zhou, J.F. Douglas, A. Karim, and C.L. Soles. "Nanoimprint lithography and the role of viscoelasticity in the generation of residual stress in model polystyrene patterns." *Advanced Functional Materials*, vol. 18, pp. 1854-1862, 2008.
- [353] Y. Hirai, S. Yoshida, and N. Takagi. "Defect analysis in thermal nanoimprint lithography." *Journal of Vacuum Science & Technology B*, vol. 21, pp. 2765-2770, 2003.
- [354] G.Y. Jung, Z. Li, W. Wu, Y. Chen, D.L. Olynick, S.-Y. Wang, W.M. Tong, and R.S. Williams. "Vapor-phase self-assembled monolayer for improved mold release in nanoimprint lithography." *Langmuir*, vol. 21, pp. 1158-1161, 2005.
- [355] H. Schulz, M. Wissen, and H.C. Scheer. "Local mass transport and its effect on global pattern replication during hot embossing." *Microelectronic Engineering*, vol. 67-68, pp. 657-663, 2003.
- [356] S. Park, B. Kim, J. Xu, T. Hofmann, B.M. Ocko and T.P. Russell. "Lateral Ordering of Cylindrical Microdomains Under Solvent Vapor." *Macromolecules*, vol. 42, pp. 1278, 2009.
- [357] X. Zhang, B.C. Berry, K.G. Yager, S. Kim, R.L. Jones, S. Satija, D.L. Pickel, J.F. Douglas, and A. Karim, "Surface Morphology Diagram for Cylinder-Forming Block Copolymer Thin Films." *ACS Nano*, vol. 2, pp. 2331, 2008.
- [358] H. Ade, and H. Stoll. "Near-edge X-ray absorption fine-structure microscopy of organic and magnetic materials." *Nature Materials*, vol. 8, pp. 281, 2009.
- [359] M.T. Postek and A.E. Vladar. "Helium Ion Microscopy and Its Application to Nanotechnology and Nanometrology." *Scanning: Journal of Scanning Electron Microscopy and Related Methods*, vol. 30, pp. 457, 2008.

- [360] J. Notte, B. Ward, N. Economou, R. Hill, R. Percival, L. Farkas, and S. McVey. "An Introduction to the Helium Ion Microscope." AIP Conference Proceedings, vol. 931, pp. 489, 2007.
- [361] T.H. Fedynyshyn, R.B. Goodman, and J. Roberts, "Polymer matrix effects on acid generation." Advances in Resist Materials and Processing Technology XXV, SPIE, vol. 6923, pp. 692319, 2008.
- [362] R. Brainard, E. Hassanein, J. Li, P. Pathak, B. Thiel, F. Cerrina, R. Moore, M. Rodriguez, B. Yakshinskiy, E. Loginova, T. Madey, R. Matyi, M. Malloy, A. Rudack, P. Naulleau, A. Wüest, and K. Dean. "Photons, electrons, and acid yields in EUV photoresists: a progress report." Advances in Resist Materials and Processing Technology XXV, SPIE, vol. 6923, pp. 692325, 2008.
- [363] M. Chandhok, H. Cao, W. Yueh, ; E.M. Gullikson; R.L. Brainard; S.A. Robertson. "Techniques for directly measuring the absorbance of photoresists at EUV wavelengths." SPIE, vol. 5374, pp. 861, 2004.
- [364] H.D. Xiong, W. Wang, J. S. Suehle, C. A. Richter, W.-K. Hong, T. Lee, and D.M. Fleetwood. "Random telegraph signals in n-type ZnO nanowire field effect transistors at low temperature." Appl. Phys. Lett., vol. 91, pp. 053107, 2007.
- [365] K. Murali, S. Sinha, W.L. Ditto, and A.R. Bulsara. "Reliable Logic Circuit Elements that Exploit Nonlinearity in the Presence of a Noise Floor." Phys. Rev. Lett, vol. 102, pp.104101, 2009.
- [366] J.P. Campbell, J. Qin, K.P. Cheung, L.C. Yu, J.S. Suehle, A. Oates, and K. Sheng. "Random Telegraph Noise in Highly Scaled nMOSFETs," 2009 International Reliability Physics Symposium, April 26-May 1, Montreal, Canada, Vol. 47, pp. 382 – 388, 2009.
- [367] S. Vasudevan, K. Walczak, N. Kapur, N. Neurock, A.W. Ghosh. "Modeling Electrostatic and Quantum Detection of Molecules", IEEE Sensors Journal, vol. 8, pp. 857-862, 2008.
- [368] S. Shankar, H. Simka and M. Haverty. "Density functional theory and beyond—opportunities for quantum methods in materials modeling semiconductor technology." J. Phys.: Condens. Matter, vol. 20, pp. 064232, 2008.
- [369] T.L. Hill. "A Different Approach to Nanothermodynamics." Nanoletters, vol. 1, pp. 273, 2001.
- [370] G.A. Mansoori, Principles of nanotechnology: molecular based study of condensed matter in small systems, World Scientific, Singapore, 2005.
- [371] J.W. Cahn and J. E. Hilliard. "Free Energy of a Nonuniform System III. Nucleation in a Two-Component Incompressible Fluid." J. Chem. Phys., vol. 31, pp. 688, 1959.
- [372] D.W. Oxtoby. "Nucleation of First-Order Phase Transitions." Accounts of Chem. Res., vol. 31, pp. 91, 1998.
- [373] P. Hohenberg and W. Kohn. "Inhomogeneous Electron Gas." Physical Review, vol. 136, pp. B864-B871, 1964.
- [374] W. Kohn and L.J. Sham. "Self-consistent equations including exchange and correlation effects." Physical Review, vol. 140, pp. A1133–A1138, 1965.
- [375] Z. Wu, Y. Kanai, and J. C. Grossman. "Quantum Monte Carlo Calculations of the Energy Level Alignment at Hybrid Interfaces: the Impact of Many-Body Effects." Physical Review B, vol. 79, pp. 201309(R), 2009.
- [376] M.S. Hybertsen and S. G. Louie. "First-Principles Theory of Quasiparticles: Calculation of Band Gaps in Semiconductors and Insulators." Phys. Rev. Lett., vol. 55, pp. 1418, 1985.
- [377] M.S. Hybertsen and S. G. Louie. "Electron correlation in semiconductors and insulators: Band gaps and quasiparticle energies." Phys. Rev. B, vol. 34, pp. 5390, 1986.
- [378] J. Shumway. "A Quantum Monte Carlo Method for Non-Parabolic Electron Bands in Semiconductor Heterostructures." J. Phys.: Condens. Matter, vol. 17, pp. 2563-2570, 2005.

- [379] A. Dal Corso and A.M. Conte. "Spin-orbit coupling with ultrasoft pseudopotentials: Application to Au and Pt." Phys. Rev. B, vol. 71, pp. 115106, 2005.