

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2009 年版

リソグラフィ

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月
訳者一同を代表して
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2009 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：
社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5218-1068 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

リソグラフィ	1
概要	1
困難な技術課題	2
困難な技術課題——短期的 > 22nm	2
困難な技術課題——長期的 ≤ 22nm	5
リソグラフィ技術の要求	8
解決策候補	11
クロスカットニーズと技術課題解決策	13
環境、安全、および健康 (ESH)	13
工場統合 (Factory Integration)	14
歩留まり向上 (Yield Enhancement)	14
計測 (Metrology)	15
モデリング・シミュレーション (Modeling and Simulation)	15
ITWG間に共通する議論	16
将来出現する研究デバイスおよび材料のインパクト	16
参考文献	17

LIST OF FIGURES

Figure LITH1	Process Flows for Pitch Splitting (DE, DP), and Spacer Patterning	3
Figure LITH2	Relative Cost of Ownership for the critical level of a 5000 wafer run device	4
Figure LITH3	Lithography Exposure Tool Potential Solutions	13

LIST OF TABLES

Table LITH1	Various Techniques for Achieving Desired CD Control and Overlay with Optical Projection Lithography	5
Table LITH2	Lithography Difficult Challenges	6
Table LITH3	Lithography Technology Requirements	8
Table LITH4a	Resist Requirements	9
Table LITH4b	Resist Sensitivities	9
Table LITH5a	Optical Mask Requirements	9
Table LITH5b	Double Patterning Requirements	9
Table LITH5c	EUV Mask Requirements	10
Table LITH5d	Imprint Template Requirements	10
Table LITH6	Maskless Technology Requirements	11

リソグラフィ

概要

2009 年以降、急速なハーフピッチの縮小ペースを維持するためには、現在の光リソグラフィ技術を改良し延命するための課題の解決と平行して、光リソグラフィより経済的になったときに初めて使用される次世代リソグラフィ技術を開発することが要求される。現存する 193nm 波長の液浸レンズを用い、多重露光手法を開発する光投影型リソグラフィの延命は重要な技術的課題をもたらす。非常に挑戦的な問題の新しい技術的解決法が必要とされるだけでなく、設計、プロセス開発、マスクのコスト、および装置とプロセスの CoO(Cost of Ownership)を含んだチップコストを経済的にすることが重要である。光リソグラフィの拡張と次世代リソグラフィ技術の開発には次の分野における進歩が必要である。

- 露光装置
- レジスト材料と現像処理装置
- マスク製作、マスク製造装置、および材料
- CD(Critical Dimension)測定、重ね合わせコントロール、および欠陥検査のための計測装置

本章はリソグラフィの困難な技術課題(Difficult Challenges)、技術要求、および解決策候補(Potential Solutions)を明確にする 15 年間のロードマップを提供する。更に本章では、リソグラフィ ITWG (International Technology Working Group[国際技術ワーキンググループ])と、設計(Design)、FEP(Front End Processing)、PIDS(Process Integration, Devices, and Structures)、ESH(Environment, Safety, and Health[環境、安全性、および健康])、YE(Yield Enhancement)[歩留り向上]、Metrology[測定]、Modeling & Simulation[モデリングおよびシミュレーション]の各 TWG とのクロスカット活動とそれぞれとの関わりを示した。

集積回路を製造する上での、リソグラフィの主要な要求は以下のとおりである。表 LITH3 はデバイスタイプとハーフピッチに基づいた要求である。

- 寸法コントロール—設計される多くのパターンの大きさは正確にコントロールされる必要がある。寸法コントロールは、露光フィールド内、ウェーハ内とウェーハ間で達成される必要がある。寸法コントロールは適切なトランジスタ性能と配線性能、さらにその結果としての総合的な回路性能を得るために必要である。
- 重ね合わせ(Overlay)—適切な歩留りを達成するため、すべての場所で各チップが下の層に対し正確に位置決めされる必要がある。
- 欠陥コントロール—必要なパターンは追加例外なく、すべての場所で正しく存在しなくてはならない。リソグラフィプロセスにおいて、新たにウェーハにパーティクルが付着することは許されない。
- 低コスト—装置、材料(レジストを含む)、およびマスクのコストは、寸法コントロール、重ね合わせ、および欠陥コントロールへの要求が満足されるかぎり、できるだけ低く抑える必要がある。コストを最小にするために、リソグラフィの各工程はできるだけ短い時間で実行されること、マスクはできるだけ多くのウェーハの露光に使用されること、装置は信頼性が高く、常にウェーハに露光できることが必要である。

先端のクリティカル層のリソグラフィにおける主要技術であり続けるため、オフアクシス照明(OAI: off-axis illumination)、位相シフトマスク(PSM: phase shifting mask)、近接効果補正(OPC: optical proximity correction)などの超解像技術(RET: resolution enhancement technique)が 193 nm 波長の露光システムにおいても引き続き使

われている。RETに加え、高 NA 化とレンズ収差の低減が光リソグラフィの延命のために要求されている。また最後段レンズ素子とウェーハ間を液体で満たす液浸法も光リソグラフィを延命する手段として使用される。表 LITH1 に光リソグラフィを拡張するのに用いられる RET と手法の発展を示す。次に続く技術世代毎に OPC と RET の実装がより困難で高価になってくる。設計者が作る複数のパターン種のプロセス裕度を拡大するために、SMO(source mask optimization)や IL(inverse lithography)といった新しい技法が導入されている。所望の解決策を可能にするため、これらの改良は DFM(design for manufacturing)とあわせて行われる。DFM のやり方のいくつかは微細パターンを一方向で設計することも含んでいる。ピッチ範囲も制限される。これらの技法の全ては解決策の k_1 を小さくし、低 k_1 解決策のプロセス裕度拡大をもたらす。

困難な技術課題

短期的な最も困難な技術課題と継続的にハーフピッチを微細化する長期的な困難な技術課題を表 LITH2a と表 LITH2b にそれぞれ示す。二つの表の分割点は 20nm ハーフピッチ【訳者注:「22nm ハーフピッチ」とするべきである】である。20nm【訳者注:「22nm」とするべきである】以上では伝統的な光解決策が使われるが、それ以下では照明された光解決策はない。表では国際的な関係者で決定された困難度により技術課題が分けられている。

困難な技術課題——短期的 > 22nm

マスク作製

短期的に最大の課題で長期的にも重要な課題はマスクである。マスク製造能力とマスクコストの増大は今後の発展に重要であり継続的に注力する必要がある。マスクはロードマップに則って進歩するコモディティであり、それを実現させるものである。少ない初期的な市場において、マスクショップでは高額で最高級設備が必要であり、商用マスクショップには市場が難しくなっている。それゆえに、マスク産業はこの課題に取り組むため、非常に大きな統合や協業を経験した。その結果、最先端市場に販売された設備の台数が減少することになった。さらにコストアップを余儀なくされ、産業のためのマスク開発に必要な設備がやっと間に合うという結果になった。

マスクの規格はロードマップ¹により指定されたハーフピッチよりも早く増加した。歴史的に、これはMPUのゲート寸法(エッチング後)と低 k_1 リソグラフィによるMEEF(mask error enhancement factor)によって増加してきた。マスク上の二倍のパターン(すなわち解像限界増進パターン)の必要性は規格に影響し、ダブルパターンニングによりロードマップのハーフピッチよりもはるかに速いマスク位置精度の規格が要求されている(表Lith5b参照)。

多数のウェーハ露光後に有機や無機の堆積物がマスクに形成される成長性欠陥も問題が大きくなってきた。このため、かつての 248nm 技術に比較して 193nm リソグラフィのマスクのリワークが 13 倍に増えることとなった²。静電放電(ESD: electrostatic discharge)によるマスク損傷は長い間課題であったが、マスクパターンサイズの縮小により、より込み入った問題になると予想される。寸法がさらに微細になるため、EFM(electric field migration)により寸法変化が見られるようになった。

ダブルパターニング技術

シングル露光に要求される解像度に応えるため、各デバイス層を定義する多重露光が使用されている。Alt-PSM と Trim 露光、ダブルダイポール露光といった幾つかの二重露光技術は、既に生産に使われている。これらの技術は回折限界($k_1=0.25$)に迫る解像力を提供する。新しい二重露光技術は、シングル露光の回折限界を超える転写を実現すべく設計考慮され、これらは更なる特殊な多重露光技術の適用により、新たなリソグラフィに関する要求を伴う(表 LITH5b 参照)。

ピッチ分割(PS: pitch splitting)とスペーサパターニング(SP: spacer patterning)の二つの基本プロセスとそれらの要求はそれらの微細リソグラフィパターン形成ステップが異なることで定義される。PSは、しばしばLELE(litho etch litho etch)と呼ばれる、一つのデバイス層を決めるために二つの分割されたリソグラフィとエッチングステップといった伝統的なダブルパターニング(DP)や、一回のエッチングステップに対する一つの材料に二回のリソグラフィ露光を行うといった二重露光(DE: double exposure)を含む。これは非線形レジストやリソフリーズプロセスと一体である。SPプロセスは微細リソグラフィステップを一回使い、二つの微細パターンのセットを形成するようなスペーサーの様なプロセスで追加の薄膜形成とエッチングステップを用いる。(このプロセスはダイポールリソグラフィのカットマスクに似た第二のカットマスクも必要となる。) スペーサーダブルパターニングは露光を回避するものの、シングル露光がパターンの位置を決定するため、許容される形状が限られる。図LITH1 にこれらの異なる手法のプロセスフローの概要を示す^{3,4,5,6}。

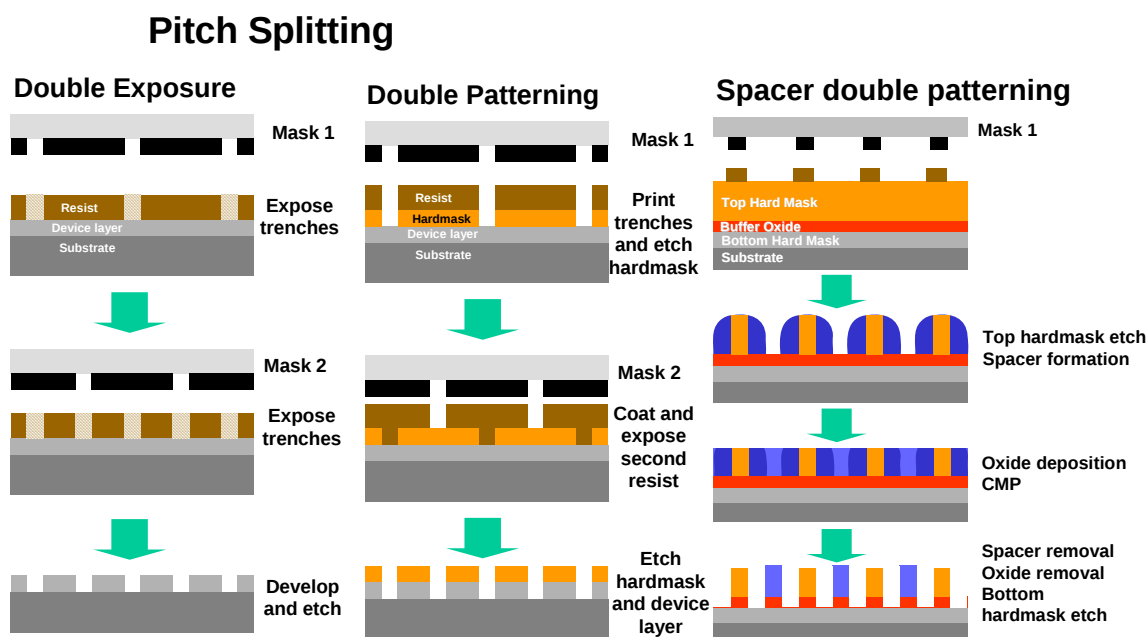


Figure LITH1 Process Flows for Pitch Splitting (DE, DP), and Spacer Patterning

これら全ての技術全ての技術課題を表 LITH2A と B に示す。重ね合わせと寸法の技術課題は表 LITH5b に示す。

コストコントロール

多くのドライバが将来技術の方向性の指図をする。時折これはムーアの法則と呼ばれるが、それでさえチップ面積が 2-3 年毎にコストを下げているというCoOに基づいている。従って、発展段階の技術のCoOにおいて、そ

4 リソグラフィ

これらの費用対効果への取り組みを注視し、それらがおかれている困難さのレベルに対して負荷を追わせる必要がある。図LITH2に65nmノードから22nmノードまでのウェーハCoOのまとめを示す。デバイス(またはマスクセット)あたり5000枚のウェーハのためのデバイスに対しての4種類の将来技術から2種類(DPとEUV)が検討されている⁷。これは微細な一レイヤで見積もられたコストの違いを示す。従って、全てのレイヤが微細ではないため、全体の違いとしては誇張される。マスク(レチクル)コストの下にはマスクコスト以外の全てのプロセスステップのコストを示す。45nmハーフピッチノードにおいては、DPプロセスはシングル露光リソグラフィプロセスの約二倍である。これはマスクコストの有無に依らず当てはまる。二枚マスクにはより多くのデータと長い検査および修正が必要であるため、一枚マスクのコストの約1.5倍のコストとなる。次の微細ノードにおいて、マスク容量は典型的には2倍に増大している。実際に波長以下の像を達成するための光学パターン補正を収容するために、ノード毎のデータ増大は含まれるパターンの容量の二倍よりも遙かに速く拡大してきた。データの増大率は2倍と予想されたが、歴史的には最近8年でノード毎に2.7倍となっている。32nmノードでのEUVリソグラフィの装置と消耗品のコストは光リソグラフィの場合の二倍以上である。しかし、極端に多い描画データのため、光学マスクのコストはリソグラフィ装置コストより重い。32nmノード用光学マスクの描画時間見積は35時間を超えるのに対し、EUVマスクは9時間以下で描画されると見積もられる。これはEUVマスクにおけるOPCが非常に簡単だからである。EUVとダブルパターニングのCoOの違いは22nmノードに向けて加速し続ける。

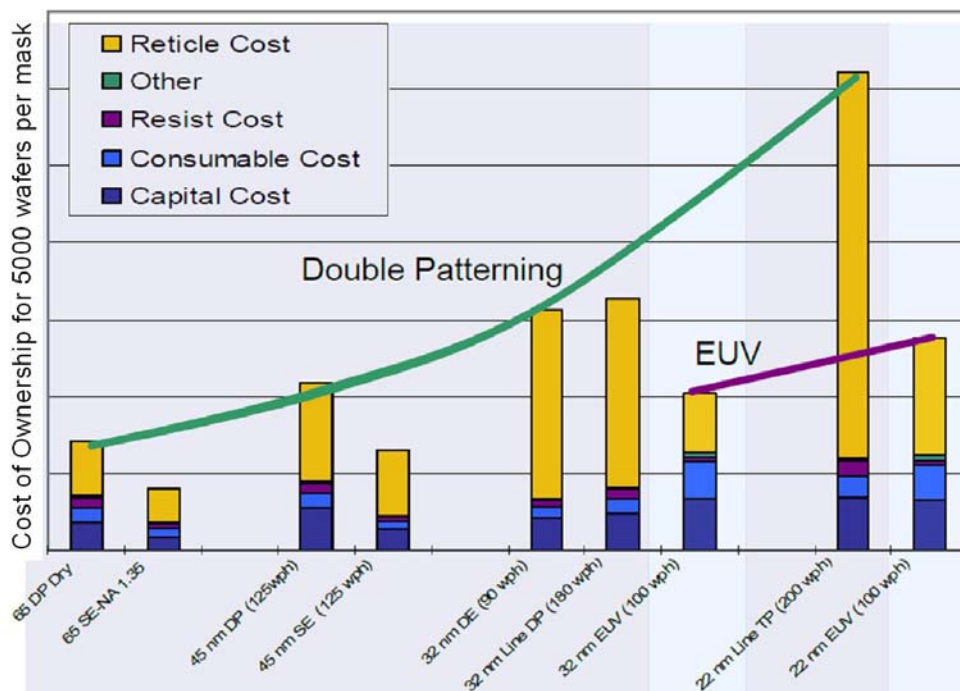


Figure LITH2 Relative Cost of Ownership for the critical level of a 5000 wafer run device

プロセスコントロール

多くの技術課題は、微細化のみならず変数コントロールと結びついている。変数コントロールは寸法の微細化についてだけでなく、時にはより速く改善する必要さえある。

CD コントロールへの要求を達成するために、RET やパターン設計への制限、さらに APC(automated process control)が表 LITH1 に示されるように用いられる。光リソグラフィのさらなる拡張のためには、設計プロセスにおい

て、形状寸法のわずかな変化が CD 変動を増大させることをよく理解することが必要である。これらの手腕は、DFM(design for manufacturing)として一般的に示される。DFM は設計者に回路設計の最適化において製造ばらつきを考慮させ、さらに IC 製造プロセスが最小コストで最高性能を提供するための最適化を可能にする。究極的には設計者は製造プロセスにおけるすべての物理的な揺らぎとその統計分布の知見を持って回路を最適化できるかもしれない。最も簡単なレベルでは、設計者は製造において収率の良いライブラリセルを意識するようになっていく。さらにリソグラフィ、エッチング、および CMP プロセスのシミュレーションは、レイアウト上で製造ばらつきに最も影響されやすいウィークスポットがないかどうかチップ全域を調べるのに使用されつつある。これらのウィークスポットの座標はマスクとウェーハの CD 測定装置に提供される。フォーカスと露光はテストパターンではなくウィークスポットのプロセス余裕度を最大にするように最適化される。転写されたウィークスポット部の形状はパターン忠実度の観点で評価されることが必要であろう。これらのウィークスポットはレイアウト変更と製造におけるモニタリングの対象とされる。これらウィークスポットのソフトウェアによる解析とセルの物理レイアウトへのフィードバックの自動化は EDA サプライヤによって積極的に推し進められている。DFM ツールとその技術はウェーハファブでマスクの改版を最小にし、適正な歩留を達成するために不可欠になるであろう。DFM に関する詳しい情報は設計の章を参照のこと。

Table LITH1 Various Techniques for Achieving Desired CD Control and Overlay with Optical Projection Lithography

困難な技術課題——長期的 $\leq 22\text{nm}$

長期的には、リソグラフィはいくつかあるうちの次世代リソグラフィ(NGL)の一つへ移行していく必要がある。最有力候補はEUVであり、レジスト材料、EUVマスク、そしてCoOについての課題を表LITH2bに示す。EUVの懸念の中では光源パワーがもっとも重要で、続いてCoO、レジスト、そしてマスク欠陥である。これらの課題は、5年以上に渡って確認されてきたEUVの課題の最重要な位置にある⁸。光源パワーの主導的な選択は最近2年でDPPからLPPへと代わった。EUV技術とそのインフラの困難さには絶えず新しくより難しい材料と技術をとまなうため、CoOについての懸念は変わらない。レジストの課題には、LERと最先端ピッチでの露光量の限界を広げていることを含んでいる。もしこれらの要求が同時に満たされないと、EUVはコスト効率がいかにないにしろならないだろう。マスクの課題は非常に多く、同時に満たすべき多くの新しい変更を含んでいる。マスクはLTEM(Low Thermal Expansion Material: 低熱膨張材料)基板、無欠陥多層反射面、そして新しいパターン吸収体の材料を必要とする。最大の懸念は位相欠陥で、22nmハーフピッチのリソグラフィにおいては位相で 180 度または高さ 2.5-3.5nm と小さい(表LITH5cの 28-29 行)。基板やブランクスにもパターンが形成されたマスクにもこのサイズを検出するためのインフラは、実現するためにプログラムが進行中ではあるものの、まだ開発されていない。

長期(Longer Term)においては、重ね合わせ、欠陥、CDコントロールに対する要求がプロセスコントロール、レジスト開発、マスク開発における課題を継続的に引き起こすであろう。マスクレスリソグラフィが使用される場合には、マスク検査におけるダイ to データベース検査がウェーハのダイ to データベース検査に置き換えられることがたぶん要求される。インプリントリソグラフィのテンプレート[訳者注:光リソグラフィでのマスクに相当]は、ウェーハ上のパターンと同じ大きさが必要なため、その作製はチャレンジングである。レジスト材料もかなりの改良を必要であろう。拡散距離が小さくできるか、感光機構の新たな手法がない限り、化学増幅レジストの酸拡散は高感度レジストにおける最小ハーフピッチを制限するかもしれない。また、均一な線幅に向けた本質的に高い寸法制御性と小さな LWR とを有するレジスト材料も必要となろう。

Table LITH2A Lithography Difficult Challenges >22nm

<i>Difficult Challenges > 22 nm</i>	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features Registration, CD, and defect control for masks Eliminating formation of progressive defects and haze during exposure Understanding and achieving the specific signature and specifications for a Double Patterned mask Establishing a stable process so that signatures can be corrected.
Double patterning	Overlay of multiple exposures including mask image placement, mask-to-mask matching, and CD control for edges defined by two separate exposures Availability of software to split the pattern, apply OPC, and verify the quality of the split while preserving critical features and maintaining no more than two exposures for arbitrary designs Availability of high productivity scanner, track, and process to maintain low cost-of-ownership Photoresists with independent exposure of multiple passes Fab logistics and process control to enable low cycle time impact that efficient scheduling of multiple exposure passes.
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time ROI for small volume products Resources for developing multiple technologies at the same time Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume 450 mm diameter wafer infrastructure
Process control	New and improved alignment and overlay control methods independent of technology option to <5.7 nm 3σ overlay error Controlling LER, CD changes induced by metrology, and defects < 10 nm in size Greater accuracy of resist simulation models Accuracy of OPC and OPC verification, especially in presence of polarization effects Lithography friendly design and design for manufacturing (DFM)

Table LITH2B Lithography Difficult Challenges ≤22 nm

<i>Difficult Challenges ≤22 nm</i>	<i>Summary of Issues</i>
EUV lithography	Source power > 180 W at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components Cost control and return on investment Resist with < 1.5 nm 3s LWR, < 10 mJ/cm² sensitivity and < 20 nm ½ pitch resolution Fabrication of Zero Printing Defect Mask Blanks Establishing the EUVL mask Blank infrastructure (Substrate defect inspection, actinic blank inspection) Establishing the EUVL patterned mask infrastructure (Actinic mask inspection, EUV AIMs) Controlling optics contamination to achieve > five-year lifetime Protection of EUV masks from defects without pellicles Fabrication of optics with < 0.10 nm rms figure error and < 7% intrinsic flare
Resist materials	Limits of chemically amplified resist sensitivity for < 22 nm half pitch due to acid diffusion length Materials with improved dimensional and LWR control add (limits) Resist and antireflection coating materials composed of alternatives to PFAS compounds Low defects in resist materials (size < 10nm) Line width roughness < 1.4nm 3 sigma
Mask fabrication	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair) Mask process control methods and yield enhancement Cost control and return on investment
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput Development of cost-effective post-optical masks Cost effective 450mm lithography systems Achieving ROI for small volume products
193 nm Immersion Multiple Patterning	Cost control and return on investment Wafer processing to tighter overlay and CD controls Mask fabrication to tighter specifications
Metrology and defect inspection	Defect inspection on patterned wafers for defects < 20 nm Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3s Metrology for achieving < 2.8 nm 3s wafer overlay error Template inspection for 1X Imprint Patterned Masks Phase shifting masks for EUV
Gate CD control	Development of processes to control gate CD < 1.5 nm 3s with < 1.4 nm 3s line width roughness

Table LITH2B *Lithography Difficult Challenges ≤ 22 nm*

<i>Difficult Challenges ≤ 22 nm</i>	<i>Summary of Issues</i>
improvements and process control	Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3s overlay error, especially for imprint lithography
Maskless Lithography	Wafer Throughput Cost control and return on investment Die-to-database inspection of wafer patterns written with maskless lithography Pattern placement - including stitching Controlling variability between beams in multibeam systems
Imprint Lithography	Defect-free Imprint templates at 1X dimensions Infrastructure for 1X technology Templates (key here is inspection!) Template fabrication to tighter specifications Protection of Imprint templates from defects without pellicles Mask Life time Throughput Cost control and return on investment Overlay Process control methods to compensate for systematic CD and overlay errors

リソグラフィ技術の要求

リソグラフィロードマップの必要項目は以下のテーブルで定義される:

- Lithography Technology Requirement (Table LITH3)
- Resist Requirements (Table LITH4a and b)
- Optical Mask Requirements (Table LITH5a-d)
- Maskless Technology Requirements (Table LITH6)

Table LITH3 *Lithography Technology Requirements*

表 LITH 3 のフォーマットは ORTC の ITRS Technology Trend Target で示されているリソグラフィへの要求の違いを反映している。表はリソグラフィへの要求を最も進めている3つのデバイスタイプ: DRAM ハーフピッチ(コンタクトを含む)、MPU/ASIC の配線ハーフピッチ、Flash(コンタクトを含まないポリ)のハーフピッチで示している。Flash デバイスはハーフピッチを最も進めており、一方 MPU は物理的ゲート長と CD を最も進めている。これらの技術は、ハーフピッチと設計に依存して CD コントロール、コンタクトサイズ、そして重ね合わせに対してそれぞれ異なるスペックを必要とする。表では ORTC の表からの値(固定値)と、特別なスペックに関連したその他の

固有のパラメータを決定する式を用いている。例えば、DRAM の CD コントロールは DRAM ハーフピッチの 12% にリソグラフィとエッチングで分けた誤差バジレットの割合を掛けたものである。

それぞれのデバイスタイプに、求められるハーフピッチを想定するために必要な k_1 を定義している。一般に k_1 が 0.28 より小さければ、ダブルパターンニングが必要となる(薄い青色)。 k_1 が 0.13 より小さければ、ダブルパターンニングを越えるものが必要となる(赤色)。

表の下部には、ORTC の他の表からその他のウェーハスペックがある。NA のスペックも赤くなるまでは経時的に増大傾向を示し、現時点で実用の範囲では物理的に高くないことを示している。

MPU の短いゲート長(エッチング後)に向けた要求はメトロロジとプロセスコントロールのための重要な課題を生み出す。エッチング後の最終ゲート CD を従来の許容値 $\pm 12\%$ で制御することは益々より困難になってきた。この 12% には、フィールド内、ウェーハ内、ウェーハ間、ロット間の変動が含まれている。現像後のライン幅の縮小処理技術はより一般的で、より有効になっている。レジストパターンを大きく形成することは、リソグラフィプロセスにおいて大きなプロセスウインドウを獲得でき、CD コントロールを改善できる。また、LSI 製造メーカーは、パターンニングをより実現可能にするため設計ルールを変更しつつある。メトロロジはこれらのリソグラフィフレンドリなデザインルールを定義する上で重要な役割を果たすだろう。

Table LITH4a Resist Requirements

レジストは、高いパターン忠実度、良好な線幅コントロール、小さい LWR、そして欠陥がほぼないことを供給するように開発されなくてはならない。パターンサイズが小さくなるにつれて、欠陥とモノマーはレジストのフィルタリングに影響を与えるくらい匹敵する大きさになるだろう。表 Table LITH 4a を参照のこと。

また、LER と LWR の素子性能への影響が明確に現れるようになるため、メトロロジ機器はこれらの値を正確に計測できるように改良される必要がある。LWR の高周波成分は、不純物プロファイルや配線抵抗に影響する。大きな空間領域(訳者注 低空間周波数領域を指す)における LWR はデバイスの活性領域上のトランジスタゲート長の変動の原因となる。この変動はリーク電流を増加させ、個々のトランジスタのスピードのばらつく原因となり、IC のタイミング問題の原因となる。ラインの幅と LER もまた、小さなゲートの CDU エラーバジレット、長い LER/LWR Correlation Length に関係する。LER/LWR の CD 均一性への寄与分は、従来のロードマップで要求されていた LER/LWR の数字より過激な数値の要求に至る。コンタクトホール形成では、エッチング後のコンタクトホールの寸法はリソグラフィ後のレジスト寸法よりさらに小さくなる。これは転写像と最終の MPU のゲート幅の差異と同様である。表 LITH3 を参照のこと。

Table LITH4b Resist Sensitivities

マスクの要求はクリティカル層に集中している。初期の生産量は比較的少ないと考えられ、作製することが難しい。光学マスクについて2つの表(表 LITH 5a と LITH 5b)に示し、シングルと二重レイヤのリソグラフィを含んでいる。すべての次世代リソグラフィ(NGL)用マスクは光学マスクと異なり、さらにいずれの NGL 技術もペリクルを使うことはできない。NGL マスクの要求は光学リソグラフィのそれらと実質的に異なっているので、EUV マスクとインプリントテンプレートは別々の表が用意された(それぞれ表 LITH 5c と LITH5 d)。

Table LITH5a Optical Mask Requirements

CD コントロールと重ね合わせの許容幅は達成することが最も難しい要求である。重ね合わせ許容幅は、高い歩留りでメモリ回路を作るためにより厳しくなった。レンズの歪による重ね合わせ誤差の影響を最小限にするため、単一装置が同一ウェーハの複数のクリティカル層を焼き付けるために使用されるかもしれない。フィードバック

クとフィードフォワードの両方の手法が、プロセス装置(ステッパ/スキャナとトラック)によってサポートされる必要がある。非線形性の強い一連の補正モデルとアルゴリズムに従って処理するため自動化フレームワークと CIM システムが必要である。自動プロセス制御(APC)への要求については **Factory Integration** を参照のこと。

表では LITH 3(上部)から基本的なウェーハの要求、その後にマスク倍率とマスク固有の仕様を表している。仕様を求める式は **function box** に示されている。これらの式は最近8年間用いられている。マスクの重ね合わせへの寄与はウェーハ上重ね合わせバジレットの 15%としている。マスク CD の寄与はウェーハ CD 均一性のバジレットの 40%としている。固有の仕様は、特別なパターンを形成することによる MEEF である。

Table LITH5b Double Patterning Requirements

ダブルパターニングの表は4つに分割され、初めのウェーハからの要求に続き、二組のリソグラフィへの要求(ピッチ分割-MPU 配線のハーフピッチのダブルパターニングへの要求と Flash のスペーサパターニング)である。リソグラフィへ要求はそれぞれのプロセスにより異なる。ピッチ分割の要求は MPU 配線のハーフピッチに基づいている。基本的な前提としては、ラインとスペースの両方が 12%の寸法仕様をみたすことである。スペースは重ね合わせと露光されたライン幅に依存するため、12%の仕様を満たすことはダブルパターニングにおける重ね合わせの仕様を推進する。さらに、重ね合わせ仕様を出来るだけ大きくするために、ライン幅は出来るだけ厳しく制御する必要がある。表において、これはダブルパターニングのライン幅は、MPU ゲートライン幅が制御されるべき仕様で制御されなくてはならないということの意味する。この仕様を支持する必要のあるマスク仕様は下部で示される。匹敵するダブルパターニングのマスク結像位置は、シングルマスクの重ね合わせよりも2の平方根だけ厳しい。従って、どのような特別な位置においても、マスクーマスク間の重ね合わせの寄与はトータルのピッチ分割誤差バジレットの 20%でなくてはならない。

スペーサパターニングのウェーハ寸法誤差バジレットにおいても、ラインとスペースともに 12%の寸法仕様を満たす必要がある。仕様は実証されたことに基づいている。コアギャップのライン幅制御は MPU ゲートラインで行われることに基づいている。ライン幅は現状の成膜技術に基づく。二つのスペースの分布の平均スペース寸法差は 12%のスペース寸法誤差バジレットと、ラインとコアギャップスペースの寸法誤差に依存する。カットマスクにおける重ね合わせの仕様は、結像したパターンの寸法制御のもとでスペースの中心にカットのエッジが置かれる必要性から、推進されている。これはシングルパターニングの重ね合わせ仕様と同じである。

光学マスクの表は 9nm の DRAM ハーフピッチまで延長されたが、2017 年の 23nm 以降の DRAM ハーフピッチに対しては光の解決策は未だにない。

Table LITH5c EUV Mask Requirements

表 LITH 5c に EUV マスクの要求を示す。いくつかの要求は光学マスクと共通で、いくつかは EUV マスク固有である。共通の要求(寸法と重ね合わせ関係)は光の要求と同じ方法で開発されている。k1 はより大きいため、MEEF の影響はより小さく、固有のラインに項目別に示されるよりむしろ、式に詳しく示されている。このことにより EUV の寸法のパターニングは光学マスクよりも容易にしている。パターン欠陥の要求は光学マスクと同等であるが、カラーリングは反射光検査による検出能力がより困難であることを示している。EUV マスクではより高い k1 で OPC が少ないため、EUV マスクに必要なデータ量は光学マスクよりも少ない。

EUVマスク固有の要求には基板/ブランク欠陥、基板反射率、側壁角度、LWRそしてマスク平坦度を含む。ブランク欠陥のラインは今年新しく入った。値は多層反射膜製造時や基板の欠陥(凹みと隆起)があるときに発生する位相欠陥に基づいている。位相欠陥が(高さによる)その位相とサイズの特徴を持つため、これは複雑な項である。この仕様は位相差 180 度欠陥のサイズであり、EUV反射マスクの 3nmの高さである。脚注に記載の

通り、仕様の二倍の大きさの場合、位相差 90 度の欠陥も寸法欠陥の原因となる。EUVが生産に近くなるに従い、この仕様と基板の仕様は改善されていくだろう^{9, 10, 11, 12}。

平坦性が悪いとマスクのオフアクシス照明にともなう重ね合わせ誤差の原因となるため、EUVマスクの平坦度は仕様が非常に厳しい。平坦度の仕様は、マスクパターン形成がそうであるように、平坦度がウェーハの重ね合わせ誤差に相当する量を提供するためにある。進行中の研究によって、将来この仕様は緩和されるかも知れない。これはマスクの非平坦度測定と、もしマスクが平坦度の仕様を満たしていなくても、マスクが結像されるときにパターンが正しい位置に配置されるといったパターン位置補正のコンセプトに基づいている^{13, 14}。

EUV マスクブランクスには、小さな欠陥も許されないため、新しい検査装置と低欠陥プロセスの開発が必要とされる。EUV マスクやインプリントテンプレートにはペリクルが使用できないため、保管、搬送、露光装置での使用の間に欠陥からマスクを保護するための解決法が開発され、テストされる必要がある。これらの異なった NGL マスク要求は光学マスクで既に問題となっているマスクのコスト上昇を緩和するよりもむしろ悪化させると予想される。

Table LITH5d Imprint Template Requirements

インプリントはいくつかの形態がある。この表には紫外線によってテンプレートを満たした液体を硬化させるという紫外線ナノインプリント (UV-NIL)の要求を示してある。インプリント用テンプレートにはウェーハ上での形状と同じ寸法の表面凹凸が必要であるが、CD、パターン配置、および欠陥をコントロールする必要がある領域は他の技術での 4×マスクより 1/16 と小さい。マスクの仕様は光学マスクと同じ方法で開発されているが、等倍であるため厳しくなっている。ウェーハの要求がウェーハ寸法仕様の 10%として直接マスクに転換されるため、これらのマスクの欠陥検出は難しい。重ね合わせも難しいが、二枚マスクとシステム重ね合わせとの間で同じように分けられる。

Table LITH6 Maskless Technology Requirements

マスクレスの要求はウェーハの要求と同様である。固有の要求としては、データ量が光学マスクの半分であることとグリッドサイズが光学マスクの 1/4 であることである。これらすべての要求については ITRS の次バージョンでレビューする。

解決策候補

クリティカル層に用いられる最先端のリソグラフィに向けた解決策候補を図 LITH3 に示す。技術オプションの順番は個々の技術がその世代で主要な解となる可能性を表しており、最初にあげられたオプション技術の可能性が最も高い。示された時期に使われるリソグラフィ技術のすべてのインフラ装置、マスク、レジストも含め、はその時期に準備が整っていなければならない。193nm 波長の液浸光リソグラフィは DRAM の 45 nm ハーフピッチまで最も優位である。しかし、これは単純なシングル露光手法が使われる最後のノードとなる。45nm 以下ではシングル露光の k_1 が 0.3 を下回り、ダブルパターンニングやスパーサーダブルパターンニングのいくつかの形態が用いられるだろう。Flash メモリは将来ピッチを牽引していく。2010 年に 32nm ハーフピッチへと導いている。45nm ノードのリソグラフィ解像手法によりハーフピッチを達成するスパーサー手法を用いている。2013 年までに Flash、MPU と DRAM は、それぞれ 22nm、32nm ノードに対してスパーサーダブルパターンニングかインフラの準備が完了したら EUV かを使うだろう。ML2 とインプリントはこの時期の可能性はまだあるが、最もコスト効果の高い解決策にはならないようである。

22nm ハーフピッチ以降で証明された 193nm 光リソグラフィの解決策はない。193nm 高 NA ステッパのハー

フピッチの倍化で k_1 が 0.28 で 20nm ハーフピッチが得られる。

ポスト光リソグラフィ技術は DRAM の 22 nm ハーフピッチ、もしくはそれ以下に対する解決策候補である。可能性のある代替技術として、複数の地域が、光リソグラフィの潜在的な後継者として EUV、マスクレス、およびインプリントリソグラフィを挙げた。光の後継としての取り組みのみを考えると、EUV は 22 nm と 16 nm ハーフピッチに対し最も可能性が高いと見なされる。マスクレスリソグラフィは、プロトタイピング向けのニッチな用途、トランジスタ開発、そして少量の特定用途向け集積回路(ASIC)生産に適用されているが、その適用範囲を拡大できるであろう。高スループットを実現するための直描技術のブレークスルーは大きなパラダイムシフトとなる可能性があり、マスクを不要とし、さらにコストとサイクルタイム短縮をもたらす。現在、プロトタイピング以上の用途に向けたマスクレスリソグラフィはアルファ装置の段階にあるが、コスト効率の良い半導体製造に ML2 が用いられるためには、多くの重要な技術的課題が解決されなければならない。インプリントリソグラフィはコスト効率の良い解決策となる可能性があるが、1×テンプレート、欠陥、テンプレートの寿命、およびオーバーレイにともなう困難さが、解決すべき多くの問題が残されている。この技術は、半導体市場に必要な解決策の多くを導くパターンメディア市場のニッチな市場を見つけたようである。この技術はまた、量産性の困難さを理解し解決しやすくするために半導体業界に戦略的に置かれたベータ装置をも持つ。

現在解決策候補としてあげられているいずれの技術も DRAM の 16 nm ハーフピッチの要求を満たすことができるかどうかは明確ではなく、革新的な技術の開発が必要である。これらの中で、像形成材料の分子構造がリソグラフィより微細なパターンサイズと制御性を提供する DSA は魅力あるオプションと考えられる。

多くの技術手法あるにもかかわらず、産業界においては複数の技術に対して完全なインフラストラクチャ(露光装置、レジスト、マスク、およびメトロロジイ)を同時開発する資金には限界がある。産業界内部や産業界と大学間の密接で協調したグローバルな交流が、次世代のオプションを絞り込み、1 つもしくは 2 つの技術の必要時期までに完成に注力するため必要である。光以外のリソグラフィの導入は、DRAM 22 nm ハーフピッチ以降においてもムーアの法則を引き続き堅持するための技術的要求と複雑さに応えるための大きなパラダイムシフトである。これはリソグラフィのインフラストラクチャを大きく変化させ、商業化のために大きなリソースを必要とするであろう。これらの開発コストは露光装置、マスク、および材料の費用で回収されなければならない。

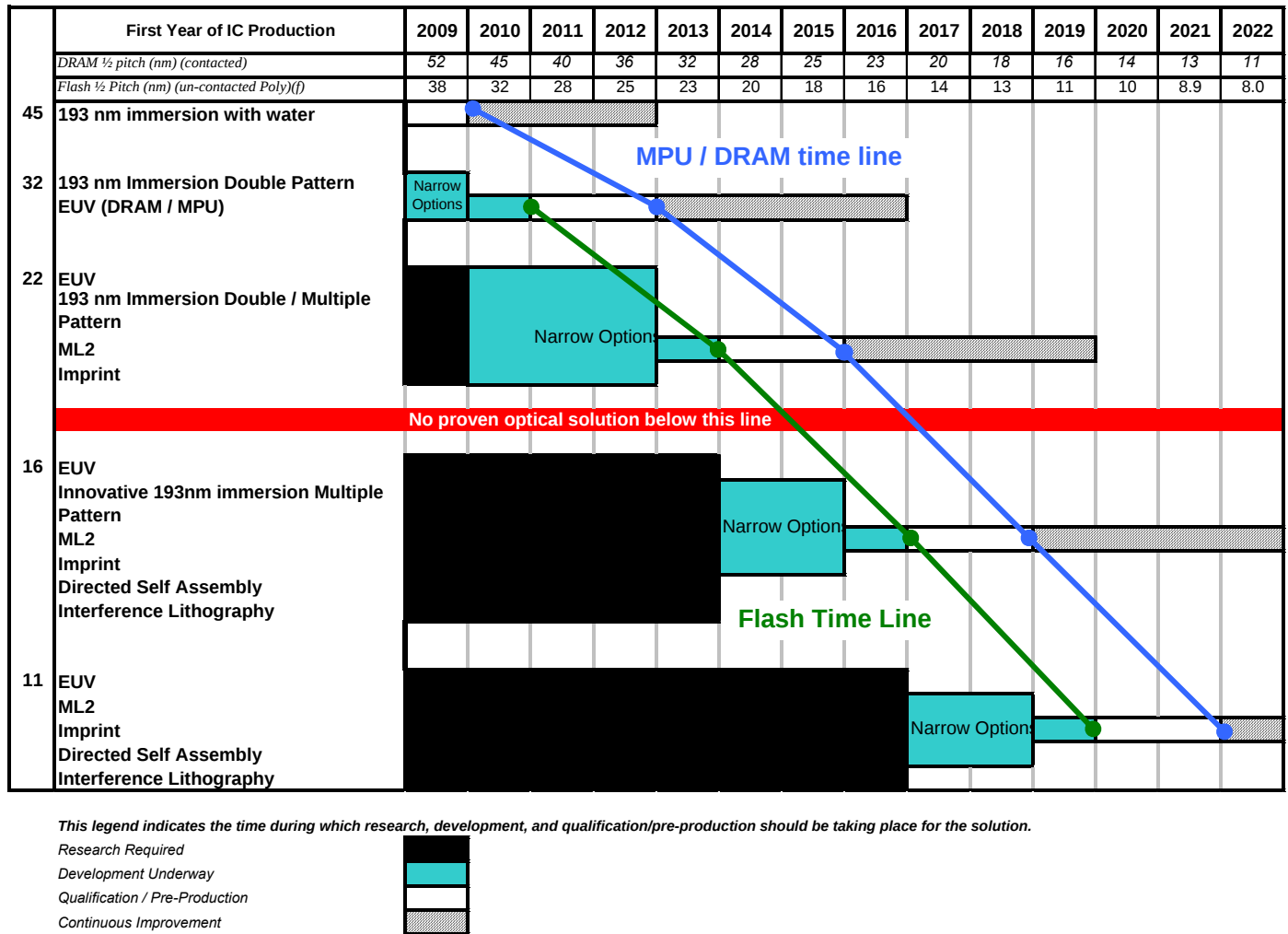


Figure LITH3 Lithography Exposure Tool Potential Solutions

クロスカットニーズと技術課題解決策

本章では、Lithography、ESH、Factory Integration、Yield Enhancement、Metrology、Modeling and Simulation、device and circuit performance および Emerging Research Devices と Emerging Research Materials を包含したクロスカット技術ニーズおよび解決策候補を概説する。

環境、安全、および健康 (ESH)

光学物質に含まれる Perfluoroalkyl sulfonates(PFAS)の継続的な使用に関わる最近の議論において、長期および一般的に使用されている材料が ESH に関する課題を抱えている可能性がある、ということが示された。新技術の導入は、健康および環境に対する負荷がさほどよく知られていない材料および化学物質の使用、ということの意味している。同様に、EUV リソグラフィの高いスループットを実現するために必要な出力で光源を作動させるための工場の付帯設備と電力を最小にするために、EUV 光源の発光効率の最大化が必要である。特に、

EUV フォトンの発生および光源部品の冷却に必要なパワーの最小化のために、光源の配電(wall-plug)効率が増されることが必要である。リソグラフィで用いられる化学薬品の使用および廃棄の慣習は、労働者の安全と環境に注意深い関わりを持って発展しなければならない。包括的な情報および新規化学物質のスクリーニングツール(化学薬品制限表)へのリンクに関しては、環境・安全および健康の章を参照のこと。

工場統合 (FACTORY INTEGRATION)

適切なプロセスコントロールを維持するために、高度なプロセスコントロール能力はウェーハファブのリソクラスターにおいて不可欠である。同様に、これらの能力はマスク製作設備(ライン)においてますます重要になっている。ウェーハファクトリーオートメーションの経験からの学習成果を利用するのもマスク作製に不可欠であろう。いくつかのマスクショップは、欠陥検査・修正のためのデータハンドリングを自動化するために自前の解決策を開発した。自動化のさらなる機会が存在している。今日、ウェーハファブで使用される SECS/GEM といった既存基準のマスク製造装置インフラへの使用が、製造誤差の低減を支援するでしょう。

各種プロセスモジュールを横断する正確なウェーハトラッキングシステムは、プロセスの、任意のウェーハの、ワーキングフローの識別のために要求される。CD、リソ膜(Litho stack)の膜厚、目標プロファイル、重ね合わせ、欠陥自動分類を備えたマクロ検査およびウェーハ平坦度のひとつあるいはそれ以上のパラメータの評価を可能にするいくつかの統合(Integrated)計測モジュールは、同様に推奨されている。プロセスを調整するため、トラックとステッパー/スキャナーはどんな種類の内部あるいは外部のセンサーによっても記録されたデータを使用することが可能であるべきである。設備ソフトの主たる改良、およびいくつかの場合に関連ハードウェアの重要な改良で求めるかもしれない他の要求事項は、最適の計測サンプリングプランを提供するためのトラックの異なるモジュールフローを管理することとダウンロードされた(あるいは選択された)レシピセットポイントへの重ねを受け付ける機能を同時に含む。さらには、どんなトラックモジュールにおいても、同一のロットの中においてさえウェーハごとに、またはおそらく露光フィールドごとに、適切なセットポイントを全て更新できることが望ましい。露光装置においては、ソフトウェアが露光量(Dose)、焦点(Focus)、傾斜(Tilt)およびオーバーレイの入力パラメータをウェーハごとにホストに従って更新すべきである。計測モジュールのキャリブレーション、自己キャリブレーションおよびマッチングは、リソセルのスループットの大きな損失無しで行われるべきである。

歩留まり向上 (YIELD ENHANCEMENT)

致命欠陥のサイズが光学方式の検出限界よりも小さくなるにともない、歩留まり向上が主要な技術課題になると予想される。検査装置は感度とスピードの要求に合致するよう、ますます挑戦を促される。非光学方式の欠陥検査は、半導体製造で欠陥制御に求められる欠陥検出率をウェーハ全面でいまだ実証されていないが、リソグラフィのホットスポットの制御や歩留まり改善に使用されている。さらに、ML2を用いるためには、ウェーハの Die-to-Database 検査が、たぶん必要である。

歩留り損失の系統的な原因を最小化するために DFM の実践が展開されているが、さらなる開発が必要である。局所的なレジストの活性抑制の最小化と露光中のマスク上に発生する成長性欠陥の形成の軽減により歩留まりを最大にするために、雰囲気中分子汚染(AMC)の制御も重要である。リソグラフィに関連する AMC 制御の要求値は Yield Enhancement の章を参照のこと。ペリクル無しで EUV マスクおよびインプリントテンプレートを欠陥無しに保つためのマスクハンドリング方法は、依然として重要な技術課題のままで残っている。

計測 (METROLOGY)

リソグラフィ技術の急速な進展と、結果として生じる図形サイズの減少は、ウェーハとマスクの計測能力に挑戦し続ける。既存の CD 計測装置の精度は、多少緩和されている 20%というもっとも進んだ技術世代に対する精度許容測定基準に合致しない。精度には、短期あるいは長期の装置変動から来る変動のみならず、装置間のマッチングも変動として含まれる。ウェーハおよびマスクの CD 技術は、3D 計測のニーズに合致すべく発展している。重要な要求は、LWR 測定です。LWR の測定精度は、線幅精度より良いはずですが、LWR 測定を最適化するために、デバイス性能への LWR の量的な影響が、一層良く理解される必要があります。

将来の技術世代によりオーバーレイ計測もまた挑戦をうけます。メモリーメーカーは希望のデバイス歩留りを得るためにより厳格なオーバーレイ制御を要求しています。従来のオーバーレイテスト構造は、位相シフトおよび OPC マスクに発生する可能性がある全てのオーバーレイエラーをとらえることはない。予測される DE/DP 技術の利用は、最終パターンを合成する二つのマスク間のアライメントの程度を十分に保証するために、より高精度なアライメントを必要としている。

リソグラフィ計測の完全な議論は計測の章のリソグラフィ計測および顕微鏡のセクションにある。また、そこにはリソグラフィ計測技術の要求と技術課題解決策も含んでいる。

モデリング・シミュレーション (MODELING AND SIMULATION)

モデリングとシミュレーションからのサポートは伝統的な光学リソグラフィの限界を引き延ばし、新たな次世代リソグラフィ技術を判断するために必要である。リソグラフィにおけるシミュレーションツールのアプリケーションはリソグラフィイメージングを決めるマクスウェル方程式の良く知られた物理的な基礎から大部分の利益を得ている。これらの式をリソグラフィイメージングのモデリングに適用するためには、シミュレーションツールにおいて問題に特化した効率的な実行が要求される。更に、最先端のリソグラフィシミュレーションにはデバイス規模と図形規模のシミュレーションとの間の緊密なリンクが必要である。デバイス規模の影響により、ユーザーが定義した、またはユーザーが測定した確率分布によって与えられたランダム変数を用いてのモデリングが頻繁に要求される。

シミュレーションプログラムでは、EUV リソグラフィの多層膜ミラーによるレンズの置き換えや反射型マスクの使用といった将来の次世代リソグラフィ技術で用いられる新しい技術が適切にモデル化され、含められなければならない。マスクパターン描画装置といくつかの ML2 オプションが電子での画像形成を含んでいる。統計確率的な空間電荷効果、形状収差および磁気あるいは静電レンズ要素を採用する電子光学レンズ設計性能のシミュレーションが必要である。技術選択を絞り込むためのシミュレーションからのサポートは今までと同様に重要であり続けるだろう。

液浸リソグラフィの導入に伴い、モデリングとシミュレーションへいくつかの追加要求が出ている。NA<1.35 の光学システムをシミュレーションしなければならない、特に偏光照明とマスク構造および材料による部分偏光を適切に扱うことが要求される。液浸液中で気泡により特定の欠陥が生じるか否かの判断をシミュレーションが助けるべきである。

リソグラフィモデリングおよびシミュレーションのための特定の挑戦は、広範囲のイメージングおよびプロセス条

件に関する最先端技術のフォトレジストの振る舞いを正確に予測することである。これらについては、LER のような影響を含めた現像後の三次元レジスト形状およびプロセスウインドウを予測するために、より良い物理的/化学的なモデルを開発する必要がある。よりよいキャリブレーション技術には、課題のフォトレジストを適切に表現するためのモデルの開発や市販ツールモデルのカスタマイズが必要である。キャリブレーションは、例えば CD 計測のような入力データの質に明らかに依存する。したがって、計測誤差をより良く理解し評価することが必要である。系統的な誤差は CD-SEM といった計測装置のモデルを用いて扱われるべきである。LWR および LER の重要性が増すにつれ、リソグラフィシミュレーションはそれらのデバイスへの影響と配線性能(LER)と変動(LWR)を評価することを助ける必要がでてくる。レジストパターンではなくエッチング後の形状のラフネスがデバイス性能に最終的に影響するため、親密なレジストとエッチングのシミュレーションの組み合わせが不可欠である。マスク製造のリソグラフィ工程のから度々発生する理想的でないマスクエッジの形状の予測を行うためにも、エッチングのシミュレーションとの緊密なリンクが確立されなければならない。

像形成とレジストプロファイル生成のモデルに加えて、リソグラフィツールの設計のために機械的なモデルが重要である。有限要素法の洗練および適用は、露光装置、マスクおよびウェーハがオーバーレイの要求仕様に合致するに十分に安定していることを保証するために重要である。熱の影響の平衡および非平衡モデルも露光装置に不可欠であり、特に液浸リソグラフィにおける液浸液の加熱およびそのディストーション歪と収差への影響のモデルに不可欠である。液浸のための液の流体モデルもまた液浸特有の欠陥形成を最小にする液体供給システムの設計において不可欠である。これらの要求を満足するために必要な開発にかかわる詳細は、Modeling と Simulation の章を参照のこと。

ITWG 間に共通する議論

ゲート CD と LWR 制御能力は、デバイスに影響する(ITRS2009 の Process Integration, Devices, and Structures [PIDS], Front-End Process[FEP], 計測[Metrology]そしてデザイン[Design]の章を参照)。可能な CD 制御のレベルによって、要求がトランジスタ性能に影響を与えるイオン注入、拡散およびエッチング等の他プロセスへインパクトを与える。厳しい CD 制御は計測に制御要求をサポートする能力を要求する。デザインは、トランジスタ性能に影響を与える全てのプロセスの総体の能力を考慮に入れる必要がある。デザイン TWG は、最も重要なプロセスとデバイスの変数の関数として、回路の遅延と消費電力の変動性をシミュレーションした。シミュレーションでは、 $\pm 12\%$ への CD 制御要求の緩和がこれら回路属性に影響する全ての重要なパラメータの変動により与えられる回路遅延と消費電力が許容できる変動に入るという結果を示した。

将来出現する研究デバイスおよび材料のインパクト

エマージングデバイスが少なくとも三つの領域でリソグラフィに影響力をあたえると予想される。最初に、いくつかの新しいデバイスが平坦でない基板上でクリティカル層のパターニングを要求し、段差上での厳しい線幅制御を達成するリソグラフィの解を求める。例えば二層レジストはこの問題の解決策となっている。より広い焦点深度は信頼できるリソグラフィ技術として説得力のある長所となるかもしれない。二番目にエマージングデバイスと材料はゲート CD 制御を軽減するかも知れない。これは、マスク、レジスト、露光装置および計測のすべてのリソグラフィ関連技術にインパクトを与えるであろう。他のクロスカット検討の候補領域は、DSA 分子のようなリソフレンドリイ(「リソ親和」)な材料の開発である。

参考文献

- ¹ Mack, C. "Mask specifications: It's not getting any easier" *Microolithography World*, (May, 2008).
- ² Hughes, G., Yun, H., "Mask industry assessment: 2009," Proceedings of SPIE Vol. 7488, 748803 (2009)
- ³ Andrew J. Hazelton, Shinji Wakamoto, Shigeru Hirukawa, Martin McCallum, Nobutaka Magome, Jun Ishikawa, Céline Lapeyre, Isabelle Guilmeau, Sébastien Barnola, and Stéphanie Gaugiran. "Double-patterning requirements for optical lithography and prospects for optical extension without double patterning", *J. Micro/Nanolith. MEMS MOEMS* 8, (2009).
- ⁴ Christopher Bencher, Huixiong Dai, and Yongmei Chen. "Gridded design rule scaling: taking the CPU toward the 16nm node", Proc. SPIE 7274, (2009)
- ⁵ Chris Bencher, Yongmei Chen, Huixiong Dai, Warren Montgomery, and Lior Huli. "22nm half-pitch patterning by CVD spacer self alignment double patterning (SADP)". Proc. SPIE 6924 (2008)
- ⁶ Pitch doubling through dual-patterning lithography challenges in integration and litho budgets. Mircea Dusa, John Quaedackers, Olaf F. A. Larsen, Jeroen Meessen, Eddy van der Heijden, Gerald Dicker, Onno Wismans, Paul de Haas, Koen van Ingen Schenau, Jo Finders, Bert Vleeming, Geert Storms, Patrick Jaenen, Shaunee Cheng, and Mireille Maenhoudt, "Proc. SPIE 6520, (2007)
- ⁷ Greg Hughes, Lloyd C. Litt, Andrea Wüest, and Shyam Palaiyanur. "Mask and wafer cost of ownership (COO) from 65 to 22 nm half-pitch nodes," *Proc. SPIE 7028*, (2008)
- ⁸ International EUV Initiative (IEUVI), <http://ieuvi.org/index.html>
- ⁹ Chris H. Clifford, Tina T. Chan, Andrew R. Neureuther, Kenneth A. Goldberg, Iacopo Mochi, and Ted Liang. "Investigation of buried EUV mask defect printability using actinic inspection and fast simulation," Proc. SPIE 7488, (2009)
- ¹⁰ Ichiro Mori, Osamu Suga, Hiroyuki Tanaka, Iwao Nishiyama, Tsuneo Terasawa, Hiroyuki Shigemura, Takao Taguchi, Toshihiko Tanaka, and Toshiro Itani. "Selete's EUV program: progress and challenges," *Proc. SPIE 6921*, (2008)
- ¹¹ Hakseung Han, Wonil Cho, Kenneth A. Goldberg, Eric M. Gullikson, Chan-Uk Jeon, and Stefan Wurm. "Determining the critical size of EUV mask substrate defects," Proc. SPIE 6921, (2008)
- ¹² Investigation of EUV mask defectivity via full-field printing and inspection on wafer. Rik Jonckheere, Dieter Van Den Heuvel, Fumio Iwamoto, Nickolay Stepanenko, Alan Myers, Matt Lamantia, Anne-Marie Goethals, Eric Hendrickx, and Kurt Ronse. "Investigation of EUV mask defectivity via full-field printing and inspection on wafer" *Proc. SPIE 7379*, (2009)
- ¹³ Kevin Orvek, Jaewoong Sohn, Jin Choi, Roxann Engelstad, Sudharshanan Raghunathan, John Zimmerman, Thomas Laursen, Yoshitake Shusuke, and Tsutomu Shoki. "Evaluation of an e-beam correction strategy for compensation of EUVL mask non-flatness," *Proc. SPIE 7379*, (2009)

¹⁴ J. Sohna, K. Orveka, R. Engelstad, P. Vukkadalab, S. Yoshitake, S. Raghunathan, T. Laursen, J. Zimmermann, B. Connolly, and J.H. Peters. “Implementing E-beam Correction Strategies for Compensation of EUVL Mask Non-flatness,” *2009 International Symposium on Extreme Ultraviolet Lithography*, (2009)