

INTERNATIONAL  
TECHNOLOGY ROADMAP  
FOR  
SEMICONDUCTORS

2009 EDITION

ASSEMBLY AND PACKAGING



## TABLE OF CONTENTS

概要.....	1
困難な技術課題.....	2
シングルチップ・パッケージ .....	2
パッケージ基板とボードの接続.....	13
パッケージ基板 .....	13
ウェーハレベル・パッケージング .....	16
開発中のウェーハレベル・パッケージ技術の例.....	21
システムイン・パッケージ .....	23
3次元インテグレーション .....	25
3次元 IC のインフラ要求.....	26
SiP のテスト.....	35
SiP for Tera-scale Computing .....	36
特殊用途用パッケージ .....	39
先端パッケージ要素技術.....	57
TWG 間のクロスカット .....	63
まとめ.....	67
Glossary .....	68

## LIST OF FIGURES

Figure AP1	The Use of Compliant/Flexible I/O Can Potentially Eliminate the Need for Underfill .....	7
Figure AP2	Micro Bump and Pillar Bump Structures for High Reliable Chip-to-substrate Interconnects .....	8
Figure AP3	Examples of 18 $\mu$ m Cu wire bond in PBGA .....	9
Figure AP4	Example of Low Profile Bond Loop Die- to- die Wire Bonding .....	9
Figure AP5	Example of Cascade Bonding and Die to Die Bonding .....	10
Figure AP6	Bonding Overhang Die.....	10
Figure AP7	Wire Bond on Both Sides of Lead Frame Substrate.....	10
Figure AP8	Examples of Copper Pillar Bumps (a) and Assembled Copper Pillar (b) .....	11
Figure AP9	Example of Copper Pillar Bumps with Solder Tips .....	12
Figure AP10	Ball Diameter for Area Array Versus Interconnect Pitch .....	16
Figure AP11	Examples of Wafer Level Packaging Types .....	17
Figure AP12	Basic Process Flow Via-first versus Via Last .....	21
Figure AP13	Example of a Side-by-side Solution of a Fan-out WLP (a) and a Reconstituted Wafer (b) .....	22
Figure AP14	Beyond CMOS Scaling .....	23
Figure AP15	Categories of SiP .....	24
Figure AP16	Driving Forces for 3D Integration.....	25

Figure AP17	Example of Process Flow and Equipment for 3D Integrations .....	26
Figure AP18	Direct Bond Interconnect Process Flow .....	27
Figure AP19	Roadmap for Package Transitions addressing the Memory Bandwidth Challenge .....	29
Figure AP20	Methods of System Interconnect for 3D Integration .....	29
Figure AP21	Interposer based Microliquid Heat Sink for Stacked Die .....	31
Figure AP22	Location of High Power Die versus Primary Heat flow Path .....	32
Figure AP23	The Most Current Vision for Packaging in 2015 Utilizing These Concepts .....	36
Figure AP24	Chip-Package-System Co-design flow .....	37
Figure AP25	Optical Interconnect Approaches the Chip .....	40
Figure AP26	100Gb/s DWDM Telecommunications Transmitter Module .....	41
Figure AP27	An Active Optical Cable .....	41
Figure AP28	The Use of Plastic Optical Fiber in Automotive Applications .....	42
Figure AP29	Implementing Gb/s Data Rates On-To and Off-Of Chip using Optically Connectorized Packaging .....	42
Figure AP30	Methods to Implement an Optical Wiring Board .....	43
Figure AP31	A Vision Meeting 2020 Projected Needs with On-Chip Optical Data using TSVs and Specialized Chip Layers .....	44
Figure AP32	A Satellite Picture Showing Where on Earth Lighting Uses the Most Electricity .....	46
Figure AP33	Lighting Consumes the Largest Amount of Electric Energy in Commercial Buildings—Three Times the Energy Consumption of Air Conditioning .....	47
Figure AP34	Comparison of Luminous Efficiency among Various Light Sources .....	48
Figure AP35	Various Forms of LEDs .....	48
Figure AP36	5 mm Type of Package for Low-Power LEDs .....	49
Figure AP37	SMT Type of Package for High-Brightness LEDs .....	49
Figure AP38	Generation of White Light Illumination with Blue LED and Yellow Phosphor .....	50
Figure AP39	Texflex Embroidered Interconnects .....	54
Figure AP40	HQFP for Automotive Electronics .....	56
Figure AP41	HSOP for Automotive Electronics .....	56
Figure AP42	SiP-HQFP for Automotive Electronics .....	57
Figure AP43	CSP with Integrated Passive Devices and Thin-film Build-Up Passive Elements .....	58
Figure AP44	PICS Substrate with High Density “Trench” MOS Capacitors, Planar MIM, Multi-Turn Inductors, and Poly-Si Resistors .....	58
Figure AP45	Overview of Embedded Active Devices and Passive Devices .....	59
Figure AP46	Extract of Thinning and Singulation Process Flow for Single Die Package .....	61
Figure AP47	Extract of Thinning and Singulation Process Flow for Packages using Die on Wafer Process .....	62
Figure AP48	Extract of Thinning and Singulation Process Flow for Packages using Bonded Wafers .....	62

**LIST OF TABLES**

Table AP1 Difficult Challenges ..... 2

Table AP2 Single-chip Packages Technology Requirements ..... 3

Table AP3 Chip-to-package Substrate Technology Requirements ..... 6

Table AP4 Package Failure Modes ..... 6

Table AP5 Substrate to Board Pitch ..... 6

Table AP6 Package Warpage at Peak Processing Temperature ..... 8

Table AP7 Package Substrates: Low Cost (PBGA) ..... 13

Table AP8 Package Substrates: Hand-held (FBGA) ..... 13

Table AP9 Package Substrates: Mobile Products (SiP, PoP) ..... 13

Table AP10 Package Substrates: Cost performance (CPU, GPU, Game Processor) ..... 13

Table AP11 Package Substrates: High Performance (High End) ..... 13

Table AP12 Package Substrates: High Performance (LTCC) ..... 13

Table AP13 Wafer Level Packaging ..... 18

Table AP14 Key Technical Parameters for Stacked Architectures Using TSV ..... 21

Table AP15 System in Package Requirements ..... 23

Table AP16 Difficult Challenges for SiP ..... 25

Table AP17 TSV Interconnect Methods ..... 28

Table AP18 Comparison of SoC and SiP Architecture ..... 34

Table AP19 Some Common Optoelectronic Packages and Their Applications ..... 40

Table AP20 Telecommunications: Long Haul (100's of Km) to Metro (>1Km) ..... 40

Table AP21 Datacom Receivers: Short range LAN, FTTX, Active Optical Cable (AOC), Backplane, On-circuit Board and On-to and Off-of chip Data Transfer Applications ..... 40

Table AP22 Difficult Challenges for Optical Packaging ..... 45

Table AP23 Technology Requirements for Optical Packaging ..... 45

Table AP24 Potential Solutions for Optical Packaging ..... 45

Table AP25 Cross TWG Issues for Optoelectronics ..... 46

Table AP26 High Brightness LEDs ..... 50

Table AP27 MEMS Packaging Methods ..... 53

Table AP28 MEMS Packaging Examples ..... 53

Table AP29 Automotive Operating Environment Specifications ..... 56

Table AP30 Multiple-Sun Photovoltaic Cell Packaging Issues ..... 57

Table AP31 Thinned Silicon Wafer Thickness 200 mm/300 mm ..... 60

Table AP32 Challenges and Potential Solutions in Thinning Si Wafers ..... 60

Table AP33 Materials Challenges ..... 63

Table AP34 Packaging/Gaps/Technology Needs Summary ..... 67

Table AP35 Consortia and Research Institutes in Packaging Technology ..... 67



# アセンブリ&パッケージング (A&T)

## 概要

本章では、短期スパンでアセンブリ&パッケージングに要求されるロードマップと、長期スパンでマーケットニーズを満たす多くの新要求内容、その解決策の一例を紹介する。アセンブリ&パッケージングは、半導体チップをエンドユーザーが必要とする機能へと変換する最終工程である。パッケージは信号伝送や電源の供給、電圧制御など、電気接続の役割を果たし、放熱や、信頼性のための物理的な保護の役割もしている。

今日、エレクトロニクス・システムにおけるコストと性能の制約要因はアセンブリ&パッケージングであり、そのことが技術革新を刺激する原因となっている。設計のコンセプトやパッケージ構造、材料、製造プロセス、そしてシステムを統合する技術は急速に進化している。技術革新のペースが加速した結果、いくつもの新技術が開発され、前年に導入されたばかりの技術が急速に展開されている。一方で、無線やミックスシグナル・デバイス、バイオチップ、オプト・エレクトロニクス、MEMS (MicroElectroMechanical Systems) の各分野においても、新たな要求がアセンブリ&パッケージング技術に突きつけられている。

電子産業で当然のこととされてきた CMOS 微細化の進展も、限界が見えてきている。性能当たりのコストを下げることによって発展してきた産業の成長を、今後も継続するためには、新しいデバイスと新しい材料が必要である。ムーアの法則に基づく CMOS の微細化に技術が追従できなくなる時期と、次世代デバイス・アーキテクチャや次世代電子材料が開発されて、ムーアの法則によって得られるべき性能当たりコストの低減ペースをカバーできる時期にはギャップがある。従来のムーアの法則に基づく微細化はしだいに難しくなっている。アセンブリ&パッケージングにおける革新によって、機能の多様化と三次元方向への集積を可能にし、そのギャップを補う役割が果たされている。

すなわち、アセンブリ&パッケージングはシステムイン・パッケージ (SiP) 技術によって、機能の多様化を低コストで実現し、継続的な機能の高密度化と性能当たりコストの低減を可能としている。それによって、電子産業における継続的なコスト低減と、性能の向上に貢献している。

市場ニーズへのソリューションとして、印刷法による回路形成、薄ウェーハ加工、能動素子や受動素子のエンベデッドデバイスなど、新しいアーキテクチャが現れつつある。これらの新しいアーキテクチャの要求や、変化していく環境規制の要求に応えるために、アセンブリ&パッケージングの材料と設備にも急速な革新が進んでいる。

本章は以下の 9 章から構成されている。

- 困難な技術課題
- シングルチップ・パッケージ
- ウェーハレベル・パッケージ
- システムイン・パッケージ (SiP)
- 3次元インテグレーション
- 専用パッケージ
- 先端パッケージ技術
- 環境
- クロスカット

## 2 Assembly and Packaging

ITRS のアセンブリ&パッケージングの章は、iNEMI や IPC、日本実装技術ロードマップなどと可能な限り整合を図っている。

### 困難な技術課題

多くのデバイスでパッケージがコストと性能を制約しているという認識に基づいて、アセンブリ&パッケージングにおける技術革新が加速している。短期ロードマップでは、設計から製造、テスト、信頼性などパッケージング・プロセスの全てのフェーズで、技術課題が累積している。

これらの重要な技術課題の大部分を解決する必要がある。Table AP1 にそれらをまとめた。これらの課題を解決するためには、膨大な研究開発(R&D)投資が必要となる。

これらの技術課題を解決するのに必要な R&D 投資は、経営を維持するレベルを超えており、パッケージ組立メーカの純利益から捻出する額だけでは不十分である。この課題への解として、研究コンソーシアムや大学における共同研究プログラムが最近増加している。

- 大学におけるパッケージ技術の研究が世界中で増えている。
- 材料メーカは、銅配線や low k, high k 材料以降の、次世代材料の候補となる次世代ポリマやナノ材料の開発への R&D 投資額を増やしている。将来の要求に対応した新材料については、本ロードマップの新材料の章を参照のこと。
- ベンチャーキャピタルからの投資は、ここ数年の空白の後に再び増えつつある。
- ウェーハやチップの薄化とハンドリング、封入(例として圧縮成型、アンダーフィルモールド)、シリコン貫通ビア(TSV)、ウェーハレベル・パッケージング(WLP)、三次元パッケージの製造やハンドリングなどの新機能を実現するために、設備メーカは R&D 投資を行っている。
- 公的及び民間系研究機関はこの分野への R&D 投資を増やしている。アセンブリ&パッケージングの開発に関するコンソーシアムのリストを表に掲載した。
- 家電メーカがシステム統合アーキテクチャや SiP を革新していく牽引力となっている。

たとえこれらの投資を行ったとしても、現在のレベルでは、困難な課題をロードマップの時間軸どおりに達成するのは難しいだろう。アセンブリ&パッケージングで提示するロードマップを計画通り遂行するためには、R&D 投資を加速することと、開発効率の優れた分業をすることが必要である。本章の目的とするところは、困難な課題を解決するためにコーディネートと課題の絞込みを奨励し促進することである。

Table AP1 Difficult Challenges

### シングルチップ・パッケージ

#### 全体的な要求

電子製品は、既存のマーケットでもデータ処理や通信、コンピューティングに用途を広げているが、パーソナル通信における新しい用途、例えばスマートフォン、PDA、ゲームコンソール、家庭用品、家庭娯楽電子機器、医療や健康機器、環境製品や省エネ製品、車載、安全システム分野でも同様に拡大している。この A&P の章では、パッケージング技術への要求を 5 つの用途に分類して解説した。

- 低コスト、ローエンド電子機器: 既存民生電気製品やメモリ、例えば、家庭電気用品、おもちゃ、MP3、DVD プレーヤ、携帯 HDD、電子ブック、シンプルな携帯電話など
- 携帯電子機器: 携帯電話、スマートフォン、携帯電子機器(PDA)、携帯 DVD プレーヤ



- コスト性能比の高い電子機器: PC、ノートパソコン、ネットブック、ブレードサーバ、プロセッサ、ゲームコンソール、ビジネスルータ、サーバなど
- 高性能電子機器: 高性能サーバ、ルータ、コンピュータ
- 厳しい環境耐性電子機器: 車載、宇宙、軍用電子機器

これら 5 つの市場分類にはグレーの領域もある。シンプルな携帯電話は低コスト・ローエンド電子機器分野に分類したが、元来の定義からいえば携帯電子機器用途である。ゲームコンソールの性能はブレードサーバに匹敵しているが、その一方で携帯電子製品でも市場の要求に応じてバンド幅と速度を上げざるを得ない。

5 つの市場分野について、技術的な要求、ピン当たりのコスト、チップ寸法、パワー、パッケージのピン数、動作特性、その使用環境を表 AP2 にまとめた。ロードマップを達成できる解が不確定か未知の場合には、カラーコードによって表示されている。たいていの場合、カラーコードの理由は、その数値が達成できないのではなく、その製品のマーケットに見合うコスト目標に達していないからである。

過去 10 年間のパッケージ技術革新の駆動力は、コスト性能比が問われるマーケットにおける技術要求だった。それらには、ノートパソコン、TV ゲーム、ルータ、サーバなどコストは上がらないのに、技術革新が進んでいく製品へのニーズがあった。このころパッケージ技術を牽引していたのは、チップが大きく高密度の有機基板を用いた FCBGA だった。課題は速度、放熱、信頼性、そしてコストであった。しかし、その後の携帯電話、スマートフォン、PDA、携帯ゲームなどの携帯市場の台頭によって、RF とビデオ、システムインテグレーション、信頼性、実用化までの時間短縮、コストなどの性能の多様化と、小型化や軽量化における異なった技術分野が課題となってきた。パッケージ技術者は、ウェーハレベル・パッケージや、新世代フリップチップ CSP、様々な形態の 3 次元積層チップや積層パッケージ、微細ピッチ表面実装デバイス、そして 3 次元チップなどの開発によって対応してきた。人々はダイナミックな性質を持つパッケージ技術の世界を、More Moore とか More than Moore という表現であらわしている。有鉛はんだの使用が収束し、low k や超 low k 誘電体、より微細なボンディングピッチの実用化が新たなパッケージ技術の課題を提示している。更には、金相場が上がり続けることによって、民生品マーケットにおけるコスト低減への期待を裏切っている。

Table AP2 *Single-chip Packages Technology Requirements*

## 電気特性要求

製造ばらつきによって電気設計の精度は大きく影響される。製造ばらつきロードマップ(ビア径、ビア位置精度、配線厚、配線幅、絶縁材の厚さ)と電気特性要求とは整合が取れていなければならない。パッケージ改善が必要な主な項目について以下に解説する。

## クロストーク

回路速度と集積度は CMOS の世代ごとに向上している。回路の速さはクロックサイクルの短さに表わされた集積度の向上によって、より多くの配線が平行に密接して走ることになる。デバイスの進化に伴って IO の増加と限りない高速化が必要とされている。このような先端回路には、デバイスやパッケージ、システムの全てのレベルから発生するノイズを最小限に抑制できるパッケージが要求される。

主なノイズ源は並行した信号線間のクロストークである。クロストークノイズは、絶縁体厚と隣接した信号の配線間隔との比に比例している。信号線の幅と間隔を変えずに、材料の誘電率を下げると、特性インピーダンスを一定にするために絶縁体の厚さを薄くする必要がある。その結果としてクロストークノイズを小さくすることができる。クロストークは、ファインピッチ・ボンディングのワイヤ間やファインピッチ・ビア間でも問題になる。

### パワー・インテグリティ

パワー・インテグリティは、高速用 IC における周波数の上昇と動作電圧の低下によって、ますます重要になっている。AC ノイズを低減させるために、たくさんのデカップリング・コンデンサが使われている。デカップリング・コンデンサに寄生する等価直列インダクタンス(ESL)は高周波性能を損ねる主要因である。単体コンデンサの ESL によって生じる高周波ノイズを低減するために、埋め込み平面キャパシタやオンチップ・キャパシタが使われている。その一方で、オンチップ・キャパシタのコストや複雑な構造とプロセスが問題視され始めている。パッケージとチップ間、またはパッケージと PCB 間で共振が発生するので、広い周波数帯に亘って、電源供給インピーダンスをコントロールすることは難しい。このことが、高速回路用の電源供給系を設計する上で、パッケージ上の制約事項となっており、今後技術革新が必要とされている。

### 熱特性要求

温度制御の善し悪しが、パッケージの動作性能や長期信頼性に大きな影響を与える。ITRS が予想する長期ロードマップの 2020 年頃には、チップのジャンクション温度を制御可能な放熱能力が不足する。空冷ヒートシンクではジャンクションから雰囲気までの熱抵抗が大きすぎる。現在、チップの何十倍もあるような巨大なヒートシンクが、ヒートスプレッドャや様々な熱伝導媒体(TIM)を介してチップに装着されている。これは、チップと雰囲気の高熱抵抗物質が介在していることになるばかりか、電子機器の高密度実装の制約となっている。そして、巨大ヒートシンクの装着は配線長が長くなることを意味し、伝送遅延を引き起こし、消費電力の増加とバンド幅の低下、配線抵抗損失を引き起こしている。ITRS の予測によると、例えば 14nm 世代の高性能チップの電力密度は 100 W/cm<sup>2</sup> を超えるので、ジャンクションから雰囲気までの熱抵抗は 0.2°C/W 未満にする必要がある。ジャンクションから雰囲気までの熱抵抗を低くしようとしても、TIM とヒートシンクの熱抵抗の制約を受ける。TIM には、優れた熱伝導率と、チップが作動中に安定な機械的特性、高い粘着力、接続する双方の凹凸面を埋め込む界面順応性が要求される。この要求にこたえるために TIM 材料が研究されている。その中でも、カーボンナノチューブは非常に高い熱伝導率を有しており、TIM の中にマトリクス上に埋め込んだものが研究されている。この材料に関しては *Emerging Research Materials* の章に詳細に記述している。

### ホットスポット

一般的に、デバイスの放熱方法は、ホットスポット部の放熱手段によって決まると言っても良い。部品の消費電力が同じであっても、ホットスポットがあれば、高い熱密度がデバイスの性能を制限する。これは SiP にとっても重要なことであるが、SoC やハイパワーのレーザやダイオード、RF など、顕著に局部発熱を伴うデバイスについても同様である。

新しい水冷方式や相変換方式(液相から気相へ)などの強制冷却は、今日ではわずかしき使われていない。この冷却方式については、本章のシステムイン・パッケージの章に詳細を記述した。これらの方式によって、ホットスポット現象を解決しうる高熱伝導性と、高い熱拡散能力が提供しうる。

### 応力特性要求

最終製品の機能性の改善と、フレキシビリティへの限りない開発の原動力によって、未来の電子産業へと続いている。設計期間や市場投入期間がますます短くなっている現在では、設計や開発、検証の各段階においてミスをする余地はない。一方で、チップとパッケージの複合構造によって発生する熱応力ストレスの下で、集積回路の限りない微細化の進展と、low-k 絶縁層の導入に対して、その劣化が懸念されている。電子製品の鉛フリー化やハロゲンフリー化の規制によって、温度上昇によるストレスや、新材料の導入、

新しい材料界面構造などがパッケージにもたらされた。さらに、チップ積層パッケージや PoP (Package on Package)、PiP (Package in Package)、ウェーハレベル・パッケージなど新規パッケージの導入によって、新しい不良メカニズムも現れている。パッケージング産業は、共通のプラットフォームにデジタル、RF、MEMS、光電子部品、ディスプレイなど、多様なデバイスを集積するという課題に直面している。拡大し続ける民生品市場では、要求信頼性に新たなパラダイムがもたらされている。例えば、落下試験は、様々な形態で携帯電話や他の携帯電子機器用部品に採用されている。最終製品の信頼性を確立するためには、応力モデルや熱解析モデル、そして解析ツールを重点的に研究する必要がある。

## 応力モデルと解析

電子部品のパッケージは、多様なスケールの複合、物理の複合、材料の複合、材料界面システムの複合が全て統合した典型的な例といえる。寸法のスケールは nm から cm まで亘っている。構成材料もシリコンやガラスなどの無機物や、低誘電率化を目指した多孔質絶縁材料など、機械的特性が硬いもの、脆いものがある反面、はんだやポリマ、温度／時間依存性が非線形なポリマ複合材料など柔らかい材料まである。材料の機械的物性についても、弾性体から温度／時間依存性が非線形のものまで様々である。パッケージ構造の予想可能な熱応力・動力学モデルに対して、実用的で使いやすいツールを持つことは非常に重要である。それによって、パッケージ技術者は、開発段階でも不良モードや不良メカニズムを予想できるようになる。このツールは設計や材料、製造プロセスにおいて相反する要因の選択を可能にし、最終的には特色、性能、コスト、そして市場への投入タイミングなどの選択まで可能となる。このような予測を可能にするモデルツールはデバイス・パッケージの協調設計環境に組み込まれるべきであろう。熱、電気、熱流体、そして応力特性の複合解析もまた必要になる。

応力解析とモデリングの努力を無駄にしないためには、設置段階から使用環境にいたるまで、材料特性データを精度よく把握する必要がある。ポリマと金属間や、ポリマ同士間における破断強度や微小領域における応力特性など、界面特性をモデル化することが必要になる。この分野の難しさはその微小さに起因する。材料のバルク特性は薄膜状態にそのまま適用できるわけではない。界面効果や粒子の大きさ、プロセスや隣接物質による残留応力が非常に重要になる。バルクと界面反応を測定するために、サブミクロン厚の薄膜を扱う度量衡学が必要となる。はんだとバリアメタル (UBM) の反応により、温度と時間に依存して成長する金属間化合物のような物質特性の把握が必要である。機械的ストレスと共に発生するサーマル・マイグレーションや、エレクトロ・マイグレーションなど、物理的な不良メカニズムを理解して、実用寿命の推定のためのモデル化を行うべきである。

また、パッケージ内で薄膜 (例えばシリコン内層膜) に応力と熱が印加された状態で、ストレスまたは歪みを効率的に測定できる度量衡学を開発する必要がある。例えば、現在の最先端装置の解像度は 1~2 ミクロンであるが、サブミクロンの解像度を持つ干渉分光法に基づく測定技術が必要となる。その他の既存技術、例えば画像相関方式やマイクロ・ラマン分光分析、PZT センサなどを、サブミクロンスケールまで対応できるように性能を改善することも必要である。

## コスト

性能当たりコストの継続的減低は、エレクトロニクス産業の成長の礎である。これは、歴史的にウェーハ製造プロセスのスケールアップとデザインの進歩によって達成されてきた。パッケージングのコストは、ウェーハ製造のコストダウンに追従できず、そして、組立コストはしばしばシリコンチップの製造コストを上回ることもさえない。しかし、コスト低減への取組は、パッケージングにおけるコストアップ要因によって難しくなっている。ボンディングワイヤや封入樹脂、基板などのパッケージ材料のコストはパッケージコストに顕著に影響している。例えば、製品の 70% はワイヤボンド・パッケージであり、金線はパッケージコストの大きな部分を占めている。

## 6 Assembly and Packaging

鉛フリーのはんだ材料、ハロゲンフリー樹脂、low-k 材や high-k 材は、従来の材料より高コストである。携帯電子機器について言えば、より高いプロセス温度とより広い環境温度範囲に耐えうる新しい高価な基板と接続技術が必要となろう。パワー密度の増加を可能にし、ジャンクション温度を下げるためには、より効果的な放熱設計が必要になる。

チップからパッケージ基板の技術は表 AP3 に記載されており、特に製造加工プロセスにおけるパッケージ反りについては表 AP5 に記載されている。より低コストのパッケージングを達成するための新技術が要求される。ウェーハレベル・パッケージとシステムイン・パッケージ (SiP) は、ウェーハプロセスと同様なスケールメリットを持つコスト低減の革新的アプローチである。

*Table AP3 Chip-to-package Substrate Technology Requirements*

*Table AP4 Package Failure Modes*

*Table AP5 Substrate to Board Pitch*

### 信頼性

パッケージングの分野における急速な革新の明らかな例として、リードレスパッケージ、チップダレクトチップ接続、ウェーハレベル・パッケージ (WLP)、ワイヤボンドのチップ積層、フリップチップとワイヤボンドの混成構造、PoP, PiP, その他 3 次元インテグレーション等のエリアアレイパッケージなど (FCBGA, FC-CSP) 新しいパッケージ形態が導入されている。加えて、Cu/low k 材料、フレキシブル接続、そして、高放熱と高速要求などのパッケージングへの新たな要求が出現している。チップを構成する絶縁層への low k や超 low k 材料の採用によって、チップとパッケージの構造から発生するストレスに影響されやすくなっている。例えば、鉛フリーやハロゲンフリーなどの環境規制や、厳しい環境における電子機器の使用に対しても急速な革新が必要である。これらの新しい材料や構造の導入によって、信頼性上の課題が新たに生じる。例えば、フリップチップパッケージの中では、鉛フリーはんだバンプが比較的硬いために機械的強度の低い low k 層にストレスが伝わりやすい。その相互作用 (CPI) の信頼性上のリスクを解決するためにチップと設計、材料の選択が必要になる。このような課題は、市場要求を満たすために、個々のトランジスタに高い信頼性が要求される時に発生する。信頼性に関する多くの課題はチップとパッケージ基板技術との間に生じており、それらは表 AP3 に記載されている。

新しいパッケージデザインや材料、技術によって、全市場の要求する信頼性を満たすことが出来る訳ではない。高信頼性の新パッケージ技術を市場に送り出すためには、最終製品の使用環境故障メカニズムを熟知する必要がある。例えば、携帯電子機器は落下しやすいので、動的な機械強度の完全性を保つために落下試験が必要である。電子部品の信頼性を決定する要因は多い。必須要因は全てのシステムに対して共通しているが、優先度は製品ごとに変ってくる。民生品の実使用状態を考慮すると、温度サイクル、振動、落下などの機械的ストレスへの耐性がなければならない。パッケージの一般的な不良モードは表 AP4 に示した。民生品の保管条件や使用環境は、民生品以外の部品よりも幅広い条件で使われる。今後現れる部品への信頼性必要条件を満たすためには、今はまだ実用化されていない下記のような新たなツールと手法が必要になる。

- 例：
- ・故障分類標準
  - ・故障メカニズムの検証
  - ・故障分析技術の改善
  - ・電気/熱/機械のシミュレーション
  - ・加速係数が確定した寿命モデル
  - ・特定の信頼性内容に応じたテスト手段

### ・早期警告の仕組み

前記したように、チップ上配線の寄生容量を低減するために設けた low-k 膜によって、有機基板上に実装した FCBGA のチップの熱的・機械的信頼性が低下した。チップ内の low-k 膜の脆弱な性質と周辺材料への比較的弱い接着力を補うために、温度サイクルやウェーハでのプロービングなどから受けるストレスを最小にすることが重要となってきた。シリコンチップ ( $3\text{ppm}/^\circ\text{C}$ ) と有機基板 ( $17\text{ppm}/^\circ\text{C}$ ) の熱膨張率の大きな差が、絶縁膜材料のバルク破壊や界面剥離を引き起こすことがわかった。この課題への対処として、チップに対する機械的ストレスを最小にする新しい I/O 接続技術を研究する推進力が生じた。低応力な鉛はんだバンプを鉛フリーはんだバンプに代替することが問題をより困難にした。デバイスやパッケージ技術者は、UBM 構造や、はんだバンプ、銅ピラー、アンダーフィル材料、表面処理の設計時に、チップとパッケージの相互作用を解決すべく協調すべきである。そのためには、新しいアンダーフィル材料が必要となる。加えて、1つの可能性としてアンダーフィル不要な柔軟なはんだバンプの導入案もある。

柔軟な接合構造に加えて、薄いはんだ接続と銅ポストバンプ構造 (図 AP1 と AP2) およびマイクロバンプ (直径:  $<20\mu\text{m}$ ) が、接続的信頼性を改善するのに使われる。接続方法の選択は、チップサイズ、厚さと接続密度による。TSV やマイクロバンプをもつチップの信頼性を考察すると、チップとパッケージ設計者とその信頼性部門に非常に大きな課題のあることがわかる。それは、将来このロードマップで取り上げる予定である。

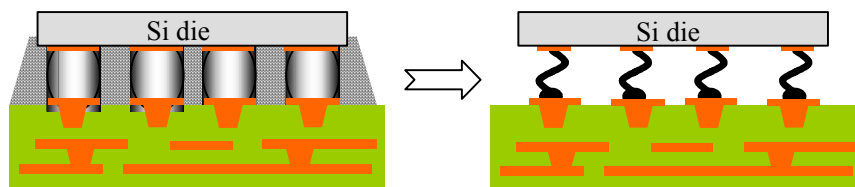
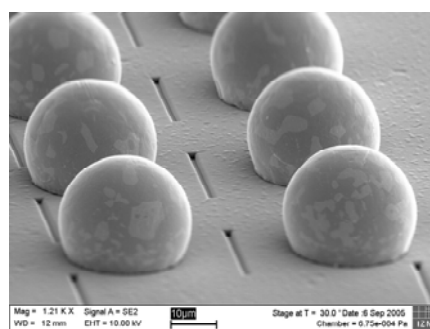
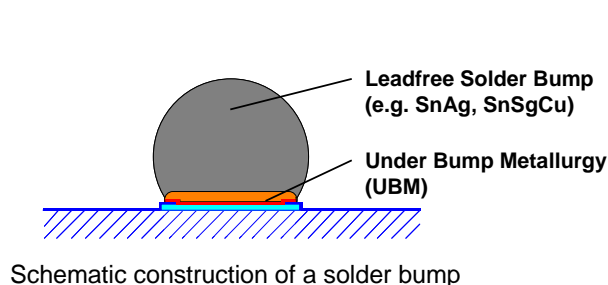
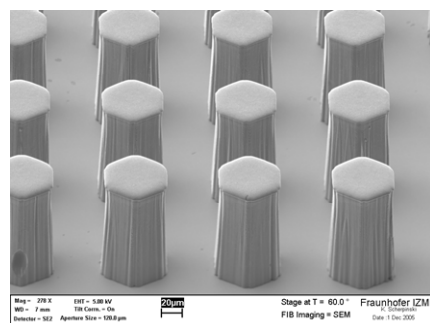
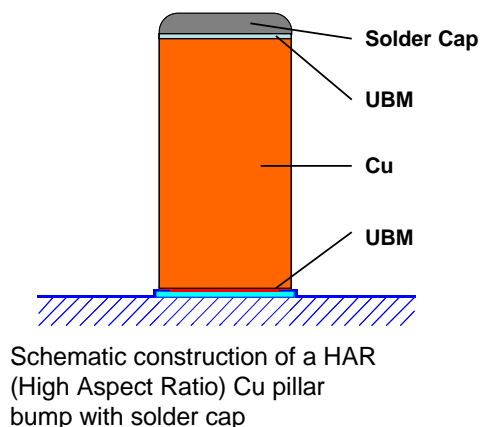


Figure AP1 The Use of Compliant/Flexible I/O Can Potentially Eliminate the Need for Underfill

## 8 Assembly and Packaging



SnAg microbump (20  $\mu\text{m}$  diameter)



Cu pillar bump (height: 80  $\mu\text{m}$ )

Figure AP2 Micro Bump and Pillar Bump Structures for High Reliable Chip-to-substrate Interconnects

### 基板へのチップ実装

基板へのチップ実装技術を選択する際に、考慮すべきいくつかの要因がある。これらの項目は、AP3 のチップの基板実装技術、AP5 のパッケージ基板ピッチ、AP6 の最高プロセス温度における反り量などの表に記載してある。詳細に関する議論は下記のとおりである。

Table AP6 Package Warpage at Peak Processing Temperature

### ワイヤボンド

ワイヤボンドは、半導体産業を牽引してきて、半導体デバイスの主流の接続方法である。リードフレームや有機基板にワイヤボンドされ、エポキシ樹脂で樹脂封止された IC デバイスは、長い間業界の標準的な形態であった。ワイヤボンド技術は、実用上の限界に達したという予測が繰り返されたにもかかわらず、新たな概念と技術の改善によって絶え間ない開発が続いている。多段ワイヤボンドは、IO 増加を実現できる現実的な解決策である。

チップを積層しワイヤボンディングする構造では、通常リードフレームや基板、フレキシブル基板上で 2 つから 5 つチップ積層しており、携帯電子機器市場で使われる MCP や SiP に対してかなりフレキシブルなプロセスである。チップ積層の大半は様々なメモリ同志の組み合わせであるが、メモリとロジックチップの組み合わせも多い。チップ積層技術にはウェーハ薄化、低ループワイヤボンディング、封入樹脂の流れ性改善、フィラー寸法最適化、ベアチップの良品保証のためのウェーハテストなどから構成される。パッドの狭ピッチ化

と材料コスト低減を目的として、金線の細線化が進んでいる。今日、 $16\ \mu\text{m}$  の金線は認定試験中であり、 $12\ \mu\text{m}$  の金線は開発中である。図 AP3 に  $16\ \mu\text{m}$  の金線でボンディングしたパッケージを掲載した。

ITRS 2007 年版発行後に現れた変化として、ファインピッチ銅ワイヤボンディングがパッケージ産業の主流になりつつあることがある。銅線が金線を置き換えることは、パッケージ材料の最後のコスト削減策とも言える。一方、シリコンのテクノロジノードの進化と low k 材料の導入によって、銅線及び金線ともに  $18\ \mu\text{m}$  未満の細線が必要になっている。ピン数の少ないパワーデバイスに直径  $50\ \mu\text{m}$  のワイヤが使われてきた実績はあるが、微細ピッチの銅ワイヤボンディングは最近開発された技術である。直径  $25\ \mu\text{m}$  以下の銅ワイヤで微細ピッチ製品を組立てるためには、ワイヤの特性や金属間化合物の形成と成長の理解、ボンディングプロセス、設備開発、ワイヤの酸化防止などの施策が必要である。パラジウムコートした銅線はボンディング時に特殊ガスが不要であることから導入が進んでいる。下記に示す図 AP3 は PBGA を直径  $18\ \mu\text{m}$  の銅線でボンディングした例である。

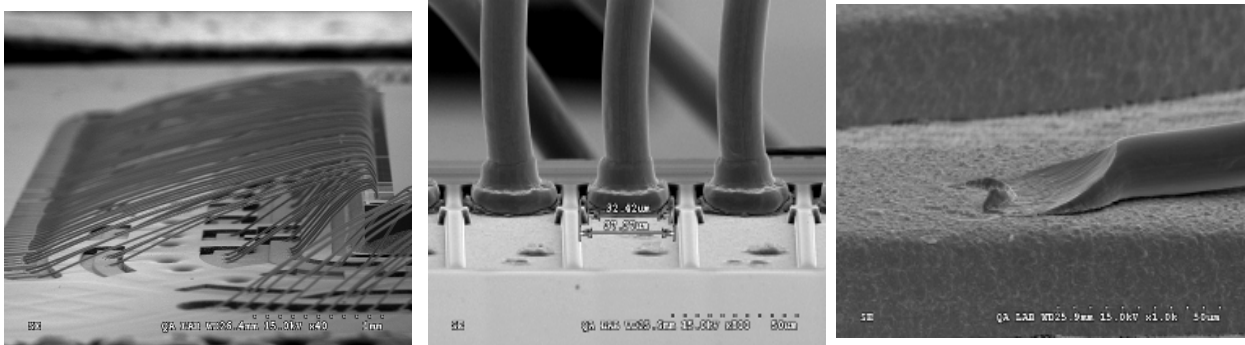


Figure AP3 Examples of  $18\ \mu\text{m}$  Cu wire bond in PBGA

より薄く高密度にパッケージングするためには、より低ループのワイヤボンドが必要である。量産には  $50\ \mu\text{m}$  にループ高さを抑制する順送りボンディング（フォワードボンド）などの革新的な技術が使われている。その他の技術革新として、チップ間ボンディング、カスケードボンディング、チップのオーバーハング部へのボンディングを図 AP4 と AP6 に示した。これらの開発の多くは金線を対象にしているが、将来は銅線についても同様な機能が要求される。

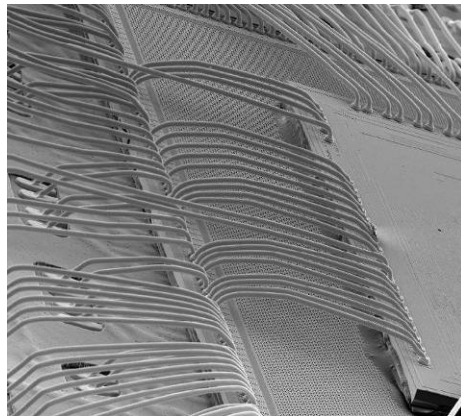


Figure AP4 Example of Low Profile Bond Loop Die-to-die Wire Bonding

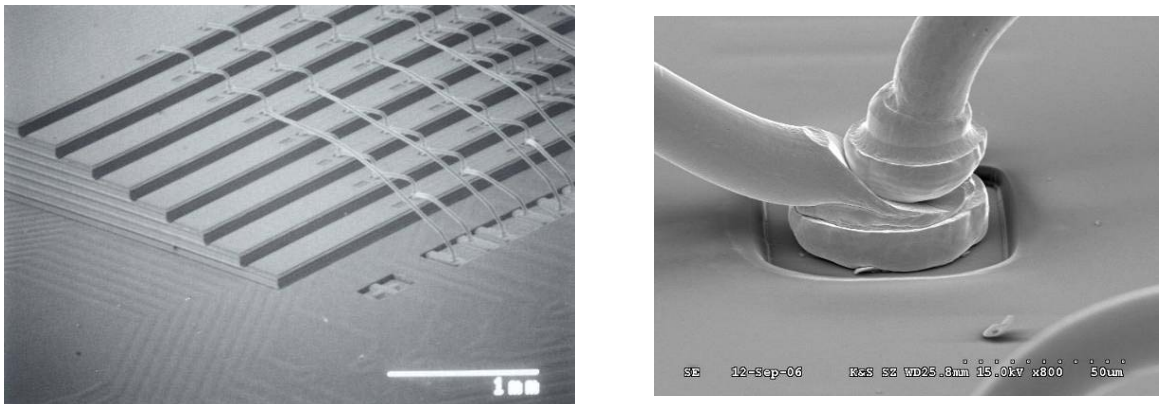


Figure AP5 Example of Cascade Bonding and Die to Die Bonding

技術課題の一例として取り上げられているのは Figure AP6 と Figure AP7 に示すオーバーハングチップのボンディングとリードフレームを挟んで両面でのワイヤボンダである。

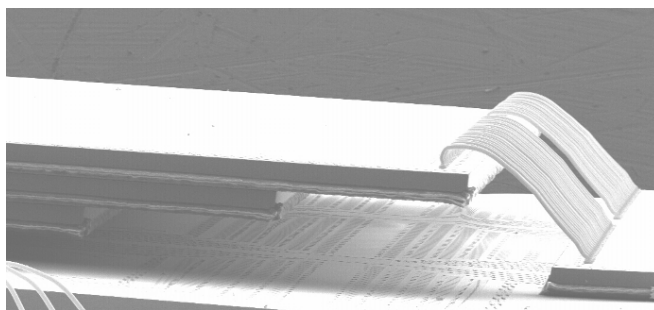


Figure AP6 Bonding Overhang Die

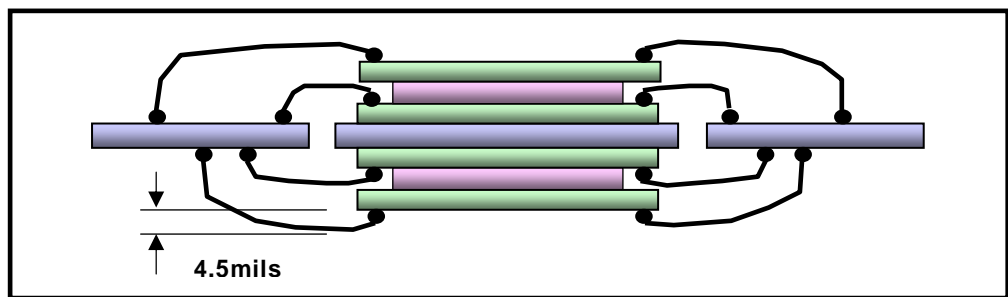


Figure AP7 Wire Bond on Both Sides of Lead Frame Substrate

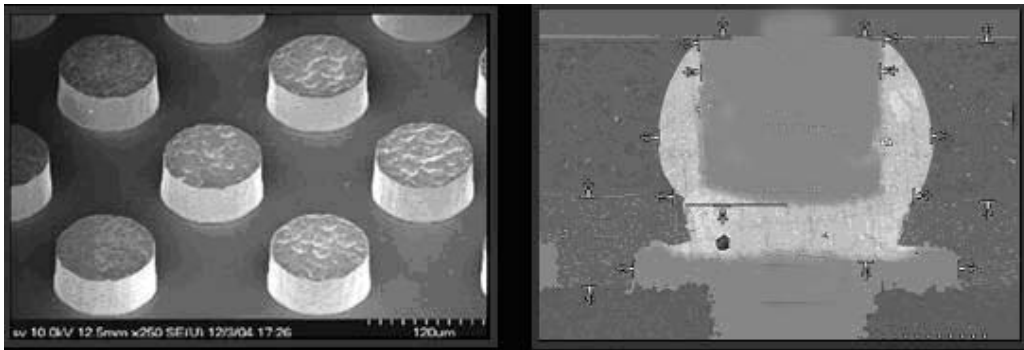
ワイヤボンダタイプの樹脂封止パッケージについては、設計、ツール、材料、製造プロセス及び設備に渡って、グローバルな技術基盤とサプライチェーンが確立されている。生産効率とコスト削減のために、高速ワイヤボンダ、大型パッケージ基板の組立、そして、効率的なモールドプロセスが開発されている。数年後には、銅線ボンディングの改善のために、設計、プロセス、材料、設備の大きな革新が起こる。シリコンテ



クノジーノードは 45nm 以下に近づいているので、ボンディングワイヤの直径もそれに対応して 20nm 以下まで細くなる。長期的には、このようなコスト改善も限界に近づいて、利益の確保が難しくなっていくかもしれない。

## フリップチップ

フリップチップとワイヤボンドは、チップと基板を接続する標準的なプロセスである。フリップチッププロセスは、当初鉛リッチなはんだバンプによるセラミックモジュールのマルチチップ・アプリケーションとして開発された。その後、コスト性能比が高い製品を求めるマーケットやハイエンドマーケットにおいて、マイクロプロセッサやグラフィックプロセッサなどを有機基板にチップ接続する方法に進化した。その要素技術は、ウェーハバンピング (UBM とバンプ金属)、アンダーフィル、TIM、そしてビルドアップ基板である。これらのアプリケーションではフリップチップピッチが 150 $\mu\text{m}$  以下である。ピッチの縮小を制約しているのは、大量生産・流通可能な安価な基板の調達と、鉛フリー対応の高温リフロー、高いジャンクション温度、高い電流密度を満たす無欠陥アンダーフィルプロセスが大量生産において難しいからである。このような用途に対して、将来の技術ノードや市場の用途に適合するために改善が必要なのは、アンダーフィル、バンプバリアメタル構造、高鉛はんだや鉛フリーの代替材、そして TIM 材料である。銅ポストバンプをウェーハプロセスで形成するめっきウェーハバンピングは、マイクロプロセッサに導入され始めており、より多くのアプリケーションに広まると考えられている。その利点は、ファインピッチ、鉛フリー、そして電氣的・熱的性能の高さである。



(a)

(b)

Figure AP8 Examples of Copper Pillar Bumps (a) and Assembled Copper Pillar (b)

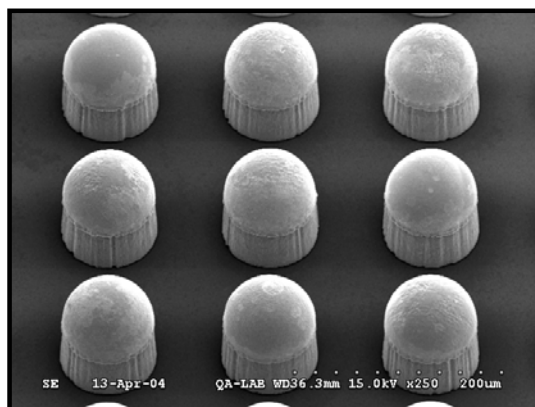


Figure AP9 Example of Copper Pillar Bumps with Solder Tips

マイクロプロセッサ、グラフィクスやゲームプロセッサ以外のアプリケーションに用いられるフリップチップ FC CSP パッケージは、比較的小さなチップで、バンプピッチが小さく、パッケージ高さが低い用途を対象にしている。その牽引役は携帯機器アプリケーションであり、落下テストはこの用途では重要な要求事項である。コスト要求を満たすためにラミネート基板と 1/2/1 ビルドアップ基板が使用されてきた。これらの FC CSP は複数のチップが隣接実装されたものや、フリップ実装されたチップの上にワイヤボンディングチップが積層されたものがある。アナログと RF IC は、デジタル IC と比較して電気的要求も異なっている。アプリケーション毎に異なる要求項目を満たすために、各種のパッケージが存在する。既存のアンダーフィルプロセスに加えて、アンダーフィル後にトランスファモールドを行うプロセスもその一つである。大型の基板全体にアンダーフィルなしでオーバーモールドする方法は大きなコストダウンにつながる。技術の向かう方向には、バンプバリアメタルの最適化、銅ポストバンプ、フレキシブルな接続方法、アンダーフィル不要な各種のモールドプロセス、フラックスの不要なリフローと PoP/PiP のパッケージ構造などがある。これらフリップチップ構造や材料、製造プロセス及び設備システムの次世代技術開発を背景に、電子産業は“More than Moore”の時代に移りつつある。

## 樹脂封止

従来の側面ゲート構造のモールドは、パッケージ業界を担ってきた成功例である。複雑な積層チップ構造や複雑な SiP 構造を樹脂封止する際には、ワイヤ変形や歩留損失のリスクがある。新しく開発されたトップセンターモールドゲート(TCMG)は、樹脂の流れをトップゲートから注入して放射状に広げることによってワイヤ変形を押さえ、ファインピッチで並ぶワイヤの間を樹脂が流れる時に生ずるファイラ分離を抑制できる。

また、主流の技術になりつつあるのはコンプレッションモールドであり、基板をモールド金型にセットする前に液状樹脂を吐出供給する。ゲートを必要とせず、樹脂の流動速度は非常にゆっくりなので、金線変形を防ぐことができる。また、新たなパッケージ技術として注目されているのは、フリップチップのアンダーフィルのトランスファモールドである。

薄型パッケージは反りやすく、low-k 誘電膜を使ったチップは応力に影響されやすい。これらに対しても、低応力の樹脂を開発して改善を図っている。

モールド工程におけるワイヤショートを低減、回避する新たな取組みとして、絶縁被覆ワイヤを使用する手法が検討されている。ここ数年にわたって被覆ワイヤが改善されてきて、実用化可能な技術レベルに達した。しかし、被覆ワイヤのコストが高いために、応用分野が制限されて製品への浸透が妨げられている。

## パッケージ基板とボードの接続

### リードフレーム

リードフレームは、30年以上の間、低コストで高い信頼性を維持してきた。リードフレームは、パッケージ設計やプロセスの革新によって継続して発展するだろう。環境衛生規制により鉛の使用が禁止されたために、材料に関連する課題が新たに現れている。鉛から錫への移行によって、錫のウイスキーが課題として注目されている。高い信頼性と低コストな新しいめっき材料が必要である。例えば、NiPd、Cu、鉛フリーはんだ合金を基本とした新しいめっき材料などがある。他の課題として、QFN や QFP などのパッケージ形態では端子数増、接続密度増、高放熱化などがある。QFN パッケージの多数列化によって、より多ピンまで可能となり性能改善にも寄与している。

### 高密度接続

パッケージ基板と実装基板間の接続密度が増え続けており、性能あたりのデバイス寸法や必要な端子数も増えている。チップとパッケージ間の接続ピッチのロードマップは表 AP5 に記載した。

電源グラウンド電位の安定性を保ち、データレートを上げるために端子数を増やしている。動作電圧が低下する反面、トランジスタ数と速度が増していく中で、電流の大きなスパイクを吸収して電源とグラウンドの変動を抑えるために、多端子化が必要となる。基板のパターンの微細化の速度が遅いため、配線引き回し密度が増しているが、実装基板とパッケージのボールピッチを狭くすることによってピン数増に対応している。

従来型パッケージにおける接続密度の最大は FBGA であって、2014 年にはエリアアレイピッチは 100  $\mu\text{m}$  に達すると予測されている。(STRJ-WG7 注記; 誤記と思われる。ITRS2007 版においては、FBGA の 2014 年のボールピッチは、0.2mm である。2022 年においても、0.15 mm である。)それよりも高い接続密度では、小径化したボールによって実装信頼性とコプラナリティに悪影響が現れる。実装信頼性は、パッド設計の改善、はんだ金属の組成と表面仕上げの改善、そして場合により基板実装後のアンダーフィルによって、要求レベルを満たす必要がある。コプラナリティについては、基板材料とデザインの改善、高温でのパッケージ挙動の十分な理解、そしてボール搭載以前のコプラナリティを保つプロセスの改善が必要である。従来型パッケージの端子ピッチを、表 AP5 と AP6 に示す。チップとシステム基板、またはチップとチップ間を高密度接続するために、TSV 構造(Through Si Via)を用いる方法もある。

### パッケージ基板

パッケージ基板は、パッケージコストに占める比率が最も高く、パッケージ性能の制限にもなっている。コストと性能のロードマップを実現するためには、パッケージ基板技術の革新が必要である。各用途ごとに基板特性への要求を、次の表に示す。

Table AP7	<i>Package Substrates: Low Cost (PBGAs)</i>
Table AP8	<i>Package Substrates: Hand-held (FBGA)</i>
Table AP9	<i>Package Substrates: Mobile Products (SiP, PoP)</i>
Table AP10	<i>Package Substrates: Cost performance (CPU, GPU, Game Processor)</i>
Table AP11	<i>Package Substrates: High Performance (High End)</i>
Table AP12	<i>Package Substrates: High Performance (LTCC)</i>

### 低コスト電子機器用途(PBGA 向けラミネート基板)

PBGA は比較的大型パッケージであり、通常低コスト電子機器用途に用いられるので、基板は低コストで大量生産できる両面または4層基板が用いられている。表 AP7 に低コスト電子機器用途のラミネート基板のロードマップを記載した。この基板はコスト要求が非常に厳しいために、既存プロセスで製造され、コストに見合った現実的なロードマップである。基板寸法は、パッケージ組み立てラインの生産性を上げ、材料を効率的に使用するために大型化していく傾向にある。組み立て設備もそれに対応していく必要がある。たとえば、封入プレスは、よりクランプ圧力の高い大型のベースに設計する必要がある。半導体パッケージ組み立てメーカーごとに違いはあるものの、大型化していく基板寸法のガイドラインを設備メーカーは必要としている。基板コストを低減することはもう一つの課題である。基板のコア材料は高 Tg の FR4 基材であり、それが基板の物性値を実質上支配している。それゆえにパッケージ組み立てメーカーは使用する基板のコア材まで規定する習慣になっている。コア材料の特性と基板寸法の標準化によって、市場競争を加速させることができる。品質の観点からは、PBGA のパッケージ寸法が大きいため、リフロー中にパッケージが反る現象が大きな問題となっている。このパッケージ反りを低減するひとつの方法は、基板と樹脂の物性を等しくすることである。基板の熱膨張率を低減し、弾性率を高くすることによって反りを抑制することができる。

### 携帯電子機器用途 (FBGA 用高密度ラミネート基板)

携帯電子機器のために、ラミネート基板厚の薄化とパターンの微細化が進展してきた(表 AP8 参照)。精度の高いアライメントと微細パターンを得るために、基板製造プロセスで比較的小さなパネルを用いる手法も用いられている。量産ベースでの基板の総厚は、60  $\mu\text{m}$  のコアの場合、100  $\mu\text{m}$  にまで薄くなってきている。50  $\mu\text{m}$  コアと 35  $\mu\text{m}$  のプリプレグも可能であるが、現在はコストが非常に高く、また、これらの材料を量産するには生産装置の改善が必要である。市場の要求を満たすためには、基板厚が 35  $\mu\text{m}$  未満で低コストな高性能基材が必要となる。

### 携帯電子機器用途(SiP 用ビルドアップ基板)

ワイヤボンディング用チップを収納する携帯電子機器用途のパッケージには、ラミネート基材にブラインドビアを設けた高密度基板が用いられている。それは、ビルドアップ層にポリマを使う代わりに、プレプレグを用いたビルドアップ技術である。表 AP9 に示す高解像度を得るために、補強材としてガラスファイバが均一な密度なものや、一様なガラスマットが必要である。その一方で、成型後のプレプレグの総厚は 40  $\mu\text{m}$  以下に低減する必要がある。将来的には、ラミネーション後にワイヤボンディング可能な弾性率を持つフィルム状樹脂を開発しなければならない。このタイプの材料が欠如していることが、一般的にライン/スペースの微細化の壁になっていると言える。パターン形成自体はパターンエッチングからめっきビルドアップに移り変わりつつある。

チップ同士の隣接実装または積層構造にかかわらず、同一パッケージ内でフリップチップ接続とワイヤボンディング接続を同時に行う場合には、基板の表面仕上げが課題となる。複数の表面処理方法が共存する。例えば、有機表面保護処理(OSP)、電解 Ni/Au めっきを伴った無電解 Sn やプレソルダー。もしくは、電界 Ni/Au めっきを伴った無電解 Ni-P/Au (ENIG)などがある。量産を実現させるためには、組立と基板の製造プロセスの最適化が必要である。それゆえに、万能な表面仕上げの研究が活発になってきて、その中でも無電界 Ni-P/Pd-P/Au めっき(ENEPIG)が有望である。このめっきにはワイヤボンディングが可能であり、表面実装と共にフリップチップの接続も可能である。この万能な表面仕上げのコストは、複合めっき処理と十分競合できると考えられる。

## コスト性能比の高い電子機器向け(FCBGA 用ビルドアップ基板)

有機基板の普及によって、フリップチップパッケージの構造は、セラミック基板とスタックビアからなる構造から、プリント配線基板とスルホールからなる構造に移行した。ビルドアップ技術の発明により、コア層配線に再配線層を設けることが可能になった。ビルドアップ層は微細配線技術とブラインドビアを採用しているが、コア基板には径の小さなスルホールを用いたプリント配線基板技術が受け継がれている。

配線と PTH の銅の膜厚が薄くなるにつれて、それらは縦方向の熱膨張率(CTE)に影響されやすくなっている。コア材の縦方向の CTE は 20ppm/°C に低減しなければならない。一般的な手法はフィラー添加であるが、それにより他の樹脂特性を劣化させ、プロセス条件に悪影響を及ぼしてしまう傾向がある。

銅配線の接着力は、樹脂中への銅のアンカー効果など物理的な接着力に依存している。しかし、このアンカー効果によって表面が粗くなり、導体損失が大きくなる。最近、銅箔を利用してプライマを供給する技術が開発され、パターンめっきされた無電界銅に化学的な接着力を与えることができる。このプライマによって、平滑な表面に化学的接着力が与えられるので、配線ピッチを縮小できる。プライマの代わりに、ポルフィリンの化学的性質をベースとした接着促進剤を、無電解銅めっきや平滑な表面の銅箔の接着用に用いることもある。ソルダーマスクもフリップチップ用基板の課題である。将来、平坦性と厚さをもっと厳しく管理しなければならない。ドライフィルム材料はその要求を満たせるが、広く展開するためにはコストがまだ高い。

## 高性能電子機器用途(FCBGA 用低誘電率基板)

高速伝送特性を満たすためには、低誘電率でかつ低損失な材料が必要である。材料の誘電率が改善され、今日では  $k \sim 3.4$  が可能となっている(AP11 参照)。k 値が 2.8 までの材料は既にあるが、基板に汎用的に採用するにはコストが高い。k が 2.5 以下では、コスト的に有効な解決策がない。そのような低誘電率に対しては、新しい補強材の開発が必要である。オレフィン系の高耐熱性熱可塑樹脂は、このロードマップの「ERM の章」に記された新材料と共に有望である。新材料開発には、多孔質構造材料も含まれている。誘電損を 1 桁減らす必要があり、PTFE やシアネート樹脂の一部は可能であるが、コスト的にまだ高い。

次世代基板の目標は、ブラインドビアの穴径 50 $\mu\text{m}$  レベルまで小径化したスルホールをもつ高密度コアを開発することであった。最初の基板は、パッケージの応力に対処するために、メタルコアに PTFE 絶縁体を積層したものだ。高密度コア技術の利点は、配線とスペースが 25 $\mu\text{m}$  以下で実現できることである。この技術の実現には、薄いホトレジスト(<15 $\mu\text{m}$ )と高い接着力、且つ表面粗さの小さい銅箔が必要である。

これらの開発と並行して、コアレス基板技術も開発されている。代表的なアプローチは、誘電体シートにビアを形成し、そのビアを金属ペーストで埋める事により第一の積層シート(building block)を作る。次にその第一の積層シートの両側に銅箔を貼り合わせることで第二の積層シートが形成される。続く回路形成で、この第二の積層シートが完成する。指定された組み合わせで積層シートを貼り合わせ、その後外装処理によって完成する。このプロセスの変化形として、コンポジット材に貼り合わせによって回路形成された層を転写し、キャリアシートの上に単層の配線層を積層する方法がある。いずれにせよ、誘電材料は、ほとんど補強されていない。従って、プロセス中の寸法安定性が重要である。特許済みの設計やプロセスによる、様々なコアレス技術が提案されているが、供給能力の拡大、安定した品質の確保とコスト削減の強化のため、市場開拓する努力が必要である。現在、コアレス基板は組み立て中に反ってしまう傾向があるので大量生産には至っていない。大量生産するためには、基板により高い剛性と平坦性が必要である。鉛フリー実装に必要な高温耐性とハロゲンフリー難燃剤の開発など、環境に配慮した実用化は第 1 ステップを終えようとしている。

低温焼結多層セラミックス(LTCC)を高性能電子機器向けに採用する最大の利点は、従来の酸化アルミセラミックスに比較して、誘電率や、比誘電率、配線抵抗が非常に低いことである。それに加えて、LTCCの熱膨張率は有機基板材料に比べてシリコンに近い。これら低誘電率、低比誘電率、高放熱係数、低誘電正接、高い導電率、シリコンと基板の熱膨張率の整合性など優れた特徴を有するために、LTCCは高出力で高性能用途の大きなチップにとって魅力ある材料になっている(表 AP12 参照)。将来の開発の課題としては、より微細な配線印刷パターンの形成と、配線密度向上に必要な高速レーザビア加工が必要である。レーザビアは従来のパンチングによるビア開けと比較して、低コストでリードタイムの短い試作が可能である。接続ピッチが狭くなるので、表 AP10 に示すようにボール径はますます小さくなる。これによって、製造プロセスと信頼性には更なる課題が出現する。

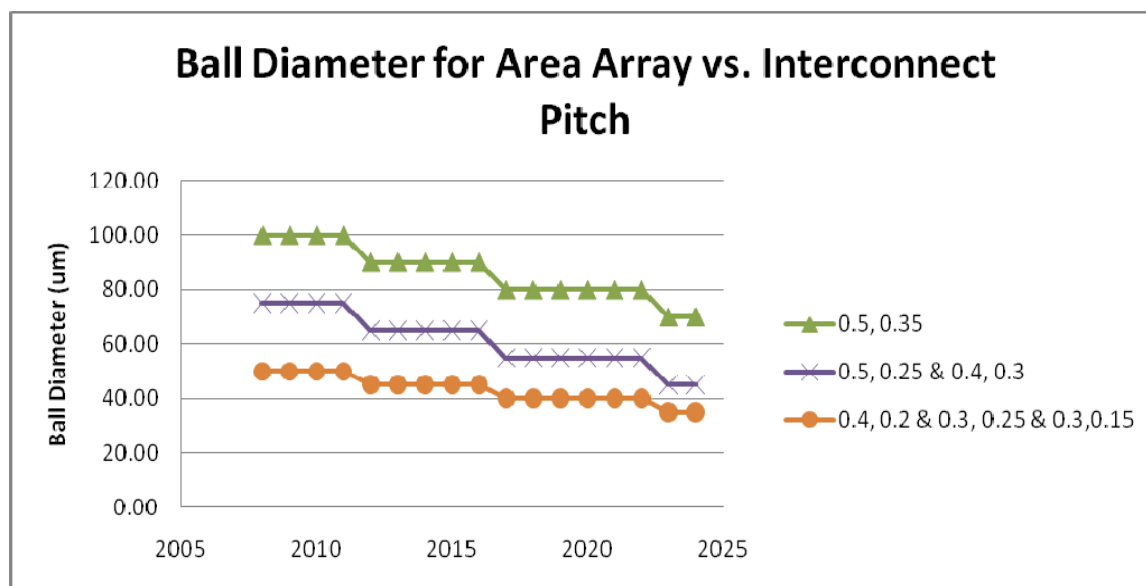


Figure AP10 Ball Diameter for Area Array versus Interconnect Pitch

## ウェーハレベル・パッケージング

ウェーハレベル・パッケージング(WLP)は、IC パッケージプロセスを全てウェーハ状態で行う技術と定義されている。元来の WLP の定義は、全てのパッケージ I/O 端子がチップ内側に配置されて、真のチップサイズパッケージを形成してきた(ファンイン・デザイン)。ウェーハレベル・チップサイズパッケージ(WLCSP)はウェーハ状態で加工すると定義されている。実装の観点から述べれば、チップ下にいくつの I/O を設ける事ができるか、またその時に基板側で配線引き回し可能であるかが WLP への制約事項となる。小型化、動作周波数の増加、コスト低減といった絶え間ない要求に対して、ワイヤボンディングやフリップチップなど既存のパッケージ技術では対応できない場合、WLPはその解決策となり得る。

しかし、当初の WLP の定義には当てはまらない製品が市場に現れてきた。この製品のパッケージはファンアウト WLP と呼ばれている。シリコンウェーハから切り出されたチップは、樹脂製のウェーハにマトリクス状に搭載されて加工される。このように再構成された人工的なウェーハは、本当のシリコンウェーハに使われるのと同じプロセスを経て、最終的に個々のパッケージに切断される。

チップは樹脂ウェーハにマトリクス状にチップ間の隙間をもつように置かれるので、個々のチップは樹脂で囲まれる。これは、当初のチップエリアを越えて再配線によりファンアウトしている。標準のはんだボールピッチでは、チップ面積が小さくてボールが置けないチップに対しても、チップ寸法はそのまま、標準の

ピッチではんだボールを置くことができる。この技術によって、単にシリコンウェーハを加工することが WLP ではなく、シリコンと樹脂からなる人工的なマトリクスウェーハも今後は WLP として分類することができる。

WLP 技術には、ウェーハレベル・チップサイズパッケージ(WLCSP)や、ファンアウト WLP、MEMS 封止用のウェーハキャップ、TSV を有するウェーハレベル・パッケージ、集積受動素子(IPD)のあるウェーハレベル・パッケージ、微細配線や集積受動素子が埋め込まれたことを特徴とするウェーハレベル基板などがある。

ウェーハレベル CSP は、実用化された第一世代のウェーハレベル・パッケージである。今日、再配線層(RDL)有無にかかわらず、WLP 技術(ファンイン WLP)は様々な製品に使われている。現在、一般的な CMOS 製品の多くは 150 ピン以上であるが、ファンイン WLP の多くは小ピン、小チップである。これらは主に、小型軽薄、そして電気特性が付加価値となる民生携帯機器の分野で使用されている。今後の主流は多層配線層を有する低コストの再配線を開発することである。

TSV や、IPD、ファンアウト、MEMS パッケージ技術の実用化によって、より多ピンで、複雑な機能が必要な用途に WLP 製品が使えるようになる。これらの技術によって、WLP にパッケージの分野で新しいチャンスを得ることができる。

製品の使用に応じて WLP には様々な構造があり、それを図 AP11 に示す。図 AP13 には技術的要求を示している。

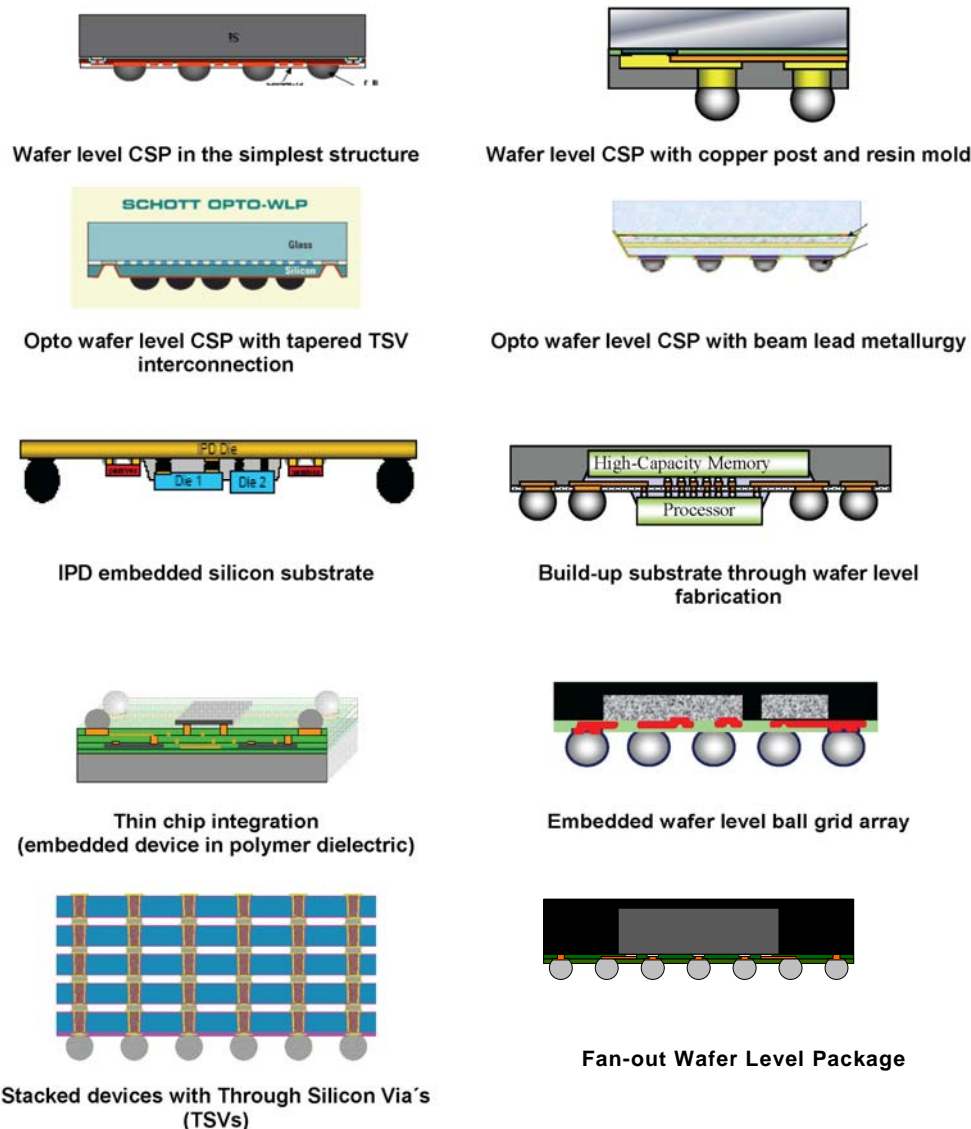


Figure AP11 Examples of Wafer Level Packaging Types

Table AP13 Wafer Level Packaging

ウェーハレベル CSP を実用化し、広める製造技術と大量生産インフラは、フリップチップウェーハ用に確立したバンピングプロセス (UBM、はんだバンプ、再パッシベーション、再配線、ウェーハ検査、ウェーハブロービング) と市販設備に基づいている。このインフラは、High Performance と Cost Performance 用途のフリップチップパッケージの大量需要を満たすために開発されてきた。

フリップチップ実装と異なり、WLP 実装では普通、アンダーフィルは不要である。はんだ接合用に、直径 250  $\mu\text{m}$  以上のはんだボールが使用されている。しかし、パッケージ高さを低くする必要がある特定の用途では、より小さなボールが用いられてスタンドオフを低くしている。現状の最小ピッチは 0.4 mm である。落下テスト等特定の信頼性要求を満たすために、アンダーフィルを採用する場合もある。



従来のボール吸着方式による WLCSP の設計とプロセスにも更なる改良が加えられて、より大きなチップにも対応できるように、ストレス吸収層や、実装時のアンダーフィル、応力吸収バンプ構造などを開発中である。信頼性の向上と高出力化、そして信号の低損失化が必要な製品に、厚銅による再配線が導入されてきた。

銅の再配線に開発されたプロセスは、銅スタッドや、インダクタ等の受動素子、ひいてはキャパシタや抵抗を形成するプロセスに応用・展開されてきた。これらの部品の組み合わせによってフィルタやサブシステム電子部品の製造が可能になる。これらの部品を用いた WLP-SiP パッケージへの応用によって、次のステップである 3 次元ウェーハインテグレーションが可能となる。

携帯電話や PDA などの携帯電子機器においてメモリデバイスの使用量が増加している。WLP は、低コスト、電気特性と低消費電力といった特徴をもち、これらのアプリケーションに適している。WLP の長所を最も引き出すためには、低コストのウェーハレベル・テストとバーンインの開発が必要である。

### ウェーハレベル・パッケージの開発と動向

今日、WLP 開発は、ウェーハ状態でバッチ加工処理するウェーハレベルプロセス技術が、従来の組立て技術に変わりうることに魅力となっている。WLP 技術には能動素子形成のみならず、集積受動素子 (IPD) をシリコンチップに形成する技術や、他の基板、例えばウェーハレベルの基板となるガラスを加工する技術や、チップを埋め込んだポリマからなる人工的に形成した再構成基板などが含まれる。パッケージ基板にとって、微細な設計基準と、IPD を形成できる能力は魅力がある。絶縁体と配線はウェーハプロセス技術によってシリコン基板上に形成され、続いてウェーハレベル基板上でアセンブリされる。ウェーハレベル基板は必ずしもシリコン自体でなく、シリコンウェーハ上に形成された絶縁層と配線で、シリコンウェーハ自体は製造工程で除去されている例もある。

現状では、小型化、省電力化、システムコスト低減と同時に、性能や機能を改善するためにウェーハレベルの様々な技術が開発中である。この開発によって、シングルチップやマルチチップのウェーハレベル・パッケージはより複雑な構造になっていく。

ウェーハレベル CSP は、ラフな取り扱いや線膨張係数の違いに対応する為に、銅ポスト端子と、厚い樹脂コートで構成されているものもある。このパッケージはパワーアンプから CPU まで、様々な製品群に使用されている。ボールピッチは 0.2mm 程度に微細化されたものもある。

イメージセンサ用ウェーハレベル CSP はガラスで封止されたオプティカル・ウェーハレベル CSP である。透明なガラスでチップを挟むか積層され、TSV またはビームリードによって裏面に形成された端子と接続されている。

キュア温度が 200°C 以下の低温キュアポリマが開発中であり、それをフラッシュ混載チップ用いることによって、標準の WLP プロセスで組み立ててもメモリ性能の劣化を防止できる。ファンアウトパッケージでも、擬似ウェーハの成型樹脂はたいてい低温の  $T_g$  をもつエポキシベースであるので、低温キュアポリマが必要になる。これらは、TSV や IPD (integrated passive device) 混載 WLP が必要とする要件を満たすこともできる。

### ウェーハレベル・パッケージ技術の今後の動向

将来のウェーハレベル・パッケージ要求を満たす為に必要な開発項目は、以下が挙げられる。;

- 絶縁層のキュアなど、プロセス温度の更なる低下、
- シリコン中または再配線中に形成される受動素子を有するウェーハレベル基板
- 薄膜ポリマ蒸着によって再配線層に形成された集積受動素子
- 埋め込み能動/受動素子

## 20 Assembly and Packaging

- Si(メモリ、MPU)、MEMS、化合物半導体(InP、GaAs、GaN等)とSiGeデバイス等のウェーハレベルアセンブリ(ウェーハ上へのチップ搭載)
- 複合シールド(RFとパワー)
- 機能層の積層(アクチュエータ、センサー、アンテナ)
- TSV形成とその配線、そしてウェーハ薄化とウェーハ上に搭載したチップに適したボンディング技術
- オプティカルチップとチップの接続
- 両面接続を可能にするWLPへのTSV形成。それによってWLPのPoPかも可能になる。
- 現在の光学的MEMSに加えて、機械的MEMSへの更なるWLP開発

ウェーハレベル・パッケージの開発は以下のいくつかの方向がある。

- 再配線をベースとした、大チップかつ高機能アプリケーション向けのプロセス(Fan-in)
- ファンアウト設計(エンベデッドWLPの項を参照)
- チップ to ウェーハや3次元構造と受動素子のインテグレーションを用いたシステムイン・パッケージ(SiP)といった高機能複合アプリケーション。シリコン半導体デバイスや、受動素子を含むキャリアにおけるフェースダウン、フェースアップのアプローチを含む。
- TSV技術に基づいた、ICチップ積層(複数メモリ、プロセッサ/ASIC/メモリ、MEMS)に代表される新しいアプリケーション
- ウェーハ間接合
- WLP開発は高密度実装とシステム能力の向上というマーケットの要求に応じて進められている。(SiPの章を参照)

### ウェーハレベル・パッケージの困難な技術課題

ウェーハレベル・パッケージは、大きなチップで狭ピッチの端子をもつデバイスにおいても優れた信頼性を発揮することが期待されている。その構造と材料は、製品の仕様要求を満たす為に改良されてきた。この傾向はMEMSデバイスにおいて特に顕著である。

主課題は以下の通り。

- 大チップに対する実装信頼性
- ウェーハレベルでの積層パッケージのテスト方法と、複数チップでの新しい3次元アーキテクチャ
- チップ(WLP)やパッケージ(ファンアウトWLP)を貫通するビア
- 極薄製品向けの超薄シリコンチップを用いた薄型パッケージ高さ
- 小パッドへのチップアライメントに要求される寸法公差
- 小パッドへのコンタクト
- 外部端子金属材料(UBM、はんだ)の高信頼性(エレクトロマイグレーション、落下テスト)
- 多層再配線のトポロジ
- 大電流に対する厚膜金属のトポロジ
- 高周波デバイスにおける金属表面粗さ(表皮効果)の低減
- 垂直方向への配線層間クロストーク
- エンベデッドWLP製品の歩留まりとリペア方法

## 開発中のウェーハレベル・パッケージ技術の例

### 3次元インテグレーション用ウェーハレベル TSV

TSV を用いてデバイス／チップを接合することはウェーハレベル・パッケージの重要な新技術の 1 つである。この技術は、異種デバイスのインテグレーション、小型化そして製造コストの低減に加えて、信号伝送や接続密度、消費電力低減など、電気特性の観点から大きな利点がある。今日では、CMOS プロセスの前処理として TSV を形成する方法、CMOS プロセスの後処理としての先ビア加工、あるいは後ビア加工という新しいアプローチが開発されている。(Figure AP12 を参照)チップ積層構造の主な技術的な要因を表 AP14 に示す。

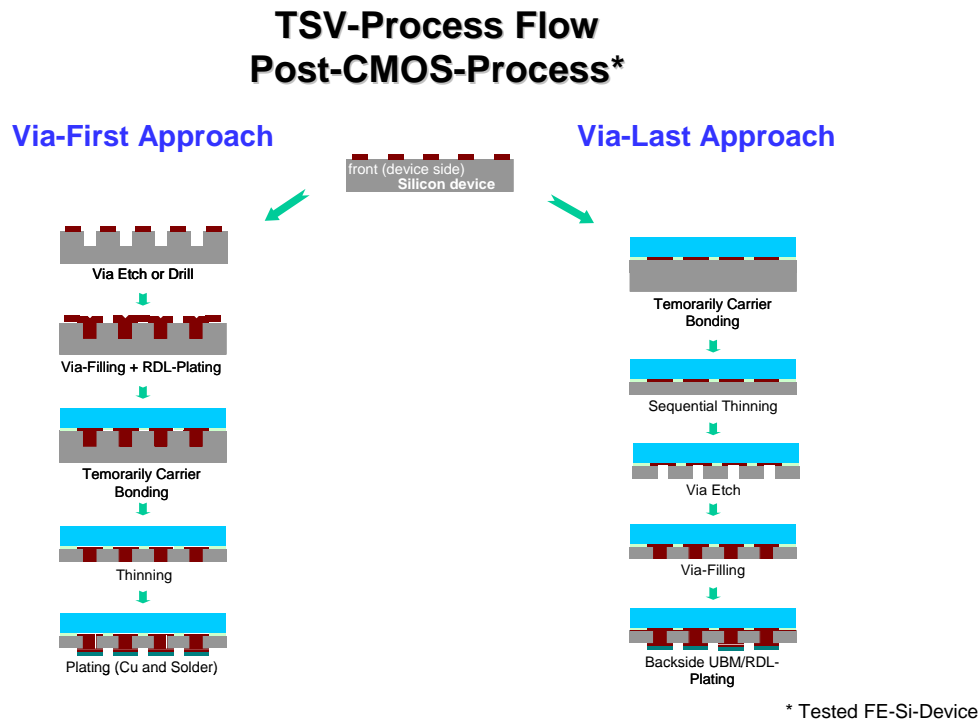


Figure AP12 Basic Process Flow Via-first versus Via Last

Table AP14 Key Technical Parameters for Stacked Architectures Using TSV

フロントエンドプロセスへの TSV 加工の適用は本ロードマップの配線の章に解説されている。ここでは、アセンブリとパッケージの側面から議論した。TSV 形成の基本プロセスは、フロントエンドプロセスとしては良く知られたビアエッチング (DRIE、レーザ)、絶縁膜形成、及びメタライゼーションなどである。積層構成に必要な追加プロセスは、ウェーハ薄化、再配線 (RDL) の形成と UBM 形成、ウェーハレベルのボンディングプロセス (チップとウェーハ間、またはウェーハとウェーハ間)、例えばマイクロバンプはんだ接続や固液相互拡散と最終封止である。現在のところ、TSV プロセスは R&D レベルであり、数社が製品レベルで生産しているに過ぎない。R&D レベルから大量生産への移行には、実行可能なビジネスモデル、設備インフラの開発と、代替技術に対峙できるコストの提示が求められる。

TSV 技術アプローチにおける主要技術課題は以下の項目が挙げられる。

- 高密度、かつ高アスペクト比のビアエッチング

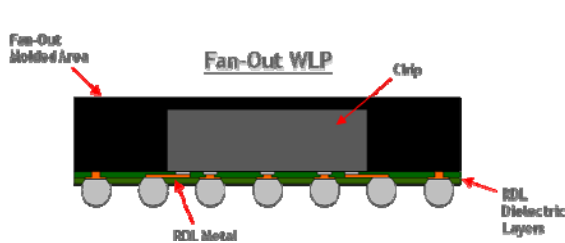
## 22 Assembly and Packaging

- パッシベーションとメタライゼーションの低温プロセス
- 高速ビア埋め込み (例; 電解銅めっき、CVD (銅、タングステン))
- 薄ウェーハや薄チップのハンドリング
- 高速、高精密なウェーハレベルの位置決め、アセンブリプロセス (チップとウェーハ、ウェーハとウェーハ)
- テスト方法
- 競争力のあるコスト

TSVを使用した最初の製品として CMOS イメージセンサが量産されている。メモリデバイスの TSV 積層技術は開発中であり、2011 年までには量産に移行する予定である。将来の TSV を用いたチップ積層製品はアナログ、プロセッサ、メモリ、センサ等の混載製品となるであろう。

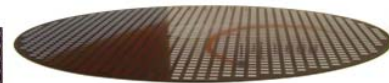
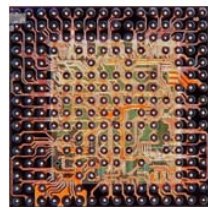
### 再構成ウェーハレベル技術を用いたファンアウト WLP

民生品分野で量産が始まった新しいパッケージ技術として、ファンアウト型 (または樹脂埋め込み型) のウェーハレベル・パッケージ技術がある。これらの技術は WLP 技術を用いて、より高密度でファンアウトの可能性を提供している。この新しいアプローチにより、チップが再構成されてエポキシ樹脂に埋め込まれ、人工的なウェーハに形成される。従来一般的な BGA で使用されているラミネート基板に代わって、薄膜の再配線層が用いられる (図 AP13 参照)。ラミネート基板は安価に高密度化できるという点では限界に達している。従って、再配線としての薄膜技術が、SiP に新しい可能性をもたらしている。インダクタやキャパシタなどの受動素子や能動素子を封入樹脂や薄膜層に集積するという可能性が、新しい SiP への設計の可能性を広げている。ボールアレイ上に銅ポストを組み込むというアプローチもある。この種の内蔵型ウェーハレベル・パッケージにおける困難な技術課題は、設計から製造までのパッケージ産業インフラの整備、そして表面実装および実装信頼性である。これらのパッケージ技術は、チップ/パッケージ構造の生産性を高めるために、チップ設計とパッケージ技術グループとの協調が必要である。それによって、パッケージコストを低減し、生産歩留まりを高めることができる。



(a)

Graphic courtesy of ASE



(b)

Graphic courtesy of Infineon

Figure AP13 Example of a Side-by-side Solution of a Fan-out WLP (a) and a Reconstituted Wafer (b)

## システムイン・パッケージ

ムーアの法則は限界に達しつつあるという予測がここ数年ささやかかれていたが、時期尚早であることは明白である。現在 CMOS の微細化は物理的限界に近づきつつあるので、価格弾力性を持った産業の成長をムーアの法則だけで継続するのは困難である。それに対して、システムレベルで部品をパッケージレベルに集積する More than Moore が必要とされている。これまでの幾何学的微細化は性能の改善、低電力化、小型化および低価格化を可能にしてきた。現在では微細化が貢献する役割はこの4つだけではない。SiP への技術的な要求は AP15 に示した。More than Moore を実現する主要なメカニズムは、SoC と SiP 技術により複合回路をインテグレーションすることから得られるであろう。民生機器がエレクトロニクス産業において主流になると、システムイン・パッケージが最も重要になる。パッケージングおよび接続技術の革新により 3次元の有効的な使い方ができるようになる。結果として、従来の CMOS 微細化の限界に達する時期には、機能の更なる集積化や機能当たりのコスト低減を継続することができる。SoC と SiP の長所と欠点の比較は表 AP18 に示した。

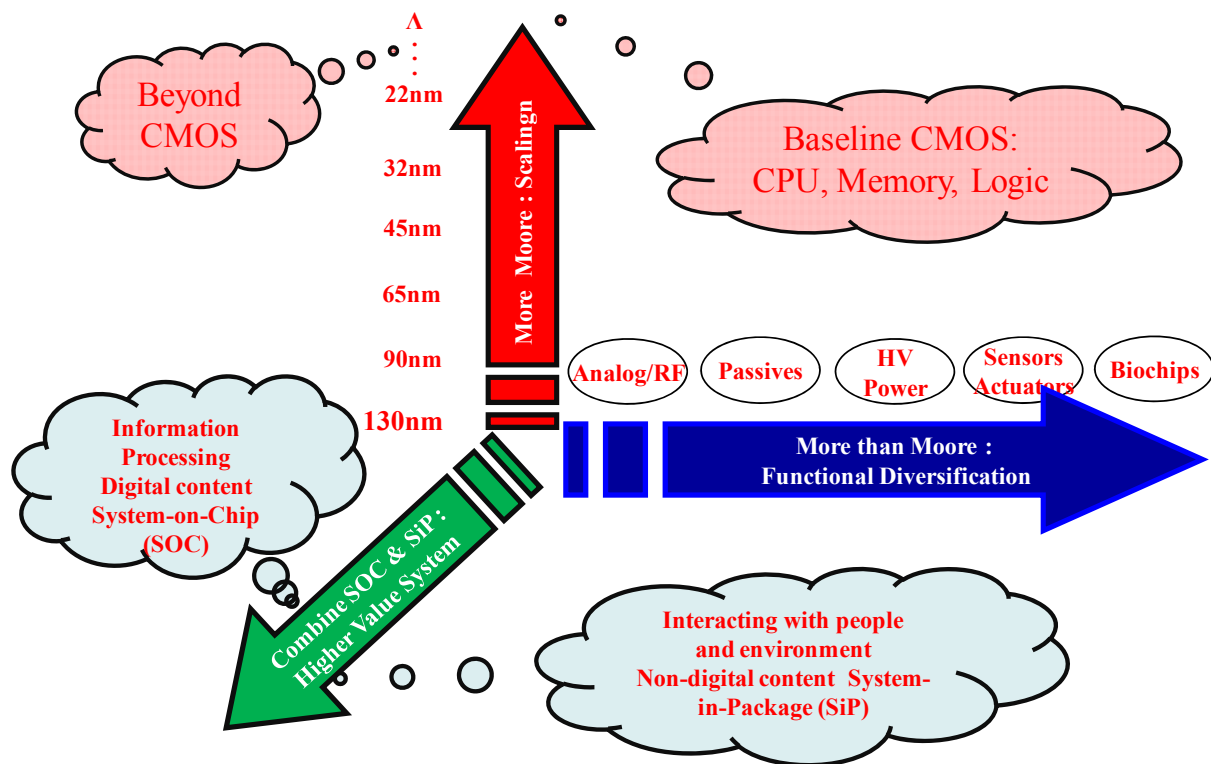


Figure AP14 Beyond CMOS Scaling

システムイン・パッケージ(SiP)技術は、エレクトロニクス市場においてニッチな用途に使われる特殊技術から、幅広く影響のある大量生産技術へと急速に進化している。これまでの主な用途は携帯電話向けのメモリ/ロジックデバイスの積層や(ミックスドシグナルデバイスと受動部品の集積に使われる)小型モジュールであった。現在、携帯電子機器の幅広いアプリケーションの要求に応じて、様々なコンセプトの3次元(3D)SiP技術が現れている。

Table AP15 System in Package Requirements

### SiP の定義

システムイン・パッケージ(SiP)は、異なる機能を持つ複数の能動電子部品の組み合わせであり、1つのユニットに組み立てられ、システムやサブシステムに関連する複数の機能を備える。SiP は受動素子、MEMS、オプト部品など他の部品やデバイスを構成要素とすることもある。

SiP パッケージの構造は多様で、水平配置、積層構造および埋め込み構造などがある。主な分類を図 AP15 に示す。

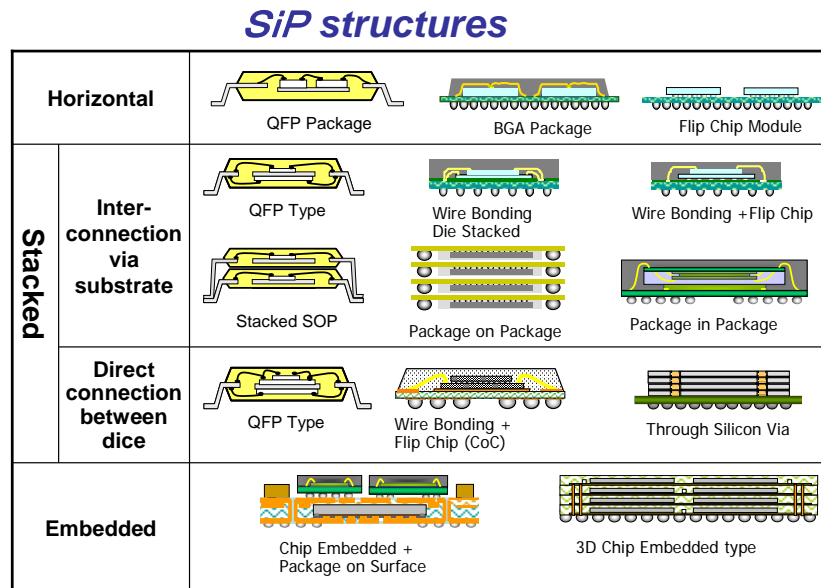


Figure AP15 Categories of SiP

### SiP の困難な課題

システムインテグレーションは、高性能、小型化、異種デバイスの集積、そして最終的にはコスト低減をパッケージレベルで実現させる。これらの目的に応じて構造は多様化している。SiP が有する性能や優位点を実現させるためには、多くの技術的な課題を解決しなければならない。SiP の困難な課題を表 AP16 に示した。

Table AP16 Difficult Challenges for SiP

カテゴリ	SiP の困難な課題
設計	<ul style="list-style-type: none"> <li>- 放熱設計</li> <li>- 異なった動作保証温度をもつチップを積層した場合の熱的絶縁手法</li> <li>- チップ/パッケージ/システム協調設計</li> <li>- 3次元設計と解析ツール</li> <li>- 情報伝達時の情報構造に関するタイプと品質管理への多様な標準類</li> <li>- システム設計と製造の複数の会社への分担が、複雑なシステムの性能や信頼性、コストの最適化を非常に困難にしている。</li> </ul>
材料	<ul style="list-style-type: none"> <li>- 応力耐性、優れた電気特性、高温耐性、低応力</li> <li>- 基板:熱膨張率、微細パターン、低応力、透水性</li> <li>- 熱時反りを最小限にとどめられる材料の開発と選択</li> </ul>
プロセス	<ul style="list-style-type: none"> <li>- ウェーハ薄化、ハンドリング、ストレスリリーフ</li> <li>- 樹脂への要求:ギャップ充填性、一括封入に耐える流動性、ワイヤ流れ最小化、パッケージ平坦性</li> <li>- DBG (Dicing-before-grinding process) への DAF (Die attach film) や薄い DAF の貼り付け方法</li> <li>- TSV チップを積層していく際のチップによる熱履歴差の低減</li> <li>- 個々の不良率が累積しないデバイス歩留まりの実現</li> <li>- ウェーハ間ボンディング</li> <li>- TSV ウェーハの分離方法</li> <li>- バンプレス接続構造</li> </ul>
テスト	<ul style="list-style-type: none"> <li>- KGD 保証</li> <li>- 個々のウェーハやチップへのテストアクセス</li> <li>- TSV の非破壊観察法</li> </ul>

### 3次元インテグレーション

3次元インテグレーションを推進する原動力は複数ある。潜在的な利点は、従来の2次元的なパッケージに比べて高性能、省電力、小型化、そして究極的なコスト低減である。3次元インテグレーションを推進する原動力を表 AP16 にまとめた。

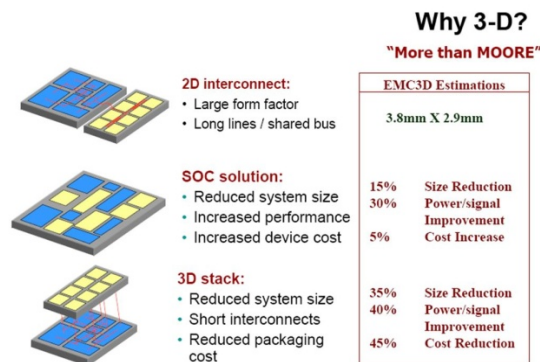


Figure AP16 Driving Forces for 3D Integration

3次元インテグレーション技術とそれに関連した課題を、前述のウェーハレベル・パッケージとシステムイン・パッケージの章に記述した。特に TSV に関連した課題は表 AP13、AP14、AP18 に TSV に関連した材料の課題事項(AP33)と共に示してある。次の章には 3次元積層に必要なウェーハ薄化プロセスについて記述している。コストや信頼性、チップ間／チップとウェーハ間／ウェーハ間のアライメント精度、そしてボンディング技術に関して多くの課題が残っている。しかし、EMC-3D やその他の産業コンソーシアムによって急速な進歩をしており、TSV 構造を有する製品の量産が既に始まっている。プロセスフローの例を図 AP17 に示した。

## Process and Equipment Flow

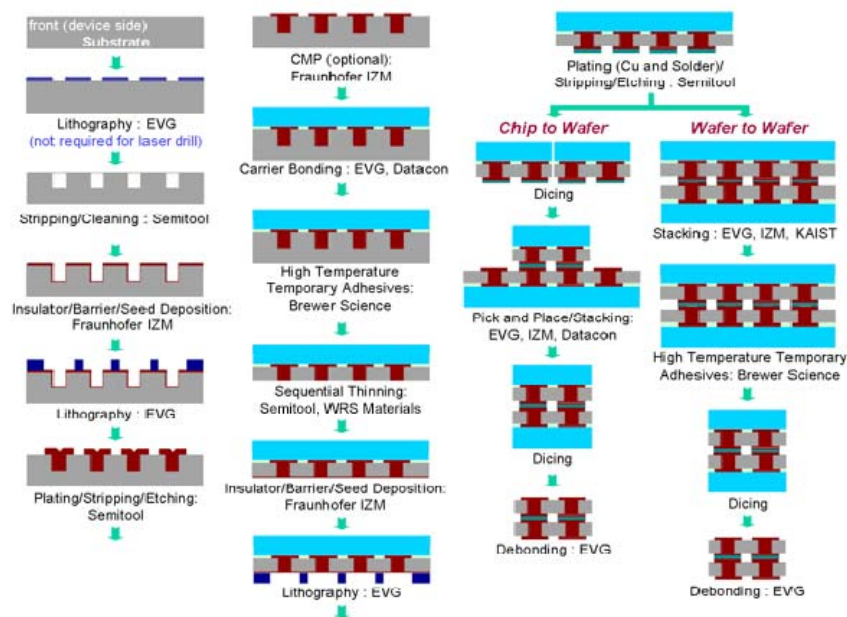


Figure AP17 Example of Process Flow and Equipment for 3D Integrations

(Source: EMC-3D)

## 3次元ICのインフラ要求

### ウェーハ／デバイス積層

実際のチップ積層やそのパッケージングには様々なオプションが提案されている。組み立て歩留まりの高さ、プロセスの単純性、低コスト要求からウェーハ間積層とチップ／ウェーハ間積層を比較した場合、標準とアライメント精度の進展によってウェーハ間接続が可能になるまでは、チップ／ウェーハ積層がまず採用される。その選択はアプリケーションと経済的根拠によって決まる。

産業界では、今 2 つの接合手法に興味が集まっている。1 つは金属間接合であり、委託加工ベースで形成された TSV 技術を用いて機械的かつ電気的な結合を同時に得るという利点がある。もう1つは酸化接合である。現在、銅と銅の熱圧着接合は非常に遅い。(4 チャンバツールで時間当たり約 8 接合以下) それに対して、酸化接合は TSV を CMOS 形成後に加工するビアラストプロセスが必要であるが、単一チャンバツールによって、時間当たり 25 接合する能力がある。アライメント精度は高く、1  $\mu\text{m}$  以内であり、さらに 2 年以内には 0.5  $\mu\text{m}$  以下の精度に改善されると期待されている。したがって、6~10  $\mu\text{m}$  の接合ピッチ



によって、約 1～300 万接合/cm<sup>2</sup> という高密度の接合が可能になる。ここ 2～3 年の間アライメント能力は制約要因にはならない。

酸化拡散接合は銅接合に比べて 3 倍速い。しかし、電氣的接合は接合後に形成されるので、追加工程が必要になり複雑になりやすい。加工速度の観点から見ると、銅の熱圧着プロセスよりも魅力がある。現時点の課題は、実現性や設備技術ではなくコストである。

## 新しい積層方法

酸化接合のスループットに見合う積層方法が必要であり、そのために金属間接合用に委託加工ベースの TSV を使用する。

3 次元集積に用いられるボンディングやダイアタッチの方法として下記がある。

- はんだのマイクロバンプ(固液相互拡散－固体)
- 銅と銅の接合
- 低温における直接酸化接合(アライメントのずれを最小限にするために)

これらの方法に加えて、直接接続(Direct bond interconnect, DBI)による共有結合技術であり、この方法の長所として、室温における W2W や D2W 接合が可能になる。DBI によれば、ニッケルを用いて銅や、タングステン、アルミの TSV と接合することができ、強力で信頼性の高い接合を得るために必要な酸化膜と金属の界面平坦性も得られる。3 次元集積で有望な技術の 1 つとして、DBI は高い生産性と低温プロセスを実現することができる。その工程図を図 AP18 に、その図に続く表 AP17 に 3 次元 TSV 接合方法のボンディングプロセスの特徴をまとめた。

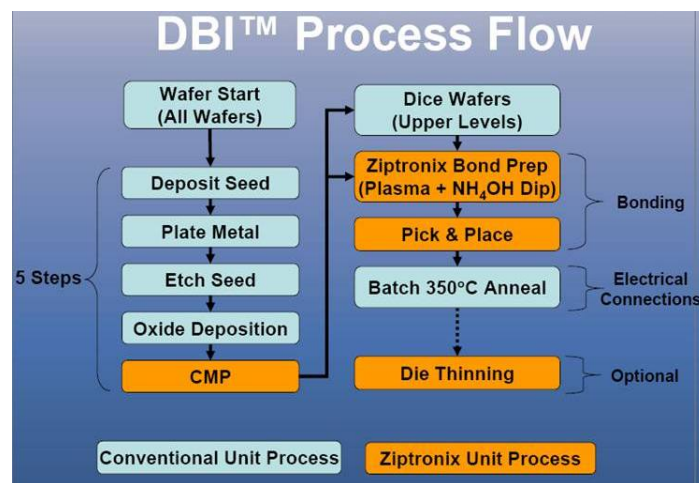


Figure AP18 Direct Bond Interconnect Process Flow<sup>1</sup>

<sup>1</sup> Source: Ziptronix

Table AP17 TSV Interconnect Methods

Stack Method	W2W	W2W	W2W D2W	W2W D2W
Interconnect	Metal – Cu to Cu Copper diffusion bonding Thermocompression	Oxide Diffusion Bonding	Direct Bonding Interconnect  Covalent bonding	Copper Pillar / Solder Cap  Flux
Orientation	Face to Face Back to Face	Face to Face? Back to Face?	Face to Face Back to Face	Face to Face Back to Face
Via Type	Via First	Via Last	Via First Via Last	Via First Via Last
Attach Type	Mechanical / Electrical	Mechanical interconnect  Electrical interconnect with via last after oxide bonding	Mechanical and Electrical interconnect	Mechanical and Electrical
Attach Temperature	400C anneal	<400C	Room Temp = 1J /m2	<300C
Force	20-100kN		No force required	
Time	7 minutes		Spontaneous attach	
Throughput	~8 bonds/hr		~25 bonds/hr in single chamber tool	
Notes	Inter-diffusion No loss of conductivity	Provide planarity of the oxide/metal interface	Surface prep Standard CMP and cleaning  A very high bond energy > 1 J/m2 can be obtained at room temperature  Temp can accelerate attach process or bond energy  Bond formed between oxide layers of die	
		Crystalline silicon  Bond fused silica, glass, and polysilicon carbide	Nickel to copper, tungsten, or aluminum TSVs	
Hermetic			Yes	

## チップ間接続

究極的には多数コア (Many core)に進化するマルチコアプロセッサによって、プロセッサの性能を向上させ、電力効率を改善することができた。その一方で、チップ間へのバンド幅はコア数が増大するのに伴って急拡大している<sup>1, 2, 3, 4</sup>。バンド幅の絶え間ない需要増大を解決するために、産業界と学究界で、チップ外接続とシステム集積化の研究開発が推進されている。

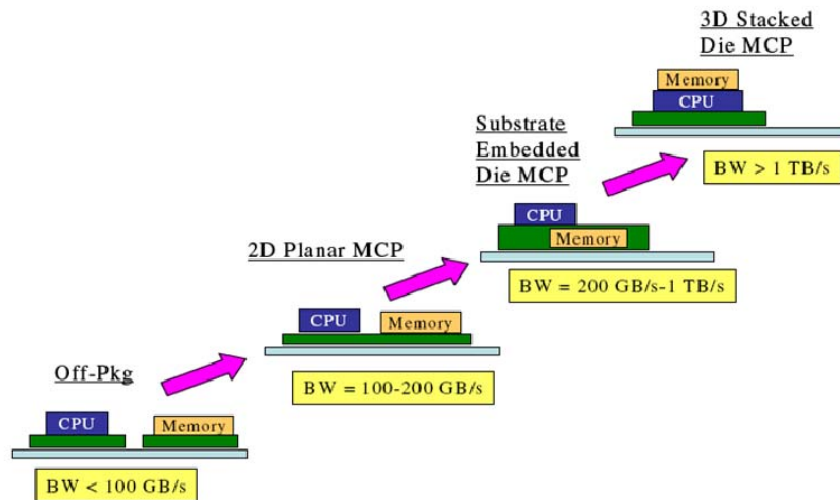


Figure AP19 Roadmap for Package Transitions addressing the Memory Bandwidth Challenge.

Source: Intel Technology Journal Vol. 11, pp.197-205, 2007

最適化すべき組み合わせ要素には、遅延や、バンド幅（バンド幅密度）、電力消費（または、ビット当たりのエネルギー消費 pJ/nit）、ビット当たりのエラーレート（BER）、チップを含む全体システムの回路網コスト（ドライバやレシーバを含む）などがある。最適化施策には、オプティカル伝送への移行や集積、TSV を用いた 3 次元集積、容量接合やインダクタンス接合などの無線信号 I/O、その他パッケージやシステムインテグレーションにおける革新も含まれている。これらのいくつかを下図に示した。これらの接続方法には利点と欠点があるが、システム上のチップ間信号伝送を飛躍的に向上することを目的にしている。

Some new methods to system interconnection

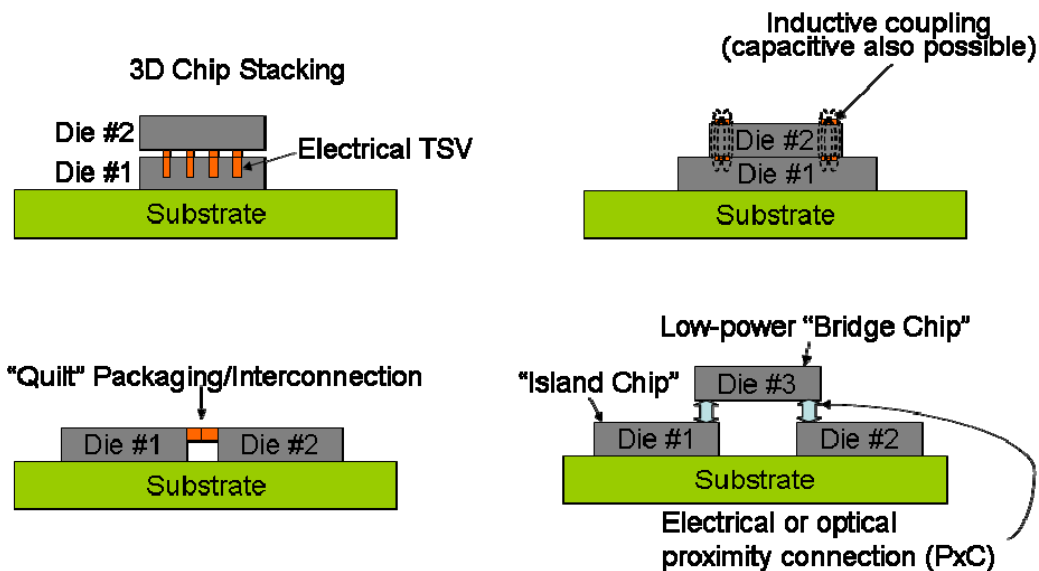


Figure AP20 Methods of System Interconnect for 3D Integration

## 30 Assembly and Packaging

3次元チップ積層の方法は多数あるが、垂直に接続するためには TSV が必要である (AP20 左上図)。3次元積層方法の中には、電気的な TSV を採用しないものもある。その代わりに、拡散工程の BEOL で形成可能なインダクタが、積層される各チップに組み込まれていて、インダクタンスカップリングによる無線信号伝送に使われている (AP20 右上図)。<sup>1, 2</sup> 容量接合も 3次元積層チップ<sup>3</sup>に可能であるが、伝送電位を最大にするためには、チップの回路面を向かい合わせにして、ギャップを非常に小さく (つまり、電極間の距離を短くする) する必要がある。インダクタンスカップリングは、シリコン基板を通して通信ができるので (例えば回路面を上向きにチップを複数搭載した状態でも可能) この制限を解決できる。しかし、インダクタ同士の通信距離が長くなるにつれ、規定の伝送電圧を得るためにはコイルの直径を大きくする必要があるし、結合ノイズを避けるためにはコイル同士の間隔を広げる必要がある。インダクタンス結合については、1 pJ/bit のエネルギー変換効率でチャンネル当たり 19.2 Gbps の通信が可能であることが実証された。<sup>5</sup> 電源はワイヤボンドまたはインダクタンス結合<sup>4</sup>によって供給可能である。

チップを並べてキルトのようにしたパッケージ技術は、チップエッジにマイクロバンプを設けて直接チップ同士を接続する (AP20 左下)。<sup>1</sup> この技術によって、パッケージ基板を介した接続を省略することができ、原理的にシームレスなチップ間接続をすることが可能である。はんだなどの方法によってマイクロバンプはボンディングされる。電源供給や、モジュール間のアライメント、熱膨張率の不整合などが技術課題となろう。

他のシステム接続の例として AP20 右下の構造がある。<sup>3, 10</sup> 近接通信技術 (PxC) によってチップはタイル状に接続され、回路面を向かい合わせにして積層接続している。回路面を向かい合わせにしたチップの接続は容量またはオプティカル接合が可能である。容量接合の場合、容量の電極は 2 つのチップのうちどちらかに形成される。一方、オプティカル接合の場合には個々のチップに鏡を設けて位置決めし、光導波路を通して垂直に接続される。容量接合 PxC の場合、電力効率が約 2.5mW/Gbps、面積バンド幅密度が 0.8 Tbps/mm<sup>2</sup> 以上、通信速度 4Gbps/channel の条件では、チップ間の遅延時間は 2.5ns という結果が得られている。<sup>11</sup> 基本的にインダクタンス接合も使うことができる。上記の段落に記したように、容量接合ではパッド間 (または光学的 PxC における鏡間) のギャップを狭くすることが重要である。

## SiP の熱設計

3次元技術によってチップ間の信号伝送を向上することができる (バンド幅向上、遅延時間低減、ビット当たりエネルギー低減)。<sup>1, 2, 3, 4</sup> しかし、それによって技術的課題も生ずる。製造技術の難しさに加えて、電源の供給方法<sup>5</sup>や積層した論理素子の冷却方法<sup>6, 7, 8, 9</sup>は単一チップの場合に比較してより複雑になる。電源供給の問題には、エレクトロ・マイグレーションに加えて、電源ノイズや、電源供給網における損失などがある。

継続的な供給電圧の低減 (将来は下降が緩やかになるが) やタイミングマージンの減少によって、高性能回路におけるノイズ許容値も下がってしまう。マイクロプロセッサの消費電流が大きくなり、回路のスイッチ動作が速くなるに従って、この問題はより深刻になる。さらに、電源供給は論理チップが積層される場合、積層したチップ全体に供給する総電流が増えるので、状況はさらに悪くなる。電源供給の課題への対策として、パワー・グランドパッド数や TSV 数などのチップ上 (例えば、チップ上のデカップリング・コンデンサなど) やチップ外の施策の適正化、そして協調設計などもある。3次元積層において電源供給ノイズを最小に抑えるために、これらの相互作用のトレードオフや分析が重要である。

3次元論理 IC にとって、冷却はもう一つの課題である。消費電力が増えるのに応じてジャンクション温度を一定に保つために、マイクロプロセッサ用のヒートシンクは、歴史的に大きくなる一方で (ヒートスプレッダや熱伝導材料 (TIM) の改良も伴っている)、それがシステムの小型化、チップのパッケージング占有率向上、そしてチップ間接続長短縮の制限になっていた。さらに、ホットスポット (500 W/cm<sup>2</sup> までのパワー密度) によって、冷却方式は非常に複雑になっており、チップの放熱性は次第に大きな課題となっている。3次元チップの冷却方式が大きな課題になりつつある。その理由は、①積層したチップ内部からチップ外へ

の放熱経路が必要であり(つまり単一チップに比べて、積層チップ内部から外部への熱抵抗が加算される)、②熱流がチップ積層(通常は積層チップの最上層)の外部まで流れた後に、さらに雰囲気へと放熱する方法が必要だからである。チップの絶縁体層の熱抵抗値が高いことが、前記①の課題をより難しくしている。熱を最上段のチップまで導いて、大気に逃がすサーマルビアの採用を提案している研究者も多い。しかし、この方法によると非現実的な多数のビアが必要になる(特に積層数が増えた場合)。多くの研究者が模索している他の解決策は、下図に示したように、マイクロチャネルやマイクロピンのフィンアレイを設けて、チップ層の中で液体冷却する方法である。<sup>3, 8, 9</sup> 高い熱伝達と、低熱抵抗、低い圧力降下を得るためには、一般的にやや背の高いマイクロチャネルヒートシンク(例えば約 250  $\mu\text{m}$ )が必要になる。その結果として、厚いシリコンウェーハが必要になり、ウェーハハンドリングや機械的な強度が制約条件となるような究極的な薄さまで研磨する 3 次元技術の目指す方向から外れてくる。<sup>3, 8</sup> その結果として、電気用 TSV の数が制約され、積層数が限定されてしまうことが最近実証されている。最終的には、電源供給を含んだ電気 TSV の設置可能数が各層間の接続性を決める。

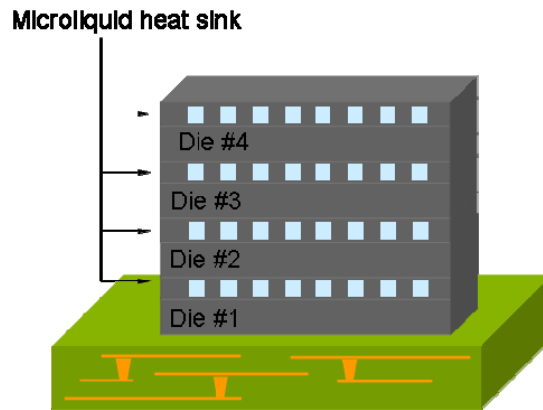


Figure AP21 Interposer based Microliquid Heat Sink for Stacked Die

## SiP におけるホットスポットの熱設計

IC からの発熱というものは、チップの数箇所から発生する非常に偏在的な熱流束である。熱設計における消費電力の増大、平均的な消費電力密度、および局所的な消費電力密度(ホットスポット)の増大が将来的な傾向である。ホットスポットの熱設計が部品全体の熱対策を決める。部品全体の消費電力が設計仕様を満たしていても、ホットスポットの熱密度増大によってデバイスの性能と信頼性の制約となる。

SiP の熱設計については、ホットスポットからのチップ内放熱設計とパッケージ内放熱設計を考慮すべきである。2 次元/3 次元集積回路において、熱源が次善の位置に配置された電力消費の高い設計では、ホットスポットのリスクを増加させる。また、3 次元集積回路において、熱伝導率の低いチップ界面材では(例えば、フリップチップパッケージにおける C4 接続部やアンダーフィルの熱抵抗、密度の低いワイヤボンディングパッケージのマウント材の熱抵抗)、それらのチップから熱を放熱することが難しく、SiP 内のホットスポットの冷却はより難しくなる。

## SiP に対する放熱設計への要求

基板上にチップを隣り合わせに搭載した SiP では、チップに別々のヒートシンクを搭載した単一チップのパッケージに比較して、総消費電力が増えるのはもちろん、チップ間の熱的相互作用を考慮する必要があ

## 32 Assembly and Packaging

る。例えば、SiP 内でチップは相互に加熱しあうので、隣のチップが発熱した場合には、たとえ低消費電力チップであっても隣から加熱される。SiP の熱設計では、パッケージ内のすべてのチップを考慮する必要がある。

パッケージ内に複数チップが収納された場合、それらの最高動作保証温度が異なる場合がある。例えば、マイクロプロセッサの最高動作保証温度は一般に 100 度であるが、メモリデバイスの最高動作保証温度は一般に 85 度である。SiP の熱設計を行う際には、すべてのチップの最高動作保証温度を考慮しなければならない。

チップを積層した構造やチップを埋め込んだ構造では、体積が小さく、放熱面積が小さいことが熱放散の大きな制約になる。3次元積層した薄いパッケージでは、パッケージ単体レベルとシステムレベルで様々な対策を検討しなければならない。発熱するチップに対しては、様々な熱流経路を十分考慮して、下図に示したようにチップの位置を決めなければならない。

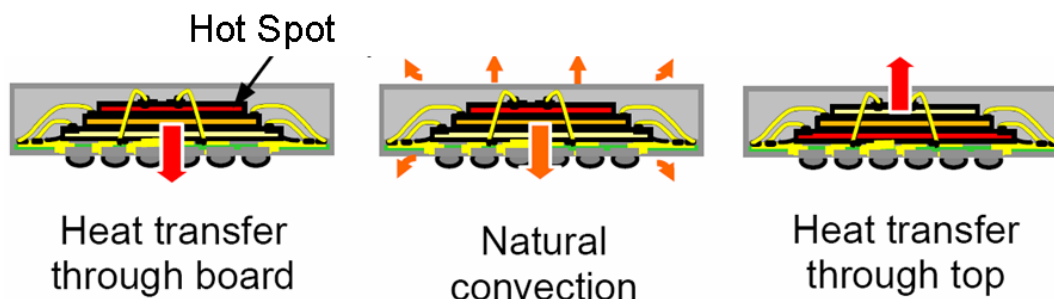


Figure AP22 Location of High Power Die versus Primary Heat flow Path

ホットスポットは通常、放熱が最も大きい面から最遠端で発生する。消費電力の高いチップは放熱が最も大きい面の近くに置かなければならない。熱流経路の改善のために更なる技術開発が必要である。パッケージトップへの熱流経路については、高い熱伝導樹脂、埋め込みヒートスプレッド、パッケージから筐体への優れた熱媒体などがある。パッケージ下面への熱流経路(すなわち基板側)については、パッケージと基板間に熱伝導率の高いアンダーフィル樹脂を用いること、パッケージと基板間にダミーのはんだボールを設けること、パッケージ基板内にヒートスプレッドを埋め込むこと、チップと基板間に熱伝導率の高いダイアタッチ材料を用いることなどの施策がある。システムレベルの施策としては、熱伝導率の高い筐体材料、通気網、発熱デバイスの近くの強制空冷などがある。

### プロセッサとメモリチップから構成される SiP の熱的課題

消費電力の大きなプロセッサと、消費電力の小さな複数のメモリを構成して、マルチチップモジュールを組立てる際に好まれる技術は、熱界面材(TIM)の薄い層をもちいてモジュールのリッドをプロセッサの直上に精度よく搭載することである。チップ高さのばらつきとメモリチップの平坦性のばらつきは不可抗力なので、ギャップパッド(導電エラストマ)によって高さバラツキを吸収させる必要がある。プロセッサの熱抵抗よりも格段に熱抵抗が大きくなるが、プロセッサの電力密度は一般にメモリの電力密度の数倍なので、結果としてすべてのチップのジャンクション温度を均一にできる。

TSV を持つチップの 3次元積層構造では、プロセッサチップは一番下に置いて基板に近くすることが好ましい。それは、IO 信号の性能と電源供給の効率化のためである。しかし、消費電力が高いプロセッサの冷却が困難となって制約される。プロセッサを一番上に搭載した場合、メモリチップを貫通する TSV の数が多くなってメモリチップに大きなストレス(例えばクラックやストレス)が生じる。

## 電源供給と電源・グラウンドの完全性

電力密度が増大し、動作電位が低くなるに従って、ハイエンドのマイクロプロセッサではノイズに強い安定した電源・グラウンドの供給が必要となる。この電源・グラウンドの完全性と製品コストの要求はチップ／パッケージ／システムの協調設計なしには満たせない。(協調設計ツールの必要性に関する次の章を参照) 45 nm と 28 nm チップへの電源電位は 1V 以下になり、ノイズマージンは小さくなる。たとえ、低い抵抗損であっても、複数のコアによって大きな電流変動が生じるので、より低い接続インダクタンスと、より多くのデカップリング・コンデンサが必要になる。コンデンサ回路には、電源供給システムのインピーダンス仕様を満たすために、薄膜誘電体層が必要である。マルチチップパッケージでは、チップとデカップリング・コンデンサの位置が重要であり、システムレベルのシミュレーションを必要とする。低コストで電源・グラウンドの完全性を確保するために高容量密度を実現する必要があり、そのためにより高い誘電率とリーク電流の低い新材料が必要になる。

マルチチップパッケージへの電源供給もまた、コアや、メモリ、バックバイアスなどの異なったタイプを対象とするので、次第に複雑になっている。テストやシステムの仕様に応じて電源のノイズマージンもまた様々である。複数の電源を管理するために、パッケージ基板を多層化する必要があり、適用可能なパッケージ技術も制限される。

## SiP 対 SoC

“More than Moore”の利点は、SoCもしくは SiP の技術によって実現される。SiP と SoC のどちらの取り組みも特定の利点があり、将来どちらも使われていくであろう。それぞれの構造に対する長所と短所を表 AP18 に示す。

Table AP18 Comparison of SoC and SiP Architecture

Market and Financial Issues		
Item	SiP	SoC
Relative NRE cost	1×	4-10×
Time to Market	3-6 months	6-24 months
Relative Unit Cost	1×	0.2-0.8×
Technical Features PROs		
SiP	SOC	
Different front end technologies; GaAs, Si, etc.	Better yields at maturity	
Different device generations	Greater miniaturization	
Re-use of common devices	Improved performance	
Reduced size vs. conventional packaging	Lower cost in volume	
Active & passive devices can be embedded	CAD systems automate interconnect design	
Individual components can be upgraded	Higher interconnect density	
Better yields for smaller chip sets	Higher reliability (not true for very large die)	
Individual chips can be redesigned cheaper	Simple logistics	
Noise & crosstalk can be isolated better		
Faster time to market		
Technical Features CONs		
SiP	SOC	
More complex assembly	Difficult to change	
More complex procurement & logistics	Single source	
Power density for stacked die may be too high	Product capabilities limited by chip technology selected	
Design Tools may not be adequate	Yields limited in very complex, large chips	
	High NRE cost	



## SiPのテスト

SiP ベースの製品は次第に複雑になり、それにつれてテストもより難しくなる。多くの変化が見られるが、その中でも例えば以下の課題がある。

- テストアクセス
- 薄く研削したウェーハやチップのコンタクト、
- テスト中の熱管理
- 電気テストに加えて、ストレスや熱的特性のテスト

### テストアクセス

KGD (Known Good Die)技術が完成すれば、テストすべき対象は組立てプロセスの検証と、パッケージにおける接続の出来栄の検証で十分である。SiP の理想の状態では、チップ外へのドライバ出力はチップ内ドライバ出力と同レベルになり、パッケージ外へのドライバ出力だけが大きな電力を必要とする。複雑な構造の SiP では、すべてのテスト端子がパッケージ端子として外部入出力されるわけではない。パッケージ内に BIST チップを搭載して、パッケージ端子として外部入出力していない端子にアクセスする。歩留まりが高い場合は、KGD チップを組立てた後のテストはせずに、SiP の実機テストのみをするほうがコスト的に安い場合がある。

### コンタクト

果てしない寸法の縮小によって、端子密度は最先端の MEMS コンタクトでも対応できないところまできている。その解決策として評価されてきたものの一つに非接触容量接続がある。この方法はデジタル信号に対しては十分であるが、電源供給やアナログ信号に対しては適切な接続ができない。RF コンタクトも検討されており、解となりうる可能性もあるがまだ実証されたわけではない。

KGD を保証するために、薄いウェーハやチップに必要なテストコンタクトはより難しいであろう。薄いチップに接触する際に、電源系の良否を確認することと、チップにダメージを与えることの相反性は、コンタクトの荷重とパッドへの潜在的ダメージの関係に起因する。

これらの課題故に、KGD を薄いウェーハで供給することは、デバイスが 10 億個以上のトランジスタから構成されるまでに進化しつつある現在難しいだろう。SiP 内に冗長回路を持った「probably good die」は、複雑な SiP 製品の品質を保証する潜在的方法として考えられる。

### 熱設計

今日、チップ内でも集積回路を構成している回路要素の発熱密度が各々異なるために、局所的に温度が高くなるホットスポットが生ずる。これはパッケージ設計上の問題であるが、その対処方法は既に解説したとおりである。しかし、多数のコアからなる次世代マイクロプロセッサが導入されるにつれ、そして局所加熱の問題に対処するためにコアホッピングの手法を導入するにつれ、より難しくなっている。IC の動作中にホットスポットは移動するので、場所を特定することができなくなり、ホットスポットの問題は大変難しくなる。保証動作温度が異なるチップから SiP が構成されていることもありうる。これらの課題はこの章に解説した。テスト時間は最小限に維持しながら、ジャンクション温度を管理できる安価なテスト手法への要求は、複雑な SiP デバイスをテストする上で大変な挑戦となる。

## 熱ストレステスト

民生品の場合には、実使用時の温度サイクル条件などに耐えうるか、信頼性を確認するためにストレス試験が課せられる。携帯電話などの民生品に行う落下試験は、実使用時に課せられる温度サイクルなどから成る複合ストレステストに置き換えられるべきである。しかも、テストコストや時間の追加なく製造フローに沿っていなければならない。このような解決策が将来見つかることを期待する。

## テストコスト

今日の SiP のほとんどは民生品に使用されているので、テストは低コストでなければならない。これらのマーケットは非常に価格に厳しく、テストに余分なコストが負荷されれば民生品マーケットでは成功しない。従来のテストコストの大部分はプログラム開発費、テスト時間、設備償却費、プローブカードコストが占める。複雑な SiP を十分テストするためには、従来テストと BIST の両方を行う必要がある。この理由は、高い部品密度によるテストアクセスの制限や、RF とデジタル通信回路の高速性、そしてシステムレベルでの特性テストのためである。

ここでは、A&P の章にふさわしいテストの課題のいくつかを紹介した。テストの詳細については、ITRS のテストの章を参照いただきたい。

## SIP FOR TERA-SCALE COMPUTING

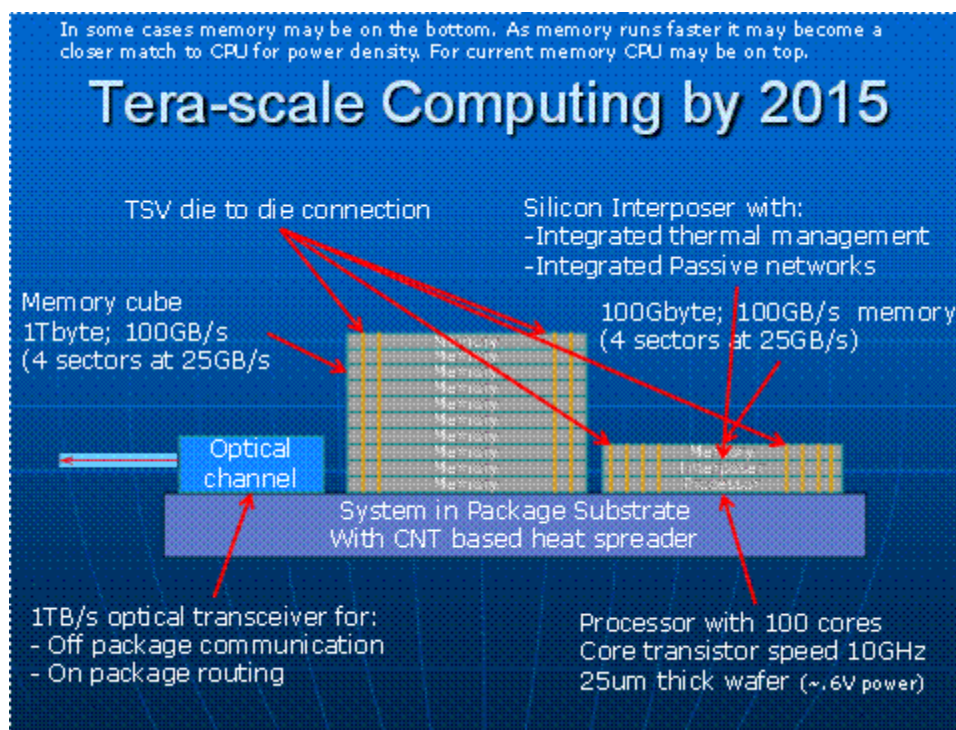


Figure AP23 The Most Current Vision for Packaging in 2015 Utilizing These Concepts

## 協調設計ツールの必要性

チップ／パッケージ／システムの協調設計手法は、複数の SoC を効率よくシステムイン・パッケージに収納するのに極めて重要である。サイクルタイムおよびコストの削減のために、またチップ積層、PoP、PiP、3次元パッケージングの最適化のためには、チップ／パッケージ／ボードの設計の協調が不可欠である。

より詳細には、ITRS のウェブサイトに掲載されている「*The next step in Assembly and Packaging: Systems Level Integration*」を参照のこと。

もしもシステムレベルの要求を認識できず、過去の知見も反映できないとしたら、期待された性能を発揮することはできない。設計上のトレードオフを理解して、システム分析を行うことは、要求コストや目標性能を満たすために重要である。予備調査が不十分で、システムレベルの相互作用を看過すれば、パッケージ設計の修正が増える。本質的なシステムレベルの要求を理解して、過去の知見を設計に反映させることが必要である。協調設計とシミュレーションを使わなければ、不必要に高価で高性能なパッケージを採用し、しかもマーケットニーズに製品が遅れることになる。

3次元パッケージングにおける技術的課題には、製造を考慮した設計 (DFM; design for manufacturability)、低コスト設計、修正回数の低減、信頼性設計、ワイヤボンドやフリップチップのルールチェック、チップの設計自由度のトレードオフなどが挙げられる。また、EDA 設計プログラムのツールやフローや、総合半導体メーカ固有のツールやフローなどとのインターフェースや整合性、そして基板メーカと組み立て基地との整合性などが重要である。協調設計の実現には、設計レビューの繰り返し、チップ/パッケージ/システム設計部門間の協調、製品開発、電気/熱/応力モデリング、解析、そして高密度基板設計チームが必要である。提案されている設計フローの一例を図 AP24 に示す。

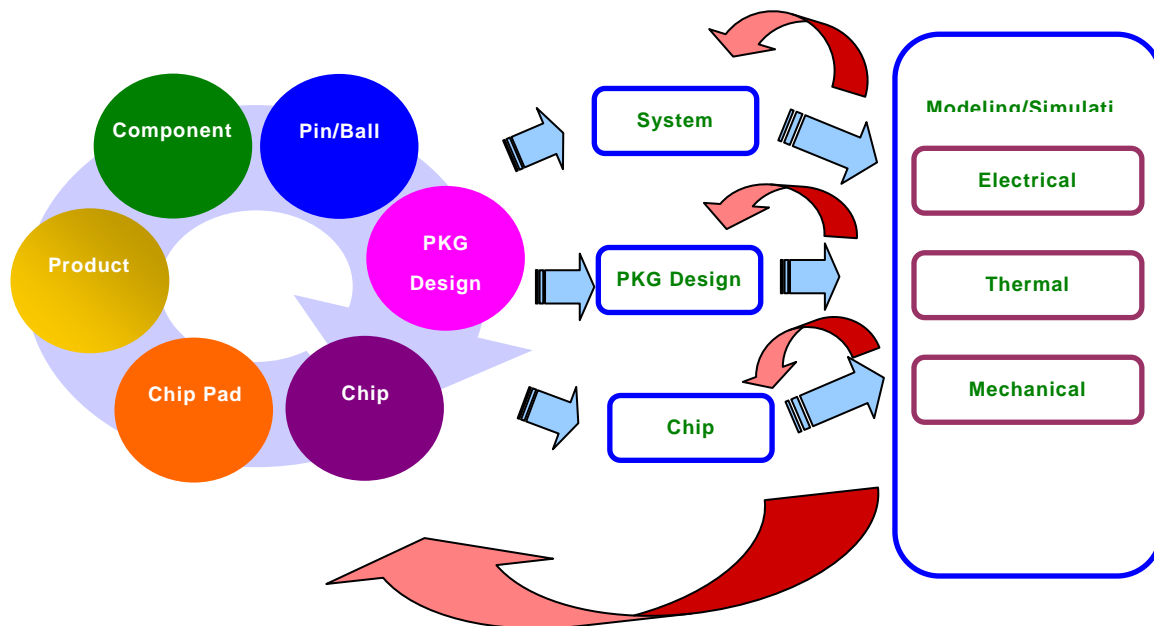


Figure AP24 Chip-Package-System Co-design flow

### 協力, コスト, および 製品化期間

チップ/パッケージ/ボード設計のエキスパートは、最適設計のために協力し合わなければならない。そのために、将来的には適切なユーザー・インターフェースが必要になる。協調設計によってコストとサイクルタイムを削減し、性能は改善できる。設計チーム内の相互協力なしには、パッケージをシステムレベルで最適化することは不可能であるし、コストのトレードオフやシステム性能への影響も不明確であり、変更が厄介になる。また、過剰な設計マージンと前提条件に従って設計を行うので、パッケージのコストは高くなる。異なる設計環境を横断できる協調設計分析ツールが無いと「What-if 分析」は困難であり、また設計のサイクルタイムも長くなる。

## SiP に対する信頼性の重要性

効果的な協調設計を行うためには、構造／熱／応力／電氣的な設計と信頼性の相互作用を理解していなければならない。既存のパッケージングでは明白な信頼性と設計のトレードオフの多くは、SiP では複雑になる。特に、電気／応力／熱設計と、信頼性設計とを別々に進めることは得策では無い。サブコンポーネントレベルの相互作用の複雑さゆえに、信頼性設計ができる普遍的なパラメータや、特定の要因などはない。一般的に、信頼性基準に合った設計をするために、サブコンポーネントレベルで相互作用、設計目標、トレードオフ、設計ルール、各種仕様、および既存の信頼性設計手法を検討することが必要である。

## システムアプローチの必要性

パッケージ設計の仕様は、様々な部門からの要求に基づいて開発の各段階で修正変更されていく。それを避けるためには、先進のシステム設計手法とツールを協調設計で利用することである。これにより定常的な修正作業や問題などを回避することができる。修正作業を低減するための一つの方法は、システムレベルの電気・熱モデリング、およびシステムレベルの信頼性と量産性の評価をサポートするような予測テストやモデリングツールを用いることである。予測する手段は二つある。ひとつは信頼性と量産性をテストするために実際に行う実験であり、もうひとつは実現可能性や熱・電氣的の解析のために行う机上検討である。これら手法には確固たる方針と責任が必要である。このような手順によって、設計段階の初期の一般的な設計の質問に答え、製品テストサンプルを用いて行う試験コストの何分の一に削減することができる。

## 協調設計ツール開発に対する必要性

SoC と SiP の設計には、チップ、パッケージ、システムの各レベルにおける必要条件と、その相互作用を分析し統合する 3 次元対応可能な熱、電気、構造モデリングツールが必要である。また、チップ／パッケージ／システム一貫設計と配線設計を行う高性能な EDA ツール(Electronic Design Automation)や、内蔵チェック機能、標準化、そしてレポート機能が必要である。例えば、DRC (Design Rule Check)や標準のネットリスト配列、接続可能性レポートなどが必要である。

カスタムオートメーションツールによって、異なった設計環境間でも設計データを素早く効率的に伝達・検証ができる。表計算ソフトは、ほとんど全ての設計環境において利用可能であり、大量のデータを容易に取り扱えるため、これらの自動ツールの共通のプラットフォームである。これらのツールには主要な用途が 3 つある。1) データを図形に変換、2) データを標準フォーマットに変換、3) 標準フォーマットのデータセットの比較。このタイプの自動化は、比較的大きいデータセットの操作時間を短縮し、マニュアル作業によるミスを防ぐことが出来るので、通常の SoC 設計では欠かせない。

チップ／パッケージ／システムの協調設計の手法やツールは開発中であり、全ての異なる設計環境を横断的に対応でき、包括的で、ユーザフレンドリで、かつ高度に統合されたツールは今のところ存在しない。しかし、現在でも自社開発ツールと適切な運用によって、チップとパッケージの協調設計が行われ、パッケージコスト低減や設計・検証のサイクルタイム低減に貢献している。

## チップ／パッケージ／システム協調設計ツール開発への一般的な要求事項

- 設計サイクルタイム、精度、および DFM (design-for-manufacturability) の改善。
- 重要なツール間のインターフェース整合、入出力データフォーマットやフロー、ルールの整合; 例えば、IDM の内部ツール、チップ設計ツール、基板メーカ、アセンブリ拠点、電氣的制約、モデリングツール間の整合性
- 修正作業の削減、チェックにおけるマニュアル作業の自動化、複雑な設計ルールの取り込み、チップ／パッケージ/PCB のトレードオフに対する最良解の提供

- 予測;より良い方法、より多くの複雑さ、共同作業、技術の組合せ。
- 検証容易性;基板、基板+チップ、製造のし易さ、電氣的、機能的、熱的、機械的な検証。IDM の自社ツールへの入力と出力容易性。
- より簡易かつ高速なフィジビリティ分析
- チップ設計チームとシステム設計チームにおける共同作業。共同作業可能なデータ形成、チップ+パッケージ+システムの検証ツール等。
- 受動素子混載のシングルパッケージにおける複数機能の相互作用と IO プラニングの理解
- 設計データ、レイヤ、パターン、ネットリストなど、非常に複雑な事象への対応
- 電気性能要求(長い配線やワイヤ、交差する配線やワイヤ)、制約要件対応の改善
- 開発期間の延長なしに、IC やパッケージ設計の微修正が可能なこと。
- コストが高くなる開発後半での修正を避けるために、なるべく初期段階での修正が必要。
- パッケージの小型化および薄型化によって一層複雑になるワイヤボンドおよびフリップチップボンドの組立て制約事項の把握
- 製造上の制約事項をより多くより容易に扱うための優れた DFM とコスト分析
- チップ・パッケージ・システム設計におけるリアルタイムのトレードオフ検証
- 内部ツールとフローにおけるインタフェースおよび整合性
- 複雑な設計のサイクルタイム短縮
- 制約事項のコスト評価
- 頻繁な設計変更に対応できる柔軟性
- 設計フローの自由度:設計の開始点がチップかシステムか顧客の選択可能性。
- チップ設計、システム設計、DFM 設計の各デザインチームのより緊密な連携
- 高速アプリケーションを含むシステムレベルの電気モデル
- 異なる設計環境を横断して複雑に機能する検証ツール
- 供給者、メンテ、開発、生産、顧客との緊密な共同作業による複雑なパッケージ協調設計のための優れた手法およびツールの実現
- より強力で使いやすいマニュアル
- 技術的に独立した再利用可能な汎用データベース

## RF, アナログ/ミックスドシグナル, DSP, EM およびデジタルの統合シミュレーション

RF (Radio Frequency)、アナログ/ミックスドシグナル、DSP (Digital Signal Processor)、EM およびデジタルを混載する SiP では、設計と製造だけでなく、シミュレーションにも課題がある。通常、機能ごとに異なったシミュレーション技術が必要である。例えば Harmonic Balance のような周波数領域のシミュレーションは、RF 回路設計に適している。また時間領域のシミュレーションは、デジタルアプリケーションのための非線形、VHDL または C ベースシステムに適している。パッケージや相互接続部の寄生成分を伴ったシステムの挙動を理解し、SiP の内蔵受動素子や集積受動素子のシミュレーションやモデリングを考慮する必要がある。内蔵受動素子は従来の表面実装型のチップ部品の代替として用いられている。

## 特殊用途用パッケージ

### オプトエレクトロニクスパッケージ

オプトエレクトロニクスパッケージは、オプティカル部品が電子システムに中で広まっていくに連れて、技術的な要求は限りなく広まりつつある。この章では、長距離のデータ通信や、テクノロジーノードごとに境界をシリコンの近くへと縮めている短距離光通信、照明アプリケーションなどの用途に言及する。オプティカルパッケージとそのアプリケーションの例を表 AP19 に示した。

Table AP19 Some Common Optoelectronic Packages and Their Applications

データ通信

通信距離が 10 km 以上で、通常 1 Gbps 以上のデータレートが要求される遠隔通信用途へのパッケージ方法は確立されており、厳しい要求レベルの Telcordia 規格か、一般的な CATV 規格に従っている。パッケージの主課題は、コスト低減、40 Gbps 以上のデータレートの実現、そして高密度波長多重方式技術の準備と積み重ねである。

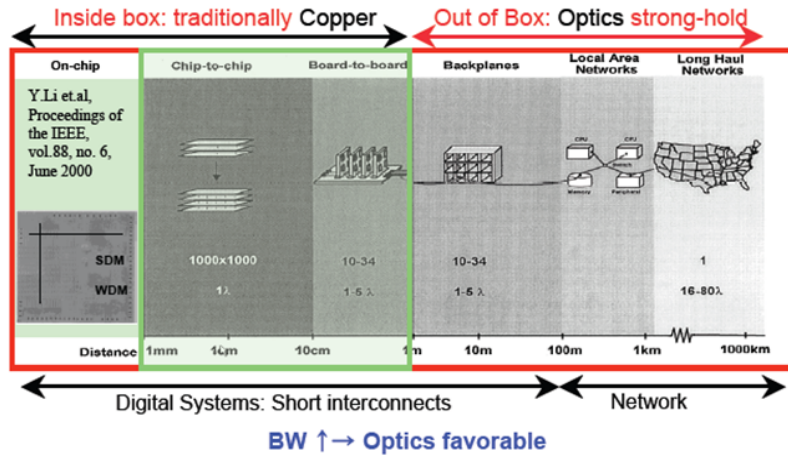


Figure AP25 Optical Interconnect Approaches the Chip

上図はデータ通信における光技術の役割と、現時点における光データ通信と従来の電気データ通信（銅線通信）境界線を表している。

過去 30 年以上、長距離アプリケーション (>10km) では光データ通信が次第に銅線を置き換えて、さらに短距離のアプリケーションにおいても銅線を代替している。表 AP20 の長距離通信に、長距離通信に必要な技術を言及した。現在は 1 Gbps ~10Gbps のデータレートの範囲では 1 ~ 100m の距離に光通信と電気通信の境界があり、下記に述べるアクティブ・オプティカル・ケーブル(AOC)によって光通信が実現している。短距離通信のデータ通信に使われる技術については、表 AP21 のデータ通信受信機に示した。

Table AP20 Telecommunications: Long Haul (100's of Km) to Metro (>1Km)

Table AP21 Datacom Receivers: Short range LAN, FTTH, Active Optical Cable (AOC), Backplane, On-circuit Board and On-to and Off-of chip Data Transfer Applications

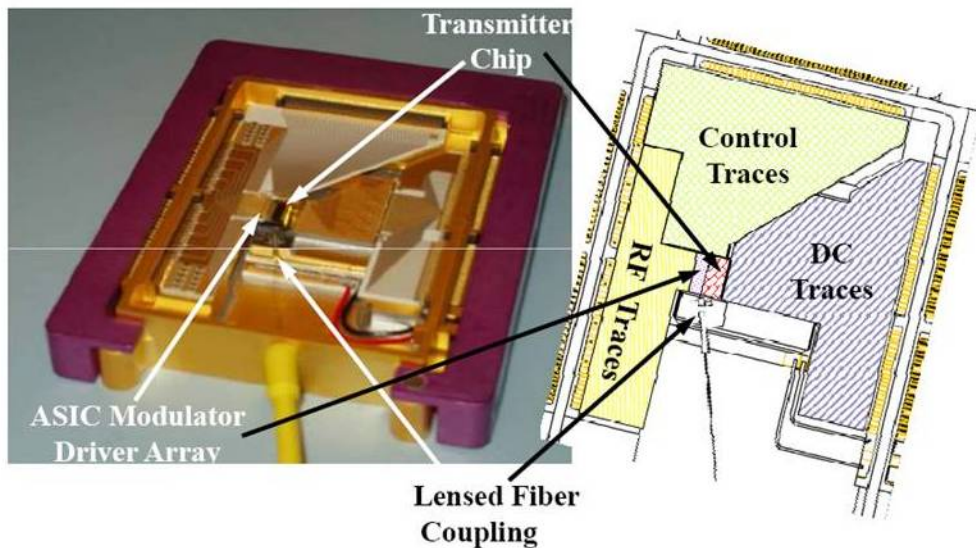


Figure AP26 100Gb/s DWDM Telecommunications Transmitter Module.<sup>2</sup>

標準に基づいて、きちんと整備されたローカルエリアネットワーク(LAN)は一般的に 100~10km の距離で使用されているが、この分野におけるパッケージの課題は低コスト化である。多重化されている方式もあり、プラスチック製光学ファイバが増えている。これらの方法では、サブミクロンレベルのアライメントが不要なので、組み立てと現場設置費用を最小限に抑えられる。



Figure AP27 An Active Optical Cable<sup>3</sup>

1~300m の距離に対応した AOC (Active Optical Cable) は実現されたばかりなので、これらのパッケージ方法は確立していない。2007 年から各種のパッケージ方法を採用するメーカーが多数現れている。大多数の AOC では多重モードが使用されているので、パッケージに求められているのは高精度化よりも、生産増に対応可能で、自動化して組み立てを簡易化し、部品点数を低減することである。AOC の両側には標準電気コネクタと、それに接続された送受信機がある。光学ファイバへの接続は恒久的なので、最終顧客がオプティカルか否かを意識することはない。

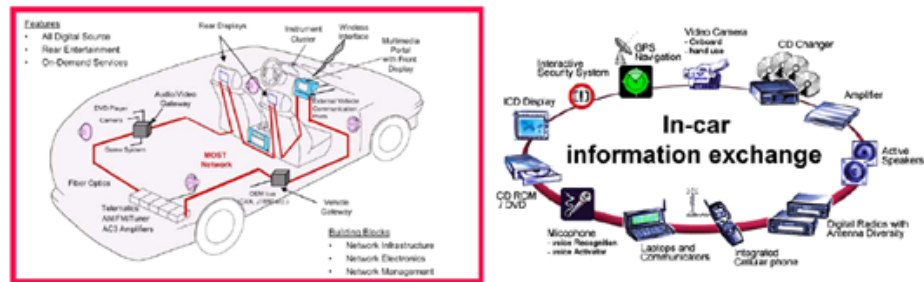
100m 以下のプラスチック光学ファイバは大部分の車両、そして空輸と軍事などの輸送機関で重要になっている。このパッケージ技術は、AOC とともに \$1/Gbps を達成するという目標に向かって急速なコスト低減が進行している。

<sup>2</sup> Source: Infinera

<sup>3</sup> Source: Luxtera

## MOST® - Automotive Networking

### Fiber Optic Infotainment LAN for 50MBd/25Mb MOST®

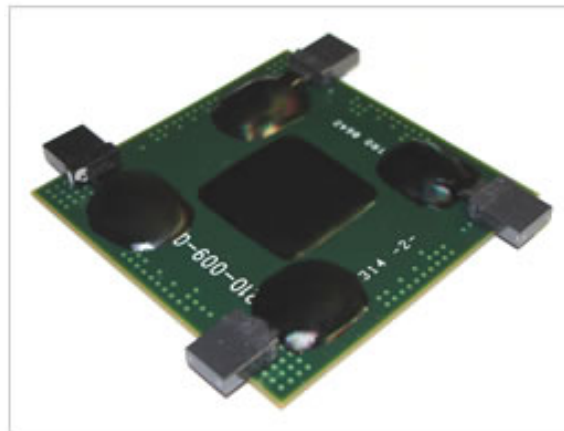


- ⇒ MOST initiative lead by Daimler-Chrysler, BMW, Audi, Harman Becker and Oasis/SS (SMSC)
- ⇒ MOST Consortium started in 1997
- ⇒ Peer-to-peer synchronous multimedia network using Plastic Optical Fiber
- ⇒ In production vehicles since end 2001

*Figure AP28 The Use of Plastic Optical Fiber in Automotive Applications<sup>4</sup>*

距離が 1m 以下のオプティカルパッケージは、多くの研究機関の恒久的な R&D テーマとなっている。この分野におけるニーズはデータレートの増加と消費電力の減少であり、理想的にはコストは現状維持が望ましい。主な論点は、

1. 電気通信の限界（一般的に、信号調整と信号検出、SERDES 等の施策によって、1m 以内では 18Gbps まで電気信号で通信可能）
2. バックプレーンで光学通信を行う方法
3. チップ上とチップ外で光データ通信を行う方法
4. 多様な技術で製造された TSV の役割とチップ積層の選択

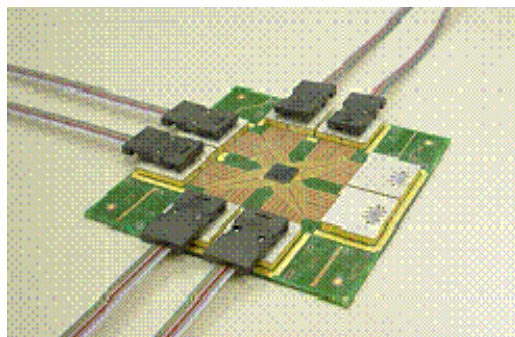


*Figure AP29 Implementing Gb/s Data Rates On-To and Off-Of Chip using Optically Connectorized Packaging<sup>5</sup>*

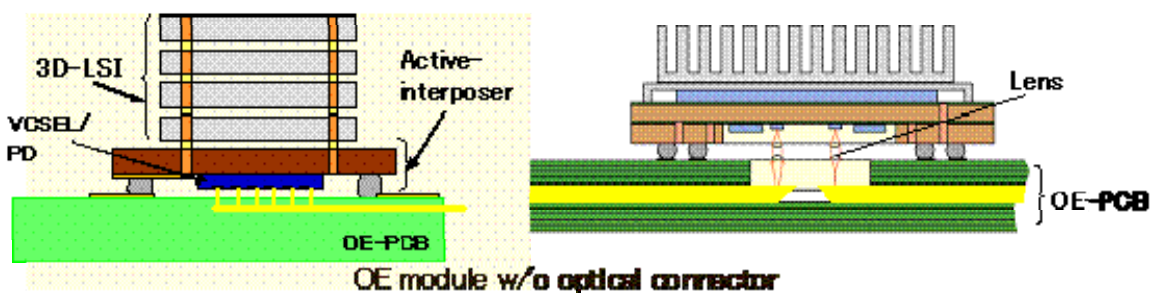
<sup>4</sup> Avago Technologies

<sup>5</sup> Reflex Photonics





**OE module (fibre pigtailed/optical connector)**



*Figure AP30 Methods to Implement an Optical Wiring Board<sup>6</sup>*

究極のデータ通信パッケージの課題は、高いデータレートが可能なチップ内オプティカル通信である。消費電力の低減を主目的として、マルチコアプロセッサとメモリ間を接続する。光学通信の役割についてはコンセンサスに至っていない。繰り返し評価されているパッケージについてのみならず、システムアーキテクチャや物理的構造についても同様である。

TSV が広く使われれば、光通信は必要なくなる、もしくはコスト的に見劣りするようになるという見解もある。一方、TSV によって積層チップの光学層が可能になって、チップ上や、チップ外の光学データ通信が実現し、チップのグローバル銅配線を置き換えられる可能性もある。

<sup>6</sup> Based on the work of Mr. Takahara of NTT Advanced Technology, Presented at IEC/TC86/TC91/JWG9 at Locarno, Switzerland on 2009-04-22

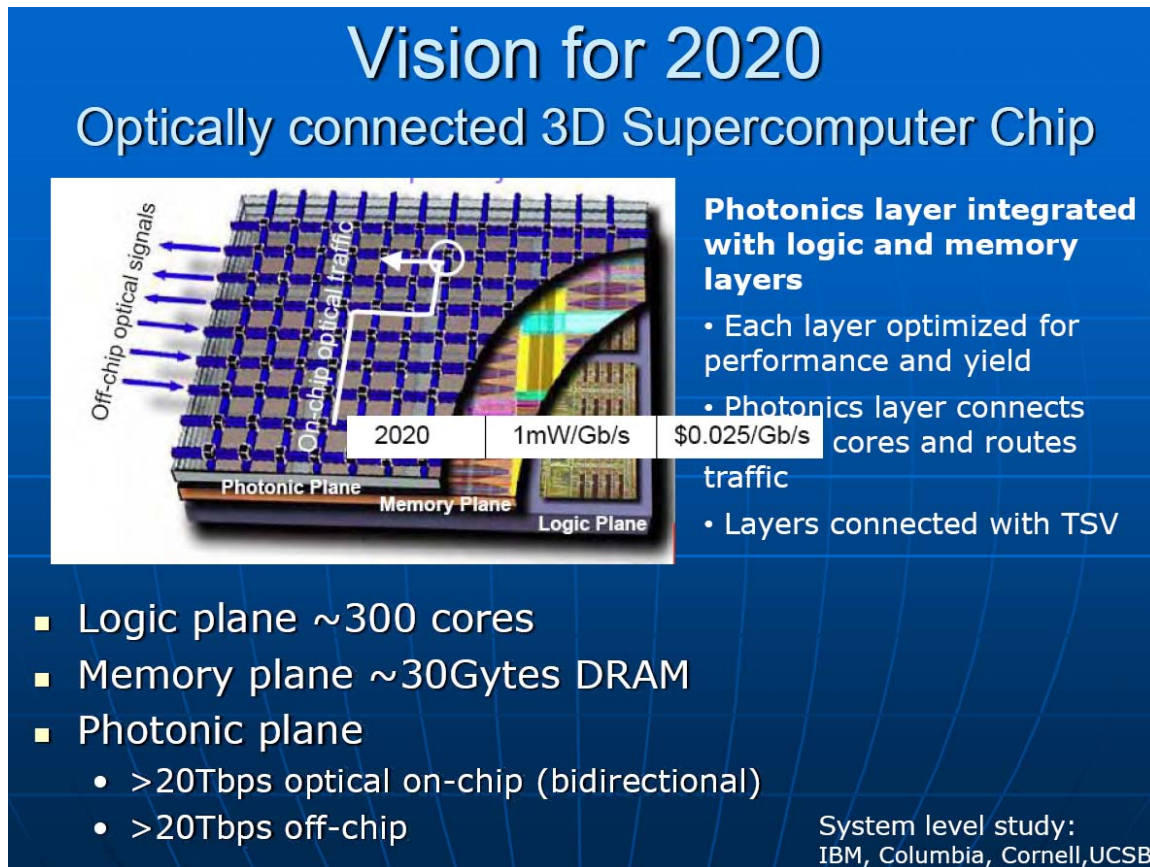


Figure AP31 A Vision Meeting 2020 Projected Needs with On-Chip Optical Data using TSVs and Specialized Chip Layers

上記したデータ通信には一般的に 3 種類の光学送受信機が必要である。

- 1km 以上の距離に亘る通信送受信機、それらは全てシングルモードで一般的に 1Gbps 以上のデータレートである。何百 km もの距離に亘って減衰率を低く維持する必要があり、それはシングルモード技術でのみ可能である。長期間、予測不可能な環境で高い精度を維持する必要があるのでこの技術は高コストであるが、他に代替できる技術はない。
- 1m から 1km の距離に亘る LAN やデータ通信の送受信機。それらは、シングルモードとマルチモードが共存し、短距離ではマルチモードが多く使われている。このタイプはプラスチックファイバとガラスファイバ技術にさらに分類される。この分野では技術革新が激しい。マルチモードの減衰率はシングルモードよりも大きい、部品コスト、組み立て精度、現場設置費用、維持費がシングルモード技術よりも低コストなので有利である。
- 1m 未満の送受信機は確立しておらず必要性について議論が続いている。

オプティカルパッケージには多くの困難な課題が残っており、オプティカル通信がシリコンレベルに近づいてくるに従って、それらはより重要な課題になる。それらの困難な課題は表 AP22 に示し、技術的な要求は表 AP23 に示した。潜在的な解決策は表 AP24 に、TWG 間で議論すべきことは表 AP25 に示した。

Table AP22 Difficult Challenges for Optical Packaging

<i>Distance</i>	<i>Difficult Challenges</i>
Telecommunications, generally >1km	Cost reduction, achieving >40Gb/s data rates in a small form factor, provisioning DWDM
AOC 1 to 300 meters	Cost reduction, reducing part count and assembly cost, reducing power required, developing more automated methods to reduce cost further as volume grows, developing standards
POF, <100 meters	Reducing optical loss in the fiber, developing a multimode optical amplifier, minimizing the number of standards,
Backplane, on-board, on-to and off-of chip, 1 cm to 1 m	Developing cost effective modulators and/or modulated light sources, defining an overall physical structure that cost effectively integrates optical and electrical methods
On-chip	Reducing power to < 0.1pj/bit, developing single mode technology that will tolerate temperature variation, developing multiwavelength light sources,

Table AP23 Technology Requirements for Optical Packaging

<i>Distance</i>	<i>Technology Requirements</i>
Telecommunications, generally >1km	40 year life in a variety of environments, low attenuation, data rates per wavelength of 40Gb/s and potentially higher, multiplexing of 120+ wavelengths, multiple bits per cycle of bandwidth
LANs, generally 10m to 1 km	Low cost, minimal installation and maintenance costs, data rates of 1Gb/s and growing
AOC, 1 to 300 meters	Low cost vs. electrical alternatives, compatibility with electrical cabling they replace, data rates of 40Gb/s per link and higher
POF, <100 meters	Tolerance of automotive environments, rugged, easily made field termination methods, reduced attenuation for longer distances
Backplane, on-board, on-to and off-of chip, 1 cm to 1 m	Bandwidth greater than 10Gb/s per wavelength, efficient, low cost modulated source,
On-chip	Power consumption of less than 0.1 pJ/bit, transmission of Tb/s of data with multiple single mode wavelengths, waveguide technology compatible with CMOS chip technology

Table AP24 Potential Solutions for Optical Packaging

<i>Distance</i>	<i>Potential Solutions</i>
Telecommunications, generally >1km	Non-hermetic packaging, growing volume and standardization enabling increased automation
LANs, generally 10m to 1 km	Non-hermetic packaging, growing volume and standardization enabling increased automation
AOC, 1 to 300 meters	growing volume and standardization enabling increased automation
POF, <100 meters	Improved materials, non-hermetic packaging, growing volume and standardization enabling increased automation
Backplane, on-board, on-to and off-of chip, 1 cm to 1 m	Waveguides built into backplanes and circuit boards, acceptance and standardization of improved materials, low cost modulated sources, addition of the functions to drive sources, like VCSELs, and detectors, like API, into silicon die
On-chip	A small (< 10,000 <sup>2</sup> microns) modulator compatible with CMOS for use with off die light sources, stacking of a photonic technology enabling chip with conventional CMOS chips utilizing TSV

Table AP25 Cross TWG Issues for Optoelectronics

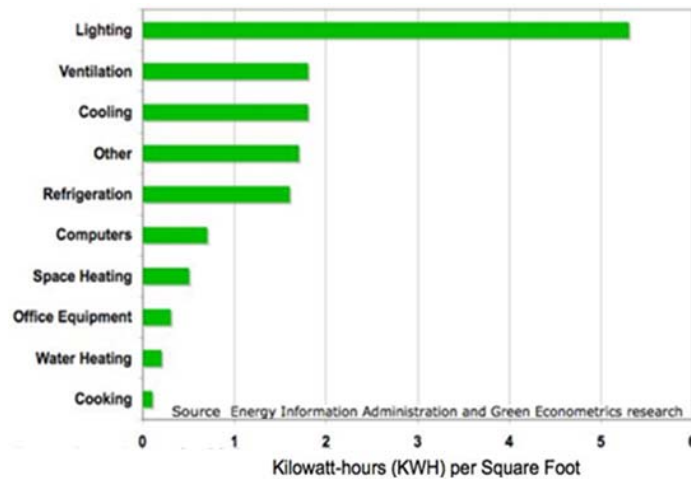
<i>Distance</i>	<i>Cross TWG Issues</i>
Telecommunications, generally >1km	None known
LANs, generally 10m to 1 km	Non-hermetic packaging materials are of interest for all semiconductor packaging
AOC, 1 to 300 meters	None known
POF, <100 meters	None known
Backplane, on-board, on-to and off-of chip, 1 cm to 1 m	Lifetime of VCSELs, cell designs and tools to add VCSEL drivers and photodetector support electronics to chips
On-chip	Comparison of optical methods with electrical methods by chip designers, evaluation of the impact and role of TSV on the potential role of optical methods

### 固体照明用の高輝度 LED

米国エネルギー省によると、照明は主要なエネルギー消費分野の一つである。図 AP32 に示す衛星写真から、夜の地球の照明の分布がわかる。この写真は陸地の非常に広いエリアをカバーしているが、屋外の照明しか表示できていない。この写真に表示されていない屋内や地下の照明がこれ以上に存在する。図 AP33 に商用ビルにおける電力消費先の比較を示した。照明が屋内において最大の電力消費先であることは明白で、照明によるエネルギー消費量は予想よりもはるかに大きい。それゆえに、照明効率の改善によって、エネルギー消費を大きく抑えることができる。



Figure AP32 A Satellite Picture Showing Where on Earth Lighting Uses the Most Electricity



*Figure AP33 Lighting Consumes the Largest Amount of Electric Energy in Commercial Buildings—  
Three Times the Energy Consumption of Air Conditioning*

従来の照明源には、白熱灯、ハロゲンランプ、蛍光灯などがある。前者の 2 つは比較的低い発光効率なのに対して(ワット当たりのルーメンスの観点から)蛍光灯は比較的高い発光効率を持っている。(90 ルーメンス/ワット、図 AP34 参照)しかし、水銀蒸気を用いているので環境の面で問題がある。新しい照明源として広まりつつあるのは LED であり、それは半導体デバイスの一つである。それゆえに、LED 光源は固体照明 (SSL) と呼ばれている。照明原理は 20 世紀初頭に発見されたものの、LED は 1960 年代まで実用的なデバイスとして産業に生かされなかった。最初の 30 年間は、低い発光効率と色の欠如のために、LED は主に表示灯や装飾に使われていた。1990 年代には、LED の効率は顕著に改善され、その上、青色 LED が発明されて白色光源に必要なスペクトラムがそろったので、LED は汎用照明としての条件を満たしたものになった。

現在、100 lumens/watt の LED が市販で入手可能である。研究室レベルではより高い発光効率 (>150 ルーメンス) に達している。LED の発光効率の予想される上限は 350 lumens/watt である。省エネルギーを目指した発光効率の改善に加えて、LED は長い動作寿命をもち、有害物質を含有していないという利点がある。それによって、修理や交換費用、廃棄物処理コストが削減できる。これらの利点に基づいて、SSL が将来成長することが期待されている。

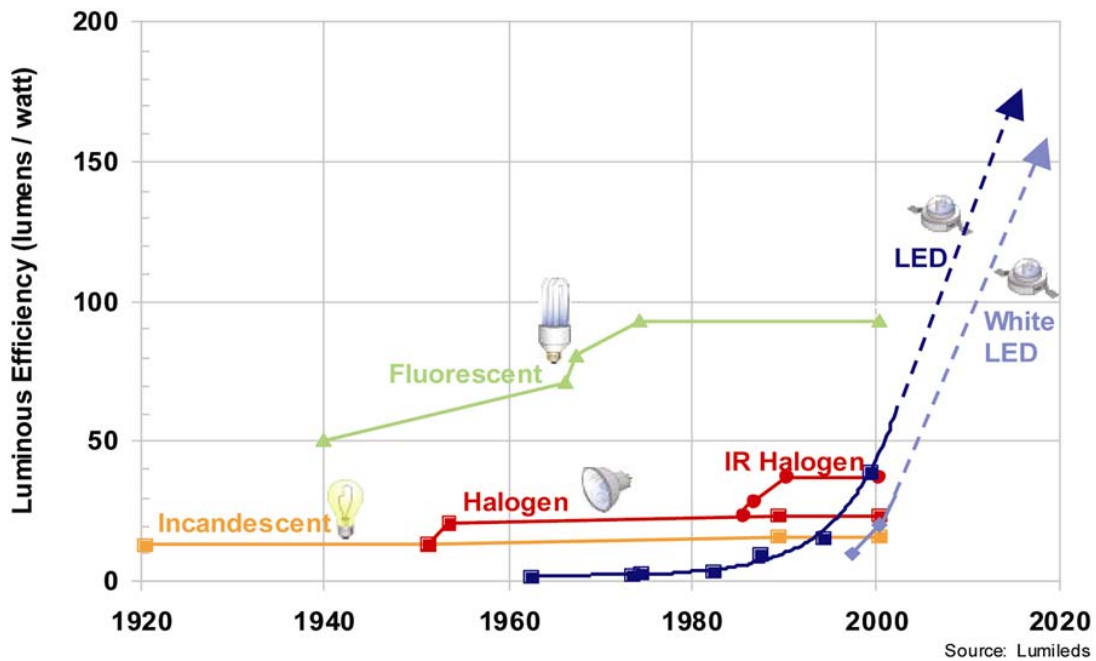


Figure AP34 Comparison of Luminous Efficiency among Various Light Sources

市販の LED には図 AP35 に示したように様々なタイプがある。LED を分類する一つの方法は、パワーによって分類することである。典型的な分類は低消費電力 LED (<0.1W)、中小費電力 LED (0.1~0.5W)、そして高消費電力(または高輝度)LED (>0.5W) である。通常、1W 以上の高輝度 LED を汎用照明に用いている。

もう一つの分類はパッケージ構造で分けることである。図 AP36 に示す直径 5mm のタイプは挿入用のリードフレームを用いた従来型パッケージである。このタイプは一般的に非常に高い熱抵抗を持っており、それゆえに低消費電力 LED のみに適している。表面実装タイプのパッケージは図 AP37 に示したように、主に高輝度 LED に用いられており、その構造はパワー半導体デバイスに似ている。とはいえ、パワー半導体デバイスとの大きな違いは 2 つある。LED は光を放出するデバイスである。それゆえに、光の放射構造について考慮されていなければならない。さらに、一般的な LED のチップ寸法は 1x1 mm またはそれ以下なので、比較的高い熱密度を持っている。LED の光学的な性能と長期信頼性は、ジャンクション温度に大きく影響されるので、LED の熱設計は重要な要素となっている。



Figure AP35 Various Forms of LEDs

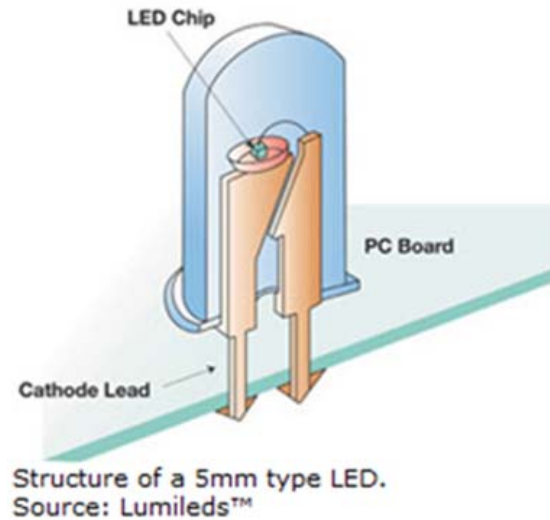


Figure AP36 5 mm Type of Package for Low-Power LEDs

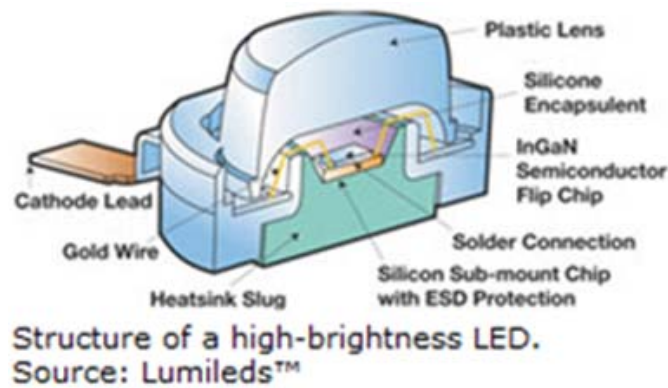


Figure AP37 SMT Type of Package for High-Brightness LEDs

色調は LED の光学性能におけるもう一つの重要なファクタである。SSL 用には一般的に白色照明が要求される。LED を用いて白色照明を行うためには基本的に 3 つの方法がある。(1)赤色、緑色、青色の 3 つの LED を混ぜる、(2)UV 発光 LED によって RGB 混色励起蛍光体を励起させる。(3)青色 LED を用いて、黄色蛍光体を励起させる。(図 AP38 参照) 最後の方法は一般の照明に最も普及している方法である。蛍光体材料の効率と、パッケージ密度や蛍光体コート厚さの均一性は、LED の光放射に非常に重要な要因となっている。もう一つの光放射の重要な要素は LED の封入材料である。現在最も高輝度な LED は光学グレードのシリコンを封入材料に採用している。

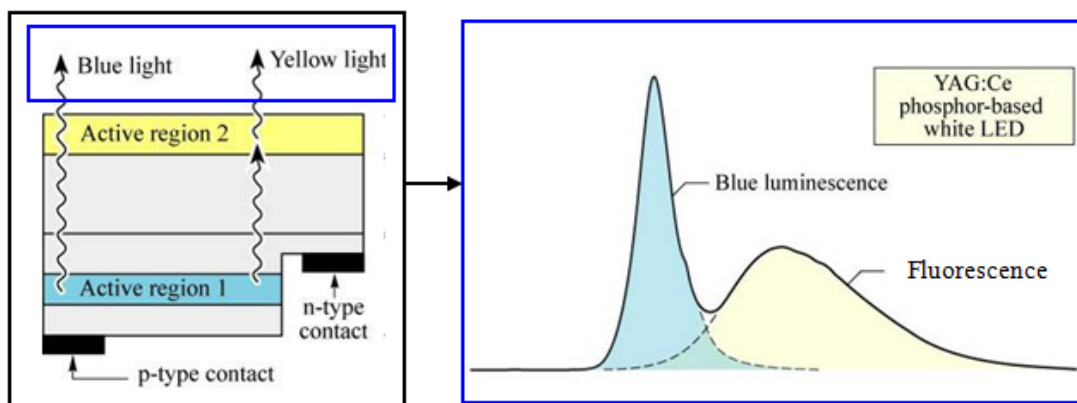


Figure AP38 Generation of White Light Illumination with Blue LED and Yellow Phosphor

放熱はパッケージの最も重要な性能の一つであり、LEDの大半の用途に必要なものである。その理由は、ジャンクション温度がLEDの動作寿命と光学的な性能に影響を及ぼすからである。LEDの主要な熱経路は熱伝導である。それゆえに、基板設計と熱界面材料(TIM)がLED性能の成否を決める重要な役割をしている。

LEDは他の光源に比較して有利な点が多いので、高輝度LEDがSSLに実用化されつつある。表AP26に高輝度LEDの主なパラメータを示す。LEDの利点には、省エネルギー、長寿命、無害物質、反応時間の速さなどがあり、LEDの発光効率は既存の光源の値を超えている。しかしながら、LEDをSSLに適用するためには、以下のような課題がある。

- 高い初期費用。LEDの1ルーメン当たりのコストは、蛍光管に比較して大幅に高い。低コストな量産プロセスとパッケージ設計が必要である。
- 初期費用の高さを補完するためには、更なる発光効率の改善が必要である。半導体薄膜に加えて、パッケージ構造やパッケージ材料が重要である。低コストで生産性の高い基板薄化技術が要求される。また、より効率の高い蛍光体や、より良いシリコン封止剤の開発が必要である。
- 熱設計は高輝度LEDに重要であり、より効率の高いTIMの開発が望まれる。
- SSL製品の不具合は、LEDの故障に起因するものは少なく、LEDは比較的長寿命である。SSLシステムの脆弱部はLEDを駆動する定電流デバイスにある。それゆえに、高性能SSLシステムにはLEDの寿命に相応した信頼性の高い駆動素子が必要である。

Table AP26 High Brightness LEDs

## RFとミリ波のパッケージング

携帯電話は、5GHz以下のRFパッケージ開発の原動力であった。今日、携帯電話は、GSM、GPRS、EDGE、UMTSなどの規格、あるいは新しいHSDPA (High Speed Downlink Package Access)規格のためにより多くの周波数帯を使用している。加えて携帯電話には、RFと関連したGPS、WLAN、WiFiあるいはBluetoothのように多くの機能が追加されている。一般的に携帯電話のRF部は、RFフロントエンド、トランシーバおよびパワーアンプ(及びパワーマネージメント)チップから構成されている。それらにはSAWとBAWのフィルタあるいはRF MEMSのような受動素子が含まれており、概してシステムインテグレーションに向かっている。今日、既に、GSM、GPRS、EDGEおよびHSDPAが組み込まれたRF部向けのSoCソリューションが存在する。

今日、I/O数の少ないトランシーバ(多くの場合単一バンドのトランシーバ)には、比較的安価なVQFNタイプのパッケージが使用されている。マルチバンド用途に対してもフロントエンドのチップ設計の改善に



より、I/O 数の低減が可能になって、VQFN タイプのパッケージが用いられるようになった。LFBGA タイプのパッケージは、マルチバンドを含む、より複雑なトランシーバに一般的に使用されている。また、トランシーバは SAW フィルタやベースバンドなども混載した SiP として高度にインテグレーションされている。最近の携帯電話では、WLP 製品を搭載したトランシーバもある。このパッケージは、低価格・小型化および RF 性能という長所があるが、集積密度は高くない。

パワーアンプは、例えばフロントエンドのアンテナスイッチを備えたパワーアンプとして、多くがモジュール化されている。

RF 部には、ワイヤボンディングが主に用いられているが、この技術は 5GHz まで有効である。フリップチップはより高度な SiP に用いられている。トランシーバにおいては、受動部品の集積化が進んでおり、Si 基板への集積化は興味ある施策である。

RF 部品は絶え間ない複雑化が課題となっており、今後新しいパッケージへの取組みが必要になるだろう。適切な再配線によって配線を単純化できる薄膜技術は有望な解だろう。薄膜技術とウェーハ再構成技術を利用した埋め込み WLCSP は、将来複数の周波数帯で複雑な RF デバイスに用いられる有望な例と言える。それらの技術によって、受動部品の集積化やベースバンドと RF 部の統合などができる。さらに将来、Si 技術性能の向上に伴って、適切なパッケージソリューションを必要とするソフトウェア無線アーキテクチャについても議論される。

SiGe や SOI 基板上的 CMOS のように、RF CMOS や CMOS ベースの技術が 100GHz を超える領域まで研究されている。研究の対象領域は車載レーダー用途の 24 GHz および 77~81GHz で稼動する。これらの高周波パッケージングは非常に難易度が高い：最重要課題を以下に示す。

- 材料の制約(多くの新材料において必要な高周波データがない)
- 熱放散(~3W/mm<sup>2</sup>レベル)
- シールディング
- 伝送線路(コプレナもしくはマイクロストリップライン)
- クロストーク

薄膜を含めた高周波パッケージ技術は、伝送線路設計に対して高い適応性が期待が出来る。40GHz を越える周波数では、パッケージへのアンテナの統合もまた魅力的である。SiP ソリューションは、内部伝送線路を 50 オーム(インピーダンス整合)に調節する必要がない。

## 医療およびバイオチップパッケージング

医療電子分野に SiP は最も適している。これは、バイオセンサ、補聴器、ペースメーカー、電気除細動器など、体内埋め込みデバイスや体に装着するデバイスに特に適している。さらに体内埋め込み型の電子機器とエレクトロメカニカル機器は、急速なペースで開発され認可されている。新たな用途としては、薬液注入モジュールから、神経刺激を目的とした IC コントロールのバイオマテリアル・インテグレーションまで及ぶ。将来開発され得る製品は、生体親和性のある RF 回路およびアンテナからなるリアルタイムデータ・モニタリング用の遠隔測定技術であろう。メディカル製品に対する要求は下記の 2 つの重要な点を除けば、一般の SiP 製品と同等である。第 1 に、故障はユーザにとって致命的になるので、SiP ベースの医療製品に信頼性は最高のものが要求される。第 2 に、パッケージは体液にさらされる環境に耐えなければならない。メディカル SiP には解決すべき課題が多い。それらには、次のものがある：

- 人体とパッケージを透過して、遠くの受信機に確実に届くことのできる信号を備えた、低消費電力で生体親和性のある電波信号。このレシーバは、ユーザに着用されることになる。
- 接続方法の改善による消費電力の低減。

## 52 Assembly and Packaging

- 体内埋め込み型製品の電池寿命を延ばすためにユーザの体温(最大  $30\mu\text{W}/\text{cm}^2$ )、または運動(最大  $10\mu\text{W}/\text{cm}^2$ )から電力回収する。このために、生体親和性のある MEMS SiP 部品の研究開発が必要である。
- シリコン上で神経細胞が成長するようなバイオとシリコンの融合。これによって、シリコンデバイスが脳波をモニタして発作を検知し、神経刺激することによって発作を抑制する。
- 複数の周波数帯を横断して RF デバイスが使用されるユビキタス社会にて、医療機器を無線遠隔操作する信頼できる相互動作性

バイオメディカルデバイスで使用される一般的な方法には、適切な光源から試料を照射し、狭周波数帯光学フィルタを装着した光検出器を使って、複数の波長の強度を比較して欠如、相違を特定する方法などがある。このセンサのコンセプトを用いたバイオメディカルデバイスの多くは、妊娠、グルコースレベル、血中酸素濃度、大気中の CO あるいは NO<sub>x</sub> のレベルなどを検出するために作られた使い捨て可能な製品である。したがって、それらは、丈夫で、小さく、バッテリー駆動できる省電力、かつ低価格で生産されなければならない。

これらの製品のパッケージングの課題は以下のとおりである。

- 特に光学素子について、次の要求を満たす構造設計：
  - 初期光学的アライメントの確保
  - 製品の寿命期間内におけるアライメントの維持
  - デバイスの寿命内における光学系統の完全性
- 材料選択、特に接着剤
- 光学システムや関連する電子装置の、外部光や EMI からの保護
- 評価あるいは検出プロセスで使用される流体を含む環境からのデバイスの保護
- 光学的アライメントを行う手順と組立方法の選択

## MEMS デバイスパッケージ

MEMS (Micro Electro Mechanical Systems) デバイスは要求があまりにも多様なために、そのパッケージも多岐にわたっている。これら MEMS デバイスへの要求と、その結果として提案されたパッケージはマイクロエレクトロニクス・パッケージングの範囲をはるかに超えており、非常に多種多様なパッケージ形態がある。MEMS パッケージの例としては、以下のようなものがある。

- 送受信スイッチのようなデバイスでは腐食/劣化防止のために湿気から守る必要があり、安定作動のために、不活性ガス封止パッケージが必要とされる場合もある。
- 圧力センサは大気圧が検出できる構造でなければならないが、同時に湿気によるダメージに対して耐性がなければならない。
- カメラモジュールのような光学素子は、塵埃から保護され、光学面上に経時的に堆積する有機成分からも保護されている必要がある。また、光学窓を設ける必要があり、製品寿命を通して光学系のアライメントは維持されなければならない。
- 真空や不活性ガス等制御された雰囲気が必要なデバイス。
- 検査液体を保持し、漏れのない液体分析用途のデバイス。

- CMOS デバイスよりも厳しい ESD 耐性が求められるデバイス。

MEMS とはマイクロ・エレクトロメカニカル・システムの省略であるが、実際に MEMS と見做されているデバイスの多くには機械的駆動部分がない。

MEMS 用のパッケージを選ぶ場合はまず、標準的な汎用 IC パッケージから選択する。しかし、これらのパッケージは MEMS の特殊な用途には不十分な場合が多いので、設計者はパッケージを設計変更するか、パッケージを新たに設計する必要がある。

ウェーハレベル・パッケージング用に MEMS デバイスを設計する場合もある。そうしたウェーハレベル・パッケージのあるものは、ウェーハ全面封止を用いてウェーハ同士を接合する手法や、MEMS 構造内にキャビティ(空洞部)を形成し、デバイス製造時にそれを封止する手法などを用いている。こうした MEMS パッケージング方式の選択や設計が、MEMS デバイスを市場に送り出す努力の大半である場合が多い。

最近、MEMS デバイスのコスト削減や性能改善のために開発されている技術の一つとして、駆動、制御、信号処理を行う汎用半導体デバイスとのインテグレーションがある。この技術によって、さらなる集積化とコスト低減が可能となる。多くの MEMS デバイスの場合、キャビティ構造が可能な低コストのウェーハレベル・パッケージ技術により可能となる。MEMS 構造にバンプやダイボンド技術によってパッケージ応力を緩和する技術もまた、ウェーハレベル・パッケージングでは重要である。

ウェーハプロセスで封止する方法(ここではウェーハレベルキャップと呼ぶ)は既に実用化されている。この技術には追加の工程が必要である(ワイヤボンディング、樹脂封入、BGA 化など)。ウェーハレベルキャップは、絶対圧力センサ、慣性センサ、容量センサに使われている。ウェーハレベルにおける薄膜封止は、RF MEMS や慣性 MEMS (キャビティ内は周囲環境に影響されない一定の圧力)に使うことができる。張り合わせ方法には接着剤層を用いる方法(低融点ガラス、接着剤、はんだ)と接着剤層のない方法(陽極酸化、直接接合、融合接合)がある。ウェーハレベルキャップにおける主な課題は、共振器や加速度センサの感度向上のために、高真空度な気密封止接合を実現することである。

ウェーハレベルで封止する際に、張り合わせとバンプ接合を同時に行うウェーハレベル・パッケージング。WLP MEMS への開発は TSV や、再配線層、バンプ形成工程をもったキャップ付けする技術の開発が中心である。それは明らかに 3 次元集積への道である。MEMS のウェーハレベル・パッケージングは、慣性 MEMS とシリコンマイクの量産が昨年始まったばかりである。

MEMS パッケージ方法といくつかの例を表 AP27 と AP28 に示した。

Table AP27 MEMS Packaging Methods

Table AP28 MEMS Packaging Examples

## 衣服への織り込み型及びウェアラブル電子部品

### ウェアラブル電子部品

電子部品を衣服に織り込むためには 4 つの大きな課題が存在する。

- 導電性繊維による電子部品間接続。
- 電子部品の封止とそれらの電氣的接続。
- 導電性織物の絶縁、若しくは予め絶縁コートされた導電性繊維表面の局所的除去。
- 種々の応用に対する織物埋め込み電子部品の信頼性試験手法の開発。

## 54 Assembly and Packaging

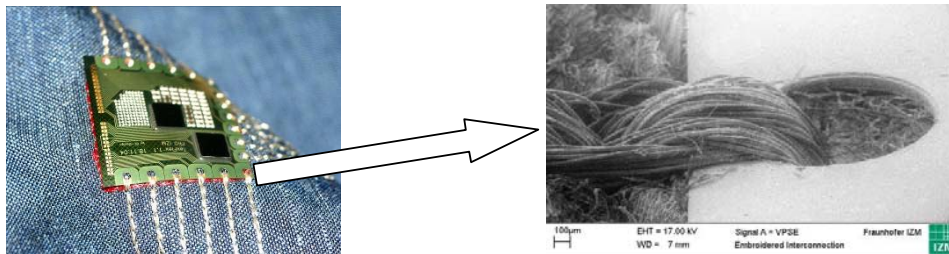
- 低コストでの大量生産。

最も一般的な部品間接続の方法にははんだ接合、接着剤接合、折り目入れや縫取り方式がある。

この分野では、Fraunhofer IZM などの研究機関からの研究報告がある。織物埋め込み型電子部品の封止技術として現在研究されているものには、トランスファ成形、熱溶融封止、液状レジン封止などがある。封止技術や接続技術における主な課題は、それがウェアラブル電子部品応用であれ、工学的繊維用途であれ、織物の一般的な取り扱いや処理工程において、信頼性を確保することである。

まだ十分に研究されていない重要課題としては、導電性繊維を絶縁するか、またその逆に、導電性繊維の絶縁コートをどのように局所的に除去するかという課題があり、ラミネーションや液体コーティングなどが提案されている。注目されている材料としては、ポリウレタン若しくはシリコーンがあるが、いずれも溶剤とともに用いられるか、2成分系の硬化材料として用いられる。さらに難度の高い課題としては「スマートコーティング」とでも呼ぶべき技術の開発があるが、それは非導電性の織物部の性状を維持したまま、金属部だけを選択的にコートする方法である。

電子部品が実際に織物中に織り込まれる前に、それら織物埋め込み電子部品の洗濯耐性、耐疲労や他を含む信頼性試験手法を開発することが不可欠である。これは、単に電子部品と織物の試験標準を合わせれば済むものではない。なぜなら両者は、必ずしも相補的ではないからである。むしろ織物中の電子部品に掛かる真のストレスを基に、新しい信頼性試験手法と標準を確立する必要がある。(図 AP39 参照)



Graphic courtesy of Fraunhofer IZM

Figure AP39 Textflex Embroidered Interconnects

標準的なフレックス回路組立では、曲げ変形は一方向にしか許容されない。従って円柱や円錐形状は可能であるが、球体のような複雑な形状にはできない。実現するためには回路表面の伸縮性が要求される。フレキシブル基板をさらに伸縮可能にするためには、低弾性ポリマ、例えばシリコーンやウレタンのような材料を用いる必要がある。しかしながら電子部品間の接続のためには、このポリマ母体表面または内部で導電している必要がある。この伸縮可能な高分子材の内外部に伸縮可能な導電性接続を得ることは難しい課題である。

フレキシブル導電体に必要とされる技術:

- 配線をバネ形状(例えば U 字形曲線)にすること。その結果として、接続長が長く接続密度が低くなってしまふ。単一方向の伸張性については良好な結果が得られている。以下に示すように、直行する 2 方向に可伸張性が求められる場合には、設計はより難しくなる。
- ポリマ母材への導電性フィラーの添加。この場合、導電性が確保できる高い充填率が必要であるが、それによって伸張性が阻害される傾向になる。変形する量に応じて導電性は大きく変化する。
- 高分子母体への導電性ポリマ添加による導電性付与。高い導電性の実現が主要な課題である。

金属配線と導電性ポリマ若しくは導電フィラーとポリマとの組合せ：一般的に導体金属配線が、より抵抗の高い導電性ポリマと共に用いられる。その場合、導電体の伸縮は主にポリマ母材の局部で生じ、大半の電流は平行の導体線路を通して流れる。

## フレキシブル電子部品

フレキシブル電子部品は、10年後には数10億ドルレベルの産業に成長し、エレクトロニクスの常識に革命をおこしているだろう。可撓性、極薄性、軽量性、潜在的な低コスト性、高信頼性といったフレキシブル電子部品のユニークな特徴はコンシューマ電子機器、航空宇宙電子機器、生命科学、軍事応用並びに遠隔通信といった分野に、計り知れないインパクトを与えるだろう。現技術では実現できない程広範なデバイスの応用展開が、フレキシブル電子部品によって可能になるであろう。ICや表示装置を一体化した「スマート衣類」とでも呼ぶべきものは多くの消費者に受け入れられ、医療／軍事分野でも多数の適用対象を見出すであろう。インテリジェント包帯の可能性や、適用に応じて随時構成変更可能なシステムやセンサ、薬剤投与マイクロシステム、能動素子を集積した人工器官、確実に不良発生のない超並列分散型環境センサ等の様な医療用途の各種デバイスが実現されれば、それは種々の疾患や病原体を検知し、それに対処する行動様式を根本から変革する可能性を有している。実際の例としては：

- エネルギー分野：寸法が大きくてコストの安い太陽電池、高効率照明。
- 軍事分野：兵士が携帯可能な動力源、頑丈で軽量の画像処理デバイス。
- 医療分野：医療センサ、インテリジェント包帯、柔らかい表皮組織移植。
- 農業及び土木インフラ分野：広範囲センサネットワーク、食品安全性。
- 運輸分野：危険警告、自動化道路システム、荷役コンテナ監視。

上述した応用分野や製品は、治工具、プロセス、材料等の面で広範なインフラ整備を必要とするであろう。ここで示した製品の多くはメートルからサブミクロンに亘る広範な尺度を持つ大面積のフレキシブル電子部品が必要となる。そうした製品の製造を可能にするツールやプロセスは現在のところない。また新規の基板材料やバリヤ材、新しいコーティング材や接着剤も必要となろう。例えば体内埋込み電子デバイスを必要とする医療応用では、デバイスには毒性がなく、安定でかつ苛酷な化学的環境に耐える材料が必要である。航空/宇宙応用では特殊な放射線耐性が必要になるだろう。また、ウェアラブルな衣服折込み電子部品は、通常の洗濯に耐えられねばならない。

## 車載半導体デバイス用パッケージ

車載用途でも、基本的には一般のパッケージが使用されている。車載用のパッケージへの要求内容は以下のとおりである。

- 小型化：人間の居住空間を広げるために電子モジュールの小型化が必要。
- 高性能：デバイスの高周波と性能の多様化に対応するために高性能化が必要。（ピン数の増加、低抵抗等）
- 高温耐性：デバイスの高性能化と、設置場所のエンジンルームへの移動に伴い、高温耐性が必要。
- 高い放熱特性：高周波クロックと高性能化によって低熱抵抗設計が必要。
- 高信頼性：人間が乗る機械として、信頼性への要求が非常に強い。

車載デバイス用パッケージへの要求は、特に高温耐性、高い放熱性、そして高信頼性である。車載電子機器への使用環境温度の仕様を表 AP29 に示した。高温耐性については、デバイスの動作温度の高温化が必要である。更に、モールド樹脂と基板材料の Tg(ガラス転移温度)の高温化が重要である。高い放熱性が必要な用途に対しては、現在ヒートスプレッドを用いた HQFP, HSOP, HBGA などで対応し、将

来は更なる低熱抵抗構造が必要となる。高信頼性については、材料や構造、プロセスなど高い信頼性に基づく設計と、高い品質管理が重要である。高性能品については SiP が車載パッケージにも用いられている。

Table AP29 Automotive Operating Environment Specifications

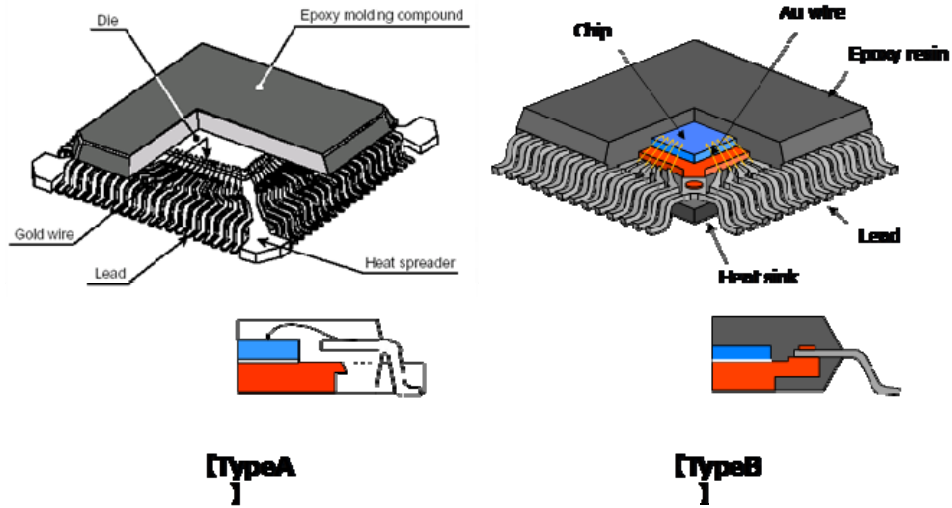


Figure AP40 HQFP for Automotive Electronics

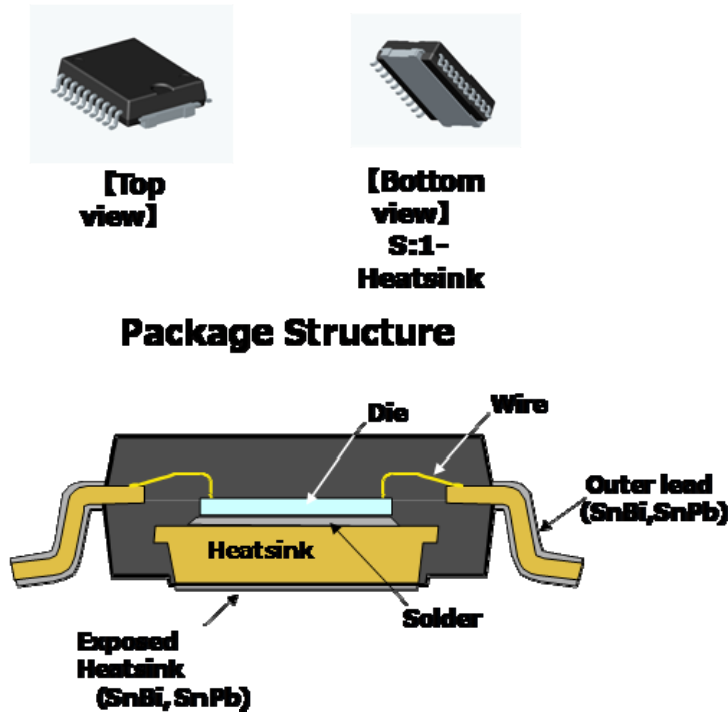


Figure AP41 HSOP for Automotive Electronics

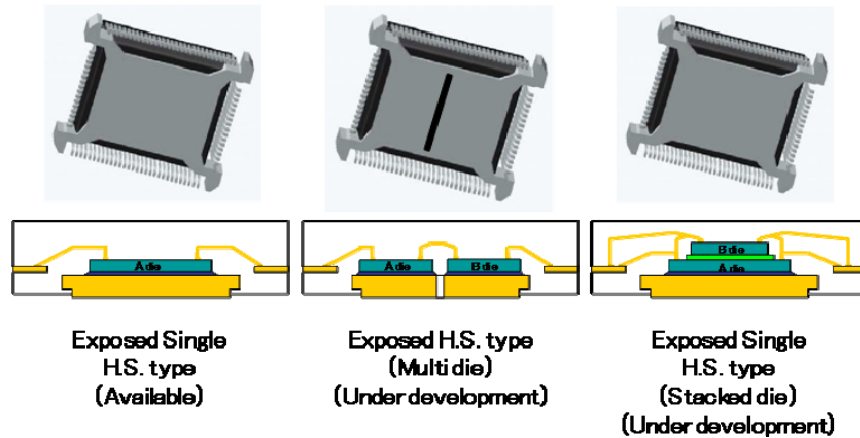


Figure AP42 SiP-HQFP for Automotive Electronics

## 太陽電池パッケージ

太陽エネルギー利用の急成長によって、太陽電池と電池アレイに必要な特有なパッケージングへの要求が現れている。太陽電池モジュールは極端な温度環境にさらされ、他のパッケージに比べてかなり長い寿命が必要となる。太陽電池アレイに使用される光起電モジュールの最新状況は以下の通りである。

- 半導体チップの厚みは 180 $\mu\text{m}$
- 高スループットのタブ・ストリング (tabber-stringer) によるはんだ付け
- 真空ラミネート
- EVA 封止材
- 25 年間の寿命保証

永続的な太陽エネルギーの利用拡大と、期待されている要求に応えるために、一般的なパッケージにない要因にも注目する必要がある。表 AP30 に太陽電池セル用パッケージングの主要なパラメータを記した。これらの新規要求には下記のような項目が挙げられる。

- 極薄太陽電池(100-150 $\mu\text{m}$ 厚)用の低応力接続
- 高スループットラミネーション技術
- 鉛フリーはんだ技術
- 30 年の寿命
- 寿命終了後にリサイクルが容易な設計

Table AP30 Multiple-Sun Photovoltaic Cell Packaging Issues

## 先端パッケージ要素技術

### 能動/受動デバイスが内蔵／集積された基板

集積受動素子(IPD)は、受動素子から構成される部品であり、R, L, C の組合せから成る。各要素は互いに接続されて、ネットワークや特性インピーダンス整合、またはフィルタ機能を提供する。或いは、抵抗、インダクタンス、容量など単一の電気特性を提供する。

電材料として薄膜酸化膜や重点ポリマなどの材料を導入することによって、容量を  $\mu\text{F}$  のレンジまで最大化することができる。また、標準的な再配線の他、グランドプレーン形成やインピーダンスコントロールした RF 信号の伝送配線の形成が可能である。

## 58 Assembly and Packaging

ウェーハレベルの薄膜加工(ポリマ-金属-酸化膜)技術によって、下記の受動素子からなる特定用途のWL-IPDを形成することができる。

- 抵抗: 10 Ohm–150 kOhm (例: NiCr 100 Ohm/sq; TaN 25 Ohm/sq.)
- インダクタンス: 1 nH–80 nH (Q: 30–150)
- 容量: (3–6) pF/ mm<sup>2</sup> (er=2.65, e.g., polymer BCB)
- 容量: (1–3) nF/ mm<sup>2</sup>(er=23, e.g., Ta<sub>2</sub>O<sub>5</sub>)

この WL-IPD が提供するインピーダンスによって、携帯電話部品に必要な容量のほぼ 70%、抵抗のほぼ 95%、インダクタのほぼ 100%がカバーされ、システムの小型化が可能となる。

WL-IPD は、シリコン、アルミナやガラスのような多種の薄膜によって、ワイヤボンドやフリップチップできるように設計されている。図 AP43 に、パイレックスガラス上にポリマと金属多層配線(銅配線)し、2つのローパスフィルタと3つの3.9nHのインダクタ、2つの1.8pFのキャパシタから成るCSPのIPDの例を示す。

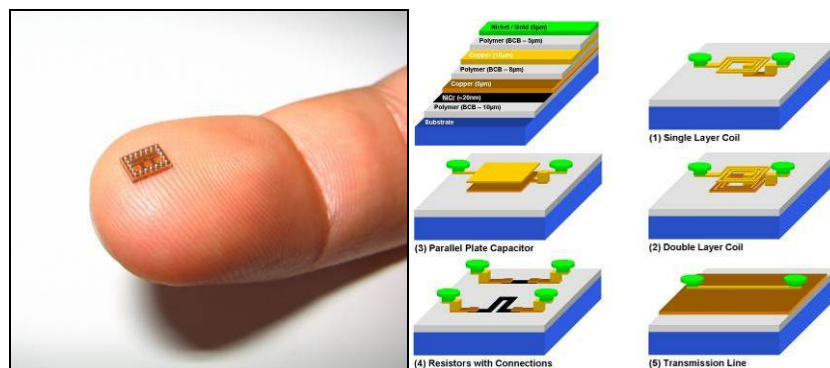


Figure AP43 CSP with Integrated Passive Devices and Thin-film Build-Up Passive Elements

IPD 実現の現在のボトルネックは、シリコン基板に DRI エッチングして高アスペクト比をもつ深いトレンチ構造を形成し 20-30nF/cm<sup>2</sup> レベルの容量を実現することである。この有望な技術は、ウェーハレベルでシステムイン・パッケージの実現に注力している数社のメーカーが開発している。コストと小型化の観点からは、大きな受動素子が表面実装や基板内蔵によって SiP に組立てられている。

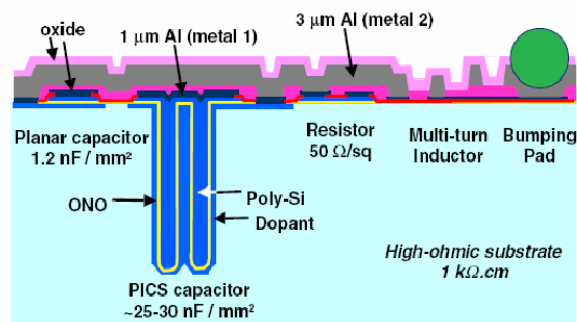


Figure AP44 PICS Substrate with High Density "Trench" MOS Capacitors, Planar MIM, Multi-Turn Inductors, and Poly-Si Resistors

## 能動素子/受動素子内蔵基板



昨今の基板内蔵能動素子の応用としては、携帯電話の構成部品、例えば、TV チューナ、指紋センサなどがある。携帯電話の製造メーカーや半導体製造メーカーは、基板内蔵能動素子にした次世代通信モジュールに期待をしている。例えば、能動素子を内蔵することによって空いた基板表面に受動素子を搭載した GPS やワイヤレス LAN がある。更に、能動素子を基板内蔵し、受動素子を表面実装した電源供給ユニットへのマーケット需要が強い。また、携帯電話カメラの CMOS センサのようなイメージセンサと、ストロボライトは、能動素子を内蔵し受動素子を表面実装して小型化している。近い将来、DSC と同様に、積層メモリデバイスを使う ASIC やグラフィックプロセッサは、能動素子/受動素子内蔵基板に移行していくだろう。

今日、能動素子内蔵基板は 2 つに分類できる。1 つは、ウェーハレベル・パッケージで、強度を高めるために埋込まれた薄いチップを、薄膜再配線によって銅ポストなしで直接接続した内蔵素子。もう一つは、スタッドバンプや銅ポストを持つフリップチップを、有機基板に内蔵したものである。図 AP45 は、その概要を示す。

の能動素子/受動素子内蔵有機基板を経済的に生産するためには、プリント基板製造時の大きなパネルをそのまま使用してダイボンドできる設備が必要である。内蔵技術の主要課題は、テスト、歩留と品質保証である。能動素子/受動素子内蔵基板がマーケットに受け入れられるためには、責任の持てるサプライチェーンの実現と、テストの標準化が必要である。

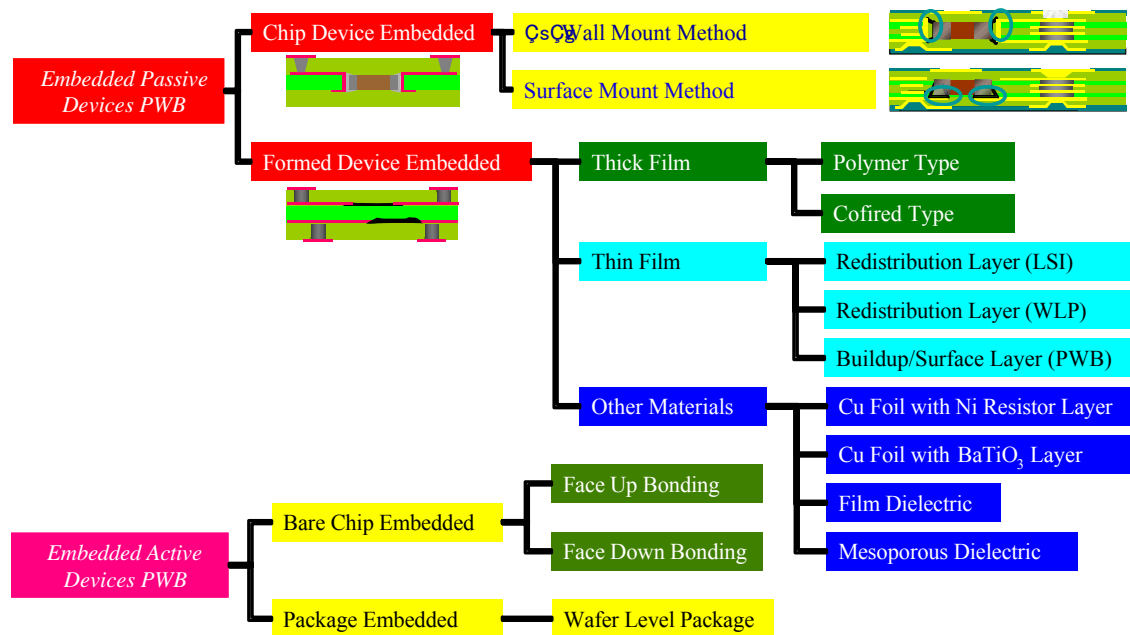


Figure AP45 Overview of Embedded Active Devices and Passive Devices

### ウェーハ薄化と個片化

ウェーハの薄化加工技術は、薄型パッケージやチップ積層パッケージ、そして最近では TSV 接合チップをパッケージする重要な技術である。一般的にはウェーハを薄くした後に個片にするが、複数のチップをパッケージングしたり、ウェーハプロセスに適応したプロセスに変更するために、プロセスの組み合わせは多岐にわたる。それらは図 AP46, AP47, AP48 に記載した。

#### ウェーハの薄化

2009 年ではウェーハの厚さは 50~75 μm が一般的になっている。表 AP31 と AP32 にウェーハ薄化のロードマップを示した。ウェーハは一般的に、樹脂で砥粒をつなげたホイールを用いて、機械的研削で薄

くし、次に化学機械研磨 (CMP) がなされる。ドライとウェットエッチ方法も可能であるが、コスト的に不利である。細心の注意の元にウェーハを 5  $\mu\text{m}$  厚まで薄くして組立てた報告がある。しかし、そのような薄いウェーハへの製造インフラは限られている。ウェーハを薄く加工する上で重要な技術課題は、ウェーハやチップの強度を保つことである。その不良メカニズムの主要なもの 2 つとその対応を以下に示す。

まず、研削によってウェーハ表面に欠陥が生じる。これらの欠陥は、ウェーハのハンドリングや組立工程によってクラックに成長し、組み立て後や使用環境によって不良となることもある。一般的に CMP (Chemical Mechanical Polishing) を用いるが、研磨によるストレスリリーフは欠陥部分のある表面を削除するのでウェーハ強度が強くなる。

一方、ウェーハを薄く加工することによって、エッジは当初の丸みのある断面形状から、次第に鋭いエッジを持つ形状に変わっていく。エッジに欠陥があると、ハンドリング中にウェーハエッジからクラックが生じ、ウェーハが割れる。最も薄いウェーハは最も鋭いエッジとなって、ダメージの影響を受けやすい。エッジクラックを防ぐために新しい技術が開発されてきた。第 1 の方法は、ウェーハの周囲を切って、鋭いエッジを生じさせないことである。第 2 の方法は、ウェーハ中央部だけ削って薄くし、ウェーハ縁は元の厚さのまま残すことである。その後のハンドリング時には残されたウェーハの厚い縁が中央部の薄いウェーハを支持してくれる。第 3 の方法は、ウェーハを薄くした後で支持キャリアに貼り付ける方法である。それは、TSV の両面プロセスなどに使われる。第 4 の方法は、研削前にダイシングを行う DBG プロセスを採用することであり、次節のウェーハの個片化プロセスに詳細に解説した。

バンプ付きウェーハを薄くするためには機械的な研削を用いる。ウェーハは、プロセス中にウェーハをスパッタするために、部分的に接着材料に浸漬されている。ドライエッチが表層の欠陥を除去するために用いられることもある。ウェーハのバンプ側は保護されていないので、CMP は通常使われない。代替方法としては、最初にウェーハを薄くした後、特殊なハンドリング装置や使い捨てのキャリアを用いてバンプを形成する方法もある。

*Table AP31 Thinned Silicon Wafer Thickness 200 mm/300 mm*

*Table AP32 Challenges and Potential Solutions in Thinning Si Wafers*

## ウェーハの個片化

樹脂で砥粒をつなげたダイヤモンドブレードによって切断することは、最も一般的な個片化方法である。しかし、ブレードによる切断工法はチップのエッジに欠陥を作る欠点を持つ。いわゆるチップアウトが発生して、組み立て工程と使用環境のストレスによってクラックが成長し、割れてしまうこともある。チップアウトは薄いウェーハや狭いスクライブ線をもつチップに特に著しいが、ダイシングブレードとプロセスパラメータを最適化することによってある程度低減できる。

しかし、欠陥を完全に回避することは不可能であり、もろい low-k ウェーハ内では特にそうである。クラックの成長を防ぐために、ウェーハの縁にシールリングが設けられる。近年では、レーザ技術によってチップアウトを著しく低減することができる。最も一般的な技術はフルレーザ切断技術で、次に普及している技術はレーザグルーピングによってスクライブ線の両側に溝を掘ってからダイシングで中央部を切断する技術である。

DBG は薄いウェーハ上の表面欠陥とウェーハエッジ欠陥を低減し、ウェーハの欠陥を減らす第 3 の方法である。DBG プロセスでは、ウェーハはエッチングかダイシングによって予め溝を掘り、その後薄くして分離される。DBG に関しては様々なプロセスが報告されている。<sup>7</sup>

最近、レーザグルーピングのように表面に焦点を当てるのではなく、ウェーハの中心に当てる新しい技術が開発されている。この局所加熱によって、ウェーハの中心の単結晶シリコンは多結晶シリコンに改質される。その部分の体積が膨張し局所的な圧力が発生する。ウェーハはその際にフィルムに貼り付けられているが、引き伸ばされることによって、レーザスキャンのラインのとおり個々のチップに分離される。この技

術によると、16 μm 未満のスクライブ線のチップを再現良くきれいに分離でき、チップングのない滑らかな表面が得られる。一方、従来の方法によると、一般的に 60~100 μm のスクライブ線幅が必要である。この新技術が得意とする用途には例えば次のようなものがある。(i) チップングが許されないチップ、例えば、車載デバイスやウェーハレベル・パッケージ、チップングに敏感な low k 層のあるチップ。(ii)チップ寸法が小さく、スクライブ線幅を狭くすることによって、ウェーハ当たりのチップ取れ数が大幅に増えるチップ、(iii)チップ寸法が単一でないものや、形状が長方形でないチップからなるウェーハ。

### ウェーハの薄化と個片化プロセスフロー

上記したように、複数のチップのパッケージング (SiP) や、ウェーハレベル・パッケージングのプロセスフローには複雑さが付随する。図 AP46~48 には、それらのプロセスフローを 3 つに分類してウェーハ薄化と個片化フローを示した。

1. 単一チップのプロセス: 単一チップの薄化と個片化。組立て時にはパッケージ内で複数のチップが積層または隣接実装される場合もある。
2. 異種接合/チップオンウェーハの場合: 1 つまたは複数のチップが薄化され個片化されてから、薄ウェーハ上にボンディングされる。そのウェーハは次に個片化される。
3. 同種接合/ウェーハ接合: ウェーハを個片化する前に薄くして互いに積層する。

最終的な個片化後には、それら単一のチップや積層されたチップにワイヤボンディングやフリップチップ、ボール搭載などの共通の技術が施される。

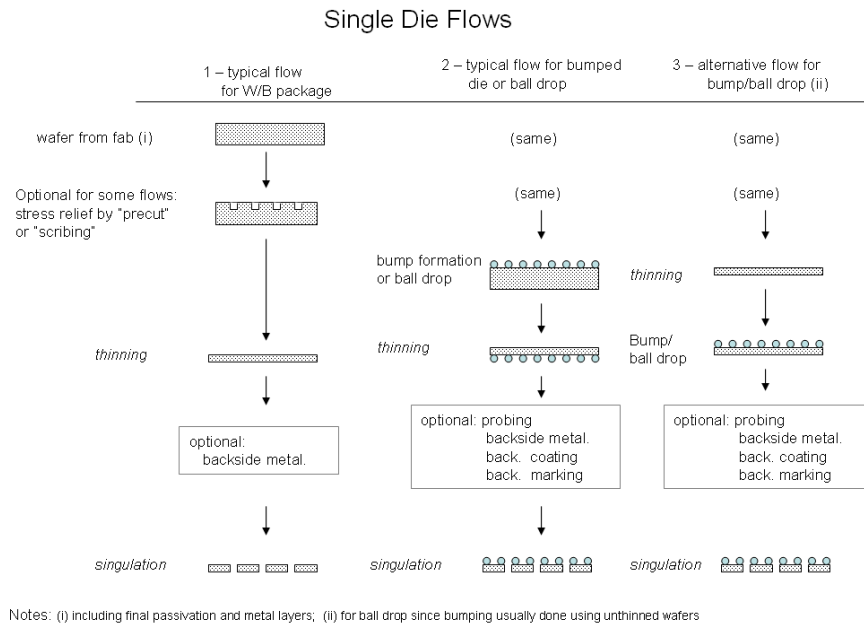


Figure AP46 Extract of Thinning and Singulation Process Flow for Single Die Package

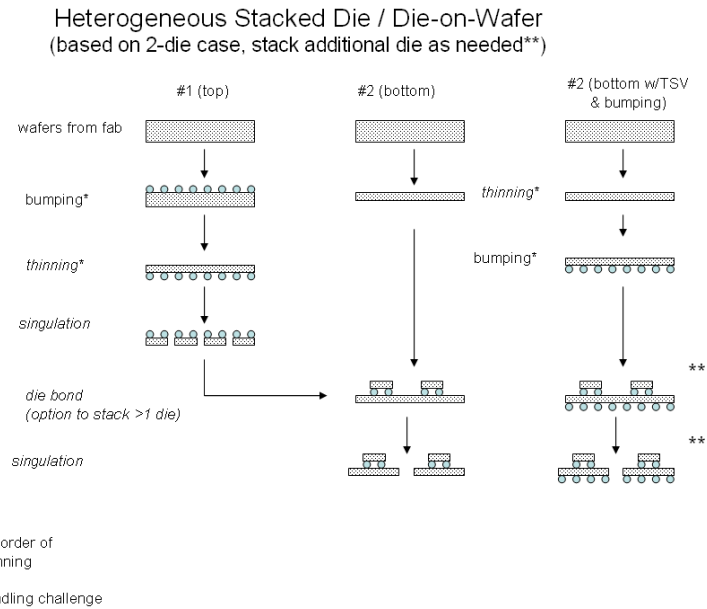


Figure AP47 Extract of Thinning and Singulation Process Flow for Packages using Die on Wafer Process

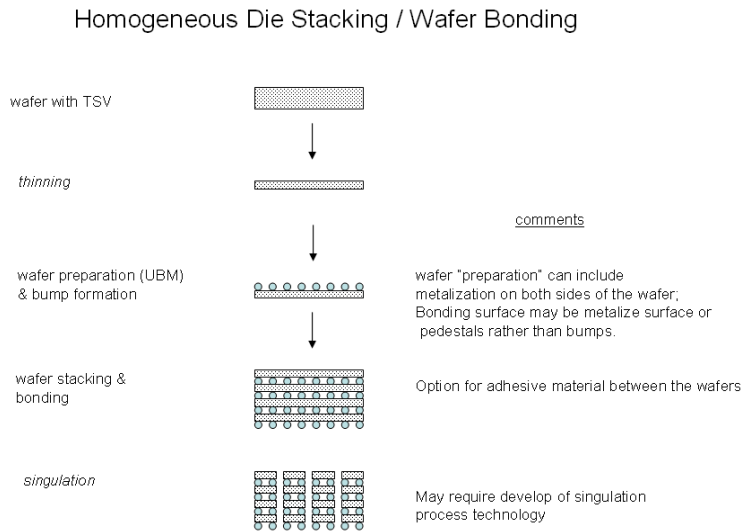


Figure AP48 Extract of Thinning and Singulation Process Flow for Packages using Bonded Wafers

### パッケージ材料への要求

パッケージ材料は、アセンブリとパッケージング技術の要である。パッケージ材料は、パッケージのトータルコストに影響すると同様に、パッケージング後のデバイスの性能、信頼性や動作特性に大きな影響を持つ。“More Moore” や “More than Moore”の実現と共に、次世代のデバイスに対する既存パッケージへの要求や、SiP パッケージ、ウェーハレベル・パッケージング、IPD、TSV のような新しいパッケージタイプへ

の要求、そして RF、MEMS、オプトエレクトロニクス製品への要求によって、パッケージ材料の課題はますます重要になりつつある。

材料の大きな変化の中にアセンブリとパッケージング産業はあたかも漂っているようだ。今日のパッケージ材料の仕様が明日も同じとは限らない。更に、これらの変化は速度においても、範囲においても今後加速していく。鉛フリーや RoHS (有害物質の削減のための欧州連合指令) など、環境規制を遵守するために最近の新材料の多くは導入されてきた。鉛フリーとハロゲンフリーに適合した“グリーン”材料への移行は革命的とも言える。企業は、RoHS 要求に準拠するために、新しいパッケージング材料に移行する際にグリーン材料を採用してきた。モールド樹脂、ダイアタッチ材料、アンダーフィル材料、放熱材料(TIM)など、既存のワイヤボンドやフリップチップパッケージの材料やパッケージ基板は、今後も鉛フリー、ハロゲンフリー、Low-k/ULK の要求を満たすように改善が進む。

次世代デバイスをパッケージに組立てるために、新しい材料や加工技術が求められている。ワイヤボンドとフリップチップ技術は依然として基本的な接続方法であるが、low-k 誘電体の導入や、電力密度上昇や携帯民生機器の増加によって既存材料へも新たな要求が発生している。例えば、強度の低い low-k やさらに低い Ultra low-k を採用したデバイスでは、絶縁層への応力ダメージを回避するために、パンプの材料特性とバランスのとれたアンダーフィル材料特性の設計が不可欠である。放熱量の増加と温度の不均一化が、多くのデバイスでは顕著になってきている中で、技術革命の重要な機会を代表しているのは、熱媒体材(TIM)である。チップ積層、パッケージ積層、低背化によって小型化を進めるために、既存パッケージに開発されたモールド樹脂、アンダーフィル樹脂、及びダイボンド材料の改良が必要である。

SiP、ウェーハレベル・パッケージング、基板内蔵能動/受動素子、TSV のような将来技術を育成するためには、今日存在する技術を超越した材料設計や材料加工技術の革新が必要である。ウェーハレベル・パッケージは、その応用分野が広がるのに伴って、材料特性の改善や異なる特性を持つ材料の開発が必要になる。再配線や UBM の異なる金属構成、そして絶縁ポリマは携帯電子機器の変化し続ける信頼性要求を満たすために必要である。ファンアウト WLP と受動/能動素子内蔵の実用化においては、低温埋め込み樹脂や低温キュア再配線層ポリマの開発が必要である。TSV 技術は、低コスト製造が可能な新絶縁膜やビア埋め材料の開発によって実現性に近づける。IPD もまた、より優れた抵抗や容量特性を持つ材料が必要である。主要な材料への課題を表 AP33 にまとめた。

Table AP33 *Materials Challenges*

## TWG間のクロスカット

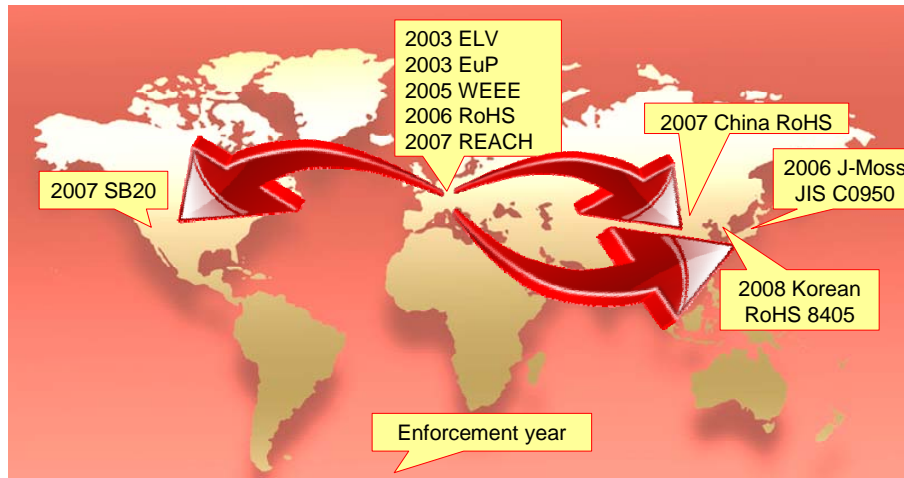
### 環境

環境安全の課題は、化学物質の使用規制が広がるにつれてますます注目を浴びている。また、開発されている新規物質とともに、現在使用中の物質についても健康と安全に及ぼす影響への理解が進むにつれて、追加の規制措置が発令されることから注目されている。欧州で制定された環境保護法令は他の工業国の法令にも影響を及ぼして、同様な法律が各国で制定されつつある。(図 AP49 参照)これらの法律によって、パッケージに規制物質を採用することは規制されている。電子業界における最も顕著な動きは鉛フリー化であった。今日、民生品市場で使用されているほとんどのパッケージは鉛フリーとなったが、パワーデバイス用のダイアタッチ材やフリップチップの中にはまだ鉛を使用しているものもある。民生品セクターにおける鉛フリー化によって、他のセクターにおいても、鉛を含んだ既存物質が次第に調達しにくくなる恐れからコストアップを起している。重工業セクターにおいてさえも、既存の有鉛デバイスの代替品を探し始めている。鉛フリー化の次に必要なのはパッケージのハロゲンフリー化である。たとえば、樹脂の難燃剤や、パッケージ基板のソルダーレジストに含まれるハロゲンをなくすことである。

## 64 Assembly and Packaging

最近の法規制である REACH は化学物質によるリスクを管理し、物質の安全情報を提供するという非常に大きな責任を産業界に負担させている。製造業者と輸入業者は化学物質の特性に関する情報を集め、安全な取り扱いと中央データベースへの情報登録を要求される。生材料から最終製品までの、全サプライチェーンを通じた製造者側の化学データベースが要求されているのである。

サプライチェーンにおける化学情報を統合するという活動の先端を走っている例として、日本の「アークマネジメント推進協議会」(通称:JAMP)がある。世界規模でサプライチェーン全体にわたって、規制物質のシームレスな情報の伝達をおこない、製品に含まれている化学物質の情報の伝達と開示を容易にできる工業会の横断的な活動を推進している。このようなコンソーシアムは、環境規制の法律が厳しくなるにつれ、全世界レベルで必要になってくる。



ELV	Directive on end-of life vehicles
RoHS	Directive on the restriction of the use of certain hazardous substances in electrical and
WEEE	Directive on waste electrical and electronic equipment
EuP	Directive on the eco-design of Energy-using Products
REACH	Registration, Evaluation and Authorization of Chemicals
SB20	Electronic Waste Recycling Act in California, US
J-Moss	The marking of presence of the specific chemical substances for electrical and electronic equipment

Figure AP49 Environmental Protection Laws Spreading Worldwide

ナノ材料がデバイスやパッケージに使われるに従って、環境に配慮すべきことも多くなり、状況も変化していく。これらの内容については、*Environment, Safety and Health*の章を参照のこと。

## 設計

パッケージ技術は年々複雑になって、ウェーハファブとパッケージングの境界があいまいになりつつある。それゆえに、先端パッケージの電氣的、機械的、熱的特性をハンドリング可能な協調設計ツールが必要になる。EDA 産業は進歩しているものの、大幅な進歩をしたとはいえない。設計 TWG、配線 TWG、A&P TWG は具体的な要求を特定しつつある。その内容は、

- ・ 性能の多様化と More Moore の比較を定量化するために、性能密度とコストのマトリクス表を TWG 間で協力して作成する。
- ・ 困難な課題と潜在的解決策を考察するのに必要な、複雑な SiP 設計の例を提示すること。
- ・ 設計 TWG への TSV の具体的な要求の提示。

## 配線

3次元インテグレーションの時代には、パッケージングとチップ配線との境界線は明確ではない。重複を最小限にし、A&Pとグローバル配線の分担を明確にして、各々の章の間で整合するように協力している。

TSVにかかわる課題は配線の章とA&Pの章両方に取り上げられている。配線TWGはCMOSプロセスとチップ上のグローバル配線に焦点を当てているのに対して、A&P TWGはCMOSプロセス以降で多数のチップを積層することに焦点を当てている。各々のTWGの焦点は明確で異なっているのであるが、境界が明確ではないことも確かである。3Dインテグレーションのロードマップに興味のある読者には、配線の章とA&Pの章をともに読み比べることを推奨する。

2010年に向けたA&P TWGと配線TWG間のクロスカットの課題は:

- ・ 誘電材料の改良 (low k 及び high k ともに)
- ・ エアギャップ構造への組立てプロセスの対応
- ・ ナノワイヤ
- ・ 基板内蔵受動素子
- ・ 450 mm ウェーハ
- ・ 3次元の課題の継続的な改良

## RF/AMS ワイヤレス

RF/AMS ワイヤレス TWG は RF/AMS 回路に用いる MEMS デバイスに焦点を当てた別のグループを発足させた。彼らが取り扱う MEMS デバイスには次のようなものがある。

- ・ RF スイッチ
- ・ 共鳴器
- ・ 受動素子回路
- ・ 電源増幅
- ・ ベースバンド素子
- ・ シールド
- ・ アンテナ構造

A&P TWG の章にも MEMS の項がある。TWG 間のクロスカット活動の重点事項として、RF/AMS ワイヤレスの MEMS の内容を詳細に検討し、長期的には統合してロードマップの章に独立させたい。More than Moore が表す機能の多様化が個別パッケージ、または SiP の部品として、MEMS デバイスを大量に取り入れるに従って、このロードマップはますます重要になるだろう。

## モデリングとシミュレーション

## 66 Assembly and Packaging

新しいパッケージのプロセスやアーキテクチャが導入される時には、パッケージ要求も急速に変化するので、全ての要求を満たして少しでも早く実用化するために、モデリングとシミュレーションが必要になる。クロスカットにおいて A&P が課題として特定したのは、

- ・ パッケージのモデリング用ツール
- ・ 協調設計とシミュレーションへの支援
- ・ SiP のモデリング
- ・ ウェーハレベル・パッケージのモデリング
- ・ パッケージの熱的機械的モデリング
- ・ デバイス及びパッケージのモデリングツール間のインターフェース

パッケージタイプの多様化と、多数のインターフェースを持つ 3 次元構造の展開によって、シミュレーションへの要求は複雑化し、より高いシミュレーション能力が必要とされている。薄いチップとパッケージ構造には、基板とパッケージの変形をみる動的シミュレーションが必要となっている。これらの分野は長期プロジェクトであり、継続的なクロス TWG の協力が必要とされている。

### 研究段階のデバイス／材料(ERD, ERM) TWG との協力

ERM と A&P の間には、将来のパッケージ材料への要求を明確にするために、緊密に協力している。これらの課題は ERM の章に記載したので、ここで重複することは避ける。

将来のデバイスタイプを審議する ERD と協力することによって、将来におけるパッケージの要求を把握したい。CMOS 以降のデバイスの検討はその一例であり、ストレスマネジメントにおける新しい課題を投げている。これらの TWG 間の協力による潜在的な課題の早期抽出によって、解決するまでの十分な時間を得られる利点がある。

### テスト

パッケージングにおける新しいアーキテクチャと材料は、テストへの新しい要求となる。これらの課題は、

- ・ SiP アーキテクチャの一要素として、KGD の性能試験への要求
- ・ SiP を含む 3 次元アーキテクチャへのテストアクセス
- ・ 容認できるコストでのテストにおける薄いウェーハのハンドリング
- ・ コンタクタの狭ピッチ化
- ・ 多孔性誘電材料と薄チップに適した低圧力コンタクタ

これらの課題は、より詳細にテストとテスト設備の章に記述した。



## まとめ

パッケージングのアーキテクチャや材料、プロセスが変わっていくのに伴って、材料も変わっている。ムーアの経験則は減速しつつあるが、それを補って電子産業の成長を牽引してきた性能の向上とコスト低減を継続するために、逆にパッケージ技術の革新を加速せざるを得ない。2009年版 ITRS の A&P の章では解説できなかったロードマップと技術への要求がいくつかある。表 AP34 には、これらのギャップと技術への要求がリストとなっている。

もしも、産業において価格弾力性のある成長を継続しなければならないとしたら、パッケージング技術は引き続きコスト低減、性能密度向上、性能向上、消費電力低減に貢献しなければならない。3次元インテグレーションや、ウェーハの薄化、ダイレクトボンディングなどの急速な革新は、非常に大きな研究開発投資が必要となる。一方で、パッケージサプライヤがわずかな利益しか得られず、研究開発に大きな投資をする余力がなくなっている。この問題に対する一つの解は、主な技術課題を解決するためにリソースを集めてコンソーシアムを成長させることである。表 AP35 にパッケージ研究に関連したコンソーシアムを列挙した。

*Table AP34 Packaging/Gaps/Technology Needs Summary*

*Table AP35 Consortia and Research Institutes in Packaging Technology*

## GLOSSARY

*System in package (SiP)*—System in Package is characterized by any combination of more than one active electronic component of different functionality plus optionally passives and other devices like MEMS or optical components assembled preferred into a single standard package that provides multiple functions associated with a system or sub-system.

*Wafer level packaging (WLP)*—Wafer level packaging (WLP) is a technology in which all the IC packaging and interconnection is performed on the wafer level prior to dicing. All elements of the package must be inside the boundary of the wafer. Chips mounted on a structured wafer (e.g. by face to face technologies) and packaged at wafer level before dicing are also considered as wafer level packages.

*Integrated passives*—Integrated passives are arrays or networks of passive elements including resistors, capacitors, and inductors integrated on a single substrate to form a single passive component.

*Embedded passives*—Embedded passives are passive components that are incorporated into an IC, added on top of an IC through the addition of a layer, embedded in a build-up polymer interconnect layer or embedded in a package substrate.

*3D packaging*—3D packaging refers to packaging technologies where a substantial fraction of the die to die interconnections are not planar to the package substrate.

*QFP*—A ceramic or plastic chip carrier with leads projecting down and away from all sides of a square package. Usually, the back side of the die is bonded to the lead frame substrate, and the electrical connections are made on the active top side of the die through wirebonding process and the whole package is encapsulated by a molding process.

*QFN*—A ceramic or plastic chip carrier with contact leads underneath the four sides of the package. Usually the backside of the die is bonded to the lead frame substrate, and the electrical connections are made to the die active surface through the wirebonding or flip chip process.

*P-BGA*—A plastic package employing an array of solder balls for physical connection to the next level which is usually a printed circuit ball. Usually the back side of the die is bonded to a laminate substrate, and the electrical connections are made on the active top side of the die through wirebonding process, and the top side of the package is encapsulated by a molding process.

*T-BGA*—Tape BGA. Similar to P-BGA where the substrate are made of a circuitized metal on a polymer tape. The interconnection to the die may be made by thermocompression bonding in a single step.

*FC-BGA*—Flip Chip BGA. Similar to P-BGA where the die to substrate interconnection is made with the flip chip process, i.e. the die faces down with interconnection made through metal (solder) bumps on the die. Usually the space between the die and the substrate is filled with an underfill material.

*FC-LGA*—Flip Chip Land Grid Array. Similar to FC-BGA, without the solder balls on the array of contact lands on the substrate

## REFERENCES