

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2009 EDITION

MODELING AND SIMULATION

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY
COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS

と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長

石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2009 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5218-1068 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

概要.....	1
困難な技術課題.....	2
≥16nm迄の世代における困難な技術課題.....	5
<16nm以降の世代における困難な技術課題.....	7
技術要求.....	7
装置/形状モデリング.....	7
リソグラフィモデリング.....	10
フロントエンド・プロセスモデリング.....	13
デバイスモデリング.....	14
インターコネクト (INTERCONNECTS) と集積受動素子 (INTEGRATED PASSIVES) モデリング....	17
回路素子モデリング.....	19
パッケージ・シミュレーション.....	21
材料モデリング.....	23
信頼性モデリング.....	24
設計ロバスト性、製造、歩留まりのためのモデリング.....	28
数値計算技術.....	31
解決策候補.....	34
現有能力と精度／要求される計算速度.....	35
他のITWGに関する項目.....	37
設計／システムドライバーとの関連.....	37
テストとテスト装置との関連.....	38
ERDとの関連.....	38
ERMとの関連.....	39
無線通信のための無線周波とアナログ/ミックスドシグナル技術との関連.....	39
フロントエンド・プロセスとの関連.....	39
リソグラフィとの関連.....	40
ファクトリーインテグレーションとの関連.....	42
環境・安全・健康との関連.....	44
歩留まり向上との関連.....	44
計測との関連.....	45

LIST OF FIGURES

<i>Figure MS1</i>	<i>Modeling and Simulation Scopes and Scales</i>	1
-------------------	--	---

LIST OF TABLES

Table MS1	Modeling and Simulation Difficult Challenges.....	3
Table MS2a	Modeling and Simulation Technology Requirements: Capabilities—Near-term Years	37
Table MS2b	Modeling and Simulation Technology Requirements: Capabilities—Long-term Years	37
Table MS3	Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term Years	37

モデリング & シミュレーション

概要

テクノロジーモデリング・シミュレーションは、広義の TCAD (Technology CAD) と呼ばれる半導体に関するモデリング領域をカバーし、技術開発の期間や費用を削減できる数少ない手法である。本資料で述べる広義の TCAD は Figure MS1 のように、次の分野をカバーする：(1) 装置モデリングー装置の構造や設定をはじめとするウェーハプロセス(リソグラフィは除く)階層のモデリング；(2) リソグラフィモデリングーリソグラフィ装置、フォトリソによるマスク形状転写のモデリング；(3) フロントエンド・プロセスメタライゼーション工程前迄で、トランジスタを作るまでのリソグラフィを除く製造工程にまつわる物理現象；(4) デバイスマデリングー能動素子の動作を物理的に記述する階層的モデリング；(5) インターコネクトと集積受動素子モデリングーバックエンド・アーキテクチャにおける機械的、電磁氣的、熱的な応答のモデリング；(6) 回路素子モデリングー能動的、受動的、寄生的回路素子や、新たなデバイス構造の回路素子のコンパクトモデル；(7) パッケージ・シミュレーションーチップのパッケージングに関する電氣的、機械的、熱的なモデリング；(8) 材料モデリングー材料に関する物理特性や、付随する電氣的特性を予測するためのシミュレーション・ツール；(9) 信頼性モデリング：プロセス、デバイス、回路レベルの信頼性と信頼性への影響のモデリング。この副章は本 ITRS に新しく追加された；(10) ロバスト設計、製造、歩留まりのためのモデリング：製造工程上の不可避ばらつきや不純物揺らぎ等の IC 性能への影響、更には、設計パラメータ、製造容易化、仕様範囲内の IC 歩留まりへの影響予測に使用するモデルやソフトウェアの開発；(11) 数値計算アルゴリズムー格子形成、表面形状変化、偏微分方程式の並列解法、最適化計算などを含む、どの分野であれそのモデル計算を実現するために必要とされるすべてのアルゴリズム。これらは、装置、形状、IC の各スケールに分類される。第(8)項から(11)項は、モデリング・シミュレーションのいずれの技術分野と接点があるという意味で独自のものである。また、材料と信頼性に関係した項目は、能動素子やインターコネクト関係と同程度に、すべての製造工程にとって次第に重要性を増している。ロバスト設計、製造、歩留まりのモデリングは全てのシミュレーション領域に影響するものである。また、数値計算アルゴリズムはモデリング・シミュレーションのほとんどの分野で共有される技術である。

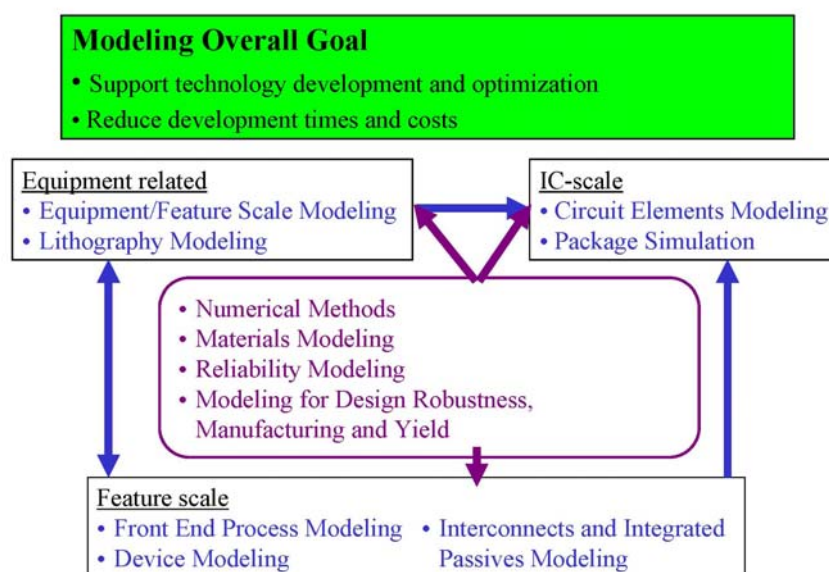


Figure MS1

Modeling and Simulation Scopes and Scales

モデリング・シミュレーション技術の供給者は、主に、政府またはプロジェクトの資金で設立されている大学や研究機関の研究開発者である。TCAD ソフトベンダーの技術者はこうした活動を担う上で重要な役割を果たし、多くの場合に研究開発成果を商用シミュレーション・ツールにカスタム化する事で技術の研究開発者と企業における顧客とのインターフェイスとなっている。半導体企業の技術者は主に、半導体素子や回路の開発やその最適化、シミュレーション機能の適用、応用に焦点を向け努力している。

新たなモデリング機能を開発しようとする、一般に、長期の研究期間がかかる。また、より学際的な活動が必要になり、アカデミックまたは研究所環境で実行するのがベストである。このためモデリング技術で成功するには、その前段階で、大学や独立した研究機関と産業界とが連携した膨大な研究努力が、シミュレーション技術の分野では必要とされる。必須かつ基礎的な仕事は一般に長期の開発時間がかかるため、産業界で本格的に必要とされる時期に先立ち、適切な研究基金が不可欠である。現在、このような研究基金は不足しており、以下にまとめる困難な技術課題(Difficult Challenges)より、むしろ厳しいものである。例えば、モデリング・シミュレーションの 2005 年と 2007 年の ITRS での幾つかの要求事項は、研究資源不足で十分な研究開発が出来ず 2009 年の要求項目に押し込められるという遅れが出ている。

2007 年の ITRS と比べると、モデリング・シミュレーション章構造の主な変化は、信頼性モデリングの特別な副章が加えられた点である。以下の困難な技術課題は、最新の技術進展を基に、他の ITWG からの 2007 年以降研究、優先すべき変更項目、要求項目を取り入れたものである。

困難な技術課題

表 MS1 に掲げた困難な技術課題は、ロードマップの高度な進展を支えるために時間通りに解決されなければならない一方で、それらの技術的な難しさや必要な研究開発リソースのために果たすのが最も重要な技術課題でもある。さらに現在全てのモデリング分野にわたり、鍵になる困難な技術課題が実験的検証であることは留意されるべきである。たいていのプロセスにおいて、多くの物理現象は互いに作用し合うし、単なる実験結果への当てはめではなく、予測能力があるモデルを開発するためには、よく吟味された実験によって適切に多くの物理現象を分離する必要があるため、実験的検証はきわめて困難である。素子サイズの縮小化と新材料が技術の現場に導入されるにつれて、モデル開発に必要な情報と、実験からの評価・検証を引き出せる新しい強力な解析技術が欠かせない。こうした重要なニーズは測定技術に関する ITWG との議論で触れる。

Table MS1

Modeling and Simulation Difficult Challenges

Difficult Challenges ≥ 16 nm	Summary of Issues
Lithography simulation including EUV	Models and experimental verification of optical and non-optical immersion lithography effects (e.g., topography and change of refractive index distribution) Simulation of multiple exposure/patterning including database splitting Multi-generation lithography system models Simulation of defect influences/defect printing in EUV. Mask optimization including defect compensation Optical simulation of resolution enhancement techniques including combined mask/source optimization (OPC, PSM) and including extensions for inverse lithography Models that bridge requirements of OPC (speed) and process development (predictive) including EMF effects Predictive resist models (e.g., mesoscale models) including line-edge roughness, etch resistance, adhesion, mechanical stability, leaching, and time-dependent effects in single and multiple exposure; resist processing techniques special for double patterning Resist model parameter calibration methodology (including kinetic and transport parameters) Simulation of ebeam mask making (single-beam and multibeam) Simulation of directed self-assembly of sublithography patterns Modeling lifetime effects of equipment and masks Predictive coupled deposition-lithography-etch simulation (incl. double patterning, self-aligned patterning) Modeling metrology equipment for enhancing its accuracy
Front-end process modeling for nanometer structures	Coupled diffusion/activation/damage/stress models and parameters including SPER and millisecond processes in Si-based substrate, that is, Si, SiGe, SiGe:C, Ge-on-Si, III/V-on-Si, SOI, epilayers, and ultra-thin body devices, taking into account possible anisotropy in thin layers Modeling of interface and dopant passivation by hydrogen or halogens Modeling of cluster or cocktail implants Modeling of plasma doping, e.g., for FinFETs Modeling of epitaxially grown layers: Shape, morphology, stress, defects, doping Modeling of stress memorization (SMT) during process sequences Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces Efficient and robust 3D meshing for moving boundaries Front-end processing impact on device leakage (e.g., residual defects) and reliability
Integrated modeling of equipment, materials, feature scale processes and influences on devices, including variability	Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high-κ metal gate); reaction mechanisms (reaction paths and (by-)products, rates ...), and simplified but physical models for complex chemistry and plasma reaction Linked equipment/feature scale models (including high-κ metal gate integration, damage prediction) Deposition processes: MOCVD, PECVD, ALD, electroplating and electroless deposition modeling Spin-on-dielectrics (stress, porosity, dishing, viscosity, ...) for high aspect ratio fills Removal processes: CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects) Simulation of polishing, grinding and wafer thinning in backend processing Efficient extraction of impact of equipment - and/or process induced variations on devices and circuits, using simulation
Nanoscale device simulation capability: Methods, models and algorithms that contribute to prediction of CMOS limits	General, accurate, computationally efficient and robust quantum based simulators incl. fundamental parameters linked to electronic band structure and phonon spectra Models and analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS Models (incl. material models) to investigate new memory devices like MRAM, PCM/PRAM, etc Gate stack models for ultra-thin dielectrics with respect to electrical permittivity, built-in charges, influence on workfunction by interface interaction with metals, reliability, tunneling currents and carrier transport Modeling of salicide/silicon contact resistance and engineering (e.g., Fermi-level depinning to reduce Schottky barrier height) Advanced numerical device simulation models and their efficient usage for predicting and reproducing statistical fluctuations of structure and dopant variations in order to assess the impact of variations on statistics of device performance Physical models for novel materials, e.g., high-κ stacks, Ge and compound III/V channels:... Morphology, band structure, defects/traps, etc. Treatment of individual dopant atoms and traps in (commercial) continuum and MC device simulation Reliability modeling for ultimate CMOS Physical models for stress induced device performance

Table MSI

Modeling and Simulation Difficult Challenges

Electrical-thermal-mechanical-modeling for interconnect and packaging	Model thermal-mechanical, thermodynamic and electrical properties of low κ, high κ, and conductors for efficient on-chip and off-chip incl. SIP and wafer level packages, including power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension Thermal modeling for 3D ICs and assessment of modeling tools capable of supporting 3D designs. Thermo-mechanical modeling of Through Silicon Vias and thin stacked dies (incl. adhesive/interposers), and their impact on active device properties (stress, expansion, keepout regions, etc...). Size effects (microstructure, surfaces, ...) and variability of thinned wafers. Signal integrity modeling for stacked die Model effects which influence reliability of interconnects/packages incl. 3D integration (e.g., stress voiding, electromigration, fracture, dielectric breakdown, piezoelectric effects) Physical models to predict adhesion on interconnect-relevant interfaces (homogeneous and heterogeneous) Simulation tools for adhesion and fracture toughness characteristics for packaging and die interfaces Dynamic simulation of mechanical problems of flexible substrates and packages Models for electron transport in ultra fine patterned interconnects
Circuit element and system modeling for high frequency (up to 160 GHz) applications	Supporting heterogeneous integration (SoC+SiP) by enhancing CAD-tools to simulate mutual interactions of building blocks, interconnect, dies on wafer level and in 3D and package: - possibly consisting of different technologies, - covering and combining different modeling and simulation levels as well as different simulation domains Scalable active component circuit models [1] including non-quasi-static effects, substrate noise and coupling, high-frequency RT and 1/f noise, temperature and stress layout dependence and parasitic coupling Scalable passive component models [1] for compact circuit simulation, including interconnect, transmission lines, ... Scalable circuit models [1] for More-than-Moore devices including switches, filters, accelerometers, ... Physical circuit element models for new memory devices, such as PCM, and standardization of models for III/V devices Computer-efficient inclusion of aging, reliability and variability including their statistics (including correlations) before process freeze into circuit modeling, treating local and global variations consistently Efficient building block/circuit-level assessment using process/device/circuit simulation, including process variations
<i>Difficult Challenges < 16 nm</i>	<i>Summary of Issues</i>
Modeling of chemical, thermomechanical and electrical properties of new materials	Computational materials science tools to predict materials synthesis, structure, properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following: 1) Gate stacks: Predictive modeling of dielectric constant, bulk polarization charge, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, reliability, breakdown, and leakage currents including band structure, tunneling from process/materials and structure conditions. 2) Models for novel integrations in 3D interconnects including airgaps and data for ultrathin material properties. Models for new ULK materials that are also able to predict process impact on their inherent properties 3) Modeling-assisted metrology: Linkage between first principle computation, reduced models (classical MD or thermodynamic computation) and metrology including ERD and ERM applications. 4) Accumulation of databases for semi-empirical computation.
Nano-scale modeling for Emerging Research Devices and interconnects including Emerging Research Materials	Ab-initio modeling tools for the development of novel nanostructure materials, processes and devices (nanowires, carbon nanotubes (including doping), nano-ribbons (graphene), deterministic doping, quantum dots, atomic electronics, multiferroic materials and structures, strongly correlated electron materials) Device modeling tools for analysis of nanoscale device operation (quantum transport, tunneling phenomena, contact effects, spin transport, etc...). Modeling impact of geometry, interfaces and bias on transport for carbon-based nanoelectronics
Optoelectronics modeling	Materials and process models for on-chip/off-chip optoelectronic elements (transmitters and receivers, optical couplers). Coupling between electrical and optical systems, optical interconnect models, semiconductor laser modeling Physical design tools for integrated electrical/optical systems
NGL simulation	Simulation of mask less lithography by e-beam direct write (shaped beam / multi beam), including advanced resist modeling (low activation energy effects for low-keV writers (shot noise effects & impact on LER); heating and charging effects), including impact on device characteristics (e.g., due to local crystal damage by electron scattering or charging effects) Simulation of nano imprint technology (pattern transfer to polymer = resist modeling, etch process)

Notes for Table MSI [1] In More than Moore, scalability refers to the ability to model litho-defined device variations

≥16nm 迄の世代における困難な技術課題

EUVを含むリソグラフィ・シミュレーション — リソグラフィ・シミュレーションを裏付けに援用して、光学リソグラフィをさらに小さな寸法へ適用範囲をひろげるために、様々な巧妙な手法が取り入れられている。利用できる解像度向上技術の数が増加しているため、大きな追加的な改善がとりわけリソグラフィ・シミュレーションの分野に必要である。2007年のITRSに比べると、多重露光とパターンニングのシミュレーションに関する要求が一段と増加しており、今や使用しているマスク間のデータ分配も要求に含まれている。多重電子ビームは、EUVとは別の追加オプションとしてモデル化されるべきものである。光学的近接補正（OPC）や位相シフトマスク（PSM）の合成方法に関する改良されたモデルを作ることは、光源とマスクの組み合わせの最適化も含めて、重要な技術課題である。化学的増幅型レジストに関して予測能力があるモデルを開発することは依然として課題であり、多重露光における時間依存効果を取り組む必要があるため、さらに大きな課題になっている。もしモデルが開発されれば、リソグラフィモデルの応用範囲は著しく拡大するであろう。また、デポーリソーエッチングを組み合わせに対して、予測能力のあるシミュレーションが必要である。その精度向上のために、リソグラフィ測定装置もシミュレーションする必要がある。リソグラフィ・シミュレーションの技術課題は、素子の最小寸法からチップ全体、装置とマスクの効果からウェーハ上の欠陥焼付け、名目上のCD（Critical Dimension）値やレジスト形状の予測からプロセスウインドウや装置とマスクのライフタイム効果へと広がっている。この課題はリソグラフィモデリングの節で触れる。

ナノ構造のフロントエンド・プロセスモデリング — これはデバイスの製造からその性能を予測する際に鍵となる技術課題である。この課題は、材料やデバイスのシミュレーションも含んだ「究極のナノスケールCMOSのシミュレーション能力」という課題に、ある程度、重なる。フロントエンド・プロセスモデリングの分野で最も重要で困難な技術課題は極浅接合形成のモデリングで、これは非常に低いエネルギーのイオン注入から始まり、ドーパントのアニールや熱拡散がモデリングの核心である。クラスタ注入や共注入（カクテル注入、co-impla）

やプラズマ・ドーピングは、ドーパされたエピタキシャル層形成と同様に、極浅接合を形成する代案として、形状やモルフォロジ、欠陥状態や応力を含めてシミュレーションする必要がある。浅い接合形成に必要な熱負荷は大きく減少するため、その過程は極めて過渡的であり、ドーパント原子と点欠陥との反応や拡散や、とりわけ、これら2つがクラスタを形成するダイナミックな過程に支配される。イオン注入時のダメージや、アモルファス化、再結晶化とシリサイド化は、精度良くシミュレーションされなければならない。薄膜によりモデルやパラメータに潜在的に導入される異方性を研究する必要がある。チャネル内キャリア移動度を増加させる必要から、応力と歪のモデリングや、応力や歪が不純物拡散や電気的な活性化に与えるそれらの影響は、とりわけ、歪シリコンやSiGe、SOI（Silicon-on-insulator）構造において重要である。さらに、プロセス工程の応力履歴や応力のメモリ効果は重要であり、シミュレーションされなければならない。一般的に、シミュレーションされる材料の数は増加しており、今やシリコン上にIII-V族化合物層を形成する構造も含まれている。モデル開発、キャリアブレーションとモデルの評価は、プロセスのキャラクタライズと同様に、膨大な実験の実施に加え、特にドーパントや欠陥の2次元、3次元的な測定技術の大きな進展を必要としている。効率のよい、正確な3次元シミュレーションを可能にするには、移動境界のためのメッシュ生成が強力に推し進められる必要がある。この技術課題はフロントエンド・プロセスモデリングの節で触れる。

装置、材料、最小寸法のプロセスとデバイスへの影響の統合的なモデリング — 製造プロセスや使用装置により生じるプロセスステップにおける結果のばらつきは、ひとつの技術の量産性と歩留の鍵になる重要な問題である。これは、とりわけ近隣デバイス間ばらつき、あるいは、ウェーハ内やウェーハ間の不均一性に関連し、また、例えば、チャンバ内壁のコーティングによる装置のメンテナンス期間でのプロセス変動に関連する。これらの効果がとりわけ重要なプロセスは、現在のところ、リソグラフィ、プラズマ・デポジションとエッチング、CVD、電解メッキ、CMPとドーパントゆらぎである。装置やプロセスに誘起されるばらつきが、デバイスや回路へ与える影響は評価されなければならない、それは、該当するプロセスとデバイスシミュレーション・ツールの改善を必要とするものである。一般的に、予測能力があるシミュレーションは、未だに限られており、それは、関係する材料の物理的特性や化学的プロセスの知識の欠如によるものである。反応の道筋に関する正確なモデルの開発や、必要とされるパラメータの信頼できる値の抽出や、実際の

適用に必要な第一義的なメカニズムのみ含む縮約した化学モデルを開発することも重要な技術課題である。素子最小寸法のシミュレーションとより良く関連するためには、表面化学とプラズマ表面相互作用は適切にモデル化されなければならない。装置と素子最小寸法の統合化シミュレーションは、装置効果と素子最小寸法効果との間の明確な分離点や共通事項が定義できないプロセスに対してますます重要になっている。デポと除去プロセスのばらつきはモデル化されなければならない。また、*spin-on-dielectrics* の特性やウェーハの前処理やバックエンド・プロセスにおける薄膜化も同様にモデル化されなければならない。この課題は装置／最小寸法モデリングに関する節で触れる。

ナノスケール デバイス シミュレーション能力 — CMOS 限界の予測に寄与する手法とモデルとアルゴリズム — CMOS 技術とデバイスの究極限界は何かという問題は、マイクロエレクトロニクス産業にとって依然として基本的な問題である。この技術課題に取り組む上で鍵となる要件は、材料、プロセス、信頼性を含む素子動作を予測する能力を持つシミュレーションである。High-k 材料を含む積層ゲート構造や、歪が施されたゲルマニウムや III-V 族化合物チャネルや、寸法依存性のある Cu 抵抗と Low-k 誘電体からなる配線や、非線形性を示すフォトレジストに関して、材料モデルがとりわけ必要とされている。短期的なニーズのために、こうした材料モデルは第一原理から導き出されるよりも、むしろ、部分的には依然として現象論的であるかもしれない。ストレス・エンジニアリングが出来るようにならなければならない。コンタクト抵抗はスケーリングの鍵になる問題であり、適切なモデリングが必要である。さらに、量子力学に基づくキャリア輸送や非平衡（バリスティック）なキャリア輸送を取り扱うデバイスシミュレーションが必要である。標準的なプレーナ型 CMOS 以降の世代のデバイスにも適用できるシミュレーションが必要である。精度に加えて、効率と頑健性も鍵になる問題である。原子レベルのゆらぎとプロセスに起因するゆらぎは究極の CMOS 素子の量産性に重大な影響を与えるので、シミュレーション上で取り組む必要がある。この技術課題は以下のほとんどの節で関係してくる。

配線とパッケージの電気的、熱的、機械的モデリング — 集積回路の性能と信頼性は、ますます配線とパッケージに影響されている。電気的、熱的、機械的な特性は緊密に相互作用するので、シミュレーションでは同時に扱わねばならない。信頼性の問題では、エレクトロマイグレーション、応力起因のボイド発生、薄膜の信頼性や密着性、表面粗さ、パッケージングの破損や腐食に関するモデルが必要とされている。スルー・シリコン・ビア (TSV) と薄膜積層チップは、新しい、あるいは、大きく拡張されたシミュレーション・ツールを必要としている。サイズ効果（マイクロ構造の表面）と薄膜化されたウェーハの変わりやすい性質はシミュレーションされるべき重要な問題である。IC 内部で発生する熱に対する耐性やチップ外への放熱は、さらに集積度をあげる際の最も重要な関心事になりつつある。ロードマップでの要求に応えるために、Low-k のような新材料が導入されつつある。積層ゲート構造の High-k のモデリングも必要とされている。これらの材料は多岐にわたる上に、特性に関する知見が欠けているため、これら 2 種類の材料のモデル開発には多大な努力が必要である。製造工程は、配線材料の特性と 3 次元形状の両方に影響を与える。シミュレーションではこうした理想的でない状況をも考慮しなくてはならない。この課題は、以降の主に配線と集積受動素子モデリングの節で述べる。

高周波 (160GHz まで) アプリケーション用の回路要素とシステムのモデリング — non-quasi-static 効果、基板ノイズとカップリング、高周波 RT と $1/f$ ノイズ、温度と応力のレイアウト依存性と寄生カップリングについて、正確かつ効率のよいコンパクトモデリングをすることは、最も重要になるだろう。プロセスが決定される前に、経時変化、信頼性と変動性を含むそれらの統計（相関を含む）を回路モデリングへ計算効率よく取り入れることが必要であり、それにより局所ばらつきと包括的なばらつきを首尾一貫して取り扱える。デバイスと回路の同時最適化をするためには、プロセス／デバイス／回路シミュレーションを用いて、標準セルと回路レベルの効率良い評価の裏付けが必要である。また、III-V 族デバイス、CMOS デバイス、新メモリ、高耐圧デバイスと More than Moore デバイス用のコンパクトモデリングが必要である。受動素子ではバラクタ、インダクタ、高密度キャパシタ、変圧器、電送線のコンパクト・スケーラブル・モデルが必要とされている。こうした RF 用コンパクトモデルのパラメータ抽出により、RF 測定をなるべく最小限にしようとしている。モデルパラメータは必要ならばシミュレーションを使って標準的な I-V 測定、C-V 測定から抽出する必要がある。77GHz 車載用レーダーのような極端な RF アプリケーションは 100GHz 帯へ近づいている。40GHz 帯に適用した際に 3 次の高調波成分の歪みは、このモデリング手法が 120GHz までの高調波に

しか適用出来ないことを意味している。空間的により広範囲からの影響をモデル化する重要性が増している。そうした例には、クロストーク、基板帰還パス、基板カップリング、電磁放射、発熱がある。標準セルと配線とチップとパッケージの相互作用を、可能な限り異分野の技術でもってシミュレーションすることにより、SoC+SiP といった異種のインテグレーションを支援する CAD ツールを、さらに推進しなければならない。その際、異なるシミュレーション領域はもちろんのこと、モデリングとシミュレーションの異なるレベルをカバーし、組み合わせることが、異分野の技術でもってシミュレーションする上で必要になる。

<16nm 以降の世代における困難な技術課題

新材料の化学的、熱力学的、新規材料の電気的特性のモデリング — 物理的な限界に起因して、技術開発の際に新材料導入の必要性が益々高まっている。なぜなら、新材料の導入無しに更なるスケールアップはありえないからである。新材料の導入は、特に、積層ゲート構造、インターコネク構造、フォトレジスト、更に探索素子(Emerging Research Devices) (ERD 及び ERM の章を参照)に対して必要とされている。そのため、装置、プロセス、デバイス、回路のモデルはこれらの新材料を含むように拡張されねばならない。特に、実験の手間を省くと共に、半経験的な計算に必要とされるデータベースを構築するためにも、計算材料科学ツールを開発して新材料の選定や評価に活用することが必要になる。この技術課題は以下のほとんどの節で述べられる。

探索素子及び探索材料を含むインターコネクに関するナノスケールモデリング — 探索素子(Emerging Research Devices)の章の中では、長期的に見た CMOS の代替デバイスの候補として、たとえばナノワイヤー、カーボンナノチューブ、ナノリボン、量子ドット、分子エレクトロニクス、強誘電性と強磁性を有する物質と構造、また、強相関電子物質などが論じられている。この様な素子構造、製造技術に関する評価や最適化には、決定論的なドーピング、量子輸送、トンネリング現象、スピン輸送などの適切なプロセス、デバイスシミュレーションのツールが開発される必要がある。カーบอนをベースとした電子工学においては、形状と界面の影響が極めて重要になるため、これらの影響をシミュレーションで取り扱わねばならない。これらは以下の大部分の節と関係してくる。

オプトエレクトロニクスモデリング — 周波数の更なる増加や、やがて訪れるインターコネク限界のために、電子デバイスと光インターコネクとの組み合わせが興味深い選択肢となりつつある。光インターコネクの製造に対するシミュレーション・ツールと電子的・光学的に集積されたシステムの性能をシミュレーションするためのツールが開発されなければならない。また、この領域での材料モデルも含まれる必要がある。この課題は主にインターコネクと受動素子の集積モデルの節で扱う。

次世代リソグラフィ(NGL: next generation lithography)シミュレーション — 光学的或いは EUV のリソグラフィ技術の次世代のリソグラフィ技術に対するモデリングや評価技術は、技術選択と導入を効率的に進める上で極めて重要である。現状で有力視されているのは、主に電子線直描によるマスク不要なリソグラフィとナノインプリント技術である。両者共に先端的なレジスト材に対するモデリングは大変重要であり、短期的な開発領域で先行する光学的あるいは EUV のリソグラフィ技術とは実質的に異なるものである。

技術要求

以下の諸説ではスコープで述べた 11 の主要な分野に対する技術課題をより詳細に述べる。先に述べたように、「材料モデリング」、「信頼性モデリング」、「設計、製造、および歩留まり用 TCAD」それに「数値計算技術」は全ての分野と関わっている。従って、これらについては、それぞれの節だけでなく、他の節でも論じられている。

装置/形状モデリング

装置と微細形状モデリングは、圧力やパッドラフネスなどのように幾何形状や本質的なプロセス変動に起因する反応器スケールのシミュレーションを含んでおり、表面化学や局所的な温度変動のようにパターンや細線効果と関連させて、正確なプロセス結果を予測することを目的としている。これまで、微細形状シミュ

シミュレーションと装置モデルは、たいてい分離されていたが、その背景には、スケールの異なるモデルを統合しながら開発された様々な近似をもつ多重スケールモデリングがある。「装置モデリング」というミッションはそういうスコープの中で発展してきたが、今や、階層的なシミュレーションレベルとプロセスステップを統合したユニットプロセスシミュレーション(すなわち、個別プロセスステップの定量的なシミュレーション)を含んでいる。このことを考慮すると、コンセプト設計や可能性調査から始まって、継続的な改良の繰り返して終了する実際の製造ライフサイクルが、基礎的な現象とメカニズムを基本とした装置シミュレーションにますます影響されるようになるだろう。これらのテーマの多くは、お互いに論理的なインターフェイスを有するいろいろな技術項目の中で、同時に処理されている。新しい努力により多くの分野からのアプローチが要求され、リソグラフィ、測定手法、フロントエンド TCAD、物質科学、機構、それに *ab-initio* 計算手法をしっかりと関連づける必要がある。

いろいろな分野を一つの包括的なアプローチに統一し、ミクロな物理や化学を説明するという仕事は非常に難しいようだが、それは実験コストの急騰や大きなばらつきという背景を考えると、懸命な選択だろう。プラズマや化学反応を電磁気学計算や流体力学計算した装置設計がますます重要になっている。ナノスケールプロセスの分析や設計は、その微細形状での化学反応、表面反応のモデリングとシミュレーションによって向上されるだろう。装置・形状モデリングの技術的問題を下記にまとめる。

● データニーズ

先進のプロセスと装置シミュレーションの第一原理的な面から見て、物質と表面の両方の性質だけでなく、根本のミクロなメカニズムを特性化したパラメータに関して、より包括的なプロセス特性化と基礎入力データが要求されている。プラズマエッチングのモデリングに対するアルゴリズムは成熟しているように思えるが、定量的予測の可能性は物理、化学、表面反応の本質的なデータに強く依存している。PECVDを含むCVDプロセスのモデリングも成熟しているが、例えば MOCVD プロセスに導入される新材料などは、本質的な化学データが絶対的に要求される。CVDとALDの分野では、要求されるデータは原料、粒子輸送、バルク反応、表面相互作用の記述から始まる。量子化学ツールを利用して殆どの反応システムを特性化できる。しかし、それらのツールは、自己整合的なシミュレーションに向けて、最初のデータをミクロなモデルに関連づける効率的な計算アプローチがなければ不十分である。メカニズムのキャリブレーションをスピードアップするため、効率よく行うことが必要である。一つのいい例は、High-k 絶縁膜デポジションに使われる原料の量子化学特性化である。

プラズマプロセス中では、ラジカル、解離粒子、励起状態に対する電子衝突断面積と熱学的なデータは予測的なシミュレーションに対して重要な要因である。強調すべきは、重要な原料につながる解離パスの実際の決定である。粒子の励起状態を特性化し、崩壊のカスケードを生成するために、正しい近似が要求されるだろう。このような要求は、特別な実験のアレンジメントと新しいテスト装置に重点をおくことで、実際に使えるモデルの入力データを提供できるかどうかははっきりする。

これに関連してほとんど無視されたことは、ガス-表面あるいはプラズマ-表面相互作用に対する基礎データの欠如である(特に、フォトレジスト、ULK 物質、メタル混成、そして合金の関連である)。表面反応に対する最初のアプローチはあまりに重いコンピュータのリソースが要求され、コンピュータ分析によりアシストされた実験の検証は、本質的な反応メカニズムを解明するために、費用効果的なだけでなく絶対不可欠なことである。もう一つの候補は分子動力学を使うことである。先進のメタライゼーションと MOSFET のゲート・スタックに向け、メタル合金成膜プロセスをターゲットとすべきである。特別なニーズは、改良された内部原子ポテンシャルに関するメタリックシステムのミクロな記述と、アモルファル表面とドーパント薄膜のミクロな記述を含んでいる。

CMP の分野では、基本プロセス特性の理解が貧弱であるので、もっと系統的な、そして基礎的に特性化するアプローチが要求されている。実験データからは、研磨速度にダイナミックに与える影響を加味しながら、プロセス条件の関数として研磨パッドやコンディショナーの消耗を特性化する必要がある。電気的な CMP の場合、膜表面上や電界中でのスラリー添加剤の吸収/放出の振る舞いが殆ど知られていないし、槽の中でのそれらの一時的な分解に関する理解も乏しい。

さらに、ECMP で重要なこととして、電気メッキに関しては、特に電磁場が存在する中では、液体システムに拡張された量子化学計算を行うことで得るものがあるだろう。複雑な槽を持つ無電界成膜や CoWPM 系物質のデポジションに対する表面化学のモデリングは、基礎的量子化学に対して、槽熱力学や表面

熱力学パラメータを導出することが特に必要である。

- モデル検証と半経験的モデル開発

モデルの妥当性をよりよくするために必要なこととして、努力すべきはセンサー開発と測定手法であり、特に超薄膜や超微細構造の製造と振る舞いを予測できるモデルに払われるべきである。プロセス化学モデルのコスト効果の検証が必要である。CMP に対しては、研磨パッド、コンディショナーディスク、スラリーのような消耗品を含んだプロセスの様々な物理パラメータの測定は成熟していない。プラズマ、CVD や ALD モデルに対しては、微細形状の転写を通してウェーハに向かう粒子の輸送を特性化するピンホール実験のような表面プロセス化学診断を増やす必要がある。表面を *ex-situ* で探索し、リアルタイムに *in-situ* 状態に戻すアプローチを非平衡プロセスのために開拓すべきである。オーバーハングキャビティ構造のようなテスト構造の標準化や温度測定のような特別な診断に使うウェーハも、モデルのキャリブレーションやプロセスコントロールのために必要である。機能拡張されたリアルタイム FTIR、光干渉計測や XPS、SIMS のような事後診断ツールの改良は、原子スケールからチャンバスケールまでを統合したデバイス製造モデルを検証していくために必要であろう。

加えて、シリコン格子歪は性能向上のためシステムティックに導入され、ストレス制御が先端世代のデバイス仕様を満足するためにも要求される。その構成においては、次のような物理現象を全般的に統合されることが必須である、すなわち、材料理論、ストレス解放現象、電子輸送特性をより正確に深く知ることが必要である。スマートなデバイスマネジメントはシミュレーションによって用意されるが、専用のモデル、キャリブレーション、実験は進展されなければならない。

- 微細スケールシミュレーションと統合化モデル開発

起動部を有する装置のセッティングやプレコンディショニングは、装置チャンバモデルと微細スケールモデルの間の統合において高い精度が求められる。例えば、チャンバコンディショニングが形状変化に与える影響は、小さな研究トピックではあるが、よく知られた現象である。プラズマ ALD を含むプラズマプロセスの場合、薄膜の形状変化をより深く解析するため、数値計算の粗さを最小にするように、特に注意が必要である。一般的に、先進のテクノロジーノードに適用される早いペースで置き換わる新材料は、プロセス表面材料の複雑な結合と反応を本質的に伴っている。特別な実験と原子レベルのシミュレーションに対する信頼性を向上させる必要があり、表面での無数のプロセスを通して分類できるようにする必要がある。プラズマエッチングに関する部分では、LER (Line Edge Roughness)、ゲートプロファイル制御、プロセス起因のダメージ (PID)、デバイスの電氣的、機械的な安定性 (ストレス) の保持を含んでいる。

微細スケールモデルは、しばしばトレンチ埋め込みやエッチング残渣の影響のようなプロセス細部の基本的な理解を与えてくれるが、更なる有益な情報がしばしば関連する装置スケールモデルとの統合により実現される。反応器スケールモデリングの効果は、しばしば微細スケールモデリングの結果により最初の効果が得られる。また、原子レベルの微細スケールシミュレーションと反応器スケールモデルとを統合することが標準化される必要がある。

微細形状スケールシミュレーションと反応器シミュレーションを統合することに関しては、いろいろなプロセスに対して、モデルを統合することが問題である。プロセスインテグレーションの数値解析のインフラは、複雑で決して標準的ではない。いろいろなユニットのプロセスシミュレーションツール (レイアウトツールを含む) 間のコミュニケーションは非常に重要である。特別な例では、第一原理に基づいたタイル設計、インテグレーションにより導かれたマスク設計がある。プロセスばらつき (ロット間、ツール間) を取り込むモデル開発はより大きな挑戦となる。

- 多世代装置/ウェーハモデル

歴史的に装置モデルとは、異なる解法、離散手法、メッシュジェネレータを用いて、様々な研究者に大いに注目されたモジュールであった。その分野では、課題とする物理やフォーカスされるべき境界条件を可能としていながら、これら様々なコンポーネントが標準化されることにより成果を得られるだろう。このことはある程度行われてきたが、物理モデル開発のための標準化へ向けた土台作りへ移行する努力は、

今まで論じられてきたように、統合されたモデルによるスムーズな開発と同様、新しいモジュールシミュレーションによるより早い開発へとつなげることができる。

● エマージェンシングインテグレーション

コアプロセス開発に対して増加している要求は、代替の技術ソリューションを見つけることを意味している。内蔵オプション、ウェーハレベルパッケージ、スタックダイ、他のインテグレーション手法が採用されている。つまり、バックエンドからフロントエンドへというようなギャップのある考え方以上に、新たな材料やプロセスがウェーハ工程の中に導入されている。初期開発段階においては、関連する事項は向かい合わせ、本質的なオプションを明確にされなければならない。このようにシミュレーションは行き詰まりを防ぐために、今まで以上に重要なツールになるだろう。市場やウェーハ歩留まりが許容されている間に幅広いモデルが開発されなければならない。シリコン薄膜化や裏面研削、ストレスを誘導するシリコン貫通VIA、キャリア概念は考慮されるべき半導体モデルの新しい分野例である。

リソグラフィモデリング

リソグラフィのモデリング・シミュレーションに要求されることは次の 5 つの分野に分けられる。1) 光学的な像形成モデリング、2) 電磁界散乱解析、3) 直接パターニング技術のモデリング、4) レジストモデリング、5) 統合モデルシステム、6) 測定とモデリングの結合、である。これらについて以下で議論する。

- 光学的な像形成モデリング — 新規プロセス技術、例えばダブル・パターニング、の開発をシミュレーションで支援するために、より正確、柔軟、かつ効率的な像形成モデルが必要とされる。既存の像形成モデルやソフトウェアは、超高 NA、特に液浸リソグラフィで、生じる偏光の影響を正しく見積もることができるかどうかという観点で、厳しく評価されなければならない。さらに、レンズ-液体界面の高屈折材への影響のモデルも含まれている必要がある。より進んだ像形成モデルには、光源内部や射出瞳での偏光の空間的变化、レンズとマスクの複屈折、レンズ透過率の空間的变化、偏光収差などのすべての偏光の効果が含まれなければならない。EUV リソグラフィでは、大量生産機の要求に耐えうる、高 NA で革新的な証明系の設計はモデリングとして非常にやりがいのあるものである。レンズ、反射面、マスク背面やマスク上の薄膜で生じる付加的な偏光(変化)の影響もまた同様に考慮されなければならない。そして、リソグラフィ用結像系内部の表面粗さによるフレアの影響を扱うことのできる、より進んだシミュレーション方法が必要であり、EUV と光学のフレアの異なった特性がモデルに反映される必要がある。偏光と(偏光依存の)収差とアポダイゼーション効果を含む正確な像形成モデリングは最高水準の技術になった。今後のモデル開発は以下のトピックスに注力すべきである。
 - マスク上のパターン密度を考慮した、特に EUV 向けのマスクと投射系に含まれる効果的で現実的なフレアモデリング
 - 光源特性の効果的なモデリング、例えば、レーザーのバンド幅効果; スペックル効果と光子ノイズのような統計効果の探求
 - 露出ツール固有の効果をカバーする現在のモデルの重大な評価(スキャン中のマスクとウェーハの相対的な位置の変動)、収差の平均化、分割露光(EUV)上の照明入射角の変動
 - 干渉支援リソグラフィ(IAL)を含む様々な二重露光シナリオをモデル化したソフトウェアの柔軟性の改善
 - 先進のユーザ定義のソース形状を含む空間コヒーレンス効果の正確なモデリング
 - 光学的な材料特性のモデリング(例えば、マスク中の複屈折とウェーハ積層中だけでなく投影光学系)、露光中の特性変化、全般的な像形成への影響
- 電磁界散乱解析 — 電磁界散乱解析は、研究の主要な部分になった。厳密な電磁場の取り扱いが必要となる2つの例が、(バイナリーマスクにおいてさえ)マスク上のトポグラフィによる散乱と積層構造

やレジストのトポグラフィによる散乱である。レチクルのかかわる光学的超解像技術の徹底した評価、最適化や、マスク欠陥からの光の散乱の解析のために、より効率的なモデルが必要である。Mask Decomposition Techniques や Boundary Layer Models などの近似方法の精度は、広範なリソグラフィのプロセスパラメータに対して評価されなければならない。多層積層構造での反射や吸収層での厳密な電磁場の伝播の取り扱いが、特に EUV マスクでは、必要である。22nm 以降のパターン形成で必要とされるいろいろな OPC のスキームでの Mask Shadowing 効果の調査にも厳密な電磁場の伝播の取り扱いが必要である。多層膜固有の欠陥や吸収性の欠陥の重大性(転写性)は、処理中に表面に付着する欠陥やパーティクルの影響と同様に、注意深く解析する必要がある。位相の効果と(吸収層の有限な厚さと構造を持った多層膜による)マスク起因の収差、(光源が有限の大きさであることや、露光スリット内での入射角の変化による)非可干渉性の効果、そして、これらの OPC への影響が考慮されねばならない。マスク構造の微細化にともない、吸収材の粗さ、その LER への影響、ウェーハ内 CD ばらつきがますます重要になる。二重露光技術の正確なモデリングはウェーハ側面の散乱やウェーハ形状効果の効率的なモデリングを必要としている。パターンニングされたハードマスクからの光の散乱と下層の反射防止膜(BARC)の光学的性質の光起因の変動は、リソ-エッチ-リソ-エッチ(LELE)のプロセスの2回目のリソのステップで BARC の性能に影響を及ぼす可能性がある。さらに、ウェーハ形状効果は寸法とレジストの細部に依存しながら、2 回目のリソのステップで OPC に影響するかもしれない。

- **直接パターンニング技術** — EB 直描(EBDW)やナノインプリントのような直接パターンニング技術の正確で予測可能なモデリングは、光学/液浸/EUV に基づくプロセスに対するリソグラフィ性能のベンチマークのために必要である。EBDW 応用のモデリングは基板固有の効果(例えば、2 次電子の生成、散乱/後方散乱; 電荷蓄積; 発熱)だけでなく、露光ツール固有の性質(例えば、シングルビームとマルチビーム、低と高 keV 電子エネルギー)を含むべきである。それらの効果はマスク作製における電子ビームリソグラフィの応用にも関連している。
- **レジストモデリング** — 予測可能なレジストモデリングが、依然としてリソグラフィ・シミュレーションのボトルネックとなっている。溶剤の拡散、post-apply bake、ポストバーク、拡散(酸と消光剤)、ライン・エッジ・ラフネス、表面での相互作用などを含んだ化学増幅型レジストの正確なモデルが必要であり、3D レジスト形状を正確に予測できなければならない。いろいろな化学物質のレジストから浸透液への溶解、あるいはその逆、のような液侵方式固有のモデルへの拡張が必要である。ダブル・パターンニングなどの新しいリソグラフィ工程では、非線形性や可逆ブリーチングなどの進んだ性質を持った材料と多層レジストが必要とされ、これらに対応したモデルが必要とされる。リソ-プロセス-リソ-エッチの正確なモデルは、様々なレジストと BARC 層の相互作用を表現する新しいモデルの開発と、凍結やキュアプロセスのモデルが必要である。リソグラフィからエッチングにわたる薄膜レジストと多層レジストのモデリングが、例えばネガ型の開発のような技術の表現のためや、進歩している BARC や勾配 BARC のような新材料をカバーするために重要となる。レジストのパターン形成はエッチング耐性と力学的安定性から評価される必要がある。ポリマーの大きさの影響、例えば LER や線幅の変動への影響、の重要性が増しているため、メゾスコピックモデル、コンピュータ分子モデリングや確率論的モデリングに基づくレジスト研究の必要性も増している。LER、解像度と感度の間のトレードオフのモデリングは特に注目されている。予測可能な EUV レジストのモデリングは2次電子効果とリソグラフィ性能への影響をモデリングする必要がある。
- **統合モデルシステム** — 理論的解像度の限界近傍でのリソグラフィの結像では、照明系、マスク、投射系、ウェーハ形状を反映したレジストなどのリソグラフィ系の各部分の相互作用が複雑に絡んでくる。独立なパラメータが非常に多くなり、また、理解すべきデータも雪崩のように増えるため、光学の回折限界付近で操作される今後の技術の微調整では、コンピュータをベースにした最適化システムが求められる。特に、光学的超解像度技術におけるマスクと光源のパラメータの最適化と、レジストがこの最適化にどのような影響を与えるかの理解がこれに含まれる。ダブル・パターンニングなどの新しいインテグレーション技術は、エッチング、デポジション、平坦化工程の追加を伴い、これらをリソグラフィ・シミュレーションで考慮する必要がある。(レジストの)下にあるウェーハ上のトポグラフィの影響も理解される必要があり、当然、考慮されねばならない。マスクから最終製品までの過程での徹底的な欠陥転写の研究においても、統合モデルシステムが必要とされる。リソグラフィ工程の評価のための新しい基準と

アルゴリズムは評価されなければならない。特に、照明条件、マスクの特性サイズ、収差、レジストの厚さ、PEB 温度、その他、変動する入力パラメータの影響は考慮されるべきである。さらに、ダブル・パターンニングのいっそうのひろがりにより、最適化がより困難になり、工数のかかるものになる。

リソグラフィ・シミュレーションと OPC の結合が重要になる。最先端ノードの OPC モデルを適切な時間で作るためには、予測のできる厳密なシミュレーションのモデルの助けが必要とされる。ツール間の標準化されたインターフェイスの供給も必要となる。

- モデルのキャリブレーション: 計測とモデリングの結合 — 正確なレジストモデルが無いので、フォトリジストのモデルパラメータを実験データで校正するために、効果的なパラメータと標準的な方法を開発すべきである。より予測的なプロセスシミュレーションでは、モデルと計測ツールとのより強固な結びつきが求められる。計測ツールの結果を適切に対応するシミュレーションのパラメータと結果に変換する方法を開発しなければならない。計測データの生成の基本的な理解のため、結局は、シミュレーション結果から意味のある評価パラメータを抽出することが必要となる。レンズの収差データと光源の形状測定が一般的になったので、光源とレンズの完全な偏光に特化したモデルがもとめられる。電磁界散乱のシミュレーションを使うため、すべてのマスク材料の正確な三次元的形状と光学パラメータが今や必要とされている。レジストパラメータ、特に 193nm 液浸レジストおよび EUV のレジストのパラメータの測定の実験的仕組みを考案、あるいは改良しなければならない。リソグラフィ工程のシミュレーションのために開発された手法は、散乱計や空間画像測定システム(AIMS)のような計測ツールの評価にも使える。例えば、AIMS の測定データと予測可能なレジストモデルの結合は、AIMS によるマスク欠陥印刷適性解析の予測性を向上させられる。マスク検査、プロセスの重ね合わせに与える影響の解析のための重ね合わせのアライメント信号のモデリング、収差測定、適切な測定データからのレジストモデルパラメータの抽出などがこれに含まれる。レジストモデルのパラメータの標準的な校正方法は、リソグラフィ工程の予測性の良いシミュレーションを可能とするパラメータセットを求めるのに必要である。レジストモデルの質は計測データの質に強く依存するため、実験的に得られる入力データの決定(例えば、選ばれた特徴となる CD、レジストの高さや側壁の角度のような輪郭情報、実験的に決められるのであれば材料の特性)、シミュレーションのセットアップ、計測の情報が含まれる。

上で述べたリソグラフィ・シミュレーションの伝統的な活用に加えて、関連分野のシミュレーション活動の重要性が増している。光源はすべてのリソグラフィ技術のキー・ドライバーである。しかしながら、これらの開発に関連するモデリング、とりわけ EUV 源の開発に関連するモデリングには、特に大量生産のための光源と言う点に関して、特別な注意が必要である。マスク作成の点では、欠陥検査でパターン形成への潜在的影響の決定に使われる。現在進行中の化学作用のある欠陥か、無い欠陥かの検査の議論にもモデリングは助けになる。

適切な実験によって、多様なリソグラフィ条件、2 次元、3 次元の多様な素子形状、大きさ、ピッチに対して、シミュレーションモデルの妥当性を確かめなければならない。最も効果的なモデリング手法を見つけるために、モデルの精度の評価の広範囲にわたるベンチマークが役に立つ。数値的精度の仕様とシミュレーション全体の不確かさは、歴史的にあいまいのままで、まだよく理解されていない。キャリブレーションと妥当性の検討を注意深く行うことにより、不確かさを許容してシミュレーション結果を使うことができる。

OPC, PSM, 偏光や斜入射照明などの光学的超解像度技術が多用されるので、プロセス開発、最適化のためのリソグラフィ・シミュレーションの重要性は増加するであろう。十分計画された実験と予測的なリソグラフィ・シミュレーションとを組み合わせることが、プロセス開発のコストを抑制と、プロセス開発サイクルの加速につながる。

一般にシミュレーションのコンピュータに対する要求はより挑戦的なものになってきている。解像度以下の形状を含んだパターンのさらなる微細化とさらなる高精度への要求のためにいっそう優れた解決法のアルゴリズムが必要となり、メモリと CPU 時間が非常に増加する。シミュレーションステップとアルゴリズムにとって結果を出すまでの時間が決定的となるので、64Bit マシンが必要になり、高性能コンピュータ・クラス上での並列処理で支援すべきである。

フロントエンド・プロセスモデリング

フロントエンド・プロセスモデリングでは、トランジスタを形成するためのメタライゼーションまでの製造工程に対する物理的効果のシミュレーションを取り扱う。但し、ここではリソグラフィのシミュレーションは別の節で議論することとする(前節を参照)。フロントエンド・プロセスモデリングは、トランジスタ製造を理解し最適化するために重要であり、伝統的なプレーナ型デバイスのスケール限界を広げ、代替デバイス構造のプロセスに関する問題を評価することに用いられる。トランジスタのスケールに伴う寸法の縮小や、スケールアップの障害を克服するために考案される新材料の増加により、モデリングの必要性が高まっている。その結果、より高精度なモデルが要求されるばかりではなく、従来のテクノロジーノードで二次的効果と考えられていた効果を考慮するためのモデルや、新規材料やその物性、更にドーピング技術に対するモデルが、新しいシミュレーションフローの導入と共に必要になっている。

サーマルバジェットの減少にともない、不純物と点欠陥の横方向の分布が正確にモデル化されることが必要となる。例えば狭いトレンチの側面へのドーピングや、ソース・ドレインやエクステンション、ポケットを含むチャネルドーピングなどのように、解析的モデルでは不十分な場合には、明らかにモンテカルロイオン注入モデルが必要になる。解析モデルは、ドーパントの横方向分布やダメージ分布を精密化する必要があるだろう。イオン注入過程、特に、複数種のイオンを注入するカクテルイオン注入やアニール工程における Si 中或いは Si に関連する物質中での欠陥の挙動を捉えるように拡張されたモデルが必要となる。イオン注入エネルギーの範囲は、界面の影響が重要になる超低エネルギー (1keV 以下) から高エネルギー (数 MeV) にわたる。固相拡散やプラズマ・イマージョン・イオン注入 (PIII) のような代替ドーピング技術のモデルに立脚した評価も重要になるであろう。

ドーパントの拡散の最小化と、ドーパントの十分な活性化(最大化)とのトレードオフを最適化することが、浅い拡散層の形成とデバイスのアクセス抵抗の最小化に対して重要となる。従って、これに関連するメカニズムのより良い物理的理解は技術開発にとって重要であり、同時に、物理的なモデリングに関する種々の研究に対する前提条件でもある。ドーパントの拡散と活性化に関しては、キネティック・モンテカルロ法が今後有望ではあるが、連続体モデルがプロセスシミュレータに於いて依然として主要なモデルでありつづけることは間違いない。プレアモルファス化の影響も含め、幅広い不純物種およびサーマルバジェットの軽減に対応することが出来るように、継続的にこれらの連続体モデルを改善していく必要がある。点欠陥に基づく拡散モデルについては、これまでの初期増速拡散効果を捉えることに加え、特に、クラスタリング現象と活性化現象におけるドーパントと欠陥の振る舞いに関して大幅に改善する必要があるだろう。ミリ秒アニール技術やそれを超越する技術の動向に対応するためには、温度プロファイルの適切な取り扱いが必須になる。一方でこの問題は、時間的・空間的な温度分布の制御が課題であるレーザーアニール技術においては特に大きな問題となるであろう。界面の効果、特にシリコン酸化膜でない物質の界面の効果がますます重要になる。ここで、偏析と不純物トラップは、N,C,F,Geそして金属不純物やノックオンされた酸素などの影響を考慮し、High-k 材料層を含め、全ての誘電体に対してモデル化される必要がある。さらに、CMOS テクノロジー改善のロードマップにおいて機械的応力技術が重要になるので、拡散、クラスタリング現象、活性化のすべてのモデルは、機械的応力の影響を局所的に考慮しなければならない。

先端プロセスモデルでは、準安定なドーパントの活性化(固溶限以上)のモデリングが必要である。これらは、フロントエンドで減少したサーマルバジェットの影響や、それに続くバックエンド・プロセスでの不活性化を考慮した振る舞いを含めるべきである。表面と界面での拡散のモデルも必要となるであろう。これらはシリコン酸化膜や新しいゲート絶縁物質との相互作用を含む必要がある。真性の機械的応力の有無に係わらず界面との相互作用が 1 次の相互作用となる極薄膜のボディ中(例えば SOI)と同様に、代替物質(SiGe, SiGeC, GeSi 或いは Ge 等)中の拡散/活性化のプロセスモデルもまた改善が必要である。

原子論的なプロセスモデルは、フロントエンド・プロセスの直接的なシミュレーション方法として、また連続体モデルの改善或いはキネティック・モンテカルロ法の開発やパラメータ抽出の手段として重要な役割を果たし始めている。サーマルバジェットの減少に伴う振る舞いや、フッ素、炭素やゲルマニウムなどの他

の不純物の役割を理解するため、ドーパントと欠陥との相互作用に対して *ab initio* 法を用いた詳細な知見が必要となるであろう。また、**High-k** 絶縁体の成膜や界面特性のように、新しいプロセス、物質、そして界面の原子論的な研究が計算物性科学によって可能となるであろう。*ab initio* 計算から連続体までの階層化されたモデリングが開発され、主流の TCAD の流れに取り込まれる必要がある。

デバイス移動度の改善に対する機械的応力効果の技術がますます重要になってきているので、信頼性、転位の発生やドーパント拡散に影響する応力モデルの開発が必要である。物質の組成変動に起因する応力や不純物、クラスタ或いは拡張欠陥によって誘起される応力なども含め、応力は全工程の結果として決定されるので、応力はプロセスで使われる全温度領域にわたって考慮され、デバイスシミュレーション・ツールに渡されなければならない。シリサイド膜のような薄膜の成長には、コーナー部や微小な三次元構造中の応力が信頼性に与える効果や、これらの構造での欠陥の発生の効果をふくめて、より良いモデルが必要である。

先端ゲート積層物に関し、EOT (Equivalent Oxide Thickness) の継続的なスケールアップを可能とするために、**High-k** 絶縁膜の物性、基板との相互作用、メタルゲートとの特性／相互作用をモデリングすることは重要な要求の1つである。ここでのモデルは、ゲート積層の形状によって変わる堆積条件や昇温工程の変化から、デバイスシミュレーションで用いる、或いは、薄膜酸化膜の NBTI (Negative Bias Temperature Instability) などの信頼性に関わるゲート絶縁膜界面における欠陥密度のような構造的な特性と関連付けできるようなモデルであるべきである。

デポジションと CMP を含むエッチングに関する形状モデリングは、装置シミュレーションとリンクする必要がある。このリンクにより、ウェーハ間やウェーハ上の不均一性と同様に形状に与える装置設定の影響を決定できる。とりわけ、MOCVD や ALD のような新しいデポジション技術や、半導体および絶縁体のエピタキシャル成長に対して、より物理的な形状モデルへと最終的にこれはなるべきである。プレーナ型 MOS を超え、より複雑なデバイス構造および 3 次元集積法にむけた工業的動向があるので、これらのプロセスのモデリングはさらに重要になるであろう。

このようなフロントエンドの各モデリング領域に於いて、重要なステップにおけるばらつきがパフォーマンスへ与える影響を見積もる方法を開発することが必要である。これらには、ドーパントのランダムなばらつきによる不規則な効果、ウェーハ面内のエッチングばらつきのようなシステムティックな効果が含まれる。近接効果やライン・エッジ・ラフネスのようなリソグラフィのばらつきのモデリングとこれらの効果は強く関連しており、よりよい DFM 戦略に必要とされる。

正確なプロセスモデルの決定、特に、次世代の極端に薄い幾何形状、薄膜やドーパントレベルを扱うツールに対して、測定方法および解析的手法を改善することは本質的な問題である。新規物質に対してはこれら新規物質界面の測定技術も必要な技術となる。

デバイスモデリング

一般にデバイスモデリングとは物質中のキャリア輸送を表すモデルや手法を指す。モデルは、ポアソンと連続方程式を解く簡単なドリフト拡散から、ボルツマン方程式を単純化した高次のモーメントを解くエネルギーバランスのように、より複雑で計算時間がかかるものまである。さらに、今日のデバイスの複雑な物理により、ボルツマン方程式を確率的に解くモンテカルロ・コードや、量子効果を考慮したシュレディンガーの解法が必要になっている。適切なモデルは、問題および要求される精度のレベルに依存するため、ユーザが選択することになる。近年の数値解析や物理学の大きな進歩90にもかかわらず、増え続ける挑戦的な産業の要求に答えるには、デバイスの探究および最適化のために継続的な開発が必要である。デバイスモデリングはスケールアップの研究や技術の最適化のために使用される。したがって、今日のデバイス性能を正確に再現し、将来の限界を正確に予測する技術が必要である。以下は最も重要な課題の説明である。

ゲート・スタック — ゲート絶縁膜が非常に薄くなったので、ゲートのトンネリング電流は今日の重要な設

計項目である。ゲート・スタック全体(チャネル・絶縁膜・電極)の包括的な量子力学的なモデリングは、数原子層の厚さの酸化膜や酸窒化膜の振る舞いを表わすために必要である。High-k 膜とメタルの適用が広がっているため、絶縁膜中の詳細なトンネリングと電荷輸送、複雑に積み重なった絶縁膜の実効的な誘電率、界面準位とダイポール、そして、High-k 膜に分布する電荷とトラップは直ぐに考慮されるべきである。代替となる High-k 膜の探索や評価を支援するために、基本的な材料のモデリングを推進すべきである。チャネル移動度だけでなく、Fermi-level pinning や酸素欠損によるフラットバンドの変動やヒステリシス効果、しきい値および容量特性、信頼性に特に注力すべきである。

応力と歪 — プロセスの熱履歴だけでなくソース-ドレイン領域の異なる材料や積層は、デバイス特性を決めるようになってきた応力や歪を引き起こす。全ての考えられるチャネル方向の電流を正確に予測するためには、任意のストレス場についてフルテンサイル量の表現が必要である。全てのモデルはバンド構造(バンド端、実効的な状態密度と有効質量)の効果を含めるべきである。特に GPa ストレス領域の非線形な移動度への影響が最も重要である。それは、ストレス依存の飽和速度だけでなく、有効質量や運動量の緩和時間にも起因する異方性のピエゾ抵抗を含む。

コンタクト抵抗 — デバイスの寸法の縮小に伴い、全体のデバイスの抵抗(チャネル、S/D、コンタクト)に対するコンタクト抵抗の寄与は増え、電流電圧特性やトランスコンダクタンスを予測するシミュレーションにおいて重要な役割を果たすであろう。コンタクトとシート抵抗(高ドーパの活性化と移動度)の正確なモデリングは、正確なデバイス特性の表現とコンタクトエンジニアリング(例えば、フェルミレベルのディピンニングによるショットキー障壁の高さの低減によって)の実現性のために必要である。

3 次元のモデリング — 移動度向上のために歪みを使用する特に狭いデバイス(例えば Flash や SRAM メモリセルとロジックセル)に対して、様々な空間の方向内の結び付けは、現実的な 3 次元構造と不純物分布を考慮した完全な 3 次元デバイスモデリングを必要とする。ゲート端のラフネスやゲート幅依存のような効果はデバイスの出力特性に大きな影響を与えるため、デバイスの最適化の研究に考慮される必要がある。これは、3 次元シミュレーションは時より用途が限定されるために保留にするのではなく、日常のタスクで実際に必要であることを暗示している。したがって、3 次元のツールが 2 次元と同様の複雑性と計算時間を要求されるため、プロセスのエミュレータやシミュレータと現実的に結びついているデバイスエディタ、メッシュのアルゴリズム、および行列解法を増強しなければならない。

不純物、寸法、構造のばらつき — 継続的な寸法の縮小は他のものと異なった奇妙な問題を引き起こしている。体積が小さいために、注入される不純物の複雑で微妙なばらつきが、不純物濃度の無視できない差を大きくして、デバイス特性に大きな影響を与えるであろう。同様の効果はゲート絶縁膜や UTB(Ultra-Thin Body)-SOI のシリコン膜厚だけでなく、トラップ濃度やボリのグレインサイズのばらつきからも起きる。そのようなばらつきはデバイスパラメータの分布を広げるため、最適化や量産化に向けての検討において考慮する必要がある。個々のデバイスは、なるべくならば 3 次元のランダムな不純物分布を持つデバイス(例えばモンテカルロ法によって作られる)で表現されなければならない。このことは高速な 3 次元シミュレータの必要性を再度強調している。正確な結果を用いた効果的で適切な分布の表現は SRAM ノイズマージンなどの重要な性能評価のためには必須である。

RF — バイポーラに特化したモデル開発は、従来の CMOS スケーリングのモデルと同程度あるいはより必要にもかかわらず、遅れている。従って、RF、アナログ混載の CMOS、BiCMOS、バイポーラの回路設計の支援のために、特に小信号解析(AC)および大信号の振る舞い(過渡)の数値的な取り扱いを強化する必要がある。デバイス性能の解析、非定常効果の理解、RF 測定にかかる時間や費用の削減、縮小化したデバイスの予測精度の良いデータの提供のために、効率的なツールが必要とされている。RF 回路を統合したデバイスシミュレーションまたはミックスド・モードシミュレーションは最適化が容易かもしれないが、効率的なアルゴリズムが必要になるであろう。回路シミュレーションとデバイスシミュレーションを結合するときには、個々のデバイスの計算は並列に行う必要があるため、ハードウェアとソフトウェアの支援が必要になる。使用されるモデルには、表面の量子化、ダイレクト・ゲート・トンネリング、インパクトイオン化、ストレス効果のような DC で必要とされる全てのモデルが考慮されるべきであろう。内部雑音の包括的なモデ

リングには、sub-kHz から少なくとも 100GHz の範囲の重要な全内部雑音源を含めなければならない。柔軟な方法で輸送方程式に外部雑音源を包括的な表現で繋ぐために、基板雑音の相互作用の効率的なモデルが提供されなければならない。最後に、デバイスと回路の自己発熱と周波数依存の物理的パラメータを考慮する必要がある。

CMOS スケーリング — 新規のデバイス構造や究極の CMOS スケーリングには、より正確なデバイスモデリングが必要になる。数ナノのチャネル長やシリコン膜は、バンド構造やフォノンスペクトルに関連する量子効果を含む部分的なバリスティック輸送モデルを使わないと、正確に表現することができない。幾つかの方法が提案されてきたが、それらは近似に対する厳密な検証が部分的に欠けているか、もしくは、非常に計算に時間がかかる。より簡単な方法はセルフコンシステントなポアソン-シュレディンガー方程式を基本としており、もっと改良された方法は、Wigner 輸送方程式、Kadanoff-Baym 方程式、沢山の粒子を取り扱う量子的な Liouville 方程式を解くためにグリーン関数または Wigner 関数を利用する。MLDA(Modified Local Density Approximation)や Density Gradient Model のための矛盾のない移動度モデルが特に重要である。輸送すなわちストレスとチャネルの方向、主流になっている設計されたデバイス、新規のゲートの積層構造と共に、これらの話題は重要になる。対応する上記段落を参照。

新規デバイス — 近年、従来型の FET を越えたデバイスだけでなく、従来型の CMOS FET チャネルの延長を含む、非常に多くの新しいデバイス構造が提案されている。CMOS FET の延長に対しては、短チャネル効果を抑える有望な方法としては薄膜を利用することである。このため、完全空乏、極薄膜の SOI、マルチゲート FET、ナノワイヤーのような1次元構造、様々な形状のダブルゲートやサランディングゲート構造が研究されている。これらの構造には上で述べた部分的なバリスティックモデルと量子輸送モデルが、任意のチャネル方向の包括的な移動度モデルと同様に不可欠である。さらに研究されているデバイスの特徴として、ノンプレーナや S/D せり上げ構造、歪 Si、SiGe、Si:C、Ge を用いて輸送を工夫したデバイス、さらに、シリコン上の III/V 材料を可能とする hybrid 基板を含む。このためには、ストレスおよび歪効果、構造、バンド構造、デ・トラップ/トラップの正確で包括的な表現が必要条件になる。同じことが新規のゲート積層構造に当てはまる。再度、対応する段落を参照する。自己発熱は SOI ウェーハや Ge 上や形成された素子で特に重要となる。Beyond CMOS 領域の新規のロジック技術は、モデリングやシミュレーション・ツールで表現されるべき、集団スピン、イオン伝導、電気機械的效果のような物理を利用する。同様に、新規のメモリ技術は、磁性体、常磁性体、強誘電体、または、デバイス動作中に相転移を起こす材料を利用する。このため、そのようなデバイスは、アモルファス材料と相転移(結晶の核形成と成長)の輸送モデルに加えて、スピン、磁気相互作用および電気的な極性化現象のモデリングが必要である。関連する材料やプロセスだけでなく、新探求デバイスの開発を可能とするために、商用の利用可能なツールが必要になる。そのようなツールは、既に指摘した全ての物理効果を含む必要があり、構造と界面の影響だけでなく、これらのデバイスの動作モデルに注力すべきである。

その他 — 基板電流およびホットキャリア注入効果のモデリングは最近の十年間で進歩した。微視的なシミュレータの適用により、ホットキャリアの生成や挙動を詳細に理解することができた。しかしながら、誘電膜の薄膜化のために微細化したデバイスは、特にトラップおよびデ・トラップのメカニズム、誘電膜中の輸送に関して、さらなる開発が必要である。さらに、不揮発性メモリの SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)に対しては誘電膜中の電荷トラップとデ・トラップ及び輸送モデルのまだ大きな改良が必要である。要求の高い素子劣化と信頼性の解析は、例えば水素または金属イオンの移動、トラップ準位の生成/変化、ストレスに起因するボイド生成など、デバイス動作中の構造変化を考慮した同様のモデルに頼っている。定常状態および過渡状態、あるいは ESD の信頼性の予測は、技術的な微細化の検討において重要となってきた。残念ながら、後処理か経験的なモデルしか使えない。低消費電力のデバイスについては、バンド間とトラップアシストによる接合リーク電流がプロセスウィンドウをかなり狭めている。したがって、それらのパラメータだけでなく既存のモデルを見直す必要がある。量産化のための設計の課題に取り組むには、デバイス構造の変動(不純物、ゲート線幅など)を表現したものを開発する必要があり、それを回路設計に接続する必要がある。大きなデバイス領域のシミュレーション技術の研究が必要である。パワーアンプあるいは光学デバイスは、大きなインターコネクトシステムによって、通常は多くのトランジスタセルが相互に接続されている。デバイスパラメータの分布定数的な効果

の影響は、特に熱や電磁気の効果効が効くときに、上手く理解されてなくモデル化もされていない。大信号の振る舞いは要求されるが、従来の TCAD はシステム全体の離散化に必要なグリッド数のために使えない。

インターコネクト(INTERCONNECTS)と集積受動素子(INTEGRATED PASSIVES)モデリング

インターコネクトはトランジスタと配線密度が 2 年ごとに 2 倍の割合で伸びるムーアの法則(Moore's Law)の律速要因として、重要な役割を演じ続けている。このことは、インターコネクト電気特性と信頼性の両方に関係しており、電氣的、機械的、熱的に結合させたシミュレーションを必要としている。LER やパターン寸法ばらつきのシミュレーションの必要性も増している。信頼性に関しては、エレクトロマイグレーションやストレスによるボイドや突起発生が最も重要なトピックスである。電気特性と信頼性は共に、たとえば、Cu 粒界やポーラスな Low-k 材料を含む、プロセス条件と材料組成に顕著に影響される。デバイス特性と信頼性は、設計に顕著に依存しているが、この他に、寸法や穴断面の縮小が進むと共に、実プロセスでは、設計構造からずれることが重要な依存要因として上げられる。フロントエンド技術と同じように、微細加工のモデリングと、インターコネクトの性能および信頼性のモデリングとが、共に要求されている。最初の微細加工面でのモデリングは他の章節で扱われているため、この節では、後者のモデリングについて述べる。

素子の動作速度が数 GHz 領域に高まり、インターコネクト構造のシステムの複雑さが次々と増加するに従って、高精度でよりよい効率のソフトウェア・ツールが必要になっている。複雑なインターコネクト構造の電氣的、受動素子特性を予測出来るようになることは、引き続き挑戦すべき技術課題である。プロセスの出来と IC レベルの測定結果とを結び付け、信頼性の問題と設計の不具合との関係を明確にし、そして、代替インターコネクト構造を容易に探し出す設計者の能力を持つソフトウェア・ツールや方式が必要となっている。

更に、前述のフロントエンド領域に加えて、技術トレンドはプロセス範囲が拡大している。詳しくいうと、インターコネクトで通常見られる欠陥モードが大きなスケールに移っている。実際、トランジスタとボード間の電氣的結合に用いられるパーツが短くなり、歩留まりや損失に寄与する機械的、熱力学的な熱と物質の流れを再考しなければならなくなっている。

幾つかの解決策候補(Potential Solutions)はあるが、これらの解決策は、設計フローの日々の使用に耐えるだけの最適なものとして更に発展させる必要がある。電気特性のモデリング課題の先端的解決策は、次の 2 つのカテゴリーのものがある。

- 第 1 カテゴリーとして、半導体基板が低抵抗の場合、電磁氣的応答は、線形応答に収まるはずである。その場合、この基板は伝導度と誘電率とで特性が決まる伝導性媒体として扱うことが出来る。電磁波(full wave)アプローチに基づいた数値モデリングアプローチが使用可能である。モーメント法(MoM)や、部分要素・等価回路(PEEC)法が、電磁氣的環境をシミュレートする有効なスキームとして追究されてきた。最近では、有限差分時間領域法が高周波領域のインターコネクトと集積受動素子の計算スキームとして追究されている。
- 第 2 カテゴリーは、基板を半導体として忠実に取り扱うものである。その際、半導体基板は、電磁界に対し非線形に応答する。更に、電界のソースの応答がセルフコンシステントであることに呼応して、二次の非線形結合が生じる。最近では、半導体デバイスシミュレータの方程式にマクスウェル方程式をセルフコンシストに考慮したアプローチがとられている。この解が使えるものであることは、示されているが、これを実用的なツールに変えるには、未だ一連の発展が必要である。指摘されている疑問点は、「如何にして、(半)自動的に等価回路表現を抽出出来るかである。すなわち、ネットリストや SPICE パラメータ、あるいは S パラメータを、電磁波(full wave)解から、よりよく抽出できるか？」である。展開次数低減(Reduced-order)モデリング技術は、更に発展、開拓を行う価値のある高い可能性を持っている。

全電磁波 (All full-wave) 解析は問題の複雑度を増さずに、寸法が 100nm から 1cm 迄のスケールに渡る配線の電気特性を抽出しなければならない計算機上の厳しい困難さがある。電磁波的振る舞いの典型的シミュレーションは、定常解に比べ、約 10 倍以上の節点変数の計算が必要である。動的特性解析のためには、磁界のベクトルポテンシャルを含める必要がある。周波数依存性を扱うためには、変数の位相と振幅の両方を保存する必要がある。従って、速い線型ソルバーが電磁波(full wave)解析を設計フローに実装するにあたっての鍵になっている。

高周波でのこのような効果を十分詳しく理解する要求があることに加え、デバイスに集積した受動素子をシミュレートすることがますます必要となってきた。受動素子の集積は、生産コスト削減に大きく寄与するからである。これらの集積受動素子の特性を計算で把握できるためには、これらの素子をより実際に近い環境でシミュレートする必要がある。たとえば、渦巻き型インダクタの特性係数(q ファクター)を決めるには、基板中に流れる誘導電流のオーミック抵抗によるエネルギー消費がどれだけかを知らないといけない。実際、ここで扱っていることは、将来の IC 設計に一般的トレンドとなるものである。すなわち、集積受動素子と半導体基板層の系が、電磁気パルスに極めて非線形に応答する電磁気的特性をシミュレート出来ることが非常に強く望まれている。

優先度の高いものは、熱的、機械的な性質が結びついた多層薄膜の特性である。薄膜の構造、組成依存特性は、信頼性への影響に関連してどうしても把握が必要なものである。これらの薄膜の機械的な性質、すなわち、材料の疲労化、割れの発生、応力起因の空洞化は同じく信頼特性に影響する。熱サイクルが引き金となって、予測できない割れが発生することがある。

信頼性におけるリスク要因は、多層薄膜における残留応力である。熱プロセス毎に、金属膜の微視構造が変形し、残留応力が引き起こされる。粒界成長と変形の力学モデリングは、クラックの発生や伝播に影響する薄膜の全応力プロセス履歴の理解を改善するものになるだろう。

これらの影響をより効果的に調べるには、実験手段だけでなく、シミュレーション・ツールが必要である。インターコネクト・シミュレーションが装置／最小寸法スケールのシミュレーションと相互に果たす役割は、ますます重要である。材料を低・誘電率物質へ変更することは、低・熱伝導率物質に変更することであり、インターコネクト設計技術の進展に必要とされる一連のシミュレーション・ツール用に組み合わせた電氣的、熱的モデリングの重要性が極めて大きくなってきている。

これらに関して、特に数値計算ツールの機能向上のお蔭で、モデリングの関心が高まっている。しかし、新しい物理現象をシミュレーションに取り込むことが要求されるかもしれない。

- Low- k 膜の導入形成後は、膜剥がれの発生が劇的に増加した。界面位置での微小亀裂は、通常使われる応力ベースの解析では最早、説明出来ない傾向にある。連続体での力学法則が有効でなく、エネルギーベースの破壊機構を表現できるツールが開発されなければならない。一方、関連してトップ事項は、新たな欠陥解析技術である。特に、破壊機構は理解がボトルネックになっている。クラック形状のその場(in situ)非破壊 3 次元観察や、剥離の進行が追えることが、欠陥臨界生成の決定的な知見をもたらすであろう。その種の機構に閾値や定量値を与えるには未だ不十分ではあるが、最近、進展が見られている。最終的にはより予測性能のあるモデルが得られるであろう。
- テスト構造の最悪条件を定義し、デバイスの実寿命条件に対応する実験的信頼性データを保証する要求に関しては、エレクトロマイグレーションのシミュレーションが出来なければならない。微細化するに従い、界面の影響が増加する。従って、バルクと界面の機構は共に考慮され、キャリブレーションが成されなければならない。
- 熱的かつ機械的起因の応力においても、通常用いられる物質モデリングによるアプローチが、最小寸法の減少により有効でなくなる。例えば、銅配線の微細構造効果や、低誘電率膜の空孔発生は、支配的な要因である。多岐のスケールと多彩な物理レベルのシミュレーションがこれらのス

ケールにわたって実行されなければならない。

- 物理的、構造的に小さなクラックについては、古典的連続媒体の力学は最早、有効でなく、微視的な物質寸法での物質の微視力学の扱いがより適切であろう。

インターコネクト性能のシミュレーションは、問題が広く次の 4 点に渡り、とりわけ難しくなっている。

1. 電氣的、熱および機械的に強く結合したシミュレーションが必要である。
2. 最終目標が少なくともチップレベルの性能と信頼性である。しかし、最小寸法スケールの縮小とアスペクト比の上昇に従い、理想的なインターコネクト形状からずれていくプロセス事情によって、この目標がますます影響を受けるようになっていく。そして、問題は広く、数 Å から mm までの大きさにわたって広がっている。
3. 上記した物理的影響とともに最小寸法スケールの限界事情が実設計性能にますます影響を及ぼしており、いろいろなレベルのインターコネクト・シミュレーションが設計と双方向に結合されなければならない。
4. インターコネクトとパッケージの同時シミュレーションがますます重要である。

更に、新しいインターコネクト体系が、技術従事者と CAD 従事者との協力により設計されるべきである。近い将来、CAD の流れは、製造の仕事を進めるソフトウェア管理と埋込みセンサーを含んで、臨界温度や応力の閾値、そして最終的には寿命までも最適化するものになるであろう。

これらの問題事項を解決するには、階層的なシミュレーション手法とツールの開発が必須である。

回路素子モデリング

回路モデリングにおいて大事な課題は、量的にも強度的にも増加しているデバイスと他のデバイス、レイアウト、密度、寄生量等との相互作用を考慮して、デバイスと回路を同時に並行して開発することを実現することである。

寄生効果を含んだ回路動作の正確なモデリングは、1 回目ですべて正しい設計をするために非常に重要である。プロセス/デバイスシミュレーションは、新しい技術の立ち上げ時にこの情報抽出をサポートすることが出来る。物質の特性を電子輸送と関連付けているモデルは、将来のテクノロジーの予測性を大幅に高める。モデルは、生産性の可能性に指針を与える統計的相関をも含んで、統計やプロセス変動も考慮してなければならない。願わくは、このような統計モデルは、プロセスの限定よりずっと前に実用可能であることである。これはテクノロジーがリリースされる前にチップ設計を可能にし、テクノロジーが限定されるとすぐに急激に生産性を上げることを可能にする。

回路シミュレーションのための回路要素モデルは、チップ設計の生産性の鍵をにぎる。Design Chapter に多くのチャレンジがまとめられている。たとえばクロック周波数の増加、印加電圧の減少、弱反転領域の重要性増加、指数関数的な回路の複雑性増加などが挙げられる。モデルの精度と CPU 効率は 2 つの相反する要求なので、必然的に階層的なモデルへと移行していく。最も高精度のモデルは小規模回路に用いられる。精度を犠牲にしたモデルは大規模回路設計のために開発される。同様にこの両極性は、正確なモデルがあればシミュレーションすることなく、チップ全体をシミュレーション出来る可能性もあるが、デバイスレベルやブロックレベルといった様々の構造レベルにおけるモデルの階層があることを意味する。

歴史的に、アナログ回路シミュレーションの要求が回路要素モデルの開発を牽引してきた。その後アナログとデジタル設計者の両方がこれらのモデルを使ってきた。チップ当たりのアナログやデジタルデバイス数の増加は、高速なモデルであると同時にシミュレーション・ツールの収束性の向上が必要とされる。デバイスモデルは多くのより詳細な効果を含む。直列抵抗、インダクタンス、キャパシタンスのようなパラシティック効果や量子効果、リーク、ノイズ、ひずみ、非準静的 (non-quasi-static) 効果などがより重要になっ

てきている。それぞれのモデルにとっては、ロバストで正確なパラメータ抽出アルゴリズムが本質的である。

最新のMOSモデルは表面ポテンシャルベースのモデリングを基にしており、このため、デバイスシミュレーションから回路シミュレーションへの接続が簡単に出来る。またモデルパラメータ数を減らすことができ、結果的に高速でパラメータ抽出と、ばらつきや統計考慮とが容易に出来る。このことは、デジタル回路、正確な微分や V_T の記述が第一に重要となっているアナログやRF応用において決定的である。いくつかの応用では、より長チャネルのデバイスが高周波帯で用いられ、非準静的(non-quasi-static)モデルが本質的となっている。アナログやRF応用では、過剰なノイズやひずみのモデル化にもっと注意を払わないといけない。RF(ノイズ)測定を省略することができて、コンパクトモデルが追加のパラメータ抽出なしで予測可能なことが強く要求されている。新しい効果が現れるとモデルは、ますます複雑になる。増え続ける回路サイズに関しては、例えば、フル高速モデル(fast versions of the full model)の開発により、計算時間の極小化にも注意を払う必要がある。

将来の CMOS 世代におけるコンパクトモデルは新しく現れる効果を正しくモデル化しなければならない。たとえば、移動度を上げたチャネルや高誘電率(High-k)のゲートリーク電流などがあげられる。ノン・クラシックな CMOS デバイス(PIDS(Process Integration, Devices, and Structures) Chapter 参照)は、追加のモデリング・チャレンジを必要としてくる。多くのデバイスは、FD SOI-CMOS、FinFET、デュアルゲート FET などのようなチャネルは完全空乏になっている。こういう構造はより短いチャネルを可能にし、これは同時によりバリスティック効果を意味する。更に、2 つのチャネルがお互いに接近(10nm)しているので、量子力学的な相互作用をする。これは FinFET やデュアルゲート FET のようなマルチチャネルデバイスに重要である。小さいサイズのデバイスが与えられたら、このようなクラスのデバイスでは、ばらつきや統計分布が顕著になってくる。このような世代では局所的なばらつきはグローバルなばらつきより重要になってくる。これは、回路シミュレーションで扱われる統計、例えば、静的な統計的タイミング解析などの方法に影響を及ぼす。回路シミュレーションで計算時間的に有効な統計ばらつきの考慮を実現するためには、できればプロセスをフィックスする前に、局所なばらつきとグローバルなばらつきの矛盾のない扱いが必要となる。

ノン CMOS デバイスに対しては、モデリング・チャレンジを特定するのは難しい。PIDS Chapter のオプションの数はまだ多すぎて、膨大な労力をモデリング領域に膨大な労力を要求している。バイポーラデバイスに対しては、モデルは SiGe(C)あるいは III-V マテリアルの極度の HBT に拡張されてくる。メモリに対しては、PIDS Chapter で述べられている、FRAM、MRAM、位相変化のような新しい概念に対してモデルが必要である。個別の先端製品、例えば、RF パワーデバイスにおいても、熱の効果や相互作用を扱うモデルに、挑戦が必要である。

RF の回路モデリングは 100GHz まで拡張される。極端な RF 応用(60GHz 以上)でも 30GHz—40GHz 応用でも(3 次の高調波)ひずみが大事である。パラシティック要素を含んだ、アクティブ・デバイスやインダクタ、トランスミッションライン、バリキャップ、それにインターコネクトなどのパッシブ・デバイスのスケーラブルなモデルが、すぐれた RF 回路モデリングでは非常に重要である。いくつかの(アクティブあるいはパッシブ)大きな要素には非準静的(non-quasi-static)効果が顕著で、これは高精度にモデル化されていないといけない。異種の集積化をサポートするには、CAD ツールが異なるテクノロジーで、異なるシミュレーションと応用分野(RF、デジタル、それにミックスドシグナル)を扱うことができるように高める必要がある。これらのツールは回路モデル間、ビルディングブロックモデル間、インターコネクト間、ダイ間、そしてパッケージ間のマルチ相互作用を扱うことが要求される。

回路遅延やクロストークへの影響の増大に伴って、インターコネクトモデルの重要性は増している。インターコネクト・ネットワークの複雑さや大きさは重要な挑戦を提示している。異なる応用は、クロストーク、マッチング、インダクティブ(3D 次元でも)、スキニング効果、それにサイズ効果(Interconnect Chapter 参照)などの異なる効果のモデルを必要とする。階層的なインターコネクト・シミュレーション法は妥当な計算時間を保つために必要である。インダクタンスの考慮は高速クロック回路に重要である。RF 応用においては、

回路動作の本質的部分となっている。トランスミッションラインやアンテナのようなインターコネクト・デバイスの完全波形記述は、高速や高周波数では当たり前となる。もしインターコネクトの完全波形記述がデバイスレベル以降で重要になるなら、複雑度を下げるアルゴリズムに真剣な努力が払われなければならない。

集積密度の増加は近隣のデバイスとの相互作用を無視できなくなってくる。これは回路のレイアウトに基づいてモデル化されないといけない。フリンジング効果のような、3次元パラシティック効果もまた RF 回路特性に大きな影響を与える。大規模回路では、遠距離効果さえも大きな影響を与えてくる。例として、基板カップリング効果がある。たとえばデジタル・クロックシグナルがアナログや RF 部分に伝播してそれらの動作を妨害する。温度効果は SOI-based や薄膜デバイスで更に重要になってくる。従って自己発熱、相互発熱、冷却効果は重要になってくる。RF 応用には、大規模電磁界効果が重要になってくる。この効果は、デバイスレベル以降の回路レベルで考慮されないといけない。このためには、効果的なシミュレーション法が鍵となる。

予測可能な DC と RF 特性の信頼性シミュレーションは、設計が厳しい信頼性限界に近づいてくると重要になってくる。ESD は将来のプロセスにおいて、信頼性を下げる一番重たい問題の一つとなっている。デバイスレベルのコンパクトモデルに基づいた予測可能な回路レベル・シミュレーションが、安全なチップ設計を保障するためには必須である。加えて、インターコネクト・レイアウトからのエレクトロマイグレーションの予測は、スーパー・ワーストケース・マージンを避けるためには、改善される必要がある。酸化膜の信頼性、ホットキャリア効果、それに EMC 適合性などのシミュレーションは、いくつかの場合には適応に限界があると予想される。予測可能なモデルは、物質の物理を判定するためのすぐれた解を必要とする。

パッケージ・シミュレーション

IC パッケージの共・設計(co-design)はシステムレベルで考えることが益々重要になってきている横断的重要事項である。以前パッケージ設計者は、ダイ上に I/O パッドを配置することや PCB(プリント回路基板)上の I/O 結線を配置することを含むダイ footprint 配線の方法に従事していた。この方法では増えつつあるピン数や大きくなる全体の(パッケージ)サイズに対応できない。またパッケージは高価になり、最悪の場合製造できないという問題を抱える。配線出来、および製造出来ることの上に更に、シグナル・インテグリティ(signal integrity)、パワー、温度、メカニカル・インテグリティ(mechanical integrity)に関しての要求に合致しなければならない。要求されている電氣的、熱的、機械的統合シミュレーションはダイとシステムを考慮した上で実行しなければならないが、これは共・設計(co-design)ツール間の連結によって可能になる。優れた共・設計(co-design)ツールは、パッケージとダイのデータベースの間を直接連携させ、両者の結果を統合することが可能である。

現在の一般的なパッケージモデルは、IBIS、SPEF、または SPICE のような集中定数モデルである。これらは、モデルが単純で、シミュレーション・スピードの利点があることから今後も使われるであろう。短期的にはこのようなシンプルモデルについて、上手くパッケージ特性を記述するための改良が必要である。SPEF モデルは、短い結線の自己インダクタンスが重要で、且つ大電流ループが無い相互インダクタンスが無視できる場合に有効である。比較的長い配線、長い電流ループ、配線ボンドを持つパッケージについては、相互インダクタンスが非常に重要となり、かつ IC でも重要となる。IBIS モデルは配線交差結合を良く記述するが、パッケージ上の全てのダイピンは一般的に互いにショートしていて、これはシミュレーション能力を大きく制限する。どちらにしても両方法は、電源、グラウンドに関する解析を上手く取り扱うことができない。唯一 SPICE は電源、グラウンドのより複雑なモデルを構築することができるが、モデルは扱い難く遅い傾向がある。

パッケージの電源、グラウンド構造のモデリングは非常に重要である。電流ボトルネック、ノイズ、同時スイッチング問題は、熱解析との連携に極めて重要である。十分なデカップル容量が、動作保証用に正しく配置されているか、コストやパッケージサイズに逆行するほど過剰に追加されているか、等の見極めが難しい。

離散的な集中定数要素ベースのモデルを超えて、高精度な分布定数型伝送線路モデルに移行することは明らかに必要とされている。単純なパッケージ構造では非常に限られた電源、グラウンド構造しかないが、典型的な BGA (ボール・グリッド・アレイ) パッケージでは、配線がグラウンド面を横切る構造はわずかに半分程度である。より複雑なフリップチップ設計では、様々なレイヤーの上に多くのグラウンド、電源面が存在する。パッケージを使い回すことになれば、一旦作られたパッケージモデルは多くの顧客に渡ることになる。この際、使いやすいパッケージモデル・フォーマットと簡単に流通するシステムを共有化する必要がある。reduced-order モデルのような代替モデリング方法は調査する必要がある。IC/パッケージ/PCB システム間の複雑さや相互作用をモデルに取り込むために、様々なコンポーネントモデルを様々な実装出来るモジュール化のアプローチが、特に SIP(system in package) や SOC(system on chip) ソリューションを考慮する際、必要と言える。デジタル、アナログ、RF そして、MEMS (micro-electro-mechanical systems)、光学製品までも同時に考慮する際は、同様のモデルが必要であろう。アセンブリとパッケージの章を参照。

シミュレーションモデルを作るということは数値計算方法に対して新しい課題を生み出すことになる。パッケージ形状解析は完全に 3 次元の電磁界ソルバーを選び出すことに他ならない。フリップチップパッケージでは多くの配線層と電源、グラウンド構造が存在するので、たった一本の信号のネットの抽出でも非常に労力が必要である。MCM (multi-chip-module) では、非常に大きな最小セットの抽出が合わせて必要な沢山のネットを組み合わせた長い配線路が存在する。何れのケースにしても、解析領域を小片に分割する問題が、電源/グラウンドのパラメータ抽出においてフリンジ成分の見かけ上の劣化を引き起こす。フルパッケージでの抽出ができ、解析領域が拡張可能な電磁場ソルバー・エンジンの開発が問題を本質的に解決するものである。解析領域の拡張性は並列クラスタを導入することで達成できるであろう。同様に時間とメモリ消費の効率化も更に改善する必要がある。

熱伝導度の低い Low-k 誘電体の導入により熱解析の必要性が増している。IC で発生し増加する熱量はパッケージに流れる。その際、そのより多くの熱を逃がし、パッケージがシステムに、その熱を流すようにすることは大問題である。これは、シミュレーション解析を容易にする共・設計 (co-design) ツールが必要ということを示している。更にグラウンドを通して流れる電流とパワー構造を理解することが必要である。なぜなら電流のボトルネックは、高温スポットの要因になるからである。

積層を通して導入される真性および熱的な機械的応力 (ストレス) は、その特性を把握してモデル化しなければならない。Low-k 誘電体膜はしばしば機械的整合 (mechanical integrity) を容易にしているが、一方で同時に熱応力 (ストレス) がますます厳しくなっている。そのストレスは、ダイや、グラウンドと電源面中の電流ボトルネックによって引き起こされる熱の不均一や、熱伝導率の低下により、特に大きくなる。

新しい材料の導入による特定の不良メカニズムと前工程・後工程の相互作用に加えて、パッケージの多様性による複雑さもモデルの改良を必要とする要因であり、検査コストや開発期間を削減することが期待されている。プロセスウインドウと主要な特性は明らかにパッケージの形態に依存しているため、従来のモデルは適用できなくなっており、実際の製品構成が考慮されなくてはならない。さらに、前工程からアセンブリ、パッケージ工程を含むすべてのプロセスフローについて残留応力、臨界加重について検証するためのシミュレーションを行い、パッケージと配線双方について最適化されなければならない。これにより、最終的には新しい製品の導入時に製品の整合性を保ちつつサイクルタイムを低減することができる。このような要求を満たすために、複数のシミュレーションレベルを含む適切なモデル構築が実行されなければならない。ここにはマルチスケール法、およびアセンブリ工程で発生する特有の動力学と複合的物理現象、材料物性の非線形性が含まれる。同時に、一定量の実験的検証に裏付けされたモデル構築フローにより、熱および機械的シミュレーションが重要な役割を果たすことになる。バルクおよび界面における材料モデルの改良の必要性もある。現在、適用可能なデータは広く企業に提供されていない。最後に、前工程とパッケージ形態との相互作用はますます大きくなることから、関連するチームによる設計 (co-design) 取り組みは、欠くことのできないものである。

材料モデリング

材料の電氣的、機械的、熱的な特性を決めることは、半導体デバイスや集積回路の製作や動作特性にとって本質的である。半導体技術において材料モデリングを活用する分野は、短期ならびに長期的課題の多くにまたがっており、多くの材料や物性に関わっている。さらにバルク材料のみならず、薄膜、表面、界面やメゾ材料(バルクと原子との中間)領域も対象としている。このため、経験的な材料モデリングと、第一原理的な材料モデリングの両方が必要とされる。

半導体技術において材料モデリングを活かす方法は、大きく分けて二つある。

- 第一に材料物性は、装置、プロセス、素子、実装、レイアウト、配線など半導体技術の全ての分野における M&S において、その基礎である。すなわち、全ての M&S における重要な入力パラメータである。これが求められる背景は、半導体素子がますます複雑に、そして微細化している事にあり、ここではより高い精度が求められ、また新たな物理現象を M&S に取り込むことが求められている。M&S ツールは、入力する物性値で決まるとも言える。実測から求めた材料物性値からなる、もしくは実測が困難な場合には第一原理から計算した物性値からなる、データベースが必要である。
- 第二に材料モデリングは、新材料を幅広くかつ系統的に探索し、将来の半導体技術における実用性を調べるのに、活かされる。現状で用いられている材料の組み合わせが、物理的な限界に来ていることが、その背景である。半導体ロードマップの技術の壁にたいして、多くの代替材料が解決策候補として検討されている。

どちらの活用においても、実験では得られない物理的洞察が得られること、多くの複雑な実験による解析が、より短時間で費用も掛からないシミュレーションに置き換えられることにより時間と費用の節約になること、これが中心的な事情である。とは言っても、経験的シミュレーションだけでなく第一原理的な原子論的シミュレーションにおいても、実験による検証は基本である。理論的解析の開発や応用の出来るだけ早い段階から、実験による検証を伴うべきである。長い眼での計画と、理論と実験の専門家の協力が必要である。これにより、高精度なシミュレーション手法についての選択と高度な調整が得られ、また実験と計算の最適な資源活用が可能となる。このことは、表面での原子配置の解明や、ドーパントクラスタの解明において示された。

材料モデリングは、以下のような理由によりますます複雑になっている。1) 使用される材料の種類が、どの分野においても増え続けている。2) 大きさ: 大部分の素子の大きさが、材料を特徴付ける大きさ(例えば、粒界、膜厚など)に近づいている。3) 形状: 平坦でない構造となることにより、異種材料の界面の影響で物性や振る舞いに変化する。4) ナノ構造や分子の配置(例えば、カーボンナノチューブ、グラフェンシート)。これとは別に、材料モデリングの実際的な活用を難しくしているのは、解析領域のサイズを効率よく大きくすることが出来ないことである。

材料モデリングの半導体分野での重要性は、新しい計算方法を開発し改良するための原動力となる。一方で、材料シミュレーションの半導体分野での応用は、物理化学や冶金学などの他の研究分野での開発から得ているものも大きい。様々な計算手法や計算ツールが利用に供されている。しかし、半導体技術において材料モデリングを活用する際の要求に答えるためには、以下に述べるような一般的な開発課題がある。

- 他のシミュレータの入力としても新材料の探索のためにも、必要な物性値はますます増えている。これに対応するためには、膨大な計算とその組織化が求められる。従って、計算が大幅に自動化されねばならない。効率的な作業流れが出来る、融通性の高い計算ツールが必要である。
- 多様な材料モデリングと計算ツールは、材料に起因する半導体技術での課題に取り組むための、基盤である。しかし、互換性の無さが大きな障害となっている。異なる計算ツール間でのデータ交換の標準化と、情報の表示様式(user interface)の統合が必要である。
- 材料モデリングは他のモデリング&シミュレーションの開発課題に必須であるため、絶えず変化する要求と優先度へのすばやい対応が、モデリング&シミュレーション全体の開発スピードの要である。半

導体技術の絶えず変化する要求に対応するために、個別の開発課題の基盤技術として、標準的な計算ツールと計算手法の柔軟な枠組みが必要である。

- 物理チャンネル長で数十ナノメートル、High-k ゲート誘電体の実効酸化膜厚でナノメートル、素子の活性領域が微細化するのに伴って、原子的なモデルから連続量についての結果を求める材料シミュレーションと計算ツールは、局面に向かっている。長期的に見れば、関連する材料モデリングは種々の課題に対応できる計算ツールの集合として統合されるかもしれない。材料モデリングの計算ツールは、こう言った統合に向けた対応が必要である。素子が微細化し、プロセスシミュレーションとデバイスシミュレーションが近接するに従って、材料モデリングは原子レベルに達する。究極的には、例えば単一分子のなかでの電荷移動のように、これらのモデリングの課題は本質的に一つの方法(即ち分子のシュレディンガー方程式)を基盤とする。
- 材料モデリングの多くの分野で、鍵となる課題が二つある。一つは、シュレディンガー方程式の近似解である。もう一つは、必要な物理パラメータを、近似解の出来るだけ少ない評価から抽出することである。現状では、どちらの課題も計算機1台の計算ツールの中で処理されている。計算ツールをこの二つの中心課題に対してモジュール化することにより、それぞれの方法の迅速かつ独立した開発と改良が可能となる。
- 励起状態についての非経験的手法が必要である。現時点で使える大部分の非経験的手法と計算ツールは、基底状態の計算に限定されている。
- 非経験的手法は、スピン現象に基づく素子のような非荷電ベース技術や材料などの次世代素子への応用へ向けて、拡張される必要がある。

一方で、以下のような個別の課題について、それぞれの材料モデリングが要求される。

- 改良されたレジスト(特に化学増幅レジスト)や新しいマスク作成、EUV リソグラフィで用いられる多層反射膜において、材料モデルが必要である。レジストの構造における分子サイズの影響は、LER や LWR (Line Width Roughness) の決定において考慮される必要がある。
- 配線の動作特性や信頼性は、銅の微細構造やそれによる導電率の変化に大きく依存しており、これはシミュレーションにおいて考慮される必要がある。材料モデリングのもう一つの課題は、Low-k 誘電体である。
- フロントエンド・プロセスのモデリングにおける材料パラメータとしては、点欠陥やドーパントの拡散もしくはクラスタ化のパラメータが重要である。これ等のパラメータは、非晶質 Si や界面と同様に、結晶質での値として定義されているが、張力依存性も必要である。これ等の依存性や複数のドーパントもしくは co-dopant[訳注:同時にイオン注入された複数種の不純物]の組み合わせにより、決めるべきパラメータの数は膨大になる。ドーピングが原子的な性質をもつものであり、また従来とは異なったプロセスの重要性が高まっているため、拡散やクラスタ化のパラメータは、プロセスシミュレータにおいて、その効果を正確に評価出来るだけの精度で求められる必要がある。
- 輸送特性を含めたチャンネル輸送特性、などに基づいているので、材料モデリングと考えることもできる。寸法が微細化し、局所電場がより強くなり、大域的ならびに局所的な歪チャンネル(例として、歪下地(sSi)、SiGe、Ge、III-V、SOI、歪 SOI、GeOI、他の新材料などが含まれる)を利用するようになる事に伴い、デバイスシミュレーションの大きな進展が必要である。

信頼性モデリング

半導体産業にとって信頼性の問題が益々重要になっているので、信頼性モデルを備えたデザインツールによって、より良いデバイス性能を実現するだけでなく、信頼性に対するより高いマージンを確保することへの要求が高まってきている。不良の機構やその根本的な原因を理論的に解明するためにモデリングが要求されている。また、不良機構及びその原因と前工程や後工程との関係や、また一方では、デザイン要求や試験の有効性との関係を究明するためにもモデリングが必要とされている。

不良はほとんどの場合、素子の活性領域や不活性領域における欠陥やトラップに起因するので、新規物質やそれらの界面での真性欠陥だけでなく、プラズマダメージやイオン注入によるダメージによってゲ

ート領域に形成される欠陥などプロセス中に生成される外因性の欠陥を解明するようなモデリングが期待される。メカニカル・ストレス(例えば、格子不整合や酸化/シリサイド化の際の体積膨張やゲート加工などによって誘起される)の影響が予測可能なモデリングや、ストレスのイオン注入が拡張された結晶欠陥の成長に与える影響をモデリングすることは、テストの妥当性に対しても、また、関連するリークのメカニズム、これは結果的にデバイス動作条件での不良を招くものであるが、の解明にも重要である。プロセス揺らぎもまた他の劣化機構と組み合わせれば統計的に不良率も増大することになる。

近年、高温バイアス付加によるデバイス劣化である BTI(bias temperature instability)の根本的な原因に関して活発な論争が繰り広げられている。この原因が酸化膜や界面に生成される電荷に因るものであることについては多くの研究者の意見は一致しているが、モデルの詳細については全く異なる場合が多い。動的に(ストレス状態や回復状態が)変動するバイアス条件での劣化を予測することは特に難しい問題であることが分かってきている。任意のバイアス状態での劣化を記述する適切なモデルが無いために、現実的な回路動作時のトランジスタ劣化を予測することは極めて困難な問題である。モデル開発に於ける主な阻害要因は、実験的な検証が困難な点と回復過程でのバイアス依存性が強いことである。従って、モデルの妥当性の検証を進めるためには、先端的な測定技術の開発やその理解を深めることが不可欠である。新たな高誘電体ゲート絶縁膜の導入や多くの材料が現在検討されており、(PMOS や NMOS に対する)BTI が予測可能となるモデルが直ぐにでも必要な状況である。

酸化膜や界面に生成する電荷によって説明されるもう一つの劣化機構はホットキャリア注入(HCI: hot carrier injection)である。BTI が基本的には1次元問題でありトランジスタの静電的な振る舞いが比較的単純であるのに対し、HCI のモデリングはチャンネル中にホットキャリアが発生するため極めて複雑である。特にサブ 100nm 世代のデバイスでは、ホットキャリアは汎用的なドリフト拡散の表式では適切に記述できず、ボルツマン方程式から(モンテカルロ法などにより)得られるより高精度な解が要求される。残念ながら、これにより計算に必要なCPU時間が膨大になってしまい、これを解決するための適切な数値計算方法の開発が至急の問題である。一つの特例な場合が高電圧デバイスであり、しばしば複雑な形状(多段並列に配置した(マルチフィンガー)ゲートやドリフト領域、LOCOS のバースピークなど)により取り扱いが困難になる。多くの経験的なモデルが報告されているが、HCI に関する完全な理解や予測可能なモデルはいまだに得られていないのが実状である。

BTI 及び HCI と密接に関連する問題がランダム電信信号(RTS: random telegraph signales)と $1/f$ ノイズである。RTS のモデリングは厳密には信頼性の問題とは言えないが、バイアスや温度によるストレスが RTS や $1/f$ ノイズを変調することが示されている。従って、酸化膜や界面における欠陥の理解が深まれば、RTS や $1/f$ ノイズの理解も自ずと深まることになる。同様の考察は SILC(stress-induced leakage current)についてもあてはまる。実際、SILC は絶縁膜中に意図的に配置された欠陥を用いた実験により説明されている。これらの欠陥のエネルギー準位とゲート及び基板のフェルミ準位との相互作用に依存して、ゲートのリーク電流が変動する。このような欠陥のストレス印加による動的な発生が経時的絶縁破壊(TDDB: time dependent dielectric breakdown)に関連している。

上記の劣化機構の理解は、先端的なゲート・スタック技術を合わせ持つ高移動度基板による高度な先端デバイスを考えてみると、まだ未発達のものでしかない。物理をベースにした予測可能なモデル構築が、このような先端技術の更なる進歩の手助けとなるためには至急に解決すべき重要な問題である。

不揮発メモリにおける重要な信頼性の問題は、電荷の保持特性や耐久性に由来する。これらは、通常の浮遊ゲートデバイスでは層間絶縁膜における欠陥準位への電荷のトラップ/デ・トラップに関連する。更に、局在する蓄積された電荷がトラップ層で再分布したり、新規の電荷の捕獲・放出機構が出現するような窒化膜ベースのメモリ構造では新たなモデリングが必要になってくる。また、全体的なデバイスの信頼性(特に、多値の適用の為に)では、書込み/消去アルゴリズムを最適化するためにアレイ間の干渉による誤動作をモデル化する必要があるし、適切なエラー修正コードのモジュール開発のためにはビット不良率を精度良く見積もる必要がある。相変化型のメモリでは、動作時に局所的に高い電流密度が発生し温度勾配も急峻になるため、これらの厳しいストレスが掛けられた状態でのアレイ間の干渉やリセット時の

データ保持や耐久性を調べるために、正確な電氣的・熱学的なモデリングが必須となる。その他興味深い信頼性モデリングの問題として、SRAM における放射線耐性と(特に DRAM に対する)ウェーハ薄膜化に起因する欠陥生成が挙げられる。DRAM におけるもう一つの信頼性モデリングの問題は、セルトランジスタのデータ保持時間の劣化である。これは、例えば熱工程やバーンインテストまたはひずみなどの熱電氣的或いは機械的なストレスにより生成する欠陥に関連している。

内部配線密度や配線層数及び消費電力の増大により今なお新規の配線材料の導入が進められている。後工程(BEOL: backend-of-the-line)において低誘電体の導入や銅配線形成に対する関心が特に高い。プロセス中の湿気の進入防止には厳重な注意が払われているが、これと同様に、バイアス温度ストレスによる配線間の低誘電体層間膜の劣化や、熱散逸、周りの物質との熱工学的な不整合、層間剥離や亀裂や押し出しなどの信頼性問題を解決するため膨大な検討がおこなわれている。超低誘電体の導入が進められる際に特に重要である TDDDB に関連する根本的なモデリングが未解決である。すなわち、TDDDB の加速要因とこれに関わる TDDDB 機構や、超低誘電体の導入にあたっての多孔率の増大やプロセスインテグレーションにおける潜在的なダメージや汚染、ソフトな破壊によって誘起されるノイズの物理的な要因やソフトな破壊とハードな破壊との相関などである。これによって、銅配線技術の影響は局所的な形状(例えばラフネスなど)とその周りの物質(例えば、バリア層やシード層、誘電体など)に強く依存する。それ故、エレクトロマイグレーションやビア近傍に生成するボイドによる界面で発生する不良の機構解明に研究が注力されている。

応用技術分野とは別に、実装サイズの縮小や、端子数の増大、動作の高速化、電力密度及び散逸の増大、ESD 及び電磁感受率の増大、新規配線材料、使用される外部環境条件の増大、更に、環境変化に対する耐性などに関する要求に対応するため新たな実装技術が継続的に導入されている。多種類の物理パラメータがあるため、従来からの信頼性試験、或いは、複数の物理パラメータ(温度や湿度など)の依存性を同時に考慮する(仮想プロトタイピングのような)数値シミュレーションに基づく迅速で低コストで新規信頼性評価をおこなう為の、より高精度なモデルや評価手法が必要になっている。

物質の種類や界面の数の増大に伴い、主要な長期的信頼性問題と、パッケージ内部やアセンブリでの温度サイクルや、熱散逸、層間剥離、熱工学的な不整合(時によっては、物質間の内部拡散やエレクトロマイグレーション)との関連が強くなっている。このような場合には、大局的な物理パラメータ(例えば、温度分布)がしばしば微視的なスケールの現象(例えば、半導体内部の状態)に強く依存することがあり、このため、マルチスケールに対するシミュレーション技術の必要性が高まっている。最後に、電氣的パッケージの信頼性は使用環境やアプリケーションに最終的に依存するので、ミッションプロファイルの系統的なモデリングは正確に長期的な寿命予測をする上で必要な技術である。

適切に設計されたデバイスは頑健である必要がある。即ち、例えば過電流や過電圧、静電放電(ESD)、電離放射線及び非電離放射線などの継続的或いは突発的なストレスが負荷されても持ちこたえられるデバイスでなくてはならない。

ラッチアップを引き起こす低抵抗な電流パスはデバイスの微細化によって今なお活発に検討が進められている問題である。更に、ミックスドシグナルやシステムレベルの相互作用によって新たな相互作用の問題が発生している。これらのプロセスに関する解決策としては、高濃度にドーピングしたウェルや、三重ウェル構造、浅いトレンチ分離、トレンチ分離、深いトレンチとバリア層、また SOI 基板などを中心に検討されている。この枠組みでは、寄生領域内部及び外部へのキャリア注入現象をより定量的にモデル化する必要がある。プロセスやデザイン配置によって引き起こされるラッチアップや、外部からの刺激や内部のラッチアップパラメータによって引き起こされるラッチアップについては、ミックスモードや長距離に渡っての解析を専用の解析ツールを用いてレイアウトから自動的に 3 次元構造やドーピング形状を抽出(またそれらの関連付けを行い)することにより、開発の初期段階からシミュレーションしておく必要がある。

外部の物体からデバイスに送られる静電気は、熱的に誘起されるハード障害(例えば、ゲート絶縁膜や接合破壊、内部配線の溶融など)やソフトエラー(例えば、ラッチアップや、nMOS のキャリア注入による

スナップバック)、又はこれらの組合された様々な問題が引き起こされる。ESD に対する要求はラッチアップと共通するものがある。ESD のモデリングでは、特に次の点に注力する必要がある。即ち、(特に SOI での)熱生成とその伝播や、シリコンの融点までの温度領域におけるキャリア移動度とインパクトイオン化、n 型及び p 型 MOS の不安定性(スナップバックやバイポーラの増幅率劣化)、n 型ウェル抵抗体(電流制限、安定化)、p+n ウェル、ポリ規定や基板ダイオード、シリコン制御整流器(SCR: silicon controlled rectifier)、基板効果(抵抗、電流、グラウンドバウンス、ノイズ結合)、横方向の寄生効果、電流フィラメンテーション、金属配線やビアの電流飽和、そして最後に絶縁破壊(ゲート酸化膜や低誘電体)である。3 次元の電熱的な回路やデバイス過渡シミュレーション、ミックスモードでの回路とデバイスシミュレーション、物理的且つ予測可能なモデル、物理モデルの妥当性検証、システムレベルのシミュレーションなど、まだまだ開発すべき重要な問題が残されている。

電離放射線は、デバイス内部(例えば、パッケージ物質、シリコンやドーパされた元素の放射性同位体など)又は外部(例えば、宇宙線や外部の放射線源)で生成され、高電圧部品と同様に集積回路動作に影響を及ぼす。電離放射線は蓄積効果をもたらす、デバイス特性の時間に依存した劣化(接合リーク、MOS のしきい電圧変動、バイポーラデバイスのパラメータ劣化)を引き起こす。また、電離放射線はより関連性の深い SEU(single event upset)の発生を引き起こし、ハード障害(ゲート酸化膜破壊、ラッチアップ)及びソフトエラーレート(SER: soft error rate)として観測されるソフトエラー(例えば、メモリ素子のデータ消失など)を招く。SER の影響は、デバイスサイズのスケールアップや対抗措置(例えば、SOI 基板、リダンダンシー、エラー検知と修正など)を用いることにより単体ユニットに対する感度は低減するが、長年に亘りほぼ一定もしくは増加傾向を示す。これは、システムを構成するユニットの数が増加していることが原因である。実際に使えるモデルやシミュレータが今のところ無いため、加速試験によりセル評価からシステムレベルまでの SER に外挿し予測することができない。実用的なモデルやシミュレータがあれば、エラーの伝播を把握し統計的に十分な精度での外挿が可能となるであろう。

上記で総括した極めて広範囲な信頼性に関わる問題において、モデリング&シミュレーションは下記に示した幾つかの応用に対して有用である:

- 基礎的な物理機構の理解
- 信頼性のための基本的なデバイス構造と不純物ドーピング(そして間接的にであれプロセスフロー)の最適化
- 信頼性の観点から安全なレイアウト/デザインルールの確立
- 各デバイス素子に対する SOA(Safe Operating Area)とミッションプロファイルの評価
- 電気的特性の生データの解釈(例えば、劣化・回復の解釈)や物理的/電氣的な故障解析の補間
- 製品の寿命予測や加速試験に対する加速因子の決定
- 脆弱な亜母集団をスクリーニングするための最も効果的なテスト方法を見出すこと
- 必要なリダンダンシーと ECC(error correction code)の見積もり
- 組込み自己テスト(BIST: built-in self-test)で用いられる内蔵回路の故障検出の実効性検査
- 以下の手法を用いた信頼性のための設計検証:
 - ◊ アナログ/デジタル回路に対する影響を確認するための劣化の Spice や動作レベルのモデリング
 - ◊ (クリティカルネット/ホットスポットや、SOI における自己発熱など)不良の場所/発生確率/影響度を EDA レベル(少なくともレイアウト後)で同定するためのより良い方法とツール
- 仮想プロトタイプ(特に、システムやパッケージレベルでの信頼性問題)

しかし、上に列挙した目的はモデル及びツールの性能が下記の要求を満足して始めて実現できるものである:

- トラップ/欠陥の生成/アニール(ウェーハプロセス中及び動作状態における)の予測可能なモデリング
- 高精度な連結(マルチフィジックス)電気・熱・機械的モデリング
- トラップ、ドーパント/汚染原子の個々の原子レベルの配位の統計的な取り扱い
- 階層的なマルチスケールのモデリング(ここで見込まれる複雑なレベルはシステム/ボード、パッケージ、

チップ、ブロック/回路、デバイス、そして原子レベルである)

- デバイスシミュレーション時に動的に構造変化を取り扱うことが可能であること
- 故障機構と基本的なデバイス劣化のコンパクトな動作モデリング。

設計ロバスト性、製造、歩留まりのためのモデリング

デバイスの微細化が進みデカナノメータ領域になってきたことにより、リソグラフィの焦点ぼけや、ミリ秒アニールでの温度プロファイル、ドーパント原子数の減少による統計的な揺らぎなどの製造時のパラメータの変化によって生じるプロセスの変動性(ばらつき)が益々重要になってきている。ITRS の幾つかの章やクロスカットでも述べられている様に、このばらつきはデバイスの更なるスケーリングやロードマップの全体的な進展における克服すべき重要な問題である。更に、回路やシステムの歩留まりと同様に製造性重視設計やロバスト設計のためには、既に設計段階でこのようなばらつきに対処されていることが必要になる。なお、ITRS の設計の章でも、「製造性重視設計(Design for Manufacturability)」は挑戦すべき課題の一つとして強調されているし、既に 2005 年度版 ITRS でもこのトピックに 1 つのセクションが割り当てられている。チャンネルの不規則なドーパント分布に起因するしきい電圧の揺らぎはスケーリングと共に増大する。何故なら、しきい電圧の揺らぎはチャンネル領域の面積の平方根に逆比例し、またノミナルのしきい電圧が低くなると相対的な揺らぎの大きさが劇的に大きくなるからである。同様な効果は、ノミナルの値と同様に絶対変動量を低減することが困難な(例えば、ゲートの CD などの)形状のばらつきにも当てはまる。また、このノミナル値に対する変動量の割合も増大する。

モデリング・シミュレーションと、設計、PIDS、FEP、リソグラフィ、インターコネクト、ファクトリーインテグレーション、歩留まり向上、メソドロジーとの間のクロスカットで指摘されているように、製造と歩留まり及び設計のロバスト化に極めて大きな影響を及ぼすデバイスや IC とシステムの性能と信頼性に対するプロセスばらつき及びドーパント揺らぎの影響を評価し最小化することに TCAD は貢献しなくてはならない。TCAD の主な利点は、コンピュータで計算されるシミュレーションにばらつき解析機能を容易に導入することが可能で、その結果として、このばらつきの性能や信頼性への影響を、ばらつきの原因となる複数のメカニズムが混在した結果として計算できるだけでなく、各々のばらつき機構毎の影響を分離して計算することが出来ることである。十分に予測性のある物理モデルを備えている統合プロセス/デバイス/回路シミュレーションであれば、物理チャンネル長、しきい電圧、オフ電流や駆動電流、信号遅延など、それら値の広がり幅を計算することも可能となる。このようなばらつきの影響を、実験的に比較することは極めて困難であり高価で、現実的には不可能である。なぜなら、パターンニングプロセスのばらつき及びその結果として得られる形状のばらつき、あるいはチャンネル領域のドーパント原子数と位置のばらつきを、ナノスケールで実験的に作成し、確度の高い評価をおこなうことは本質的に困難であるためである。

ばらつきはランダムばらつきとシステムティックばらつきに分類できる。典型的なランダムばらつき機構はランダムなドーパントの揺らぎや、LER、ゲート絶縁膜厚、粒界によって誘起されるポリシリコンや金属のゲート電極中の電荷の揺らぎなどである。典型的なシステムティックばらつき機構は、リソグラフィの近接効果、ストレスの近接効果、ウェルの近接効果(WPE)、エッチング時の視認性やマイクロローディング効果、過渡増速拡散(TED: transient enhanced diffusion)の近接効果、フラッシュアニールやレーザーアニールにおける熱吸収のパターン依存性、プロセス経過時間、チップを横切るステッパーのレンズの不可避の不完全性などである。これらの全ての効果は、根本的な効果を解析する微視的機構のモデリングからトランジスタの性能への影響を定量的に評価するための TCAD レベルの解析、また、回路の機能性や特性へのトランジスタばらつきの影響を取り扱う近接効果のコンパクトモデルに至る異なるレベルのモデリングによって取り扱いが可能である。コンパクトモデルは回路上の数千・数百万のトランジスタを取り扱う必要があり、この為、数時間ではなくミリ秒単位の CPU 時間で実行できるようなモデルでなければならない。

システムティックばらつきはモデリングに基づく最適化手法をもちいることにより低減することができ、(例えば、規則的な構成にしたりダミーを配置したりすることによって)より均一なパターンの生成や近接効果補正を行うことができる。更に残りのシステムティックばらつきについてはコンパクト

トモデルで記述でき、従って、これらのばらつき効果は、設計による補正が可能であるため必ずしも回路性能に影響を及ぼすものではない。しかし、幾つかのシステムティックばらつきに対しては、(例えば、プロセス変動やステッパーのレンズの不完全性として)ランダムに発現するか、或いは適切なコンパクトモデルが無いために考慮できないものもある。このようなシステムティックばらつきや全てのランダムばらつきに対処する唯一の手段は設計マージンを大きくすることであり、従って、回路の動作速度の低下に陥る。これを回避するために、微視的及び TCAD レベルのモデリングをランダムばらつきを評価し最小化するために用いることができるし、また、コンパクトモデリングによってシステムティックばらつきも考慮すべきである。設計ロバスト性や製造、歩留まりに対するモデリングは広範にわたる応用や潜在的な利点がある：

- レイアウトに依存したストレス効果、リソグラフィにおける近接効果、エッチング時の視認性やマイクロリーディング効果、チャンネルやソース/ドレイン領域におけるレイアウトに依存した過渡増速拡散、(通常 WPE として観測される)高エネルギーイオン注入時のフォトレジストマスクからの散乱、或いは大規模 CMP 効果の検討を可能にするプロセス/デバイス連結シミュレーションを活用したレイアウト依存デバイス性能の評価。
- RDR(restricted design rule)導入にもかかわらず、上記に列挙した効果によりレイアウト依存が引き起こす重大な近接ばらつきがあり、同じチャンネル長と幅のトランジスタであっても異なるレイアウト配置により 45nm 世代でオン電流が 30%以上も変動してしまうこともある。ストレスの伝播長はシリコンの機械的性質で決定され、それはスケーリングによって変化しないことを考えると、今後のテクノロジーノードではストレスの影響が及ぶ隣接するトランジスタ数が倍増することになる。これにより、トランジスタ性能は隣接するセルだけでなく標準セル内部のレイアウトに強く依存するようになることを意味する。
- 将来的なテクノロジーノードでは、例えば FinFET などの完全空乏化トランジスタのチャンネル領域のドーパント揺らぎなどのように、ばらつき機構の幾つかは低減或いは消失することが期待される。しかし、FinFET におけるフィン形状やサイズの電気特性への感度などのように、新たなばらつき機構の問題が顕在化し、現存のばらつき機構を凌駕することもありえる。概して、刻々と微細化が進むトランジスタに存在する原子数はどんどん少なくなり、その結果、それぞれの原子の存在と詳細な位置がトランジスタ性能に与える影響は益々大きくなる。従って、ばらつきは正に現在直面している問題であると共に、将来的な IC の設計や製造における主要な問題であるとも言えるだろう。
- 単一の戦略的に配置されたトラップは実に大きな影響を及ぼす、何故なら一つの電子や正孔の捕獲・放出は全体的な電導の時間的な大きな揺らぎ(巨大ランダム電信信号ノイズ、或いは RTN (random telegraph noise)の原因となる。これを適切に対処しておかないと回路不良を引き起こすことになる。
- ランダムなプロセスばらつきやRTNの統計的分布の予測可能性はマルチ・ギガビットのメモリでは特に重大な問題であり、数十億個のメモリセルに対してppb(十億分率)範囲での信頼性を保障しようとすると、ビット欠陥率(そして予期せぬドーパント原子やトラップの配置ばらつき)を 10^{-18} 程度の確率から外挿予測して評価しなければならないことになってしまう。
- プロセスばらつきによって引き起こされるデバイス性能変化の感度解析。これにより、目標スペック以内にデバイス性能のばらつきを抑えることが可能なプロセスパラメータの最大ばらつきを同定できる。このことにより、先端の利用可能な技術と比較し、デバイス仕様の許容範囲(たとえば、 V_{th} の幅 3σ など)が成し遂げられるかどうか、改善すべきプロセスはどれか、そして既に十分なのかどうかを判断できる。
- 与えられた技術とそのばらつき、或いはドーパント揺らぎに基づき、TCAD は特定のデバイスアーキテクチャーのノミナルの性能だけでなく、それらの広がり幅を評価することにも用いられる。これにより、使用されるデバイスアーキテクチャーのより良い評価が可能になる。何故ならば、更なる微細化と高集積化においては、最終的なデバイスあるいは IC の性能におけるばらつきを小さくするプロセスあるいはアーキテクチャーの選択の方が、ノミナル性能の小幅な改善よりも重要であるからである。
- 加速試験(しばしばストレス試験(stressing)といわれる)による標準的な信頼性評価における深刻な問題は、ばらつきの影響を受けやすいデバイスはストレス試験時の振る舞いが正常なデバイスとは大きく異なる可能性が高い。言い換えると、加速試験では誤った結果になる問題がある可能性があり、TCAD はこの問題を解決する手助けになることが期待できる。
- プロセスばらつきが設計に与える影響に関する情報によってプロセス技術と設計技術の橋渡しをして

いる補完した標準 SPICE モデル。これにより、設計の製造可能性をより正確に評価ができるようになる。例えば、隣接する領域ごとに設計に用いられる技術を変更するような設計手法ではなく、より良い性能で、チップサイズも小さく、或いはより信頼性の高い IC の製造を可能にするためには、ゲート長や V_{th} のような設計パラメータのグローバル値や許容値の代わりに、技術要求がある領域では緩和され、逆に、領域によっては厳しくなるような設計手法が必要である。

- ある種の装置によって導入されるばらつきに対するデバイスや IC への影響の評価。この評価により従来の APC (advanced process control) 法が補完され、フィードバックやフィードフォワード装置制御に用いられ、プロセスパラメータの変動やバラツキを許容範囲内に保つための装置保守時期を決めたりすることに用いられる。予めキャリブレーションされた TCAD シミュレーションに基づくプロセス・コンパクトモデル(PCM :process compact models)は、プロセス変動などがあると後続のプロセス工程中に対応措置を施すことに有効活用されるようになってきている。
- トランジスタや内部配線の計算されたばらつきは、回路シミュレーションや SAT(statistical static timing analysis)ツールで用いられ、IC 全体の性能ばらつきの評価見積りに用いられる。この手法により歩留まりに対するプロセスばらつきの影響を評価することが出来るようになる。最も重要なプロセスを同定することにより、これらのプロセス或いは設計の適切な変更による歩留まりの最大化が実現できる。
- 結晶欠陥に起因する外因性の接合リークは歩留まりに深刻な影響を及ぼす。イオン注入による欠陥の成長やプロセス工程における機械的ストレスとの相互作用のモデリングは、最も重要なプロセスステップやレイアウト配置を同定することに有効に用いることができ、それ故、これらを最適化することにより結晶欠陥性に起因する歩留まり低下を低減することができる。
- パワーデバイスとMEMSからは冷媒を含む熱輸送と電磁気的なクロストークの統合されたシミュレーションが要求され、これは本質的にマルチフィジックス・モデリングである。

要約すると、“設計ロバスト性のためのモデリング”や“製造のためのモデリング”、及び“歩留まりのためのモデリング”に対する広範な見通しがある。しかしながら、上に列挙した主なばらつき機構の影響を検討するために TCAD を用いることの潜在的な利点は、下記のモデリング・シミュレーションの課題が解決されて始めて享受できるのである：

- 第一に、十分普遍性があり予測性のある物理モデルが利用可能であり、使用される TCAD ツールにおいて具体化されなければならない。これらモデルの一般的な要求はモデリング・シミュレーションの章の、他のセッションにおいて議論されている。製造、設計、歩留まりのためのモデリングには特別の意味があり、その主な目的は絶対的な性能値の予測ではなく、ばらつきの影響を調べることである。それゆえ、使用前のモデルのキャリブレーションはある程度できていれば良い。しかしながら、基本的な要求は、モデルが傾向を正確に予測できることであり、性能値のばらつきの大きさだけでなく変動の方向も予測される必要がある。
- 第二に、プロセス／デバイス／回路シミュレーションの統合レベルは大幅に改善されなければならない。たとえば、リソグラフィによるパターンニング段階、ドーピングプロセスや各々の工程を含むエッチング、デポジション、CMP の 3 次元物理シミュレーションと、3 次元デバイスシミュレーションの統合は、市販シミュレータツールではまだ実用化されていない。平坦でない構造で特に時間的に形状が変化する場合に対する順応メッシュ生成は主要な限定要因となっている。設計ロバスト性や製造、歩留まりのためのモデリングにおいては、この統合化の重要性が飛躍的に増大する。なぜなら、例えば、空間や時間の離散化や異なるシミュレータモジュールにおける異なるメッシュ間の違いなどによって発生する全ての数値誤差が、最終的なデバイスあるいは IC ばらつきの計算結果に有意な影響を与えないように制御されなければならないからである。
- 第三に、設計・製造・歩留まりのための TCAD に対する最も困難な技術課題は、ナノメートルスケールの微視的なプロセス／デバイスシミュレーションと、数十平方ミリメートルの領域に数百万から数十億個の要素が搭載される IC 設計との間の橋渡しである。代表的な 3 次元 TCAD シミュレーションはデバイスを記述するためには約 10 万メッシュ点が必要になる。これをチップレベルに拡張すると、 10^{14} のメッシュ点が必要とされ、必要なメモリサイズや CPU 時間の両面から非現実的である。結果として、階層的シミュレーション技術において適切な方策とアルゴリズムが開発されるべきであろう。即ち、ナノスケールプロセス／デバイスシミュレーションは小さなクリティカルエリアだけで実行され、次に、それからのばらつき

を含むSPICEレベルのコンパクトモデルや動作モデルの適切なデータが抽出され、設計に継承するという階層的なシミュレーションである。

- 例えば(slow-slow と fast-fast とよばれる)コーナーモデルのようなバラつきを取り扱う従来の手法は、統計的に独立或いは従属的な事象が部分的に含まれるばらつきを適切に取り扱うことが出来ないため、有効な手段であるとは言えなくなっている。また、これはばらつきの影響を過大評価する傾向があり、余りにも悲観的な設計になってしまう。TCAD とコンパクトモデルの階層的モデリング・ツールを注意深く用いることによって、SAT(statistical static timing analysis)ツールの入力が有効にでき、過剰な設計マージンをとることなくロバストな IC 設計が可能となる。

数値計算技術

広義の TCAD 分野が対象とする物理現象は常に複雑化しているので、数値計算法とアルゴリズムはこれらを扱うために改良を必要としている。たとえばデバイスシミュレーションでは Boltzmann 方程式を一層精密に解くことが要求されている。またドーパントの拡散や活性化に応力や点欠陥とその複合体の効果を反映させるためには、素子領域に対する連立偏微分方程式の本数を増やし続けねばならない。さらに、時間 and/or 距離についての特徴的スケールが互いに異なる物理プロセスが本質的に関連し合った現象に対しては、複数の方程式を一括して高精度に解く必要がある。たとえば点欠陥は熱処理工程の時間に比較して数桁速やかに拡散する。酸化炉中のガスのフロー、欠乏箇所、反応現象といった巨視的空間スケールの事象は、ディープサブミクロンスケールでの局所形状に影響されるコンタクトホールへの CVD 工程の基礎となっている。最近では更に要求内容が増加し、導体の表皮効果、近接効果、基板カップリング効果を考慮した電磁界解析が必要とされている。こうした例は、モデルの予測性能や精度に対する要求が増すために一層複雑なモデルがどのように必要となり、その結果、離散化手法や連立一次方程式の解法がどのように必要とされているかについての例である。

独立変数の個数が増加し、精度に対する要求が高まるにつれ、多くのモデリング分野で全く異なるレベルのアプローチが要求されている。たとえば解析的なイオン注入モデルの代わりにモンテカルロ法が、連続体での拡散方程式の代わりに原子レベルの手法が、光リソグラフィでは先端のマスク(たとえば位相シフトマスク、OPC)のシミュレーションに、古典的な薄膜マスク近似の代わりにマクスウェル方程式が用いられる。こうした進んだアプローチでは多くの場合には実現不可能な程の計算時間とメモリを必要とするため、しばしば新しい、モデルに即した効率的アルゴリズムの開発を必要とする。その結果、独立したライブラリとしての行列解法への絶え間ない改良要求だけでなく、処理を行列解法に渡す以前の段階で、離散化した方程式をどんな順序でどう構成し直しておくべきかに関しても研究開発が必要である。結論として、他の科学分野で利用可能または開発中の最新の数値計算手法やアルゴリズムについて、いつもシミュレーションの様々な分野に応用する視点で検討し、このロードマップに記載し、技術開発を推進して影響が与えられるように利用されなくてはならない。

離散化格子生成技術は、偏微分方程式を正確かつ効率的に解くためにいつの重要だが、今日では素子構造が本質的に 3 次元的なため中心的課題となっている。プロセス・シミュレーションで考慮すべき工程数が増加するにつれ、また製造工程のオプション組み合わせや詳細な工程内容が素子の電気特性に与える影響を解析する際に、そして特に、自動で条件分岐を設定するシミュレーションを頻繁に使うにつれ、完全に自動化された離散格子発生技術が必要になる。その時の完全自動格子発生は、任意の素子形状や物理量の分布に対して、少なくとも今日のツールより 2 桁低い失敗確率という高い信頼性が必要である。それに加え、格子生成用のツールは重要となるどんな微妙なデバイス形状や装置形状、たとえば微細な形状や不純物分布の急峻な変化に対しても追従する十分な分解能をもち、それらに適合して格子を細分化したり、逆に粗くしたりする際には、必要以上に計算時間が長くなってはならない。

非常に多くの工程やその条件の組み合わせのシミュレーションする場合、離散化格子発生に要する時間は特に重要な問題である。3 次元のシミュレーションでは、空間変数の勾配が変化したり、さらには対象の形状そのものが変形する事によって重大なトラブルが発生する。こうした問題には格子点の細分化や間引きの同時並行的処理や格子点の移動が必要となり、多くの場合には解くべき物理モデルを表す方程式の解に格子の形状や品質が適合する様に格子を生成することが要求される。

格子生成アルゴリズムは、格子点の除去や移動に起因した離散化誤差がシミュレーション結果に悪影響を及ぼさない様に保証しなくてはならない。特に、感度解析の場合には異なる条件でのシミュレーション結果の違いは用いた格子の違いで重大な影響を受けず、物理上の理由で生じる事を保証しなくてはならない。

この問題に対する確実な解決方法は、たとえば酸化工程のシミュレーションで用いる再構成後の格子に、再構成前の格子点や要素を出来るだけ多く適切に利用する事である。エッチング工程の様なデバイス構造の変化や多層構造を考慮すべき 3 次元的のプロセスシミュレーションでは、構造の変化に追従する効率的で安定したアルゴリズムが必要とされている。こうしたアルゴリズムは素子構造に影響されずに使えて、適切な規模の格子を高い信頼度で発生出来なくてはならない。現時点では、用いられているどのアプローチも(たとえば表面三角分割、セル法、レベルセット法、ループ除去法)上記の関連課題を解決出来ていない。

以上に述べた離散化用格子点生成技術への要求内容は、最近増加している装置や材料のシミュレーション要求のために更に拡張されている。こうした対象では対象形状が変形する事は殆どないが、時間と共に変化する空間変数に適合させて格子を生成する事は重要な課題である。大きな問題点は、シミュレーションで非常に異なる空間的・時間的スケールを同時に扱う場合に生じる:チップ規模の問題はナノからミクロンサイズを扱うがそれらに影響する製造装置の形状はセンチメートルサイズである。処理中のウェーハ面と処理装置全体の主要形状との両方を表現しつつ、あまりに多数の格子点を使わずに適合する格子を発生する場合には自動メッシュ発生が特に重要になる。装置スケールと半導体素子の設計寸法スケールを同時に扱うシミュレーションでは、この問題は一層厳しくなる。現状のいくつかの計算機流体力学(CFD)ツールでは、シミュレーション対象の形状設定や格子発生に必要な情報の指定方法が複雑であるという問題を抱えている。

粒子ベースのモンテカルロ・コードは CPU そのものの処理速度を上げる事への要求だけでなく、少ない粒子を使って実用的な計算時間内にばらつきの少ない結果を得る手法を必要としている。より高い GFLOPS 値への要求の急速な高まりは、現状の進歩が続くとしてもハードウェアの進歩では一部しか満たされないであろう。計算負荷の大きい 3 次元シミュレーションの要求に応えるには、並列解法も必要になる。特にこの例の場合には分散型システム(たとえばワークステーションクラスタ)の利用を含む。これらのシステムは産業界で標準的であるが、どのような種類のシミュレーションが大規模共有メモリ計算機で可能なのか、どの程度の性能のシステムが産業および研究分野で利用可能なのかは厳密に調査する必要がある。

多くの場合、線形方程式は数値計算のボトルネックになっている。二重ループを有する反復解法によって、数百万もの代数方程式を連立させて解く事が必要とされている。たとえばドリフト拡散モデルと Maxwell 方程式を連立して解く場合にはそれぞれの格子点上に約 10 もの未知数が存在する事になる。方程式の結合によって生じた非線形性を処理する為に必要な多重反復処理の外側ループの計算量は、処理方法をインテリジェント化することで劇的に減らすことが可能になる。反復計算の結果を更新するための内部ループの計算量はリオーダーリング技術、最適化された係数行列の前処理、方程式系を分割する事でかなり改善される。行列計算で直接解法は、反復解法が収束性に関する問題に直面した際には非常に有望な手段になる。後者は特に回路シミュレーションに応用できる。TCAD 技術へ適用するには、これら全ての方法が開発され最適化される必要がある。

マイクロプロセッサ(・アーキテクチャ)のトレンドは事態をとて複雑化させている。過去の性能向上は子ロック周波数とメモリバンド幅の増加でもたらされた。この事は、通常の数値計算技術にとって次々と現れるハードウェア世代への移植を容易にしていた。多くの場合、より高性能なハードウェアは以前の世代とバイナリレベルで互換性があり、プログラムを再コンパイルする必要すらなかった。こうした状況はマルチコア・プロセッサの登場で変わろうとしている。現在では、性能を向上させるには 1 つのチップに載せるプロセッサコアの数を増すことで実現される。この事は、殆どの TCAD 応用はハードウェアが進歩すれば自

動的に性能向上する、とは言えなくなった事を意味する。ある解法をマルチコアプロセッサ上で効率よく実行させるために、アルゴリズム、(ソフトウェアの)アーキテクチャや実装の各段階で非常に多くの努力を払わなければならない。それに加え、特定目的用に設計されたグラフィックプロセッサは、多くの物理問題への応用場面で場合数値計算を高速化できることが示されている。

頑健な解法に関する研究もまた必要とされている。実質的には、これは最適化手法が局所最適解に捕まって計算が息詰まってしまう事をなくす事である。そこまでに計算した結果を無駄にすることなく局所最適解から脱出する技術が必要とされている。こうした手法はソフトウェアに埋め込まれる事でそれらを使いやすくするだろう。

パラメータ抽出に関して、効率が良く頑健なアルゴリズムの開発も同様に一層の研究が必要とされている。モデルのパラメータセットが十分キャリブレーションされていなければ、シミュレータはその実用的な価値を失ってしまうからである。しかしながら、キャリブレーションの仕事は、沢山のパラメータ数や、いわゆる局所最適解の問題のために、しばしば非常に時間がかかるものである。いくつかのアルゴリズム、たとえば GA (Genetic Algorithm) はもし計算効率が劇的に改善された場合には、この課題を解決出来る有望な候補かもしれない。更に、キャリブレーションに必要な実験結果が完全なセットとして常に得られるわけではない。不規則に測定された結果を補間する優れた手法もまた必要である。

インバースモデリングは、複雑な反応系での主反応経路の抽出や、2 次元的なドーパント分布の様な測定困難な対象からモデルパラメータに関する情報を引き出す事が出来る技術であり、継続的に取り組むべき技術課題である。インバースモデリングは、有限個の測定結果をもとに、有限個の計算結果を一致させる多数のパラメータを探し出さねばならないので、数学的な観点からすると非常に微妙な問題を内包する。つまり、多くの場合には満足できる解が得られない、または逆に、得られた解は同じ結果を与えるパラメータの無数の組み合わせの1つにすぎない、という事を意味する。しかしこの技術はモデリング・シミュレーションの新たな応用分野を開く潜在能力がある。あるパラメータ値の組み合わせが他の組み合わせより優れたものであるかどうかについては議論の上で決める必要がある。この件についてはエントロピーの理論や情報理論に同様な問題を見いだす事が出来る。

数々のモデルで確率論的変動を効率よく計算することに対するブレイクスルーが必要である。これは、半導体素子の製造過程で発生する生後不可能な変動に起因する素子性能の変動をシミュレーションして評価する、あるいはそのどちらか一方を行うことへの根強い要求への対応を目的としている。モンテカルロ法のような伝統的な方法では変動する変数の数が増加するにつれて絶望的な試行回数が必要となる。このような目的に対して、確率偏微分方程式などのような新しいアルゴリズムを導入することが必要になるであろう。

シミュレータやツール間の相互乗り入れは、依然として2つの点で課題がある: 第一はデータ変換に関する課題である。それぞれのシミュレータやルールは特定の問題解決に精度や処理速度が調整・最適化されているため、あるシミュレーションを行った後その結果を引継いで別のシミュレーションを行う場合、データ構造やアルゴリズム、用いる離散格子系(が異なるのでそれらの)間での変換が必要になる。ある現象をシミュレートする段階から次の段階に移る際の問題は、離散値で表されているデータ同志を変換する際(たとえばレベルセット法で表現した表面形状を接点で表現した表面形状に変換する際)に、ある離散化格子系か他の格子系への変換に伴う離散化誤差を最小限に押さえる事が、今や必要とされる状況にある。離散格子系についての問題は、同じ用いている格子が同じ(たとえば四面体を用いた 3 次元の Delauney 格子)であってでさえ、起こる。例えば、デバイスシミュレーションでは、プロセスシミュレーションで用いる不純物分布の変化に適合した格子ではなく、電位勾配に適合した格子が好ましい。一つのデータ構造やメッシュから別のそれらへの変換に使う数値計算の量や計算時間は、我慢できる範囲内であると同時に、制御出来る対象でなくてはならない。第二は非技術的な課題である。シミュレータ利用者にとっては、提供元が異なるツールを選ぶ事が出来、必要な場合には利用者の要求に合わせてそれらを繋げて使用できる事が重要である。例えばプロセスシミュレーションのある部分では A 社の、ほかの部分とデバイスシミュレーションは B 社の、回路シミュレーションは C 社のツールを使う、という様に異なるツ

ルを接続できる事が重要である。例えば 3 次元不純物分布のデータを 3 次元デバイスシミュレータがどう扱っているかに関する情報は、少なくとも開示され、ツール提供者間のインターフェイスは資料となっている必要がある。このような公開された標準的インターフェイスは利用者にとって非常に有益だが、残念なことにソフトウェア提供者の利益にとっては必要なことではない。

解決策候補

モデリング・シミュレーションで用いるソフトウェア・ツールは半導体産業に広範に行き渡っている。これらのツールは効率向上のため、ますます日常的に使われつつある。この資料は、その有効性を高めて我々の将来の産業に影響を与えるために、明確な必要性を提示した。要求項目に関する記述では、半導体産業にとっての利益の視点に立ち、モデリング・シミュレーションに対する要求を解決できる可能性がある技術や、一般的な行動指針にも触れる。

- 技術分野の間を越えて切磋琢磨する事を増やす事は、もともと無関係だった各技術分野の専門知識を向上させるために極めて重要である。そして今、この資料の概説した技術要求を、共同して実現する必要がある。
- 明確化された技術的挑戦課題や要求課題に対する解決策に向けて、研究に必要な十分な資源が動員され効率的に運用されねばならない。ITRS に示された最上位の要求課題の定義に加え、産業界と大学や個々の研究所などの研究機関との対話を継続・強化して、このロードマップで詳細に記されている産業界の要求に向けて研究活動を導く必要がある。両者の対話には、モデリング・シミュレーションに必要な中・長期の研究活動を可能にし推進する事業化について、特に含めなくてはならない。中・長期の研究活動は一般には競争以前の領域の内容であるため優れた広範囲の共同作業といえる。産業界における間近な要求項目と資金に関する境界条件は、非常にしばしばこうした活動を強く減少させており、その結果、ロードマップの中・長期的な継続を危うくしている。2007 年の ITRS の準備中に、2005 年の ITRS で述べられていた幾つかの要求が、必要な研究開発に対して不十分な支援のために満たされなかったことが判明した。現在の世界的な半導体産業の経済危機は、この問題をさらに大きくした。
- ソフトウェアハウス、研究機関、大学に対しては、彼らが広範囲で思量して使っているモデリングやシミュレーションのソフトウェアモジュールの一部をオープンにして、競争以前の領域での作業の重複回避をする事を強く推奨する。理想的なケースとして、供給者に依存しない、異なるソースからもたらされたツールを組み合わせた使用を可能にするような標準的なインターフェイスが存在すべきである。これによって研究開発機関は、サポートを受けられるソフトウェア環境と最初から互換性を保ちながら新たなモデル開発のように付加価値を生む内容に集中する事が可能になり、モデルの応用までの期間が短縮できる。いくつかの商用ツール間の独占的なモデルインターフェイスが存在すると研究機関と大学との協力関係が強く促進されるということが既に証明されており、同様にモデル開発と、それらが半導体産業の中で使用されることが強く促進される。インターフェイスの標準化は利益を大きく増大するであろう。半導体産業界はソフトウェア開発への投資を判断する際にこうした標準化を要求することにより、この点に関して中心的な役割を果たすことが出来る。
- 製造工程に関して極めて大きな役割を果たしている半導体製造装置メーカーと強調することで、製造装置と共に基本的な製造工程が販売されるだけでなく、装置とプロセスを表現する適切なシミュレーション・ツールもまた(または少なくとも十分確立されたモデルに対するその工程のパラメータ値が装置と一緒に)販売される事を目標にしなければならない。こうした事を実現して付加価値を高めるためには、十分に分析評価されて安定しているプロセスについて、十分な数のデータが利用可能な状態でなくてはならない。この活動には装置メーカーと大学や独立研究機関との共同作業がとても重要である。全体としてのシミュレーション環境の互換性は通常はソフトベンダーによって提供されるが、それは標準化や、前述のオープンなインターフェイスや適切なソフトウェアベンダーの手で実現されねばならない。半導体産業にとっての製造装置やソフトに関する選択肢を制限しないために、標準的なインターフェイスまたは非排他的な共同作業が望まれる。IPR 問題に関しては手遅れにならないうちに解決されねばならない。
- モデリング・シミュレーションから得られる産業上の利点をさらに改善するために、モデリング・シミュレ

ーション技術が与える影響の評価方法は改善されるべきである。どうすればシミュレーションが産業界の開発効率化(金銭的な価値)を最も効率的に支援出来るかを詳しく見分けるだけでなく、表 MS3 で見積もられている開発期間とコスト削減に関して全体的な利益のより明確な見通しを得る事を目標にすべきである。モデリング・シミュレーション技術から得られるコスト的な利益をもっと明確にする事は、その実現にとって必要となる研究開発活動に十分な資源を獲得しやすくする。

モデリング・シミュレーション分野に関して最も重要な技術開発要求は、製造装置モデルとプロセスモデルの統合、異なる工程間のモデルの統合、プロセスシミュレーションとデバイスシミュレーションの統合、デバイスシミュレーションと回路シミュレーションの統合、レイアウトレベルのシミュレーションと設計に関するシミュレーションであるだけでなく、異なるモデル階層間の統合でもある。一部のケースでは(伝統的な TCAD におけるプロセスとデバイスのシミュレータや設計ツールの様に)モデリング・シミュレーションのソフトは結合されているが、他の多くの場合には、ソフトウェアは分かれて存在している。もし新たな技術の開発時間を調べたなら、開発期間と費用の大部分は独立した個々のソフトウェアモジュールの開発ではなく、モジュールを統合する作業である事が判るだろう。モデリング・シミュレーションのある作業と次の作業を関連づける際に、ツールがよりうまく連携すべきであるという事は、これまで強く、またずっと要求され続けてきた。以下の事からこうした事に関する努力が必要とされている。

- 製造装置と素子形状に関する個々に独立したシミュレーション・ツール間のインターフェイスをとる事。一例として、フォトレジストの露光特性を予測するリソグラフィ・シミュレーション・ツールと、プロセスマージンやプロセス感度計算のためにエッチング形状を予測するプラズマエッチングツール。
- 材料の分子構造をシミュレーションするツールと電気特性を予測するソフトとのインターフェイス。一例としてこうしたツールは High-k 誘電体材料の開発に使えるであろう。将来のこの分野のソフトは積層ゲート構造を個々の要素としてではなくシステムとして扱うかもしれない。予測できない材料の相互作用や、もしこうであったらという分析をよりうまく行ったり、信頼性に関する効果を研究できる。
- パッケージ化した時の熱的、機械的、電気的なシミュレーションを統合して同時設計環境を実現する、チップレベルでの性能分析ツール。
- ツール間でのモデルパラメータ授受を実現する、必要な物理定数を含んだ、構造化された一連のデータ。
- デバイスシミュレータと、回路シミュレータ用コンパクトモデルを作り出すための頑健な手法と設計用のデバイスパラメータファイルとの結合。
- 一般論として、互いに密接に連携した形でシミュレーション・ツールの階層—たとえば表計算の階層から第一原理に基づくシミュレータの階層まで—が開発されるべきである。こうすれば、産業界は当面の課題でのシミュレーションに関する問題にとって最も適切なモデル表現のレベルを選択出来るようになる。解析作業が異なる階層での分析(例えば、プロセス変動が設計に与える影響)を必要としたときには、それらの間で適切で効率的なデータ授受が可能になる。そのような試みに対して増え続ける要求は、この Modeling & Simulation 章の中に”設計、製造、歩留まりのための TCAD”として 2005 年 ITRS で新たに導入された”頑丈な設計、製造、歩留まりのためのモデリング”の節に示されている。

現有能力と精度／要求される計算速度

モデリングとシミュレーションの分野は、広範な要求への様々なアプリケーションを含んでいる。たとえば、現象論的なモデルはその応用先が設計に密接につながるため精度と計算速度が主な要求である一方で、このモデルの場合には、キャリブレーションされてない領域の問題に関する予測精度は第二優先事項となっている。こうした例として、OPC システムに組み込まれた回路モデルとリソグラフィモデルがある。また、応用分野が技術開発に関係する場合には、物理的な基礎に基づくモデルと、経験的モデルやパラメータ当てはめのモデルをミックスしたものが要求されるかもしれない。(高度にキャリブレートされたシミュレータを使った)伝統的な TCAD 技術が、ある開発技術のなかでその最適化に用いられる場合には、その好例といえる。最後の例として、基本的な物理を追及するモデリング分野がある。その例として、たとえばモンテカルロデバイスシミュレータや第一原理によるシリコン中の不純物拡散係数計算である。こうした全ての適用領域に関して有効な指針を与えるために、モデリングとシミュレーションの技術要求表は、

能力に関する要求表、精度と計算速度の表に分けて、それぞれ表 MS2a,b,と表 MS3 とした。しかしながら明記すべきは、全体的には、キャリブレーションを余り必要とせず、より高い予測能力をもつ物理モデルを求める傾向がある事である。さらに、(お互いに影響し合う)異なるプロセス工程同士や、素子の寸法スケールと装置の寸法スケールとを統合して扱う事が緊急性、重要性を増し、これらの一方を扱う際に他方の事象抜きに扱うことがますます困難になっている。

能力要求表(表 MS2a と b)は、開発すべきモデリングの新たな特徴を要求する、あるいは、主として、まだ不満足である現有モデルやツールを記述するモデリングやシミュレーションに対する技術要求を表している。たとえば、化学増幅型フォトリソのモデリングである。この場合、開発すべき非線形レジスト性能を予測能力を以てシミュレーションできる基本技術が必要になる。この種の要求は新しい技術の導入や、微細化による新しい物理現象領域への移行と関連している。

その反対に要求精度表(表 MS3)は、プロセスや回路設計・その最適化をする際に必要なシミュレーション精度のレベルを示す。TCAD の場合、これを用いた事による開発時間や開発コスト削減の目標値として表の最初の 2 行に書かれた数値を実現するのに必要なレベルがここに書かれている。ECAD や設計への応用の場合には、これらの数値は新たな半導体製品を作る際の設計に必要なレベルの数値となる。精度に関する要求数値は近い時期の目標値のみを記載した事に注意されたい:長期的な目標の場合には、全体的にみて新たな技術に関する調査が優先事項となる。ある時点で見た場合、複数世代の技術に関するシミュレーションが、それぞれ異なる要求精度の下で並行して行われている事も認識されたい。

表 MS3 にある要求精度は、シミュレーション・ツールを特定世代の技術にキャリブレーションする事で実現する精度を意味する事に注意されたい。TCAD のシミュレーション・ツールの場合には特にだが、世代毎に新たな技術や材料、不純物種、工程が導入されるので、世代毎の技術に対してキャリブレーションする必要がある。

表MS3 にある開発期間と費用削減の数値は、産業界でのTCAD利用に関する濃密なアンケート調査結果を分析し充分議論して 2008 年に最終的に合意された値である。アンケート調査は、半導体メーカーのTCAD利用者を主なターゲットとし、装置メーカー・プロセスインテグレーションの研究を行っている先端的研究機関に所属するITWGのM&S代表を通じて全項目への回答を依頼し、インターネットを通じて完全に名を伏せた状態で回収された。重要な点として、TCADソフト開発者はアンケート回答者から除外した事である。ITRSに参加している全地域から、全部で 130 を越える有効回答が寄せられた。重要項目である「技術開発の期間とコスト削減」については、2 つの異なるアンケート回収経路で集めた 2 グループの集計結果で大きな差が見られず、この事は調査結果が統計的に妥当なことを裏付けている。現在でも調査の内容自体は、読み出し専用の状態で以下から見る事が出来る：
http://www.iisb.fraunhofer.de/en/arb_geb/drsurvey_read_only.htm

TCAD を利用した事で得た開発期間とコストの削減に関する推定値については、(アンケート調査で得た)これらの表から、「以上の成功例について以下の効果に関する以下の数値を見積もってください。上記の成功例についての平均値をとってください。」という設問と、2 つの設問「M&S 技術を用いた事でのおよその開発時間削減の量」、「M&S 技術を用いた事でのおよその開発費用削減の量」、という質問への回答の平均値として計算した。現在記載している平均値は、2008 年の改訂の際に 2007 年と 2008 年の M&S の精度要求表の欄に使用した。更に、アンケートでは 2012 時点での期待値を質問し、2009-2011 年の数値は結果を補間した値を表に記載した。ここで、2007 年の ITRS と較べて推定コスト削減量の意味が大きく変わったことは指摘しておく必要がある。一つ目は、コスト削減と期間短縮の 2 つの数値をアンケート調査して表に記載した事。2 つ目として、これは最も重要な点だが、それより以前の改訂年で記載した数値は TCAD が適切に用いられた場合の潜在的な削減率であった点である。それに対して今回の推定値は、アンケートに回答した TCAD 技術の利用者の周辺で実際に起きた事例に基づく数値である事である。その結果、2008 年改訂での数値は 2007 年の(潜在的な能力としての)値より全体的に低い値になっている。なぜなら、その時点での比較基準は成功例によって無使用時の期間やコストより厳しくなっているからである。それと共に、TCAD の適切な応用事例を殆ど知らない人々も調査に参加している為でも

ある。いずれにせよ、現時点で、適切に TCAD を使うことで 32%の期間短縮と 30%のコスト削減という数値は、産業界での TCAD の潜在能力と適合性を物語っている。

Table MS2a Modeling and Simulation Technology Requirements: Capabilities—Near-term Years

Table MS2b Modeling and Simulation Technology Requirements: Capabilities—Long-term Years

Table MS3 Modeling and Simulation Technology Requirements: Accuracy and Speed—Near-term Years

他の ITWG に関する項目

モデリング・シミュレーションと他の全作業部会(ITWGs)との関連は、以下に概略を示す。これらは、他の作業部会(ITWG)の章の記述からと、他の作業部会(ITWG)との横断的議論とに基づくもので関連した項目がある。

設計／システムドライバーとの関連

最小寸法の更なる縮小に関連して設計で鍵となる挑戦課題は、製造パラメータのばらつきや不純物原子固有な、例えば、チャンネル不純物に由来する設計パラメータのばらつきの増加である。この問題は、設計章中に、特に DFM に関する部分において詳しく議論されている。モデリング・シミュレーションは、このような設計パラメータのばらつきの定量的影響の見積もりの支援が出来なければならない。すなわち、設計パラメータの中心値のずれと合わせて統計的ばらつきは、能動素子や寄生素子の寸法、間隔、素子特性、結合パラメータを信号遅延や歪みを再現するよう、パラメータ抽出と同様に、装置、プロセス、デバイスシミュレーションがなされなければならない。重要性が増しているのは、チャンネル領域に平均して存在する不純物原子が数個とかになり、極端に大きな不純物揺らぎが生じ、電気特性も揺らぐことである。特に、リソグラフィやエッチングのように異なるプロセス工程の間の相互作用が、増幅されるのか、平滑化されるのかは、非常に重要である。更に、シミュレーションは、熱的効果を含む、寄生効果、遅延のばらつき、雑音、信頼特性の影響を小さく抑えることに寄与すべきである。この様な 2 次的変動の扱いは、例えば特性マッチングが鍵となるアナログ素子で極めて重要である。設計者がレイアウトで変わり得ることを考慮して安全で適切なマージンの選択を支援するために、プロセス誘起ばらつきを含むデバイス構築技術と、設計パラメータとを結び付けることが全ての最終的な目標である。このことは、コーナーモデル使用から来るばらつきの過剰補償を避ける設計に役立つべきである。シミュレーションが提供できる真価は、大部分を自動的に、比較的短時間で、かつ、比較的少ない費用で、広い範囲のばらつき情報を提供することである。このように、モデリング・シミュレーションは、従来のプロセスに今後殆ど許容度がない中で、現実的で新しいプロセス許容度の見積もりが必須である問題の解決策に、貢献しなければならない。この目標を達成するためには、例えば、SPICE パラメータや統計的ばらつき分布などのように、設計ツールに使えるような形式のデバイスやセルレベルの情報を、微視的な TCAD シミュレーションから抽出する適切な手法が、開発されなければならない。

短期の時間スケールで特別の問題としては、マスク作成、具体的にはレイアウトからレジストへ形状を効率的に転写することと、閾値のような、電気特性のばらつきが特に重要である。シミュレーションは、ウェーハ上に焼き付けた形状を、設計者が意図した「理想」の構造に十分近くするマスク修正に寄与するばかりではなく、例えば、要求された形状をウェーハ上に焼き付けるのに最も効率的でコストの少ないマスク構造を選ぶことや、例えば、複雑な補助構造形状によって、マスクを修正しすぎることを避けることなどに寄与することである。これ以外に、制御が難しい CD 値や、不純物ばらつきは、長期的課題である。最後に、モデリング・シミュレーションは、プロセスばらつきや不純物揺らぎの影響の情報を提供し、かつ、これらの擾乱に敏感でなく歩留まりを最大化するような設計を設計者が選べるようにするなどで、歩留まりの予測や最適化に寄与すべきである。詳細はデザインとシステムドライバー章を参照。

テストとテスト装置との関連

テスト装置、電力供給経路、プローブカードやボード上でのテストのモデリング・シミュレーションはテスト ITWG より要求されている。テストにおいて最も重要なものは、電力供給や高速信号の信号完全性である。これらのモデリングは、配線やパッケージ・シミュレーションの分野で構築されているものであるが、プローブカードやソケットなど幾つかの問題は、古典的でないモデリング・シミュレーションで考慮されるべきものである。とにかく、テスト活動サポートに重要なこれらの問題への寄与を、シミュレーション分野から進めて欲しい。他に重要なことは、最初は穏やかな欠陥が将来世代において致命的な欠陥に移行するような回路によって変わりうる感度は重要な問題である。特に回路特性への欠陥影響を抑えることへのシミュレーションからのサポートは重要である。これは欠陥検出の基準を決める助けになる可能性がある。更に、プロセス本来のばらつきが影響している良品と、欠陥品の区別にモデリング・シミュレーションは必要である。ここで、テスト後の回路使用条件に対し、テスト時の条件でのみ成り立つようなデータから信頼特性を取り出すモデル化において測定法が重要なことと同様に、これら機構の信頼できるモデル化にモデリング・シミュレーションのサポートが必要とされている。詳細はテストとテスト装置の章を参照。

プロセスインテグレーション、デバイス、&構造(PIDS)との関連

PIDS の章で要求される鍵となるイノベーションとは、移動度向上(歪 Si 関連)、High-k 絶縁膜、メタルゲート、エレベータド S/D、先端的アニールとドーピング技術、ノンクラシカル CMOS (例えば、完全空乏型 SOI)、バリスティック輸送による飽和電流の向上がある。他のロングタームの課題としては、原子レベル揺らぎ、LER や LWR を含んだ統計的なプロセスばらつき、SOI 膜厚、ゲルマニウムのような高移動度チャネル材料、カーボンナノチューブやナノワイヤー、新しい配線構造、プロセス、材料、物理、設計等に大きな変化を引き起こすミクスドシグナルデバイス技術がある。さらなる微細化においては、新しいプロセスステップ、設計、デバイス・配線・回路上での材料信頼性の課題はよりいっそう重要になり、開発スピードの面からもモデリング&シミュレーションによるサポートが要求される。特に SOI 材料を用いたデバイスに向けて、不純物拡散、活性化、キャリア伝導、あるいは歪に向けた現存のモデルは、バルク特性と比較してかなり重要となる界面効果に対処するために拡張されるべきである。信頼性に向けた設計には、回路性能と回路信頼性のコンカレントな最適化と、エレクトロマイグレーション、熱的・機械的ストレス、プロセス起因チャージングのシミュレーションに対応できるシミュレーション・ツールが要求される。これらの問題は特に「フロントエンド・プロセスモデリング」、「デバイスモデリング」、「インターコネクト、インテグレートド・パッシブ・モデリング」に含まれている。さらにノンクラシカル CMOS デバイスは導入をサポートするために適当なコンパクトモデルの開発が要求される。詳細は PIDS の章を参照。

ERD との関連

次世代デバイス(ERD)では、電荷以外の状態変化(例えばスピン)の活用が検討されている。これ等は、現状での M&S の守備範囲を本格的に原子スケールに拡張することを促している。他の目標としては、CMOS のチャネルを InSb、InGaAs、InAs、InAsSb、Ge などの高移動度材料に置き換えることで性能向上させることや、炭素に基づくナノエレクトロニクスの導入が挙げられる。電荷に基づくものと、電荷以外に基づく情報処理の両方について、物理的な機構とプロセスの基本的な理解においても、またナノスケール構造の計測結果の解釈においても、M&S は極めて重要である。デバイスに用いられる材料の大きさが微細化するのに伴い、計測される物性値に対する界面の影響が、バルクと界面特性を分けることをますます困難にしている。従って、ナノスケールのデバイス構造により新たに生じる量子化された物理現象と相まって、界面の役割は第一原理計算もしくは非経験的計算の発展を促している。これにより、ナノスケールの大きさの物性値や電荷以外の状態変数を用いたナノスケールのデバイスを予測するシミュレーションが可能となる。このためには現在の計算ツールを、励起状態のモデリングについて発展させる必要がある。

検討されている次世代デバイスの構造が多岐にわたるため、またそれが長期的なものであるため、要求される M&S は ITRS の他の分野で用いられている現在のモデルやツールの単なる延長ではありえな

い。異分野の原理をも取り入れたナノ領域についての新しい M&S は、生物や化学などの他分野からの貢献を本格的に取り込む必要がある。詳細は ERD の章を参照。

ERM との関連

次世代材料(ERM)は、材料組成、構造そして合成方法を材料の特性に結び付ける基本的なモデリングを求めている。まず挙げられるのは、低次元材料の合成とその物性、スピン材料の物性、強相関電子材料の物性である。これとは別に次世代フォトレジストの候補として、マクロ分子や特異な (pixilated) 材料が挙げられている。プロセス技術の鍵になるものとして、直接自己形成や決定論的ドーピングが挙げられている。次世代材料の計測は、モデリングによる支援が求められている。これ等の要求に答えるためには、ナノメートル領域での物性を予測できるように、第一原理モデリングの改良が必要である。ここでの第一の課題は、現状の計算ツールでは扱うことが出来ない励起状態についてのシミュレーションがしばしば必要となることである。検討されている次世代材料が多岐にわたり、また長期的なものである、要求される M&S は ITRS の他の分野で用いられている現在のモデルやツールの単なる延長ではありえない。詳細は、次世代材料の本文に述べられている。詳細は ERM の章を参照。

無線通信のための無線周波とアナログミックスシグナル技術との関連

無線通信のための RF(無線周波、Radio Frequency)とアナログミックスシグナル技術からシミュレーションに対する要求には、シリコンベースの基板だけでなく、III-V 族化合物半導体や MOSFET を超えた何らかのデバイス構造も含まれ、また 100GHz 以下及びそれ以上の周波数動作、より高い集積化レベル、回路ブロック間のクロストーク、ノイズ、また信号分離をシミュレートするための可能性も含まれる。これらの要求により、SoC(System-on-Chip)や SiP(System-in-Package)向けの統合化された以下に挙げるようなデバイス/回路/システムのシミュレーションに対する必要性が増大する; 静電気放電に対する保護を含むアナログデバイスモデリング; 正確で精度の良い 3 次元電磁場や RF シミュレーションとその可視化; 化合物半導体中のキャリア輸送に対する数値計算上効率的な物理モデル; バンドギャップエンジニアリングと精度良く高速で予測性の高いアナログ/RF コンパクトモデル。デバイスマッチングは重要な問題である。熱の生成や除去及び散逸をシミュレーションすることは、特に、広いバンドギャップ半導体やウェーハの薄膜化によって更に高密度のパワーになるため、標準的な CMOS に比べてより重要な問題となる。アナログの性能を議論する際には、例えば新たな高誘電体膜をゲートに用いた場合などに対するミスマッチや $1/f$ ノイズを十分な精度で予測可能なプロセス及びデバイスシミュレーションが必要となる。より高い動作周波数に対しては、エピタキシャル工程や異種の不純物(例えば、炭素原子)のシミュレーションが必要になる。上記の見解については、本章の「デバイスモデリング」、「インターコネクトと集積化された受動素子モデリング」、「回路モデリング」や「マテリアルモデリング」の節で述べられている。更に、モデリング&シミュレーションは、RF 分離に対するデザイン手法においても活用されるべきであろう。無線通信体系が複雑化しているため、性能劣化を防止するように注意深く RF 信号の分離を行わなくてはならない。詳細は無線の章を参照。

フロントエンド・プロセスとの関連

FEP(Front-End Process)に関するチャレンジは、新規材料や非古典的 CMOS の導入に関することである。これらの導入において、モデリング&シミュレーションに対する様々な要求がある。特に、材料に起因するデバイスの微細化限界が差し迫ってくるようになると、材料関連の問題がモデリングにおいての主要な問題となるであろう。この材料関連の問題には歪みを発生する材料も含まれるので、応力や歪に関するモデリングの重要性が益々高まるであろう。新規のデバイス設計、高移動度化チャネルや異なる界面層からは、例えば浅い接合形成過程などのデバイス製造プロセスをシミュレーションするための技術向上と共に、特にデバイスシミュレーションにおける計算技術の向上が要求される。候補となっている物質系の熱的安定性の制約により、従来のアニール技術とは異なる方策が必要になるであろう。デバイスの微細化及び非プレーナ型のデバイスや、特に、SOI デバイスなどの設計においては、界面に挟まれた半導体領域が減少するため、界面の取り扱いが益々重要な問題となる。これらの効果は物理的なプロセス・デバイスモデルに近似的に取り込まれなくてはならない。浅いトレンチ分離の上端部は特にデバイス特

性への影響が大きいと、高精度なモデル化が必須となる。デバイスの更なるスケールによって、2005年ロードマップに記載されているリソグラフィとエッチング間の許容変動量の再分配の代表例からも分かるように、プロセス変動の重要性が高まるので、最終的なデバイスやチップに対するプロセス変動の影響を評価するためにシミュレーションが活用されるべきであろう。高誘電体絶縁膜の特性及び信頼性はモデル化されるべき課題である。極浅且つ急峻で高活性なドレイン・エクステンションの形成は依然として主要な課題であるので、形成過程での物理的な理解(例えば、アニール工程におけるドーパントと点欠陥との挙動など)を深めること、及びその理解に基づく数値計算によって最適化を行うことが要求されている。この物理的な理解は、ドーパント原子と欠陥との相互作用を利用することにより、更に浅い接合の形成を目的とした欠陥制御技術においても活用される。更に、CDの減少とLWRやLERを含むバラツキの制御は主要な問題であり、実験的な負荷を低減するためにCDに影響を及ぼす様々な要因の中から最も重要なパラメータを同定するためにシミュレーションを活用することが強く要望されている。詳細はフロントエンド・プロセスの章を参照。

リソグラフィとの関連

従来の光学リソグラフィの限界を推し進め、新しい次世代リソグラフィを切り開くために、モデリングとシミュレーションからの支援が重要である。さらに、最先端のリソグラフィ・シミュレーションでは、装置スケールのシミュレーションと素子スケールのシミュレーションとの緊密な連結が必要である。装置サイズの影響では、ユーザが決める、もしくは測定する確率分布をもつランダムな変数を含むモデルがしばしば要求される。リソグラフィの像形成の計算はよく分かっている物理モデルに基づいているが、レジストプロセス、特に化学増幅型レジストのプロセス、の物理的/化学的理解は進んでいるとはいえない。レジストモデルは準経験的なものの典型であり、実験データによるフィティング、キャリブレーションが必要である。

光学像のシミュレーションの主な要求は、精度、計算時間、非理想的なマスク、非理想的なレンズ、多層膜レジスト、非平坦な基板の影響のモデリング能力である。1/4 縮小投影でのマスクの最小サイズは露光波長と同程度になってきており、偏光の影響やマスクの正確なトポグラフィを含めたモデリングが要求される。たとえば、斜入射照明、位相シフトを含む複雑なマスクの幾何学形状、Optical Proximity Correction(OPC)、そして、二重または多重露光/パターンニングなどの光学リソグラフィの限界を押し進めるとき使うトリックを扱う場合は、特定の問題に特化したアルゴリズムとその実装が要求される。特に後者の技術はウェーハ上の形状をシミュレーションで厳密に扱うことが必要である。

使用する光学系の理想系からのずれは、ますます重要になり、シミュレーションに適切に反映されるべきである。マスクやウェーハ上の欠陥の影響はますます重要になってきており、特にキラー欠陥を特定できる適切なシミュレーションが必要である。

レンズを多層膜ミラーに置き換え、反射マスクを使う EUV (Extreme Ultraviolet) リソグラフィのような、将来の次世代リソグラフィ(NGL: Next Generation Lithography)に使われる新技術を適切にモデル化し、シミュレーション・プログラムに組み込む必要がある。マスクパターン発生器といくつかの NGL の選択肢—近接電子リソグラフィ、マスクレスリソグラフィ—は電子による像形成を伴う。確率的な空間電荷、幾何収差、電界または磁界をつかった電子レンズの設計などのシミュレーションが必要である。将来の次世代リソグラフィの選択肢を絞り込むために、シミュレーションによる支援が重要であり、今後も重要であり続ける。

リソグラフィモデリングとシミュレーションの特にやりがいのあるものは、広い範囲にわたる像形成とプロセス条件に対して、最先端のフォトリソの挙動を正確に予言することである。このためには、よりよい物理的・化学的モデリングが必要で、これを使い、現像後の三次元のレジスト形状の予測と、LER、LWR などの影響を含んだプロセスウインドウの予測をする。問題のレジストの適切な記述のためモデル開発と、問題のレジストの適当な記述のため市販ツールに実装されているモデルのカスタマイズの両方のために、よりよいキャリブレーション技術が必要である。キャリブレーションは、入力データ、つまり、CD 測定にあきらかに依存する。それゆえ、測定誤差の理解と評価が必要である。システムのエラーは CD-SEM などの

測定装置の誤差のモデル化によって扱われるべきである。LER や LWR が重要になってきているので、リソグラフィ・シミュレーションで、デバイスや配線の性能への影響(LER)やばらつきへの影響(LWR)の見積もりを評価すべきである。レジストのラフネスが問題ではなく、エッチング後の構造のラフネスが重要なので、エッチング・シミュレーションとの緊密な結合が不可欠である。レジストの 3D エッジ・ラフネス、形状とエッチング後のゲート、コンタクト、トレンチのラフネス、形状との関係を理解するためにエッチングのシミュレーションが重要である。また、しばしばマスク作成のリソグラフィ工程に起因する望ましくないマスクエッジの形状の予測のためにも、エッチング・シミュレーションとの緊密な連携が必要である。

シミュレーションとモデリングに求められるリソグラフィ工程特有のものは、非常に効率的なシミュレーション・ツールである。それは、大面積のシミュレーションを可能にし、DFM(design for manufacturing)の増大する要求に応えるため、いろいろな物理パラメータやレイアウトのおびただしい数のシミュレーションを可能にするものでなければならない。事実、間違いのあるマスクや少しだけの改善しかないマスクを高額をかけて作成することを避けるために、OPC と位相割り当てデータの確認をするため、フルチップのレイアウトでのシミュレーションが必要とされている。これらのシミュレーションは妥当な正確さを持っていないければならず、妥当な時間内で全レイアウトを評価できる程度の高速で計算できなければならない。さらに、シミュレーションは、設計、モデリング、期待される回路特性を維持するための超解像リソグラフィ技術と広範囲の計測の間で統合されなければならない。

リソグラフィ工程の像形成とレジスト形状のモデリングに加えて、力学的モデルもリソグラフィ装置の設計には重要である。露光装置、マスク、ウェーハが要求される重ね合わせ許容範囲で安定であることを保証するために、有限要素法の改良と活用が重要である。レンズ取り付けの安定性、ステージの安定性、露光装置のハードウェア設計の静的・動的モデリングが非常に重要である。ステージが高加速する間、マスクとウェーハを要求される位置に維持し、要求される平坦度を保つために、マスクとウェーハの搭載方法の設計に、やはり、静的・動的モデリングが決定的である。露光装置の設計には、熱的影響の平衡、非平衡モデルが重要である。特に、液浸リソグラフィの液浸液の加熱と、それらの変形や収差に与える影響のモデリングにおいて、重要である。液浸固有の欠陥形成を最小限する液体供給システムの設計のために、液浸の液体の流れのモデルが必須である。詳細はリソグラフィの章を参照。

インターコネクト、設計、モデリング・シミュレーションとの関連

インターコネクトに対し今後要求されている技術世代の性能は、最早、材料や製造技術の改善だけでは提供出来なくなっている。従って、材料科学と、ウェーハ技術、設計、モデリング・シミュレーションの相互協力、インターコネクトのスケーリング継続の支援に益々重要性がましている。現在ある設計ツールは全面的に多層システムの性能を正確に予測できない。さらにモデルは、RLC でなく、主に RC ベースある。最良性能の最適化は、しばしば、試行錯誤で行われている。周波数と配線総数が増加するにつれ、デバイス全体性能目標を満たし、機能ブロックサイズ、配線レベル、接続可能サイズなどの配置配線の機能を駆使し、市場は最先端が追及されてきた。インターコネクトをユーザに短期、および長期にわたって使えるように設計する能力を、飛躍的に拡大しなければならない。新しいインターコネクトの課題は次の通りである。

1. RLC モデルは、10GHz あるいはそれ以上(30GHz で自由空間での波長は約 1cm)のシステムで必要になる。このモデル能力は、RF やテラヘルツ波を使うインターコネクトシステムにも必要である。
2. Cu の抵抗増加の配線遅延への影響は、実際的なモデルで考慮しなければならない。モデルは、配線幅、配線の縦横比、側壁の粗さ、金属粒界サイズ、そして、粒界や、表面、不純物のばらつきに関する係数の考慮が必要である。
3. 隣り合う配線間のクロストークや、ダミー金属形状の影響が原因の信号遅延の不確定さは、適切なモデルで考慮することが必要である。
4. CD 許容度、配線高さのばらつき、側壁表面粗さなどのプロセスばらつきは、配線やビアサイズの更なる縮小に対し、ますます常用なものになるであろう。そのため、ばらつきに強い設計、ばらつき依存性が明確なモデリング・レーションが、きたるべき技術世代を支援するために必要である。

5. 機能ブロックを最適に配置する手段が、3次元集積回路において、個別のチップばかりでなく、積層されたチップに対しても必要である。
6. 光のエミッターや検出器の潜在率を含んだ光配線の最適システムを最適化する新しいモデルが開発されなければならない。
7. 上記の技術の全ては、全体としてチップの発熱を増加させ、信頼性にクリティカルなチップ内の「ホットスポット」を多数発生させる。熱伝導率が減少した低誘電率材料、RF定常波、3次元IC積層構造内の、発熱多層膜、そして、光デバイスや量子井戸デバイスの場合と同様に、熱による、影響を和らげる、熱的予測モデルが必要とされるであろう。

モデリング・シミュレーションはインターコネクトの問題に対し、あらゆる分野の技術を支援する際に鍵となるツールである。要求される能力は、ICのレイアウトや、信号遅延、歪み、配線信頼性などの電気特性、粒界構造や、Cu/バリアの界面や不純物による縮小 Cu配線の低効率上昇、新しい低誘電率材料や、更に未知材料の物理構造の配線への影響、等を予測する高度なレベル領域に渡っている。

これらのモデリング・シミュレーションは、広範な実験の必要頻度と費用を出来る限り減少させるために十分、正確な予測を提供しなければならない。これらの必要性は、新しいインターコネクトの技術に対し、分野分けをして良く吟味された実験をするための最初のシミュレーションから、比較的成熟した技術に対し、実験的エラー範囲内で予測する手法のシミュレーションにまで渡っている。

多くの他の技術分野と同じように、含まれる沢山のパラメータや、努力の益々増加のために、モデリング・シミュレーションへの必要性は増加している。例えば、低熱伝導率の低誘電率材料の導入は、熱的、機械的、電気的に組み合わせたモデリングが、劇的に、増加している。

モデリング・シミュレーションへインターコネクトから特に必要なものは、高周波数と信頼性を含む性能予測である。すなわち、エッチング、プラズマ気相デポジション(PVD)、化学的機械的平坦化(CMP)などを含む現実工程で製造され複雑な(例えば3次元)構造の性能予測、すなわち、問題に応用する際にスピードと精度のトレードオフの階層的な選択が出来るということ、また、目標仕様に合うように非効率を認めて、製造とプロセス設計を結び付けるツール、配線やビアの抵抗増加による電気回路の遅延劣化を計算するツール、配線構造に用いられる金属材料、バリア材料、誘電体材料の物理的、電気的性能とともに構造をも予測出来る材料モデリングである。特に重要なものは、Cuのサイズ依存低効率、表面拡散、エレクトロマイグレーション、CMPにおけるCuの変形や膜減りである。LER、トレンチ深さや形状、ビア形状、洗浄による掘れや膜減りは、インターコネクトとそのシミュレーションにとっての鍵となる課題である。詳細は、インターコネクトと設計章を参照。

ファクトリーインテグレーションとの関連

モデリング・シミュレーションの章では、デバイス製造中や装置、デバイス、回路内にて発生する物理プロセスを扱っている。この物理シミュレーションは、ファクトリーインテグレーションの核心部分をなすウェーハフローや装置運用、ロットスケジューリングといった離散シミュレーションとは大きく異なる。それにも関わらず、物理モデリング・シミュレーションは、ファクトリーインテグレーション、コスト、生産性、スピードの戦略的な目標達成のために貢献可能であり、貢献しなければならない。

特に、開発時間の短縮と新しい技術、ICのコストを削減するために、物理モデリング・シミュレーションの全体的な目的は、ファクトリーインテグレーションの到達点の一つとよく一致している。つまり微細化やウェーハサイズの変更に伴う早急なプロセス技術の確立を可能にした。物理モデリング・シミュレーションは、装置、プロセス、デバイス、回路のシミュレーション・ツール、特に生産ラインにより微細なサイズを最初に導入する時、その微細化技術の将来性と影響力を調査するためのツールを開発することによって、目標を達成することに貢献できるし貢献しなければならない。また、このことはコストを下げるために必要不可欠である。さらに、「歩留まり向上」の章と同様に、ファクトリーインテグレーションにとっても、生産状態にあるデバイスやICに影響を与えるプロセスばらつきを調査するために、物理モデリング・シミュレーションの活用はとても重要である。このことは、装置の生産性を向上させることにもつながる。プロセスばらつき(例えばリソグラフィ)と同様に装置内あるいは装置間ばらつきがデバイスやICの性能ばらつきへ与える影響を定量化するために、シミュレーションを利用することができる。また、このようにして、装置を有効に運用するための正しい戦略立てに貢献でき(TCAD for DFM)、あるいは、高い歩留まりを達成するた

めの最適なプロセスフローを割り与えることも可能である(TCAD for Yield)。物理モデリング・シミュレーションからの特別なサポートは APC(Advanced Process Control)と Forward/Backward の分野で必要とされる。ここでは、前のプロセスステップで発生したズレ、あるいは使用する装置の定期メンテナンスとプロセス調整の間で、たびたび発生するプロセスシフトを補正する追加プロセスステップを決定するために十分な物理プロセスモデルが必要とされる。このような関係においては、物理モデリング・シミュレーションへの鍵となる要求事項は、予想できるモデル(時には三次元で)を開発することではなく、理想的には生産ライン内でリアルタイムに実用化され、インシチューあるいはインラインでの計測と APCソフトウェアとが連動した、シンプルなコンピュータツールである。詳細はファクトリーインテグレーションの章を参照。

アセンブリとパッケージとの関連

アセンブリとパッケージングからモデリングとシミュレーションへのクロスカット要求は、つぎの2点における共同設計からなる。すなわち、チップとパッケージ間であり、機械的、電氣的、熱的なシミュレーションも含む。それらは、配線の章から挙げられたモデリング・シミュレーションへの要求と密接に関連している。さらに、低電圧と高電流のために、極低レベルの信号線を過渡的に流れる高電流の効果を最小限にするために、チップとパッケージを共同して設計する必要が一層、増している。RF/ミックスド・シグナルモデルが必要であり、複雑な SoC と SiP パッケージのシミュレーションを可能にするように、モデリング・ツールを拡張する必要がある。

アセンブリとパッケージング技術は、パフォーマンス、パワー、接合温度とパッケージ形状の領域における強い要望に同時に応えるために、開発が進められている。関連する電氣的、熱的、機械的な側面をカバーする先進的なモデリング・ツールが、これらの技術の開発と最適化をサポートするためには必要である。

とりわけ重要なのは、これらの効果がもはや別々に取り扱うことが出来ず、順に、また、同時にシミュレーションされなければならないことである。モデリング・シミュレーションに含まれるプロセスや材料や効果に関する要求は配線の章から挙げられたものにやや近いが、鍵となる追加要求は、チップとパッケージの共同設計における大いなる複雑さと構成要素の相対的配置を管理する必要性である。高いクロック周波数と高集積を取り扱うことができるように、これはメモリと CPU の効率の良い階層的なシミュレーション能力が必要とされる。また、時間領域あるいは周波数領域における計算負荷削減技術は、計算効率が高いフルウェイブ・シミュレーション ツールと同様に必要とされている。空気の流れ、加速試験における応力予測、界面での破損作用のための微細モデル、振動と機械的衝撃を含むパッケージの動的作用のためのマクロ構造モデル、これらを含めて、今まで使われてきた熱・機械的モデルは、実際の材料データに基づかなければならない。金属/ポリマーやポリマー/ポリマーの材料界面や、プロセス開発や信頼性推定のための intermetallics は極めて重要であろう。薄膜化したチップ、Low-k や他の新しい材料や積層チップのような新しいパッケージタイプや他の3次元回路も考慮されなければならない。モデルは、adhesive/undercell フローあるいは BGA 再処理の製造工程やアセンブリ工程を考慮する必要がある。信頼性を予測するシミュレーション方法は、開発過程を加速するために必要である。パッケージングの観点から、設計とプロセスの耐性は、とりわけバックエンド配線に対して、考慮されなければならない。また、現在、計算時間が時折、数日かかるので、パッケージングのシミュレーションに対して、より高速なシミュレーション能力が必要である。

単体パッケージの SiP 中にある複数の能動素子や受動素子を組み合わせている新しいパッケージ・アーキテクチャは増殖しており、ますます、モデリングとシミュレーションが必要になっている。完全な SiP の熱的、機械的、電氣的特性をシミュレーションする能力無しでは、それらの構造は、コストと信頼性の要求を満たすことはできない。

アセンブリとパッケージングのモデリングとシミュレーションにおいて、入手可能な能力の最善ではない組み合わせか、あるいは、これらの能力の革新的な拡張が近々に必要であると予想されている。より長期的には、より完全な系でのアプローチが提供されることが望ましい。詳細はアセンブリとパッケージの章を参照。

環境・安全・健康との関連

モデリング・シミュレーションもまた、ESH 問題への対応が要求される。シミュレーションは、コストや(部分的には ESH に関連する)資源を節約できるのに、プロセス開発や最適化期間に必要なウェーハ枚数の削減へのシミュレーションの影響力は十分でない。さらに、シミュレーションはまた、ウェーハ上に堆積する膜厚を薄くする事によって、あるいは、CMP により材料を取り去る事によって、あるいは、デバイスや IC の性能や信頼性の要求値を成し遂げるのに本当に必要な部分への洗浄工程によって、製造の間の重要な化学物質を含む資源の削減に寄与しなければならない。それには、適切なモデルやシミュレーション・ツールが利用されるだけでなく、他の章でも要求されたように、資源保護はシミュレーションに対する追加目標値として導入されなければならない。

ESH 問題の最適化に対し、それぞれの関連プロセスにおける基本の化学反応は可能な限り理解しなければならず、新しい測定法や評価法は開発段階では ESH に対して最も影響が小さいプロセスに対して実施しなければならない。同様に、これらの測定方法の有用性と反応に関する知識は、これらのプロセスに対して予測可能なモデルを開発するのに鍵となる要求項目である。これに関しては、モデリング・シミュレーションの章で扱われる。多くの可能な測定技術は、ESH と、モデリング・シミュレーションの間で共有する事ができる。しかしながら、2つの領域の最終の目標は異なる。ESH では危険な種の発生と材料消費の査定であるのに対し、モデリング・シミュレーションでは、積層の幾何学やドーピングや形態学になる。そのうえ、装置シミュレーション・プログラム、とりわけプラズマ工程に対するそのようなモデルの実装はまた、危険な種の発生に関する定量的なデータを得る事への可能性を ESH に提供する。それは、工程装置からの解放あるいはこれらの種の発生を最小限にするプロセス条件や装置条件の最適化の場合にも当てはまる。さらに、シミュレーションは、しばしば(スペクトルのような)測定データを、(たとえば、ガス組成上の)定量データに変換する特殊技術に寄与できる。計測とのクロスカットを見てください。このように、ESH と、モデリング・シミュレーションは、互いをよく支援する可能性を持っている。詳細は ESH の章を参照。

歩留まり向上との関連

開発期間や開発費を削減するという通常の利用方法以外に、歩留まり向上とモデリング・シミュレーションとの関連として下記の 2 点が挙げられる。第一に、モデリング・シミュレーションは欠陥が IC に与える影響を評価することに貢献できる。分かり易い例として、特定の寸法・種類・位置のマスク欠陥が光リソグラフィ工程とその後のエッチング工程で転写されるかどうかという問題がある。この問題は最新の光リソグラフィ・シミュレーション・ツールを使えば十分に解明でき、欠陥の大きさがどの程度のサイズ以上になると、例えば分離されるべき配線がつながってしまうなどの原因によって、素子や IC が破壊されるかという問題についても用いることができるだろう。特に、パターンニング工程における欠陥の下限を調べる事に対してシミュレーションから優れた知見を得るためには、シミュレーション・ツールの更なる開発が必要になる。リソグラフィ工程後のデバイスや IC の製造工程での欠陥の伝搬や相互干渉については、その影響をモニタし最小化するために様々なモデリング&シミュレーションのツールを用いて調べることが出来るだろう。このように、モデリング&シミュレーションは、多くの場合に、どのような種類の欠陥が、工程のどのような場合に主要な影響を及ぼすか、また、その場合にどれくらいのサイズの欠陥が問題になるか、といった問題に対して最良の回答を提供するものであって欲しい。

もう一つの重要な問題は、ほとんど不可避なプロセスゆらぎがデバイスや IC の性能に及ぼす影響に関する評価である。製造ラインの多くのパラメータ、例えば、リソグラフィにおける焦点位置や照射ドーズ、アニール温度、昇降温の様子、または設定値からの経時変化などは、これらのノミナル値の周辺にある許容範囲で変動する。高度なプロセス制御(APC : Advanced Process Control)では装置をモニタした値をフィードバックに使うレシピで指定された状態に装置を戻す事でこうしたバラツキの影響を抑制する。制御に使うモデルの大部分は、成熟した工程だけしか利用できず、また取得するのに費用が掛かるシリコン関係のデータに基づいている。プロセス・デバイスシミュレータを繋げて使えばより精密な APC モ

デルを短期間で開発するのを支援できる。プロセスインテグレーションの段階で、キャリブレーションされたプロセス・デバイスシミュレータを使えば、プロセスの移管や製造ラインの短期立ち上げに利用できる APC モデルを開発することが出来る。

プロセスバラツキの問題に関連した第二の方法は、プロセス・デバイスシミュレーションを使って、そうした製造条件のバラツキやプロセスステップにおける真性バラツキ(例えば、LER や他の CD の変化など)や不純物ゆらぎによって引き起こされる重要な製造工程におけるパラメータの広がりや計算することである。この方法を使って、統計的な実測データを得る前に統計的な SPICE モデルを構築することができ、特定製品や特定製造技術に対して歩留まり最適化や検証に貢献する。歩留まり向上のために最も重要な効果として、2005 年にすでに LER が加えられており、その影響についてもプロセスシミュレーション(特に、リソグラフィ・シミュレーション)によって十分に評価されている。更に、プロセスバラツキと欠陥とはしばしば密接に関連している。例えば、後の工程で断線してしまう場合のように素子や IC に対して不連続な特性変化を及ぼすような線幅の変動などの場合でも、変化は少しずつ連続的に発生するであろう。この問題は、既に 2007 年の歩留まり向上(Yield Enhancement)の章:「どこでプロセスばらつきが止まり欠陥が始まるか? (“Where does process variation stop and defect start?”)」で述べられている。このような場合には、実際に不規則に発生しているように見える欠陥でも、光学的なリソグラフィの焦点深度の制限のようなシステムティックな機構によって引き起こされている現象であることもある。シミュレーションはこの様な現象を検知し定量化することに用いることが出来るであろう。同様に、2007 年の歩留まり向上(Yield Enhancement)章では次のように記載されている:「SMLY (Systematic Mechanisms Limited Yield)問題は歩留まり改善率や達成レベルを制限する傾向があるため、TCADに裏打ちされた正確な歩留まりモデルに関する研究の重要性が高まっている。」明らかに、モデリング・シミュレーションから歩留まり向上へのこのような貢献のためには、一般性や精度が十分であること、及び使用されるシミュレーション・ツールを迅速に適用することが要求される。そして、このような貢献こそが、モデリング&シミュレーションに対する将来的なチャレンジである。詳細は歩留まり向上の章を参照。

計測との関連

計測とモデリング・シミュレーションは双方向で強い結びつきがある。半導体素子だけでなくプロセス、製造装置に関する物理モデルの開発で鍵となる事柄は、形状や積層構造の化学組成、ドーパント分布、点欠陥、応力分布、キャリアの濃度、キャリアのライフタイムや移動度などを、高い空間分解能と感度で測定できる技術や手法の利用可能性と、モデルの開発や評価を可能とするために必要な検出限界の引き下げにある。本格的な3次元的な構造について十分な情報が得られる測定技術が必要とされ、多くの場合それは特殊な目的のために作られたテスト構造に対してではなく、実際の構造に対して適用できなくてはならない。さらにやっかいなことに、要求される測定やモデルの精度は個々のドーパント原子間の寸法に近づき、それを下回りつつある。このような場合には測定結果の解釈は疑わしくなり、シミュレーションとしては偏微分方程式に基づく流体的なモデルから原子論的な描像に移り変わらねばならない。

モデリング・シミュレーション技術から計測技術への要求事項は、明らかに計測技術の開発推進に寄与する。しかしシミュレーションは要求の提起だけではなく、計測技術自体の開発に貢献すべきだし、貢献可能である。半導体や他の材料の内部で生じる事を物理的に理解する事は、計測で得たデータの解釈やデータを定量的な情報に翻訳したり、現実的な誤差の推定、さらにはカスタム化した測定手法の開発をする際に、非常に大きな価値がある。一般的に、計測技術は「測定できることと見られることをつなぐためにモデリングを使う」ことの必要性を繰り返し確認してきた。そして、計測技術章で述べられている関連した課題は様々である。計測技術章を参照。例えば、シミュレーションはプロセスパラメータの変動や原子サイズのゆらぎを、測定量の幅と結び付ける際に利用でき、こうして測定結果を正しく解釈する手助けとなる。測定される変数の変化、測定の変動と再現性に影響する測定手法の誤差の大きさを定量化して下さい。他の幾つかの例として、シミュレーションを利用したマスク計測、scatterometry, そして APC に計測技術を利用する例がある。しばしば、膜やデバイスは測定時間を短くするために、標準の動作条件と全く異なる温度や電圧で測定の間ストレスを掛ける。また、メカニカル・ストレスの場合には特別なテスト構造が使われるが測定される量に変化する。そのような場合にも、測定自身で多少変化した量から関

心のある量に換算するために、信頼性モデリング・ツールが必要とされる。従来は物理メカニズムについて不十分な知識と、適切なシミュレーションのサポート不足が測定結果を価値の無いものにしていった。

モデリング担当のグループは、モデル開発に必要なデータを提供するために必要な測定技術の開発やそのカスタム化に、しばしば直接貢献する。たとえば、ゲートエッチング工程や誘電体のエッチングに使われる混合ガスなどの新材料や新プロセスの種類が増加するにつれ、工程での生成物分析の信頼できる手法が必要とされている。材料表面からの放出物やガス相中の物質は、大部分の場合には未知の物質であったり、特定の装置や工程以外では合成する事ができない。潜在的な環境へのリスクとなる物質を同定する技術として浮上した技術に数値計算によるスペクトル生成(computational spectra generation)がある。物質特有の標準スペクトルは計算化学を使えば比較的容易に求めることが出来る。たとえば、FTIR(Fourier-Transform Infrared Spectroscopy)スペクトルはルテニウムのエッチング工程で現れる RuOx 系ラジカルを同定する為に利用されている。そして高度にポリマー化した誘電体材料用のエッチングガス中に有害ガスが生成されない事を保証するための調査に利用された。いずれの場合も実験で標準スペクトルを生成したり、それを得ることは困難である。

さらに、利用可能な測定手法(たとえば2次元的な素子断面の計測技術)を用いてシミュレーションのモデルやツールを検証する事が、多くの場合に可能である。そして測定技術で直接扱える適用範囲を超えて(たとえば3次元での不純物分布測定)利用することが出来る。その訳は、この例の場合では物理としては同じで、それらの違いはシミュレータ中のアルゴリズムだけで扱える(偏微分方程式を2次元でなく3次元で解く)。つまり、計測とモデリング・シミュレーションは一層緊密に協力を続け、さらなる努力をすれば、互いに最も進歩する事が出来る。詳細は計測の章を参照。