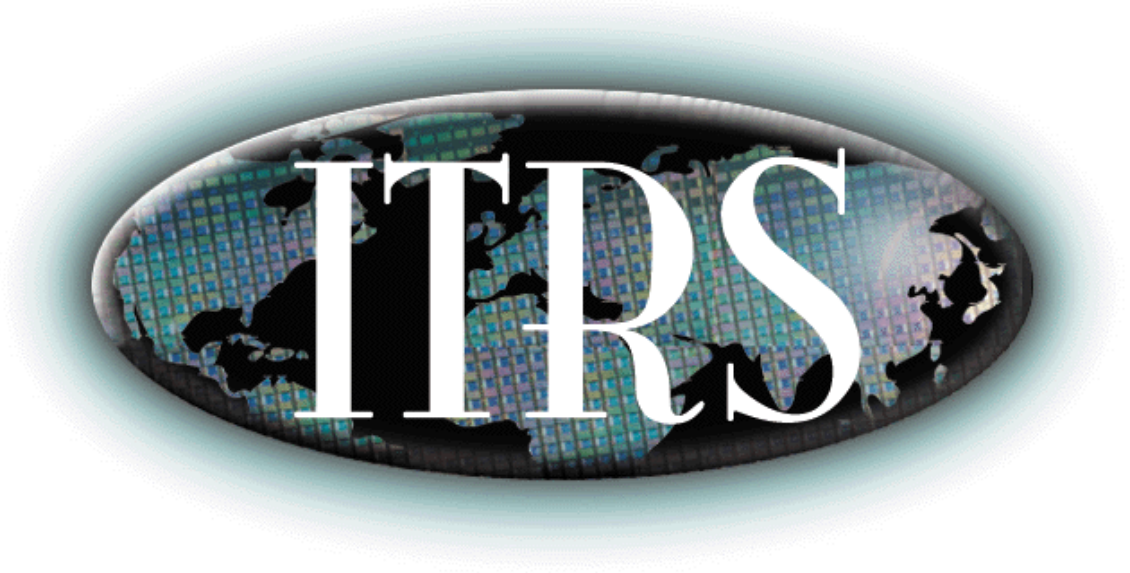


INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2011 EDITION

FRONT END PROCESSES

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011年版は英文で 1000 ページを越えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意訳している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 SRTJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。

厚くお礼申し上げます。
　より多くの方にITRSをご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後ともITRSとSTRJへのご理解とご支援をよろしくお願い申し上げます。

2012年　5月
訳者一同を代表して
電子情報技術産業協会（JEITA）半導体部会　半導体技術ロードマップ専門委員会（STRJ）　委員長
石内　秀美　（株式会社　東芝）

版権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS　・SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203・http://www.itrs.net
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the license of the Semiconductor Industry Association

－引用する場合の注意－

原文(英語版)から引用する場合：　ITRS 2011 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合：　ITRS 2011 Edition　（JEITA訳）　XX頁,図(表)YY
と明記してください。

問合せ先：
一般社団法人　電子情報技術産業協会
半導体技術ロードマップ専門委員会　事務局
電話: 03-5218-1068　電子メール: *roadmap@jeita.or.jp*

TABLE OF CONTENTS

1 概要 1

2 困難な技術課題 2

2.1 MOSFETの将来－新材料ならびに新構造への対応 2

3 技術要求と解決策候補 5

3.1 ロジックデバイス- 高性能（HP），低動作電力（LOP）及び低待機電力（LSTP） 5
3.2 DRAMデバイス 7
3.3 不揮発性メモリ（フラッシュ） 9
3.4 3Dフラッシュメモリ 13
3.5 相変化メモリ（PCM: PHASE CHANGE MEMORY） 18
3.6 強誘電体メモリ（FERAM：FERROELECTRIC RANDOM ACCESS MEMORY） 21
3.7 スターティングマテリアル 24
3.8 FEP表面処理 29
3.9 熱処理/薄膜プロセスおよびドーピング 33
3.10 ドーピング技術 36
3.11 FEPエッチングプロセス 40
3.12 STIのCMP 44

4 クロスカットの課題 46

5 フォーカス ITWGとの相互議論 46

6 将来の新探求素子のインパクト 47

6.1 FEPと計測とのクロスカットの課題 48
6.2 FEPとモデリング&シミュレーションとのクロスカットの課題 48
6.3 FEPと環境・安全・健康とのクロスカットの課題 49

7 結論 49

LIST OF FIGURES

Figure FEP1 Front End Process Chapter Scope 1
Figure FEP2 CMOS Scaling Enabled through Novel Architecture (Planar To Non-Planar) and Associated Module Level Challenge 7
Figure FEP3 Continued Scaling Pathway in Non-Planar Devices 7
Figure FEP4 DRAM Potential Solutions 8
Figure FEP5 Minimum Feature Size of NAND Flash Memory 9
Figure FEP6 Minimum Feature Size of NOR Flash Memory 10

Figure FEP7 Flash Memory Interpoly Dielectric Thickness Scaling at <25nm for NAND Flash . 10
Figure FEP8 Schematics of STI Isolation Trenches 11
Figure FEP9 Evolution of the STI Aspect Ratio for NAND Flash with the Minimum Feature Size11
Figure FEP10 Flash Non-Volatile Memory Floating Gate Potential Solutions 12
Figure FEP11 Charge Trap Memories Potential Solutions 12
Figure FEP12 From left to right: vertical channel/horizontal gate and vertical gate/horizontal channel architectures 15
Figure FEP13 Scheme of the wrap-around-gate cell architecture 15
Figure FEP14 Amorphous / Poly-crystal Phases of a Chalcogenide Alloy, usually $Ge_2Sb_2Te_5$ (GST) 19
Figure FEP15 Resistance Change of GST 19
Figure FEP16 Set/Reset Thermal Cycles to Change the Crystal Phase of the GST Material 19
and to Write/Erase the PCM 19
Figure FEP17 Starting Materials Potential Solutions 29
Figure FEP18 Front End Surface Preparation Potential Solutions 33
Figure FEP18 Front End Surface Preparation Potential Solutions (continued) 33
Figure FEP19 Thermal/Thin Film Potential Solutions 36
Figure FEP20 Doping Potential Solutions..... 39
Figure FEP21 Etch Potential Solutions 42
Figure FEP22 Difficult Challenges and Potential Solutions for STI CMP..... 46

LIST OF TABLES

Table FEP 1 Front End Processes Difficult Challenges 2
Table FEP2 High Performance Device Technical Requirements 3
Table FEP3 Low Operating Power Device Technical Requirements 3
Table FEP4 Low Standby Power Devices Technical Requirements 3
Table FEP5 DRAM Stacked Capacitor Technology Requirements 7

フロントエンドプロセス

1 概要

フロントエンドプロセス(FEP)のロードマップは、微細化電界効果トランジスタ(MOSFET)、DRAM キャパシタ及びフラッシュ、相変化や強誘電体の特性を利用した不揮発性メモリにおいて将来必要となるプロセスの技術的要求と解決策候補に焦点をあわせている。この章の目的は、上であげたデバイスのキーとなるフロントエンドのウェーハ製造技術と材料について、包括的な将来的要求と解決策候補を明確にすることである。そのため、このロードマップは装置、材料、個々のプロセス、統合プロセスに関し、最初のウェーハからコンタクトのシリサイド化工程や歪印加層の堆積工程(金属配線下層絶縁膜(PMD)やコンタクトエッチングは Interconnect の章で扱う)までを含んでいる。具体的には次の技術領域を取り扱った。即ち、「高性能 (high performance)、低消費電力(low operating power)及び低待機電力(low stand-by power)を含むロジックデバイス」である。更に、「DRAM、フラッシュ(flash)、相変化(phase-change)及び FeRAM を含むメモリデバイス」である。また、「スターティングマテリアル (starting materials)」、「表面処理(surface preparation)」、「熱処理/薄膜プロセス(thermal/thin films)/ドーピング(doping)」、「プラズマエッチング(plasma etch)」並びに CMP(Chemical Mechanical Polishing)である。

微細化していく上で必要な技術的要求と解決策候補についての予測は、それぞれの技術領域に提示してある。技術的要求予測の Table は、特に注釈のない限り、モデルを基にしたものである。ここで示した解決策候補は、可能性のある解決策の既知の例を比較するために示したものであり、他の研究者や興味のある団体向けに提示している。ここで示した解決策候補だけがアプローチであるとは考えないでいただきたい。実際、革新的で新規な解決策が技術的要求 Table の赤で示した領域で求められている。

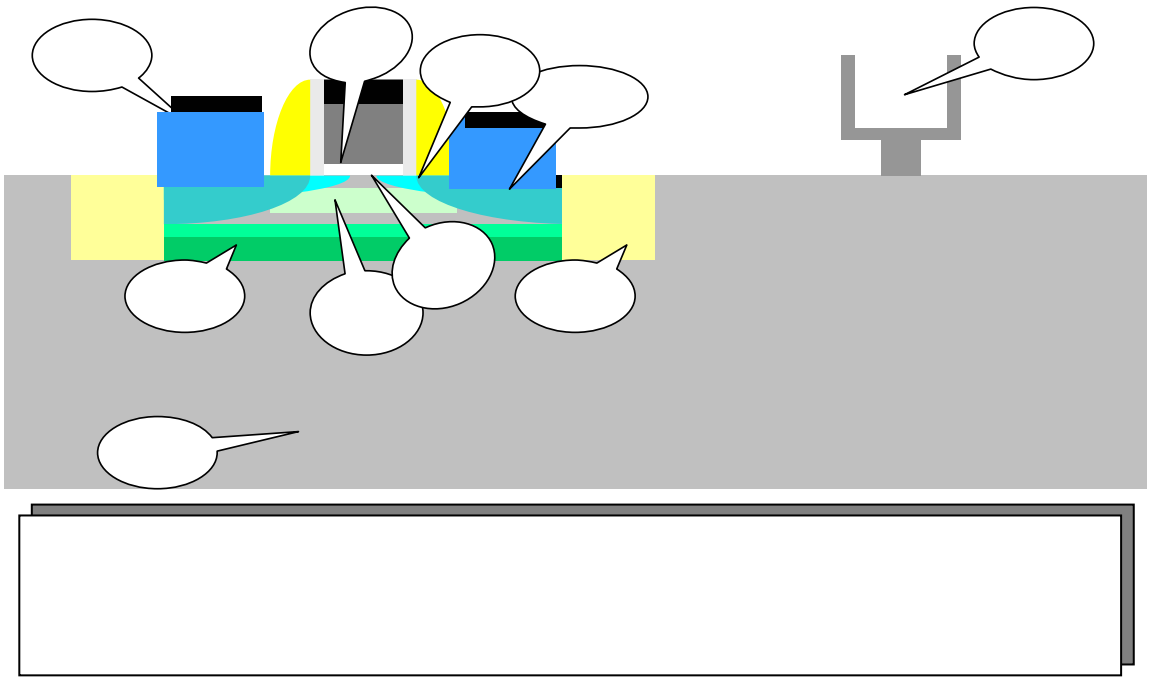


Figure FEP1 Front End Process Chapter Scope

FEP に関連したいくつかの話題は、このロードマップの他の章でも取り上げられている。FEP の技術的要求につながる微細化デバイスの性能・構造の予測は、「プロセスインテグレーション、デバイス、および構造(PIDS: Process Integration, Devices, and Structures)」の章に示されている。FEP と他の分野が関連する要求事

項は、「歩留り向上（Yield Enhancement）」、「計測 （Metrology）」、「環境、安全、健康（Environment, Safety, & Health）」、「モデリング＆シミュレーション（Modeling & Simulation）」の章で記述されている。FEP 分野の半導体工場への技術的要求は「ファクトリ・インテグレーション （Factory Integration）」の章で記述されている。

2 困難な技術課題

2.1 MOSFET の将来－新材料ならびに新構造への対応

半導体産業は、MOSFET デバイスを微細化することを主要な手段として、ムーアの法則（Moore’s Law）で数値が示されている通りに、これまでに前例のないほどの生産量の増大とデバイス特性の向上を実現してきた。これは伝統的に新しいリソグラフィー技術やマスク、フォトレジスト材料および微細エッチングプロセスの開発により進められてきたといえる。これらのきわめて重要なプロセス技術の進展により、これまでにない微細な寸法で生産できるようになったにもかかわらず、ここ数年明らかに、フロントエンドプロセスの技術は着実には進まなくなり、微細化されたデバイス性能は十分でなく、特に単なる寸法縮小ではリーク電流並びに消費電力は許容できないレベルである。低消費電力でこれまでのデバイス性能向上のペースを維持していくためには、トランジスタのゲートスタック製作に、新材料の導入がされ始めている。非プレーナ型マルチゲートデバイスが新しいデバイス構造として提案された。チャネル移動度を増大させる新材料に加えて、新たなアプローチが数年以内に導入されるのを期待したい。

デバイスの微細化が材料に制限されており、シリコンウェーハから始まって基本的なプレーナ型 CMOS の構成要素やメモリのストレージ構造を含むほとんどすべてのフロントエンドの材料とユニットプロセスに新たなことが要求されるようになった。さらに、プレーナ型バルク CMOS は数年以内に明らかに終わりになりつつある。結果として、従来と違ったMOSFET やプレーナ型FDSOI（Fully Depleted Silicon On Insulator）デバイスや縦型構造を持つデュアルゲート、マルチゲートデバイスのような代替デバイスを使ったCMOS技術を生み出す準備をしなければならない。代替デバイスについては Emerging research devices の章で言及する。従来のMOSFET と異なる新しいデバイスは、FDSOI 或いはマルチゲートが 2013-2015 年に生産に導入される見込みである。これらのさまざまな新材料と新構造のインテグレーションに関する技術課題は、Table FEP1 に纏めたフロントエンドプロセスの困難な技術課題の中心テーマである。

Table FEP 1 Front End Processes Difficult Challenges

Difficult Challenges ≥ 11nm	*Summary of Issues*
	Strain Engineering - continued improvement for increasing device performance - application to FDSOI and Multi-gate technologies Achieving low parasitics (resistance and capacitance) and continued scaling of gate pitch Achieving DRAM cell capacitance with dimensional scaling - finding robust dielectric with dielectric constant of ~60 - finding electrode material with high work function Achieving clean surfaces free of killer defects - with no pattern damage - with low material loss (<0.1 A) 450mm wafers – meeting production level quality and quantity
Difficult Challenges < 11nm	*Summary of Issues*
	Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials,

	parasitic series resistance, contact silicidation.
	Introduction of high mobility channels (based on III-V and Ge) to replace strained Si
	Lowering required DRAM capacitance by $4F^2$ cell scheme or like, while continuing to address materials challenges
	Continued achievement of clean surfaces while eliminating material loss and surface damage and sub-critical dimension particle defects
	Continued EOT scaling below 0.7nm with appropriate metal gates
	Continued charge rention with dimensional scaling and introduction of new non-charged based NVM technologies

メタルゲート電極を用いた high-k ゲート絶縁膜については、すでに導入され、電気特性の性能アップならびに信頼性を維持しながら、0.6nm より薄い EOT（Equivalent Oxide Thickness）の微細化は引き続き技術課題となるであろう。デバイスの移動度増大のためのチャネルの歪技術は、数年前に工業化され、微細化した MOSFET トランジスタの集積化技術へと移行した。今後も継続されるであろう。更なる歪技術の改善と新デバイス構造へ適用は、FEP の困難な技術課題である。

引き続き低消費電力でのトランジスタ性能の化向上を推し進めるためには、我々の分析では従来の CMOS デバイスを、完全空乏型のプレーナ型及び非プレーナ型のデバイスを含めたノンクラシカル・デバイスに置き換えていく必要がある。この従来の CMOS からノンクラシカル デバイス構造への変更は必ずしもすべての用途及びすべてのチップ製造工場で同時に実施されるのではなく、色々な技術が同時に、競合しながら使用されることになっていくであろう ー 比較的早く新たなデバイスを選択する方向へ移る製造工場もあれば、他方で、バルク技術の改良に力を入れる製造会社もある。このことは、高性能デバイスならびに低消費電力デバイス技術の解決策の Table FEP2、FEP3 及び FEP4 において、2013 年から 2019 年の過渡期における解決策が複数予測されていることに対応している。

Table FEP2 High Performance Device Technical Requirements

Table FEP3 Low Operating Power Device Technical Requirements

Table FEP4 Low Standby Power Devices Technical Requirements

新材料の導入によっても不純物ドープや不純物の活性化法に新たな技術必要となる。当面の課題としては、直列抵抗があり、2015 年までには、解決される必要がある。この直列抵抗問題は、FDSOI 或いはマルチゲートのようなデバイスが採用される場合には、さらに重要となる。非常に浅い p-n 接合を必要とする微細化要求に加えて、多くの high-k 材料が持つ熱的安定性の限界のために、ドーパントの活性化に対するサーマルバジェットに新たな制約を受ける可能性がある。最悪のシナリオ例としては、これらの high-k 新材料の導入によって、CMOS プロセス全体の設計にも重大インパクトを与えかねない。

メモリ分野では、スタンドアロンの DRAM デバイス製造は、スタックトキャパシタの採用へと移行してきている。

そのため、トレンチキャパシタの技術解決策候補の Table を削除し、DRAM の節では、スタックトキャパシタ技術に限って述べる。DRAM の Table は検討中であり、2011 年の ITRS では変更されないが、2012 年度版ではアップデートされるであろう。DRAM は現在の ITRS の Table に沿って微細化が進むであろう。high-k 材料は、金属-絶縁膜-金属（MIM：Metal Insulator Metal）構造の形で既に導入されている。同じく high-k 材料は、2012 年までには、浮遊ゲートタイプの Flash メモリのインターポリ絶縁膜に、2013 年までには、トンネルゲート膜に、それぞれ必要となるであろう。FeRAM については、強誘電体や強磁性体の記録材料が使用される用途で商業化されるであろう。これらの様々な材料が製造のメインストリームとなるためには大きな困難な技術課題がある。相変化メモリ（PCM：Phase Change Memory）デバイスは適用範囲については限られてはいるが、商用化されている。

スターティングマテリアル分野では、バルクシリコンが引き続き主役であるが、代替として SOI（silicon-on-insulator）基板が、特種用途を中心に使用されるであろう。 そのような代替法の導入は、一般的には FEP プロセス構成に影響を与える。様々な形の歪シリコン技術が高性能設計に採用されており、IC の価値を高め続けることになる。また、この 2011 年ロードマップの期間内に出現すると予想される重要かつ困難な技術課題は、次世代 450mm シリコン基板が必要になることである。そのようなウェーハ大口径化は、増大するトランジスタ数と性能の向上に基づいた歴史的に繰り返す生産性向上が維持される必要性による。ウェーハ基板生産に対して必要な技術がコスト的に見て有効であるのかどうかが関心事であり、これまでの延長線上での微細化技術だけを考えるのでは十分でないことを示している。この基板がバルクシリコンなのか、SOI なのか、また両方なのかかも不明である。歪技術はデバイス性能向上に重要であるが、この効果は、デバイスインテグレーションプロセスに依存し続けると思われる。これは、デバイスのチャンネル材料が非シリコンになるのかもしれない、あるいは基板がシリコンであり続けるのかといったことを考えなければならない。それ故、新材料とシリコンとの相互作用を理解することが重要である。歴史的なウェーハ口径の変遷に基づけば、2014 年にデバイス生産するための次世代 450mm 口径のシリコン基板の検討は、2010/2011 年には進展したものの、まだ数年遅れている。

フロントエンドの洗浄プロセスは、より k 値の高い high-k 絶縁膜、メタルゲート電極や高移動度チャネル材料といった新しい材料が導入されてきており、引き続き重要であるであろう。微細化デバイスでは、ますます浅い接合となり、このため、洗浄プロセスは基板材料の除去並びにその表面のラフネスにまったく影響を与えないことが要求される。微細化した新デバイス構造は、ますます脆弱となっており、このため洗浄プロセスでの物理的な衝撃を抑制しなければならないであろう。加えて、これらの新デバイス構造では、完全な洗浄と側面（直角方向の表面）制御も要求されるであろう。DRAM スタックキャパシタ構造では、アスペクト比の増大でサイドウォール部の汚染除去がますます困難となってくるであろう。また、キラー欠陥密度を評価するためにウェーハ上の 28nm より小さなパーティクルを信頼性よく検出し、そして歩留り習熟を可能にするためには、パーティクルスキャン技術に課題がある。

ゲート絶縁膜は、将来のデバイス微細化に対してもっとも困難な技術課題の一つとしてとなっている。EOT が 0.6nm より薄い high-k スタック構造の長期の微細化は、主要な課題である。新しいゲート電極材料で、仕事関数、抵抗および CMOS 技術との適合性の点が、キーパラメータとなる場合には、そのゲート電極はまた、将来の微細化に対して主要な技術課題となる。リーク電流を制御しつつ微細化するために完全空乏型あるいは非プレーナ型の新デバイス構成を導入する場合には、さらに重要な課題である。微細化でもう一つの困難な技術課題は、フロントエンドの材料およびプロセスの選択において最初に考えなければならない、機械的応力によりチャネル移動度を高める技術である。デバイスの高い駆動電流を維持するためには、部分空乏型或いは完全空乏型 SOI だけでなく、従来のバルクCMOS、さらには非プレーナ・デバイスのチャンネル移動度を高める必要がある。PIDS によれば、2018 年頃に、チャンネル材料をシリコンに換えて III-V(In-Ga-As)/nFET 及び Ge/pFET を用いることが期待されている。シリコン基板上にこのような高易動度チャンネルデバイスを搭載した LSI を製造することは、大きな課題である。

加えて、浅接合の微細化と接合の急峻性、寄生抵抗、コンタクト抵抗が技術課題である。パターン形成、洗浄および成膜のプロセス制御性からくる変化によって生ずる、ドーパント原子の導入位置と最終位置のバラツキは、スケーリングにおける課題であり、こうした課題を解決するためには、バラツキに強い新たなプロセス技術を開発するための努力が必要である。これらの課題と有望解に関しては、熱処理/薄膜プロセスおよびドーピングの節でより詳しく論じられる。

微細化デバイスサイズにおける普遍的な課題は、ゲート長のクリティカルディメンジョン（CD）制御である。ウェーハエッジを含めたウェーハ前面でのエッチングの均一性は、特に難しい課題であり、その製造可能性を高めるために、設計を確定させることが必要である。ゲート CD がシュリンクするのに従って、特に 28nm ノード以降では、ライン幅粗さ（LWR：Line Width Roughness）は CD ばらつきの大きな割合となりつつある。LWR は、ライン幅がシュリンクしてもせいぜい一定値を維持するだけであり、これは微細化での大きな問題である。業界がこの問題に対処するためには定量化の方法を標準化する必要がある。低い LWR を維持していくためには、フォトレジストのタイプ、エッチングバイアスパワー、そしてエッチングの化学を如何に選択していくかが重要である。high-k 絶縁物およびメタルゲートが使用されると、これらの材料エッチングプロセスでは、十分な選択性ならびにダメージ制御が得られるべきである。非プレーナトランジスタが必要になると、エッチングはますます大きな技術課題となる。FinFET 構成では、選択性、異方性及びダメージ制御といった新たな制約条件が発生する。

フロントエンドのプロセスでは、CMP（Chemical Mechanical Polishing）がますます重要となりつつある。CMP は多くのノードに渡り浅いトレンチ分離の重要なステップとして使われてきたが、その必要性と均一制御性は、フラッシュメモリデバイス或いはゲートラストのメタルゲート製造工程で、ますます重要となってきている。均一性、選択性、パターン密度依存性は CMP プロセスに対して引き続き課題である。

3 技術要求と解決策候補

3.1 ロジックデバイス- 高性能（HP），低動作電力（LOP）及び低待機電力（LSTP）

高性能（HP），低動作電力（LOP）及び低待機電力（LSTP）に対するスケーリングロードマップは、2011 年 ITRS FEP 改訂版に別 Table として掲載されている。性能と消費電力に対する技術選択肢（とスケーリングロードマップ）が将来のデバイス世代においては顕著に異なってくるので、別 Table 中のこの分類分けは、より適切なものとなる。例えば、先端高誘電率膜／金属のゲート積層構造技術が、2011 年以降に高性能デバイスで必然的に登場する一方で、これまでの SiON／多結晶 Si は、LSTP において 2011 年まで、依然主な選択肢となり得る。また、それぞれの Table で示されている HP, LOP 及び LSTP に対してスケーリングを実現する手段を理解することにより、性能と消費電力を改善する技術に関係する具体的なモジュールレベルのスケーリング課題を指摘することができる。

Tables FEP2, FEP3 及び FEP4 では、短期（Near-Term Years）及び長期（Long-Term Years）における、HP, LOP 及び LSTP に対するそれぞれのスケーリング実現手段が示されている。それぞれの Table において、（動作電力低減のための）Vcc スケーリングシナリオと、オフ電流とオン電流の要求値が、短期及び長期に対して表現されている。これらは PIDS の予測と良く整合していて、それぞれのデバイスタイプに対するモジュールが選択できるようになる。

HP においては、高駆動電流の必要性の高まりにより、電子と正孔の注入速度向上のためにさらに高いレベルの歪の実現と同時に、顕著な EOT 薄膜化の実現へ挑戦することが明らかになっている。また、短チャネル効果を抑制しオフ電流を 100nA/μm という制限内に維持するために、ドーピング技術を精密に制御することが必要とされる。高誘電率膜/金属ゲートは、既に大量生産に入っているが、（許容できる漏れ電流を実現しつ

つ）EOT を 0.7nm 以下にスケーリングできる積層構造の可能性には疑問が残る。また、ゲート長を継続して微細化した場合に短チャネル制御を維持するには、Table 中に示している通り、非平面構造や薄膜 SOI 構造の導入が必要である。低い消費電力（小さな電源電圧）で高性能化を実現するため、歪 Si 技術に変わる高移動度チャネルが 2018 年頃に導入されると予測されている。

LOP のスケーリングにおいて、オン電流/オフ電流比を維持するには、Table FEP3 に示す通り、ゲートリーク電流の要求値を満たすために EOT ターゲットを緩和する必要がある。低動作電力（低電源電圧）で性能を確保するには、将来のデバイス世代において、短チャネル効果の改善と歪向上による性能向上が必要である。電源電圧の顕著なスケーリングは、特性ばらつきの懸念が増大するため、大きな課題となる。非平面構造（或いは FD-SOI）の出現は、ランダムな不純物揺らぎに起因する特性ばらつきを抑制し、必要とされるオン/オフ電流比を満たす短チャネル効果抑制を実現する。

LSTP スケーリングにおいては、オフ電流を低減するため、Table FEP4 に示す通り、ゲートリーク電流が低くなる厚い EOT を許容している。高誘電率/金属ゲートの導入は、今まさに進んでおり、同じオフ電流要求値に対しても EOT を顕著にスケーリングできる手法を与えている。Table FEP12 に示す通り、低リークな極浅接合を形成することと同時に、スケーリングされた物理ゲート長において低オフ電流の要求値（100 pA/μm）を実現することは課題である。ここでも再び、マルチゲートデバイスや FDSOI の導入は、スケーリングしていった際に必要とされるオン/オフ電流比を実現し続けるために、差し迫った課題となっている。

注：オプション技術の導入に対する CoO（Cost Of Ownership）は、これらの Table で考慮されていない。スケーリングのためのプロセスオプションの選択は、CoO により顕著に影響を受ける可能性があることは十分考えられるが、Table FEP2, FEP3 及び FEP4 中で考慮することは困難である。

CMOS の将来スケーリングは、新しい材料（例えば高誘電率膜/金属ゲート、新しい合金シリサイド、低誘電率スペーサ、III-V 族や Ge による高移動度チャネル等）や新しいデバイス構造（FDSOI, マルチゲート FET, ナノワイヤ等）の導入に依存しているということは重要な指摘である。Figure FEP2 は、平面及びマルチゲート FET に対するモジュールレベルの課題の模式図を示している。そして Figure FEP3 は、HP, LOP 及び LSTP 技術に対するデバイス要求を実現する継続的なスケーリングのためのスケーリング経路（或いは解決策候補（Potential Solutions））を示している。

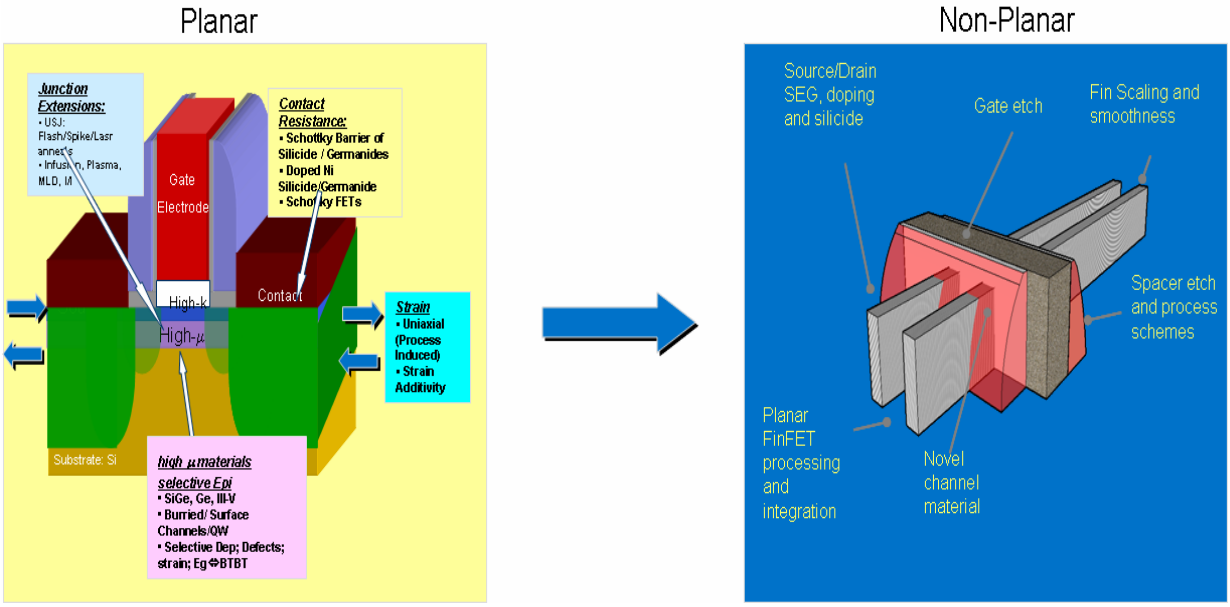


Figure FEP2　　CMOS Scaling Enabled through Novel Architecture (Planar To Non-Planar) and Associated Module Level Challenge

この様な今後 5-7 年の新しい材料とデバイス構造の急速な導入は、開発とそれら開発物を効果的で経済的な製造技術に統合していくという前例の無い多様な課題を課することになる。この転換期に、デバイス構造の選択が多岐に渡るということは、産業界に次の様な発散を引き起こすと思われる。ある企業は極微細バルク CMOS パラメータを選択する。一方、他の企業は、FD-SOI やマルチゲート構造への転換を実現する。両者の必要条件は大きく異なるが、少なくとも同じように挑戦的である。

HP, LOP 及び LSTP デバイスの要求値（Tables FEP2, FEP3, and FEP4）を満たすためのプロセスモジュールレベルでのスケーリング目標は、後述の熱処理/薄膜プロセス・ドーピング（Thermal/Thin Films Doping: TTFD）のプロセス技術要求の項で強調されている。また、特定プロセスモジュールに対する解決策候補も TTFD の項で議論されている。

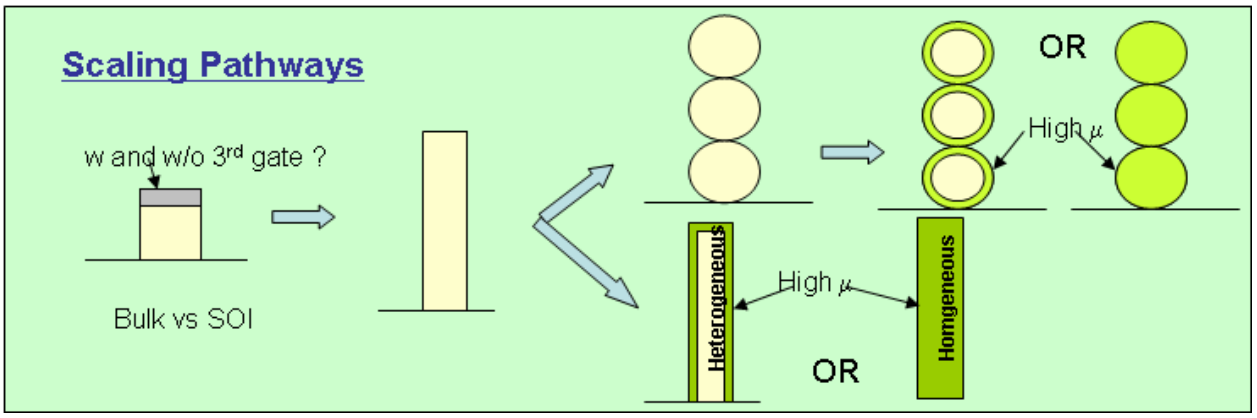


Figure FEP3　　Continued Scaling Pathway in Non-Planar Devices

3.2　DRAM デバイス

DRAM キャパシタ技術は、現在、セル面積の更なる微細化のために過去のいかなる世代よりも厳しい技術課題を課せられている。Table FEP5 は DRAM キャパシタへの技術要求をまとめたものである。キャパシタが DRAM に取り入れられて以来、要求される容量はおよそ 25fF/cell の一定値に保たれてきた。しかしながら、セル容量は 2012 年以降においては重要な要求としてコントロールされるよう求められている。この新しい技術課題は、寄生容量を低減可能な埋め込みビット線技術や埋め込みワード線技術によって実現されるだろう。これによって、容量の要求値を従来の 25fF/cell から 20fF/cell に低減することもできる。埋め込みビット線や埋め込みワード線技術の性能改善によって寄生容量を削減できれば、この容量値はさらに低くすることができる。

Table FEP5　　DRAM Stacked Capacitor Technology Requirements

セルの大きさが 20nm 以下になった際の最も困難な状況は、面積の制限が非常に厳しくなってくるために、誘電体やプレート電極を堆積する十分な空間がなくなってくることである。一般的には、誘電体や金属層の物理膜厚が減少すると、誘電率や仕事関数などの物性が劣化してくる。それに加えて、誘電率が増加した場合には、低リーク電流要求を満たす物理膜厚も厚くなる。言い換えれば、誘電率が高くなるほど誘電体の膜厚が厚くなるために、キャパシタはますます作りにくくなるということである。したがって、誘電体や電極層の物理膜厚に対する制限が最も困難な技術課題となる。5-7nm という究極の膜厚においても、高い誘電率や高い仕事関数を維持しなければならないからである。このような物理的制限が、誘電体や電極の電気的性質よりもむしろ非常に大きなアスペクト比の蓄積電極を目指す主な理由になっている。要求される容量値は、誘電体の改善

だけでなく、高い仕事関数や非常の大きなアスペクト比の蓄積電極によっても実現されると予想され、その結果、誘電率を増大させる要求が弱まり、物理膜厚を増大させる必要が小さくなってくる。

Figure FEP4 にDRAMスタックキャパシタの解決策候補を示す。20nm世代は新しい誘電体や電極材料という観点で重要であることは間違いない。誘電体に関しては、セル容量と面積縮小は、ゲート絶縁膜のリーク電流の制限の下でトレードオフをもたらすだろう。20nm世代付近ではキャパシタはほぼZrO_2誘電体をベースにしたものと予想されている。これは誘電率が 50 程度という要求に基づくもので、0.6nmの実効酸化膜厚（Teq）となる。ZrO_2ベースの誘電体で0.6nmを得る可能のある方法は、ZrO_2やTiN層の堆積条件や材料を改善することだろう。DRAMのピッチが 20nm以下となった場合には、Teqは 0.45nm以下が要求される。これは 60-70 の誘電率を有する新しい高誘電率材料を要求する。このような高い誘電率はTiO_2、Ta_2O_5、STO（Strontium Titan Oxide）やBST（Barium Strontium Titan Oxide）で得ることができるが、リフレッシュ時間が一定という要求の下では、このような高誘電率化は物理膜厚で制限されてしまうことに注意が必要である。したがって、DRAMセル構造の中に他の容量源を見出す必要が出てくる。

TiNは、仕事関数やステップカバレッジを最大化したり堆積中に生じる誘電体の劣化を抑制することで、28nm世代までは電極材料として引き続き使われるだろう。現状使われているTiNに対して、新しい堆積技術や材料の改善技術の開発が望まれる。20nm世代以降では、仕事関数や誘電体の結晶化促進の観点から、Ru、RuO_2、Ir、IrO_2、$SrRuO_3$などの新しい電極が検討される必要がある。電極材料の電気特性に加えて、物理膜厚の制限にも着目すべきである。仕事関数や結晶構造が電極材料の薄膜化に伴い変化することを考慮すると、高い仕事関数を持つ非常に薄い層の形成技術は重要な課題になる。STOやBSTなどの高誘電率酸化物材料は結晶層の割合で変調を受け、それが誘電率の変化をもたらすので、13nm世代以降では、下部電極材料の結晶構造は仕事関数と同様に検討される必要がある。このような理由から、$SrRuO_3$などの導電性ペロブスカイト酸化物はSTOやBSTと共に検討する必要がある。

high-k 絶縁膜や高い仕事関数を有する電極に加えて、アスペクト比の非常に大きい蓄積電極形成に向けた新たな技術が Teq の要求値と組み合わせて必要とされている。したがって、高さが非常に大きい蓄積電極形成に対して新しい酸化物加工技術の開発も必要となる。

セルサイズが縮小すると、絶縁膜やプレート電極が堆積される 3D構造はますます深くかつ狭くなる。したがって、原子層堆積法（ALD：Atomic Layer Deposition）のステップカバレッジやスループットなどのプロセス性能の改善が必要となってくるであろう。13nm世代以降において、ALDのさらなる困難な技術課題はBST($BaSrTiO_3$)や$SrRuO_3$などの多元膜の要求に起因する。この場合、反応性の低いプリカーサを用いてステップカバレッジを維持すると同時に組成も維持しなければならない。したがって、反応性の高いALDプリカーサを開発する努力が継続される必要がある。[1]

First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
DRAM 1/2 pitch (nm)	52	45	40	36	32	28	25	22	20	18	16	14	13	11	10	8.9
Top Electrode	TiN								Ru, RuO2, Ir, IrO2							
Capacitor Dielectric Material	ZrO2, HfO2, Ta2O5								TiO2, STO, BST							
Bottom Electrode	TiN								Ru, RuO2, Ir, IrO2				SrRuO3			

Figure FEP4　　DRAM Potential Solutions

[1] N. Fukushima, et al., "Epitaxial (Ba, Sr) TiO3 Capacitors with Extremely High Dielectric Constant for DRAM Applications," IEDM 1997, Technical Digest, Dec. 1997, pages 257-260.

3.3 不揮発性メモリ（フラッシュ）

Table FEP6 は、NOR と NAND フラッシュメモリの主な技術的要求をまとめている。最も重要な問題はセル領域の縮小に関係している。（PIDS の章にある不揮発性メモリの技術的要求 Table を参照。）そして結果としては、メモリセルを形成する上で重要となる 2 つの絶縁膜であるトンネル絶縁膜と Poly-Poly 間絶縁膜の膜厚を薄膜化することであるが、一方でメモリセルの電荷保持特性や要求耐性を保証する必要がある。NAND フラッシュでは最適な最小加工寸法の定義は、メモリセルのハーフピッチである。Figure FEP5 の例に示すように、ビットラインに対して平行にメモリセルの断面を見たとき、2 層目のポリシリコン（ワードライン）のハーフピッチである。

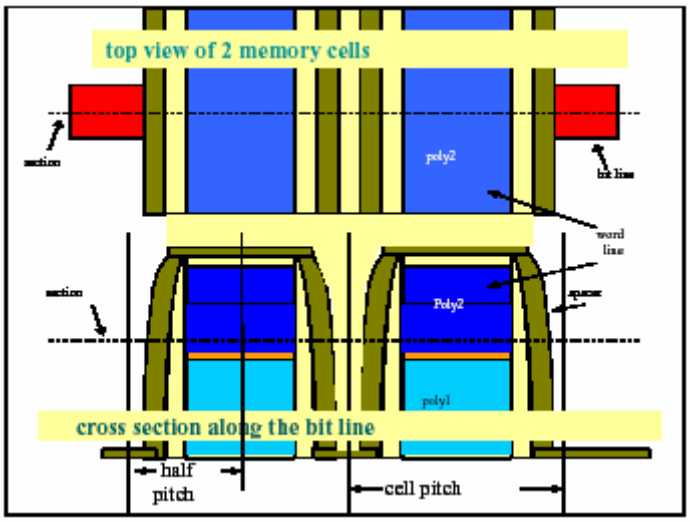


Figure FEP5　　Minimum Feature Size of NAND Flash Memory

Table FEP6　　Floating Gate FLASH Non-volatile Memory Technology Requirements

一方 NOR フラッシュでは、最小加工寸法の定義は各生産者間で用いているセル構造が異なるため簡単ではない。Figure FEP6 の例で示すように、NOR フラッシュでは以下のような最小加工寸法の定義が用いられる。

- 2 層目ポリシリコン（ワードライン）と平行に断面を見たときのメモリセルのハーフピッチ
- ワードラインに沿った方向に見たときの 1 層目ポリシリコンの間隔
- 最小のコンタクトホールサイズ

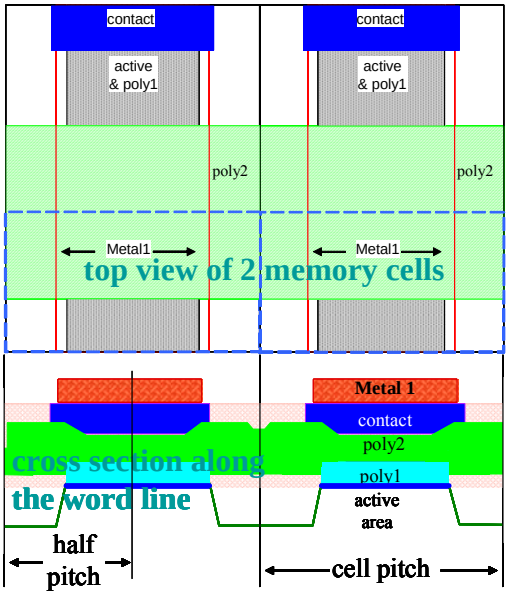


Figure FEP6　　Minimum Feature Size of NOR Flash Memory

トンネル酸化膜厚は、書き込み／消去特性向上のために薄膜化しなければならない。一方、Poly-Poly 間絶縁膜厚の薄膜化は、制御ゲートと浮遊ゲート電圧間の比を適切にし、ほぼ一定値である容量カップリング比率 αg を維持するために重要である。カップリング比率は通常、Poly-Poly 間絶縁膜厚の薄膜化とトンネル酸化膜厚と浮遊/制御ゲートカップリング面積を増加することで改善される。トンネル酸化膜厚をスケーリングすることは、フラッシュメモリにとって主要な挑戦の一つであり、厚膜化するほど良好になる電荷保持特性と薄膜化するほど特性向上する書き込み／消去特性を同時に保証しなければならない。

αg に関して浮遊/制御ゲートカップリング面積の影響は、NAND フラッシュの 20nm 技術世代から重大な問題として顕在化する。二つの隣り合った浮遊ゲート（Poly1）間スペースが小さくなると、現状の構造では、制御ゲート（Poly2）が Poly1 の縦側壁を覆うことができなくなる。Poly1 と Poly1 の縦側壁にある Poly2 との電気的カップリングの不足は結果として αg の劣化となり、代償として Poly-Poly 間絶縁膜厚の薄膜化要求がさらに強くなる。この状況を Figure FEP7 に示す。

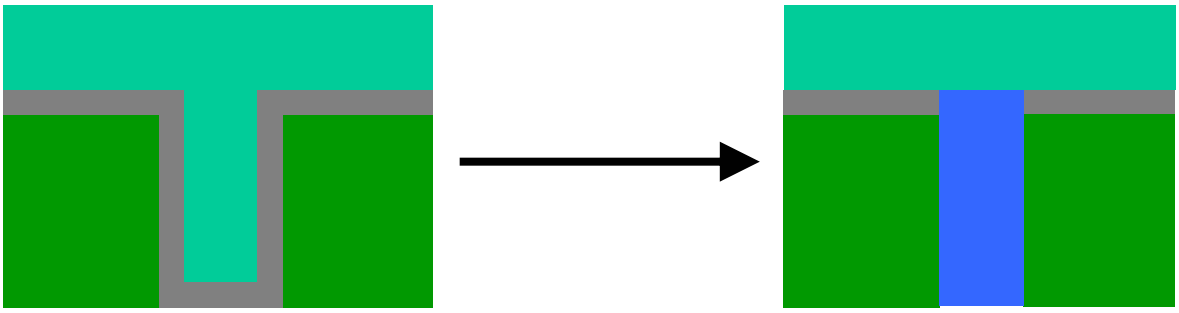


Figure FEP7　　Flash Memory Interpoly Dielectric Thickness Scaling at <25nm for NAND Flash

現在の Poly-Poly 間絶縁膜の技術は、酸窒化膜を基にしており、積極的な等価酸化膜厚（EOT）減少は電荷保持特性を許容できないため、恐らく不可能と思われる。したがってこの段階で high-k 材料の導入が必要であろう。代わりに制御ゲートに対して、高いカップリング面積を維持する新しい浮遊ゲート構造やポリシリコンとは異なる電荷保持材料が潜在的な解決策となる。この観点から 18～22nm の NAND 向けの技術世代は、従来構造とメモリセル構造の変革による新しい解決策の両面で転機となるであろう。

フラッシュメモリの別の技術課題は、STI（Shallow Trench Isolation）形成の微細化にある。X 方向（ワードライン方向 Figure FEP5）の微細化の継続のためには、STI トレンチの深さを継続した場合のトレンチアスペクト比の増加に伴い、STI 酸化膜の埋め込みが課題となる。（Figure FEP8、FEP9）フラッシュメモリにおけるそれらの課題の概要と解決策の可能性を Figure FEP10 に示す。

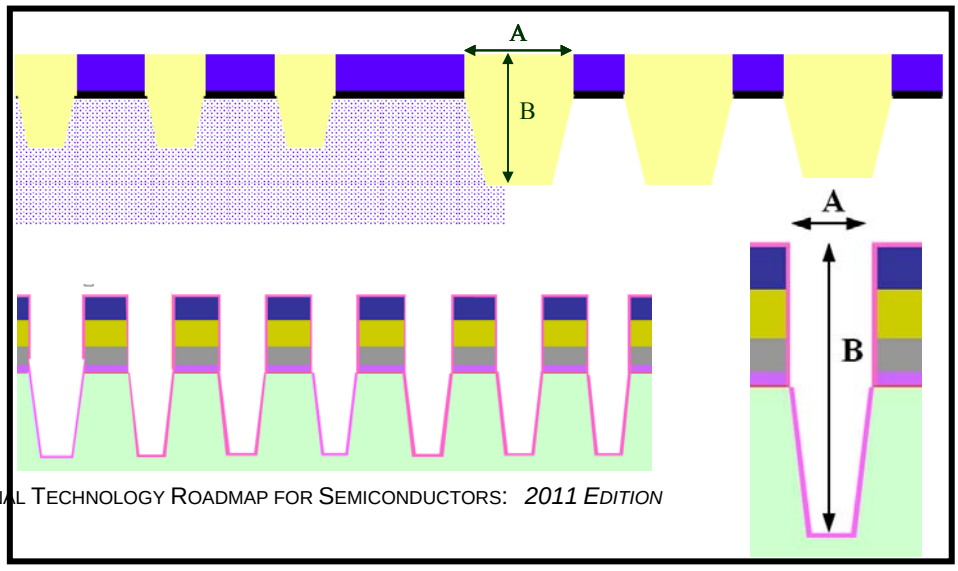


Figure FEP8　　Schematics of STI Isolation Trenches

高アスペクト比のトレンチに対する分離酸化膜の埋め込みという重要な課題に直面している。分離の形成に関する追加的な課題として、STI 形成におけるサーマルバジェット全体の問題があげられる。Chip 内で異なる（メモリアレイ対 I/O 回路）STI トレンチ構造の両立が、とりわけセルフアライン STI 構造において課題とされている。

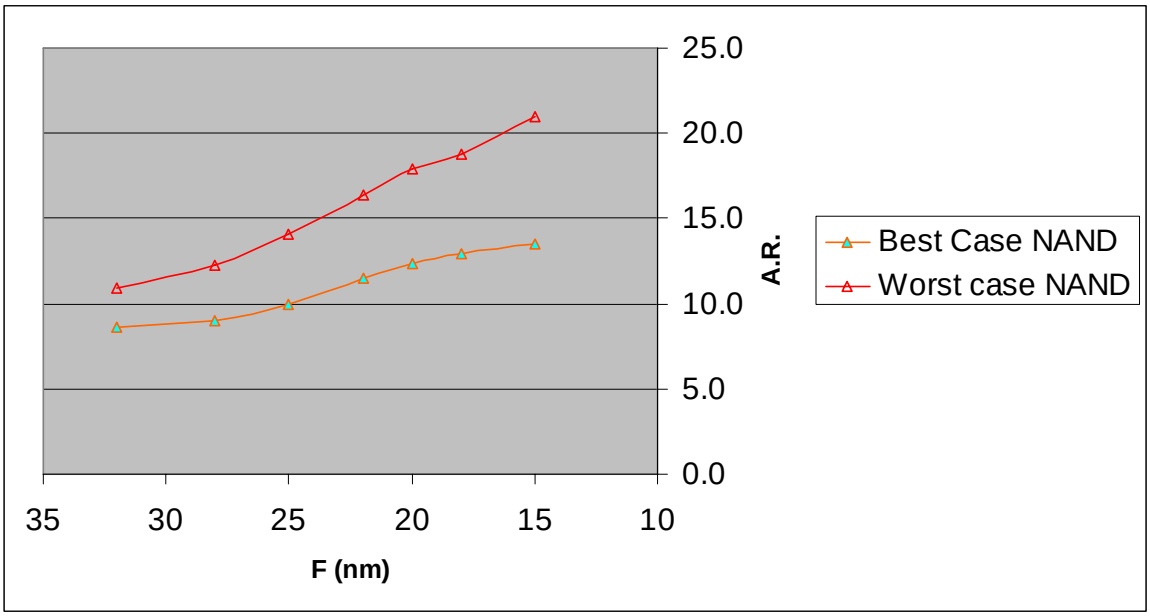


Figure FEP9　　Evolution of the STI Aspect Ratio for NAND Flash with the Minimum Feature Size

First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
FLASH TUNNEL DIELECTRIC																
Nitrided Oxide																
Barrier Engineered Oxynitride																
FLASH INTERPOLY DIELECTRIC																
ONO (Oxide-Nitride-Oxide)																
Oxynitride / high-k stack																
FLASH STI FILLING TECHNOLOGY																
High Density Plasma																
CVD																
Spin-On-Dielectric																
Selective Trench Fill																
FLASH FLOATING GATE																
Nano-grain Poly-Si																
Poly-Si/Metal Stack																
Mono-Si/Metal Stack																
FLASH GATE ELECTRODE																
Poly-Si																
Poly-Si / Metal																
Metal																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

Figure FEP10 Flash Non-Volatile Memory Floating Gate Potential Solutions

3.3.1 チャージ トラッピング フラッシュ メモリ 技術

NOR フラッシュ、NAND フラッシュ双方の、微細化の継続のためには、伝統的なフローティングゲート技術に代わる新しい技術の開発が必要である。一般的に、NAND フラッシュセルに比べて、NOR フラッシュセルの方が、微細化に対する課題がより多いと考えられる。しかしながら、NAND フラッシュ、NOR フラッシュともに主としてマルチレベルセルのクロストーク効果の影響を受ける。その上、NAND フラッシュ、NOR フラッシュともに、ワードライン方向でのフローティングゲート上の ONO（Oxide-Nitride-Oxide）絶縁膜の膜厚による poly-poly 間の微細化の限界に直面している。チャージ トラッピング メモリ 技術は、シリコン窒化膜もしくは high-k 絶縁膜中に蓄えられたチャージを原理として、前述の課題を解決することが可能となる技術である。TableFEP7 はチャージ トラッピング フラッシュ メモリ 技術に要求される、主な技術課題をまとめた Table である。

Table FEP7 Charge Trapping FLASH Non-volatile Memory Technology Requirements

チャージ トラッピング技術による主なアドバンテージは

- ・フローティングゲート間の干渉の抑制。
- ・高スケーラビリティー（FinFET 構造で適用可能）。
- ・混載メモリアプリケーションのインテグレーションが容易。
- ・トンネル酸化膜の局所的な欠陥による影響の軽減。
- ・消去ばらつきに有利。

チャージ トラッピング技術に対する共通の認識された挑戦は

- ・トラッピング材料とゲート間に high-k ブロッキングレイヤーが必須である。
- ・高ワークファンクションのゲート電極：例えばメタルゲートでは消去のために適した電圧ある。
- ・サイクリング後のデータ保持特性は絶縁膜中のチャージの分布による。

それらの挑戦に対する開発の結果、トラッピング材料と high-k ブロッキングレイヤーとメタルゲート電極の課題を含めた幾つかの主要な技術課題は明らかにされ、チャージ トラッピング技術は量産化前の段階へと移行しつつある。

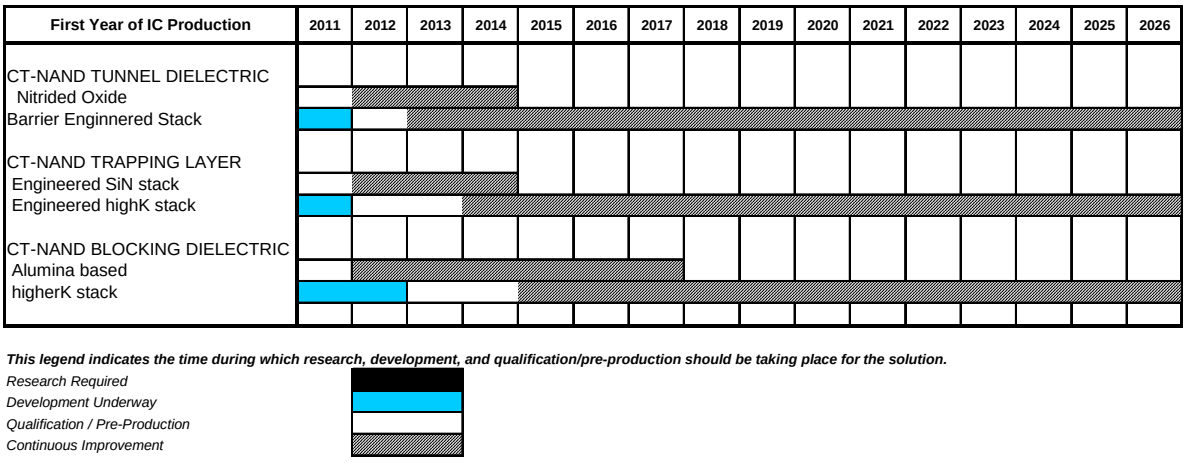
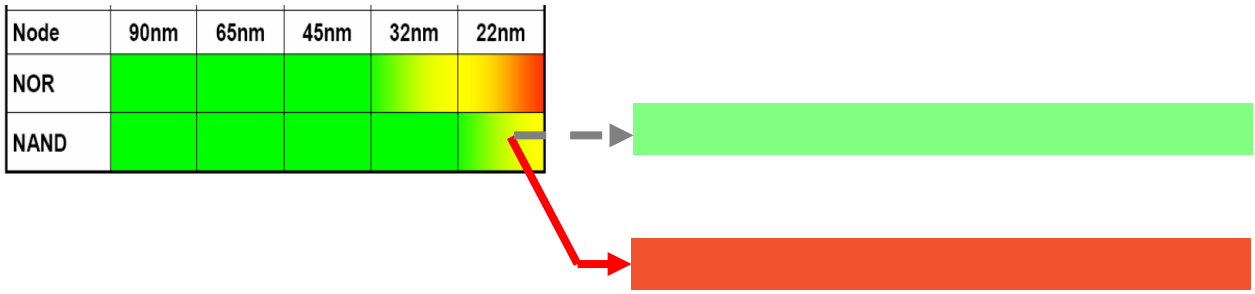


Figure FEP11 Charge Trap Memories Potential Solutions

3.4 3D フラッシュメモリ

20nm ハーフピッチをはるかに下回る、NAND フラッシュメモリのスケーリングにおけるプロセス上、およびデバイス上の限界のため、さまざまな 3D 積層メモリ構造が開発されている。3D 積層メモリ構造では、ビットライン、あるいはワードラインが積層化されている。NAND フラッシュメモリアレーにおいては、ビットラインとワードラインのそれぞれのクロスポイントは、メモリのノードとなる。したがって、ビットラインとワードラインのいずれかを積層化することで、ビットコストの増加を伴うことなくフラッシュメモリの密度を増やすことができる。既存の設備を 3D メモリの開発に使うことできる点も、コスト上有利である。しかしながら、3D 積層メモリのアレーの配置は従来の 2D NAND フラッシュメモリとは全く違っている。すなわちメモリ動作の際に、一つのビットラインあるいはワードラインを選ぶために、積層化されたそれぞれの層が区別されなければならない。



異なった 3D メモリを分類するためのいろいろなやり方が考えられるが、空間的配置に基づいた分類がおそらく最も実効的であろう。これは、どのような空間的配置を取るかによって、コスト、電気的特性、プロセスインテグレーションのすべてに対して、直接的なインパクトがあるからである。以下が取りうる構造である。

- チャネルとゲートが水平、
- チャネルが縦方向、ゲートが水平方向、
- チャネルが水平方向、ゲートが縦方向。

チャネルとゲートが水平な構造は、多数のプレーナ型のメモリを積層化することによって形成することができる。この 3D構造は、従来型のプレーナ型のメモリの自然な発展型であり、そのためコスト、プロセス、電気特性について、従来のフラット型のメモリをベースにした考察が可能である。唯一の課題は、このメモリが熱工程を繰り返して形成されることによるものである。下層における特性劣化の抑止し、セル同士が同様の特性を示すようにするために、熱工程をできるだけ低減する必要がある。経済的な点からは、このアプローチは非常に効果的であるとはいえない。それはこの構造を実現するためのコストが、それぞれのプレーナアレーを形成するコストの層数倍だけ必要であるためである。従来のフラット型のメモリに対する唯一の改良点は、周辺回路とメタル配線層については、1 層分だけ作ればよい点である。ウェーハ一枚当たりのコストを抑えるためには、縦方向の総数は可能な限り少ないことが望ましく、またこの限界を補償するために、この構造においては、当然の結果として個々のセルのサイズはできるだけ小さいことが望ましい。

チャネルが縦方向でありゲートが水平方向である構造においては、積層構造が一括でエッチングされるため、最小寸法のマスク数は少なくて済む。

セルのサイズが相対的に大きく、また多層に積層することが小さい実効セル面積（一つのセル面積を層数で割った値）を得るために必要であったとしても、この構造はウェーハ一枚当たりのコストが層数にほとんど依存しないことから、コストの点では特に有利である。

ポリシリコンチャネルの品質に加えて、セル内部のアクティブな絶縁膜を高い制御性で、コンフォーマルに形成することが、この構造の鍵となる。

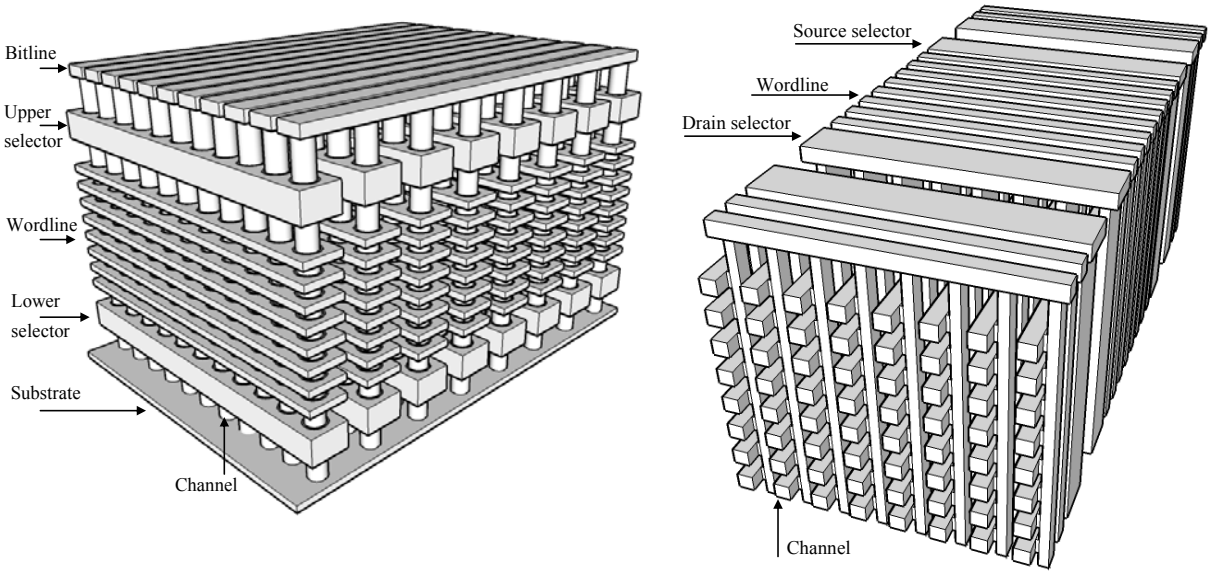


Figure FEP12 From left to right: vertical channel/horizontal gate and vertical gate/horizontal channel architectures

チャネルが水平方向でありゲートが縦方向である構造では、先に示した場合と同様に、積層膜を 1 回のショットで必要な形状にすることができ、縦方向に多層に積層化されていたとしてもウェーハ一枚あたりのコストを抑えることができる。単位セルサイズは縦方向にチャネルを配置した場合と比較して小さくなることから、この構造は経済的な点から最も望ましいもののひとつと言える。

積層メモリを縮小化するために必要な、単位セルの微細化と熱工程の制約とから、多くの場合にブロック層/IPD 層として high-k 材料は用いられない。これは high-k 材料の場合、標準的なシリコン酸化膜に比べて厚い膜厚が必要とされるともに、高温での熱処理が結晶化に必要とされるからである。この結果として多くの 3D アレー積層構造において、シリコン酸化膜あるいは窒化膜が用いられている。

従来からある材料を用いて許容できる電気特性を得るための最も簡単な方法は、一般に wrap-around-gate セル構造と言われる構造の適用である。この基本的な考え方は、トンネル酸化膜に印加される電界を高め、ブロック酸化膜に印加される電界を緩和するというものである。これは、曲率半径が両酸化膜で異なるおかげで実現できる。トンネル絶縁膜層に印加される電界を高める（あるいは同様にブロック絶縁膜層に印加される電界を弱める）ことは、トンネル絶縁層／ブロック絶縁膜層の曲率半径の調整によって実現することができる。

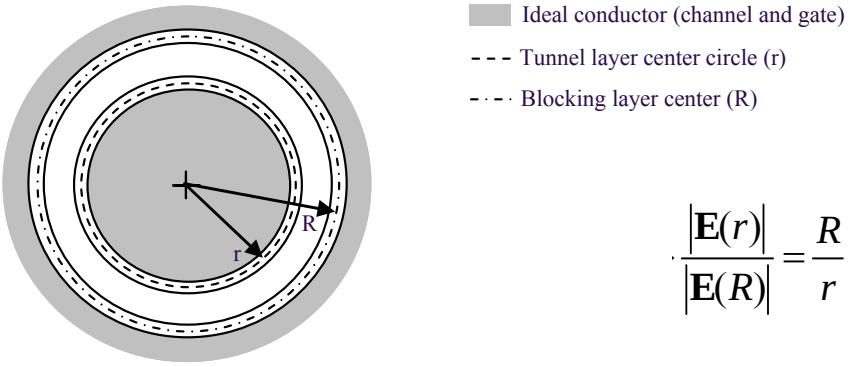


Figure FEP13 Scheme of the wrap-around-gate cell architecture

このように技術革新は、どのような 3D 配列を作るかだけでなく、どのような 3D セル構造を作るかという方向にも進んでいる。

ほとんどすべての報告されている 3D 構造は、多結晶チャネルデバイスを基本としている。多結晶を単結晶に置き換える可能性については、原理的な点から究極的な解であると常に言われているが、コストの増加が必要となるばかりではなく、まだ広く使える技術にはなっていない。ポリシリコンチャネル材料を使うことは、MOSFET の動作のさまざまな点で望ましくない影響がある。少数キャリアのライフタイムが短くなるとともに、浅い準位が形成されることでソース／ドレイン間の電導におけるカットオフ特性が劣化する可能性があり、その結果としてゲート電圧によって制御できないリーク電流が流れてしまう。3D メモリにおける最大の課題は 2D NAND フラッシュメモリと同程度の Ion と Ioff を保証することである。Ion は移動度と、Ioff は少数キャリアの発生とそれぞれリンクしていることから、チャネル材料の品質とその形成技術とが、3D メモリにおけるキーポイントとなる。

結論として、3D フラッシュメモリ形成のための主たるフロントエンドにおける技術課題は、どのタイプの構造を選択するかに依存するが、概略以下のようにまとめられる。

- チャネル材料となる Si の形成（多結晶あるいは単結晶）
- チャネル Si とトンネル絶縁膜間の界面の品質
- セル内部のアクティブな絶縁膜の、制御性よくコンフォーマルな形成

参考文献：NOR, NAND, CHARGE TRAP AND 3D FLASH MEMORIES

1：P. Cappelletti et al., “Flash Memories”, Kluwer Academic Publishers, 1999.

2：G. Campardo, R. Micheloni, D. Novosel, “VLSI-Design of Non-Volatile Memories”, Springer-Verlag, 2005.

3：T. Tanaka et al., “A quick intelligent page-programming architecture and a shielded bitline sensing method for 3 V-only NAND flash memory,” Solid-State Circuits, IEEE Journal of , vol. 29, no. 11, pp. 1366–1373, Nov 1994.

4：Yasuo Itoh, et al. An Experimental 4Mb CMOS EEPROM with a NAND Structured Cell Solid-State Circuits Conference, 1989. Digest of Technical Papers. 36th ISSCC., 1989 IEEE International Feb. 1989 Page(s):134 – 135.

5：Kang-Deog Suh et al. A 3.3 V 32 Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme, IEEE Journal of Solid-Stare Circuits, Vol. 30, No. 11, Nov. 1995 pp 1149-1156.

6：Yoshihisa Iwata et al. A 35 ns Cycle Time 3.3 V Only32 Mb NAND Flash EEPROM IEEE IEEE Journal of Solid-Stare Circuits, Vol. 30, No. 11, Nov 1995 pp 1157-1164.

7：Jin-Ki Kim et al. A 120-mm 64-Mb NAND Flash Memory Achieving 180 ns/Byte Effective Program Speed, IEEE Journal of Solid-Stare Circuits, Vol. 32, No. 5, May 1997 pp 670-680.

8：K.-D. Suh et al., “A 3.3 V 32 Mb NAND flash memory with incremental step pulse programming scheme,” Solid-State Circuits, IEEE Journal of , vol. 30, no. 11, pp. 1149–1156, Nov 1995.

9：Seungjae Lee et al. A 3.3V 4Gb Four-Level NAND Flash Memory with 90nm CMOS Technology IEEE International Solid-State Circuits Conference, ISSCC, Digest of Technical Papers, Feb. 2004, pp. 52-53, 513, Vol. 1.

10：Dae-Seok Byeon et al. An 8Gb Multi-Level NAND Flash Memory with 63nm STI CMOS Process Technology Solid-State Circuits Conference, ISSCC, Digest of Technical Papers, Feb. 2005, pp. 46 – 47, Vol. 1.

11：R. Micheloni, L. Crippa, A. Marelli, Inside NAND Flash Memories, Chapter 5, Springer, 2010.

12：Yan Li et al. A 16Gb 3b/ Cell NAND Flash Memory in 56nm with 8MB/s Write Rate Solid-State Circuits Conference, 2008. Digest of Technical Papers. ISSCC. 2008 IEEE International, Feb. 2008 Page(s): 506-507, 632.

13：Shibata, N et al. A 70 nm 16 Gb 16-Level-Cell NAND flash Memory IEEE Journal of Solid-Stare Circuits, Vol. 43, No. 4, April 2008 Page(s):929 – 937.

14：C. Trinh et al. A 5.6MB/s 64Gb 4b/Cell NAND Flash memory in 43nm CMOS Solid-State Circuits Conference, 2009. Digest of Technical Papers. ISSCC. 2009 IEEE International Feb. 2009 Page(s): 246-247.

15：A. Kawaguchi, S. Nishioka, and H. Motoda. “A flash-memory based file system”, Proceedings of the USENIX Winter Technical Conference, pp. 155–164, 1995.
16：J. Kim, J. M. Kim, S. Noh, S. L. Min, and Y. Cho. A space-efficient flash translation layer for compactflash systems. IEEE Transactions on Consumer Electronics, 48(2):366–375, May 2002.
17：S.-W. Lee, D.-J. Park, T.-S. Chung, D.-H. Lee, S.-W. Park, and H.-J. Songe. “FAST: A log-buffer based ftl scheme with fully associative sector translation”, 2005 US-Korea Conference on Science, Technology, & Entrepreneurship, August 2005.
18：T. Tanzawa, T. Tanaka, K. Takekuchi, R. Shirota, S. Aritome, H. Watanabe, G. Hemink, K. Shimizu, S. Sato, Y. Takekuchi, and K. Ohuchi, “A compact on-chip ECC for low cost Flash memories,” IEEE J.Solid-State Circuits, vol. 32, pp. 662-669, May 1997.
19：G. Campardo, R. Micheloni et al.,“40-mm2 3-V-only 50-MHz 64-Mb 2-b/cell CHE NOR Flash memory” – IEEE Journal of Solid-State Circuits, Vol. 35, No. 11, Nov. 2000, pp. 1655-1667.
20：R. Micheloni et al., “A 4Gb 2b/cell NAND Flash Memory with Embedded 5b BCH ECC for 36MB/s System Read Throughput”, IEEE International Solid-State Circuits Conference Dig. Tech. Papers, pp. 142-143, Feb. 2006.
21：R. Micheloni, A. Marelli, R. Ravasio, “Error Correction Codes for Non-Volatile Memories”, Springer-Verlag, 2008.
22：K. Kanda et al., “A 120mm2 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology”, in IEEE International Solid-State Circuits Conference Dig. Tech. Papers, pp. 430–431, Feb. 2008.
23：Chang Gyu Hwang, “New Paradigms in the Silicon Industry, International Electron Device Meeting (IEDM), 2006, pp. 1-8.
24：M. Kawano et al., “A 3D Packaging Technology for a 4Gbit Stacked DRAM with 3Gbps Data Transfer, International Electron Device Meeting (IEDM), 2006, pp.1-4.
25：T.Mizuno et al., “Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET’s”, IEEE Transactions on Electron Devices, Vol.41, No.11, November 1994.
26：H.Kurata et al., “The impact of Random Telegraph Signals on the scaling of multilevel Flash memories”, Symposium on VLSI technology 2006, June 13-17, Honolulu, USA.
27：C.M.Compagnoni et al., “Ultimate accuracy for the NAND Flash program algorithm due to the electron injection statistics”, IEEE Transactions on Electron Devices, Vol.55, No.10, October 2008.
28：R. Micheloni, L. Crippa, A. Marelli, Inside NAND Flash Memories, Springer, 2010.
29：K.A.Nasyrov et al., “Multiphonon Ionization of Deep Centers in Amorphous Silicon Nitride: Experimental and Numerical Simulations”, JETP Letters, Vol. 77, No. 7, 2003, pp.385-388.
30：M.Bouchet et al., “An in-depth investigation of physical mechanisms governing SANOS memories characteristics”, IEEE IMW 2009, May 10-14, Monterey CA, USA.
31：S.M. Sze, (1981). Physics of Semiconductor Devices (2nd ed.). John Wiley and Sons (WIE).
32：K.K.Likharev, “Layered tunnel barriers for nonvolatile memory devices”, Appl.Phys.Lett., Vol.73, N.15, P.2137, 1998.
33：B. Eitan et al. “NROM: A Novel Localized Trapping, 2-bit Nonvolatile Memory Cell”, IEEE EDL, Vol. 21, No. 11, 2000
34：H.T.Lue et al., “BE-SONOS: a Bandgap Engineered SONOS with excellent performance and reliability”, IEDM tech. digest 2005.
35：S.M.Jung et al., ”Three dimensionally stacked NAND Flash memory technology using stacking single crystal Si layers on ILD and TANOS structure for beyond 30nm node”, IEDM tech. digest 2006.
36：E.K.Lai et al., “A multi-layer stackable Thin-Film Transistor (TFT) NAND-type Flash memory”, IEDM tech. digest 2006.
37：Ki-Tae Park et al., “A Fully Performance Compatible 45 nm 4-Gigabit Three Dimensional Double-Stacked Multi-Level NAND Flash Memory With Shared Bit-Line Structure,” Solid-State Circuits, IEEE Journal of , vol. 44, no. 1, pp. 208–216, Jan 2009.
38：H.Tanaka et al., “Bit Cost Scalable technology with punch and plug process for ultra high density Flash memory“, Symposium on VLSI technology 2007 June 12-16, Kyoto, Japan.
39：J.Kim et al., “Novel 3-D structure for ultra high density Flash memory with VRAT (Vertical-Recess-Array -Transistor) and PIPE (Planarized Integration on the same PlanE)”, Symposium on VLSI technology 2008, June 17-20, Honolulu, USA.

40：J.Jang et al., “Vertical cell array using TCAT (Terabit Cell Array Transistor) technology for ultra high density NAND Flash memory”, Symposium on VLSI technology 2009, June 15-17, Kyoto, Japan..
41：M.Ishiduki et al., “Optimal device structure for Pipe-shaped BiCS Flash memory for ultra high density storage device with excellent performance and reliability“, IEDM tech. digest 2009.
42：C.H.Lee et al., “A novel SONOS structure of SiO2/SiN/Al2O3 with TaN metal gate for multi-Giga bit Flash memories”, IEDM tech. digest 2003.
43：J.Kim et al., “Novel Vertical-Stacked-Array-Transistor (VSAT) for ultra-high-density and cost-effective NAND Flash memory devices and SSD (Solid State Drive)”, Symposium on VLSI technology 2009, June 15-17, Kyoto, Japan..
44：W.Kim et al., “Multi-layered Vertical Gate NAND Flash overcoming stacking limit for terabit density storage”, Symposium on VLSI technology 2009, June 15-17, Kyoto, Japan.
45：A.Hubert et al., “A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with gate-all-around or independent gates (ΦFlash), suitable for full 3D integration”, IEDM tech. digest 2009.
46：Y.Tsividis, ‘Operation and Modeling of the MOS Transistor”, Oxford University Press, New York Oxford
47：Y.Fukuzumi et al. “Optimal Integration and Characteristics of Vertical Array Devices for Ultra-High Density, Bit-Cost Scalable Flash Memory”, IEDM tech. digest 2007.
48：K.T.Park et al. ”A 64-Cell NAND Flash Memory with Asymmetric S/D Structure for Sub-40nm Technology and Beyond” , Symposium on VLSI technology 2006, June 13-17, Honolulu, USA.
49：C.H.Lee et al. “Highly Scalable NAND Flash Memory with Robust Immunity to Program Disturbance Using Symmetric Inversion-Type Source and Drain Structure”, Symposium on VLSI technology 2008, June 17-20, Honolulu, USA.
50：C.Scozzari et al. “Al2O3 Optimization for Charge Trap Memory Application”, ULIS 2008, pp. 191-194
51：P.Xuan et al. “FinFET SONOS Flash Memory for Embedded Applications”, IEDM tech. digest 2003.
52：M.Specht et al. “20nm tri-gate SONOS memory cells with multi-level operation”, IEDM tech. digest 2004.
53：T.H.Tzu et al. “Study of Sub-30nm Thin Film Transistor (TFT) Charge-Trapping (CT) Devices for 3D NAND Flash Application”, IEDM tech. digest 2009.

3.5 相変化メモリ（PCM: PHASE CHANGE MEMORY）

相変化メモリ（PCM）技術は、カルコゲナイド合金[注]の基本的な特性に基づいているので、標準CMOSプロセスへの材料インテグレーションが重大な挑戦となる。 すでに非常に強く実証されている単一セル概念だけでなく、非常に高密度な不揮発性メモリの製造力、ここでは数億以上のセル動作が実証されているかでのみ確立された技術であるとみなすことができる。

カルコゲナイド合金の電気的、輸送特性を考慮して、結晶質か非晶質かのどちらであるか、簡潔な機能配列ではPCMセルは、可変抵抗器（ヒーターとカルコゲナイド材料-データストレージと呼ばれる）と選択デバイス（トランジスタ）で形成される。

Figure FEP14、FEP15、FEP16 に、相変化を引き起こす基本的コンセプトの説明と要求される特性を示す。成される。したがって、基本的なPCMセルは、1T/1R構造となる。アプリケーションとプロセス構築戦略に依存して、トランジスタとデータ保存の形式は異なる。高密度メモリでは、より簡潔なセルレイアウトはpnpバイポーラトランジスタに対する縦のインテグレーションを通じて実現される。[2,3] 一方、組み込みメモリでは、トランジスタはnチャネルMOSであり、ここでのより大きなセルサイズは、最小プロセスコスト増分となる標準CMOSによって釣り

[注] Chalcogenides are alloys based on the VI group elements that have the interesting characteristic to be stable at room temperature both in the amorphous and in the crystalline phase. In particular, the most promising are the GeSbTe alloys which follow a pseudobinary composition (between GeTe and Sb_2Te_3), often referred as GST.

[2] S.Lai and T.Lowrey, “OUM – A 180nm NVM cell element technology for stand alone and embedded applications”, IEDM Tech. Dig., 2001.

[3] F. Pellizzer et al., “Novel utrench Phase-Change Memory Cell for Embedded and Stand-Alone Non-Volatile Memory Applications,” Symp. on VLSI Tech., pp. 18-19, 2004.

合いをとる。

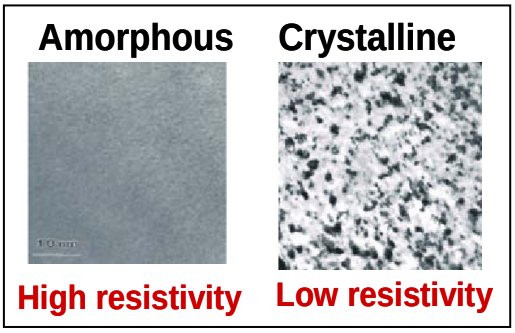


Figure FEP14　　Amorphous / Poly-crystal Phases of a Chalcogenide Alloy, usually $Ge_2Sb_2Te_5$ (GST)

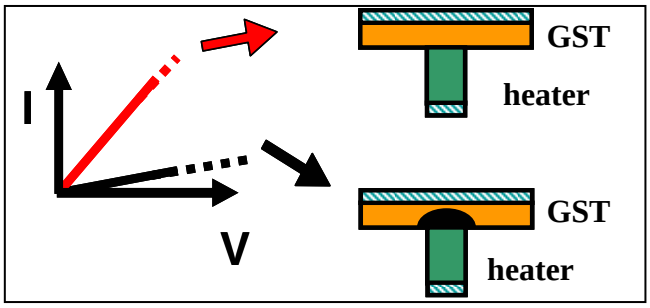


Figure FEP15　　Resistance Change of GST

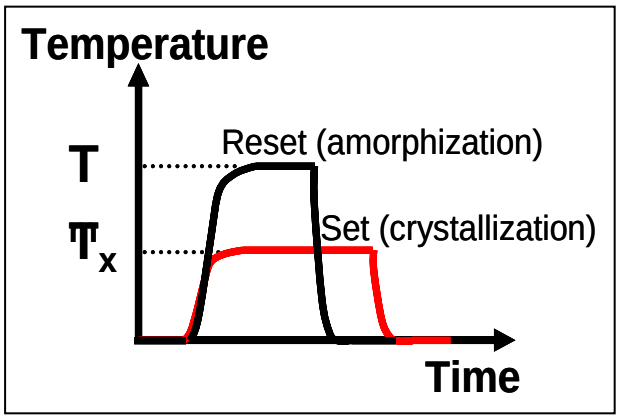


Figure FEP16　　Set/Reset Thermal Cycles to Change the Crystal Phase of the GST Material and to Write/Erase the PCM

データ保存に対するインテグレーションは、CMOSプロセスのフロントエンドとバックエンドとの間で形成される。「単純な」可変抵抗器（すなわちヒーター）とカルコゲナイド系の形成方法は異なるであろう。その選択は、プロセスの複雑さ、現状の性能、熱特性、スケーリングの可能性に対する基本的な理解にある。[4] 一つの可能性として報告されているアプローチは、平面カルコゲナイド[5] に対するサブリソコンタクトヒーターやコンタクトとカルコゲナイドに限定してリセスした修正版を利用し、耐熱性を改良し、リセット電流を減少させる。[6]

[4] A. Pirovano et al., "Scaling analysis of phase-change memory technology", IEDM Tech. Dig., p.699-702, 2003.
[5] S.J.Ahn et al., "Highly manufacturable high density Phase Change Memory of 64Mb and beyond", 2004 IEDM, 37.3, pp. 911-914.
[6] S.J.Ahn et al., "Highly reliable 50nm contact cell technology for 256Mb PRAM", Dig. of 2005 Symp. on VLSI Tech., p.98, 2005.

完全に異なるアプローチは薄い縦の半金属ヒーターとカルコゲナイドを成膜した「マイクロトレンチ」[7, 8] と呼ばれる溝の交差によってヒーターとカルコゲナイドとの間の接触面積を定義する。マイクロトレンチはサブリソ技術やヒーター膜厚によって定義できるので、セル性能は結果として、未だに良い寸法管理を維持できているコンタクト面積を調整することで最適化することができる。TableFEP8 は相変化 メモリ 技術に要求される、主な技術課題をまとめたTableである。

Table FEP8 Phase Change Memory (PCM) Technology Requirements

PCMコンセプトの高い可能性と、良好なインテグレーションが成し遂げられているにもかかわらず[9]、実用的な挑戦に取り掛かることが必要である。とりわけ、カルコゲナイド合金を使ったPCMセル構造のインテグレーション、先端CMOS技術との両立、PCM技術の特色を劣化させることなくﾌﾟﾛｸﾞﾗﾑ電流を減少することに多大な努力が注がれている。インテグレーションが容易なPCMセルとして柱状構造が成されている、しかし結果的に書き込み電流が少々大きい、そこで、選ばれたデバイスとして、全体の低消費電力として追加の制約をとっている。PCMデバイスの書き込み電流を低減させるために、カルコゲナイド合金をトレンチの中[10, 11] コンタクト領域[12] 、もしくはコンタクトホール[13] に閉じ込める等、幾つかの手法が提案されている。主なアイデアは、カルコゲナイド材料が 2 つの相の間を変化する、最大限の電流をセルのアクティブ領域に直接印加するものである。実際、コンタクトホールにカルコゲナイド材料を埋め込み、完全に閉じ込めた構造を用いると、書き込み電流が50%低減されることが評価されている。[FEP2.3]とじこめ構造のすぐれた特性は、マイクロトレンチPCMセル構造において、書き込み電流が180nm世代で450μA[14] 、90nmで350μA[15] を成し遂げることが実証された。50nmコンタクトでの書き込み電流 260μAは、完全に閉じ込めた構造をカルコゲナイドのCVD堆積により達成した。[16] それらの能率的なPCMセル構造の製作の結果は、非常に高アスペクト比の閉じ込め構造を要求することになる。カルコゲナイド材料の継続的な開発は、セル構造の発展の支えを期待する。

大きなアレイ製品の信頼を支えるには、PCM技術は非常に少ない欠陥密度で製品の寿命の間データを保持することが必要である。データ保持は、結晶の運動の制御された、材料の非晶質相の抵抗の喪失により制限される。GSTのリセットセルにおける、先んじたデータ保持結果では 85℃で 10 年以上を得ており、通常の不揮発性メモリの適用には十分である。[17, 18] この値は、民生品向けには申し分ない。しかし、高温での動作（たとえば自動車アプリケーション）の要求には適合していない。最大保持温度の改善が必要である。この改善は主

[7] F. Pellizzer et al., "Novel utrench Phase-Change Memory Cell for Embedded and Stand-Alone Non-Volatile Memory Applications," Symp. on VLSI Tech., pp. 18-19, 2004.
[8] F. Pellizzer et al., "A 90nm Phase-Change Memory Technology for Stand-Alone Non-Volatile Memory Applications", Symp. on VLSI Tech., pp. 122-123, 2006.
[9] S. Kang et al., "A 0.1um 1.8V 256Mb 66MHz Synchronous Burst PRAM", ISSCC Tech. Dig., pp. 140-141, 2006.
[10] F. Pellizzer et al., "Novel utrench Phase-Change Memory Cell for Embedded and Stand-Alone Non-Volatile Memory Applications," Symp. on VLSI Tech., pp. 18-19, 2004.
[11] F. Pellizzer et al., "A 90nm Phase-Change Memory Technology for Stand-Alone Non-Volatile Memory Applications", Symp. on VLSI Tech., pp. 122-123, 2006.
[12] Y. N. Hwang et al., "Writing Current Reduction for High-density Phase-change RAM",IEDM Tech. Dig., 2003.
[13] J. I. Lee et al., "Highly Scalable Phase Change Memory with CVD GeSbTe for sub 50nm Generation", Symp. on VLSI Tech., pp. 102-103, 2007.
[14] F. Pellizzer et al., "Novel utrench Phase-Change Memory Cell for Embedded and Stand-Alone Non-Volatile Memory Applications," Symp. on VLSI Tech., pp. 18-19, 2004.
[15] F. Pellizzer et al., "A 90nm Phase-Change Memory Technology for Stand-Alone Non-Volatile Memory Applications", Symp. on VLSI Tech., pp. 122-123, 2006.
[16] J. I. Lee et al., "Highly Scalable Phase Change Memory with CVD GeSbTe for sub 50nm Generation", Symp. on VLSI Tech., pp. 102-103, 2007.
[17] K. Kim and S.-J. Ahn, "Reliability investigations for manufacturable high density PRAM," in Proc. IRPS, pp. 157-162, 2005.
[18] A. Pirovano et al., "Reliability study of Phase-Change Nonvolatile Memories," IEEE TDMR 4 (3) 2004.

に違うカルコゲナイド合金か材料によるであろう。

PCM技術の魅力ある特徴の一つは、書き込みと消去が繰り返された時に優れた書き換え回数が予想されることである。幾つかの論文では、書き換え回数は10^7から10^{12}回と報告されている。そのような印象的な結果は、カルコゲナイド合金の本質的な耐性と同じくらい、材料に囲まれたPCMセルの安定性が優れていることによる。その中で、熱電極はセルの中でも 600℃以上の高温と 1A/μ m^2を超える電流密度の過酷なストレスを受ける部分である。ヒーター材料の最も重要な電気的特性は、書き換え仕様回数の間、安定している要求に対してサイクリングの間、電気抵抗を維持することである。最大の抵抗値の変化は、PCMセルの熱要素の主な電気特性のガイドライン、保証できる要求、電流値、書き換え回数の要求に対するPCMセルのロジックの状態を与えるものである。

熱抵抗の安定性の要求値は、最大リセット電流密度の要求に密接に関係する。すでに報告されているように、単純な等方的な微細化の仮定では、リセット電流密度は微細化ファクターに比例して増加すると考えられる[19, 20] 、予測的なロードマップではより積極的なトレンドが期待される。この増加による好ましくない効果は、ヒーター材料とカルコゲナイドとヒーターの界面に対するより積極的なストレス条件、電流密度の要求の遅い増加に直面することになる。安定性の要求を維持したうえ、ヒーター抵抗の増加のなかで、PCMデバイスの微細化要求を成し遂げるには、よりすぐれた熱効率が注視されている。PCM技術の微細化ロードマップは、書き換え回数の要求とのトレードオフを克服できる熱電極材料の開発要求に直面している。

3.6 強誘電体メモリ（FERAM：FERROELECTRIC RANDOM ACCESS MEMORY）

FeRAM（FRAM とも略記する）は ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両技術ワーキンググループの協力による成果である。FeRAM 性能への要求値は Table FEP9 にあるとおりであり、これは 2011 年に行った FeRAM 製造メーカへの調査に基づき改訂された。

Table FEP9 FeRAM Technology Requirements

歴史的には、FeRAMは半導体メモリよりもっと早く提案されている。[21] しかしながら、キャパシタ形成、プロセスインテグレーション、信頼性の確保が難しいため、現時点ではメモリ容量は汎用DRAMの 1000 分の 1 程度となっている。これら技術的困難さに加え、「キラー・アプリケーション」が欠如していたために商用生産は進んでこなかった。しかしながら近年「キラー・アプリケーション」の出現がみられた。その中でもSSD（solid state drive）は有望な市場の一つである。SSDのアプリケーション中でFeRAMは、その高速書換え、不揮発性を活かし、DRAMやSRAMの代わりとしてページバッファーに使われている。環境発電システムにおけるスマートメータもまた魅力的な市場として期待されている。スマートメータの中でFeRAMはリアルタイムのデータログ用メモリとして使われている。太陽発電や風力発電のシステムでは、供給電力が突然止まったり、変動したりする可能性がある。それ故に、ログ用メモリには高速読み書きや高書き換え耐性が要求される。FeRAMは、たゆまなく行われている強誘電膜等の材料開発に大きく依存するので、ここでの予測はどうしてもある程度推測的にならざるを得ない。それでもなお、技術の方向性と解決されるべき課題に関する戦略的な概観を示すため、このロードマップは 2011 年から 2026 年までを取り扱っている。この章は、以下に 1)量産に基づいたロードマップ作成、2)Mixed Signal製品と加工寸法、3)セルサイズ、4)強誘電体材料の選択肢、5)最小スイッチング電荷量の見積、6)書き替え耐性の順で構成する。

---

[19] G. Servalli, "A 45nm Generation Phase Change Memory Technology", IEDM Tech. Dig. 2009, 2009
[20] A. Redaelli, A. Pirovano, I. Tortorelli, F. Ottogalli, A. Ghetti, L. Laurin and A. Benvenuti, Impact of the Current Density Increase on Reliability in Scaled BJT-selected PCM for High-Density Applications, IRPS 2010, SC4.1-4.5, 2010.
[21] Moll and Y. Tarui, IEEE Trans. Electron Devices, ED10, 338, 1963

3.6.1 量産に基づいたロードマップ作成

2001 年 FeRAM ロードマップが示されて以来、2001-2006 年の FeRAM への要求指標値は学会発表に基づくものであった。FeRAM に対する市場での正確な要求が不明であったためである。その結果、学会での報告内容と量産品デバイス性能の間に大きな乖離が生じていた。これを解消するため 2007 年度版のテーブルでは、FeRAM 製造メーカのホームページやアンケートの回答、さらに DRAM で確立された慣例を用い、ロードマップ中の技術のレベルを、少なくとも月産 10,000 チップの製造を先行 2 社が行った時期で定義した。2009 年度版のテーブルは、2007 年度版と同様な手法で FeRAM の量産製造情報をもとに定義された。2011 年には 5 社が FeRAM デバイスを量産していて、2011 年度版はそれらの量産製造情報をもとに改版された。130nm と 90nm 技術は 2009 年度版より 1 年前倒しになっていて、それぞれ 2012 年、2016 年に量産される予定である。

3.6.2 MIXED SIGNAL 製品と加工寸法

これまで述べたように、FeRAM 技術の進展は、Flash や DRAM のような先端メモリに対して進んでいない。この乖離が存在しているが、FeRAM 製造メーカは Table FEP9 に示すように、130nm 技術での先端 CMOS と 180nm 技術の FeRAM を使ったデバイスを開発した。本ロードマップでは FeRAM の加工寸法はメタル1層ハーフピッチ幅により定義している。なぜなら、ほとんどの FeRAM アプリケーションはロジックプロセスに混載されるからである。先端 CMOS とデザインルールを緩和した FeRAM の組み合わせにより FeRAM アプリケーションが増えることが期待されている。Table FEP9 には 2011 年の商品のために 、230nm の加工寸法を示している。加工寸法は4年毎に 0.8 倍になると予想しているが、この値は、他の確立されたメモリと比較して、ゆっくりとしたペースで進んでいる。

3.6.3 セルサイズ

現在、効率的なセル構造は 1 トランジスタ-1 キャパシタ（1T-1C）型である。これは 2T-2C型セルから置き換わったのであるが、最近のFeRAM設計に関するレビューによると 2T-2C型はセル効率が下がる代わりに、より安定なデータの読み出しマージンを保証していた。[22] しかしながら、どちらのセル構造ともにデバイス用途に応じて用いることが可能である。キャパシタ構造に関しては、平面キャパシタ型からスタック型構造に変更された結果、セルが小さくなった。通常のスタック型から 3 次元（3D）型のキャパシタへの変更の時期は強誘電体材料に依存するが、おおよそ 2021 年に出現すると予想される。キャパシタ構造の違いについてはTable FEP9 のところに図示してある。上述したセル構造とキャパシタ構造の変更によりセルファクターは 2016-2020 年に 22 となり、その後も微細化が進んでいく予定である。もうひとつのセルサイズを縮小する方法は1トランジスタ型に変更することである。この技術に関しては、基礎調査と開発が続けられている。

3.6.4 強誘電体材料の選択肢

現在数種類の強誘電体材料が評価されているが、現時点では決定的な唯一の材料はない。[23] 現在、PZT（$Pb(Zr,Ti)O_3$）と SBT（$SrBi_2Ta_2O_9$）の 2 つの材料が使われている。SBTはPtの下部電極を用いた場合優れたファティーグ特性を示し、抗電界（Ec）も小さいので低電圧動作に向いている。（ファティーグとはメモリキャパシタで繰り返しデータ書き換えをしたときの分極量または電荷量の損失と定義される）。PZTは単位面積あたりのスイッチング電荷Qswが大きく、3D型を採用せずにさらなるスケーリングを行う際に重要となる。どちらの材料ともにデバイス形成のプロセスインテグレーションにより劣化する可能性があり、このことがデバイス開発の妨げとなっている。

PZT膜とSBT膜の最も重要な課題は、水素拡散[24] と酸素欠損に起因するとされている膜質の劣化を抑制すること、安定したデータの読み書きを達成すること、それにデータ保持である。FeRAMを混載する場合にもプ

[22] S. Kawashima and J.S. Cross, Embedded Memories for Nano-Scale VLSIs (Integrated Circuits and Systems) Chapter 8 FeRAM, Springer; 2009, ISBN-13: 978-0387884967
[23] D. J. Wouters, 28, International Conference on Solid State Devices and Materials, 2003.
[24] J.S. Cross, Y.Horii, N.Mizuta, S. Watanabe and T. Eshita, Jpn. J. Appl. Phys. 41 (2002) 698

ロセスの改善が必要である。強誘電体膜を結晶化するための高温酸素アニール後に、高温アニールや膜への水素侵入を避けることが重要である。たとえば、AlOxやTiNが水素バリア層として用いられる。また、IrO_2 や$SrRuO_3$（SRO）のような導電性酸化物は、強誘電体膜質が改善されるため、しばしばPZTのキャパシタ電極材料として用いられる。

物理的蒸着（PVD）やSol-Gel法を含む化学溶液法（CSD）は、誘電体膜作成に現在もっともよく使用されている製法である。しかしながら、スケーリングを継続して行くには、MOCVD等のもっとステップカバレッジの良い製法に移行していく必要がある。以前に報告された MOCVDを用いた研究によれば、 (111) 配向のPZT膜はスイッチング電荷を大きくするのに極めて有効であると報告されている。[25] キャパシタ電極は、エッチングにより揮発性の副生成物が生じないため、キャパシタ電極のエッチングにおいては、RIEによる課題が残されている。そのためスパッタエッチングによる加工が広く用いられているが、厳密な加工寸法の制御に限界があり、スケーリングが難しくなる。キャパシタの側壁角度を改善するための高温エッチング技術は、この問題を克服するために開発された。[25]

PZTとSBTは、しばしばそれらの電気特性を改善するために 不純物を入れて用いられる。たとえばPZTに対しLa、SBTに対しNbである。その目的は、リーク電流の抑制、書き換え耐性またはインプリント特性の改善、後工程による膜質劣化抑制等の膜質の向上である。PZTとSBTに加わる、有望な新材料の一つはBLT、または $(Bi,La)_4Ti_3O_{12}$である。[26] その特性は先行する 2 つの材料の中間である。[27] さらに$BiFeO_3$(BFO) が新しい候補の材料として注目を集めている。BFOは 150uC/cm^{2}以上の巨大な強誘電体分極をもつ。[28] BFOは大きな分極率を示すが、高いスイッチング電圧も必要とする。つまりこのことは、BFOではより薄膜化するかもしくは不純物をドープしないと低電圧動作させることができないことを意味している。どの膜の特性も近年のプロセスの改善で向上してきているので、良好な強誘電体特性を得るためには、強誘電体キャパシタ作製プロセスを最適化することが重要である。

3.6.5 最小スイッチング電荷の見積り

最小スイッチング電荷は次のようにして見積もった。FeRAMのセンスアンプは基本的にDRAMと同じと仮定し、ITRS 1999 のDRAMのデータを用いてビット線の信号電圧を計算した。ITRS 1999 のデータはキャパシタンスCsが技術世代に関わらず 25fF/cellのまま一定で、180nm世代時のビット線容量が 320fFである。このデータとさらにビット線容量が$F^{2/3}$ （ここでFは最小寸法である[29] ）に比例すると仮定することにより、$\Delta V_{bitline}$の計算が可能となる。$\Delta V_{bitline}$は約 140mVであり、この値が技術世代に関わらずセンスアンプ回路には必要と仮定する。$\Delta V_{bitline}$（140mV）と$C_{bitline}$を掛け合わせることにより最小スイッチング電荷が得られる。

以上で求められた最小スイッチング電荷を強誘電膜の単位面積あたりのスイッチング電荷QSW（30 μ C/cm^{2}と仮定）で割ることにより、必要なキャパシタ面積が得られる。この面積がキャパシタの投影面積より大きい場合は、3 次元（3D）のキャパシタが適用されることになる。この議論から3Dキャパシタは2021 年までに必要となる。

Table FEP9 に示す FeRAM に関する予測は、以上の仮定と計算に基づいている。「赤い壁」（製造方法がまだ知られていない技術領域）は早い項目では 2021 年に現れる、これらの壁をうち破るには、プロセス劣化がほとんどない、高い信頼性をもつ強誘電体材料を開発することが最も重要である。

3.6.6 書き替え耐性

[25] Y. Horii, Y. Hikosaka, A. Itoh, K. Matsuura, M. Kurasawa, G. Komuro, K. Maruyama, T. Eshita and S. Kashiwagi, 539, IEDM, 2002
[26] B.H.Park, B. S. Kang, S.D. Bu, T.W. Noh, J. Lee and W. Jo, 682, Nature, 1999
[27] D. J. Wouters, 28, International Conference on Solid State Devices and Materials, 2003.
[28] K. Y. Yun, D. Ricinschi, T. Kanashima, M. Noda and M. Okyama, Jpn.. J.Appl. Phys. 43(2004)L647
[29] Nitayama, Y. Kohyama, and K. Hieda, 355, IEDM, 1998.

SRAMやDRAMのような他のRAMを置き換えるには、読み書きの繰り返しに対する書き換え耐性が 10^{15}回は必要である。この値を確認するために、物理的なモデルによる加速テストに基づいた実用的な時間内での標準的なテスト方法が必要とされている。書き換え耐性試験による強誘電体キャパシタ単体での劣化についてのいくつかのモデルは文献中にみられるが、インテグレーションを経た後のキャパシタを用いた劣化についての報告はほとんどない。

3.7 スターティングマテリアル

3.7.1 技術要求

Table FEP10 はDRAMのような高集積メモリ、高性能MPU及びASICを生産する際に使用されるウェーハに関して、ウェーハメーカが製造する動向を予測したものである。これらの要求は全てのウェーハに共通するパラメータだけでなく、エピタキシャルおよびSOIウェーハに固有なパラメータも含んでいる。光散乱（LLS）欠陥密度、サイトフラットネス、エッジ除外領域のようなウェーハ特性を最適なコストで改善するには障壁がある。結晶の引上げとその後の加工プロセスにおけるウェーハ製造コストと歩留りと同様に、これらの障壁としては、評価・測定器の性能と処理能力がある。そこで、ITRS2005 版で導入された表記方法を継続する。FET10 に示されたパラメータの動向に対して、ウェーハメーカが実現できるかを記載したのに加え、計測機器が準備できるかを示している。表記方法とその意味[訳注]は、DRAMおよび高性能MPU/ASICの両方をFigure に記載している。加えて、測定器情報とのハイパーリンクにより、新しいセクションは測定法に関係する情報を提供する。

Table FEP10 Starting Materials Technology Requirements

3.7.1.1 ウェーハ種類

ITRS のスコープに含まれたデバイスに対して、これまでのスターティングマテリアルのシリコン基板は、CZ（Czochralski）法の鏡面ウェーハまたはエピタキシャルウェーハが歴史的に選ばれてきた。SOI（silicon-on-insulator）ウェーハ出荷数量は継続的に成長しているが、鏡面ウェーハまたはエピタキシャルウェーハに比べれば未だ少ない。SOIウェーハは、ロジックデバイスの高速化、低消費電力化、マルチゲートのような特殊なデバイス構造における性能向上によって、大きな需要のある主要デバイス分野に使われていく機会がある。しかし、実用的な大量生産を達成するために、ウェーハとデバイスプロセスの両方でさらなる開発を必要とする。場合によっては、SOI でデバイスプロセスの簡素化も達成される。したがって、ウェーハ種類の選択は性能に対するチップあたりの全費用に強く依存しており、単にウェーハ価格だけでなく、すべてのコスト面を考慮すべきである。SOI を使用しないマルチゲート構造の成功例が報告されており、ウェーハ種類の傾向はあまり遠くない将来で継続していく。

DRAM のような汎用デバイスでは、一般的には低コストの CZ 鏡面ウェーハが用いられている。欠陥低減ライン検査および歩留まり向上のために使うインライン検査との干渉を避けるために、”crystal originated particles”（COP）を低減した CZ 鏡面ウェーハの要求が高まっている。ピット（Pit）状欠陥についてパーティクル（Particle）という語彙は誤解を招くかも知れないが、初めに自動パーティクル検査機にて検出されたため、この語彙が使われたので歴史的に使用されている。高性能ロジックデバイスでは、ソフトエラー耐性やラッチアップ抑制力などのデバイス堅牢性を大きくなり易くできるので、（CZ 鏡面ウェーハと比べると高価な）エピタキシャルウェーハが用いられている。ラッチアップ抑制に関しては、浅いトレンチ分離（STI：shallow trench isolation）の利用やラッチアップ耐性達成する代替ドーピング方法によって、もはや重大な要因ではなくなった。加えて、部分空乏型SOIはあるタイプの高性能ロジックデバイスに適用されてきた。完全空乏型SOIでの開発も進行中である。

[訳注] FEP10 の最下段にある色テーブル

アニールウェーハは、表層が COP フリーのシリコンウェーハを提供する為の手段として 1990 年代前半に市場に導入され、現在、多くの最先端デバイスに使用されている。アニーリングは高温で水素（直径 200mm 以下）かアルゴンのどちらかの雰囲気で行われている。COP は適切に制御された CZ 成長法によっても可能である。ここで示したスターティングマテリアルの Table においては、アニールウェーハと“欠陥制御された（defect engineered）CZ ウェーハ”は、共に鏡面 CZ ウェーハとして記載し、一般特性の項目でパラメーター動向を示している。

これらの多様なウェーハは、おそらく今後も広く使われていくため、Table FEP10 に CZ 鏡面ウェーハ、一般的名もの加えて特殊なエピタキシャルおよび SOI ウェーハが記載されている。スターティングマテリアルの種類をさらに増大させるエマージングマテリアルは、後に本文書内にて議論する。

3.7.1.2 パラメーターの値

ウェーハ要求仕様は、各年の各パラメーターに対して最先端チップの歩留り低下が 1%を超えないような値にしてある。Table 中の値は、限定しているわけではないが、統計的な歩留り－欠陥モデルから概ね算出されている。これらのモデルは、CD（Critical Dimension）－これは DRAM のハーフピッチ（すなわち技術世代）－、ビット密度、トランジスタ密度、チップサイズのような最先端の技術パラメーターを考慮している。算出された値の妥当性は、ある場合には、限られたものであり、前提にしているモデルの的確さや予測精度は時々疑わしい。ゲート酸化膜換算膜厚（EOT）と物理的なチャネル長が共にナノメートルレンジになるデバイス寸法の到来によって、これらのモデルベース値に対応するのは非常にコストが高く、再検討を必要とする場合もあるだろう。そのため、要求仕様を実現することで得られる発生原価と派生価値との関係を詳細に再査定すると、適切な切口からモデルの適用限界が示されることになる。

3.7.1.3 モデル限界

モデルベースのパラメータ要求は、ウェーハ製造工程固有のパラメータ値のバラツキによる効果を含んではいない。パラメータ値のバラツキには、2 種類の統計分布のどちらかが通常用いられる。膜厚のようなパラメータ値は、中央値か平均値に対して対称に分布し、良く知られた正規分布で表すことができる。ゼロが下限となるパラメータの値（例えばサイトフラットネス，パーティクル密度，表面金属濃度）は、対数正規分布で近似することができる、言い換えればパラメータの値の対数は正規分布に従う。対数正規分布は、非対称性が高く、分布の上限方向に長い裾を引く。歩留りモデルの実証は 40 年間以上の IC 製造の経験にもかかわらず、捉え所がないままで残っている。

材料起因の歩留まり低下の理想的な管理方法はスターティングマテリアル起因の歩留り低下が全 IC 製造歩留り低下の 1%を超えないように、欠陥の種類別歩留まり低下を割り振るであろう。特定の欠陥による歩留り低下は、(1)パラメータ値で決まる不良率（適切な歩留りモデルで設定されている）に、(2)そのパラメータ値を持つウェーハの割合（正規分布か対数正規分布によって設定されている）を掛けたものを積分することによって得られる。この評価方法を用いれば、受入れ可能なウェーハ仕様の分布を決定することができるだろう。統計分布による仕様を有効的に実施するためには、ウェーハメーカのプロセスが充分に理解され、コントロールされ、IC ユーザの要求に整合する必要がある。これらの理想を達成することができるまでは、最も有効な情報に基づいたポアソン分布による歩留りモデルが用いられており、各パラメータ値にはそのパラメータに対応する歩留りが 99%になるような限界値が割り当てられることになる。さらに、どのパラメータによる歩留り損失も他のパラメータによる歩留り損失には大きな影響を与えないと仮定する。言い換えると、欠陥による歩留りへの影響は統計的に独立な事象ということを仮定する。評価に使う妥当なデータが得られれば、この経験に基づく仮定から得られる要求仕様値は、前に述べたパラメータ分布に基づく設定方法で得られる限界値とあまり変わらないことが示されるであろう。

3.7.1.4 CoO（Cost of Ownership）

多くのパラメータへの許容可能値が計測技術の限界に近づいているので、ウェーハメーカとICメーカは、受

入れ可能な製品分布とコストを明確にするとともに現状レベルを保つために共同作業が重要になる。IC 歩留り／欠陥モデルのさらなる開発と有効性確認が必要である。しかしながら、最も重要なことは、計測限界まで要求仕様高めて“作り得る最高品質のウェーハ”とCoOを比較評価することではなく、高いIC歩留りを保てる範囲でいくらか緩めの要求仕様に対して比較評価を行うことである。ここでその例をあげると、スターティングマテリアルの表面金属要求仕様とパーティクル汚染要求仕様は、表面処理の Table にあるゲート前洗浄の要求仕様より緩い値になっている（Table FEP11 参照）。これは、ゲート前洗浄などの IC 製造工程で得られる最低の除去効率 50%（表面の Fe 除去では 95%の報告例もある）を仮定して緩くしているためである。IC メーカーから要求されるウェーハ表面の化学的性質（親水性 vs 疎水性）、出荷に伴うウェーハキャリアとウェーハ表面との相互作用、保管室の湿度などは、その後の不純物やパーティクルのウェーハ表面吸着に重要な影響を及ぼすことも指摘しておく。特定のパラメータ（即ちサイトフラットネス）に対して、100%ウェーハ検査の有効性を検証するモデルが開発されたので CoO の重要性が確認できた。このモデルは、100%検査を実施しなかった場合に高い確率で生じる不良チップを含んでデバイスプロセスに投入してしまうことによる潜在的な損失に対して、IC メーカの仕様に 100%保証するのに必要な付加的なウェーハメーカのコストを考察した。この手法を使うワークシートは、ここでリンクされているように、入手可能なので、IC メーカは、ウェーハ仕様と関心のある製品群にトレードオフが適切かを分析することができる。

3.7.1.5　ウェーハパラメータの選択

ウェーハ表面の化学性質と物理構造が重要な関心事である。適切なモデルベースの定義がないので前者のパラメータは Table FEP10 には記載されていない。化学的欠陥は金属、有機物粒子、表面化学残留物が含まれる。これらの欠陥は、どのタイプのウェーハに対しても重大なものであるが、特に薄膜 SOI では薄い Si 層中に金属が拡散すると、表面金属の悪影響が強調される。有機汚染は、ウェーハ保管や搬送の雰囲気に強く依存するため、Table FEP10 には含まれていない。

両面研磨ウェーハの採用で、化学的特性および物理的特性の両方を向上しているためにウェーハ裏面のパーティクルにも注意を払う必要がある。研磨された裏面は、マクロな汚染やウェーハ搬送時の傷が容易に顕在化する。そのため、裏面のクリーン化や傷に配慮された精巧な搬送装置が要求される。しかしながら、 過去の Starting Materials IC Users Survey に基づくと、裏面パーティクルによるサイトフラットネスの劣化は、重大事ではないためこの ITRS 版には含まれていない。なお、いかなる裏面処理（例えば、外部ゲッタリング、裏面酸化膜シール）も裏面と表面の両鏡面の品質が劣化する可能性があり、直径 200mm 以上の標準的な Si ウェーハ製造方法は互換性がない。

ウェーハおもて面の重要な物理特性はトポグラフィー、結晶欠陥と表面欠陥である。ウェーハトポグラフィーは、空間周波数によってサイトフラットネス、表面ウェイビネス、ナノトポグラフィーあるいは表面マイクロラフネスに分類できる種々なウェーハ形状カテゴリーを網羅する。おもて面のサイトフラットネス、ナノトポグラフィーは最も重要なウェーハ形状パラメータと考えられており、この ITRS 版で言及する。裏面のトポグラフィー定量化も、特に、ウェーハとステッパ—チャックの相互作用の可能性の観点から、さらに注目が集まっている。しかし、この相互作用を定量化する技術は改善されたが,今の時点で Table にはこのパラメータを含めていない。エッジ近傍のウェーハ形状は、歩留まりを律則しうるシリコンウェーハ特性として浮かび上がってきた。しばしば edge roll-off （ERO）と言われ、実質上平坦な大部分のウェーハ中央領域とエッジプロファイル（故意に丸みを持たせたウェーハ外周領域）との間領域で角度方向あるいは半径方向に変化する様々な特徴を網羅する。ERO 動向値については業界の合意は進み、ERO パラメーター（SEMI M67：ESFQR、SEMI M68：ZDD）の標準化も認められた。さらに、ERO メトロロジー・ガイドラインも 22nm 世代までのものが SEMI M49 にあるが、ERO 関係の動向値はさらなる合意が必要である。

構造欠陥は、COP やバルクマイクロディフェクト（BMD）のような結晶育成欠陥を含む。COP 制御方法は前に議論した。先進シリコン製造技術では、格子間酸素濃度とは独立に BMD を制御できる。それに加えて、現

在のデバイス工程は、より低温でより短時間の熱サイクルを使うので、イントリシックゲッタリングのための高密度 BMD を作り込むのには適していない。その結果、顧客がゲッタリングのための BMD に依存しているアプリケーションでは、シリコンサプライヤーとオプションについて注意深い議論をする必要がある。

他のスターティングマテリアルに対する要求は、異なったウェーハタイプに対する特定の表面欠陥で表す。鏡面ウェーハを使って製造されるあるデバイス（DRAMのような）は非常に浅く小さなスクラッチやピットに敏感であろうと最近のデータは示している。エピタキシャルウェーハやSOIウェーハにはこの種の表面欠陥が少ししか見られない。一方、エピタキシャルウェーハやSOIウェーハには大構造欠陥（> 1 μ mと便宜上定義）や小構造欠陥（<1 μ m）がある。エピタキシャルウェーハには積層欠陥のような成長過程で入った結晶欠陥と基板表面のパーティクル起因の大欠陥が入りやすい。エピタキシャルウェーハを使うときには、歩留まりを最大にするようにこれらの欠陥を制御しなければならない。幾つかの欠陥はSOI固有のものである。歩留まりに対しては大面積欠陥が最大の関心事で、SOI層のボイドとSOI/BOX界面の大欠陥が含まれる。これらの大欠陥はチップ歩留まりに重大な影響をすると判断され、キルレート は 100%となっている。最上シリコン層（数十ナノメータから十分の数ミクロン）中のCOP、金属シリサイドあるいは局所SiO2 島のような小欠陥はデバイス性能にそれほど重大な影響を与えないと信じられており、そのために、許容密度はより小さなキルレート[訳注] に基づいて計算されている。これらの欠陥をカウントし、サイズを測り、組成と形状を決めるレーザ走査あるいはその他の評価装置は重要な測定法課題である。検出限界サイズは改善され続けているが、組成と形状識別は不十分なままである。このようなので、表面欠陥の除去と防止はシリコンウェーハ技術において極限技術を駆使したチャレンジであり続ける。

ゲート酸化膜耐圧や他の歩留まり劣化要因の結晶成長パラメータ依存性は点欠陥やその集合体の役割共々精力的に実証されてきた。そこに出てくる欠陥密度（D_0）は何世代ものデバイスに対して材料品質の尺度として効果的に使われてきた。しかし、EOT<2nmのデバイスに対してはこのパラメータはもはやデバイスの歩留まりや性能の指標にはならず、従って、要求項目として、Table FEP10 には含まれていない。しかし、high-kゲート絶縁膜が導入された時にプリおよびポストゲート表面処理方法が変更されるならばスターティングマテリアル清浄度の要求は変わるかも知れないことを指摘する（表面処理の章を参照）。

SOI ウェーハの評価技術は重要な課題である。可視光で動作する光学測定装置は、SOI を評価するにあたって、鏡面ウェーハあるいはエピタキシャルウェーハを評価するのと同じ能力を持ってはいない。Si と BOX 層からの多重反射による干渉効果は、鏡面ウェーハやエピタキシャルウェーハに比べて、これらの測定装置の応答を本質的に変えてしまい、一般的には、測定能力が劣化する。少なくとも 10nm より厚い表層シリコン層に対して、最近開発された紫外／遠紫外波長光学装置は、その波長での光吸収深さが非常に小さいので、干渉効果などによる困難さを低減するのに役立つことが分かった。様々な SOI 欠陥カテゴリーに対する評価法は、種々のタイプの欠陥をデコレートするが一義的な識別は出来ない化学的破壊エッチングを必要とする。これらの様々な欠陥は全てが同じ起因、大きさ、デバイス歩留まりに対するインパクトではなく、そのために、異なったキルレートとなる。これに加えて、検査しているシリコン層を完全にエッチングしてしまうことを避けるために極めて小さいエッチング取り代となるが故に、非常に薄い表層シリコン層 SOI ウェーハのデコレート欠陥エッチングは極めて困難である。非破壊で早いターンアラウンドである評価方法が SOI 材料の電気的性質や構造欠陥測定に必要である。最後に、種々の歪シリコン構造評価問題（空間的に変化する歪水準と Si:Ge 組成、独特な表面ラフネスはもとより貫通転位とそれに関連する欠陥）は相当な努力が必要とされる（エマージングマテリアル章参照）。

SOIウェーハの層厚と均一性がTable FEP10 にある。これらのウェーハに対しては、昨今の広範囲なICアプリケーションは相当広範囲なSiデバイス層厚と埋め込み酸化膜（BOX）厚を必要とする。幾つかのやり方による

[訳注] kill rate/kill ratioは欠陥の何%が歩留まりに影響するかの値

SOIウェーハ製造は、この範囲のSOIアプリケーションに供給可能な生産となった。電子移動度を増加させ、それよりかなり小さいが正孔移動度も増加させる二軸引っ張り歪がSi層に掛かっているのを除けば従来のSOIと同じ層構造である歪SOI（sSOI）を、ある場合には、含んでいる。歪シリコンはもっと詳細にこの章のエマージングマテリアル節で論じられている。このTable は部分空乏型（PD）と完全空乏型（FD）デバイスに対する購入時のシリコン厚[訳注] である。PD厚値は、2018 年以降はマルチゲートデバイスの要求により、再度追記されると予想される。大まかには、これらのPD値はマルチゲートデバイスの予想シリコン厚と一致している。業界内の実際の製造状況と一致させるために、2010 年以前のFD厚の値はTable FEP10 から削除してある。

3.7.2 解決策候補

Figure FEP15 は最も重要なスターティングマテリアル課題のリストと、特定できた可能な解決策を示し、これらの解決策の開発と大量生産移行のタイミングなども示す。Table FEP10 に一致して、Figure FEP17 は、300mm あるいはそれ以上の大口径ウェーハで作られる最先端 DRAM と高性能 MPU の要求を反映している。しかし、90nm 技術世代以降での 200mm ウェーハの利用は行われており、必要なフラットネスとナノトポグラフィー水準を達成するために両面鏡面研磨が必要であることを指摘する。このタイプのウェーハの推進にはウェーハサプライヤーとユーザに追加投資が必要となる。

3.7.2.1 材料選択

材料選択カテゴリーは二つに分かれるー欠陥制御 CZ と SOI ウェーハ。材料タイプの選択は、IC アプリケーションとコストパーフォマンス最適化に強く依存する。前者はコストに敏感なアプリケーションに使われ、後者は性能に敏感なアプリケーションに使われる。Figure FEP17 に書いてあるように、解決策候補は分散し、そのことは使えるリソースに対する大きな課題をもたらす。

3.7.2.2 エマージングマテリアル

ITRSの目標を満たすために他の方法を増補する材料の解決策、エマージングマテリアル、の活用はシリコン業界の将来にとって極めて重要であり続ける。ITRS2011 には、エマージングマテリアルの三つの明確なカテゴリーが特定されている：1）熱管理解決策、2）移動度増大解決策、3）システムオンチップ解決策。将来のマイクロエレクトロニクスアプリケーションの熱管理解決策（即ち、熱損失特性の改善）を潜在的に提供できるエマージングマテリアルの例は次のようなものである：シリコンオンダイアモンド、SiO_2より熱伝導度の高い材質の絶縁物、例えば、Al_2O_3（アルミナ）あるいは窒化シリコンを使ったSOI。熱損失に関係した事項に加えて、将来のマイクロエレクトロニクスシステムはシリコンより大きな移動度を持つトランジスタチャネルが特徴となろう。チャネル移動度の増大と目的としたエマージングマテリアルの解決策候補には、歪シリコン、ゲルマニウム（歪緩和した、あるいは、歪んでいる）とカーボンナノチューブなどがある。最後に、新しい機能性を古典的なCMOS論理アーキテクチュアに組み込むこともまたエマージングマテリアルの革新がもたらす。高抵抗シリコン基板とシリコン上のモノリシック光配線はシステムオンチップの解決策候補である。将来のマイクロエレクトロニクスが直面している重要な課題に対する技術的な解決策を潜在的にもたらすけれども、これらエマージングマテリアルのトピックスは、今年のITRS版 Table FEP10 に詳細な仕様を記載するには成熟度が足りない。しかし、これらのトピックスは見守り続けられであろうし、ITRSスターティングマテリアルチームのエマージングマテリアル小委員会は詳細な注釈と参考文献をオンライン読者のために纏めた。

3.7.2.3 ウェーハ直径

生産性増大の一部は、歴史的にはウェーハ大口径化によって達成されてきた。業界が重大な経済的課題に直面した時期に 200mm から 300mm への移行が起きた。このような事情が、歴史的周期に基づく予想タイミングに対して、この直径による大量生産開始を実質上遅らせた。これは、既に、300mm から 450mm への移行タイミングに影響している。次世代 450mm の必要性は、重要な経済的挑戦のためであり、生産性向上である。

[訳注] 表層シリコン厚

450mm シリコン基板の準備は、最近の発表で活動を加速しているが、これまでの大口径化のサイクルからすでに 7 年遅れており、デバイス生産は 2014 年となっている。450mm シリコンウェーハ導入に関する問題点は別途編集され、450mm ポジションペーパーとしてオンラインで入手できる。

3.7.2.4　サイトフラットネス

300mm ウェーハが両面ポリシュになることでサイトフラットネス工程能力を業界は本質的に高められた。この根本的な進歩の更なる改善は IC メーカの 20nm あたりの技術世代の要求を満たすと予想される。この時点以降の引き続く改善は、Figure FEP17 と付随テキストで議論されているようなものを含む新しいフラットネス改善技術を取り入れることが必要になろう。しかし、次世代リソグラフィーは実際のフラットネス要求に大きなインパクトを与えるかも知れない。直近、EUV リソグラフィーは重要な検討課題である。開口数（NA）により、ロードマップにある動向値は適切であったり、誇張の可能性もある。正しいモデルの要求動向のために、さらに新しいデバイス構造へのサイトフラットネス要求の理解が必要である。

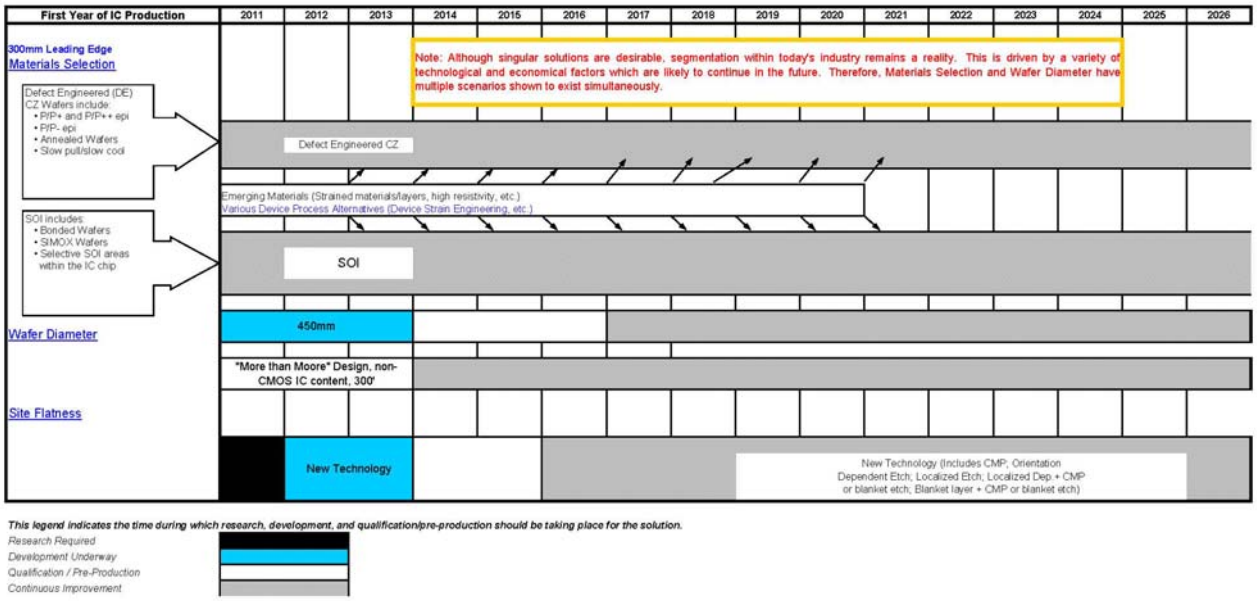


Figure FEP17　　Starting Materials Potential Solutions

3.8　　FEP 表面処理

先端技術がもつ多くの異なる要素や要求のために、ITRS FEP 表面処理章に現れた課題はなお難しくまた変化し続けている。この中には、構造 -プレーナか非プレーナか-、材料-Si、SiGe、Ⅲ Ⅴチャネル材料、high-k やゲート電極材料、プロセスユニット-エピ、ゲートや LDD、が含まれている。ゲート前洗浄における要求だけで評価尺度を決めることはもはや適当ではないが、各プロセスユニットに関して重要な評価尺度全てを挙げて格付けすることもできない。将来の要求や評価尺度は、モデルベースであることが多い。将来の評価尺度を予測している現在のモデル -例えば、クリティカルパーティクルの数や表面金属汚染- は長年使われてきた。いまだに、それらのモデルは将来に亘る表面処理の良い基準を提供し続け、またこのロードマップに沿った要求値や技術課題に合うような研究をドライブし続けている。

新しい技術に必要とされる要求に応じて、ウェーハの洗浄や表面処理に関する技術課題は変化し続けるであろう。洗浄や乾燥に関する新しい技術や化学組成の研究は、多くのプロセスによって影響されるであろう。そのプロセス技術には、新たな高移動度チャネル材料／基板、SD せり上げ用 SiGe、キャパシタ用新材料、高ドーズ注入後のレジスト除去、洗浄対象構造に影響を与えないように微小パーティクルを除去するプロセス、セリアスラリーを用いる CMP、より高アスペクト比化するコンタクト孔のエッチング・洗浄・乾燥、などが含まれる。

表面処理に対する技術的要求を Table FEP11 に示す。表面処理に対する困難な技術課題は Table FEP11 の中に記載されている。Hf ベースの材料は 45nm からの世代に用いられているが、フロントエンド表面処理で達成すべき評価尺度にはいまだ問題があり、その理由はゲート絶縁膜やゲート電極およびそれらの性質に関して公表されている有効なデータが不足していることによる。メタルゲート材料と半導体素子でのインテグレーションはすでに量産化されている、しかしながら、デュアルメタルゲート CMOS で使われている金属材料はデバイス特性に影響しないレベルになるように洗浄しないといけない。

Table FEP11　　Surface Preparation Technology Requirements

ウェーハ表面及び裏面のパーティクル汚染に関しては、要求レベルが上がり続けるという懸念は常に有る。既存構造や基板に損傷を与えずあるいはエッチングせずに、必要なレベルにパーティクル数を制御するということはきわめて困難な技術課題であり続けるであろう。ポアソン分布を用いたMalyの式は、チップ歩留りに基づいて表面パーティクル密度の許容レベルを予測するために利用し続けられるであろう。”キラー欠陥”サイズ、即ちパーティクルのクリティカルサイズは、世代に応じて縮小し続け、パーティクルのクリティカルサイズはMPUの物理ゲート長より小さくなっている。ダイサイズが大きくなり素子サイズが小さくなるにつれて、モデルで得られる値（=パーティクル密度）は発散する。径 30nm以下のパーティクルに関するデータがないため、新たなモデルが出てくることはない。ウェーハ表面に付着した径 28nm以下のパーティクルは現時点では計測できない。エピやALD絶縁膜形成プロセスは今は欠陥を増幅させているので、モデルはもはや適用できないであろう。多くのファブでは、$1/x^2$分布に基づいて径 65nmの感度での制御レベルを決めている（現時点で、最も安定して測定できるレベルである）。ゲート前洗浄における製品ウェーハ上の許容パーティクル数をより正確に評価するため、モデルで用いる歩留り値を99%から99.9%に増加させた。この簡単な変更によって、装置のパーティクルスペックにより直接対応するようになり、ロードマップはより現実的になった。

歴史的には、パーティクル数の仕様は DRAM ルールを基に算出されていて、DRAM の 1/2 ピッチ（コンタクト有）、セルエリアファクター、チップあたりの機能数（Giga ビット）、チップサイズ、によって不規則に変動してきた。半導体チップメーカで用いるパーティクル数の仕様は、このような不規則な変動をすべきでないということを、表面処理サブ TWG 内では合意した。ある最小値に達したら、技術が変化してもパーティクル数の要求値は増加させるべきではない。

ウェーハ裏面及びベベルエッジの欠陥やパーティクルの歩留りへの影響は、より徹底的に検討されている。裏面やベベルエッジの欠陥を検出する装置は販売されていて、歩留りへの影響に関するより多くのデータも得られるだろう。しかし、裏面パーティクルは少ないに越したことはないというのは確かであっても、ウェーハ表面の歩留りに対する裏面あるいはベベルエッジのパーティクル数や密度の影響に関するデータや歩留モデルはほとんど無い。サイズに基づいた裏面パーティクルの妥当な仕様に関して合意に到っているわけではないが、露光での焦点深度に影響するほど大きく（$>50\,\mu$m）てはいけないというような議論はされている。より詳しくは、Footnote を見て欲しい。

下地への構造的ダメージ（機械的損傷）がなく材料ロスを最小にする必要が生じることで、パーティクル汚染の制御はより厳しくなる。材料ロスに関する要求は、一旦は必要性が疑問視されたが、いまはまた表面処理ロードマップの中でより重要な課題となっている。プレーナCMOS素子においては、ゲート後の洗浄工程が最も重要である。この工程で記載されている数値は、ダメージもない非加工の多結晶Si膜やSiO_2膜を多数回アッシング／洗浄した場合の平均値であって、1 回のアッシング／洗浄を行った場合の測定結果ではない。まず、DRAMで必要な容量電極の金属ロスが含まれている。SiNスペーサロスも含まれていて、ダイ内のバラツキに関する重要な要素である。窒化膜の組成、イオン注入ダメージ、プロセス温度等に関するバラツキによって、エ

ッチング速度の大きなバラツキが生ずる。このため、他のプロセスバラツキを抑制するために、窒化膜ロスのスペックはゼロに近づけることになる。ロードマップの数値は、さらに、エクステンション部が露出している際のゲート加工およびイオン注入後の洗浄工程、を併せて許容可能なトータルの材料ロスを表している。デバイスタイプによってゲート加工後の洗浄回数やUSJのドーパントプロファイルは大きく異なるので、材料ロスに対する要求値は会社毎に違っているであろう。DRAMは 4 回程度の洗浄だろうし、SoC RFやアナログデバイスでは 2～3 倍の回数、即ち 12 回以上のレジスト剥離を、レジスト膜リワークを含めなくても、行うだろう。これらのデバイスに対して、Tableに示した材料ロス・スペックが必要となる。プレーナデバイスでは、ゲート絶縁膜形成前洗浄での材料ロスは深刻ではないが、マルチゲートやFinFETや高移動度チャネル基板ともなれば話は違ってくる。ゲート絶縁膜形成前洗浄での材料ロスの結果生じるラフネスは大問題であり、特に低電圧動作のゲート絶縁膜で重要である。非プレーナ構造では、いくつか提案されているSDドーピング技術では、サイドウォール不純物が表面近くにだけに存在する（熱処理前）。これらの技術を使う場合、クリティカル洗浄での基板表面ロスに対して厳しい制御が必要になるであろう。

埋込み酸化膜界面に金属が析出するという証拠があるので、UTBSOI、FDSOI が 2013 年に導入され、せり上げ SD が使われるようになれば、必要なメタル汚染レベルは大きく影響を受けることになる。許容金属汚染レベルにどのように影響するかはまだ明らかではなく、これらの Table には反映されていない。クリティカルパーティクル仕様のように、各種ロードマップにおける金属スペックも、PIDS チームが説明するように、技術の変化に応じて変動する。シリコンベースのデバイスに対しては、現在のメタルスペックは妥当である。しかし、high-k ゲート絶縁膜に対する金属種の影響はまだ明らかとはいえない。変動するメタルレベルはクリティカルパーティクル数と同様に扱い、許容金属レベルは技術が変わっても増えないようにしてある。

デバイスが堆積ゲート絶縁膜を使い、エピSiやエピSiGeを歪チャネルとして使い始めているために、界面制御はより重要性を増すようになる。エピSiには酸素フリーの半導体表面が必要であるのに対して、堆積法のhigh-k膜は、堆積表面に酸化膜か窒化膜が必要となる。EOT（Equivalent Oxide Thickness）が 0.5nmを割るようになると、high-k膜堆積前の表面は恐らく低炭素レベルおよび低酸素レベルが必要とされ、そのレベルは従来SiO_2膜形成時の炉やRTP装置でのレベルより低くなる。high-kゲート絶縁膜は物理膜厚が厚くなるので、金属汚染制御に関するスペックを緩和することができるであろう。安定したベースライン下でのプロセス評価を元に規定しモデル化することは今なお必要であり、それらは現在研究されている。ゲート形成後にエッチング後洗浄が行われるが、それはhigh-k／メタルゲートに適用可能な液が用いられる。腐食や酸化がなく、CDロス、メタルゲートのロスや凹凸形成、あるいは窒素減少を抑制することが必要である。限られた中で選ばれる新たなMPUおよびDRAM材料を使いこなすには、高選択エッチケミストリとプロセスが必要になるが、それらはESH面での有害な影響なしに導入されなくてはならない。

ウォーターマークや乾燥起因の欠陥が清浄表面に残存するということは決して許容できるものではないというのが共通理解である。従って、Table の左端から右端まで ”0” が記入されていたウォーターマークの項は 2007 年版のロードマップで削除された。乾燥、特に高アスペクト比の構造の乾燥は今なお継続的に課題のままとなっている。表面処理チームは、乾燥の評価尺度は必要と考えてはいるが、しかし（有ればなんでも良い訳ではなく）一般性があって、ノードに対して確立された閾値を持っている必要があると考えている。乾燥法の有効性を測定する手段は提案されているが、現時点では広く用いられているとは言いがたい。ITRS Table に入れるのに適した他の有力な評価尺度は、表面チャージとキュー時間法（queue time）である。洗浄や乾燥と関係する表面チャージ量を測定する装置は市販されているものの、表面チャージもデバイス毎に固有の性格を有し、予測が難しい。キュー時間は多くの工程（即ち、エピ、Ge、SiGe、シリサイド前）でも有効とされるが、評価尺度を適用する以前に多くの製造問題を抱えていると考えられている。将来的な性能向上は、クラスタ化洗浄の実現によって達成されると考えられる。

解決策候補に加え、表面処理の技術課題を Figure FEP18 に示す。溶液の持つ多くの特性によって金属除

去（液体成分中の高い溶解度）やパーティクル除去（ゼータ電位制御、せん断応力、メガソニックによる効率的エネルギー付与）が容易になるため、ウェット薬液洗浄は今なお好まれている。そうは言っても、エッチングなく損傷もないパーティクル除去や先端ゲート構造での界面制御といった技術は必要になるだろう。現時点では、汎用的で損傷のないパーティクルや残渣を除去する方法の開発は、ウェットかドライかによらず、かなり進んではいる。物理的方法と化学的方法を組合せた化学洗浄法は増えつつあり、例を挙げれば、メガソニック振動、ノズルを使った洗浄、サーファクタントを利用した洗浄といったものがある。インテグレーションやサイクルタイムの観点から、ウェットあるいはドライ（極低温のエアロゾルを含む）の枚葉洗浄が増えている、そしてマルチチャンバーシステム採用でスループットを整合させることができるので、最終的には FEOL 全体に適用されるようになるだろう。ゲートスタック形成前の洗浄に限れば、歴史的なバッチ式洗浄に代って枚葉洗浄が好まれている、それには先端ラインの 300mm 化が進み、ゲートスタックに対する成膜や熱処理工程が枚葉化しているという背景があり、製造装置間の密接な対応づけが必要になっていることによる。

レーザ・静電学・新プロセスを用いた他の洗浄技術はハイレベルのR&Dが進行中であり、適用されることになれば枚葉システムである可能性が非常に高い。洗浄液の化学組成は今後も進展し続けるであろう。歴史的なRCA1-RCA2 洗浄は必ずしも必要ではなくなっているが、希釈化学組成、特に希釈RCA洗浄システムは有効であり、量産では今でも適用されている。例えば、多くの洗浄工程ではSC2 の代わりに希釈HClリンスが用いられ、SC1 の代わりに超希釈SC1 やNH_4OH希釈水が用いられている。これらの液は酸化膜やシリコン表面へのアタックを最小限にすることができるので、希釈薬液はほとんどの先端ラインで広く受け容れられている。オゾン水はレジスト除去やその後の洗浄に用いられる硫酸ベースの薬液に置き換わりつつある。ある応用では、1 種類の材料のみエッチングし別の材料はエッチングしないという方法を組み合わせて用いる必要があり、個々の方法には超希釈薬液、半水性の溶剤、気相エッチングなどが含まれる。

イオン注入工程で用いられたレジスト除去や洗浄工程でのマテリアルロスに関して、アッシングを用いない傾向が強まりつつある。しかし、プラズマアッシング・洗浄プロセスも発展していて、新しいガス構成や新しい原料技術が有力な結果を示している。硫酸過水を用いたレジスト剥離と後洗浄の代わりにオゾン水を用いたプロセスが最終的には用いられるようになるだろう。ゲートスタック構造に金属が含まれるようになり、歴史的な SPM に代って溶剤の化学組成に対する関心や研究を促している。歴史的なウェットプロセスだけで、加熱SPMを用いて、レジスト除去を行うのはどのような場合でも不適当で、極低温のエアロゾルを用いるなど、多くのアッシングを用いたあるいはアッシングなしでレジスト除去方法の研究が進められている。材料面の可能性を評価し、理解する必要がある。最後に、利用され始めた液浸露光と先端リソグラフィー用の新しいレジスト材料によって、洗浄の新たな技術課題が生じるだろう。

解決策候補を下に示す。SiGe表面やⅢ-Ⅴ表面に加えて垂直表面の洗浄と評価は新たな技術課題であり、サイズ効果（ラフネスや信頼性）や新技術（CNT、グラフェンなど）も同様である。過去におけると同様に、現在および将来の表面処理プロセスにおいて、継続的な改善努力が期待される。

ESH や YE といった他の技術領域は表面処理 sub-TWG とオーバーラップしている。化学物質の使用量を減らし、化学物資や水の再利用を行い、毒性がほとんどない化学物質を使った代替プロセスを行うことは、ESH と CoO 面の利益を生み出すことができる。化学物質や水の使用量を減らす努力は続けるべきである。自動的なプロセスモニタとプロセス制御によってCoOを減らすことができる。特に300mmおよびそれ以上の口径のラインでは、モニタウェーハコストや条件はずれのインパクトが大きいので、利用拡大が期待される。新たな洗浄の要求は液浸露光に関連して出てくるだろう、けれども露光技術の適用に結びついていて、将来リソグラフィーTWGから項目化されるべきであろう。表面処理 sub-TWG は 28nm 以下のパーティクル検出の必要性に関して Metrology/YE とオーバーラップしている。欠陥低減技術の必要性では YE とオーバーラップしていて、薬液やDIウォーターの適切な純度を明確にしなければならない。CoOを最小にするために、技術的な証明がある場合に限ってアグレッシブな純度レベルを採用すべきである。表面処理の全ての領域で、プロセスは欠

陥・コスト・ESH 問題とバランスをとるべきである。より詳細な全体像に関しては、Environment, Safety, and Health の章を参照のこと。

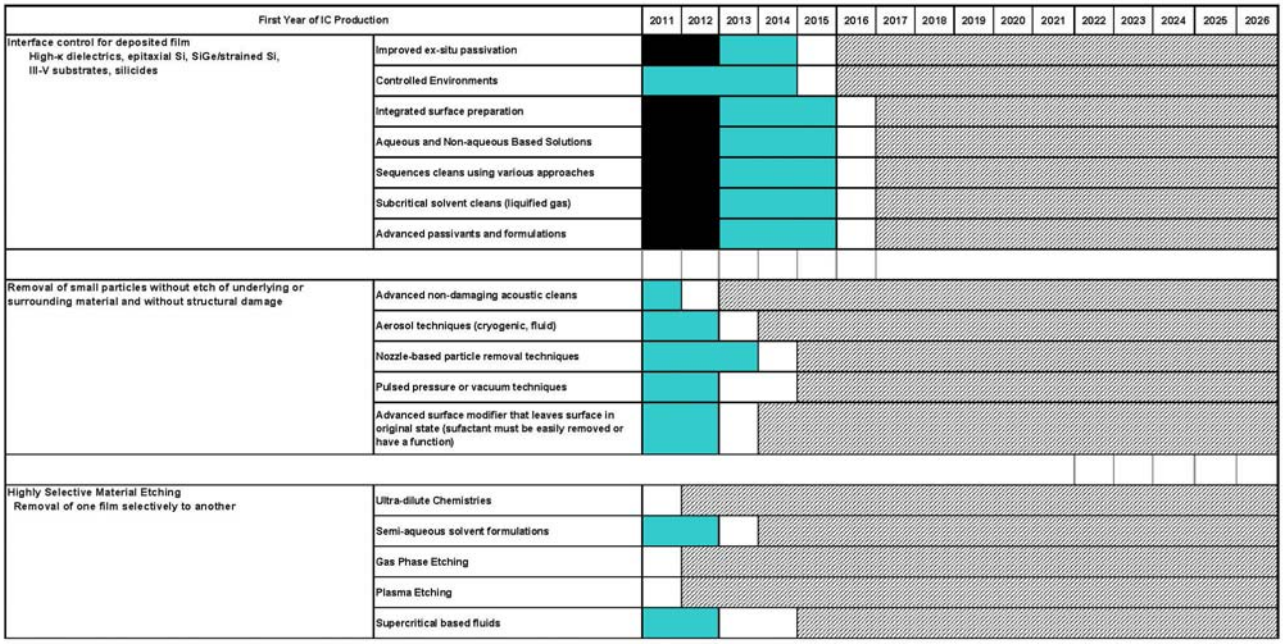


Figure FEP18　　Front End Surface Preparation Potential Solutions

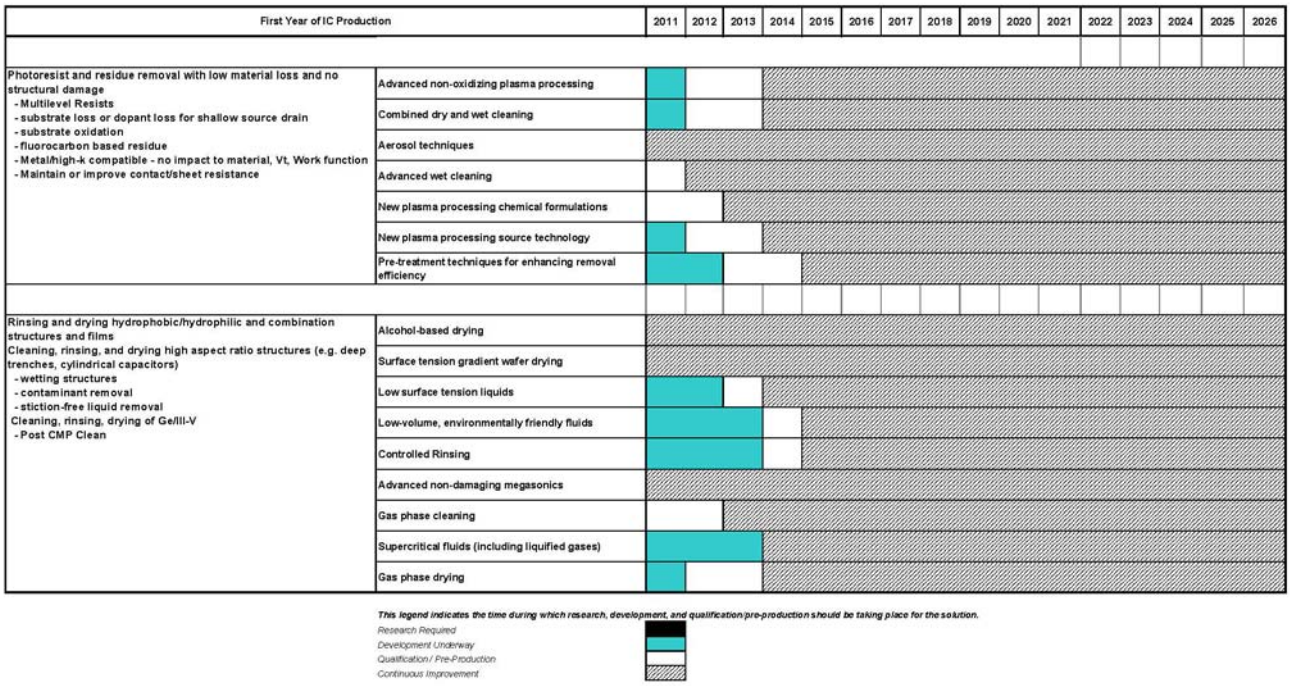


Figure FEP18　　Front End Surface Preparation Potential Solutions (continued)

3.9　　熱処理/薄膜プロセスおよびドーピング

フロントエンドプロセスには、高品質で欠陥の無い膜の成長、堆積、エッチングおよびドーピングが求められる。これら形成された膜は、絶縁膜や導電性膜あるいは半導体（例えば、シリコン）薄膜である。フロントエンドプロセスにおける困難な挑戦として、1）信頼性が保証された極薄（電気的実効膜厚≤1.0nm）のゲート絶縁膜の成長や堆積、2）ロジックやDRAMキャパシタ用の適切な界面層を含む代替high-k絶縁層の開発、3）空乏化し

ない低抵抗のゲート電極材料の開発、4）チャネル中への歪の形成により、NMOS、PMOS 両デバイスでのチャネル移動度の増加を実現する信頼性の高いプロセスの開発、5）極浅接合デバイスへの低抵抗コンタクト形成、そして 6）良好な CD コントロールを可能とするレジストトリミングとゲートのエッチングプロセスの開発。その他の重要な挑戦として、急峻なチャネルドーピングプロファイルの実現とサーマルバジェットが小さい状況下において注入後の欠陥に基づくリーク電流を最小にするための欠陥の管理、および精密な側壁構造の形成がある。

3.9.1 熱処理/薄膜プロセス

ゲート絶縁膜は、将来のデバイススケーリングにとって最も困難な挑戦の一つとして急浮上してきた。種々の要求は、HP, LOP, LSTP用のそれぞれに対してTable FEP2, FEP3 そしてFEP4 にまとめられている。2007 年以来（HP用途として）Hfベースのhigh-kゲート絶縁膜は量産されているが、EOTが 0.7nm以下のhigh-k絶縁膜スタックの継続的スケーリングは、現在も主要な挑戦のままとなっている。低消費電力（LOP）および低待機電力（LSTP）の両用途については、極薄酸窒化膜による従来のゲート絶縁膜とともに 2011 年には金属ゲートと共に導入されると見る。Hfベースの絶縁膜（k値が～20）からより高い誘電率膜への進化は必要となるであろう。SiO_2以外の材料に関する主要な問題は、良好なチャネル移動度や界面準位特性を得るために未だにチャネルとの界面層に極薄のSiO_2やSiON層が必要とされていることである。この界面層は、酸化膜換算膜厚を増やし、high-k絶縁膜導入によってもたらされるあらゆる利点を著しく損なってしまう。エピタキシャル成長させた誘電体によりこの界面層を排除することはできるが、それを用いた系ではチャネル移動度の劣化や多量の界面電荷が原因とされる多くの未解決課題が残されている。

ゲート電極もまた、将来のスケーリングに対して重要な挑戦課題であり、仕事関数、抵抗率、CMOS 技術との適合性が、新ゲート電極材料候補の重要なパラメータである。最適なゲート電極の仕事関数は、デバイスの種類と応用に依存する。バルクの NMOS と PMOS 素子においてバンド端の仕事関数は、駆動電流向上と短チャネル効果抑制という観点から最良の折り合いをもたらす。しかし、完全空乏型 SOI 素子や多ゲート素子は、そのフェルミレベルがミッドギャップから数百 meV 上下に位置する 2 つの仕事関数を有するゲートを用いることで、うまく最適化できる。低コスト、低消費電力用途に関しては、単一（ミッドギャップ）の仕事関数を有するゲートを有効に用いるということもあり得る。それゆえに、仕事関数が調節可能な系が極めて重要である。仕事関数を一度に調整可能とするシステムがないために、二つの完全に独立なゲートスタック（ゲート絶縁膜と金属ゲート電極の両方）が必要となる。熱／薄膜に関する要求値に関しては、Table FEP12 を参照されたい。

Table FEP12 Thermal, Thin Film, Doping Process Technology Requirements

素子のスケーリングにおける他の大変困難な挑戦は、フロントエンドの材料とプロセスの選択において機械的応力を発生させることを第一義としたチャネル移動度の強化である。電子と正孔の移動度に対する効果が機械的応力により逆の方向に作用するため、NMOS と PMOS とでは逆方向に応力を印加する必要があるので、解決策候補は複雑になる。従来のプロセス（分離トレンチ形成、ゲート電極、シリサイド）は、局所的応力をもたらすので、考慮されなければならない事項である。また、グローバル応力は、シリコン基板上の Si と SiGe の積層によって形成される、加えて歪んだ Si（または Ge）層は、SOI 基板にも用いられる。最終的に応力層は、デバイスの上部または基板内部（SiGe リセス接合）に堆積される。正孔移動度を向上させるために PMOS を従来の <110>方向ではなく、<100>方向に配置することも検討されている。局所応力とグローバル応力との両方の応力源を、それぞれの応力が相加的に加わり、NMOS, PMOS の両方が強化されるように、そして基板のせん断応力限界を超えないように（局所的に）集積させることが挑戦課題である。高い駆動電流を維持するために部分空乏型や完全空乏型 SOI と同様に、従来のバルク CMOS、さらには非プレーナ型のデバイスに対してチャネル移動度の向上するための技術向上が必要である。

困難な技術課題の節で示したように、III-V や Ge による高移動度チャネルが NMOS と PMOS それぞれについて歪 Si を置き換えることが期待されている（~2018）。VLSI 化のためシリコン上に欠陥の無い高移動度チャ

ネルを局所的に形成する薄膜プロセス技術の開発が必要である。

側壁スペーサは現在、自己整合形成やソース/ドレインのドーパント構造形成のためだけでなく、ゲート、ソース/ドレイン間の分離を構成するために用いられる。また、エクステンション部分の注入前にオフセットスペーサが形成され、ゲート部分との重複容量を最小にし、接合深さをやや深くすることができる。コンタクト構造を形成するために用いられるゲートとソース／ドレイン領域のコンタクト構造とプロセスは、側壁スペーサの堅牢性に依存する。側壁スペーサは、従来、堆積酸化膜や多結晶シリコンの熱酸化、堆積窒化膜、そしてそれらの様々な組合せにより形成される。この従来の側壁プロセスは、側壁スペーサを用いたプロセスの適合性が難しくなり、エレベーテッドソース/ドレイン構造が必要となる時（2010 年と推定）までは少なくとも使われる。完全空乏型 SOI 素子に対しては、ゲート絶縁膜のような高い信頼性と安定性を有する薄くて堅牢な側壁が必要である。また、それらは寄生容量と直列抵抗を最小限に留めるべく最適化されなければならない。物理ゲート長が約 20nm 以下では、エレベーテッドコンタクト構造を想定した選択エピタキシャルシリコンやシリサイドプロセスに晒されると最良の最先端プロセスによる熱酸化膜でさえ欠陥を発生しやすくなる。窒化膜や酸窒化膜は、酸化膜に比べてまだ良い代替膜かもしれないが、high-k ゲート絶縁膜との相性が良く、実用可能な側壁スペーサを見出し、認知するための更なる研究が必要である。

また、プリメタル誘電体と同様に浅い分離用トレンチを埋めるために熱的もしくは堆積により形成された薄膜は極めて重要である。この技術の実用化において、トレンチ幅を細めることやよりアスペクト比の大きい隙間が必要とされるということは、トップとボトムのコーナー部の形状制御や疎密構造の埋め込みの均一性が最も重要な要求であることを意味している。浅いトレンチ分離構造の形成において活性化領域のトップ端部分は、一般的にゲート絶縁膜の成長や堆積前のパッド酸化膜や犠牲酸化膜のフッ酸エッチングに晒される。ゲートは、このコーナー形状に沿って形成され、高電界領域や潜在的な高欠陥部分をつくってしまう。この領域は、低閾値電圧と小さな飽和電流しか得られないトランジスタがバルクトランジスタと並列に接続されていると考えることができる。このことが Id/Vg 特性における“こぶ”や大きなサブスレッショルドリークを誘発する。従って、STI トレンチ先端部のコーナーは通常、分離用酸化膜の堆積前の熱酸化によって丸められる。このコーナーの曲率半径が増加すると、寄生トランジスタの Vt が増加し、この‘こぶ'は小さくなる。しかしながら、新しいプロセスが導入されない限り、素子のスケーリングは曲率半径の減少をもたらす。

隣接する活性領域端のフィールド酸化膜の後退度合いは、端に位置するトランジスタの断面形状をある程度決定するので、寄生ドレイン電流の大きさもまた、そのフィールド酸化膜の後退度合いに依存する。従って、曲率半径が分離幅とともにスケールダウンすると、うまくいけばフィールド酸化膜の後退もスケーリングされる。その結果、曲率半径の減少に伴う劣化は部分的には緩和されることになる。この酸化膜の後退は、パッド酸化膜や犠牲酸化膜の他、CMP プロセスやフッ酸浸漬に対する堆積酸化膜の“硬さ”に依存し、これらの全ては各年において最適化されるプロセス設計の選択に委ねられる。

熱プロセス／薄膜に対する解決策候補のロードマップは、Figure FEP19 に示されている。high-k ゲート絶縁膜、金属ゲート、歪層、高移動度チャネル、そして非平坦 CMOS と同様に非バルク CMOS の導入、に関する技術の変更は、量産までに 2 年のプロセス検証と事前試作が必要とされる大変重要な事項である。

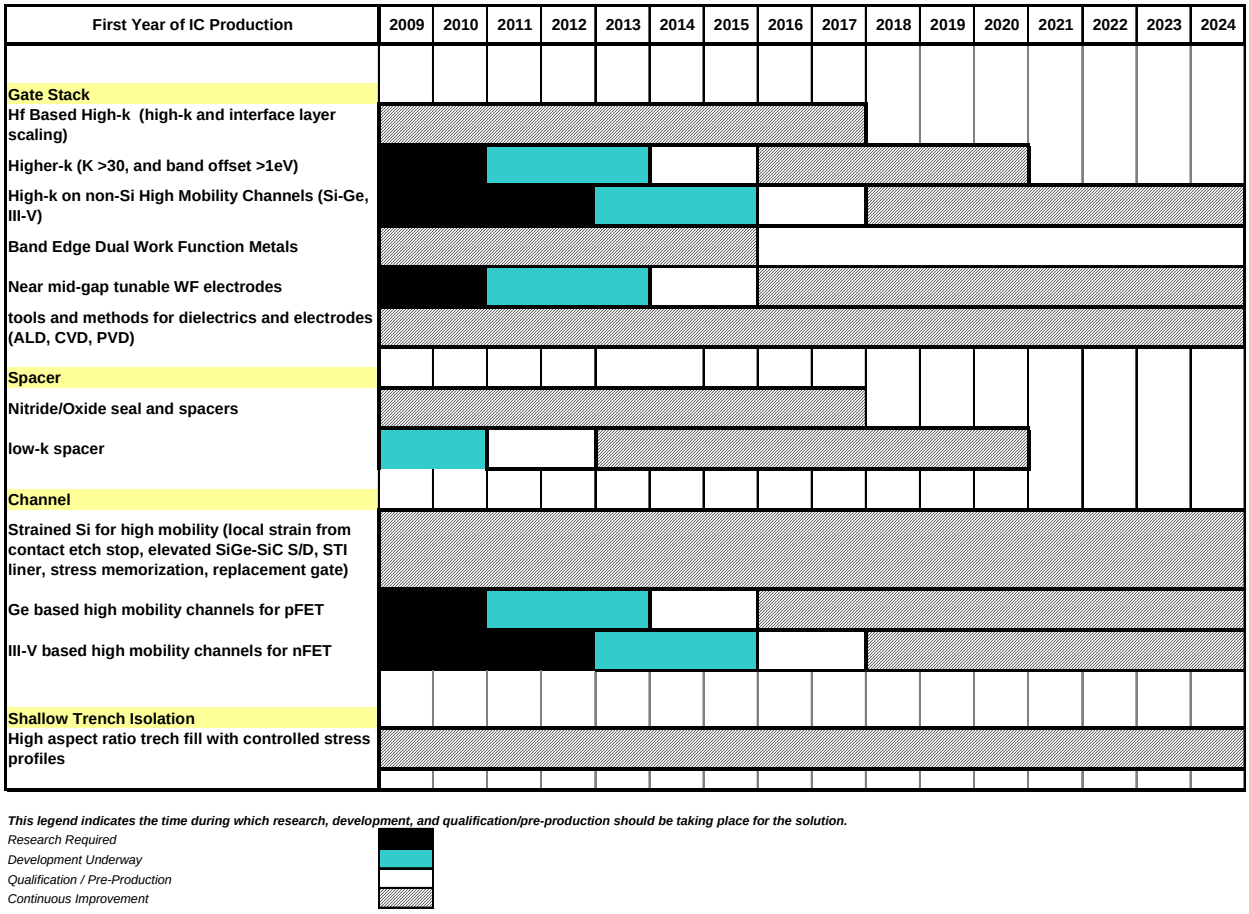


Figure FEP19 Thermal/Thin Film Potential Solutions

3.10 ドーピング技術

バルクCMOSデバイスの伝統的なスケーリングは、新材料と新しいデバイス構造が今後数年のうちに数多く導入されることで、ますます難しくなっている。ノンクラシカル CMOS デバイスへの移行時期はデバイスメーカの間で異なることが予想され、したがって異なったデバイスアーキテクチャがつねに存在するようになる。この点については PIDS の章の中で詳細に議論されており、高性能トランジスタに関しては以下のデバイスシナリオが推定されている:

2011 年から 2015 年ー バルクシリコン MOSFET では以下の進歩がなされる:

high-k ゲート絶縁膜とメタルゲートとのスタック構造

エレベーティッドコンタクト構造

強い歪を持ったチャネル

2013 年から 2018 年ー エレベーティッドコンタクト構造を有する、単一ゲートの完全空乏 SOI プレーナ・デバイス

2014 年から 2024 年ー デュアルあるいはマルチゲートの完全空乏デバイス。例えば FinFET。

困難な技術課題 ー バルクプレーナアーキテクチャーが維持される、短期(near term)におけるCMOSトランジスタのドーピングのための困難な技術課題は、1)短チャネル効果の制御に必要な、ソース／ドレインのエクステンション領域でのますます浅くなる接合深さ(~10nm)の達成。このとき、接合を浅くするのと同時の低いシート抵抗(~500Ω/sq)の形成、エクステンションとチャネルの接合部分における急峻なドーピング、エクステンションとゲートのオーバーラップ量の最適化を同時に実現する必要がある。;2) 短チャネル効果を最小化し、キャリア移動度を最大化しながら、しきい値電圧を設定するための、チャネル領域でのドーピングプロファイル

の制御。;3) 浅く、高濃度にドーピングされたソース/ドレイン領域への低抵抗コンタクトの形成。[注] ;4) フラッシュあるいはレーザーアニールのようなミリセカンドアニールを使いながら、high-k材料とシリコンチャネルチャネルとの間に信頼性ターゲットを満たすような良好な界面を形成する技術課題。

バルクCMOSの継続的なスケーリングにより、アグレッシブに接合をスケーリングし、high-k/メタルゲートのスタックを用いたとしても、プレーナのバルクデバイスのエクステンションでは、ますます短チャネル効果を制御できなくなる。そのようなアグレッシブなスケーリングの必要性を緩和するために、プレーナのバルク CMOS は、ノンクラシカル CMOS、すなわち FDSOI や垂直なピラー上に形成したダブルゲートやマルチゲートデバイスに置き換わっていく。

直列抵抗、特にコンタクト抵抗は、デバイスのスケーリングを脅かしてきているが、その重要性はさらに増している。チャネル長がスケーリングされてもデバイスのW/Lはほぼ一定であり続けるので、デバイスの抵抗もほぼ一定のままとなる。しかしながらコンタクトホールの大きさはリソグラフィーの変化の二乗でスケーリングされるので、コンタクト抵抗は素子サイズが小さくなることで急速に増大する。デバイス特性目標を満足するように、コンタクト抵抗率として 5x10-8Ω-cm^{2}が必要となる時期である 2010 年までに、メタル／半導体界面における非平衡ドーピングが必要となる見込みである。デュアルワークファンクション（したがってショットキーバリア高さ）メタルコンタクトは 2013 年までに必要であるため、適切な材料を判断するための一層の研究が急務の課題となっている。Doping Technology Requirementに関するTable FEP12 参照。

ソース／ドレインエクステンション ― プレーナバルクCMOSでは、短チャネル効果を制御するために、ドレインエクステンション、チャネル、ハロー、およびチャネルエッジのドーピングが非常に重要なプロセスとなっている。ドレインエクステンションのドーピング量は、寄生抵抗をできるだけ少なくしつつ、接合深さを浅くする必要性から、できるだけ上がることが望ましい。補足資料に示したイオン注入のエネルギーとドーズ、その結果としての活性なドーパント濃度のピーク値は、PIDS によるトータルの直列抵抗の 15%と等しいエクステンション直列抵抗を達成する値となっている。ここではドーパントの拡散は無視できる程度（すなわち活性化はフラッシュあるいはノンメルトのレーザーアニール、または固相エピタキシャル成長による）としている。

バルクプレーナ MOSFET において、注入直後の（深さ方向の）接合深さは横方向への拡散深さに比例しており、その後の横方向拡散、およびチャネル領域への染み込みに強く影響する。したがって短チャネル効果は深さ方向の接合深さに強く関係しており、またドレインエクステンション抵抗はドーピング濃度と横方向の急峻さと強く関係している。これまでは常に、より急峻な（すなわちボックスライクな）横方向の接合が短チャネル効果にとって望ましいとされていた。これは、エクステンションドーピングのチャネル領域への拡散を抑えることができ、急峻な接合を形成するためのカウンタードーピングの量を抑えることができたことによる。しかしながら、チャージシェアの結果として、極めて急峻な接合はしきい値電圧のロールオフを劣化させること、接合が急峻になるに従って、すなわちドーピングの傾きがより大きくなるに従って、DIBL（drain induced barrier lowering）は単調に増大することが最近明らかになってきた。その結果として、デバイス特性を最適化するための、急峻さの最小の値が存在することになる。

垂直方向にも横方向にも急峻であるような、極浅のソース／ドレインエクステンション接合を実現するためには、ドーピング不純物を注入するための、新しくて進歩した方法の開発が必要とされるだけではなく、極めて小さなサーマルバジェットの熱活性化プロセスの開発が必要である。これは、注入されたドーパントの活性化に伴う増速拡散をできるだけ抑えるために必要とされる。現在研究対象となっている方法は、解決策候補、Figure

[注] これまでに一軸性の応力の印加によりチャネル移動度を向上することを目的として、in-situドープ層の選択堆積が実用化されており、これは同時にイオン注入とアニーリングの置き換えになっている。チャネル領域での応力印加、接合形成のためのドーピング、およびコンタクト材料の選択を同時に最適化することが新たな技術となっている。

FEP18 に示されている。これらの方法は、CMOS プロセスフローに対して、コストの大きな増大を招くかもしれない。したがって、横方向および縦方向の急峻さによりもたらされるメリットの増加を、コスト面における損失に対して、注意深く評価する必要がある。エクステンション部の、縦方向、横方向不純物プロファイルの位置および形状をモニタするためには、サブナノメータの空間分解能の 2 次元計測手法が必要になる。

2013 年、およびそれ以降に想定されるノンバルク、つまり完全空乏極薄（FD-UTB）MOSFET においては、デバイスの駆動電流を最適化し、閾値電圧を安定化させるために、ドーピングプロセスには変更が必要になる。クリティカルなドーピング接合深さに関するパラメータは、活性なシリコン層の厚さによって決定されるようになり、したがって注入とアニールという観点からは、課題からは外れてくることになる。縦方向の接合深さは、シリコン層の厚みという形成された形状によって決定されるので、その意味を失ってくる。しかしながらだからといって、UTB デバイスのエクステンションの形成において、どのような注入エネルギーでもいいということにはならない。これは横方向の接合深さが、（実質的な意味での）縦方向の接合深さと結びついているためである。接合深さ、ドーピング濃度、および横方向への急峻さとして適切な値を導き出すことは、各世代におけるトランジスタ特性を完全にデザインして初めて可能となることであるが、これはこのロードマップの範囲を越える。極浅のエクステンション接合へのコンタクトはバルクのデバイスにおいてよりもはるかに難しくなり、少なくともコンタクトにおけるシリサイデーションの犠牲層として、エレベーティッド接合が必要とされる。エレベーティッド接合の採用した場合でも、適正にチャネル移動度を向上するために十分な歪を効果的に与えることができるか、注意が必要である。FD-UTB デバイスは、短チャネル効果の管理のためのチャネルドーピングは必要とされず、真性の、ドーピングされていないシリコンチャネルが用いられる。しかしながら、ゲート/ドレインのオーバーラップ（あるいは逆向きのアンダーラップ）を最適化するためのゲートエッジ付近のドーピングの正確な制御、あるいは寄生抵抗の制御は、重要な技術課題であることに変わりはない。

FinFET などの縦方向チャネルトランジスタでは、近接して配置された高アスペクト比のピラーへのドーピングが、新たな技術課題となる。そのような構造ではエクステンション接合を成形するために、等方性のドーピングが必要となると考えられる。

コンタクトと直列抵抗 ― 自己整合コンタクト・シャントも含めたコンタクトを形成するための新しい材料やプロセスが開発されない限り、コンタクト面積、ソース/ドレインの接合深さ、そしてシリサイドコンタクトの厚さのスケーリングは、寄生抵抗の増大を引き起こす。本質的なコンタクトのスケーリングにおける問題は、二次元的なコンタクト面積の横方向のスケーリングに起因している。その結果として、シリサイドとドープトシリコンとの間の界面におけるコンタクト抵抗率は、ソース／ドレインの寄生抵抗全体の中で支配的な割合を占めることになる。この問題の解決には以下の方法が考えられる： a）界面におけるドーパント濃度の最大化、b）コンタクト接合部にシリコンゲルマニウムなどの材料を用いることによるバリアハイトの低減、c）n+/p+接合に対して、バリアハイトの低いデュアルメタル（シリサイド）の使用、等である。またあるいは、まだ実用化できることは示されていないが、接合とコンタクトとしてショットキー接合を用いる方法も考えられる。コンタクト領域へのシリコンゲルマニウムの選択堆積、およびドーパントのプロファイル制御は、このような問題に対する解決策候補となる。

バルクのデバイスにおいては、コンタクト接合深さ、シリサイドの厚さ、そしてシリコン／シリサイド界面コンタクト抵抗率の間での相互の最適化を必要とする、相互に関連した複数のスケーリング上の課題が存在する。コンタクト接合深さには、halo 注入をうまく利用したとしても、Table FEP12 に示したような、ゲート長に対応したスケーリングが必要となる。この結果として、コンタクト深さの継続的な縮小は、シリサイドの形成にとって有用であり続けている。コンタクト抵抗が高くならないようにしつつコンタクトリーク電流を抑えるためには、シリサイド形成の際の消費を、多くともコンタクト深さの半分だけにする必要がある。したがって将来のコンタクトにおいては、さらに浅くなるコンタクト接合深さに対応できるように、シリサイドもさらに薄くする必要がある。しかしながらシリサイドは、ある厚さ以下になると不連続となる傾向があり、したがって適切にコンタクトにシャントが取れなくなるため、この薄膜化はいつまでも有効であるわけではない。バルクデバイスにおいても、究極的にはコンタクト領

域にシリコンまたはゲルマニウムエピタキシャル層の選択的な堆積が必要とされ、したがってシリサイデーション過程ではより多くのシリコンを利用することができる。しかしながらこれまでに議論したように、選択エピタキシャル堆積は、サイドウォールスペーサに対して、完全さと頑丈さとをさらに高いレベルで必要とする。

チャネル － 継続的にゲート長を縮小しつつ、オフ状態のリークを許容値以下に保つ必要から、プレーナ CMOS トランジスタ、特に極小デバイスにおいては、ショートチャネル効果を制御するために、チャネルドーピングレベルの増大が必要になる。横方向、縦方向双方のプロファイルの正確な制御は、短チャネル効果を制御するためにますます強く要求され、ドーピングツール、プロセス、分析手法に関する新たな課題が現れる。ハイパーフォーマンスのロジックデバイスにおける駆動電流を増加させることで回路スピードが速くなることから、キャリア移動度を増加させるとともに、ショートチャネル効果を制御するために高くなったチャネルドーピングレベルによって低下傾向にある移動度を補償するため、歪 Si チャネルが導入され、これからも継続して使用される。接合リーク電流は、バンド間トンネル電流であるか、キャリアの再結合によるものであるか、またあるいはコンタクトでのトンネルあるいは熱放出電流であるかにかかわらず、特にバルクのデバイスにおける課題であり続ける。このようなリーク電流の懸念は、チャネルのドーピングレベルが上がることで直接トンネル電流が流れやすくなること、またアニーリングにおけるサーマルバジェットの低減により、結晶欠陥の低減が困難になること、またあるいはアニールが不十分なために接合における空乏層の位置を結晶欠陥の残った領域よりもさらに深くすることが困難になっていることによるものである。リーク電流は接合とチャネルのドーピング、接合の急峻さ、および欠陥の除去に敏感である。

完全空乏 CMOS は、プレーナ SOI であっても縦方向のマルチゲートデバイスであっても、チャネルデザイン上はイントリンシックのアンドープのシリコンを用いることが望まれる。このアプローチによれば、チャネルドーピングに起因したキャリア移動度低下を避けることができるが、しきい値電圧はゲート電極の仕事関数によってしか制御できなくなる。これらのデバイスでは通常、二種類の仕事関数のゲートを必要とするが、例えばドーピングにより組成を変化させることで、1 つの金属を用いた場合でも仕事関数を「調整する」ことができる。Doping Potential Solutions に関する Figure FEP20 参照。

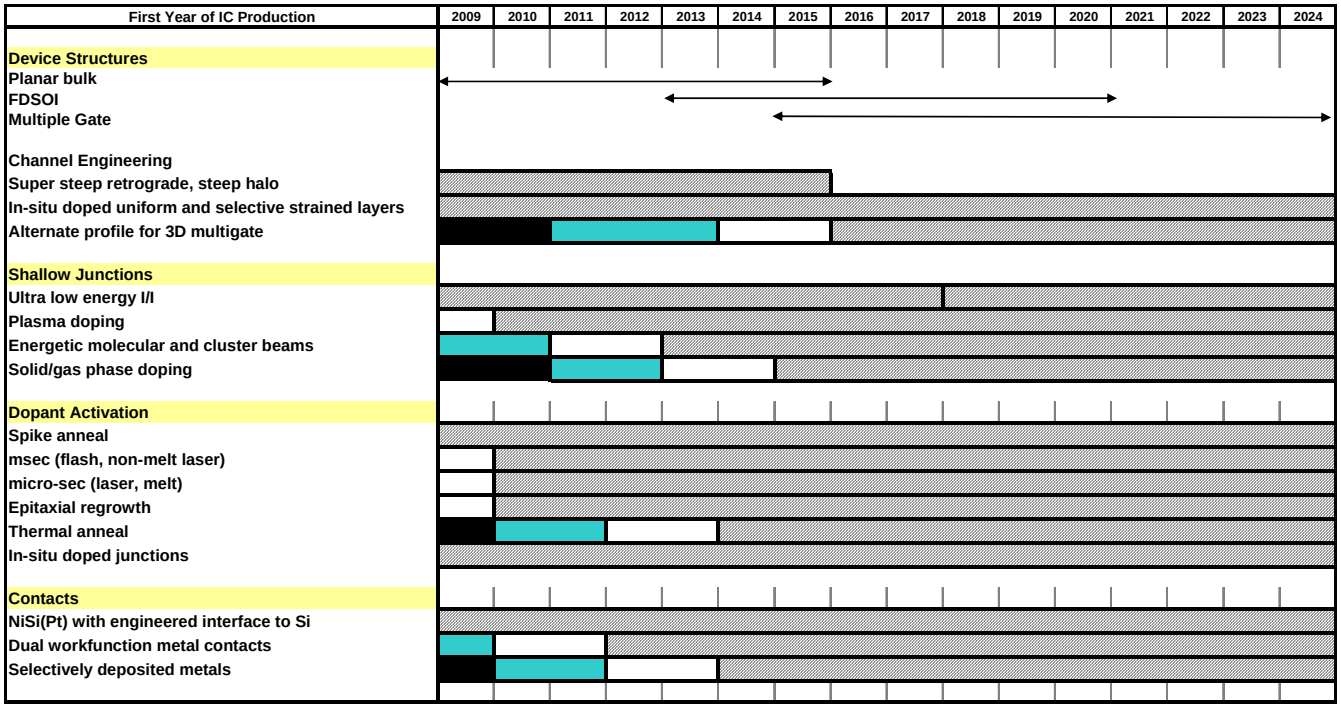


Figure FEP20　　Doping Potential Solutions

3.11 FEP エッチングプロセス

プラズマエッチングは STI、ゲート、スペーサ、埋込み SiGe、SMT（stress-memorization technique）、それに TSV の形成を含む、重要な FEOL パターン形成に用いられている。ゲート密度に関する技術スケーリングによってCDスケーリングとより厳しいCD分布を実現する必要がある。スケーリングにおいては、更に高密度化するゲートを形成できるようにプロセスを最適化する必要がある。

ITRS におけるゲートCDの総バラつき（物理ゲート長の 12%）は、ライン幅凹凸（LWR）、チップ内バラツキ、ウェーハ内バラツキ、ウェーハ間バラツキ、ロット間バラツキなどのバラツキ源に分配される。20nm ノード以降の先端チップにおいては、単一のゲートピッチが想定され用いられるので、スルーピッチのバラツキは含まれていない。Table FEP13 を参照のこと。LWR は 20nm ノード以降の CD バラツキの最大部分を占めるようになる。LWR の改善スピードはライン幅縮小ペースに追いつかず、スケーリングにおける最大の懸念点となっている。フォトレジストに対して不活性種を注入する方法や UV 光を照射する方法は LWR を改善できることが示されている。新しいプロセスを適正化するために、プロセス装置メーカとデバイスメーカ間の共同開発が緊急に必要である。ゲートトリミング（注：日本語ではスリミングという場合の方が多い）で必要となるレベルの 3σ CD 制御を実現するために、フィードフォワードおよびフィードバック情報を用いた APC が標準手法になった。ゲート CD のロット間バラツキやウェーハ間バラツキを更に低減できるかどうかは、ゲートトリム時間を計算するための APC 動的フィードフォワードを用いた in-situ CD 計測システムを搭載したエッチング装置を使うかどうかに依存している。フォトレジストCD、フォトレジスト形状、STI 段差、ポリ膜厚、ポリドーピング濃度を考慮した洗練されたトリムモデルによって APC の精度を改善することができる。

Table FEP13 Etching Process Technology Requirements

素子寸法の微細化に伴い、多くの CD やピッチ間で生ずるマイクロローディング効果の重要性が増す。広い範囲のピッチや寸法で生ずる CD 変化を最小限にするための OPC モデル最適化は重要である。OPC モデル精度を良くするには、ローディング効果を考慮したエッチングをモデルに取込む必要がある。一例を挙げれば、粗密差によって生ずるエッチング・マイクロローディング効果は、SiGe リセスエッチ形状に非常に大きな影響を与え得る。SiGe とゲート間距離は、トランジスタ特性に影響する最も重要な物理寸法の一つなので、異なるピッチが混在するリセスパターニングを必要とするような技術において、重大なデバイスバラツキが生じ得ることになる。別の例を挙げれば、テーパーエッチングは、所望の素子寸法を実現するための CD 縮小方法として広く用いられてきた。狭い寸法と広い寸法との間、あるいは高密度パターンと孤立パターンとの間で、マイクロローディング効果を制御することは極めて厳しい課題である。ローディング効果のない CD 制御を実現するためにエッチングガス・ケミストリを最適化することは、プロセスエンジニアの重要な務めである。

パターン倒れやパターン曲がりは、微細なラインパターンに関する深刻な課題である。パターン倒れの原因と制御法を明確に把握することは極めて重要である。[30] アスペクト比と積層膜ストレスを制御することが、パターン倒れ問題を緩和するためのキーとなる 2 つの方法である。

EUV のような先端リソグラフィー技術が成熟するまでは、ダブルパターニング（DP）が 32nm ハーフピッチ実現の唯一の方法である。一般的に、2 つの主要なダブルパターニング方法が有り、一つはリソ-エッチ-リソ-エッチ（LELE）でありもう一つがサイドウォール・イメージ転写（SIT：Sidewall Image Transfer）である。LELE プロセスは、2 つに分けたパターンの露光とエッチングを連続して行う方法である。それぞれの露光では、異なるレジスト膜の塗布が必要になる。LELE か SIT かという選択は、ちょうど、HKMG と FinFET に対して層毎の選択を

[30] Y. Yin, J. C. Arnold, T. Sparks, P. Basler, S. Schmitz, "BEOL Pattern Flop Over as a Challenge to Shrink Feature Critical Dimension Continuously", AVS 65th International Symposium, (2008).

するのと似ている。

非プレーナ・トランジスタが必要になっているので、FEOL エッチングプロセスは更に困難さを増している。FinFET 構造は、エッチング選択性、異方性、エッチダメージ制御に新たな制約をもたらしている。バルク Fin は 2 つの部分からなり、一つはまっすぐな上部でゲートのチャネルとなり、もう一つは傾斜した下部で STI の酸化膜埋込みを容易にする。STI 酸化膜の CMP 後に、ドライかウェットでのエッチバックによって Fin を露出させる。Fin の下部にある横桁を洗浄したり、Fin の上部のダメージを発生させることなしに非常に薄いゲート絶縁膜上で止めるなど、FinFET のゲート形成では多くの新しいエッチング課題がある。非プレーナゲート幅をインラインで計測することは計測装置に関する別の課題であり、特にスキャタロメトリに関する複雑なライブラリーを作ることが挙げられる。

プレーナSi CMOSデバイスのSD領域に歪SiGeを埋込む方法は、pMOSの駆動電流を増加させる方法として良く知られている。pMOSデバイスのSD領域にリセスを形成するためのSiプラズマエッチングは、埋込み歪SiGeの形成においてキーとなるプロセスである。Σ形状のSiGe SD領域を形成するために異方性Siプラズマエッチングの後、ウェットケミカルSiエッチングが行われる。Σ形状のSiGe SD領域は、ノーマル形状（ボックスあるいはU字形状）に較べて、大きなチャネル応力を発生させることができる。[31]

高速回路への応用を追求するため、高性能 CMOS トランジスタにデュアルエッチストッパ（dual-CESL：dual-contact etch stop layer）や SMT 技術のような局所応力を適用するモビリティ増加技術が精力的に研究された。dual-CESL や SMT をうまくパターニングするには、薄い酸化膜に対して、高選択比で SiN や BN を異方性プラズマエッチする技術が必要になる。

3D-IC は高速動作、低消費電力、およびトータルでの低コスト化を通じて、チップのパーフォーマンスを増加させる。新たな 3D チップ積層技術は、ダイ積層用の TSV を形成するために反応性イオンエッチングを用いる技術である。半導体メーカは、現在、いくつかの 3D 積層技術を検討中であり、その実現のために広範囲の TSV エッチングに対する技術要求がある。エッチングとポリマーデポを交互に用いるボッシュエッチプロセス用には、フォトレジストが良好なマスク材になる。相対的に重いポリマーを形成することによってトレンチの側面が保護される。ボッシュプロセスを用いることで溝側面形状を制御できることが示されているが、エッチング速度が低いのでスループットは低い。

エッチング性能を改善するために多くのプラズマ源が開発されてきた（Figure FEP21 エッチングの有望解参照）。要求される性能には、制御性があり均一な側壁形状、CD縮小、エッチレート均一性、低欠陥密度、電気的ダメージが無いこと、高スループットが含まれている。多周波容量結合プラズマ（CCP）と誘導結合プラズマ（ICP）は、先端エッチャーに用いられている最もポピュラーなプラズマ源である。[32] パルスプラズマエッチングはチャージ起因のダメージ低減やレジストパターンの完全性改善のために開発されている。マイクロ波の表面波放電もまた、静かな均一で低温のマックスウェルプラズマを形成するためにウェーハ領域に向かって拡散する、大面積の高密度プラズマを生成するために開発中である。[33] エッチングの原子層制御は周期的なポリマーデポとエッチングステップ、バイアス電力の変調により確立された。[34] この方法は本質的に低速なプロセスであるが、CD縮小のローディング効果が低い性質を持つ有力候補技術である。温度制御可能な静電チャッ

[31] Mistry, K. et. al., “A 45nm Logic Technology with high-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging”, Technical Digest of the International Electron Devices Meeting , (2007), paper 10.2.
[32] A. Agarwal, P. Stout, S. Rauf and K. Collins, “Characteristics of Pulsed Capacitively Coupled Plasma Sources for Plasma Etching”, 61st Annual Gaseous Electronics Conference, (2008).
[33] J. Zhao, R. Bravenec, M. Funk, L. Chen and T Nozawa, “Discharge Mechanisms and Spatial Evolution of the EEDF in a Microwave Surface-wave Plasma”, 62nd Annual Gaseous Electronics Conference, (2009).
[34] A. Agarwal and M. Kushner, “Plasma Atomic Layer Etching,” 33rd IEEE International Conference on Plasma Science, p. 469, (2006).

ク(ESC)とデュアルガス分配法は、ウェーハ内の均一性改善を目的として、先端のプラズマエッチャーには典型的に搭載されている。異なるエッチングステップ間の高速ガス切替えによって、装置スループットは向上しうるし、CoOを減らすことができる。

ゲートラストHKMGインテグレーションにおける仕事関数メタルの高選択エッチ、FD-SOI用の高選択FEOLエッチング技術、Geや III-V ベースのチャネル材料上の Fin のエッチング、EUV レジストでの高選択エッチング、450mm ウェーハでのウェーハ面内エッチング均一性といった、いくつかの FEOL の課題はここでは触れていない。

半導体技術は速いペースで革新を続けている。厳密な CD 制御、高アスペクト比、ダブルパターニング、非プレーナトランジスタ、新材料は、FEOL のエッチングプロセスにとって途方もない課題であると同時にチャンスでもある。

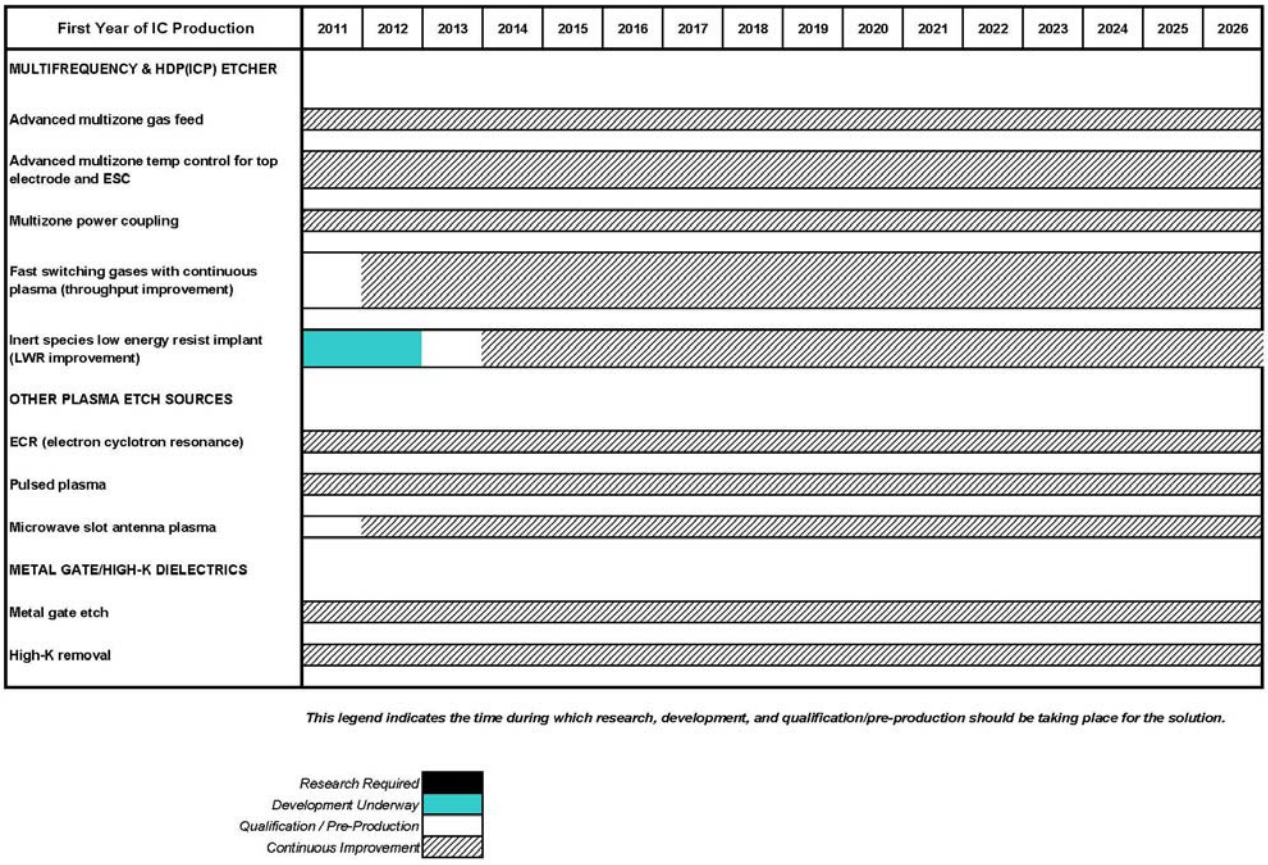


Figure FEP21 Etch Potential Solutions

ウェーハ間およびロット間のバラツキもまたゲート幅のバラツキの原因となる。APC や統合計測は、ウェーハ間やロット間のゲート幅バラツキを最小化するためのレジストトリミング時間最適化を行なうに際して、フィードフォワードまたはフィードバックするために重要である。レジストのトリミングは、ほぼこの 10 年、ゲートの最終サイズ調整を行うために使用されてきた。Table FEP13 のトリム量はレジストで形成されたゲート長の 40%になる。それ故にこのプロセスは物理ゲート長の制御を支える上で重要である。また、トリミングによって、全体を通しての形状と CD が要求値を満たすように、ウェーハ内や疎密間の線幅のバラツキをそのステップで補正することが可能となる。ゲート CD のスケーリングは一般にレジストの厚さのスケーリングを意味する。これらの操作の後も十分なレジストはゲートハードマスクエッチを可能とするために維持されねばならない。3 層レジストやレジストスタックを含むアモルファスカーボンは、ゲートハードマスクやゲートスタックのエッチングに十分なマスク層を

提供するためのもっとも一般的な方法である。

高温のウェーハ静電チャックは、CMOS メタルゲートに使われる金属の反応生成物を揮発させて、チャンバー汚染抑制やチャンバークリーニング頻度の抑制、平均故障間隔（MTBF）と平均補修時間（MTTR）の制御のために必要とされるかもしれない。欠陥密度は特にゲートレベルにおいて常に課題である。メタルゲート構造に必要なマルチステップのゲートエッチプロセスは、一般に、メタルエッチの反応生成物で汚染の可能性のあるポリシリコンエッチと同一のチャンバーで行わなければならない。プロセスと装置開発は、チャンバー清浄度、および、チャンバーパーツ上へメタルゲートや high-k 層の低揮発性の金属ハロゲン化物を堆積するかもしれない、これらのエッチプロセス起因の欠陥の可能性に取り組むだろう。in-situ 干渉式測光は、選択性や欠陥を改善するために、エッチ層が消滅する前に積極的なメインエッチを打ち切るためのエンドポイント事前検出を可能とすることにおいてより重要になってくるだろう。

非プレーナトランジスタが必要となった際、エッチングにはより多くの課題をもたらす。FinFET構造は選択比、異方性とダメージ制御に新たに制限をもたらす。Finは実際にはすべてのプロセス中で最も小さな形状で、サイドウォールで規定するマスクを使用してゲート長の 0.7 倍ほどの小ささの形状のエッチングを必要とする。[35] 欠陥無くFin表面を平行に形成するために形状制御はとても厳しくなるに違いない。ゲートエッチにおいて、Finのボトムでのストリンガーの除去、分厚く平坦化されているかもしれないポリのエッチング、非常に薄い酸窒化膜またはhigh-k材料上でストップすること、レジストは維持しておくこと、などの多くの新しい課題が生ずる。スペーサエッチはユニークな問題をもたらすであろう。非プレーナゲート幅のインライン計測はもうひとつの課題である。スペーサは、エクステンション注入において大変重要な長さを決めることになるのでポリ側壁からは除去せずに、数100オングストロームにもなるFin表面からは除去されなければならない。これはより一層の高選択プロセスを必要とし、フォトレジストの無い状態で異方性が改善される必要がある。

浅いトレンチ分離（STI）もまた、28nm世代以降になると、いくつかのインテグレーションの課題がある。多くのデバイスメーカでは、トランジスタのダブルハンプ効果緩和用にSTIトレンチのトップコーナーを丸めるために、熱酸化ではなくエッチング技術を使用している。コーナーを丸めるエッチングは活性領域に侵入することが少ないという利点もある。[36] この応用において、インテグレーションの課題は、トップコーナーとボトムコーナーの丸め半径の制御、CDとトレンチ側壁形状の制御である。コーナーを丸めるエッチングは高アスペクト比分離溝を埋め込む困難さを軽減する。STIのスケーリングが 28nm技術ノード以降も続くのであれば、STIエッチ形状のピンチアップを防ぐためにSTIエッチ形状制御はより大きな課題となってゆく。

プレーナ Si pMOS デバイスのソース／ドレイン領域に埋込む歪 SiGe は、pMOS 駆動電流を増加させるためのよく知られた技術である。pMOS ソース／ドレイン領域にリセストレンチを形成するためのプラズマシリコンエッチングは、埋込み歪 SiGe 形成のキーとなるステップである。Si のウェット化学エッチは、Σ型の SiGe ソース／ドレインを形成するために、異方性プラズマシリコンエッチングの後に適用することができる。Σ型の SiGe ソース／ドレインは、通常（ボックス型または U 型）のリセスと比較して、100%までチャネルストレスを増加させる。ソース／ドレインのリセスエッチはまた nMOS デバイスにも適用することができ、引張応力を受けたコンタクトライナー膜を NMOS チャネル領域により近づけて nMOS 駆動電流を増加させることができる。

サイドウォールスペーサ幅はスペーサエッチの異方性により決定される。ソース／ドレイン領域のシリコンロスは下層膜に対するエッチ選択比とスペーサ膜除去に必要なオーバーエッチ量によって制御される。スペーサ幅の制御は統合計測とスペーサ膜厚の APC によって改善がなされるだろう。スペーサ幅のフィードフォワー

[35] N. Lindert, L. Chang, Y.-K. Choi, E. H. Anderson, W.-C. Lee, T.-J. King, J. Bokor, and C.-M. Hu, “Sub-60 nm Quasi-Planar FinFETs fabricated using a simplified process”, IEEE Electron Device Letters, vol. 22, No. 10, pp. 487-489, (2001).
[36] R. Singh, P. J. Kelley, L. B. Fritzinger, C. C. Lee, and J. S. Molloy, “Shallow trench isolation method providing rounded top trench corners”, US Patent 6,174,786, January 16, 2001.

ドは、トランジスタ性能のバラツキを低減するために注入量を調整することに用いることができる。

ウェット化学エッチングまたはプラズマエッチングによるスペーサ除去は、メタルシリサイドの形成前に非常に複雑な横方向ドーパントプロファイルを形成するためにしばしば使われ、スペーサ除去を使うことはまた、応力コンタクトライナー膜をチャネル領域により近づけ、それによってチャネル領域に歪をより効率的に伝えることができる。スペーサ材料と下層とのエッチング選択比は、プラズマ誘起の転移ダメージやドーパントロスを減少するために重要である。

高速回路への応用を追求するため、高性能CMOSトランジスタにデュアルエッチストッパ（dual-CESL：dual-contact etch stop layer）やSMT技術のような局所応力を適用するモビリティ増加技術が精力的に研究された。dual-CESLやSMTをうまくパターニングするには、薄い酸化膜に対して、高選択比でSiNやBNを異方性プラズマエッチする技術が必要になる。[訳注]

3.12 STI の CMP

STI CMP は埋込み分離領域を形成するために用いられる平坦化工程で、先端 CMOS デバイスのほとんどに用いられている。プロセスフローは、積層膜形成、リソグラフィー、ドライエッチ、酸化膜形成、酸化膜 CMP、それにストップ層の除去から成っている。ILD CMP と同様に、研磨対象の主材料は堆積酸化膜である。重要な差は、STI CMP では CMP ストップ層を用いていることである。CMP ストップ層は、通常は窒化シリコン膜であるが、インテグレーション上の理由で多結晶シリコンほか数種の材料が用いられたこともある。

STI CMP プロセスの技術課題はいくつかの異なる要求によって生じる。窒化膜層のパターンサイズや局所パターン密度によらず、酸化膜は全て完全に除去されなければならず、数 100 Åしかない窒化膜層が破損してもいけない。このことでプロセスウィンドーは非常に狭く規定され、継続的微細化を維持している。以前のスラリーと比較してスクラッチが多くなるセリア粒子をベースにしている、選択性スラリーが適用される STI CMP においての技術課題は、クリティカルパーティクルサイズとクリティカルスクラッチ長を低減し続けることである。インテグレーション構成によっては、酸化膜フィールドロス（ディッシング）や活性領域端の局所的形状に敏感になる（エロージョン）ことがある。最後に、研磨している表面が（露出する）活性 Si 領域と物理的に近いことによって、汚染レベルが主要な問題になる。

これらのプロセス要求にミートするための一手法として 2 ステップの STI CMP プロセスがある。1st ステップでは、標準的な酸化膜 CMP プロセスでバルク酸化膜を時間制御で除去し、窒化膜層が露出する前に研磨をストップする。2nd ステップでは、セリアベーススラリーを用いるかあるいは固定砥粒パッドを用いることで、通常、窒化膜層に対して高選択となる酸化膜 CMP を行う。頑強な CMP プロセスとするために、より進んだ STI 形成においては、バルク酸化膜と窒化膜除去の双方に対して終点検知プロセスを用いている。

プロセス制御のために、光反射を利用した終点検知がよく採用されていて、アクティブ領域上での酸化膜からの窒化膜への変化（露出）をモニタしている。終点検知技術の最適化により窒化膜層の残膜厚を安定させることができ、この残膜厚はしばしば最終的なデバイス特性のバラツキに関係するのでデバイスバラツキを抑えることができる。例えばアンモニア発生を利用するなど、光学検出以外の物理的あるいは化学的信号を用いる洗練された終点検知技術がいくつか開発されたが、広範な利用には到っていない。アンモニア発生を検知する方法は高い感度を必要とし（選択除去ステップにおいて窒化膜除去量を最小にするため）、スラリー改良（アンモニアベースのスラリー組成を除く）の可能性、それにアンモニア発生を検知する装置はコストアップとなるなどの理由により、モータートルクの終点検知は窒化膜除去ステップの望ましい終点検知方法である。CMP 排液のオンライン分析は、終点検知モータートルク法に代わる実用的な方法とみなされてきた。伝導度解析やイ

[訳注] 同じ文章が 2 度出てきている

オン固有の電極を用いる方法は、終点検知に対して十分な感度を持っている。パッドから得られる未希釈のCMP 排液を捕集して解析する方法は、既存 CMP 装置を改造して用いることができる。

埋込酸化膜を HDP から HARP に変えた時のように、インテグレーション法を変えると、STI CMP に大きな影響が出る。この変更により断面形状や段差や酸化膜表面の実効パターン密度が変わり、特に間隔が狭いパターン領域で影響が大きい。このため STI CMP プロセスの調整や再開発が必要になった。PMD（pre-metal dielectric）膜を用いて分離する新しい積み上げトランジスタ構造が導入されるので、最終的には、STIの必要性も将来の技術世代においては減少するであろう。PMD 平坦化プロセスは、ターゲット法（酸化膜途中の目標とする膜厚で止める）であっても DRAM に適した選択法（CMP ストップ層を用いる）であっても適用することができる。

情報を持っていたとしてもエンドユーザはマイクロスクラッチが歩留りや信頼性に及ぼす影響に関する情報を開示したがらないので、STI CMP の欠陥評価尺度は 130nm 技術から採り入れられた。加えて、スクラッチがダイ歩留りやデバイス信頼性に及ぼす影響を適切に表現するモデルはまだ存在していないということもある。下記の Figure FEP22 に示す評価尺度は無難な記載という点でベストである。有用なものが文献として公になったり、装置メーカや材料メーカが新しい標準プロセスを開発したりすれば、TableFEP14 の評価尺度は改訂されるであろう。

Table FEP14　　STI CMP Process Technology Requirements

マイクロスクラッチを制御しあるいは無くすことは STI CMP プロセスにとって重要な技術課題であり続けるであろう。膜厚が減少すれば、マイクロスクラッチによる厚さ減少はCMP 対象膜厚中で大きな比率を占めることになる。マイクロスクラッチのためにダイ歩留りが低下し、不十分な TDDB によってデバイス信頼性を落とすことになるだろう。

マイクロスクラッチの測定あるいはモニタは、現在の計測装置の開発状況で制限を受ける。CMPスクラッチを標準装置でモニタすることは、頻繁に欠陥モニタを行なうことを含み、それはSi and/or ブランケットSiO_2ウェーハ上のパーティクルやスクラッチを測定することである。洗練された欠陥測定装置のスペックは、最小可測粒径が約 45nmとなっている。光学的計測装置でスクラッチを検出するには、大きくする必要がある。欠陥を計測装置の感度に対応させる方法の一つは、スクラッチを装飾することである。スクラッチの装飾は多くのFabで行われていて、CMP後の酸化膜ウェーハをHFに浸してサイズを増加させ、スクラッチが検出可能にする手法が用いられている。可能性のある別の方法には、Haze測定おこなってデバイス歩留りと相関を求める方法や、ショートループ処理ウェーハに対して明視野像とdeep UV像を組合せてより小さな欠陥（例えば 30nm）を検出する方法が含まれている。マイクロスクラッチとHaze測定とを関係づける結果はまだ示されてはいない。

Table FEP 20 には STI プロセスを継続的に改善する有望解が示されている。新しいスラリーと CMP パッドは、窒化膜に対する酸化膜の選択性を増加させつつ、CMP スクラッチを減らすためにコンスタントに開発され続けている。技術ノードが進んで膜厚が減少するにつれて、ディッシングやエロージョンを減少／除去のために顕著に高い選択性が必要になる。ディッシングやエロージョンを制御しそして減少／除去するための有望解として開発されている別の技術が、in-situ の残渣除去と動的（同時並行）摩擦制御である。プロセス残渣はマイクロスクラッチの主要な原因であることがかつて示された。パッドからの排液を常時モニタし、ケミストリ（粘性、pH、固形含有物など）を調整することで動的摩擦制御は実現可能であり、その結果として欠陥を減らしつつ in-situ で対象物を望ましい速度で除去することが可能になる。更に材料ロスを減少／無くすことの必要性は、CMP 後洗浄の改善が必要であることを意味する。現在、CMP 後洗浄に対する評価尺度は無いが、将来の ITRS バージョンでは必要になるだろう。

First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	
Scratches [A]																	Active tribological control
Critical scratch length, s_c (nm)	20.0	17.9	15.9	15.9	12.6	11.3	10.0	8.9	8.0	7.1	6.3	5.6	5.0	4.5	4.0	3.6	Pad development
Critical scratch count, S_{pw} (#/wafer)	40.1	40.1	40.1	150.5	104.6	104.6	104.6	104.6	104.6	104.6	104.6	104.6	104.6	104.6	104.6	104.6	Abrasive-free slurry
Dishing and Erosion [A]																	High selectivity slurry
Post-CMP clean (reduced material loss)																	Formulated cleaning product

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

Table Notes:
[A] Standard for measuring microscratches at OEMs and specified in tool sales: Blanket Oxide polished through all CMP steps, dipped in dilute HF for 25s, and measured using oblique optical measurement with defined minimum size resolution. All visual scratches count. Dishing and erosion are measured on 80nm test features.

Figure FEP22 Difficult Challenges and Potential Solutions for STI CMP

FEP の新しい CMP 応用

上記のように、CMP は分離構造形成法として広く用いられている。歴史的には、CMP による平坦化は FEOL よりも BEOL で大きな役割を担ってきた。しかし先端デバイス世代では、FEOL でより大きな役割を担うことが予想される。BEOL でトレンドになったように、新しい構造や材料が新たな CMP 応用を拡大しつつある。

ゲートラスト構造でのメタルゲートを用いた先端ロジックトランジスタが現在量産されている。このことが、新しいタイプのメタル CMP や絶縁膜 CMP の必要性を高めている。これらのプロセスは PMD 成膜に続いて行われるが、それに関しては配線の節で詳しく議論される。現在のプロセスインテグレーションにおいて、しばしば特殊なストレス膜が用いられる。ストレス膜は、ウェーハ上の特定部分から除く必要があり、平坦化はそれを行う一つの手段である。パターン形成技術がその能力限界を超えているため、ダブルパターニングの評判が良く、その場合ハードマスク生成によって平坦化が改善される。そのうち、トランジスタ材料は Si から離れて SiC や Ge やⅢⅤ材料に移り、非常に薄い活性層に対する平坦化要求が出てくるだろう。オングストロームレンジでの制御や均一性を考えると、これらの堆積膜はデバイスを作りこむには凹凸が大きすぎることもあるだろう。欠陥や金属汚染は半導体活性表面に対しては懸念点で有り続けるだろう。これらの材料は選択成膜によって形成されるかもしれないし、付きすぎた材料は CMP によって取り除く必要があるかもしれない。新たな 3D トランジスタ構造の導入によって、新しい平坦化技術も必要になる。ウェーハ表面から突き出た一層に形成されたトランジスタや多層のトランジスタ形成に対して必要な新しい CMP プロセスも調べている。

メモリデバイスでも新たな技術課題がある。STI 平坦化要求はメモリデバイス特有のものがある。深いトレンチ構造中の記憶素子にはしばしば CMP を必要とする。埋込みワード線構造を作るには余計な材料を除去する必要があり、それは CMP で行われる。Flash メモリではゲート構造を組立てるための平坦化が必要になる。全体的に、これからの FEOL 形成において平坦化技術の使われるところは著しく増えると思われる。

4 クロスカットの課題

5 フォーカス ITWG との相互議論

FEP が他のフォーカス ITWG と多くの課題と依存状態を共有しているのは明らかだろう。これらの主なものは、PIDS と（ある程度）設計 ITWG とともに共有する、ゲート EOT とリーク要求を取り巻く課題である。これらの

ITWG との課題は他にも、接合深さとシート抵抗の技術要求や代替デバイス構造によって促進される技術要求を中心に議論を繰り広げている。これらの課題の解決は、一般的に妥協とトレードオフによって達成される。他の技術交流には、異なる統計的な欠陥モデルを検証するための歩留向上 ITWG との議論が含まれる。最も重要な技術交流は引き続き配線 ITWG とのものであり、そこでは FEP の表面処理チームメンバーが配線の表面処理や洗浄の技術要求と解決策候補の開発に技術的な支援を行っている。

6 将来の新探求素子のインパクト

集積回路技術を縮小し続けるためには重大な技術課題を克服しなければならず、長期には、より急進的なデバイスを CMOS と統合して性能を高め続ける必要があるだろう。新探求素子（ERD）は記憶素子と論理素子の両方を含んでおり、これらがまだ研究中である間に挑戦的な課題を克服して CMOS と統合しなければならない。新探求記憶素子の多くと論理素子のいくつかは従来のチャージ状態の技術に基づいており、現在 FEP のロードマップにあるプロセスモジュールを使用できるであろう。これらは一時的に脚光を浴びている。より長期の新探求素子の多くは、新しいデバイス材料を使用して、新しいプロセスモジュールと統合の複雑さを取り込むであろう。これらのデバイスは理論の域を出ないものであり、従来デバイスの流れを捉えるタイミングは定義されなかった。ERD 章を参照。

新探求記憶素子

- エンジニアリングされたトンネル障壁
- 強誘電体 FET
- ヒューズ/アンチヒューズ
- イオンメモリ
- 電子効果
- ナノメカニカル
- 巨大分子
- 分子

新探求論理素子

- 強磁性体（磁気 QCA（Quantum Cellular Automata）を含む）
- 拡張 FET－1 次元構造
- 拡張 FET－チャネル置き換え
- 共鳴トンネル
- 分子（電子 QCA を含む）
- 単一電子トランジスタ（SET）
- スピントランジスタ

これらのデバイスの中で、ナノ浮遊ゲート、SET および共鳴トンネルデバイス（RTD）は多くの現存するプロセスを使用することができるが、おそらく技術的に検討された絶縁膜を必要とするだろう。1 次元構造（ナノチューブ、ナノワイヤなど）は、直径と位置と方向を制御する新しいプロセスや新しいドーピングプロセスを必要とするだろう。ポリマーデバイスや分子デバイスは、CMOS と互換性のある低温プロセスと信頼性のあるコンタクトを必要とするだろう。他のデバイスは、CMOS プロセスと互換性のあるようにするために重大な仕事を必要とする急進的な材料を導入するだろう。

1 次元構造は、直径、構造、位置および方向を制御するために最適化された触媒と CVD プロセスを必要とする。また、1 次元構造に選択的にドーピングする新しいプロセスや低抵抗コンタクトを形成する新しいコンタクト材料やプロセスを必要とするだろう。ナノワイヤは、ドーパントのイオン打ち込み量やエネルギーの極めて厳しい制御を必要とし、また、新しい high-k ゲート絶縁膜が Si や SiGe や Ge の多方位の表面を保護するために必要となるだろう。カーボンナノチューブは現存しない新しいドーピングプロセスを必要とし、また、新しいゲー

ト絶縁膜とゲート電極がしきい値電圧を制御するために必要となるだろう。

絶縁抵抗相変化メモリや強誘電体 FET メモリは、新しい成膜能力や新しいエッチング、洗浄を必要とする急進的な新しい材料を導入するだろう。これらの材料は多くの場合、高温で成膜しなければならない複合金属酸化物であり、コンタクトの形成や集積化は挑戦的であるかもしれない。

伝統的にいくつかの RTD はⅢ-Ⅴ族半導体で作られており、CMOS との統合のため FEP に複雑な新しいプロセスと材料を導入する。最近の仕事はインテグレーションを必要とする SiGe でできたデバイスで実証されているが、多くの課題をとくに peak/valley の I/V 比>5 を実現するこれらの材料で克服しなければならない。更に、Si や SiGe ベース RTD の最もよい使い方は、別の複雑な材料とインテグレーションの課題をもたらす CMOS ゲートに統合することである。

スピントランジスタは急進的で新しい材料の CMOS への統合を必要とするだろう、そして、これは新しい成膜性能を必要とし、プロセスの複雑さをもたらすであろう。これらのデバイスは今のところ理論の域を出ないが、その中には GaMnAs や GeMn のほかに強磁性体材料から劇的な汚染の課題がある半導体へのスピン注入も含まれている。

新探求素子に対するプロセス複雑さのレベルは、新材料が使われ、CMOS プラットフォームに統合されるに従って増加し続けるだろう。これは新しい成膜、エッチング、洗浄プロセスおよび新しいバリア層とコンタクト技術の開発を必要とするだろう。

6.1 FEP と計測とのクロスカットの課題

FEP 計測は、新しい材料・プロセス・構造の急速な導入に関連した技術課題に直面し続けている。基板と洗浄の領域では、シリコンをより薄くした SOI ウェーハの加速的導入と小さなパーティクル（<30nm）の検出が課題であり続けている。Ⅲ-Ⅴ族のような新しいチャネル材料に関連する多層界面が測定に複雑さを加える。high-k 材料が生産に入ったので、絶縁膜とメタルゲートの膜計測は、各層の元素組成とくに窒素濃度の測定はもちろん、ランタンオキサイド膜のようなキャップ層を含む複雑な層構造のプロセスコントロールを支援できるようにならねばならない。新しいゲートスタック材料に加えて、ほかの新材料・構造が将来導入されることが期待されている。サイドウォール計測、形状、寸法制御は、FinFET のような新構造で課題であり続ける。電気的な計測能力は、新しい high-k スタックの導入に伴って進化する必要がある。Metrology 章を参照。

6.2 FEP とモデリング&シミュレーションとのクロスカットの課題

新材料やノンクラシカル CMOS の導入は FEP の技術課題に取り囲まれている。これはモデリング&シミュレーション（Modeling and Simulation）にさまざまな要求をもたらす。特に、来るべき材料に制限されるデバイススケーリングの時代には、材料問題を大部分のモデリング領域で取り扱う必要がある。これにはとりわけ歪材料が含まれているので、応力と歪のモデリングの重要性はますます大きくなっている。とくに新しいデバイスアーキテクチャ、移動度を向上させるチャネルや代替の界面膜は、これらのデバイスを製造（例えば浅い接合を形成）するのに使われるプロセスステップのシミュレーション改善とともに、数値的デバイスシミュレーションの大きな進展を必要とする。いくつかの候補となる材料系の熱的安定性に限界があるために、代わりのアニーリング方法が必要となるだろう。。縮小するデバイス寸法と非プレーナ・アーキテクチャの両方によって（とくに SOI デバイス）、界面の影響がその間の容積が減少するために大きくなる。これらの効果は、物理過程とデバイスモデルに適切に含まれなければならない。STI の上部コーナーはデバイス動作に決定的な影響を及ぼすので正確にモデリングしなければならない。プロセスのバラツキはデバイスの更なる微細化にますます重要となっており、シミュレーションは最終デバイスやチップへのこのようなバラツキの影響を評価することに貢献することができ、また、しなければならない。high-k 絶縁膜を 2009 年までに導入する必要があるので、その性能と信頼性をでき

るだけ早く適切に記述するためにモデリングしなければならない。high-k 絶縁膜とメタルゲートのモデリングは、トランジスタ技術の開発と最適化に重要な要素である。極浅の、急峻な、高く活性化されたドレインエクステンションの形成は主要な課題であり続けており、モデリングによる支援は使用されるプロセスの物理的な理解（例えば、アニール中のドーパントや点欠陥の反応動力学）をよりよいものとするとともに、数値シミュレーションによってそれらを引き続き最適化することに必要である。この知識は、ドーパント原子と欠陥との相互作用を利用してより浅い接合を実現することを目的とする欠陥エンジニアリングにもまた必要である。更に、LWR と LER を含むクリティカルディメンション（CD）の低減、LWR と LER を含むこれらバラツキの制御は一般的に重要な課題であり、実験の労力を最小化するためには多くの CD に影響を与えるパラメータの中からもっとも重要なものを特定するシミュレーションを用いることがより望ましい。（Modeling and Simulation 章を参照）

6.3 FEP と環境・安全・健康とのクロスカットの課題

包括的な情報や新規化学物質選別ツール（化学物質制限 Table）へのリンクについては、環境・安全・健康（Environment, Safety, and Health）の章を参照のこと。

7 結論

ITRS2011 の FEP 章では、伝統的なスケーリングを超えて継続する集積回路の進化のために、技術課題と解決策候補をはっきりと特定しようとした。次の数年の間に、フロントエンドプロセスは、MOSFET のゲートスタックや DRAM のストレージキャパシタ、フラッシュメモリのストレージデバイスなど様々なアプリケーションに、より高い K 値の材料や難度の高いデバイス設計を適用した金属膜などの新材料の継続的導入を必要とするであろう。これらの新しい材料に加えて、FinFET のような新しいデバイス構造が要求性能を満たすために導入されるであろう。代替メモリの市場成長は、さらに広範な種類の強誘電体薄膜や磁性体薄膜そして相変化薄膜の材料開発および最適化を要求するであろう。基礎をなすこれらのデバイスの変化は、SOI のような基板への要求や次の 5～7 年以内にもっと大きな直径 450mm 基板の必要性を急速に進展させている。

バルク CMOS の延命からノンクラシカルなデバイス構造への変化は、すべてのアプリケーションおよびすべての半導体メーカに同時に起こるとは思われない。むしろ、非常に多様な技術が同時に競争的に使用される場合、－あるメーカが先にノンクラシカルなデバイスへの移行を決める一方で、他のメーカがバルク技術の延命を重要視する－というシナリオが描かれる。FEP チームはこのシナリオが有力であると考え、クラシカル CMOS を延命するために何が必要か、また、完全空乏型 SOI やマルチゲートのような他のデバイス構造への移行により何が得られるかを示す並列パスの指標を示した。

さらに、FEP チームは、high-k 絶縁膜のような材料技術や CD エッチングのようなプロセス技術の新しいドライバーとして、フラッシュメモリのアプリケーションの加速的増大に注目している。フラッシュメモリ市場の急拡大によって、これらのデバイス用の材料とプロセスがより多くの技術開発において中心課題となるであろう。