



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2011 EDITION

プロセス、インテグレーション、デバイス、
及び構造

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL
CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRSは改版を重ねるごとにページ数が増え、2011年版は英文で1000ページを越えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形で出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012 年 5 月
訳者一同を代表して
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2011 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2011 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：

一般社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
電話: 03-5218-1068 電子メール: roadmap@jeita.or.jp

TABLE OF CONTENTS

1 記述範囲	1
1.1 ロジック	1
1.2 DRAM	1
1.3 不揮発メモリ	1
1.4 信頼性	2
2 困難な技術課題	2
2.1 短期(2011-2018)	4
2.2 長期(2019-2026)	7
3 ロジック	8
3.1 ロジックに対する技術要求	8
3.2 ロジックの解決策候補	15
4 DRAM	17
4.1 DRAMに対する技術要求	17
4.2 DRAMに対する解決策候補	18
5 不揮発性メモリ	20
5.1 不揮発性メモリに対する技術要求	20
5.2 不揮発性メモリに対する解決策候補	20
6 信頼性技術	32
6.1 信頼性への要求	34
6.2 信頼性の解決策候補	35
7 TWGを跨ぐ課題	37
7.1 フロントエンドプロセス	37
7.2 設計	37
7.3 モデリングとシミュレーション	37
7.4 新探究デバイスと新探究材料	38

LIST OF FIGURES

Figure PIDS1	(a) Scaling of Intrinsic Transistor Speed (I/CV) and Ring-Oscillator Speed for HP Technology. (b) Only the Highest Speed of Structures for Each Year is Shown.	12
Figure PIDS2	Scaling Trend of Logic Technologies with Year; (A) Gate Length, (B) Supply Voltage, (C) Off-Current, (D) Saturation On-Current, (E) Intrinsic Speed (I/CV) Of Transistor, (F) Dynamic Power CV^2	14
Figure PIDS3	Logic Potential Solutions.....	16
Figure PIDS4	DRAM Potential Solutions.....	19
Figure PIDS5	Comparison of Bit Cost between Stacking of Layers of Completed NAND Devices and Making All Devices in Every Layer At Once (From Ref. [16]).....	23
Figure PIDS6a	A 3-D NAND Array Based on a Vertical Channel Architecture (From Ref. [16]).....	23
Figure PIDS6b	BiCS (Bit Cost Scalable)—A 3-D NAND Structure using a Punch and Plug Process (From Ref. [16])	24
Figure PIDS6c	P-BiCS (Pipe-shaped BiCS)—An Advanced Form of BiCS 3-D NAND Array (From Ref. [17])	24
Figure PIDS6d	TCAT (Terabit Array Transistor)—A Gate Last 3-D NAND Array (From Ref. [18])	25
Figure PIDS6e	VSAT (Vertical Stacking of Array Transistors)—Equivalent to Folding up the Horizontal Bitline String Vertically (From Ref. [18]).....	25
Figure PIDS7a	Vertical Gate 3-D NAND Architecture	26
Figure PIDS7b	A Vertical Gate 3-D NAND Array with Decoding Method (From Ref. [20])	27
Figure PIDS7c	Schematic Diagram of the PN Diode Decoded Vertical Gate (VG) 3-D NAND Architecture	27
Figure PIDS8	A Surround Gate Floating Gate 3-D NAND Structure (From Ref. [22])	28
Figure PIDS9a	Scheme to Make Staircase Landing Pads for all Layers by Trimming One Single Layer of Photoresist (From Ref. [16])	28
Figure PIDS9b	A Scheme to Make Contacts using Tapered Deposition and Surface Contact (Left: surface contacts are made in one operation. Right: conventional staircase contacts.) (From Ref. [19]).....	29
Figure PIDS10	Non-Volatile Memory Potential Solutions	32

LIST OF TABLES

Table PIDS1	Process Integration Difficult Challenges	2
Table PIDS2	High-performance (HP) Logic Technology Requirements	11
Table PIDS3	Low Operating Power (LOP) Technology Requirements	13
Table PIDS4	Low Standby Power (LSTP) Technology Requirements	13
Table PIDS5	III-V/Ge High-performance Logic Technology Requirements	15
Table PIDS6	Comparison of HP, LOP, LSTP, and III-V/Ge Technologies	15
Table PIDS7	DRAM Technology Requirements.....	18
Table PIDS8a	Flash Memory Technology Requirements.....	20
Table PIDS8b	Non-charge-based Non-Volatile Memory Technology Requirements.....	20
Table PIDS9	Reliability Technology Requirements	34

プロセスインテグレーション、デバイス、及び構造

1 記述範囲

プロセスインテグレーション、デバイス、および構造(Process Integration, Devices, and Structure: PIDS)の章では、主な IC デバイスとその構造、IC 製造プロセスフロー全般、及び、新しい技術選択肢(オプション)に関する信頼性について論じる。PIDS では、特に物理的な構造、電気的な要求値や特性を提示する。パラメータとして、物理的な構造やパラメータや駆動能力、リーク電流、信頼性基準を含むデバイスの重要なパラメータが考えられている。これらは、統計的なばらつきを良く検討した上で、その中心値を示している。ここでは、生産面でキーとなる技術的課題を述べ、いくつかの最善の解決策候補(Potential solution)を議論し提示する。なお、この章では、ロジック、DRAM、不揮発性メモリ: Non-Volatile Memory (NVM)、信頼性の節に分かれている。

ITRS の主な目的は、今までムーアの法則(Moore's Law)に沿って行ってきた CMOS 技術のスケールリングを維持するために キーとなる技術要求や技術課題についてその重要性を確認することと課題解決に向けて研究と開発を促進させることである。この章では、解決策候補をリスト化して議論することで、重要技術課題についての現状最良な施策ガイドラインを示している。しかし、解決策候補は包括的な物ではなく、必ずしも最良の策とは限らない。そのため、ITRS の解決策候補は刺激的な内容のものもあり、新しく異なった解決方法の探求にも制限を付けてはいない。

1.1 ロジック

生産されている半導体デバイスの多くはデジタルロジック関係である。この節では主に携帯機器に用いられる高性能用途および低消費電力用途のロジックを扱い、技術的要求の詳細と解決策候補がそれぞれ述べられている。キーワードは速度、消費電力、集積度である。キーとなるのは、今までのデバイス性能改善の傾向を維持するために、最先端ロジック・テクノロジーとして MOSFET のスケールリングを維持することである。このスケールリングは、high- κ ゲート絶縁膜、メタルゲート、歪技術といった材料導入やプロセス変更、さらに近い将来には、薄膜埋め込み酸化膜の完全空乏型 SOI、マルチゲート(FinFET 含む)、高移動度材料への置き換えといった、大きな技術革新を引き起こし、産業を牽引する。これらの革新技術は、早い時期に導入されると予想されている。ゆえに、導入まで時間的に十分ではなく、デバイス製造時には技術の理解、モデリング、作り方について、産業界で大きな論点になると予想される。

1.2 DRAM

半導体デバイス生産高のほとんどをロジックとメモリが占めている。この節で扱うメモリは、DRAM、不揮発性メモリ(NVM)である。メモリ技術を牽引するのは汎用メモリであるため、これらを中心に論じている。混載メモリについては、汎用メモリに少し遅れてではあるが、同じような傾向で登場すると予想している。なお、DRAM と NVM については、技術要求と解決策候補を詳細に述べる。

DRAMでは 1 トランジスタ-1 キャパシタで構成されるセルの面積を縮小スケールリングすること、そのために実質限界の $4F^2$ セルを実現していくことが重要である。そのためには、縦型トランジスタの実現、電荷密度を向上するための高誘電体膜、さらに漏れ電流を低く保つ技術が必要である。

1.3 不揮発メモリ

この章で述べる NVM とは、何度も書き込み読み込みが可能なデバイスに限っている。読み出し専用メモリ(Read Only Memory: ROM)や 1 回だけ書き込み可能なメモリ(One-Time-Programmable: OTP)は含まない。NVM の主流は Flash メモリで、NAND と NOR の Flash メモリはお互い異なる用途に使用されており、NAND はデータ記憶に NOR はプログラム記憶に主として使用されている。これら Flash メモリの縮小スケールリング時の問題は、この章で詳細に説明されている。他の、強磁性体 RAM (Ferroelectric RAM: FeRAM)や磁気メモリ

(Magnetic RAM: MRAM), 相変化メモリ(Phase-Change RAM: PCRAM)などを含む、電荷を用いないタイプの NVM のも動向も含めている。

1.4 信頼性

信頼性は、プロセス集積化で重大な局面に差し掛かっている。新しい技術世代では、ある一定の割合で新材料と新プロセスの導入を進めていく必要があるけれども、その割合は、製品の信頼性を確保するために必要なデータ集めやデータベース構築の現在の能力を超えつつある。そのため、しばしば、現状の信頼性維持について深く追求する事無く、プロセス集積化が進められることが起こる。信頼性が確保できなければ、性能、費用、市場に出すまでの時間に不具合をもたらすことになる。信頼性余裕度の不足は、市場での故障を引き起こし、費用高になり、信用も失うことになる。これらの課題は、テストや信頼性モデリングの章での困難な技術項目において検討されている。この章では、信頼性に関する多くの課題を論じる。目標は、研究開発を必要としている技術課題を明らかにすることである。

2 困難な技術課題

半導体産業のゴールは、包括的に高性能を維持しつつ微細化し続けることができることである。より高速、より高密度、より低電力、より多機能などの回路やチップの高い性能は、いろいろな方法で測定することができる。従来、寸法のスケールリングはこれらの高い性能メリットをもたらすのに十分であった、しかし、もはやそうではなくなった。スケールリングを続けていくためにプロセスモジュール、製造装置、材料特性などについての解決すべき困難な技術課題が示されている。これらの困難な技術課題を下記の表 PIDS1 にまとめた。これらの課題は 2011 年から 2018 年までの短期的項目と 2019 年から 2026 年までの長期的項目に分けられている。

<i>Table PIDS1</i>		<i>Process Integration Difficult Challenges</i>	
<i>Near-Term 2011-2018</i>		<i>Summary of Issues</i>	
1. Scaling Si CMOS		Scaling planar bulk CMOS Implementation of fully depleted SOI and multi-gate (MG) structures Controlling source/drain series resistance within tolerable limits Further scaling of EOT with higher κ materials ($\kappa > 30$) Threshold voltage tuning and control with metal gate and high- κ stack Inducing adequate strain in new structures	
2. Implementation of high-mobility CMOS channel materials		Basic issues same as Si devices listed above High- κ gate dielectrics and interface states (D_{it}) control CMOS (n and p -channel) solution with monolithic material integration Epitaxy of lattice-mismatched materials on Si substrate Process complexity and compatibility with significant thermal budget limitations	
3. Scaling of DRAM and SRAM		DRAM— Adequate storage capacitance with reduced feature size; implementing high- κ dielectrics Low leakage in access transistor and storage capacitor; implementing buried gate type/saddle fin type FET Low resistance for bit- and word-lines to ensure desired speed Improve bit density and lower production cost in driving toward 4F ² cell size SRAM—	

<i>Table PIDS1</i>		<i>Process Integration Difficult Challenges</i>
		Maintain adequate noise margin and control key instabilities and soft-error rate Difficult lithography and etch issues
4. Scaling high-density non-volatile memory		Endurance, noise margin, and reliability requirements Multi-level at < 20 nm nodes and 4-bit/cell MLC Non-scalability of tunnel dielectric and interpoly dielectric in flash memory – difficulty of maintaining high gate coupling ratio for floating-gate flash Few electron storage and word line breakdown voltage limitations Cost of multi-patterning lithography Implement 3-D NAND flash cost effectively Solve memory latency gap in systems
5. Reliability due to material, process, and structural changes, and novel applications.		TDDDB, NBTI, PBTI, HCI, RTN in scaled and non-planar devices Electromigration and stress voiding in scaled interconnects Increasing statistical variation of intrinsic failure mechanisms in scaled and non-planar devices 3-D interconnect reliability challenges Reduced reliability margins drive need for improved understanding of reliability at circuit level Reliability of embedded electronics in extreme or critical environments (medical, automotive, grid...)
<i>Long-Term 2019-2026</i>		<i>Summary of Issues</i>
1. Implementation of advanced multi-gate structures		Fabrication of advanced non-planar multi-gate MOSFETs to below 10 nm gate length Control of short-channel effects Source/drain engineering to control parasitic resistance Strain enhanced thermal velocity and quasi-ballistic transport
2. Identification and implementation of new memory structures		Scaling storage capacitor for DRAM DRAM and SRAM replacement solutions Cost effective installation of high density 3-D NAND (512 Gb – 4 Tb) Implementing non-charge-storage type of NVM cost effectively Low-cost, high-density, low-power, fast-latency memory for large systems
3. Reliability of novel devices, structures, and materials.		Understand and control the failure mechanisms associated with new materials and structures for both transistor and interconnect Shift to system level reliability perspective with unreliable devices Muon-induced soft error rate
4. Power scaling		V_{dd} scaling Controlling subthreshold current or/and subthreshold slope Margin issues for low V_{dd}
5. Integration for functional diversification		Integration of multiple functions onto Si CMOS platform 3-D integration

2.1 短期(2011-2018)

[1] シリコン CMOS の微細化---

SOI やマルチゲート構造に比べ、平面型バルク CMOS デバイスでは、十分短チャネル効果を制御することは比較的難しい。継続的なスケールアップにおいて、短チャネル効果を制御することと適切にしきい値電圧を設定するために必要な高濃度ドーピングのために、p/n 接合でのバンド間トンネルやゲート誘起ドレインリーク (GIDL)、およびキャリア移動度の低下という重大な課題に直面するだろう。さらに、ランダム(確率)ドーパント変動によるしきい値電圧のばらつきにより、チャネル長の微細化がますます厳しくなると予想される。

完全空乏型 SOI やマルチゲートの実現には困難が伴うと思われる。このようなデバイスは、通常、低濃度チャネルであるため、しきい値電圧はチャネルドーピングによって制御されることはない。平面型バルク MOSFET の高いチャネルドーピングと確率的ドーパント変動に起因する問題は緩和されると考えられるが、新たな多くの課題が予想される。最も重要なことは、超薄膜ボディの厚さとその変動を制御することと及び確実にしきい値電圧を設定するための費用対効果の高い方法を確立することである。さらにマルチゲート構造のため、チャネル表面粗さは、キャリア輸送と信頼性の問題を引き起こす可能性がある。

許容範囲内でソース/ドレイン直列抵抗を制御することは重要な問題となるとと思われる。電流密度の増加に伴い、浅接合化と同時に低抵抗化を実現することが大きな課題になる。これは、SOI やマルチゲート構造での薄いボディにおいても、依然深刻な問題である。理想的な場合に比べて現行の技術では、直列抵抗によって飽和電流が 1/3 に低下してしまうと推定される。これはスケールアップに従って、より顕著になると考えられる。

EOTスケールアップを可能にするために、最新の技術世代では金属gate/high- κ ゲートスタックが導入されている。この技術は許容範囲内にゲートリーク電流を保ちながら全体的なトランジスタのスケールアップを実現する。高 κ 材料($\kappa > 30$)によるEOTのさらなるスケールアップは、さらに困難になり、御利益が減ると考えられる。SiO₂界面層形成の抑制や排除は、界面準位の発生や、移動度と信頼性の劣化を引き起こすことが分かっている。もう一つの課題は、マルチゲート構造の垂直面にゲート絶縁膜を成長することである。全ゲート容量において無視できないのは、ゲート絶縁膜容量に直列に接続されている、量子閉じ込めのために薄膜化できない容量である。

特に V_{dd} を低減するために必要な低しきい値電圧化において、金属ゲート/high- κ ゲートスタックでのしきい値電圧の調整と制御には困難を伴うことが明らかになっている。平面型バルクデバイスの場合、これは主に、nMOSFET の伝導帯と pMOSFET の価電子帯の付近に、ゲートスタックの実効仕事関数を、費用対効果良くかつ確実に設定することが難しい事による。この問題は、マルチゲートや SOI の様な完全空乏型チャネルでも課題である。ここで、実効仕事関数が(pMOSFET と nMOSFET それぞれに対して異なる値ではあるが)バンドギャップ内に設定される必要があり、さらに、これらの構造ではチャネルドーピング量を少なくすることから、しきい値電圧を設定するには、仕事関数の制御は特に重要である。さらに、場合によっては複数のしきい値電圧が必要とされるので、バンドギャップを超える仕事関数を費用対効果良く調整することは、とても重要である。

内部ひずみにより増強されたチャネルキャリアの(垂直方向)低電界移動度と(水平方向)高電界速度は、MOSFET の性能要件を満たすことに大きく貢献している。適切なストレインを印加する上で、いくつかの現在のプロセス技術は、スケールアップした場合に効果が低下する傾向にある。また、平面構造向けの既知の技術を非平面構造に適用するには、さらなる困難さと複雑さに直面する。また、応力に依存したキャリア輸送能力は、いくつか飽和すると予測される。(さらなる詳細については、ロジック解決策候補の節を参照されたい。)

[2] 高移動度チャネル材料の導入---

基本的な技術課題は、上の述べた Si CMOS スケールアップの技術課題と同様である。以下に、高移動度チャネル材料の観点から見た技術課題を追記する。

III-V 族半導体上に MOSFET 品質の酸化膜を形成することは、長年に渡り、産業界の目標であり技術課題であり続けている。この分野の研究開発は 10 年以上も続けられてきたが、ごく最近になって、ようやく、解決策

が見出されつつある。しかしながら、**high- κ** 絶縁膜、界面特性、歩留まり、特性ばらつき、信頼性などの分野で、まだ多くの研究開発が必要である。

殆どの III-V 材料では、**p** 型キャリア移動度が高くない。このため、CMOS 構造を実現するためには、プロセス全体の複雑さは増大する(以下参照)ものの、**Ge** が良い選択であるとみなされている。一方、**n** 型と **p** 型の両チャンネルに対して、同一のチャンネル材料を使うことができれば好ましいため、**InGaAs** 以外の材料が検討されている。**Ge** は、**n** 型と **p** 型キャリアの真性移動度が **Si** と比較して、共にかなり大きいため、**Ge CMOS** は有望であるが、**Ge n** 型チャンネルの導入に対しては、ソース・ドレインのドーピングやコンタクトが技術課題となっている。

すでに確立した **Si** プラットフォームを利用するためには、これらの新しい高移動度材料は、**Si** 基板上にエピタキシャル成長されることになるであろう。ここで、これらの材料と **Si** の格子不整合の問題は、結晶品質、歩留まりの点で、本質的な技術課題であり、また実用的には、コスト面でも、課題となっている。

高移動度材料を **Si** 基板上に成長する必要性の理由としては、プロセスとして確立する必要があるというだけでなく、**Si** から構成される部品を、同じチップ上に含める期待があるからである。これらの **Si** 部品としては、例えば、混載 **DRAM** や不揮発性メモリ、パワー・デバイスを含む能動アナログ素子、アナログ受動部品、高性能は必要としないが歩留まりに優れている大規模 **CMOS** 回路ブロックなどがある。これらの様々な材料を、様々なプロセスで集積化することは、非常に重大な課題である。例えば、**Si CMOS** を **III-V/Ge CMOS** と集積化する例を取り上げてみよう。そこでは、恐らく、3種類の **high- κ** 絶縁膜が必要となるだろう。必要な閾値電圧を実現するためには、異なる仕事関数をもつ異なる種類のメタルゲートも必要であろう。また、どの材料のプロセスも、熱履歴の観点で、他の材料のプロセスと整合していなくてはならない。

[3] **DRAM** と **SRAM** のスケーリング---

DRAM の重要な課題は、メモリセルをシュリンクしつつ十分な電荷を蓄えることができる **high- κ** の実用化である。また十分なリテンション時間を得るために、ゲート絶縁膜のリーク電流、ストレージのリーク電流、アクセストランジスタのサブスレショルドリークなどの全リーク電流を制御することも重要である。一方で、要求通りのアクセストランジスタの性能を得るためには、低リーク電流では難しいという問題が生じる。微細化 **DRAM** のスピード改善やワード線に十分な電圧をえるためにワード線やビット線に低シート抵抗の材料を採用することは、最も重要なことである。ビット密度の増加や量産コスト低減から高いアスペクト比を持った、非平面構造 **FET** を使った **4F²**セルに向かって進んでいる。また、キャシタのないセル構造も新たな解決策として非常に有益である。

SRAM のスケーリングでは、ランダムバラツキの増加やランダム・テレグラフ・ノイズ増加により、許容ノイズマージンが減少してきておりマージンを確保することや、信頼性を確保することが、困難になってきている。信頼性に関しては、特にホットエレクトロンと **NBTI** (**Negative Bias Temperature Instability**)が重要な課題となっている。リソグラフィやエッチングといった微細加工の難しさも加わり、許容範囲内にリーク電流を抑えることが困難になってきている。これらの **SRAM** の課題を解決するには、**SRAM** が高速のオンチップメモリとして使われるようなシステムの性能改善が不可欠である。

[4] 高密度不揮発性メモリ(**NVM**)のスケーリング---

フローティングゲートデバイスに於ける根本的な課題は、トンネル酸化膜やインターポリ絶縁膜(**IPD: Interpoly Dielectric**)が、スケーリングできないことと 消去中にゲート注入が行われないようにチャンネルを制御する必要があり、0.6以上の高いゲートカップリング比(**GCR: Gate Coupling Ratio**)が、必要で在り続けていることである。**NAND** フラッシュでは、これらの要求は、ページ動作やエラー訂正符号により少し緩和されるが、インターポリ(**IPD**)の膜厚を **10nm** より小さくするのは難しいように思われる。**20nm** ハーフピッチ以下では、この形状の制限が、甚大な課題となる。加えて、フリンジング効果やフローティングゲート界面、ノイズマージン、平衡状態での数個の電子のばらつきによるしきい値変動などが、今後急激に困難な課題として化せられると考えられる。**NAND** のハーフピッチの微細化は、**DRAM**やロジックよりも進んでいるため、最新のリソグラフィやエッチングや他の最新プロセスはまず **NAND** で試させることになるだろう。

チャージトラップデバイスでは、フローティングゲート界面やゲートカップリング比(GCR)の問題はやや軽減される。また、プレーナ構造なので、リソグラフィやエッチングの微細化の問題も若干改善される。しかしながら、フリンジ効果や数個の電子によるしきい値ノイズマージンの問題は、解決していないため、20nm 以下のスケールリングは依然として困難な課題である。

エンデュランスや書き込み速度もまたマルチセル(MLC: Multi level Cell)にとって困難な課題である。

3D 構造の NAND Flash は 256Gbits 以上のメモリ製品を目指して開発されているが、Bit コスト削減のため MLC の導入と信頼性の確保が大きな課題となっている。

[5] 材料、プロセス、構造変更、新応用と信頼性--

性能やリーク電流や他の要求値を満足するように微細化を行うには、おびただしい数のプロセスや材料の革新的な技術が必要と予想される。これらの革新的な技術は、高誘電率ゲート絶縁膜、メタルゲート電極、せり上げソース/ドレイン、最先端の熱処理と不純物導入技術、低誘電率絶縁膜材料などである。更に、薄膜ボティ SOI MOSFET で始まり、超薄膜ボティ SOI MOSFET やマルチゲート MOSFET に続く、新しい MOSFET 構造も必要と予想されている。これら全ての革新的な技術について、タイムリーに信頼性を確保し、分析やモデリングを行うことは、非常に難しいと予想される。

最初に取り扱う短期信頼性の課題として、MOS トランジスタの故障メカニズムに関することを取り上げる。故障は、ゲート絶縁膜の絶縁破壊や許容範囲を越えたしきい値電圧変動によって生じる。最初の絶縁破壊にまで至る時間は、微細化に伴い短くなっている。こうした最初の故障は、しばしば、“ソフト”絶縁破壊である。しかし、使用する回路により、IC チップ故障を引き起こすまでに複数回のソフト絶縁破壊が必要であるかもしれないし、或いは、最初の“ソフト”絶縁破壊場所が“ハード”絶縁破壊に進行するまで、回路は機能するかもしれない。次に、しきい値電圧変動に関する故障は、主に反転状態での PMOS で観測される NBTI (Negative Bias Temperature Instability) の場合である。この現象は、デバイス微細化に伴うしきい値電圧の低下とともに、重要性を増している。最終製品での信頼性を向上するためのバーイン試験選択肢は、NBTI を加速する可能性があるため、注意が必要である。高誘電率ゲート絶縁膜の導入により、ホットキャリアや NBTI、PBTI (Positive Bias Temperature Instability) によるトランジスタ故障モードと同じく、絶縁膜の故障モード(絶縁破壊や不安定性等)も大きく影響を受けている。ポリシリコンゲートからメタルゲートへの置き換えも絶縁膜信頼性に大きな影響を与えている。そして新たな熱機械(Thermo-mechanical)的問題も引き起こしている。高誘電率ゲート絶縁膜とメタルゲートを同時に導入することは、信頼性メカニズムを分析・モデル化することをより一層困難にしている。将来展望にこの変更を入れる為には、解決されるべき二酸化シリコン膜の信頼性に関する課題が残っている。

前述した様に、銅配線と低誘電率絶縁膜への移行は、エレクトロマイグレーションやストレスボイディング、より脆弱な機械強度、界面接着力、熱伝導性や低誘電率絶縁膜の多孔性という信頼性課題を提起している。アルミニウムから銅への移行は、エレクトロマイグレーション機構(結晶粒界から表面拡散へ)や、ストレスボイディング機構(細い配線から太い配線上のビアへ)を変えた。銅/低誘電率膜構造の信頼性は、界面に非常に敏感である。低誘電率絶縁膜の機械的脆弱性はウェハ接着やパッケージングに影響を及ぼし、また、不良な熱伝導性は高いチップ温度や大きな局所熱勾配を引き起こし、信頼性に影響を及ぼす可能性がある。低誘電率絶縁膜の多孔性はプロセス化学物質と水分を捕獲し、移動させうるので、腐食や他の故障に至る可能性がある。

さらに高性能・高パワー集積回路の最先端パッケージングに関する信頼性課題がある。電力、ピン数、環境規制(鉛フリー等)が増加すると、これら全てがパッケージ信頼性に影響を及ぼす。また特に低誘電率層間絶縁膜をチップに導入することで、パッケージとダイとの相互作用が増加する。積層チップのパッケージングや異種デバイス集積化等は、信頼性のより大きな課題となる。さらに電流の増加とボール/バンプの微細化により、エレクトロマイグレーションによる故障の危険度が増加する。コスト削減はボンディング接続線を金から銅の様な材料への置き換えを強いる結果となり、金と同様に高い信頼性を得る為に追加要求項目が出てくることになる。

IC は、たくさんの異なる応用製品で用いられる。その中には、特に信頼性が課題となるいくつかの特別な応用がある。第一の例として、IC に加えられる外部環境が、典型的な消費者や事務所向け使用よりも非常に強い

ストレスを与える応用範囲がある。例えば、自動車、軍事、宇宙利用は、極端な温度や衝撃ストレスをICに与える。さらに、航空や宇宙利用では、放射線環境というより厳しい環境がある。また、基地局での使用は、ICに高温での数10年に渡る連続使用を要求する。これは、制限のある使用での試験を加速する。第二の例としては、生体埋めこみ電子機器や安全システムなどのような重要な応用範囲があり、それらにおいては、IC故障が通常の主流IC使用の場合よりもはるかに重大事となる結果を引き起こす。

それぞれの故障メカニズムに対応した寿命分布が存在するということが、信頼性工学の核心部分である。故障率低減要求の増加とともに、初期故障時間分布(the early-time range of the failure time distributions)がより一層、重要となる。微細化に伴いプロセスバラツキ(不純物原子のバラツキ、CMPバラツキ、ラインエッジラフネスなど)が増加してきている。同時に、故障を起こす欠陥のサイズも微細化とともに小さくなってきている。このような傾向は、故障分布の時間的な広がりが大きくなり、初期故障が早いタイミングで起こるようになってきたためと解釈できる。従って、デバイス物理特性のバラツキ増加を処理できる信頼性工学ソフトウェア技術(スクリーニング、認定、信頼性考慮の設計)の開発と、信頼性予測での不確実性を計るための正確な統計データ分析を実行する必要がある。絶縁破壊とエレクトロマイグレーションの信頼性データ分析では、ワイブル統計と正規対数統計による解析技術がよく確立されている。しかしながら、信頼性余裕度は小さくなっているため、危険度を計測するための統計的な境界については、より注意深い対応が必要とされている。これは、新しい故障物理が従来の統計的分布からの著しく重要な偏差に結びつき、誤差解析を分かりにくくするかもしれないという事によって複雑さを増すことになる。BTIやホットキャリア劣化のような他の信頼性データの統計分析は、現在、實際上標準化されていないが、回路故障率の正確なモデリングに必要とされるかもしれない。

2.2 長期(2019-2026)

[1] 先進的マルチゲート構造の実現--

長期的には、現在のロードマップの終焉へ向けてトランジスタのゲート長は10nm以下にまで縮小されると予想される。その際には、デバイスを微細化し短チャネル効果を抑制するため、低ドーピングの極薄ボディを有するマルチゲートMOSFETが用いられると予想される。High- κ ゲート絶縁膜、メタルゲート電極、ひずみシリコンチャネル、せり上げソース・ドレインなどの上述のプロセスや材料はすべて導入されると予想される。ボディ(あるいはfin)の厚さは5nm以下になると予想されるが、このように薄いデバイスにおける量子閉じ込めや表面散乱の効果はまだよく理解されていない。極薄ボディでは、ソース・ドレインの寄生抵抗の要求値を満たすため、さらに制限が加わることになる。これらの先進的な微細MOSFETでは、キャリア速度の改善やソース端での注入速度の上昇といった擬バリスティック動作が、高い動作電流を得るために必要になると考えられる。しかし、このような非平面型デバイスにおけるひずみ効果による性能改善は、さらに難しい技術となるであろう。

[2] 新しいメモリ構造の同定と実現--

特に蓄積キャパシタのフットプリントを縮小し続けている微細化されたDRAMは困難度が増してくると考えられる。極低リークと低電力を達成する更に薄いウルトラ high- κ 絶縁膜が必要である。また、キャパシタのないDRAMに置き換えることができると大変有益である。現在の6トランジスタSRAMは面積を取っており、価値ある代替案を見つけることが、我々の挑戦である。

高密度、高速、低電圧の不揮発性メモリが望まれている。究極的な密度にまでスケールアップするには、許容可能な歩留まりとパフォーマンスを持った3次元構造が必要となる。3D-NAND構造の開発では100層以上の積層やコスト低減の手法が課題になるであろう。また電荷を利用しないタイプの不揮発性メモリにとってもコスト低減は課題で、(メモリ素子に接続する)有効な分離(選択)素子を見つけることが重要であり、Tb(テラビット)の密度を実現するためには3D化が必要となる。勿論Flashに選択分離素子(この場合はトランジスタ)を使用しているのと同様な選択素子が無ければ2端子素子の積み上げはコスト的にも技術的にも難しい。1Tbを超えて容量を増大させるにはより一層の技術革新が必要である。

詳細については Emerging Research Devices 章を参照されたい。

[3] 新デバイス、構造、材料の信頼性--

長期での信頼性の困難な技術課題はデバイス構造、材料、応用での新規で破壊的な技術変化に関するものである。例えば、いつかの時点で、銅以外の配線技術(光配線やカーボンナノチューブ配線等)や、従来の MOSFET に代えてトンネル現象を用いる FET を実用化する必要があると考えられる。そうした破壊的な新技術については、今の時点では信頼性に関する知見(少なくとも、IC におけるそれらの適用に関する限り)は、殆どなく、あったとしてもほんの少しであろう。これは、新技術の信頼性を調査し、モデル化(寿命分布の統計モデルとストレス、幾何構造と材料に依存した寿命の物理モデル)し、そして獲得した知見(新しいビルトイン信頼性、デザインイン信頼性やスクリーンとテスト)を適用するといった一連の多大な努力が必要であることを示している。このように信頼性を高めることには、以前ほどは多くの時間やお金は掛からないように思える。破壊的な新技術の材料やデバイスでは信頼性は劣化し、改善するには多くの資源をつぎ込まなければならなくなるであろう。

[4] 電力のスケールリング--

サブスレショルドスロープの理論限界値 ~ 60 mV/decadeから、Vddのスケールリングが、他のパラメータより難しいことはよく知られている。この傾向は続き、Vddが 0.6Vに近づくと、スケールリングはかなり厳しくなってくる。このようにVddのスケールリングが難しくなると、スケールリングとともに電流密度(単位面積当たり)が増加していくことと相まって、ダイナミック電力密度(Vdd²に比例する)は、すぐに受け入れ難いレベルまで高くなってしまうことになる(トランジスタ単体あたりの電力は下がるが)。高移動度を持つ別のチャンネル材料を用い、積極的なVddスケールリングを行うことで、この問題を少し緩和することができる。一方、 ~ 0.6 V以下のVddとなると、閾値電圧のプロセスばらつきによる回路マージンを検討する必要があるが出てくる。LOP技術は、特に、ダイナミック電力を最小にするように設計される。

高性能ロジックでは、チップの複雑さの増加やスケールリングに伴うトランジスタのオン電流が増加傾向にあり、同時に高性能スケールリングのために高い目標値が設定されていることもあわせて、チップの消費電量を制御することは難しくなると予想される。チップ上に複数のタイプのトランジスタ(リーク電流の大きい高性能トランジスタとリーク電流の小さい低性能トランジスタ)を利用すると共に、パフォーマンスとパワーマネジメント(例えば回路/システム効率を改善する並列処理、動作していないトランジスタの電源遮断の積極的利用、他)に対する回路設計とアーキテクチャの技術革新が、要求性能と省電力化のどちらも満足するチップを設計するために必要である。低いオフ電流もしくは小さい待機時電力と、スピード性能とのトレードオフが LSTP 技術のゴールである。

[5] 多様な機能の集積化--

チップもしくは技術の性能は、スピード、集積度、パワー、ノイズ、信頼性などのみでなく、多機能性にも決まる。業界のトレンドとして、同一チップにより多くの機能を搭載する傾向にある。例えば、センサー、MEMS、太陽電池、エネルギースカベンジング(収集)、RF、ミリ波デバイスなどである。当然のことながら、多くの違う種類の材料を集積化するのには、非常に大きなチャレンジである。同様に、Si ベースの CMOS ロジック、メモリに高移動度チャンネル CMOS を集積化することも、前に述べた様に多くのチャレンジがある。

チップ当たりの集積密度を上げるため、業界のトレンドとして 3-D (3次元)集積化がある。PIDS の分野での 3-D の課題は、誘起ストレス、動作時の高温化、寄生容量、干渉、分離要求、プロセス要求、そして、それらの適合性、さらに、デバイスの信頼性である。

3 ロジック

3.1 ロジックに対する技術要求

技術要求は高性能(HP)版と低消費電力版デジタル IC の MOSFET に対応したものである。高性能ロジックとは、デスクトップ PC やサーバーのマイクロプロセッサユニット(MPU)のように非常に複雑で高速だが、比較的消費電力の大きいチップのことを指す。低消費電力ロジックとは、許容される消費電力、すなわち許容されるオフ電流が電池の寿命で制限される、携帯機器向けのチップを指す。低消費電力ロジックは、低動作電力ロジック

ク(LOP: Low Operating Power)と低待機電力ロジック(LSTP: Low Standby Power)の二つに大別される。LOP チップはラップトップコンピュータのような比較的高性能の携帯機器に用いられ、電池の容量が大きいので、動作時の電力の削減が重要である。LSTP チップは携帯電話のように性能は低いが高コストの民生用品向けで、電池の容量が小さいため、待機時の消費電力が小さいことが重要である。すなわち、リーク電流もしくはオフ電流が最小となる。

高性能 IC 用のトランジスタは 3 種の中で最も性能が高く、最もリーク電流が大きい。したがって、ゲート長などのトランジスタの寸法は最もアグレッシブに縮小される。このようなトランジスタは主としてクリティカルパスで用いられ、通常、チップ上で占める割合は少なく、チップ上の大部分のトランジスタは、しきい値がより高く、リーク電流が少ないものである。しかしながら、この高速でリークの大きいトランジスタがテクノロジーをドライブする傾向がある。LOP 用のトランジスタは V_{dd} が最も低く、やや性能が低いかわりにオフ電流も低い。LSTP 用のトランジスタは、3 種の中でスピードは最も遅いがオフ電流は最も低い(最もしきい値 V_t が高い)。

LSTP の最も重要な指標はオフ電流、または、ソース・ドレイン間のリーク電流 $I_{sd,leak}$ である。ここでは、ゲートやドレイン接合を介したリーク電流は小さく、オフ電流に大きな寄与はしないと想定しているが、これらの信頼性への影響も一つの制約条件となることを注意しておく。LOP の最も重要な指標は CV^2 である。このため LOP の V_{dd} は最も低い。今年から CV^2 の値を監視するため表に加えた。

MOSFET のスケーリングは、消費電力を抑えつつスピードを改善し続けるために、結局のところ、新たなチャネル材料を必要とするようである。より高い駆動電流を得るためには、準バリスティック輸送においてソース端でのキャリア注入速度を高められるため、有効質量の軽い材料が非常に有利である。今のところ、n 型チャネルには InGaAs、p 型チャネルにはゲルマニウムが有望な材料と思われる。新チャネル材料による高性能化は Si と同等のスピード(I/ CV)で、より低電力化することに重点がおかれるだろう。

ロジック技術のロードマップ作成において、基準となるのはトランジスタのイントリンシックな速さ、 CV/I の逆数だった。(別のトランジスタの遅延時間の指標として、電流値の加重平均をとって導出される実効的なドレイン電流 I_{eff} を使った CV/I_{eff} が提案され[1]、 $CV/I_{d,sat}$ より幾分正確とされていることに注意するべきである。我々は、主要なスケーリングのトレンドを辿るためには十分正確であることと、これまでのロードマップとの整合性をとるために後者の指標を使い続けている)。ロジックのスケーリングは、この CV/I が年率何%でスケーリングしていくかで特徴づけられる。1年毎の CV/I の改善はオン電流の増加(同一オフ電流での)と、ゲート長の縮小による容量の減少、電源電圧 V_{dd} の低下によって達成される。長年にわたって、その変化の傾きは年率 17%だった。最近の調査と文献は、ゲート長のスケーリングが以前と比べて緩やかになったことを示している。同時に、回路のクロック周波数の増加も同様なトレンドで緩やかになっていることがわかった。これらの影響を再調整することが ITRS 2008 の主な変更点であった。ITRS 2007 に対する ITRS 2008 の変更点を繰り返すと、HP ロジックのゲート長 L_g のスケーリングが 3 年から 5 年遅れ、傾きが変わった。また、スピードの指標 I/ CV が年率 17% の増加から年率 13% に変わったということである。

IC 産業は、チップのパワー密度やチップ全体の消費電力を適度に抑えつつ、チップ全体の性能を改善し、機能を向上させるため、並列処理を利用できるようにマルチコアやマルチスレッドといったアーキテクチャ技術を採用し始めた。チップ上に複数の中央演算処理装置(CPU)コアを搭載することで、各コアのクロック周波数を低くしてもチップ全体の性能を改善できるからである。そのため、システム設計者はシステムレベルの性能を最適化するうえで、トランジスタのスピードそのものよりも、チップ上へのマルチコア搭載を可能にする集積度を重視する傾向がある。さらに、システム設計者は有限キャッシュ(finite-cache)効果によるシステム性能の劣化を最少にするため、これまで以上のキャッシュメモリをプロセッサチップ上に搭載しようとしている。DRAM セルは SRAM セルよりもはるかに小さいので、高性能システム技術の一つとして、DRAM を高い階層のキャッシュメモリとしてプロセッサチップ上に集積する動きもある。スケーリングの進展と共に、このような技術は大いに利用されるだろう。ロードマップの次の版では、設計(Design)と PIDS のワーキンググループはこのようなアーキテクチャ技術の影響、特に、並列化アーキテクチャによって年率 13% のトランジスタ性能の改善目標を緩めることが

可能かどうかを考慮するつもりである。この 2011 年版では年率 13%の傾きが維持されているが、近い将来、年率 8%へ緩めることになりそうである。

ロジックの技術要求表の作成には、MOSFET のモデリングソフトウェア MASTAR を使用した[2-4]。このソフトウェアは、文献データとの比較で正しいことを確認済の詳細な MOSFET 解析モデルを搭載し、技術要求表を作成するための技術的なトレードオフを効率良く分析するのに適しており、PIDS の計算においては長年使用されてきた。与えられた CV/I の目標値に対して、すべての入力パラメータの初期値はスケールリング則、技術的判断、物理的なデバイスの原理に基づいて選ばれる。入力パラメータを、目標値が満たされるまで変更しながら計算を繰り返し、最終的に得られた入力パラメータ値のセットが技術要求表に記載されている。MASTAR のプログラムと技術要求表の作成に使われた入出力ファイルは、ITRS のウェブサイトからダウンロードして入手でき、読者は自ら結果を再現することができる。

MASTAR は解析式に基づいたソフトウェアで、数値計算に基づく TCAD プログラムとは異なる。簡便である点で優れているが、入力値は TCAD と比べると基本的なものではない。キャリア輸送のパラメータは移動度や飽和速度、バリスティック輸送の程度、といった値を変える入力値として与えられる。静電的制御(electrostatic control)に関して、バルク素子ではサブスレショルドスロープは MASTAR からの出力として得られるが、完全空乏型 SOI やマルチゲート構造では、入力パラメータの一つとして割り当てられている。ここでは前提要求となるオフ電流を一致させるため、同じオフ電流が得られるようにゲートの仕事関数を変化させた。ソース・ドレインの寄生抵抗も入力パラメータの一つである。この値を決める際に、まず寄生抵抗の無い理想的な場合を計算し、飽和電流が年に応じて 33-40% (この比率は 15 年以上に渡ってリニアに増加する)の間で減るように抵抗の大きさを変化させた。

各々の表の特定のパラメータ値のセットが、特定のスケールリングシナリオを反映しており、そのシナリオで主要な出力値が目標値を達成することになる。しかしながら、値を変えうる入力パラメータの数が多く、出力パラメータはこれらの入力パラメータの複雑な関数なので、別のパラメータ値のセット(すなわち、別のスケールリングシナリオ)が同じターゲット値を達成することもありえる。例えば、あるテクノロジーが high- κ 絶縁膜を導入することで酸化膜換算膜厚(EOT)を積極的に薄くしたが、別のテクノロジーではドーピングの最適化や歪を強めることで同じ結果を達成するという場合である。したがって、これらの表のスケールリングシナリオは半導体産業にとっての良い指針ではあるが、唯一の解決策であると言うつもりはなく、様々な会社が採る実際の方針にはかなりの相違があるだろう。

トランジスタのスピードをより正確に表すために、2009 年版からリング発振器のスピード、ファンアウト1と4の一段あたりの遅延を加えた。リング発振器のスピードはイントリンシックなトランジスタのスピードよりも遅いが、実現可能な最速の回路の動作スピードと考えられ、CMOS テクノロジーのより現実的な速度性能を測るのに適したパラメータであると考えている。CMOS インバータでは、p 型チャネルトランジスタの性能も重要であるが、過去には示されていなかった。P 型チャネル MOSFET を加えることで、表の大きさが 2 倍になってしまうことを避けるため、ただ一つのパラメータとして、n チャネルと p チャネルの $I_{d,sat}$ の比が入っている。これは p 型チャネルに関する容量や、しきい値電圧、オフ電流などの他のすべてのパラメータが n 型チャネル同様であると仮定すれば、理にかなった妥協案である。インバータチェーンやリング発振器のシミュレーションも MASTAR で容易に行える。CV/I の指標はこれまでのロードマップとの連続性と比較のために継続して示されている。

これらのロジック素子のそれぞれで、構造について複数のパラレルパス(parallel path)が示されている場合がある。プレーナのバルク CMOS が可能な限り延命される一方で、極薄膜ボディ完全空乏型(FD)シリコン・オン・インシュレータ(SOI) MOSFETs やマルチゲート(MG) MOSFETs (FinFETs)といった先進的な CMOS 技術が後年実現され、ある期間に渡ってプレーナバルク CMOS と並存することである(詳細はロジックの表参照)。マルチゲート構造については、バルク基板と、SOI 基板のどちらを使うのが常に問われているが、基板が違ってても本質的な DC および AC 性能は同等と推測され、性能予測の結果には影響がない[5]。問題はコスト、プロセスの複雑さ、ばらつき、設計レイアウトの複雑さのトレードオフである。近い将来、どちらの基板を選択するかが明らかになるだろう。スケールリングが進むと、プレーナバルク MOSFET では高濃度のチャネルドーピング、短チャ

ネル効果を十分に制御できないこと、その他の問題(詳細は困難な技術課題(Difficult Challenge)節の項目1を参照)のために多くの困難が生じる。先進的な CMOS 構造は、よりスケールしやすいので、ロードマップ上では遅れて使われることになる。事実、マルチゲート MOSFET のスケールリングは FD SOI MOSFET のスケールリングよりも有利なので、究極の MOSFET はロードマップの終焉までマルチゲートデバイスであると予測されている。半導体業界全体では、各企業がプレーナバルク CMOS から先進的な CMOS 技術へ切り替える時期は、各社の必要性、計画、技術的な強みに応じて異なるので、複数の方針が存在することになりそうである。パラレルパスが年度的に重なっているのは、この事を反映したつもりである。

表PIDS2に示すように、高性能ロジック技術で最も重要なのは、最終的にはリング発振器のスピードに切り替える計画はあるが、MOSFETのイントリンシックなスピード指標、 $1/\tau$ もしくは I/CV である。具体的には、その目標は年率平均 13%の改善で、最近の現実の改善率と一致している。この目標を満たすことが、チップのクロック周波数を望ましい割合で改善していくためには重要である。表中の他のすべてのパラメータ値は、前に述べたように、この目標を満たすよう計算を繰り返して決定されている。表から、目標達成のためのいくつかの重要な結論が明らかになっている。nMOSFETの飽和電流 $I_{d,sat}$ はロードマップの進行に従って、一様に増加していく。サブスレショルドのソース・ドレイン間リーク電流 $I_{ds,leak}$ は 100nA/umの値に固定されているが、このことはチップの消費電力について重要な結論をもたらす(後で議論される)。図PIDS1 は高性能ロジックの I/CV のスケールリングを示す。全体としては年率 13%の目標が満たされている。プレーナバルク構造では、主に「困難な技術課題」節の項目1で議論したスケールリングの難しさが理由で、曲線の傾きが年率 13%の線よりも年々下向きに乖離していく。スケールリングの難しさにはMASTARのシミュレーションにおいても直面する。すなわち、必要なチャネルドーピングが年ごとに急激に増加し、2017 年には $9 \times 10^{18} \text{cm}^{-3}$ という非常に高濃度に達してしまうことである。FD SOIでは年率 13%の改善率を維持できるが、ボディ膜厚に対する要求は非常に厳しく、2019 年には 3.5nm程度となる。このボディ膜厚に対する要求はMG構造では緩和され、スケールリングがこのロードマップの終わる 2026 年まで続く可能性があるだろう。

Table PIDS2

High-performance (HP) Logic Technology Requirements

図 PIDS1 には、ファンアウト1と4について、一段あたりの遅延の逆数で定義されたリング発振器のスピードも示されている。このリングの周波数は予想通り、トランジスタのイントリンシックな周波数よりもかなり遅いことがわかる。ファンアウト1の場合、イントリンシックな周波数に対する比は約5であり、ファンアウト4では約10の比になっている。また、これらの周波数改善の傾きは I/CV の傾きよりもかなり緩く、年率 8%程度であることも分かる。

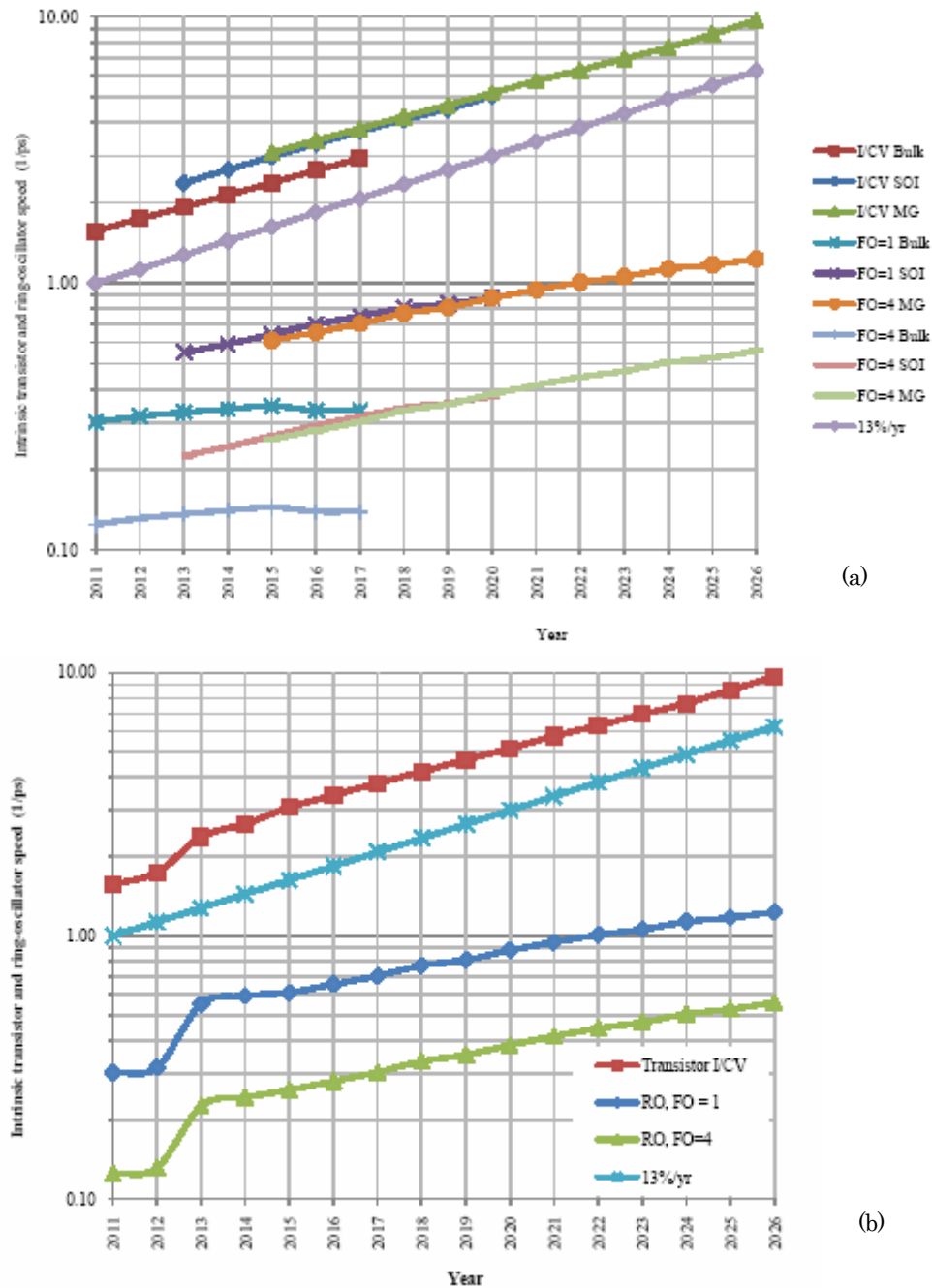


Figure PIDS1 (a) Scaling of Intrinsic Transistor Speed (I/CV) and Ring-Oscillator Speed for HP Technology. (b) Only the Highest Speed of Structures for Each Year is Shown.

低電力チップでは、ソース・ドレイン間のサブスレショルドリーク電流 $I_{sd,leak}$ 、もしくはオフ電流が重要である。LOPロジックについては(表PIDS3)、 $I_{sd,leak}$ は $5\text{nA}/\mu\text{m}$ に設定されており、LSTP (表PIDS4)については $10\text{pA}/\mu\text{m}$ となっている。表中の他のすべてのパラメータ値は、I/CVを最適化しつつ $I_{sd,leak}$ の目標値を満たすように計算を繰り返して決められている。全てのロジックテクノロジーの比較が図PIDS2に示されている。デバイス性能指標I/CVでのスピード改善率はLOP、LSTPに対しても年率 13%という結果になっている。リーク電流の要求を満たすため、低電力ロジックのゲート長のスケールは高性能ロジックよりも遅れている。LSTPロジックに関する重要な問題の一つはVddスケールアップの遅さである。これは、非常に低いサブスレショルドリーク電流の目標値を達成するため、要求されるしきい値電圧 V_t のスケールアップが相対的に遅いことがもたらす結果である。適度なデバイス性能を得るためには、ゲートオーバードライブ($V_{dd}-V_t$)をある程度大きく維持しなければならない。Vddは V_t に従って緩やかに下げることになるのである。動作時の消費電力は V_{dd}^2 に比例するので、LSTPロジックの動作時消費電力はHPとそれほど差がない。しかしながら、LSTPのロジック回路の活性化率

(activity factor)は比較的小さいので、待機時消費電力の低下のほうが動作時消費電力よりも電力削減に効果がある。LSTPロジックと対照的に、LOPロジックではVddは相対的に早くスケーリングし、動作時の電力(すなわち、 V_{dd}^2 に比例するダイナミックパワー)を最小にすることが重視される。

Table PIDS3

Low Operating Power (LOP) Technology Requirements

Table PIDS4

Low Standby Power (LSTP) Technology Requirements

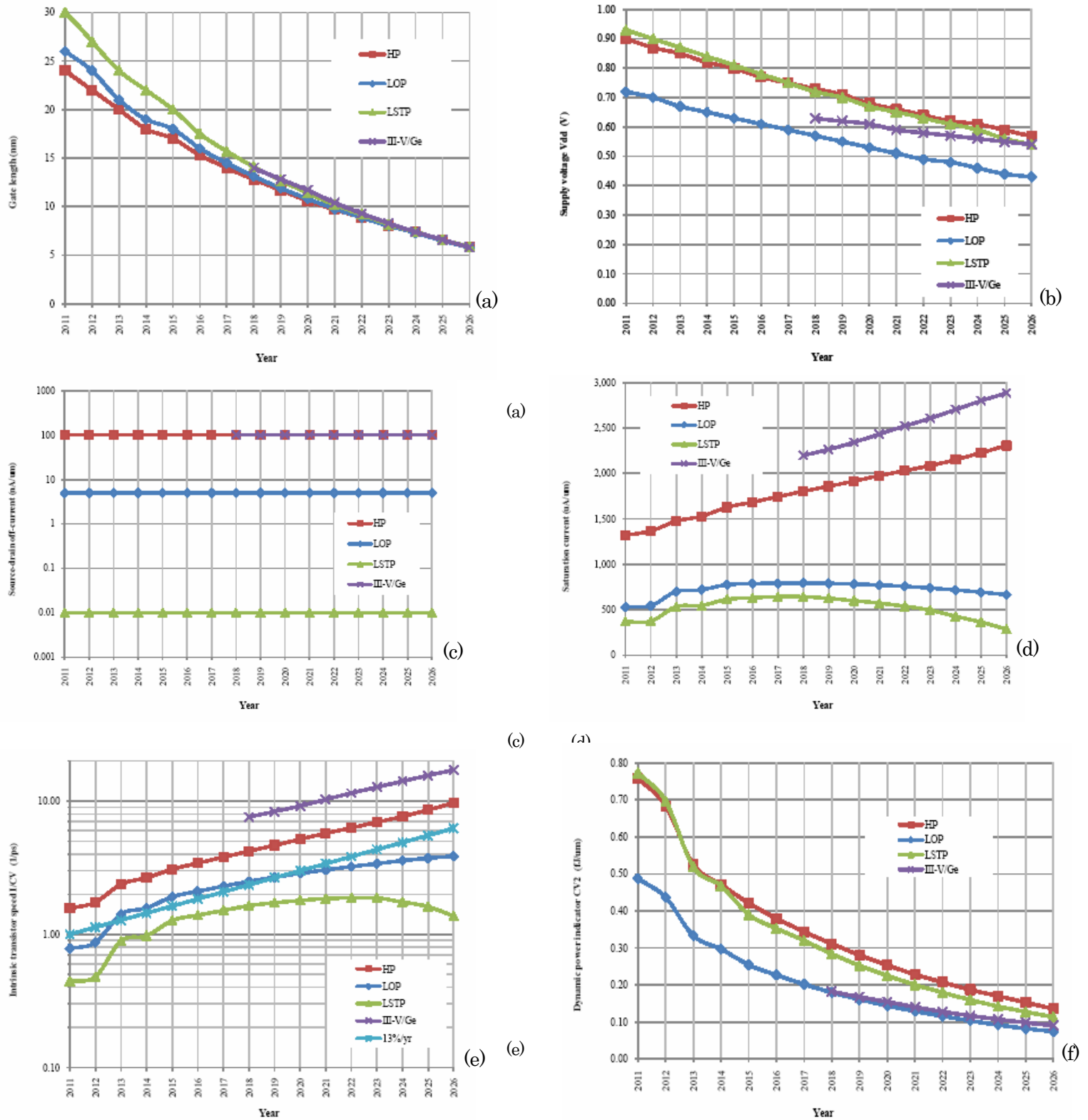


Figure PIDS2 Scaling Trend of Logic Technologies with Year; (A) Gate Length, (B) Supply Voltage, (C) Off-Current, (D) Saturation On-Current, (E) Intrinsic Speed (I/CV) Of Transistor, (F) Dynamic Power CV^2 .

今年から高性能と低動作電力両方のテクノロジーとして、高移動度チャネル III-V/Ge をとりいれた(表 PIDS5)。このテクノロジーは 2018 年に生産がはじまると予測されている。全く新しい材料が使われるので、ゲート長は HP の一年遅れでスケールリングすると見積もられている。主な特徴は図 PIDS2 でもよくわかる。このテクノロジーは単に HP より高速というのではなく、動作時の電力が LOP と同等でも HP より高速となっている。

Table PIDS5

III-V/Ge High-performance Logic Technology Requirements

Table PIDS6

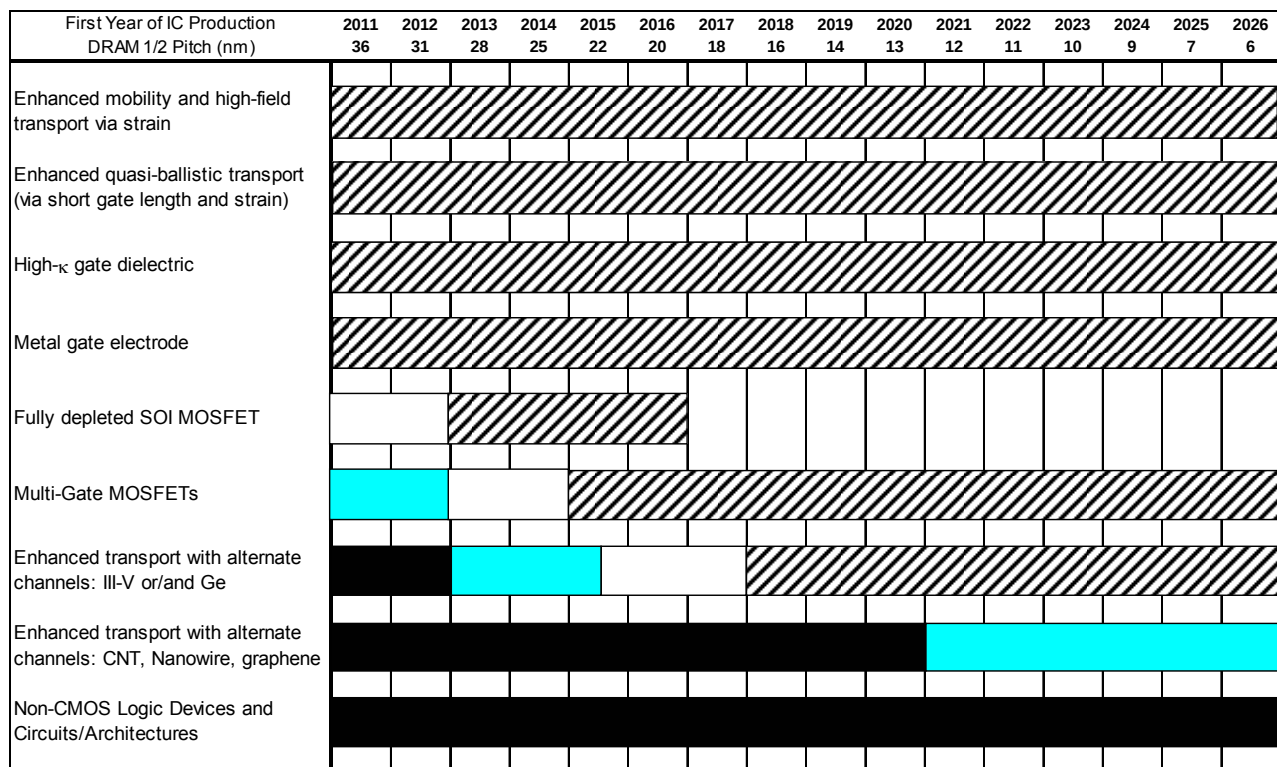
Comparison of HP, LOP, LSTP, and III-V/Ge Technologies

	HP	LOP	LSTP	III-V/Ge
Speed (I/CV)	1	0.5	0.25	1.5
Dynamic power (CV^2)	1	0.6	1	0.6
Static power (I_{off})	1	5×10^{-2}	1×10^{-4}	1

結論として、異なるロジックテクノロジーの間にはスピードと消費電力のトレードオフがあり、消費電力は待機時電力と動作時電力から成る。これらの基準によって全てのロジックテクノロジーをまとめたものが表 PIDS6 に示されている。この表では HP の値に対する比だけを示している。HP, LOP, LSTP の間には、スピード、待機時電力、動作時電力のトレードオフがあるが、これらはすべて Si をベースとするテクノロジーだからである。一方、III-V/Ge は全く異なる材料系であるため本質的な改善がある。

3.2 ロジックの解決策候補

ロジックの技術要求表に色で示された技術課題と解決策候補には強い関連がある(図 PIDS3 参照)。多くの場合、技術要求表に示された「赤」(生産可能な解決策が知られていない)は、その技術課題に対する解決策候補の導入目標年に対応する。もう一つの重要な点は、各解決策候補が重大な技術革新を必要としていることである。これらの革新的な解決策に関連した、新しくかつ特異な信頼性、歩留まり、プロセスインテグレーションの問題を理解し対処するため、品質認定(qualification)/プレプロダクション(pre-production)の期間は 2 年に設定されている。多くの解決策候補は、まず高性能ロジックで必要とされ、続いてローパワーのテクノロジーで採用されていく。最後になるが、半導体産業は今後 5 年間にわたって必要になる数多くの技術革新のために、大きく全般的な課題に直面している。それは、移動度[6]および高電界輸送の改善、high- κ /メタルゲートスタック(これはすでに導入されているが、スケールリングに伴う継続的改善が必要)、極薄膜ボディ完全空乏型 SOI やマルチゲート MOSFETs における準バリスティック輸送である。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure PIDS3

Logic Potential Solutions

一つめの解決策候補、歪による移動度と高電界輸送の改善は、飽和電流を増大させてトランジスタ性能の目標値を達成するために必要となる(ロジックの技術要求表で、著しい移動度の増大を仮定していることに注意)。高移動度を実現するためには、様々なプロセスによる局所歪(例えば、ソース・ドレインのヘテロ接合やストレスライナー)や、Ge濃度を調節した緩和SiGe層上やSOI基板の薄い歪シリコン層でのグローバル歪を含む数多くの技術がある。他の方法としては、異なる基板面方位の組み合わせを利用すること(例えば、p-MOSFETの移動度は(110)基板で高い)や、歪 SiGe、さらには歪 Ge チャンネルの利用などがある。解決策候補の図は、n-MOSFET, p-MOSFET 双方について移動度を最大限まで高め、プロセスフロー全体のなかで最適にインテグレーションし、そして最終的には、これを FD SOI やマルチゲート MOSFET などの先進的な MOSFET で利用するため、継続的な改善(continuous improvement)が必要であることを示している。また、プロセスによる局所歪の効果はスケーリングに伴って弱くなる、すなわち、トランジスタ間のスペースが狭くなるとソース・ドレインの埋め込み SiGe や Si:C、トランジスタ上の SiN ストレスライナーが効果的にチャンネルにストレスを誘起できなくなるので、これに対処するためにも継続的な改善が必要だろう。全般的に歪を増加させ続けるのは益々難しくなっており、移動度や高電界輸送の改善は、ある高い歪のレベルで飽和するだろう。

ゲート長が 20nm よりも十分に短くなると、完全空乏型の不純物の少ない MOSFET では、性能要求を満たすため準バリスティック輸送の改善が必要になりそうである(詳しい数値はロジックの技術要求表の Effective Ballistic Enhancement Factor 参照)。この改善は短チャンネルでの散乱の抑制、ソースでの注入速度の改善、歪による有効質量の減少によって実現できるだろう。

基本的なMOSFET構造をスケールリングするため、重要な技術課題の一つはゲート絶縁膜とゲート電極から成るゲートスタックである。物理的ゲート長を縮小する時にゲート絶縁膜もそれに応じて薄くして、短チャネル効果を抑制すると共に反転層電荷即ち飽和電流を増加させることが理想である。しかし、継続的なゲート絶縁膜薄膜化は、トンネルリーク電流のために効果が限定されてしまう。High- κ ゲート絶縁膜材料は、酸窒化膜よりも、与えられたゲート酸化膜換算膜厚(EOT)におけるゲートリーク電流密度が顕著に低いので、この問題に対する解決策となってきた。TiO₂の様な新しい絶縁膜を選択できれば κ 値を増大し続けていくことが可能になる。

ポリシリコンゲートに置き換えてメタルゲートを使うことは、ゲートポリの空乏化を取り除く効果がある。それに加えて、メタルゲート電極はメタル材料を選ぶことで仕事関数を変化させられるという点で、しきい値を正しく設定するための、より多くの制御性をもたらしてくれる。ゲートの仕事関数は pMOSFET ではシリコンの価電子帯に、nMOSFET では伝導帯に近い必要がある。したがって、pMOSFET、nMOSFET に別々のメタル材料を使うことになり、ポリシリコンゲートにはない柔軟性が得られるということになる。

スケールリングが進むと、プレーナバルク CMOS デバイスの微細化を有効にすることは増々難しくなるだろう。詳しく言うと、そのような短チャネルのデバイスで、適切に短チャネル効果を抑制することは、特別難しいと予測されている。さらに、チャネルドーピングを非常に高濃度にする必要があるので、移動度を劣化させたり、ドレイン・ボディ間のバンド間トンネルによるリーク電流の増大を引き起こすこととなるだろう。ついには、そのような微細 MOSFET のチャネル中の不純物の総数が相対的に少なくなり、不純物の位置や数のランダムばらつきが大きくなり、しきい値の統計的なばらつきが許容できないほど大きくなってしまう。この課題の解決策候補は極薄膜ボディの完全空乏型(FD) SOI MOSFET を使うことである。このデバイスではチャネルドーピングが比較的少なく、プレーナバルク MOSFET のようにチャネルのドーピング濃度でしきい値を変えるのではなく、ゲートの仕事関数を調節することでしきい値を設定することになる。しきい値を望ましい値に設定するには、ミッドギャップ付近の仕事関数をもつメタルゲート電極が必要になるだろう。仕事関数が異なるので、おそらく電極材料はプレーナバルク MOSFET に使われているものとは違ったものになる。つまり、ミッドギャップの両側数 100meV の範囲で仕事関数を調整可能な単一の電極材料が使われる可能性がある。チャネルは低不純物濃度で完全空乏であり、しきい値電圧はゲート電極の仕事関数で制御できるため、この極薄膜ボディ SOI MOSFET はプレーナバルク MOSFET よりも微細化が可能で、高い飽和電流をもたらすことができる。シングルゲート SOI MOSFET は 2013 年に高性能ロジックに適用されると予測されている。マルチゲートの MOSFET も極薄ボディで完全空乏型だが、より複雑で更なる微細化が可能であり、2015 年に高性能ロジックに適用されると予測されている。

ロードマップの終盤では、さらにキャリア輸送を改善するために新しいチャネル材料を利用した先見的な解決策が採られるだろう。第一の解決策は、まだ MOSFET 動作が基本となるが、III-V 族(n チャネル用)と Ge (p 型チャネル用)の組みあわせになるだろうと予想される。最初の製品は 2018 年に現れると予測している。それ以降、これらの半導体以外で可能性があるのは、やはり MOSFET 動作に基づくもので、半導体ナノワイヤー、カーボンナノチューブ、グラフェンナノリボンである。

最後に、この 2011 年版ロードマップの範囲(2026 年)より先では、MOSFET のスケールリングは効果がない、あるいは非常にコストが高くつくだろう。全く新しい非 CMOS 型のロジックデバイスや新しい回路アーキテクチャが解決策候補である(詳細な議論は Emerging Research Devices 章参照)。そうした解決策は確立された生産基盤を利用し、同一チップ上にメモリなどのシリコンデバイスを集積できるよう、シリコンをベースとしたプラットフォームに集積可能なものであることが望ましい。

4 DRAM

4.1 DRAM に対する技術要求

DRAM に対する技術要求は、スケールリングとともにより一層厳しくなると予想されている(PIDS の表の7参照)。過去二年(ITRS 2009-2011)ではその前の二年(ITRS 2007-2009)と比較して大きくハーフピッチのスケールリングが進んだ。理由は新技術(例えば、193nm 波長対応の ArF の液浸リソグラフィ技術とダブルパターニングと言わ

れる技術、アクセストランジスタの一部 Fin トランジスタ化[7-9]、埋め込みワード線技術等[10])が実用化されたためと推測される。それらの結果 DRAM は 30nm 未満のハーフピッチでも実現できると思われる。

Table PIDS7 DRAM Technology Requirements

勿論、スケーリングには未だ多くの課題が残っており、プロセス工程数の増大もコストスケーリングを維持していく上で問題となっている。代表的には、量産性の観点から見てキャパシタ形成工程・高アスペクトコンタクト加工工程での長いエッチング時間に対しフォトレジストが十分な耐性をもつことが必要とされる。これらの課題を解決するためには、パターン転写のためのハードマスクを用いたフォトレジスト技術がますます需要になってきている。更に、継続的なリソグラフィ技術および、エッチング技術の改善が必要である。またワード線/Bit 線抵抗の削減も DRAM 性能の向上や維持には重要である。

また、3D タイプのセルアクセストランジスタであるサドル Fin 型のトランジスタの導入は 1T-1C 型の DRAM に大きな前進をもたらしたが、ジャンクションリークとトランジスタのリーク電流の制御がデータ保持時間の維持を難しくした。これらを両立するためには将来的には(サラウンドゲートのような)完全空乏化トランジスタが、BL 容量の低減やセンス幅増大のために必要となるであろう。他の要求としては、高い信頼性を持つ、セル MOSFET 用のゲート絶縁膜がある。高い電流の駆動能力を実現するために、高い電圧に昇圧されたセル MOSFET のゲート電圧が必要とされるためである。セル MOSFET では、サブスレッショルドの電流を低減するために高い閾値電圧となっていることも、昇圧のレベルを大きくすることが必要となる理由である。その結果、絶縁膜に印加されるゲート電界は高くなる。DRAM のセル MOSFET のスケーリング、ワード線の昇圧レベルに関連するゲート電圧、セル MOSFET の電界が、信頼性の観点から非常に重要である。ゲート絶縁膜の実効電界を保存するため、プロセス要求として、前工程プロセスでの素子分離技術、リセストランジスタの形成技術、均一な酸化技術、埋め込み技術、低ダメージプロセス技術等の全てが将来の高密度 DRAM には必要である。

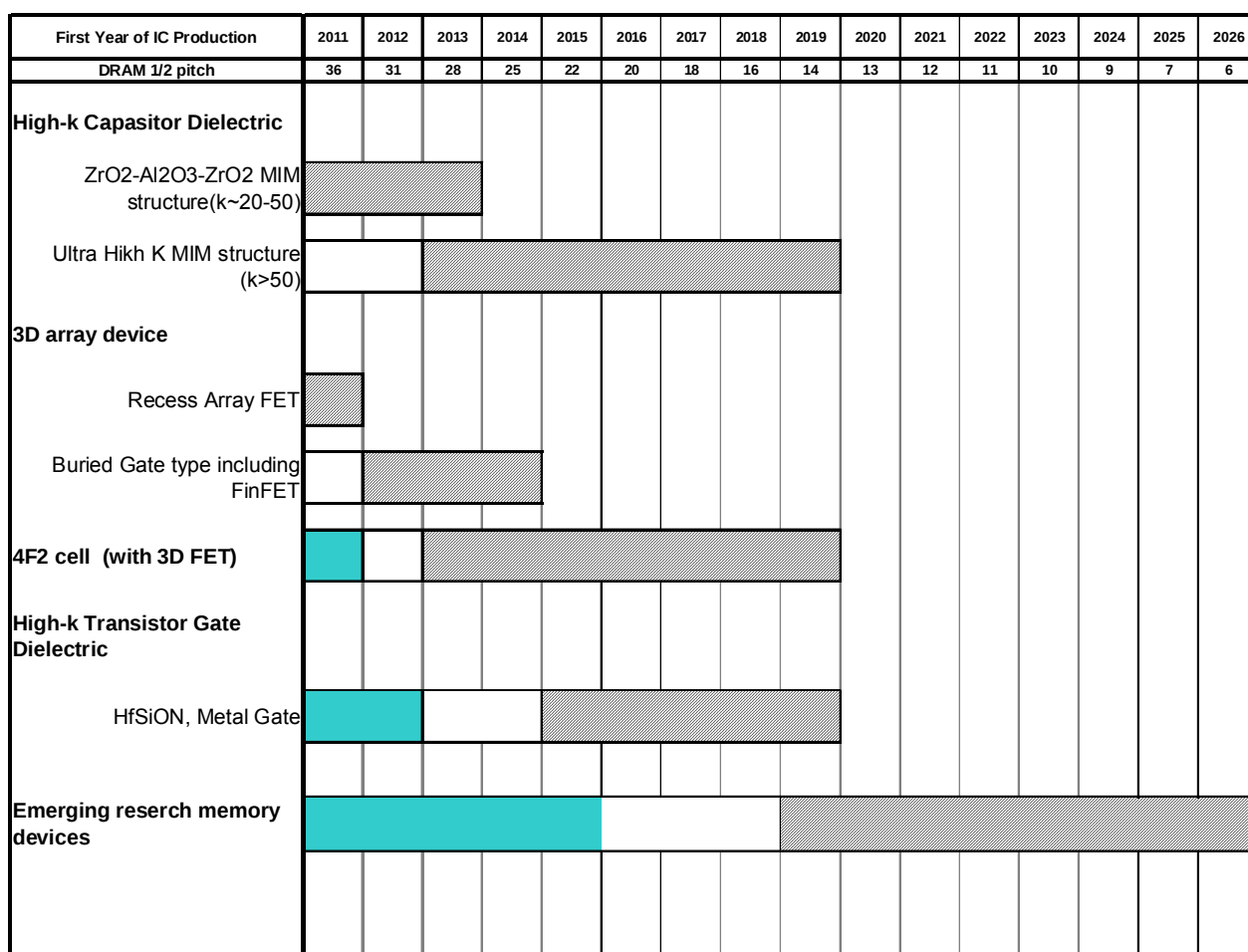
4.2 DRAM に対する解決策候補

DRAM のセルキャパシタはスケーリングと共に微細化され、キャパシタ絶縁膜の実効酸化膜換算膜厚(EOT)は、セルに必要な電荷量を維持するために急激にスケーリングされなければならない。EOT をスケーリングするには、高い比誘電率(κ)を持つ誘電体が必要となる。それ故に MIM (Metal Insulator Metal) 構造キャパシタが使われ、高誘電体膜($\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$) [11] が 40-30nm HP 世代の DRAM で使用されている。更に材料改善は進み、50~100 を超える比誘電率を有する材料(ペロブスカイト構造等)が必要となり 2013 年頃には実用化される見通しである。また、このような高い κ 値を持った絶縁材料の物理膜厚はセル内の最小寸法に合うように縮小される必要がある。これらの要求のためにキャパシタ構造はシリンダー型構造から、ペDESTAL 構造に変更される。

一方、周辺 CMOS 回路素子のスケーリングに従い、特に素子形成後のプロセスでは低温プロセス工程が必要とされる。これは CMOS 素子が形成された後での低温プロセスが必要な DRAM セルでの大きな課題となる。また DRAM 周辺回路の要求は I_{off} より I_{on} の要求が強いが、今後は High- κ メタルゲートが、性能維持のために必要になるであろう。

他の大きな話題として $4F^2$ セルへの移行がある。ハーフピッチの縮小が困難になってくると、コストトレンドを維持するのが難しくなる。チップサイズを DRAM のビット容量が増加しても概ね同じチップ面積を維持するためには、セルサイズファクター“a”の縮小が極めて重要である。現在はサイズファクター“a”として“6”が使用されている。 $4F^2$ セル(a=4)への移行は多くの技術要求があり、その一つとして三次元構造のアレイトランジスタが必要となるだろう。

十分なセル電荷量と適切なセルトランジスタの性能の確保がデータリテンション時間特性を維持できる。但しそれ故に DRAM の継続的なスケーリングと 16Gb を超えるような大きな製品を得ることを難しくしている。図 PIDS4 に今後の技術要求と解決策候補を列挙するが、30nm 台やそれ以下の世代では多くの技術が必要になってくる。しかもその将来技術が今のところ候補が未定である。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure PIDS4

DRAM Potential Solutions

5 不揮発性メモリ

5.1 不揮発性メモリに対する技術要求

不揮発性メモリはいくつかの共通した技術から構成されているが、「不揮発性」という共通した1つの特徴を有している。技術要求と挑戦は応用によって異なり、kB (キロバイト)記憶容量で十分な RFID から1チップで数十 Gb (ギガビット)の高密度記憶までの範囲に渡る。技術要求表は以下の二つの大カテゴリ、NAND Flash と NOR Flash, と非電荷蓄積メモリである。Flash メモリは基本 1T セルでトランジスタが分離デバイスとストレージノードを兼ねている。上記以外のいくつかの不揮発性メモリは電荷蓄積を利用しておらず(FeRAM、MRAM、PCRAM)それらはエマージングメモリと呼ばれるカテゴリーに入る。これらのメモリ素子は通常2端子構造(抵抗或いはキャパシター)で、分離素子(或いはセレクトア素子)は含まれていない。従ってメモリセルには個別にアクセスデバイスが必要で 1T-1C、1T-1R、1D-1R など構成される。これらの不揮発性メモリは、技術的に多数の形成方法があり、例えば、NOR Flash では浮遊ゲート方式と窒化膜チャージトラップ方式がある。それらは別々のスケールングトレンドで発展してきたが、結果的に同じ用途の製品では、スケールングトレンドは似たものになる。

それぞれの技術に関する情報は、3つのカテゴリで構成されている。それぞれの技術の技術要求表は、第一に容量密度を取り扱う。適用可能な寸法 F が定義され、期待される面積係数 a (セル面積に必要な単位 F^2 の倍数值)が与えられる。第二に、それぞれの固有技術に対して重要ないくつかのパラメータであり、ゲート長、書込-消去電圧最高値、物性パラメータなどが表に示されている。これらのパラメータは、スケールング・モデルと挑戦分野を同定することに対して重要である。第三に、繰返し耐性(消去-書込サイクルまたは読出-書込サイクル)と保持が表示されている。繰返し耐性とデータ保持特性は、不揮発性メモリ技術に対して固有の技術要求であり、エンド・ユーザーの観点から特性を決定する。

Table PIDS8a は、NAND Flash, NOR Flash, PIDS8b は非電荷蓄積メモリの 2011 年から 2026 年までの長期の技術要求をそれぞれ示している。表には CMOS のハーフ・ピッチと実際に不揮発メモリセルを形成するために用いられる寸法(不揮発性メモリ技術の F を nm 単位で)の両方が示されている。近年まで不揮発性メモリのハーフ・ピッチは、DRAM や CMOS ロジック・デバイスのものから遅れていたが、NAND 技術の急速な進展によって近づいて、さらに追い越している。しかしながら、NAND 以外の NVM デバイスではその傾向はない。

Table PIDS8a

Flash Memory Technology Requirements

Table PIDS8b

Non-charge-based Non-Volatile Memory Technology Requirements

5.2 不揮発性メモリに対する解決策候補

不揮発性メモリとはメモリアレーと CMOS の周辺回路を融合させたものである。メモリアレーは不揮発性を得るため通常特殊なしかし CMOS 互換のプロセスを必要とする。不揮発性メモリは、単体から混載まで、その使い方に応じた要求性能を持ってさまざまな用途に使用されている。メモリアレーのアーキテクチャと信号読み取り方法も異なった用途に応じて多くの種類がある。技術的課題は解決困難であり、いくつかの例では現行のロードマップの終焉までに物理的限界に達するであろう。電荷保持型デバイスでは、1ビットセル、2ビットセルにかかわらず、統計学的電子ゆらぎおよびスケールングに際して起きるセル間セル間距離の縮小によるセル間干渉に対して強固なトランジスタの閾値を確保するため十分な電子数を蓄積層に確保する必要がある。そのような中で、データ保持特性、書き換え回数特性は維持するか、いくらかのアプリケーションによっては特性向上が求められている。非電荷保持型デバイスでは、記憶層の面積が小さくなるにつれて熱揺らぎによるノイズで

データ信号を干渉してしまうという基本的な限界に近づきつつある。これらのスケージング時の問題に対し様々なアプローチを説明し、そのまとめを解決策候補として章の終わりに掲載する。(図 PIDS10)

5.2.1 NAND フラッシュメモリ

5.2.1.1 NAND 浮遊ゲート型 NAND フラッシュメモリ

浮遊ゲート型フラッシュメモリデバイスは、浮遊ゲートに電荷を蓄積し読み取ることにより不揮発性を達成している。現行のメモリトランジスタは縦に、ポリサイドの制御ゲート、通常は ONO (oxide-nitride-oxide) 3 層膜を用いるポリシリコン間絶縁膜、ポリシリコン浮遊ゲート、トンネル絶縁膜、から構成される。トンネル絶縁膜はある程度の電圧で浮遊ゲートに電荷を注入するため十分薄くする必要があり、読み出し時と電源オフ時の電荷消失を避けるために十分厚くしなければならない。ポリシリコン間絶縁膜はトンネル絶縁膜に消去及び書き込みパルスのカップリングが適度にかかるように、微細化されなければならない。制御ゲートから浮遊ゲートの容量と浮遊ゲート全体の容量(制御ゲートから浮遊ゲート+浮遊ゲートから基板)の比率で定義されるゲートカップリング比は重要な微細化パラメータであり、0.6 以上でなければならない。多くのデバイスでは、ゲートカップリングを 0.6 以上にするために制御ゲートが浮遊ゲートの側壁周りを囲んでいる。

ポリシリコン間絶縁膜のスケージングはトンネル酸化膜と同時に行い、書き込み/消去に適切な電圧パルスの組み合わせで可能となる。データ保持特性の要求からトンネル絶縁膜とポリシリコン間絶縁膜のスケージングは非常に緩やかとなっており、2010 年においてもっとも進んだ NAND 技術(24nm の HP を使用)では 11nm 程度のポリシリコン間絶縁膜を使用している。しかし 20nm 以下の HP になったときは浮遊ゲートを包み込む形状は実現難しい。それ故、ゲートカップリング比を保持するのは浮遊ゲート型フラッシュメモリにおいては最大の技術要求となっている。

NAND フラッシュのセルは単一の MOS トランジスタを記憶素子としており、NAND 型アレイは 32 個以上の素子が Bit 線間にストリングを形成している。この構成は個別の素子毎にビット線から直接コンタクトは必要なく、最小のセル構成となっている。プログラム時/読み出し時には、ストリング中の各素子が“パス”素子となり、ストリング全体を ON 状態としている。それ故にランダムにプログラム/読み出すことはできない。プログラム並びに消去は Fowler-Nordheim トンネル現象を用いて電子を浮遊ゲートの中に入れたり、外に出したりすることにより行われる。大変少ない Fowler-Nordheim トンネル電流のため同時に多数の素子に書き込むことが可能であり、故に高速プログラミング/高速読み出しが可能となっている、さらにホットエレクトロン注入では無いために、接合深さも浅く形成できる。NAND フラッシュは大容量のデータを蓄積、読み出しするよう設計されており、プログラムコードを格納するものではないので、通常、誤訂正コード(error correction code, ECC)アルゴリズムを採用しており、NOR フラッシュより欠陥に対する耐性が高い。これにより、トンネル酸化膜に対する要求が NOR フラッシュより甘くなり、スケージングが簡単となっている。

如何にゲートカップリング容量比を 0.6 以上に保ち、セル-セル間のデータ干渉をなくすかが 20nm 以降のスケージングにとって 2 大技術課題となる。加えて新規技術(高誘電体ポリシリコン間絶縁膜など)の寄与が無く、ワード線間の電圧を下げる事が出来なければ、ワード線間耐圧で 1Xnm 以下のスケージングが決定する。最終的には保持電子数の下限に到達し、データ保持特性が満たされなくなりランダムテレグラフノイズ問題も顕在化する、これらの問題に対しては今のところ解決法が見つかっていない。

これらの難しい課題があるにもかかわらず、浮遊ゲート型 NAND は 1Xnm まではスケージング出来るものと期待されている。その後、電荷トラップ型 3D 構造に移行し、さらにパッケージ時の容量を増やすことが予測される。

5.2.1.2 電荷トラップ型 NAND フラッシュメモリ

現在ほとんどのNAND製品は浮遊ゲートデバイスを用いて生産されている。ゲートカップリング比を維持あるいは向上させ、隣接セル間クロストークを減少させるための困難な技術課題は電荷トラップ型デバイスを使うことにより回避することができるかもしれない。単一ゲートはMOSデバイスのチャネルを直接制御できるので、ゲートカップリング比の課題はなくなる。また薄い窒化膜間のクロストークは無視できる程度である。窒化膜トラップ型デバイスは基本的なSONOS型デバイスからのさまざまな種類に派生している。しかしながら単純なトンネル酸化膜を用いたSONOSは、一旦窒化膜に電子がトラップされると高電界下でさえ引き抜くことが難しいので、NANDの応用には向いていない。デバイスを速く消去するためには、電子を中和するために基板の正孔を注入する必要がある。正孔のSiO₂に対する障壁は高い(～4.1eV)ので、正孔注入確率は低く、十分な正孔電流は非常に薄い(～2nm)トンネル酸化膜を用いた場合のみ得られる。しかし、そのような薄いトンネル酸化膜においては基板からの直接正孔トンネルが発生し、弱い保持電界を止められないので、データ保持特性が劣化する。

近年数種のSONOS型の新構造が提案されている。トンネル絶縁膜の技術コンセプトがトンネル障壁特性を変えてトンネル絶縁膜の可変膜厚を作り出すために用いられている。例えば3重のONO極薄膜(1～2nm)層が単一の酸化膜を置き換えるため導入されている(BE-SONOS) [12]。高電界下では上部の2層酸化膜と窒化膜はシリコン価電子帯の上部を埋める。基板の正孔は底部の薄い酸化膜をトンネルして厚い窒化膜の蓄積層に注入される。データ保持モードでは、弱い電界は3層膜に分割してかかることはなく、窒化膜中の電子と正孔は3層膜のトータル膜厚によってブロックされる。MANOS (metal-Al₂O₃-nitride-oxide-Si) [13]構造デバイスにおいてはhigh-κ絶縁膜と金属ゲートが消去動作時のゲート注入を防ぎ、トンネル酸化膜の電界を上げる。比較的厚い(3-4nm)トンネル酸化膜は保持期間において基板からの正孔の直接トンネルを抑制する。

電荷トラップ型ではゲートカップリングレシオや浮遊ゲート間の干渉に対し有利で20nm以下の候補として有望であるが、基本的なワード線間耐圧問題や電子数減少の問題に対しては解ならない。それ故にロードマップでは平面浮遊ゲート型と3D-NANDとの間の移行を記している。また、殆どの3D-NANDはその構造の簡単さから電荷トラップ型を使用している。

5.2.1.3 非平面デバイスとマルチゲートデバイスの NAND への適用

FinFET やサラウンドゲートデバイスのような非平面デバイスと複数ゲートデバイスはより強力なチャネル制御ができ、浮遊ゲートと窒化膜トラップデバイスの両方においてより微細への微細化が可能となる。しかしながら縦型構造は新しい技術課題も抱える。例えば、fin間の間隔はトンネル酸化膜と層間絶縁膜(浮遊ゲートデバイスの場合)に余地を与えるため十分に広くなければならないので、革新的な解決法がなければ20nm以下の微細化はできないかもしれない。

5.2.1.4 次元積層型 NAND アレイ構造

蓄積される電子数が統計的限界に達したとき、デバイスは微細化できより小さいセルが実現できたとしても、メモリアレーにおけるすべてのデバイスの閾値電圧分布は制御できないことになり論理状態は不安定になるであろう。メモリ密度は従来の微細化では増大しない、しかし縦型積層メモリ構造によって増大する可能性がある。近年メモリアレーの積層が報告されている。1つの試みは縦型エピ成長による単結晶シリコン層を用いる方法である[14]。多結晶シリコンを用いた薄膜トランジスタの例[15]もある。製造プロセスの温度と温度量はより前に作成されたシリコン層が追加されたプロセスの熱により劣化しないように決める必要がある。これは温度履歴の違う異なった層に狙った特性のデバイスを作成すること、それぞれの層の少しずつ異なるデバイスを制御する回路を設計するという点において重要な課題である。3次元積層が従来の微細化を上回りメモリ密度を向上させるとしても、その効果は数層を積み重ねた後には減少している。配線の複雑さは増大し、アレイ効率は層数の増加とともに減少する。その上製造プロセスの複雑さとマスク枚数の増大は歩留まりに影響を与える。

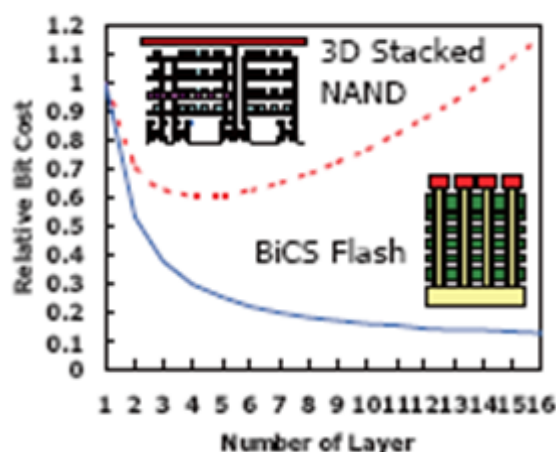


Figure PIDS5 Comparison of Bit Cost between Stacking of Layers of Completed NAND Devices and Making All Devices in Every Layer At Once (From Ref. [16])

最近、プロセスを単純化するためにビット線を縦に配線する”punch and plug”方式が提案されている。この方式と類似の 3D 積層プロセスは少ない工程数増加でデバイスが形成でき[16-17]、プロセスを反復製造する必要は無く、おそらく新しい低コストなスケーリングを NAND にもたらしことが期待されている。図 PIDS6a と図 PIDS6b に BiCS (または Bit Cost Scalable)と呼ばれるNANDストリングを平面から 90 度垂直化したもののイラストを示す。図 PIDS5 に示したとおり、このタイプの 3D 化アプローチは、一層ずつ積み重ねる方法より経済的で、コスト対効果も非常に多くのレイヤーを積み重ねるまで飽和しない。

様々な低コスト 3D 構造が BiCS の後に提案されており、基本は同じであるが[18-21]、手法は大きく分けて 3 つの分類が出来る、それらは垂直チャネル型、垂直ゲート型、浮遊ゲート型であり図 PIDS6、図 PIDS7、図 PIDS8 にそれぞれを示す。

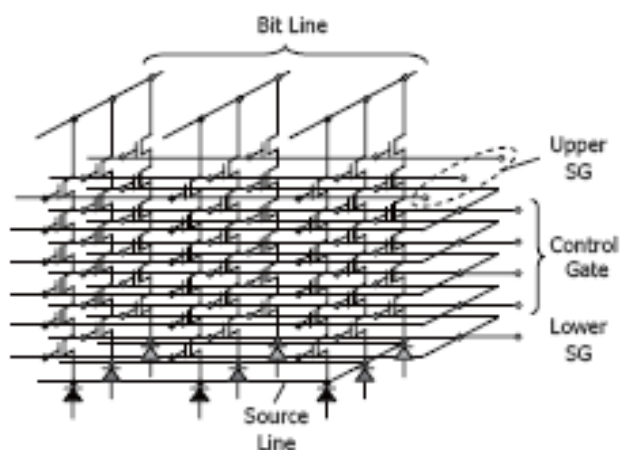


Figure PIDS6a A 3-D NAND Array Based on a Vertical Channel Architecture (From Ref. [16])

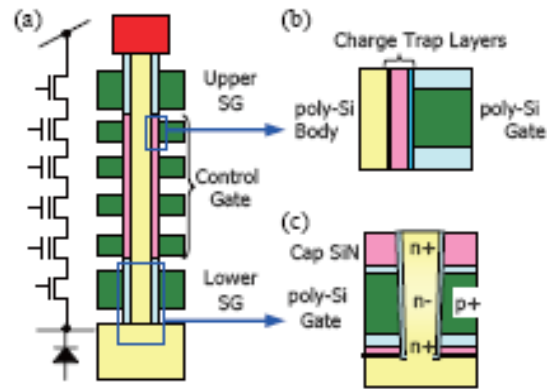


Figure PIDS6b

BiCS (Bit Cost Scalable)—A 3-D NAND Structure using a Punch and Plug Process
(From Ref. [16])

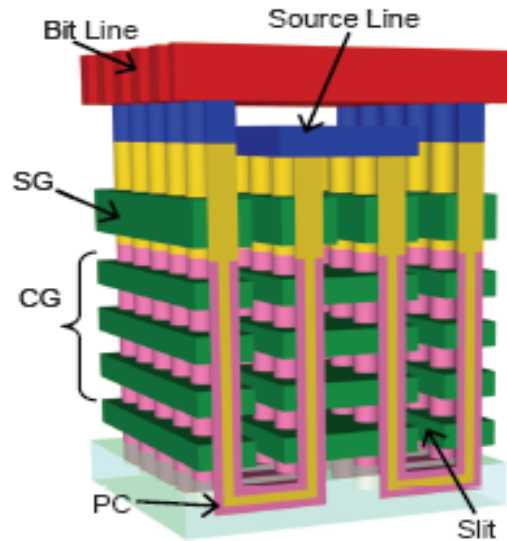


Figure PIDS6c

P-BiCS (Pipe-shaped BiCS)—An Advanced Form of BiCS 3-D NAND Array (From
Ref. [17])

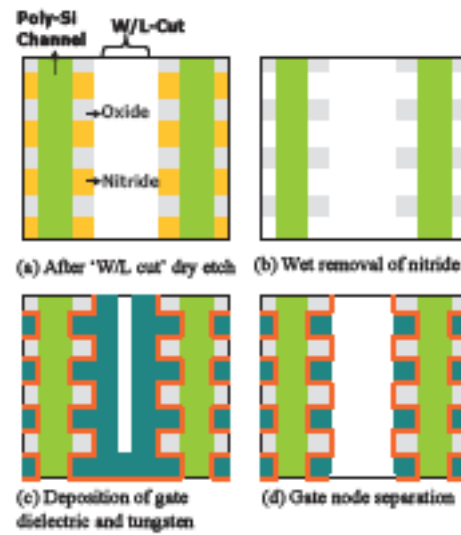


Figure PIDS6d

TCAT (Terabit Array Transistor)—A Gate Last 3-D NAND Array (From Ref. [18])

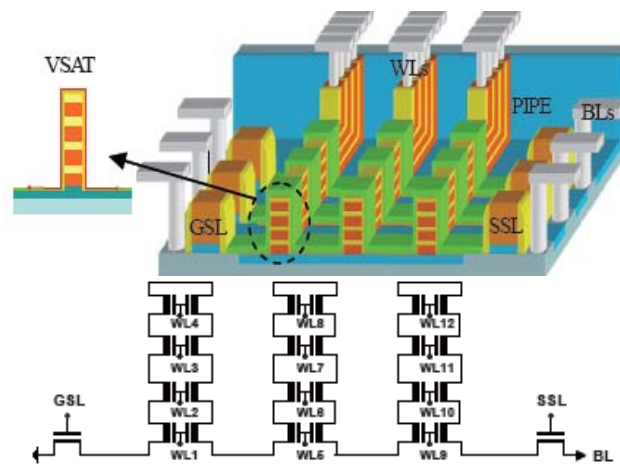


Figure PIDS6e

VSAT (Vertical Stacking of Array Transistors)—Equivalent to Folding up the Horizontal Bitline String Vertically (From Ref. [18])

垂直チャネル型の基本は、図 PIDS6a に示す。数種の派生型があり、図 PIDS6b: BiCS[16]、図 PIDS6c: P-BiCS[17]と図PIDS6d: TCAT[18]である。BiCSは最初の Punch-and-plug 提案で、トンネル酸化膜の形成方法を改善したのがパイプ型 BiCS である。TCATはゲートラスト方式を利用しており、早いプログラム/消去に適応した高誘電体膜、メタルゲートの採用に対しより有利な構造となっている。VSAT (図PIDS6e [19])は違ったアプローチで、NAND スtringを折り曲げた構造となっている。全ての構造は既存で、トランジスタのチャネルが垂直方向となっている。これらの詳細はリファレンスを見ていただきたい。

垂直ゲート構造は図 PIDS7a に示す。構造は平面 NAND を積み上げたような形で、二つのアプローチをそれぞれ図PIDS7b, PIDS7に示す。二つの違いはデータのデコード方法で、垂直ゲート構造においては非常に難しい課題となっている。

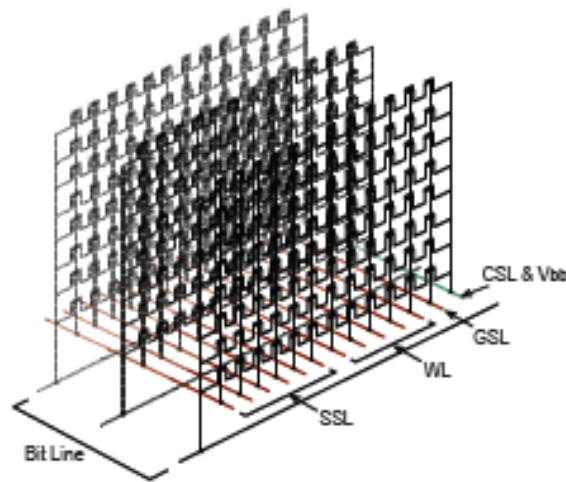


Figure PIDS7a

Vertical Gate 3-D NAND Architecture

*The bit-line strings are in the horizontal direction as in the conventional 2-D NAND. Each vertical “plane” of NAND devices is reminiscent to a 2-D array.
(From Ref. [20])*

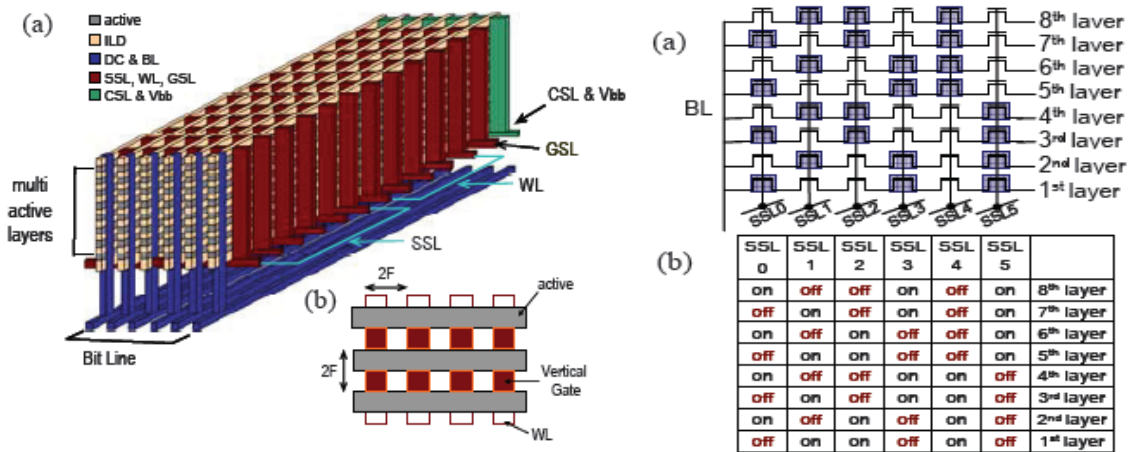


Figure PIDS7b

A Vertical Gate 3-D NAND Array with Decoding Method (From Ref. [20])

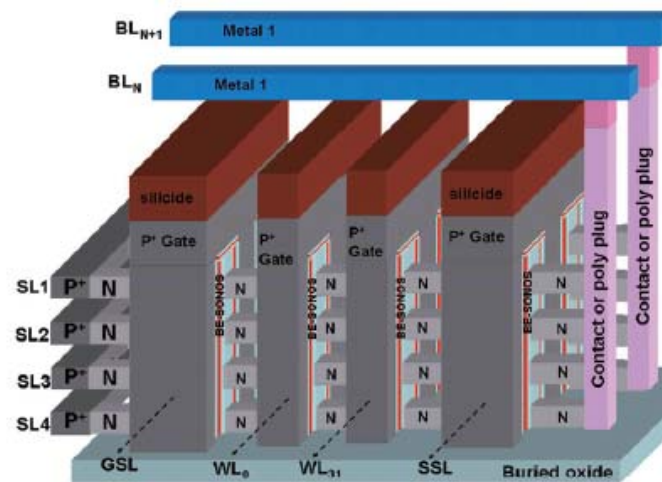


Figure PIDS7c

Schematic Diagram of the PN Diode Decoded Vertical Gate (VG) 3-D NAND Architecture

PN diodes are formed self-aligned at the source side of the VG NAND. Source lines (SL) of each memory layer are separately decoded, while WL, Bit line (BL), SSL and GSL are common vertically for the multi-layer stacks. Note that there is only one SSL and one GSL in one block. (From Ref. [21])

殆どの 3D-NAND は電荷トラップ型の素子を使用しているが、浮遊ゲート型デバイスも 3D-NAND 化することも可能である。図 PIDS8 にサラウンド浮遊ゲートデバイスを使用した構造を示す。プロセス方法等はリファレンスを参考にして欲しい。

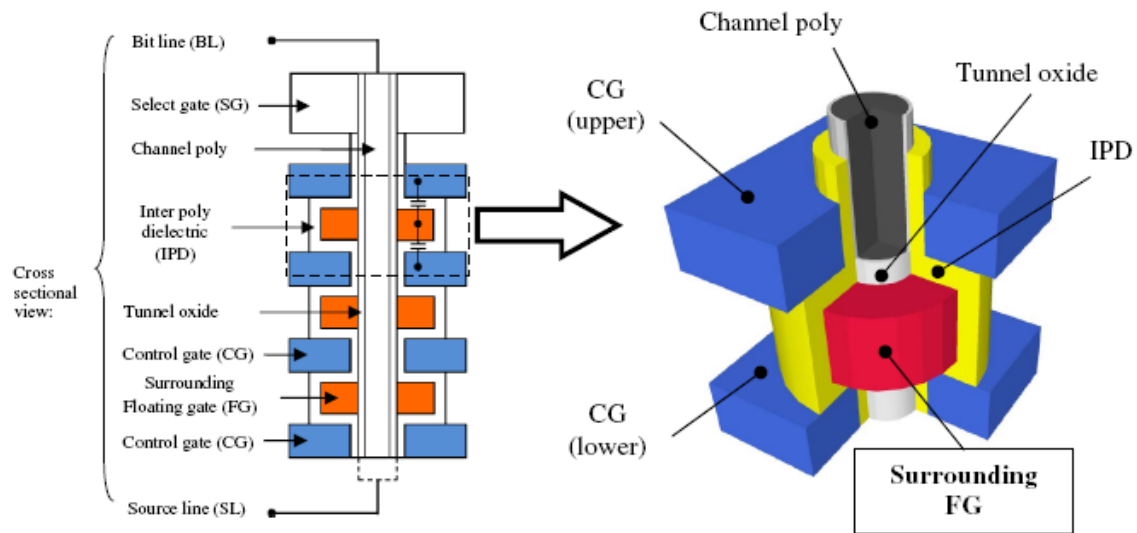


Figure PIDS8 A Surround Gate Floating Gate 3-D NAND Structure (From Ref. [22])

電荷トラップ型デバイスは、ゲートカップリング比は重要でなくそれ故に平面上で優位に動作できる、しかし 3D 構造を導入すると浮遊ゲート型デバイスでも、ポリシリコン間絶縁膜埋め込み、ワード線間干渉等の平面上の距離制約からくる問題に対しても対処できる。特に隣接する浮遊ゲート間のデータ干渉については Z (垂直) 方向の干渉の問題となる[23]。セルサイズとスケージングの関係はそれぞれの 3D 化の方法で変わってくる、一般的には垂直チャネル型構造は幾何学的な制約を一番受けやすい、それ故に大容量化には平面積層型と比較して多くの積層が必要になるが、反対にプロセスはより容易と考えられる。それらを考慮し、ロードマップ表に全ての構造・全てのハーフピッチを入れていない。各種の 3D 化方法は、ハーフピッチと積層数はそれぞれ違うが、最終的には同じ容量の Chip を作っており、それ故にロードマップ表には代表的な構造のハーフピッチと積層数を抜き出して書いていることをお許し頂きたい。3D 構造では高容量化を達成する上で、電子数減少問題やワード線の耐圧問題などの制約を積層化することで対策している、従ってハーフピッチはアグレッシブには縮小しない。また 3D 構造は従来とは異なっている故に、セルアレイ占有率や各積層レイヤーからの引き出し線作成工程などの固有の追加工程などがコスト増加を招いている。これらは大きくコストに影響があり、図 PIDS9 にマスク数を少なく、コンタクトを形成するコスト削減方法の例[16,18]を示す。もっともベストケースの場合でも(平面構造から) 3D 化すれば必ず追加コストは必須となる。仮に 3D 構造で(平面上の)ハーフピッチを、平面 NAND に比較して大幅に緩和すると、より高容量化/低 Bit コスト化のためには積層数を大きく増やさなければならない。この背反の関係が 3D の構造ごとに違う。

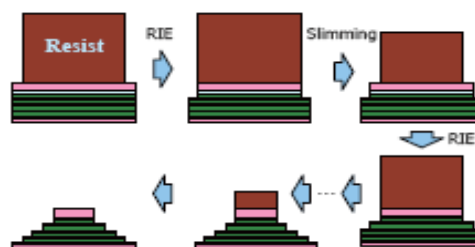


Figure PIDS9a Scheme to Make Staircase Landing Pads for all Layers by Trimming One Single Layer of Photoresist (From Ref. [16])

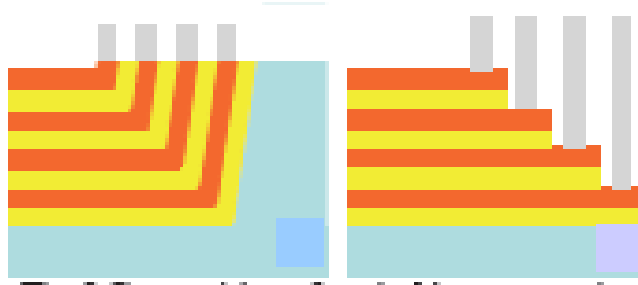


Figure PIDS9b A Scheme to Make Contacts using Tapered Deposition and Surface Contact (Left: surface contacts are made in one operation. Right: conventional staircase contacts.) (From Ref. [19])

最後に、3D-NANDは、通常で言うところの3D インテグレーション即ち複数の Chips をシリコン貫通電極を使ってつなぎ合わせるという構造とは異なり、全く新規の構造で積層して NAND デバイスを一括形成する。それを少ないリソ工程、エッチング工程数の増加のみで実現している。3D-NAND の積層 NAND デバイスというのは最終形状の説明であり、個々の NAND Chips を積層したものと混同しないように区別をお願いしたい。

5.2.2 NOR フラッシュメモリ

5.2.2.1 NAND 浮遊ゲート型 NOR フラッシュメモリ

NOR フラッシュセルはセル間分離と蓄積ノードとしての機能を持つ 1 つの MOS トランジスタにより構成される。このトランジスタの閾値電圧は浮遊ゲートに蓄えられる電荷によって制御され、蓄積の状態を示す。蓄積セルは単一レベルロジック(Single Level Logic, SLC, 1 と 0 のロジックを意味する)かあるいはマルチレベルロジック(Multiple Level Logic, MLC, (11), (10), (00), (01))を蓄積する。メモリアレーは X と Y の交差した配線構造で、ランダムな読み出しができる。書込みはチャネルホット電子あるいは他のホット電子生成によって行い、消去は FN (Fowler-Nordheim) トンネル現象で電子を浮遊ゲートから引き抜くことにより行う。ホット電子の生成にはデバイス直下に高い横方向電界が必要であり、それは急峻な接合プロファイルによって得られる。これは逆に短チャネル効果とリーク電流を増大させ、書込みディスタースをもたらし、ハロー注入がデバイスのリーク電流削減のため使われているが、同時に接合の破壊電圧を低下させ微細化をも制限する。ビット線コンタクトが不要である仮想グランドアレーが開発されると、NOR フラッシュのセルサイズは短期的将来飛躍的に小さくできる。

浮遊ゲート型デバイスでのスケーリングのためのトンネル酸化膜薄膜化要求は 8nm 以下でのデータ保持特性の劣化があり非常に困難であり現状解決法は分かっていない。薄膜化できないことによる短チャネル効果とホットキャリア生成とジャンクションのブレイクダウンの両立が難しく、HP 32nm 以下へのスケーリングを困難にしている。

高容量 NOR の製品、特に3G 携帯電話以降の市場では、より性能のよい DRAM/NAND の組み合わせの SiP 品に置き換わった。しかしながら様々な容量帯の NOR-Flash は非常に多くの様々な製品に広く使用され、たとえハイエンド携帯向け製品が(上述の様に)無くなったとしても、NOR-Flash の市場は非常に安定しており、(縮小するどころではなく)未だに市場も拡大している。それ故に非常に遅いが、32nm 付近まで着実なスケーリングが行われると推測している。それ以降の技術的困難は大きく、他の技術(例えば PCRAM)で、スケーリングが出来ることが証明されれば今後はより魅力的になる。

5.2.2.2 電荷トラップ型 NOR フラッシュメモリ

デバイスの閾値電圧は SiN などの電荷トラップ層における電荷保持にも影響を受ける。SiN を用いた電荷トラップ型デバイスは、SONOS 構造、つまりシリコン(あるいはポリサイド)ゲート、ブロック酸化膜、SiN 蓄積層、トンネル酸化膜の構成になっているので通常 SONOS と呼ばれる。比較的厚いトンネル酸化膜を用いた広く普及している NOR アーキテクチャの SONOS が NROM [24]として知られている。NROM は書込みにチャネルホ

ット電子を、消去にバンド間トンネル電流を用いる。窒化膜に注入された電荷は接合付近に局所的に分布するので、同じデバイスにおいて2ビットの情報が保持できる。デバイスの閾値電圧はドレイン電圧によりドレイン側の電荷を消し、逆にソース側の情報を読み出すことによって読み出しすることができる。

NROM NOR アレイは、埋め込み拡散層がビット線として、デバイスのチャネルがワード線(ポリサイド)方向として機能する仮想グランドアレイを採用することができる。この構造はビット線コンタクトもセル内のSTI分離も不要なので、従来のNORアレイと比較して格段に小さいセルが実現できる。同じデバイスにおける2つの蓄積ノード間のクロストークは完全にはなくせない。このいわゆる“セカンドビット効果”が、それぞれの蓄積ノードの閾値電圧分布を制限し、NROMにおける多値の導入を浮遊ゲート型デバイスよりも困難にしている。しかしながら、浮遊ゲートデバイスでは4ビットセルを得るために16レベルの閾値電圧が必要であるのに対して、NROMは本質的に2ビットセルであり、多値を用いれば4ビットセルになる。仮想グランドアレイは通常のNORアーキテクチャに対して、同じデザインルールでは1.5倍から2倍の面積効果を持っており、さらに製造プロセスが1層ポリシリコンなのでマスク数も減らすことができる。

電荷トラップ型デバイスには、浮遊ゲートデバイスが直面しているゲートカップリングの課題がないが、微細化の課題は類似している。仮想グランドアレイと2ビットセル動作はデバイスのリーク電流に敏感であり、書込みと消去にホットキャリアをもちいること、特に消去にホットホールを用いることは信頼性不良に対しての弱さを増している。微細化限界は浮遊ゲートデバイスと同じであり、短チャネル効果によるデバイスのリーク電流と接合の破壊である。トンネル絶縁膜のスケージングの制限が厳しくないため、潜在的な信頼性は良いと思われるが、ホットホールのダメージと仮想グランドアレイのオフセットから、結果的にスケージングのトレンドは浮遊ゲートNORと似たものになっている。

5.2.3 非電荷型不揮発性メモリ

電荷蓄積型デバイスの究極的な微細化限界は電子数が少なくなることであるので、電子による電荷によらないデバイスはより微細化できる可能性を秘めている。数種類の非電荷型メモリが盛んに研究されており、またいくつかは商品化されており、それぞれが固有の利点と特異な課題を持つ。そのうちいくつかは固有に特殊な用途に合致しておりNOR、NANDフラッシュとは独立の微細化を進展させている。電荷蓄積によらない論理的状态は、根本的な限界を有している。例えばMRAMの磁化反転のように少ない蓄積量のデバイスではランダムな熱的ノイズに弱いことがあげられる。例えばNRAMの超常磁性の制限などである。

このカテゴリに入るデバイスの弱点は、殆どのメモリ層自体は2端子素子で素子には選択性が無いことである。仮にOn状態とOff状態の比が非常に高くても、選択素子が無いとデータは消えてしまう、それ故にデバイス構成は1T-1C構造がFeRAM、1T-1R構造がMRAMとPCRAM、或いは1D-1R構造がPCRAMというようになっている。従って小さいセルサイズ(4F²)を達成するには選択素子の開発が必須となる。加えて、選択素子を入れた複雑なセル構造は3D-NANDのように最小の追加工程で3D化することは難しくなっている。

5.2.3.1 FeRAM

FeRAMは強誘電体キャパシタの極性を変化させ読み取ることで不揮発性を維持している。メモリの状態を読み出すため、強誘電体キャパシタのヒステリシスループを追跡しなければならず読出しの後に再書込みが必要である。この破壊読出しにより、適切な極性変化と動作サイクルにおける安定性を両立する強誘電体材料と電極材料の探査が重要である。強誘電体材料は通常のCMOSプロセスにとっては異質であり、特に高温のアニールに耐えられないので微細化を妨げる要因となっている。事実FeRAM [25]はNOR及びNANDフラッシュよりも数世代遅れたプロセス世代で製造されており、かつ多値化が実現できない。従って近い将来NORあるいはNANDフラッシュを置き換えることは望めないであろう。しかしながらFeRAMは高速読出し/書換え、低電圧、低消費電力であり、それらの卓越した特性によりRFID、スマートカードや他の混載のアプリケーションに最適である。今後の微細化によってアプリに適した大容量化を達成するためにはセル間の分離特性を維持したまま、セルサイズを縮小することが必須である。近年の研究成果からは強誘電体膜の薄膜化が可

能であり、さらに近い将来 2 次元型のセル構造が実現されるであろう。それでもなお 3 次元型のセル構造にはさらなる研究開発が必要である。

5.2.3.2 MRAM

MRAM は磁気トンネル接合(Magnetic Tunnel Junction, MTJ)をメモリとして用いている。MTJ セルは 2 層の強磁性体膜とトンネル障壁として働くそれらの間の薄い絶縁層から構成されている。1つの磁気モーメントが他方の磁気モーメントと同じ方向か逆方向かによって MTJ 層を流れる電流が変化する。トンネル電流は”1”あるいは”0”が保持されているかどうかで読み出すことができる。MRAM は不揮発性であり書換えサイクル回数が無限大でかつ速いため、おそらくユニバーサルメモリに最も近いと思われる。従って SRAM や DRAM のように使われる不揮発メモリになりえるであろう。しかしながら集積回路中での磁気を発生することは困難であり不十分である。それにも関わらず電界反転型の MTJ MRAM は成功裏に量産されている。近い将来、研究開発により微細化されたセルサイズにおいて適当な磁気強度が得られてスイッチングが可能になるであろう。その際使用可能な電流密度はエレクトロンマイグレーションにより決まることになる。ゆえに磁気反転型 MRAM は 65nm 以下には微細化されそうになく、これは表 PIDS8b にも反映されている。

分極したスピン電流がその角運動量を自由磁気層に移動させ、外部磁場に依存することなく極性を変えるという動作原理のスピントルク型 MRAM の近年の進歩は新しい潜在的解法をもたらしている[26]。STT MRAM の詳細については ERD と ERM の章を参照されたい。STT MRAM はまだ開発途上であり、デバイスと材料の研究が続けられているとはいえ、商品の量産出荷予定が間近に迫っておりロードマップに載せている。スピン注入のプロセス中には大電流が MTJ にトンネル層に流れ、そのストレスが書き込み可能回数を劣化させる懸念や、上述のとおり、さらなるスケールアップには熱ノイズに対する安定性も課題になる。それ故に垂直磁化用材料が 32nm 以下のデバイスで必要と予測されている。これら垂直磁化用の材料は研究中で、ERM のチャプターで議論されている。

5.2.3.3 PCRAM

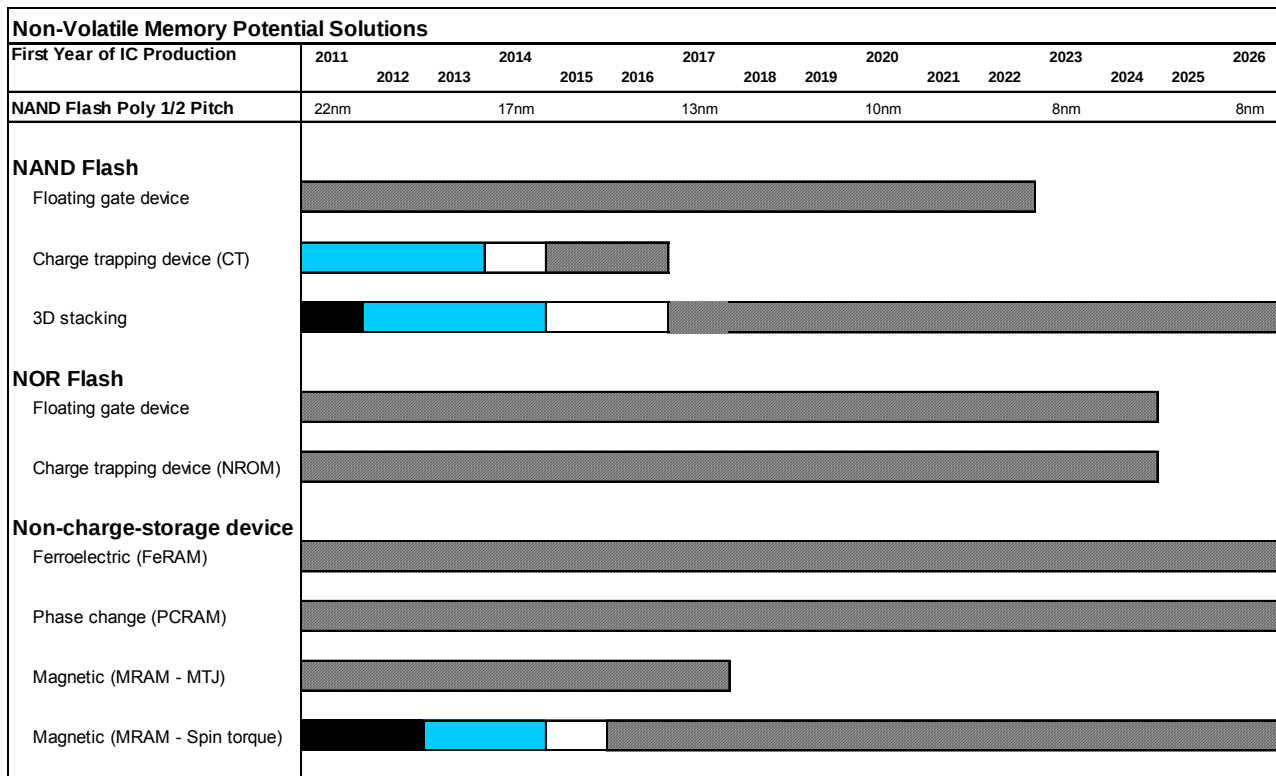
PCRAM はカルコゲナイト材料のアモルファスと結晶の抵抗の違いを用いて、”0”と”1”状態を蓄積するメモリである。カルコゲナイト材料には通常 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) が用いられている。セルのデバイスは上部電極とカルコゲナイドの相変化層と下部電極の構成である。相変化素子と直列に接続されるトランジスタでリーク電流を遮断する。相変化の書き込み動作は、(1) RESET 動作: 短いパルス電圧でカルコゲナイド材料が一旦溶解し、素早く高抵抗のアモルファス状態に変異する、(2) SET 動作: 100ns 程度のより長いパルス電圧を印加し材料をアニールすることにより低抵抗の結晶状態にする。1T1R あるいは 1D1R のセル構造は MOSFET か BJT が使われるのかによって、NOR フラッシュと比較してセルサイズが小さくも大きくもなる。またこのデバイスは前の状態を消去することなく、”0”と”1”どちらの状態にも書き込めるので高速書き込みが可能である。さらに抵抗膜の単純な構造と低電圧動作が混載用途としての PCRAM の魅力である。PCRAM の主な課題は相変化素子を RESET する際の mA オーダーの高電流と SET 時間が長いことである。相変化材料の体積は微細化によって縮小することから、上記の 2 つの課題は微細化の進展に伴い解決される方向である。相変化材料と電極の相互作用は長期信頼性に影響を与え書換え回数を制限するので今後の PCRAM の大きな課題である。PCRAM はページモードを必要としないため DRAM のような真のランダムアクセスメモリである。

PCRAM のスケールアップ限界は 5nm 以下であることがカーボンナノチューブ電極を使用した例で報告されている[27-28]、リセット電流は大面積からの推測線に乗っている。また少なくとも一例以上 10^{11} 回の書き換えが証明されている[29]。

5.2.3.4 FeRAM, MRAM, PCRAM の先

FeRAM、MRAM や PCRAM は二端子デバイスで、メモリ製品として習熟してきたが、これらを超える抵抗変化メモリはまだ研究段階で、ERM/ERD の章にて議論されている。

これらの潜在的な解法は図 PIDS10 に簡単に比較できるよう掲載されている。



This legend represents the time during which research, development and qualification/pre-production should be taking place for the solution

Research Required

Development Underway

Qualification / Pre-production

Continuous Improvement

Figure PIDS10

Non-Volatile Memory Potential Solutions

6 信頼性技術

信頼性は集積回路のすべてのユーザーにとって重要な要求である。要求レベルの信頼性を実現するためにやるべき事は増えつつある。その主な原因は、(1)微細化、(2)新材料と新デバイスの導入、(3)信頼性使命の拡大(より高温領域、超長寿命、高電流)、(4)時間と投資額の制約である。

1. 微細化は、チップとパッケージの両方においてトランジスタ数と配線数の増大をもたらし、それが潜在的欠陥の数を増やしている。また、劣化メカニズムそのものも微細化の影響を受ける。例えば、シリコン酸窒化膜の時間依存性絶縁膜破壊(TDDDB)は、絶縁膜厚が 5nm以下になるにつれて電界による破壊から電圧による破壊にメカニズムが変化していった。あるいは、Pチャンネルデバイスの負バイアス温度不安定性(NBTI)は、閾値電圧が高い時代には小さい効果であったが、閾値電圧が低い最先端デバイスでは大きな障壁になっている。さらに、トランジスタのサイズがフォノンや電子の平均自由行程やドブロイ波長などの根本的な値と同等あるいはそれら以下になった場合には、よく知られた劣化メカニズムは変化し、新しいメカニズムが現れるだろう。例えば、シミュレーションによれば、MOSFETのドレイン接合近傍にはフォノンの平均自由行程よりはるかに小さい高温点が存在することが示唆されている。この点の温度は温度拡散から予測できるよりも数百度高く、トランジスタの信頼性に重大な影響を及ぼす可能性がある。また、トランジスタ微細化による別の新しい信頼性課題として、NBTIよりも解決困難と言われているランダム・テレグラフ雑音(RTN)もある。

微細化は、ばらつきの増大を予測させる。デバイスパラメータに敏感である信頼性劣化メカニズムはばら

つきと密接に関係し、信頼性劣化を拡張するので、測定回数が限定されている現状では信頼性予測を大変困難にしている。

また、微細化は、ストレス要因の実効的な増加をもたらす。第1に、微細化により電流密度が増加することで、配線信頼性に影響を与える。第2に、微細化による電圧スケールリングはデバイス寸法よりも緩やかにスケールされる場合があるので電界が増加し、その結果、絶縁膜の信頼性に影響を与える。第3に、微細化は消費電力の増大をもたらす、それはチップ温度の上昇、温度サイクルの増加、温度勾配の増加、につながる。それらは複数の劣化メカニズムに影響を与える。さらに、温度効果は金属配線間の絶縁膜の誘電率低下に伴う熱伝導率の減少によっても劣化する。

2. 新材料、新デバイスに伴う革新的な変化は、より困難な信頼性課題を発生させる。理解されていた劣化メカニズムが変化する可能性がある。例えば、アルミニウム配線は堆積後に安定であり、エレクトロマイグレーションでのアルミニウム拡散経路は結晶粒界であった。これに対して、銅配線ではメッキ後に結晶粒が成長するので、幅広配線につながっているシングルビアでは、応力起因ボイド劣化につながる。さらに、銅配線では、エレクトロマイグレーションの銅拡散経路は表面であるので、銅配線のエレクトロマイグレーションや応力起因ボイドは層間絶縁膜の界面特性により敏感である。従って、銅配線の信頼性はアルミニウム配線に比べて界面により敏感であり、相対的に表面積が大きくなる微細化が進むにつれて、銅配線エレクトロマイグレーション劣化は厳しくなる。また、高誘電率膜、低誘電率膜や金属ゲートなどの新材料や2重ゲートやFinFETなどの新デバイスは、TDDDBやBTIのような良く知られた劣化メカニズムを変えるか、あるいは新しい劣化メカニズムを引き起こす可能性がある。信頼性評価は、ゲートスタック構造の材料間相互作用により一層複雑であり、ゲートスタック構造そのものも、形成プロセス(堆積技術、熱処理プロセスなど)に強く影響される。そのような多材料ゲートスタック構造は、特定プロセス起因の劣化(本質的、および非本質的なメカニズムを含む)を引き起こす可能性がある。例えば、酸化窒化膜と多結晶シリコンゲートから高誘電率膜と金属ゲートへの変更により、Nチャンネルデバイスの正バイアス温度不安定性(PBTI)は新しい劣化メカニズムとして出現した。さらに上記変更は、TDDDB特性も、従来の多結晶シリコンゲートMOSFETsで観察された段階的なあるいは多重の破壊モードから、より急峻な破壊へと変化させている。低誘電率金属配線間絶縁膜の機械的、熱的脆弱性は従来の層間絶縁膜であるシリコン酸化膜では見られなかった機械的劣化メカニズムにつながっている。

集積回路の機能性を向上する方法の1つはCMOSのプラットフォームの上にセンサーやアクチュエータを集積することである。これらの“More than Moore”は信頼性確保の複雑性を非常に増大させる。これらの新技術はロードマップ上の微細化の終焉より前に導入されるという可能性は高く、その準備を行わなければならない。センサーやアクチュエータ導入は独自の信頼性課題を引き起こす可能性が高く、全く新しい信頼性課題を提起するであろう。

3. 信頼性に課せられた使命は、さらに拡大する傾向にある。例えば、自動車に用いるセンサーでは、200°Cを越える領域での信頼性が要求される。また、基地局や太陽電池などの応用では、数十年に渡る連続使用の信頼性が要求される。
4. 時間と投資額の制約は、主要技術の変革とともにますます増加し、しかも信頼性エンジニアリングがその技術変革に同期して信頼性を維持しなければならないという課題を提起するのである。さらに、新材料や新デバイスの導入速度は、新しい不良メカニズムと物理を構築することを我々に要求しながらも、不良率への要求はますます高まっているのである。もしも、最終製品に解明されていない不良メカニズムを導入せざるを得なくなったら、その影響は重要であろう。

これら信頼性への課題は、短期間に複数の新たな技術変革を導入する必要性から、より深刻になるであろう。また、複数の技術変革は相互に作用して、不良モードの理解と制御をより一層困難にする。さらに、複数の主要課題を同時に扱うことは、限られた信頼性リソースに重荷を課すだろう。

6.1 信頼性への要求

信頼性への要求は応用に強く依存している。ほとんどの顧客にとって、パッケージの信頼性を含む現在のすべての信頼性基準は、技術変革による信頼性の危機にも関わらず、今後 15 年間は維持されなければならない。一方で、信頼性基準を不断に向上させなければならない市場も存在する。より高い信頼性基準、厳しい使用環境、長い保証期間を要求する応用は通常のオフィスや携帯などの応用よりも困難である。チップ全体の信頼性基準が一定であるとしても、微細化によりトランジスタ当たりの信頼性や単位長さ当たりの配線の信頼性基準は、不断に向上されなければならないことに注意されたい。信頼性仕様を満足することは顧客にとって大切な要求であり、通常の信頼性要求を満たさないことは最悪である。

これらの顧客の要求は、半導体メーカーへの要求に落とし込まれ、それら半導体メーカーでは、要求を満足するために、すべての不良モードに関する綿密な物理的知識と、信頼性設計、構築された信頼性技術、信頼性保証、欠陥選別や安全化方法論における強力な信頼性工学機能に頼ることになる。しかし今日、これらの機能には現実と大きな隔りがある。さらに、この隔りには、新材料と新デバイス構造の導入に伴い、より広がることになる。また、不十分な信頼性検証技術は、製品性能の必要の無い劣化や必要無いはずの危険性にもつながるのである。

信頼性保証は、常にある種の危険性を伴う。信頼性要求に合わない技術を保障してしまう危険性や信頼性要求に合致する技術を拒絶してしまう危険性があるからである。新技術に対しては、いずれかの時点で、保証の付与が試みられることになる。しかしながら、そうした保証に伴う危険性は大きいものである。危険性の程度は、信頼性物理の品質と信頼性工学の知識に直接的に関連する。こうした危険性を低減するには、頑健性の確認という概念を、より一層活用することが求められる。劣化モードに関する完全な知識、モデリングと信頼性使命の影響評価の組み合わせこそが、本質的な疲労課題を有する技術が使用を許される確率を低減できるのである。従って、そうしたことを適切に使うことで、保障評価時間の短縮や危険性の低減ができるであろう。

別の課題は、製品開発や製品保障の段階で、浴槽曲線の初期劣化領域で百万分の一という低い信頼性レベルを保障しなければならないことである。保障によく用いられる試料群は、その段階では保障を統計的に支持するのに十分な量が供給されることはないであろう。

表 PIDS9 に示される信頼性技術要求の色表示は、新材料と新デバイスに対する完全でない知識と技術に伴う危険性を示している。ロードマップでの黄色から縞模様への遷移は信頼性の危険増大を示す。要求が最初に黄色(製造解決策は知られている)に変わる 2012 年では、微細化と消費電力増加に伴う危険性は比較的小さい。今後 2012 年までに多くの半導体メーカーが高誘電率膜と金属ゲート電極を有するトランジスタを導入することが予想され、これはかなり信頼性の危険度があることを示唆している。危険性の評価というものは、本来、信頼性課題としては知られているが、よく理解されていない事柄にとっては、あまり信頼がおけるものではない。例えば、最先端の微細化されたデバイスでは、ドレイン・バイアス電圧印加によって NBTI 劣化が強く加速されることが挙げられる。普通レベルの危険性の評価は、課題の自覚度合いを反映するものである。これらの課題を解決するには、多くの努力とリソースが必要である。

ロードマップの要求は、2014 年には縞模様(暫定の解決法が知られている)に変わる。この日程は大凡である。これは、その時点で新しいデバイスや材料(例えば、光配線、非 CMOS トランジスタやメモリ)が導入されることを意味する。これらの変化は、大きな信頼性危険性を誘発し、信頼性物理と工学において必要な機能を開発するためかなりの期間を要する。我々はこれらの破壊的な技術がどんなものであるか、あるいはいつそれらの技術が導入されるか正確には知らない。信頼性危険性についても前もって知る手段がない。ロードマップの赤色は、ばらつきの増大や新デバイスと新材料の知られていない信頼性の振る舞いと、それらの相互作用を反映している。それは、既知の解決方法がない知られた課題よりも、むしろ未知の課題の増大を示唆している。信頼性の知識の品質が乏しいほど、信頼性の危険性は増大するのである。

Table PIDS9

Reliability Technology Requirements

6.2 信頼性の解決策候補

信頼性の要求に応える最も効果的な方法は、それぞれの技術世代の開発開始時点で入手可能である、信頼性組込み技術と信頼性考慮の設計技術の完全な方策を得ることである。これにより、最適な信頼性/性能/消費電力の選択が可能になり、十分な信頼性を満足する製造プロセスを構築することができるのである。不幸なことに、現在これらの手段には深刻な隔たりがあり、この隔たりは将来ますます大きくなりそうである。その不利益は信頼性課題の危険性を増やし、性能、価格や商品化までの時間に悪影響を及ぼすであろう。

究極的なナノデバイスでは、ばらつきの程度が大きく、最初から動作しないデバイスの割合が高くなると一般的には考えられている。これは、分子レベルでのデバイス固有の本質ではないかと見られる。その結果、回路設計者が最悪デバイス性能条件での回路設計という手法を取ることは、もはや不可能になる。なぜなら、最悪条件での回路設計は回路の性能を台無しにしてしまうからである。従ってこの問題を解決するためには、回路とシステムの枠組みの完全な変革が必要である。しかし、そうした回路やシステムの変革にはまだ到達していないので、現状では、ばらつき増大は、ほとんどのメーカーに負担をかける信頼性課題となっている。これは、ばらつきが信頼性寿命算出の正確性を損ない、試験デバイスの数を飛躍的に増大させるからである。こうしたばらつきと信頼性の連携作用が微細化の利益を圧迫している。従って、ロードマップの終焉前のどこかの時期で、大規模回路におけるすべてのトランジスタを仕様通りに保証するというコストは大きすぎて現実的ではなくなるだろう。その結果、製品の信頼性をいかに達成するかという根本的な考え方を変える必要がある。この考え方は、ストレスと破壊にうまく対処する能力である回復力として知られている。1つの可能性のある解決方法は、通常性能からはずれて動作している回路の部品を測定し、動作中にも回路の動作電圧を可変にできる、いわゆる監視装置を回路内に置くことである。このような解決方法はより探究され、開発されることが必要である。究極的には、動作不良と不良デバイスを避けるために動的に自己再編成できる(あるいは機能の変換/改良を行う)回路が必要になるであろう。

信頼性評価は、例えば、プロセス開発の短期間化や多様な応用に調整された新材料・ゲートスタック材料の増加により複雑さを増しているが、こうした複雑さが増すことは、物理を基礎とする原子レベル信頼性モデルをより一層用いることで多少改善できるかもしれない。そうしたモデルは材料構造シミュレーションに関連し、原子レベルでの劣化プロセスを考慮している。少しずつ、こうしたモデルの必要性は認められつつあり、信頼性評価の統計的手法への信用性を少なくしてきている。従来の統計的手法は高価で長期間が必要である課題がある。これら新モデルには、さらに付加的な利点がある。例えば、新モデルは比較的容易にコンパクトモデル技術に組み込まれうることや、特定用途の製品に適用される前には限定的な校正が要求されるだけであることなどである。

いくつかの小さな変革はすでに静かに始まっているかもしれない。最初の段階では、単純に、信頼性要求に精密に合わせ込むことで、過剰な余裕を排除することであったり、あるいは製品の信頼性仕様を満足させることであったりする。より洗練された手法は、欠陥を許容した設計、欠陥を許容した構成、欠陥を許容したシステムの構築である。こうした研究はおおいに盛んになってきている。しかしながら、デバイスの信頼性とシステムの信頼性の差は極めて大きく、デバイス信頼性の研究が回路への影響を明らかにすることが強く求められている。デバイス信頼性の多くの既存課題を調べるために、SRAMやリングオシレータなどの回路を用いることが増えることは良い兆候である。そうした調査は、回路の敏感さやばらつきといった課題を提示するものである。より一層のデバイス信頼性の研究が、回路やシステムの側面を提示することが必要である。例えば、ほとんどのデバイス信頼性の研究は擬似 DC 測定に基づいており、回路動作速度での劣化の影響を見ている研究はあまりない。この測定速度の差が回路性能に関するデバイス劣化モデリングを困難で危険性のあるものになっている。

ある程度、我々は従来の信頼性要求を満足しなければならない。これは、劣化機構の深い物理的考察と強力な実践的な信頼性解析装置の開発を意味する。歴史的には、新しい技術世代の量産前には、必要な性能の開発のために多くの年月(平均的には10年)を要する(研究開発は、劣化モードの解析、ばらつきの定量化、

寿命予測できるモデル、信頼性の設計と信頼性 TCAD 装置の開発などを行なう)。品質判定技術は進歩しているが、まだ重要な隔りがある。

重要な技術変革において、いかに早く信頼性機能を確立するかということには限界がある。重要な技術変革とは、ゲート絶縁膜の変更や MEMS を含む新デバイスなどである。主要技術変更を期限ぎりぎりで見極めることは、既存かつ適切な信頼性知識の根拠がなければ、大きな問題である。

遅れを取り戻すべき信頼性手法は、信頼性の研究・開発・応用の多大な増加と歴史的な時間よりずっと早い期間に必要な技術を取り入れることを要求している。それぞれの劣化機構に対する速い評価手法、有効なモデルや設計装置に関して、仕事が必要である。銅配線、低誘電率膜、新ゲート絶縁膜のような新材料の影響は特に注意しなければならない。短時間で集積回路の大部分に関して信頼性を正確に計算できる手法を開発する打開策が必要である。このような短期間での主要技術変革に対応するためには、信頼性手法を増やすことが必要であろう。

必要な技術は明らかに多いが、特に必要である技術は、間違った結果を誘発するであろう過剰な加速試験なしで、関連ある長期劣化診断をもたらす最適な信頼性評価手法である。この必要性は、標準的な試料寸法での寿命予測の正確性を損なう製造プロセスの余裕度の減少とばらつきの増大に起因する。多数デバイスに同時にストレスを印加できる環境が、特に長期信頼性評価には大いに望まれる。信頼性評価をある適切な価格で実現することは大きな課題であり、これは、今も困難であるが、より進化した世代においてはさらに難しくなる。この課題を解決するには、試験技術の打開策が本当に必要とされる。

7 TWG を跨ぐ課題

7.1 フロントエンドプロセス

Front End Process (FEP)とPIDSには強い相関関係がある。共通の課題は、完全空乏型 SOI 構造や多重ゲート構造の導入年の予測である。プロセスモジュール機能によって決められるたくさんのパラメータがあり、そうしたプロセスモジュールはデバイス特性に重大な影響を及ぼすものである。例えば、バルク基板のデバイスに関して、我々は短チャネル効果を抑制するための極めて高い不純物濃度の二律背反の困難に直面している。完全空乏型 SOI や多重ゲート MOS デバイスでは、主な課題は極薄シリコン膜チャネルを制御することである。すべてのデバイスには、特に極薄膜チャネルでは重要な課題として、ソース、ドレイン寄生抵抗の差し迫った要求がある。他の課題は、電源電圧(Vdd)の低下であり、これは、特に電流、速度、ゲート絶縁膜厚、消費電力密度などほとんどすべての要因に影響する。DRAM では、微細化に伴いセルトランジスタのリーク電流を低く抑えることと同時に、金属―絶縁膜―金属(MIM)キャパシタに高誘電率絶縁膜を導入し実効膜厚を積極的に薄くすることが、共通の課題である。不揮発性メモリでの共通の課題は、フラッシュメモリの層間絶縁膜とトンネル絶縁膜の微細化に関する困難な二律背反である。

また、理想的には、両方の章で共通に使われている全てのパラメータは、まったく同じ値でなければならない。しかし、実際には、完璧な仕事をするためには、そうしたことが困難であることに気が付く。PIDS にとってその主な理由は、第一に、すべてのパラメータが ORTC によって取り決められた全体のロードマップ目標、例えば、設計からの値と同じようにデバイス速度 I/ CV 、ゲート長や Vdd などと整合しなければならないからである。また同時に、すべてのパラメータは、MASTAR シミュレーションと整合しなければならない。第二に、すべてのパラメータを整合させるために、それぞれのグループがプロセス機能とデバイス性能の観点から解決策を検討できるのは、数回の反復しか許されないからである。こうした課題を理解して修正する為に、近いうちに、両方のグループがなんらかのプロセスを始める計画がある。

7.2 設計

PIDS の成果を一番直接的に受け取るのは、設計 TWG である。だから、密接な関係が求められる。速度と消費電力に関する要求とそれらの二律背反が、議論のほとんどである。本質的なトランジスタ速度 I/ CV と年毎の増加割合は、回路クロック周波数と完全に結びついている。この割合は、17%/年から13%/年へと最近変化してきており、さらに来年には、8%/年に低下されようとしている。これについては、設計を含む多くの TWG で合意されている。低電力技術である LOP と LSTP に関しては、目標基準は設計に多く依存している。全てのロジック技術は表 PIDS6 にまとめられているが、それら技術における速度や消費電力の基準に関する全体の要求や指標は、上記の相互協力の例である。

7.3 モデリングとシミュレーション

現在、PIDS は、主要なデバイス特性を計算する為に、MASTAR への入力としての物理的パラメータと輸送と静電性(サブスレッショルド・スロープ)における一定の仮定を用いている。MASTAR は解析式に基づいているので、実際のデバイス測定データによって検証されているが、将来の予測は不正確な部分を含む。長期予測での不正確さを少なくする手段としては、TCAD 装置[30]を用い、MASTAR への入力パラメータである弾道輸送係数やサブスレッショルド・スロープなどを決める方法がある。TCAD 装置では、結果を相互確認するために、異なる複数の仮定やモデルを用いる。また一方、InGaAs や Ge のような新しい高移動度チャネル材料に関しては、まだ多くの不確実性があり、例えば、III-V 材料での低い状態密度などである。モデリングとシミュレーション TWG との相互協力や援助は、非常に多くの利益をもたらしているので、今後も続けられる必要がある。また、TCAD プロセスシミュレーションの重要性は、正しい注入量、欠陥の輸送と消滅、接触界面特性や形状寸法を提供することであり、それらによってデバイスシミュレーションは正確性を増すことができる。モデリングとシミュレーションの拡張を要求する他の長期的課題は、原子レベルのばらつき、プロセスの統計的ばらつき、

新しい配線構成などである。加工寸法の微細化に伴って、新しいプロセス工程、設計や材料に関わるデバイス、配線や回路での信頼性課題はより一層重要になるだろう。

7.4 新探究デバイスと新探究材料

Emerging Research Devices (ERD)の章では、ロジックデバイス、メモリや設計を含む領域で、現状のシリコン CMOS 技術を超える可能性のある将来技術を扱っている。従って、それらの将来技術はPIDSの章で記述される CMOS の後継技術を扱うのである。ロードマップの終焉あるいはその先に向かって、CMOS の微細化が効果的ではない、あるいは価格が合致しないという際に、電子産業が性能、低消費電力、機能当たりの低コスト、高機能などをさらに追求するようであれば、ERD 技術が必要になると予想される。従って、PIDS の可能性ある解決方法の表には、ロードマップの後半に ERD の解決方法を挿入している。同様に、材料に関する項目は Emerging Research Materials (ERM)の章から引用している。

8 REFERENCES

- [1] M. Na et al., *IEDM Technical Digest*, p. 121, Dec. 2006.
- [2] T. Skotnicki, et al., “A new punchthrough current model based on the voltage-doping transformation,” *IEEE Trans. Electron Devices*, vol. 35, no. 7, pp. 1076–1086, June 1988.
- [3] T. Skotnicki et al., “A new analog/digital CAD model for sub-half micron MOSFETs,” *IEDM Technical Digest*, pp. 165–168, December 1994.
- [4] T. Skotnicki and F. Boeuf, “CMOS Technology Roadmap – Approaching Up-hill Specials,” in *Proceedings of the 9th Int. Symp. On Silicon Materials Science and Technology*, Editors H.R. Huff, L. Fabry, S. Kishino, pp. 720–734, ECS. Vol. 2002-2.
- [5] H. Mendez et al., “Comparing SOI and bulk FinFETs: Performance, manufacturing variability, and cost”, *Solid State Technology*, Nov. 2009.
- [6] S. Takagi et al., “Channel Structure Design, Fabrication and Carrier Transport Properties of Strained-Si/SiGe-On-Insulator (Strained-SOI) MOSFETs,” *IEDM Technical Digest*, pp. 57–60, December 2003.
- [7] J. Y. Kim et al., “The breakthrough in data retention time of DRAM using Recess-Channel-Array Transistor(RCAT) for 88 nm feature size and beyond”, *Symp. VLSI Technology Digest of Technical Papers*, p.11, 2003.
- [8] J. Y. Kim et al., “S-RCAT (sphere-shaped-recess-channel-array transistor) technology for 70nm DRAM feature size and beyond”, *Symp. VLSI Technology Digest of Technical Papers*, p.34, 2005.
- [9] Sung-Woong Chung et al., “Highly Scalable Saddle-Fin (S-Fin) Transistor for Sub-50 nm DRAM Technology”, *Symp. VLSI Technology Digest of Technical Papers*, p.32, 2006.
- [10] T. Schloesser et al., “6F² buried wordline DRAM cell for 40 nm and beyond”, *IEDM Technical Digest*, p. 809, 2008.
- [11] Deok-Sin Kil et al., “Development of New TiN/ZrO₂/Al₂O₃/ZrO₂/TiN Capacitors Extendable to 45nm Generation DRAMs Replacing HfO₂ Based Dielectrics”, *Symp. VLSI Technology Digest of Technical Papers*, p.38, 2006.
- [12] H. T. Lue, S. Y. Wang, E. K. Lai, Y. H. Shih, S. C. Lai, L. W. Yang, K. C. Chen, J. Ku, K. Y. Hsieh, R. Liu, and C. Y. Lu, “BE-SONOS: A Bandgap Engineered SONOS with Excellent Performance and Reliability,” in *IEDM Technical Digest Tech.*, pp. 547-550, 2005.
- [13] Y. Shin, J. Choi, C. Kang, C. Lee, K.T. Park, J.S. Lee, J. Sel, V. Kim, B. Choi, J. Sim, D. Kim, H.J. Cho and K. Kim, “A Novel NAND-type MONOS Memory using 63nm Process Technology for Multi-Gigabit Flash EEPROMs,” *IEDM Technical Digest*, pp. 337-340, 2005.
- [14] S-M. Jung, J. Jang, W. Cho, H. Cho, J. Jeong, Y. Chang, J. Kim, Y. Rah, Y. Son, J. Park, M-S. Song, K-H. Kim, J-S. Lim and K. Kim, “Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node,” *IEDM Technical Digest*, pp. 37-40, 2006.
- [15] E. K. Lai, H. T. Lue, Y. H. Hsiao, J. Y. Hsieh, C. P. Lu, S. Y. Wang, L. W. Yang, T. H. Yang, K. C. Chen, J. Gong, K. Y. Hsieh, R. Liu and C. Y. Lu, “A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory,” *IEDM Technical Digest*, pp. 41-44, 2006.
- [16] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi and A. Nitayama, “Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory,” *Symp. VLSI Technology*, pp. 14-15, 2007.
- [17] R. Katsumata, M. Kito, Y. Fukuzumi, M. Kido, H. Tanaka, Y. Komori, M. Ishiduki, J. Matsunami, T. Fujiwara, Y. Nagata, L. Zhang, Y. Iwata, R. Kirisawa, H. Aochi and A. Nitayama, “Pipe-shaped BiCS Flash Memory with 16 Stacked Layers and Multi-Level-Cell Operation for Ultra High Density Storage Devices,” *Symp. VLSI Technology*, pp. 136-137, 2009.
- [18] J. Jang, H.S. Kim, W. Cho, H. Cho, J. Kim, S.I. Shim, Y. Jang, J.H. Jeong, B.K. Son, D.W. Kim, K. Kim, J.J. Shim, J.S. Lim, K.H. Kim, S.Y. Yi, J.Y. Lim, D. Chung, H.C. Moon, S. Hwang, J.W. Lee, Y.H. Son, U.I. Chung, and W.S. Lee,

- “Vertical Cell Array using TCAT (Terabit Cell Array Transistor) Technology for Ultra High Density NAND Flash Memory,” *Symp. VLSI Technology*, pp. 192-193, 2009.
- [19] J. Kim, A.J. Hong, S. M. Kim, E.B. Song, J.H. Park, J. Han, S. Choi, D. Jang, J.T. Moon, and K.L. Wang, “Novel Vertical-Stacked-Array-Transistor (VSAT) for Ultra-high-density and Cost-effective NAND Flash Memory Devices and SSD (Solid State Drive),” *Symp. VLSI Technology*, pp. 186-187, 2009.
- [20] W. Kim, S. Choi, J. Sung, T. Lee, C. Park, H. Ko, J. Jung, I. Yoo, and Y. Park, “Multi-layered Vertical Gate NAND Flash Overcoming Stacking Limit for Terabit Density Storage,” *Symp. VLSI Technology*, pp. 188-189, 2009.
- [21] C.H. Hung, H.T. Lue, K.P. Chang, C.P. Chen, Y.H. Hsiao, S.H. Chen, Y.H. Shih, K.Y. Hsieh, M. Yang, J. Lee, S.Y. Wang, T. Yang, K.C. Chen, and C.Y. Lu, “A Highly Scalable Vertical Gate (VG) 3D NAND with High Program Disturb Immunity using a Novel PN Diode Decoding Structure,” *Symp. VLSI Technology*, 4B-1, 2011.
- [22] S.J. Whang, K.H. Lee, D.C. Shin, B.Y. Kim, M.S. Kim, J.H. Bin, J.H. Han, S.J. Kim, B.M. Lee, Y.K. Jung, S.Y. Cho, C.H. Shin, H.S. Yoo, S.M. Choi, K. Hong, S. Aritome, S.K. Park, and S.J. Hong, “Novel 3-dimensional Dual Control-Gate with Surrounding Floating-Gate (DC-SF) NAND Flash Cell for 1Tb File Storage Application”, *IEDM Technical Digest*, pp. 668-671, 2010.
- [23] Y.H. Hsiao, H.T. Lue, T.H. Hsu, K.Y. Hsieh, and C.Y. Lu, “A Critical Examination of 3D Stackable NAND Flash Memory Architectures by Simulation Study of the Scaling Capability”, *2010 International Memory Workshop*, pp. 142-145, 2010.
- [24] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, “NROM: A Novel Localized Trapping, 2 bit Nonvolatile Memory Cell,” *IEEE Electron Device Lett.*, **21**, pp. 543–545, Nov. (2000).
- [25] Y. K. Hong, D. J. Jung, S. K. Kang, H. S. Kim, J. Y. Jung, H. K. Koh, J. H. Park, D. Y. Choi, S. E. Kim, W. S. Ann, Y. M. Kang, H. H. Kim, J.-H. Kim, W. U. Jung, E. S. Lee, S. Y. Lee, H. S. Jeong and K. Kim, “130 nm-technology, 0.25 μm^2 , 1T1C FRAM Cell for SoC (System-on-a-Chip)-friendly Applications,” *Symp. VLSI Technology*, pp. 230-231, 2007.
- [26] K. Miura, T. Kawahara, R. Takemura, J. Hayakawa, S. Ikeda, H. Takahashi, H. Matsuoka and H. Ohno, “A novel SPRAM (SPin-transfer torque RAM) with a synthetic ferromagnetic free layer for higher immunity to read disturbance and reducing write-current dispersion,” *Symp. VLSI Technology*, pp. 234-235, 2007.
- [27] F. Xiong, A. Liao, D. Estrada, and E. Pop, “Low-power Switching of Phase-Change Materials with Carbon Nano Tube Electrodes”, published online in *Science Express*, March 10th, 2011.
- [28] J. Liang, R.G.D. Jeyasingh, H-Y. Chen and H-S. P. Wong, “A 1.4uA Reset Current Phase Change Memory Cell with Integrated Carbon Nanotube Electrodes for Cross-Point Memory Application”, *Symp. VLSI Technology*, 5B-4, 2011.
- [29] I.S. Kim, S.L. Cho, D.H. Im, E.H. Cho, D.H. Kim, G.H. Oh, D.H. Ahn, S.O. Park, S.W. Nam, J.T. Moon, and C.H. Chung, “High Performance PRAM Cell Scalable to Sub-20nm Technology with below 4F² Cell Size, Extendable to DRAM Applications”, *Symp. VLSI Technology*, 19-3, 2010.
- [30] See for example, <https://nanohub.org/resources/tools/?view=taxonomy>

MASTAR INSTRUCTIONS

DOWNLOADING AND INSTALLATION

The MASTAR application must be downloaded to your hard drive and installed there in order to run it.

Do NOT open the file from the internet.

Save the file to your hard disk by the following method:

1. Create a folder on your hard drive for the MASTAR installation file.
2. Select this interactive icon for MASTAR



then select "Save target as..." to save the file to your newly created folder on your hard drive.

► NOTE: The file name is "SetupMastar_5051_ITRS2011.exe".

3. Once the file has downloaded, go to your new folder and click on this downloaded file

► The installer will start, creating a new folder in your computer's Program Directory and placing the MASTAR application and supporting files in this folder labeled "Mastar_5051_ITRS2011."

5. When the installation is completed, open the Program Directory file folder labeled "Mastar_5051_ITRS2011."

6. Find the file named MASTAR.EXE.

7. Open the application by clicking on this file.

8. Be sure to register as a new user.

RUNNING THE MASTAR APPLICATION

For detailed instructions about MASTAR – download these [Modeling Instructions](#).