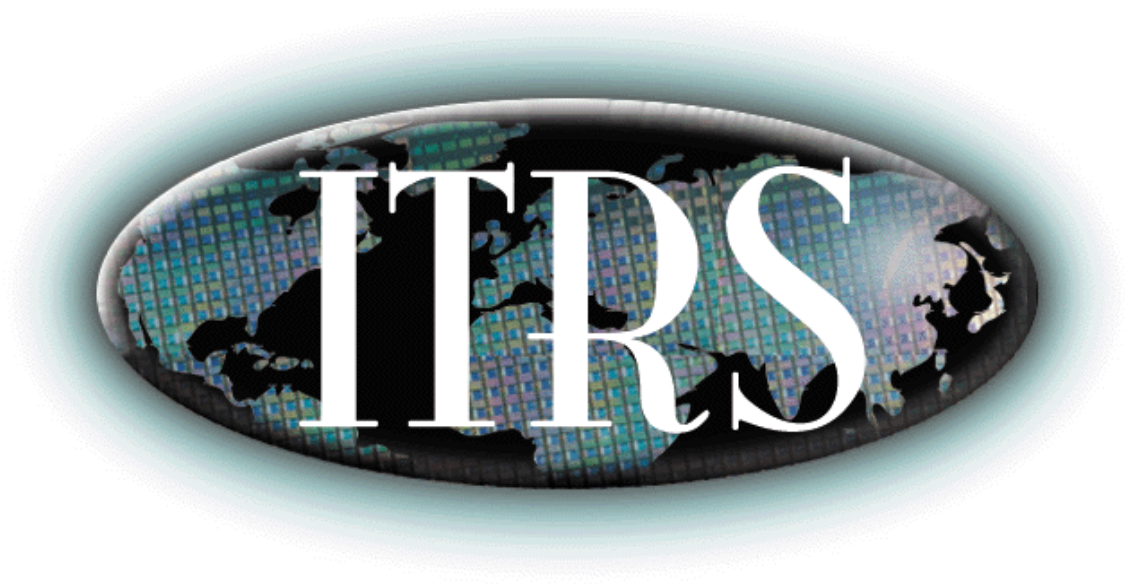




INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2011 EDITION

TEST AND TEST EQUIPMENT

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011 年版は英文で 1000 ページを超えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」 「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 SRTJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012 年 5 月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2011 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2011 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：

一般社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局

電話: 03-5218-1068 電子メール: roadmap@jeita.or.jp

1	2011年版の概要	1
2	ドライバ、チャレンジ、および将来の可能性	2
2.1	主要なドライバ	4
2.1.1	デバイスのトレンド	4
2.1.1.1	デバイスインタフェースの帯域	4
2.1.1.2	増加するデバイスの集積	4
2.1.1.3	新たな非デジタルCMOS技術の集積	4
2.1.1.4	パッケージ形状因子と電気機械的・熱的特性	4
2.1.1.5	決定論的入力応答モデルを超えるデバイス特性	5
2.1.1.6	3次元シリコンデバイス	5
2.1.1.7	複数のI/Oタイプ、および、複数の電源を持つデバイス	5
2.1.1.8	欠陥耐性を持つデバイス	5
2.1.2	増加するテスト工程の複雑さ	6
2.1.2.1	増大したデバイスのカスタマイズと(テスト工程の)ライン項目の複雑さ	6
2.1.2.2	製造条件調整のために増大したテストデータフィードバック	6
2.1.2.3	アダプティブテストを用いたダイナミックなテストフロー	6
2.1.2.4	テスト条件の高次元化	6
2.1.2.5	DUT内部のコンカレントテスト	6
2.1.2.6	ユニットレベルにおけるテストトレーサビリティの継続	7
2.1.3	持続するテストの経済的スケーリング	7
2.1.3.1	同時測定の物理的経済的限界	7
2.1.3.2	(デジタルロジック)テストデータ量の管理	7
2.1.3.3	インタフェースハードウェアと(テスト)ソケットコストの管理	7
2.1.3.4	ツールの能力・複数回のテスト・システムテスト・BISTのバランス	8
2.2	困難な課題(優先順)	8
2.2.1	テストコストと総合装置効果	8
2.2.2	量産製造向けとしてのテスト開発(市場への展開)	8
2.2.3	システムティック欠陥の検出	8
2.2.4	信頼性のためのスクリーニング	9
2.3	将来の可能性	10
2.3.1	テストプログラム自動生成	10
2.3.2	圧縮データ内のスキャン診断	10
2.3.3	シミュレーションとモデリング	10
2.3.4	テストとシステム信頼性の解決策の統合	11
3	テストと歩留り習熟	11
3.1	電氣的テストベース故障診断	11
3.2	故障解析	13
3.2.1	回路ノード・ブロービング	13
3.2.2	欠陥分離精度	13
3.2.3	パッケージ状態での解析	14
3.2.4	CAD/EDAツール	14
3.2.5	オンチップ・タイミング計測	14
3.2.6	サンプル準備と治工具	14
4	テストコストに注目したトピックス	14
4.1	現在のコスト要因(上位)	15
4.2	将来のコスト要因	16
4.3	現在展開されているコスト削減技術	17
4.4	将来期待されるコスト削減技術	17
4.5	ベース・コストのトレンド	18
4.6	チャネルコストのトレンド	18
4.7	電源コストのトレンド	18
4.8	インタフェースコストのトレンド	18

4.9	同時測定の特長	19
4.10	その他のコスト特長	20
4.11	重要な関心領域	20
5	3次元デバイスのテスト	21
5.1	テストフロー、コスト、リソース	21
5.2	テストアクセス	22
5.3	異種のダイ	23
5.4	デバッグ/診断	23
5.4.1	DFX	24
5.5	電力	24
5.6	3Dテストのまとめ	25
6	アダプティブテスト	25
6.1	アダプティブテストの定義	25
6.2	適用例	25
6.3	今後 5～10 年のアダプティブテストの方向	26
6.4	テスト結果が推進する「適応型の設計」	27
6.5	適応型の製造	27
6.6	アダプティブテストを構築するブロック	28
6.7	テスト装置と生産テスト工程への影響	28
6.8	テストデータと解析への要求に対する影響	28
6.9	アダプティブテストのカード/システム/フィールドへの影響	29
7	テスト技術への要求	30
7.1	導入部	30
7.2	システム集積—SoCとSiPのテストの課題への影響	31
7.2.1	システム・オン・チップ	31
7.2.1.1	ロジックコアに対する要求課題	32
7.2.1.2	メモリアに対する要求課題	35
7.2.1.3	SoCの集積に関する要求課題	36
7.2.2	システム・イン・パッケージ	37
7.2.2.1	積層ダイのテストおよび装置に関する課題	37
7.2.2.2	ウェーハのテストと装置に関する課題と関心事項	38
7.2.2.3	RFデバイスのウェーハテスト	38
7.2.2.4	ウェーハもしくはダイレベルでの信頼性スクリーニング	38
7.2.2.5	テストデータの統計的な処理	38
7.2.2.6	後工程のダイの品質への影響	39
7.3	DUMMY(原本の節構成間違いを吸収するためダミーとして入れる)	39
7.4	ロジック	39
7.4.1	大量生産マイクロプロセッサの特長を牽引するもの	39
7.4.2	システム・特長を牽引するもの	39
7.4.3	DFTの特長を牽引するもの	40
7.4.4	大量生産マイクロプロセッサのテスト要求	41
7.5	高速I/O インタフェース	41
7.5.1	重要な関心領域	44
7.5.1.1	ジッタの分解と測定	45
7.5.1.2	ジッタ許容テスト	46
7.5.1.3	テスト治具のバンド幅	46
7.5.1.4	DFTとTFD	47
7.6	メモリ	47
7.6.1	DRAM	47
7.6.2	Flash	48
7.6.3	Embedded Memory	48
7.7	ANALOG AND MIXED-SIGNAL	49

7.7.1 関心ある重要な分野	50
7.8 RADIO FREQUENCY	50
7.8.1 関心ある重要な分野	51
7.9 信頼性技術の要求	51
7.9.1 バーンインの要求	53
7.9.2 ウェーハレベル・バーンイン	54
7.9.3 ウェーハレベル・バーンインのためのプロービング技術	54
7.9.4 その他のウェーハレベル・バーンイン技術の考察	55
7.10 テストハンドラの要求	55
7.11 デバイス治具(ソケット、プローブカード)への技術要求	57
7.11.1 プローブカード	57
7.11.2 プローブカード技術のトレンド	57
7.11.2.1 プローブカードへの技術要求	59
7.11.2.2 ピッチと接続変換	60
7.11.2.3 多数個同時測定	60
7.11.2.4 電气的性能	60
7.11.2.5 耐熱特性	61
7.11.2.6 カードコストとCoO(Cost of Ownership)	61
7.11.2.7 針のクリーニング	61
7.11.3 テストソケット	61
7.11.3.1 電气的要求	63
7.11.3.2 機械的要求	64
7.12 特殊デバイス	64

LIST OF FIGURES

FIGURE TST1 - SMART MANUFACTURING TEST FLOW FOR STACKED DIE DEVICES	1
FIGURE TST2 – TEST COST COMPONENTS	15
FIGURE TST3 - TEST CELL COST / UNIT VERSUS INTERFACE COST TREND	17
FIGURE TST4 – IMPORTANCE OF MULTI-SITE EFFICIENCY IN MASSIVE PARALLEL TEST	19
FIGURE TST5 - ADAPTIVE TEST ARCHITECTURE / FLOW	27
FIGURE TST6 - ORGANIZATION OF CORES FOR SYSTEM INTEGRATION AND APPLICATIONS	31
FIGURE TST7 - TEST DATA VOLUME REQUIREMENTS AS A FUNCTION OF DFT TECHNIQUE UTILIZED	34
FIGURE TST8 – DFT COMPRESSION FACTORS (FLAT WITH NO COMPRESSION = 1)	34
FIGURE TST9 - HIGH SPEED INTERFACE TREND	43
FIGURE TST10 - HIGH SPEED I/O JITTER TEST ACCURACY REQUIREMENTS SCALING WITH FREQUENCY	46
FIGURE TST11 - THE PRODUCTION PROCESS WITH WLBI COMPARED WITH PACKAGE BURN-IN	54
FIGURE TST12 - PROBING AND WIREBOND CONTACTING A BOND PAD	60
FIGURE TST13 - CONTACTOR TYPES	63
FIGURE TST14 - IMAGE SENSOR CELL	65

LIST OF TABLES

TABLE TST1 - SUMMARY OF KEY TEST DRIVERS, CHALLENGES AND OPPORTUNITIES	3
TABLE TST2 - TEST PARALLELISM	19
TABLE TST3 - IMPLICATIONS OF ADAPTIVE TEST	29
TABLE TST4 - DFT REQUIREMENTS	32
TABLE TST5 - LOGIC TEST REQUIREMENTS	40
TABLE TST6- TEST DATA VOLUME	40
TABLE TST7- DATA COMPRESSION REQUIREMENTS	40
TABLE TST8 - MEMORY TEST REQUIREMENTS	47
TABLE TST9 - MIXED-SIGNAL TEST REQUIREMENTS	50
TABLE TST10 - RF TEST REQUIREMENTS	51
TABLE TST11 - BURN-IN TEST REQUIREMENTS	54
TABLE TST12- TEST HANDLER AND PROBER DIFFICULT CHALLENGES	56
TABLE TST13 - PROBER REQUIREMENTS	56
TABLE TST14 - HANDLER REQUIREMENTS	56
TABLE TST15 - PROBING DIFFICULT CHALLENGES	59
TABLE TST16 - WAFER PROBE TECHNOLOGY REQUIREMENTS	61
TABLE TST17 - TEST SOCKET TECHNOLOGY REQUIREMENTS	64

[Link to 2011 Test and Test Equipment tables](#)

1 2011 年版の概要

テストロードマップの 2011 年版は多くのテーブルに大幅な変更が施されており、また、3D/TSV のテストに関する新しい節を含んでいる。テストコストに関する調査は 2009 年に完了したが、再び今年、テストコスト特化の節に記載されている。SoC/DFT とロジック節も大きく改訂された。

テストコスト節では、テスト業界のテストコストへの関心が残念ながら増加し続けていることを示す私たちの調査結果を共有している。これに立ち向かうための多くの努力があったが、現実には増加する複雑さ(デバイスサイズ、電源ドメイン、高速端子、プローブカード、インタフェースボードなど)がテストコストへの挑戦に逆効果を持っているということである。

3D デバイス(TSV を用いて積層されたダイと、古くからの SiP デバイス)の登場で、テスト業界の挑戦はまったく新しいレベルに上がっている。未来に目を向けると、我々はおそらく複数の技術とベンダを含む環境の中で、複数の相互接続されたデバイスのための、適切な機能を同時に確認する効率的なテストアプローチに集中し続けなければならない。

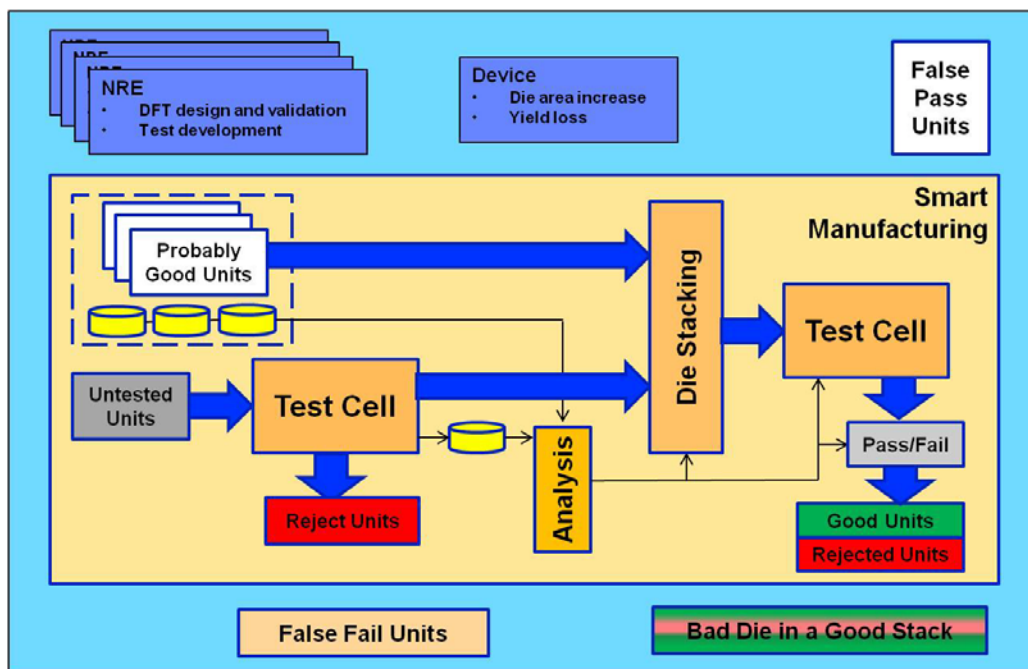


Figure TST1 - Smart Manufacturing Test Flow for Stacked Die Devices

上図に示されているように、積層されたダイデバイスのこの変化【訳者注:ダイが複数の技術とベンダから供給される】は、複数のテスト工程(各工程はテストにフォーカスした適応型のデータを持っている)からなるテストシーケンスを相当複雑にしそうである。さらに、このフローは、恐らく与えられたスタックのデバイスがほとんど良品でも新しい種類のデバイス故障を発生させるだろう。

ロジックと SoC のテーブルは今回のアップデートで再び見直した。過去に、私たちはテスト時間を一定に保つために EDA 業界から必要なパターン圧縮比について計算した。本リリースにあたり、我々はこれらのより正確なボリュームと、圧縮比予測がある現実的なテストデータボリュームと、結果として生じるテスト時間について直接計算するために、複数の EDA 企業から支援を受けた。このアプローチには、いくつかの主要な恩恵がある。すなわち

- 1) パターン生成手法の相対的なインパクトを明確にし、やるべきトレードオフを明確にするのを助ける。
- 2) ATE システムの進歩の中で、パターンメモリの要求の現実的な見積り
- 3) 適切なデバイステスト時間見積り

である。

2 TEST & TEST EQUIPMENT

特殊デバイス節は、携帯電話市場のデジタルカメラと MEMS センサのソリューションに対する影響を示している。その他の部分についても徹底的に見直しを図り、マイナーチェンジを施した。この文書は、謝辞に注釈したように、企業の広い分野にまたがって代表する非常に多くの参加者の多大な貢献によるものである。

2 ドライバ、チャレンジ、および将来の可能性

ITRS Test 章の 2005 年版から始まるテスト章のこの重要な節は、ディフィカルトチャレンジ部をキー・ドライバとディフィカルトチャレンジに分割して、将来の可能性の節を加えることによって洗練された。この分割は主要な技術上およびビジネス上の課題から、半導体部品の今後の製造テストのためのソリューションの範囲を定義する主要な境界条件であるドライバを、区別している。高いレベルでは、これらの境界条件は実際にテスト工程の期待もしくは要求さえも表しており、その課題が現在の、そしてきたるべき主要なバリエーション、戦略の変化のポイント、または未来への可能性を表している。主要なドライバは本章の概念とテーブル値の多くを決定している。ディフィカルトチャレンジは、効果的に半導体のロードマップを満たすコストにするために多くの開発や理解が必要とされる領域を定義している。

長年にわたり、半導体の製造テストのミッションは "欠陥のスクリーニング"として定義され、特定の事業セグメント内で"スピードビニング"または"スピード分類"が定義されている。最も重要なテストの課題のいくつかー信頼性と歩留り習熟ーが現在、実際に製造テストのより微妙な歴史的任務の一部を中心にされていることに注意することは興味深い。それはまた、これらの課題が製造テスト工程そのものに影響するだけでなく、半導体ビジネス全体に対して不可欠であることを示しており、双方が歩調を合わせて将来のプロセスのタイムリーな提供とコスト効果のある製品の提供だけでなく、顧客の期待する信頼性に応えることになる。さらに、デバイスの Time-to-Market を短縮させるという要求は、これまで技術設計開発用に準備された多くの機能を含むように「製造」設備の範囲を増加させて、デバイスのデバッグと生産テストの分野を融合した。

ディフィカルトチャレンジ節の中では、認識の重要性や優先順位の高い順に課題が記載されている。例えば、歩留り習熟のためのテストは、信頼性のための選別があとに続いていて、すなわちシステム欠陥の増加に続いていく。対照的に、半導体テストソリューションが満たす必要のあるすべての境界条件や要件であるため、キー・ドライバの順序には特定の意図はない。表 TST1 に主要なテスト・ドライバ、チャレンジ、および可能性のすべてをまとめる。

Table TST1 - Summary of Key Test Drivers, Challenges and Opportunities

Key Drivers (not in any particular order)	
Device trends	Increasing device interface bandwidth (# of signals and data rates)
	Increasing device integration (SoC, SiP, MCP, 3D packaging)
	Integration of emerging and non-digital CMOS technologies
	Complex package electrical and mechanical characteristics
	Device characteristics beyond one sided stimulus/response model
	3 Dimensional silicon - multi-die and Multi-layer
	Multiple I/O types and power supplies on same device
	Fault Tolerant Architectures and Protocols
Increasing test process complexity	Device customization during the test process
	Feedback data for tuning manufacturing
	Dynamic test flows via “Adaptive Test”
	Higher order dimensionality of test conditions
	Concurrent Test
	Maintaining Unit level Traceability
Continued economic scaling of test	Physical and economic limits of test parallelism
	Managing (logic) test data and feedback data volume
	Managing interface hardware and (test) socket costs
	Balancing Tool Capability, Multiple Insertions, System Test and BIST
Difficult Challenges (in order of priority)	
Cost of Test and Overall Equipment Efficiency	Continues to be the primary driver for innovation. Traditional drivers for COT are started to be limited by OEE
Test Development as a gate to volume production (Time to Market)	Increasing device complexity driving more complex test development
Detecting Systemic Defects	Testing for local non-uniformities, not just hard defects
	Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Screening for reliability	Implementation challenges and effectiveness of burn-in, IDDQ, and Vstress
	Erratic, non deterministic, and intermittent device behavior
	Mechanical damage during the testing process
	Multi-die stacks/TSV
	Power Management Issues
Future Opportunities (not in any order)	
Test program automation (not ATPG)	Automation of generation of entire test programs for ATE
Scan diagnosis in the presence of compression	Collect better yield improvement and scan debug information
Simulation and modeling	Seamless Integration of simulation and modeling of test interface hardware and instrumentation into the device design process
Convergence of test and system reliability solutions	Re-use and fungibility of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)

ATE—automatic test equipment ATPG—automatic test pattern generation BIST—built-in self test HVM—high volume manufacturing
MCP—multi-chip packaging MEMS—micro-electromechanical systems

2.1 主要なドライバ

すでに述べたように、テスト章における主要なドライバは、継続的なテストコストのスケールリングのもとで、半導体のテスト機能が動作し、なお満足できる部品の品質と信頼性を供給しなければならない境界条件であると考えられる。

2.1.1 デバイスのトレンド

2.1.1.1 デバイスインタフェースの帯域

2001 年版 ITRS ロードマップでは、問題の変化の方向は、(以前のトレンドと比較して)急激な部品の I/O 速度の増加に伴うシステム性能の向上に対応することを意味していた。2003 年版では、テストワーキンググループは、2001 年版の予想ほどの急激なクロックスピードの増加はないものの、Gb/s インタフェースが半導体部品の市場区分(メモリ、CPU、チップセット、他)のより広い領域へ浸透することを記していた。設計のクロックスピードのロードマップは、アーキテクチャやトランジスタのスケールリングにより、2008 年版と 2011 年版に比べて低い GHz になっている。高速シリアル I/O と差動 I/O のプロトコルは速度上昇を続け、テストコストと製品の品質の関係を維持するために DFT (Design for Testability) と量産 (HVM: high volume manufacturing) テスト工程における技術革新を求め続ける。

2.1.1.2 増加するデバイスの集積

SoC (system-on-a-chip) と SiP (system-in-a-package) によるデバイスの集積が、多くのビジネス区分をとおして行き渡っている。このデバイスの集積は、テストコストと製品の品質の関係を維持するためのテスト解決策の再集積を強いる。単独の RAM、コア、その他のブロックのために最適化されたテスト解では、集積されたデバイスのテスト解に対する修正や、追加的 DFT、新たなテストのパーティショニングの解なしでは、線形にスケール拡大できない。とりわけ、ダイまたはパッケージにおいてさえも、埋め込まれたブロックやコアにアクセスしてテストするために、追加的な DFT が必要とされるかもしれないし、または量産テスト計測器の追加的な分配と再集積が必要とされるかもしれない。マルチダイパッケージングのための高品質ダイを供給する KGD (known good die) の技術もまた、テスト技術とコストトレードオフの非常に重要で不可欠な部分となる。

2.1.1.3 新たな非デジタル CMOS 技術の集積

直近では、ミックスドシグナルデバイス回路がデジタル CMOS と同じダイに搭載されており、これが ATE (Automatic Test Equipment)、計測器、テスト生産フローにおける主要な課題を突きつけている。それはまた、ミックスドシグナルではこれまで適用が進んでいなかった(デジタルのロジックやメモリにおける DFT のようには普及していない)DFT の革新のための新たな課題と可能性を提示している。RF 回路の集積は、より根本的に異なる半導体デバイスタイプ、例えば、すでに集積フォームのなかに姿を現している MEMS や、CMOS ロジックと光学デバイスの同一チップ内の集積などと同様に高まりつつある。これまでの集積のタイプのように、これらのデバイスについてのテスト使命は、潜在的に埋め込まれたブロックへのアクセスと、根本的に異なる複数のテスト手法をコスト効果のある製造プロセスへ集積することである。

2.1.1.4 パッケージ形状因子と電気機械的・熱的特性

パッケージ形状による限界性能は内側と外側の両方の因子から要求を受けている。ハイエンドのマルチダイのための MCP や SiP におけるより複雑な形状因子があり、しかしまた、最も小さなプラットフォームの形状(例えばハンドヘルド)を目的としたシステムのためにスモールエンドに向けて推し進むチップスケールパッケージングもある。さらに、ヒートシンクやヒートスプレッダ、あるいは電圧制御や消費電力管理などの機能をも含めたダイパッケージの多機能性が増加しているように見える。消費電力の増加に伴う主な関心事として、形状要因からくる熱伝達特性や熱均一性(熱勾配係数—ジャンクションと外気、ジャンクションとケース[theta-JA, theta-JC]、他)がテスト工程においてなおさら重要となる。一般に、テスト時の消費電力はエンドユーザでの使用時よりも大きい。これら形状因子技術の限界性能の向上は、主要なテストサブシステムの改善と供給を必要とする。パッケージテストのハンドリング、接触抵抗低減技術、テストソケットがそれである(後に章の後半で初めて述べられる)。

2.1.1.5 決定論的入力応答モデルを超えるデバイス特性

半導体テストとテストアーキテクチャおよび使用法の歴史は、決定論的なデバイスの挙動を基礎にして成り立っている。加えて、デジタル CMOS のテストは、歴史的に、Vcc、温度、周波数などの影響を単純化することに基づいてきた。それ故、ワーストケース 1 条件で 1 回のみ行われるテストは、より広く連続的な範囲の環境トポロジにおける性能を保証していた。これらのトポロジが二つまたは三つの変数であれば、それらは制御可能であるし、量産テストのための特徴づけと最適化は大変容易であった。しかしながら、デバイスの特性の数により、この 1 条件テストパラダイムの低次元性は脅かされている。量産のためのテストコスト削減を潜在的に制限することと同様に、繰り返し発生しないテストの開発コスト(NRE)における非線形効果を脅かしている。拡張された自己救済・修正、組み込みの可変多電源制御モードなどのデバイス機能は、すべてにおいて潜在的に、とてつもなく大きな複雑さをデバイステスト条件の輪郭に付加する。そのうえ、デバイスの設計、アーキテクチャ、挙動領域の点から、非決定論的な挙動を示すデバイス(例えば、非同期ロジックアーキテクチャや欠陥耐性を持つデバイス)が今後増加する可能性がある。同様な条件下でのダイごとの(エンドユーザシステムの見地での)正しいデバイスの挙動は、時間/ベクタ同期の見地からは決定論的ではない。これらの挙動はエンドユーザとエンドシステムの見地が正しい限りは、同じ同期信号で供給された 1 と 0 のデジタルロジックの集合で、このような挙動を十分テストできるような、伝統的な量産テストの入力応答モデルを逸脱するであろう。これらのデバイスのアーキテクチャと挙動は半導体テスト工程の主要なパラダイムシフトまたは革新課題を突つけるだろう。

2.1.1.6 3次元シリコンデバイス

TSV の進歩により、一つの接続が $2\mu m^2$ 程度で可能となり、ダイ間の接続数は数十、数百ではなく、数百万レベルが可能となっている。その結果、複数のダイの領域にまたがったり、分けたりすることにより、コストパフォーマンスに優れたシステム設計が可能となっている。従来の単体のダイでは基板に多くの部品を実装する必要があるが、3次元化により基板上の多くの部品を削減し、3次元での内部接続を使うことで性能向上のためのシステムの再設計が可能になり、コストや生産性を考慮したシステムの最適配置やダイの積層が可能となる。一例として、MPU は、一つ目のダイにロジックコア、二つ目のダイでキャッシュ RAM、三つ目のダイに不揮発メモリを持つことができる。このような MPU では、同じ X-Y 位置に数千もの 3次元での接続が要求される。不揮発性メモリへの接続は、ロジックコアからキャッシュ部を経由した接続が必要とされる。さらにダイの接続については、それぞれのダイはウェーハテストでテストされており、テスト工程ではダイ単体で実施されている必要がある。ダイが上段に配置された場合、TSV により接続されるが、ダイに組み込まれたテスト機能を用いてそれぞれのダイは、十分ではないがテストが実施される。テストベクタやテストパスはそれぞれの単体のダイのテストに使われたものとは違うものとなる。さらにやっかいな問題として、数千もの ESD 保護回路は非常に大きな領域が必要となるため、TSV は ESD 保護機能を持っていないことが多い。ESD 保護されていないパッドや TSV をプローブするとダイへのダメージがあるため、バウンダリスキャンのような TSV に直接コンタクトしない新たな手法を用いたテストが必要となる。

2.1.1.7 複数の I/O タイプ、および、複数の電源を持つデバイス

SoC や SiP のような集積されたデバイスに牽引され、コアごとに電力消費を最適化するために電源数が増加してきた。ロジック、アナログ、メモリ、ミックスドシグナル、そして、高速 I/O は各々、異なる電源コンディションの下で最適に機能している。複数の電源を使うことは、電圧を発生させたり制御しようと試みるより、ダイ面積と電源を省略するし、コア間にまたがる大きなノイズアイソレーションをするのみ有利である。シングルエンドと差動の I/O はデータ転送能力を制限しない限り、電力を最適化するために使われるであろう。

2.1.1.8 欠陥耐性を持つデバイス

デバイスあるいはシステムが決して不良とならない、あるいは不良となるときは緩やかに不良となることが保証されるようなデバイスのアーキテクチャが開発されている。これらのアーキテクチャは、様々な形式でのエラー検出や修正を不断の監視作業に導入する。もし、不良が検出されたらシステムはこれら不良に対し、修正アルゴリズムに従って修正するか、1 回の誤動作のみであることを期待してもう一度動作させるか、その不良が発生した機能ブロックに対し動作条件を変更してその機能ブロックが正しく動作し始めて正しい結果を生み出すか、その不良発生機能ブロックを使用不可とし信号を迂回させて動作させるかの方法で不良に対処する。す

6 TEST & TEST EQUIPMENT

すべての可能なリカバリのための手段が評価されて不良となったときのみ、デバイスかシステムは不良となる。そのデバイスが、工場から出荷された時と同様に適切に機能しているかを十分に判断するためには、テストはデバイスや機能ブロックのテスト時に、これら修正機能を動作させないか減少させる必要がある。

2.1.2 増加するテスト工程の複雑さ

2.1.2.1 増大したデバイスのカスタマイズと(テスト工程の)ライン項目の複雑さ

「これは良いダイなのか？」という質問に対する手法だけでなく、特定のダイを修正、差別化、カスタマイズする現実のプロセス段階をも含めるために、テスト工程はますます拡大している。これらの例としては、メモリブロック(とその他の)冗長／救済、ダイ上のチップ設定用ヒューズの溶断、読み出し専用メモリ(ROM)のプログラミング、または、その他の製品機能のプログラミングなどが挙げられる。さらに、いくつかのビジネス区分では、製造テストフローの一部としての差別化や物理的分別を伴う、同一のダイベースから引き出される製造ライン項目の相当な増加が見込まれる。このすべてが、増加する製造テスト工程の要求を招き、装備(例えばハンドリングやヒューズ溶断など)や生産の自動化および統合のインフラを拡大する。

2.1.2.2 製造条件調整のために増大したテストデータフィードバック

いくつかの理由によって、与えられたダイの良否の識別を超えた目的のためにテストデータの利用が不可欠となり、拡張し、改良され、より良く統合されたテストデータのシステムと設備基盤が必要となった。ある意味で、テスト工程の構成要素の出力は、製造ダイと生産ロットの母集団を横断したテスト工程で様々に適用された測定の結果としての、データである。製造工程での歩留り習熟、異端的な材料の特定、あるいは、より分散化された製造テストにおけるフィードバックのために、このテスト出力(データ)のより良く統合された活用の必要性は、ただあれば良いだけでなく、ますます重要で不可欠な前向きな応用となる。

2.1.2.3 アダプティブテストを用いたダイナミックなテストフロー

全体的なテストコストを低減するための具体的な方法は、固定的なテストフローを変えることであり、その方法として、直近のテスト結果に基づき特定のテストを行うかどうかについて、ある確率に基づいて実施するかどうかを決定する方法がある。もし、あるテストまたはテスト群が、統計的に見てテストの必要性が低いと判断される場合、そのテストは一時的に省略するか、もしくは別のテストに置き換えることができる。テストが必要かどうかの確率により、実施すべきテストを増やすこともできる。

2.1.2.4 テスト条件の高次元化

従来、部品の製造テストでは、二つか三つの環境変数(典型的には、電圧、温度、周波数)についてのポイントまたはコーナー条件からなる簡単なマトリクスを使って、テスト条件のポイントから定まる輪郭を越えた、製品仕様で規定する高次元の曲面と内部空間を保証してきた。バッテリー応用プラットフォームからクライアント・コンピューティングやサーバまで、幅広いマーケット範囲の部品が消費電力管理のための多くの仕組みを付加しており、これが直ちに、最悪テスト条件の描く曲面を急激に複雑にしている。例えば、この複雑な部品の仕組みには、複数または可変な電力モード(スリープ(休眠)やハイバネーション(冬眠)など)が含まれるし、あるいは、通常動作時に電圧や周波数をその場でコントロールしてアプリケーションの最適電力制御を達成するシステムが含まれるだろう。これらの変数の次数増加によって、部品の製造テストに用いるこれまでより大きな環境変数のテスト条件集合を決定し、特徴づけ、最適化(削減)することが困難になっている。この複雑さのペースが続くと、さらなる検証の努力と、より複雑な環境変数のテストポイントの質を保証するための革新的手法が必要となる。これは製品テストにおいて、複雑化した最悪条件の欠落を防ぎ、その予測を確かにするために必要である。このテスト時の環境変数の集合からなるポイントの複雑化は、テストの内容と、製造フローにおける様々なポイントの集合で適用されるテストの繰り返し数との積で効いてきて、テストコストの継続的な削減に対する課題となるであろう。

2.1.2.5 DUT 内部のコンカレントテスト

並列テストの“次の段階”は、現在のところ、単一 DUT 内部の複数の機能ブロックを同時測定テスト(Multi-site test)と併用することであり、コンカレントテストはサイトごとに同じテストをする。これはたいていの場合 DUT 自身の DFT(Design-For-Test)性能によって可能となる。SoC のコンカレントテストはしだいに導入されてきてい

る。しかしながら、多数のダイを搭載した SiP(System-In-Package)の使用増加がこの傾向を加速した。なぜなら、多数のダイは自然と単独でテストされる能力を持っているから(確かにウェーハプローブ工程中の場合として)。テスト界に打ち込まれた二つの主要な要求がある。一つは機能的に独立したブロックに分離できるテストのハードウェアの能力、もう一つは、独立した“フロー・ドメイン”を独立して管理し、完全なテストプログラムを構築するためにそれらを結合させる、テストソフトウェアの能力である。後者の要求は、信号アクセス、クロストーク問題、消費電力管理の点から、特定の DUT 性能により困難となる。

2.1.2.6 ユニットレベルにおけるテストレーサビリティの継続

製造データのフィードバック工程の一部として、個々のダイまで遡ることのできるテストデータが収集および管理されなければならない。組み立て後の複雑に積層されたダイの不良原因解析を可能にするために、マルチ・ダイ・パッケージの増加とともに、この能力がより重要となるだろう。

2.1.3 持続するテストの経済的スケーリング

2.1.3.1 同時測定の物理的経済的境界

【訳者注:原文では parallelism となっている、これは同時測定テストを示す multi-site test よりも広い意味を含むが、特に大きな差がない範囲においては同時測定と訳した】

ここ数世代の間、特にコモディティなメモリにおいて、またデジタルロジックにおいても、トランジスタ数や機能の増大、入出力とコアのさらなる高速化などに関連して、同時測定数(1回のテスト工程の DUT の数)を持続的に増やすことが、テストの経済的スケールを維持するための主要な方法であった。現在のテストツールとインタフェースハードウェアの統合パラダイムにて、同時測定数のさらなる増加は、すぐに非直線的な限界に達し、その影響は次世代に現れるであろう。これは、物理的または電氣的な近接を許容しながら、DUT とテスト機器の間の空間にどれだけ多くの電気チャネルを押し込めるかという実用的な限界による。テストの経済的スケーリングを持続させるための代替手法、または現在の発想を越えて同時測定数をさらに増加させることができるような、DUT、ハンドリング、コンタクト、テスト機器統合についての新しいパラダイムが必要となるであろう。

加えて、同時測定テストの経済的境界は、特に少量生産の SoC デバイスにおいて、サイトの個数(の増加)に伴い、テストコストが良好ではない、あるいはまったく良くない段階に達している。工場効率、ロットサイズ、装置停止時間のような要因に影響される総合装置効率【訳者注:Overall Equipment Efficiency=OEE】のような“背景的”問題により、テスト時間の高速化やより多くのサイトを同時測定することにより達成するテストコスト削減は、漸近的に限界となっている。

2.1.3.2 (デジタルロジック)テストデータ量の管理

デジタルロジックのダイの複雑さと内容の増加に比例してテストデータ量(ベクタの数と幅)が増大している。この追加的なテストデータ量は、テストツール(ATE)のチャネルあたりの追加ベクタメモリの深さを増し、DUT あたりのテスト時間を増やすことで、テストの資源、運用コストをとめどなく増大させている。現在、多くの論理テストベクタの圧縮手段があるが、テストデータベース自体(スキャンベースのテストの場合)での圧縮や、製品ダイそのものに埋込まれた圧縮ハードウェア(DFT)をとおしての圧縮など、種々の方法が開発され適用されている。増加を続ける製品の複雑さと、より高い製品統合レベル(例えば SoC、SiP)のために、データ圧縮は、構成要素のビジネス区分を横断してさらに広く使われるようになるであろう。また、最終的には圧縮の率(すなわち、非圧縮に対するテストデータベースの圧縮率)の向上が必要かもしれない。

2.1.3.3 インタフェースハードウェアと(テスト)ソケットコストの管理

テストとプローブインタフェースのハードウェアおよびテストソケットに基づくコストが、テストコスト全体のなかで占める割合が増加している。これには、より高速(Gb/s)で複雑な DUT I/O プロトコルや増加した DUT 並列性、信号と電源の多ピン化、電力供給や信号線チャネルの忠実度要求の増加など多くの要因がある。これ自体は憂慮すべき傾向ではあるが、それは、全体のテスト工程コストおよび生産テスト全体の経済的スケーリングが持続できるか否かに照らして考えなければならない。受け入れ可能な範囲でのインタフェースハードウェアのコスト管理はまた、技術的ドライバと境界条件にも依存するかもしれない。例えば、そのようなハードウェアのための

8 TEST & TEST EQUIPMENT

主要な材料基盤として、可能な層数内で FR4 材料【訳者注：低伝導率のプリント基板材料】の使用が持続的に拡張していることなどがそれである。

2.1.3.4 ツールの能力・複数回のテスト・システムテスト・BIST のバランス

テスト装置の“適用範囲”【訳者注：原文では dynamic range となっている、本来、最小レベルと最大レベルの比を意味するが、ここでは適用範囲と訳した】は、伝統的な構造テストあるいは機能テストとは異なるテストを含むように広がっている。ここで言うバランスとは、汎用テスト装置の秒単価と、より焦点を絞った装置での複数回のテスト工程 (DUT の差し替えによるテスト工程複雑化) による追加コストのバランスのことである。”ローエンド”製品では、テストは BIST をともなって完全に遂行することができ、テストコストが従来のテスト装置に関連した共用費用 (オーバーヘッド) に苦しめないようにする必要がある。”ハイエンド”製品では、デバイスは多数のダイで構成され、SoC パッケージテストで典型的に行われる構造テストリストの単なる繰り返しとは対照的に、一つのデバイスがその最終応用時に機能することを証明するために、“システムレベル”テストの並べ替えが必要になるだろう。この要求は新しい計測器と能力の必要性を加速するであろう。

2.2 困難な課題(優先順)

2.2.1 テストコストと総合装置効果

最近の 10 年間に於いて半導体総利益に対するテスト投資の割合が着実に減少している事実が示すように、テストコスト低減についての多くの進展が、時間をかけてなされてきた。装置の革新において、テスト時間、同測効率、コンカレントテストとアダプティブテスト、そして施設運転源 (電力や設置スペース) などの分野の経済性が、今後も主要な牽引要素であり続けるであろう。しかしながら、特に“多品種少量”テスト環境では、テストコストは現状ではテスト装置それ自体より他の要因により制約されることは明らかである。総合装置効果 (OEE) は一般的に、出荷可能な製品を生み出すのに装置が使用された時間の割合と定義される。言い換えれば良好な OEE 値は、装置の“空き”時間を最小化することで得られる。より少量デバイスにおいては、テスト時間削減またはサイト数の増加はテストのコストに関しては、確実に効果をもたらすことにはならない。ロット開始時と終了時の遅延のような (テスト装置にテストすべき製品がない) 要因が、支配的となりつつある。他に空き時間となる主な原因としては、コンタクタ故障によるジャム率、電源中断割り込みやデバイスソーク時間などである。これらの分野を改善するためには、作業の範囲をテスト装置自体の内側と外側双方の工程を含むよう、拡大することが必要であろう。

2.2.2 量産製造向けとしてのテスト開発(市場への展開)

上記で述べたよりもっと複雑なデバイスは、テスト開発の複雑化への対応を牽引する。特に、多くのアナログ機能、非決定論的動作、そして複数ダイパッケージ化となる SOC はテスト開発複雑性での対応が増加する。この増加する複雑性はテスト開発コストを牽引し、さらに重要なことは市場要求期間に見合わない開発されたテストは無用なあるいは非効率なために、市場参入に間に合わない結果の機会コストとなる。

2.2.3 システムティック欠陥の検出

業界は、製造プロセス技術や回路感度の変化と設計モデリング限界に起因する、製造の不完全さに関連したテストと歩留り習熟の新しい技術課題に直面している。

- 設計とプロセスのインタラクションの増加は、システムティックな欠陥を増加させている。例えばパターン密度、パターン隣接および不完全な光学的近接効果補正 (OPC) アルゴリズムのために、そのような欠陥は、特定の回路/レイアウト形状で起こる。それらはシステムティックであるが、まれなことと、発生条件が複雑なため、ランダムに発生するよう見える。
- プロセス技術の進展は、回路機能に影響を及ぼす物理的欠陥の母集団を変化させている。例えば、High-K 誘電体や金属ゲートに利用されるような材料に替えることは欠陥の母集団を変化させる。
- 回路感度の変化と増加するプロセスばらつきは、おそらく過去に良性だった欠陥を、将来は致命欠陥にしてしまいそうである。例えば、より短いクロックサイクルでは、ピコ秒の遅れを引き起こす欠陥

が、より回路故障の原因となり易いことを意味する。さらに、電力最適化または論理合成された設計では、十分なタイミング・マージンを持ったパスがより少なくなる。そして、それはランダムな遅延欠陥がより故障を起こしやすくなることを示す。同じように、例えばクロストークやパワー／グラウンドバウンスのような雑音効果の増加は、ノイズやタイミング・マージンを減少させ、再び欠陥に対する回路感度を増加させる。

- モデリングの複雑さは、すべてのプロセス条件下で回路が電力とパフォーマンスの仕様が見合うことを保証するための EDA／設計の能力を脅す。プロセスばらつきの増加に伴うその能力の減少は、テスト時に回路のパラメトリック故障モードの増加となるかも知れない。
- トランジスタの微細化は負バイアス温度不安定性 (NBTI) のような重要な劣化性メカニズムを増加させる。
- 放射線が引き起こすソフトエラー率は SRAM に加え、少なくとも企業用途のチップでは防止すべきラッチ部やフリップフロップ部で増加している。1 個の放射線による影響で複数の隣接セルが反転する SRAM の問題や低電力応用で問題な最低動作電圧の誤変化等の問題が多く観測されている。

欠陥モデリング、テストパターン生成、テスト検出率算出、DFT 解決策、テスト・アプリケーションと故障診断を含むテスト工程のすべての側面で、これらの実際に発生し変化する、製造／動作上の不完全さの母集団を扱わなければならない。有望な戦略としては、低 VDD または温度のようなスペック外を検出するテスト、統計的手法、アダプティブテスト、そして現実的な欠陥ベースの故障モデリング／ターゲッティング、等が含まれている。

2.2.4 信頼性のためのスクリーニング

主要な「欠陥除去」や良品と不良品を見分ける以外のあまり公表されない半導体テストのミッションは、初期故障を除去し、製品集団の信頼性を許容可能なレベルにすることであった。これをテストの「欠陥」ミッションより言い換えれば、この重要な機能を「 $t > 0$ 欠陥の除去」と呼ぶことができる。ここで時刻「0」は、部品供給者から顧客への納入により製品が移動する日を指す。

歴史的に、異なった半導体ビジネス分野においては、顧客の要求品質に合わせるため、製品集合の信頼性の低い部分や製品を十分な数だけ除去するために、製造工程においてバーンインから IDDQ、電圧ストレス印加などのいろいろな技術を使ってきた。同様の動機から、特にバックグランド・リーク電流の増加や動作マージンの減少（プロセス微細化による Vdd/Vcc が低下）によって、これらの技術のすべては、効果が減少し、あらゆる面においてより高価になってきている。

バーンイン装置と技術は本質的に変化しないままであり、80 年代前半から 90 年代半ばまで多くのプロセス世代を渡って再利用され、90 年代後半にはバーンイン生産システムは（この技術を導入する製品区分において）、テストの資本とインタフェースハードウェア・コストの最も大きな増加領域のうちのひとつであった。バーンインにおける高電圧と高温（初期欠陥の加速目的）では、リーク電流レベルは通常使用条件下より非常に高い。それに加えて、製品の Vcc と温度のマージン減少は、潜在的な欠陥母集団を加速するのに利用できる範囲を制限する。ASIC から SoC、汎用メモリまでの製品分野で広く使われていた IDDQ は、バックグランド・リーク電流の増加に比例するのとまったく同じトレンドで、「正常な」静止電流レベルに対して潜在的な欠陥を含む DUT の SN 比が非常に減少するという大きな技術課題に面している。実際、これは少なくとも 250nm の DRAM ハーフピッチから課題とされ、多くの会社でより進歩した技術を使い始めた。例えば、初期欠陥に対して効力を保ちつつ無効な歩留りロスやコスト影響を減らすために、複数テストの結果と、 Δ IDDQ や他のブーリアン【訳者注：スキャンテストや機能テスト等、電圧レベルで出力の論理値 0/1 を判定するテストを指すと思われる】静的状態の Icc/Idd とを組み合わせる技術が挙げられる。テクノロジー世代ごとにいくぶん低い固有リーク電流レベルを持つ傾向があった汎用メモリは、なんとかいろいろな IDDQ 技術によって他の製品ファミリーに比べて多少延命にすることができた。しかし、それらでさえ現在、1 世代または 2 世代先のテクノロジーについては IDDQ 技術の有効性が現実落ちてくるとの予想が報告されている。

同様に、潜伏欠陥を加速するための正常基準範囲を越えた電圧ストレスや Vcc/Vdd とパターンの印加は有効性を失いつつあり、特に、Vstress【訳者注：ストレステスト時の電圧】と Vnominal【訳者注：通常電圧】の電圧差は各世代で縮小している。長い目で見れば、いずれここ数世代で、少なくともいくつかのビジネス分野

10 TEST & TEST EQUIPMENT

や製品タイプにおいて、この信頼性スクリーニングを提供する機能のために新たな技術が必要であろう。調査中のより新しい概念のいくつかは、intra-die test (同一ダイからの結果)と inter-die (隣接ウェーハ解析、ロット内解析、アダプティブテスト範囲、ロット間解析)の双方のいろいろなテスト結果の中において、ブーリアンおよび分布アルゴリズムを改良したものである。

おそらく大きな推進の役割を演ずるもう一つの方向は、自己診断と自己修復による修復である。そして、それは今日エンベデッドメモリ RAM 上で、またはエラーコーディング検出と修復 (ECC) 技術によって実用化されている。このチャレンジはメモリに留まらないであろうし、むしろ方法と時を同じくして、論理回路においても自己修復への同様の能力や代替アプローチは実際に適応可能で、入手可能になるであろう。

2.3 将来の可能性

2.3.1 テストプログラム自動生成

EDA(Electronic Design Automation) 業界がスキャン DFT、最近ではスキャン圧縮、および(例えば)エンベデッドメモリに対する DFT 合成までに関わる広範な能力を提供している一方、半導体供給元のソフトウェア開発コストについて、(特に大規模なアナログ回路や、非決定的なインタフェースが搭載された SoC デバイスの)実際のテストプログラムの生成での、生産性や自動化に関する可能性が提示されている分野がある。今日、製造またはテストエンジニアリング会社では、新しい顧客のための独自かつカスタムな個別のテストプログラム生成に多くの時間を費やしている。半導体ベンダ自身が社内開発した、数々の追加的なテストプログラムツールと同様、主として ATE とともに ATE ベンダによって提供された、異なる多くの先進的なソフトウェア製品がある。テストプログラムのためのデータ構造の標準化も以前から行われ、新たなものもできている(テスト・データ・フォーマット (tdf)あるいは標準テストインタフェース言語 (STIL))。加えて、デバイス IO にリアルタイムに対応する、High-Definition-Language (高精度言語)フォーマットでデバイス IO の機能を抽象化できるような、テスト装置の新しい機能も利用可能になりつつある。同様に、テスト装置に、DFT によって可能となった個々のデバイス機能のコンカレントテストを実行する能力が加わり、さらに複雑さを増しつつある。この機能を利用することは、テストプログラムの自動化に関するもうひとつの課題となっていく。しかしながら、いまだに残る基本的な事実として、テストプログラム全体を生成かつ検証し、広く利用可能ですぐ使える状態のソフトウェア製品は存在せず、業界をわたり使用されている何千ものソフトウェアのほとんどは、会社をわたり似たようなツール上で、基本的に似たようなことを行っているのである。

2.3.2 圧縮データ内のスキャン診断

スキャンを使ってスキャンパターンとフェイルデバイスのデバッグを行うことができる、いくつかのツールがある。スキャン圧縮の適用拡大における主な障害は、素早く簡単に圧縮機能を選択的に無効化し、個々のフェイルをより発見しやすくする能力に関するものである。今は、この障害により、オフラインパタンの再生に時間をかけ、それによって全工程を他のデバッグ作業よりもはるかに非効率にさせ、また量産時の非圧縮フェイルデータを集めることもできなくなっている。

2.3.3 シミュレーションとモデリング

ダイのパッケージングだけでなくテストインタフェースのハードウェア、あるいは ATE の計測回路自体(パラメトリックと論理回路の両方)を含めた設計段階でのシミュレーションやモデリングの拡張は、製品と製造のテストの検証サイクルを短縮するであろう。この拡張は、また、製造テストの計測機能に統合された DFT を持つ DUT の製造前の検証の信頼性を高めるであろう。製造前の設計段階において、シームレスに統合化されたシミュレーションとモデリング環境を提供することは、製品の性能予測の精度を高めるばかりでなく、テスト工程の調整の手助け、DFT とテストインタフェース方式やハードウェアの軽微な不具合の設計修正を減らせるであろう。

加えて、マルチダイパッケージのための機能レベルのシミュレーション能力は、複雑な SoC のためのシステムレベルのテストを容易にする。このレベルのシミュレーションは、伝統的なデバイスシミュレーションよりも荒い粒度で達成することができ、DUT で発生する高レベルのトランザクションのシーケンスと境界条件の生成のみが必要となる。

2.3.4 テストとシステム信頼性の解決策の統合

最も広く普及している DFT 手法(スキャンなど)は実際、元来はハイエンドの大型コンピュータに高信頼性を提供する動機づけにより開発された。スキャンを用いたハードウェアは、製造テストの選別目的のためにも使用可能であることから、急速に産業界に広がった。将来には、以下の様な多くの物理的、回路的な現象があり、ダイ内の下位レベルの信頼性を脅かすと思われる。それは、アルファ粒子、宇宙線で誘発されたソフトエラー、不安定な回路の振舞い、あるいは、他の間欠性の予測できない下位レベルの振舞いなどの増加である。これらを受けて、付加的な検出と修正を提供するデバイス機能のさらなる拡張がありそうである。スキャンがそうであったように、今日 RAM で用いられているエラー訂正や将来の他の機能のような、システム信頼性向上のために設計される下位レベルの内部緩和の仕組みの開発や適用が、テスト目的にも再使用可能となりそうである(システムティックなものを含む不良の検出や修正、より不定期的な、あるいは、本来はそれらから保護するように設計されているはずの、予測不可能な断続的な振舞いに対して)。

最終的にはテスト工程の統合の問題となるが(メモリのリダンダンシ/リペアなど)、より楽観視すれば、未来の半導体テスト工程において、より有効で効率的に、低オーバーヘッドを提供できるであろう。

3 テストと歩留り習熟

良品/不良品を選別する機能に加えて、テストは製造されたチップの特性を理解するために基礎的なフィードバックループを提供する。テストは、欠陥位置絞り込み、故障原因の特定、コスト的に有効な不良の分離、プロセス測定と設計・プロセスの間の感度をサポートするため、その能力を開発し続けなければならない。

3.1 電氣的テストベース故障診断

テストベースの習熟は、

- (1) 欠陥
- (2) パラメトリックとばらつき

の両方に対して必要とされる。欠陥の習熟はランダム欠陥とシステムティック欠陥の両方に対して必要とされる(「欠陥と故障メカニズム」節を参照)。テスト用構造【訳者注: test structure、評価用素子のことで TEG(test element group) と呼ばれる】ベースの欠陥習熟手法は、伝統的な面積に関わる制約と、多数のカバー可能な物理的設計形状の双方に悩まされる。影響を受けやすい局所的な欠陥は、OPC アルゴリズム、近接形状、および隣接密度を含む複雑な作用となるので、製品テストの故障診断による基礎的習熟がますます必要とされ、それでもって重要な物理的設計形状を継続的に製品に反映する。

パラメトリックに関係したフィードバックは、

- (1) デバイスと内部接続パラメータ
- (2) 設計プロセス相互作用

に対して必要とされる。デバイスと内部接続パラメータの計測は、伝統的にテスト用構造、特にスクライブライン FET や内部接続抵抗や容量モニタに依存している。ダイ内ばらつき(イントラ-ダイのばらつき)の増加は、スクライブラインとチップ間のオフセットに対し不利に働く。加えてテスト用構造は、カバー可能な物理的、電氣的形状の数に制限がある。回路パラメータがそのような形状にますます影響を受けるようになるにつれ、製品テストの基礎的な習熟が必要になる。チップ上に埋込んで分布する、熱と電源電圧のセンサや、プロセスモニタリング用のリングオシレータは、マイクロプロセッサクラスの IC では、パラメトリック不良の診断やばらつきの理解に今日では標準的に使用されている。変化の把握は、空間的かつクロス・パラメータの要素(トランジスタ長、 V_t 、ソースドレイン抵抗などの変化)の中で変化の構造を解くことを含んでいる。この空間的要素は、ダイ間、ダイ内の両方の要素を含む。解析結果は少なくとも 3 種類の方法で歩留り改善に使用できる。一つは製造工程へのフィードバックによる工程修正、次はモデリングを通じた設計へのインプット、3 番目は後工程へのアダプティブな運用コントロールである。埋め込まれた評価用素子と製品パワー/性能との相関関係が、修正措置を有効にするのに必要であり、製品テストがこのプロセスの重要な要素であることに注意しなければならない。潜在的に空間的要素を含むクロス・パラメータの変化は、デジタルと同様にアナログ/RF 回路にとって重要となる。アナログ/RF にとって製造工程と運用環境を把握できる十分な感度を持った方法が必要とされる。さらに埋め込まれた評価用素子は、テストコストの問題で、あるいはファブレス・チップ生産者のためのデータ・アクセスに制限が

12 TEST & TEST EQUIPMENT

あったりするため、スクライブラインデータが利用できなかったり利用が制限される場合にも、パラメトリックデータを提供できるため、有用である。

このような埋め込み型評価用回路は、設計中に依存すべきモデリングの能力が、技術の変化に追従できなくなるにつれ、またより多くのパラメトリックな問題がテストフロアで発生するにつれ、その重要度を増すであろうことに注意すべきである。製品テストは、Power-grid-droop【訳者注：IR ドロップの一種。局所的な電圧降下。以下電圧降下と訳す】や、クロストーク故障のような、ノイズに関係した欠陥を導くものを含め、設計とプロセスの相互関係にフィードバックを行うのに、他にはないほどよく適している。

動作状態(周波数、電圧、場合によってはボディーバイアス)を負荷調整により適合させるアダプティブ回路動作は、チップメーカーが分布センサをチップに埋め込むことを進めるという相乗効果を生む。それは同時に、動作中のガードバンドを減少させることに結びつくので、テストの仕事はより困難になる。テストが微妙な故障メカニズムを検知し、それらの検知に基づいた歩留り習熟にフィードバックを行うことがさらに重要になってくるのである。

電氣的テストベースの故障診断手法は、メモリ、論理回路、スキャンチェーンやメモリを含む回路に対して必要とされる。メモリの技術は最も成熟しているが、それ単体では最適とは言えない。マイクロプロセッサがテクノロジーリーダーとして RAM に置き代ってきており、RAM は全メタル層を使うことはできなくて限られたレイアウト形状を表している。論理回路の故障診断は近年の研究開発の活発な分野であるが、精度、分解能と大量のデータの要求に関する課題がいまだにある。レイアウト情報の統合は一般的に使用されている。インライン検査結果の統合化の技術はすでに開発されているが、インラインデータの入手可能性や、かつてないほど小さくてほとんど見えない潜在的なキラ欠陥に苦しんでいる。多くの不良ダイを集めた大量故障診断 (Volume Diagnostic) は、残っている課題を洗い出すのに有望な戦略である。大量故障診断に使用されているような多数個ダイの統計的手法は、ランダム不良のメカニズムからシステムティックなものを区別するのに有望である。システムティック欠陥のメカニズムを特定することは、プロセスの改善、DFM 補助(ホットスポットの特定を含む)やテスト品質保証のために重要である。区別を実施する際の課題には、照合されるべきシステムティックに対するランダム不良の期待値の設定がある。伝統的なクリティカルエリア分析法を含む設計分析に基づく期待値は、不良の可能性の仮定の作成が必要なこと、もしくは設計とプロセスの複雑な相互作用の中では正確性に欠ける欠陥モデルに頼らないといけないことに悩まされている。

上に述べられるように、製品に基づく故障診断がますます重要となる。実際の製品ハードウェアに基づいた故障診断の必要性は、現在、近隣の形状やローカルのパターン密度などのますます複雑な関数となっているシステムティックな欠陥メカニズムによって、重要性を増す。その結果、多くの故障メカニズムが製品上でしか観測できなくなるかもしれない。さらに、製品に基づいた故障診断では、歩留りを制限する重要な故障メカニズムに自動的に焦点が置かれる。どんなシステムティックな欠陥メカニズムも個々の発生はまれであるかもしれないので、ボリュームベースの診断は重要である。多くの不良ダイにまたがるデータの蓄積は、真のシステムティックなメカニズムを識別するために必要となる。

光学的欠点診断/故障解析方法(裏面エミッション、変調マッピングなど)は、電氣的な診断を補足するに違いない。そのような技術は正確さを改善し、例えば検知することが困難な欠陥に対し、多くの電氣的な診断のミスを捕えることもできるだろう。これらの方法は、従来の PFA (Physical Failure Analysis) より短い時間でチップのより大きなエリアをカバーすることができる。

ツールの新たな役割は、特に不可視性の不良メカニズム(不可視性の欠陥 もしくはパラメトリックの問題)が増加し、また PFA の成功率とコストが不良メカニズムにより異なるという関連する事実がある状況で、与えられた不良箇所あるいは不良箇所のグループが PFA に適切かどうかを導くことである。故障したスキャンチェーンの歩留りへの影響は、最近の故障診断の焦点となっているが、より幅広く適切で正確な手法が求められる。さらに、クロックや他のインフラ的な信号に影響する欠陥は、今日の手法では故障診断が難しい。ツールは、抵抗性ブリッジ、抵抗性コンタクト/ビアやオープンを含むすべての現実的な物理欠陥を扱わなければならない。また、スキャンベース、BIST ベースのテスト、ファンクションテスト、IDDQ テスト、および遅延テストを含むすべての主要なテスト手段で検出された故障に対する故障診断を扱う必要がある。

ツールおよび手段は、下記に示すいくつかのソフトウェアベース故障診断の複数の段階をサポートするべきである：

- 分解能とテストコストのオーバーヘッドとのトレードオフを考慮しながらの、生産にとって価値あるデータの収集。テストデータ圧縮と BIST 手法は懸念事項である。最低限の要求は、故障しているブロック（例：コアまたは IP）の特定である。平均的なテスト時間のオーバーヘッドは 1%未満であるべきである。
- 選択されたエンジニアリングやモニタウェアまたはロットでの広範なデータ収集。その粒度は、正確な故障タイプのパレート図を作り、ツールに共通な解析を行うのに十分でなければならない。スループット時間は、十分な生産量の生産プロセスにタイムリーにフィードバックできるくらい短くなければならない。また時間ゼロの故障と信頼性の故障の両方【訳者注：現在起きている故障と将来起こる故障の両方】をサポートしなければならない。ツールは、故障ネットを特定するだけでなく、故障した配線層も特定するべきである。そのような解析は、レイアウト情報とインラインテスト結果の両方、またはどちらかを故障箇所特定と統合することが必要であろう。通常のテスト時間は秒オーダーであるべきである。生産の初期段階では、相当な部分がこのような詳しいログに出力されるかもしれない。
- 単一トランジスタ、数 μm 以下の配線部分、あるいは故障した配線層を特定する個別のダイ解析。そのような解析は、故障診断の分解能向上を狙う特別用途の ATPG や、フェイルデータ収集とアナログの再シミュレーションの両方もしくはどちらかを伴い、故障解析にて追跡調査されるだろう。解析時間は前の二つのケースよりかなり長いかもしれない。

データ収集のインフラは、増加する故障診断のニーズをサポートしなければならない。特に、ATE は DFT テスタに関する表 TST4 に予測されたスキャンベクタ率モデルにおいて、スキャンデータを制限なく収集すべきである。BIST やテストパターン圧縮のような DFT 技術は、必要なデータ収集のサポートを特に考慮して設計されなければならない。IDDQ 計測デバイスは、故障診断により要求される精度のレベルをサポートする必要がある。故障診断のデータ収集は、単一もしくは少数の故障ネット候補に特定することを可能にするために、全テスト時間に対して著しく追加すべきではない。加えて、工場統合【訳者注：工場をまたぐデータ管理の統合】の問題も処理されなければならない。データの取得と管理の能力は、歩留り習熟のための統計的解析と量産データのデータマイニングにおける信頼性向上をサポートしなければならない。ファブレス／ファウンドリとサードパーティ IP を含む、分散した、設計、製造、およびテストのための、安全な歩留りデータフローのメカニズムが必要とされる。自動化やデータ共有をサポートするには、STDF-VA-2007 スキャンフェイルデータのような標準テストデータや、それらの伝達をサポートする基礎構造が必要とされる。分散環境の、設計、製造、およびテストは、（例えばデザインハウス、ファンドリやテストハウスが）、どこに問題があるのか決定する手助けとなるような手法とツールの新しい役割を作りだす必要がある。

3.2 故障解析

電氣的テストに基づく習熟はますます重要になっているが、特に欠陥タイプがよく知られておらず、技術習熟するまでの間や、テスト漏れやシステム／市場故障のような重要な故障の理解のために、故障解析 [FA(Failure Analysis)] がいまだ必要とされる。CMOS 技術の移転は伝統的な FA 工程に大きな課題をもたらす。欠陥分離、加工や物理特性評価は時間がかかりすぎ、定常的な解析としては難しくなる。解析のペースを保つためには、現存するツール／技術の発展やブレイクスルーが必要とされる。FA の性能ギャップについて以下の優先リストに詳しく述べる。

3.2.1 回路ノード・プロービング

昨今、顕筒内蔵型 (SEM) や原子間力顕微鏡によるナノスケールのプロービングは、1 層目にある最小寸法トランジスタや SRAM の解析に用いられる。この技術は、ますます微妙で観測できない欠陥や、個々のトランジスタパラメータの測定するために必要となっている。主要な制限としては、デバイスへのダメージ、プローブドリフト、プローブ接触抵抗を回避するために必要とされる低加速電圧における SEM 像の質にある。

3.2.2 欠陥分離精度

ダイ状態での電氣的故障や欠陥を同定する現状のツールは、感度と空間分解能が限界に近づいている。例えば、大多数の技術 (TIVA: Thermally Induced Voltage Alteration、PEM: Photo Emission Microscope) など) は赤外線を利用している。赤外線は空間分解能の限界が約 $1\mu\text{m}$ であるので、現状では最小加工寸法より

14 TEST & TEST EQUIPMENT

も1桁以上も分解能が悪い。SEM や FIB の手法(電圧コントラスト、EBIC: Electron Beam Induced Current)は分解精度がもっとよいが、露出した導体上に対してのみ有効であり、全面が絶縁膜で覆われた完成デバイスにおいては効果的でない。近接場を利用した手法が存在し、あるいは新しく開発されている(例えば、光的、磁氣的、AFM: Atomic Force Microscope)が、この技術の適用は表面または表面近傍の露出した形状のサンプルに制限される。根本原因となる不良箇所まで信号を追跡するために多数のナノスケールの配線に電氣的刺激を与えるために、高安定で非侵襲な【訳者注:回路を傷つけない】プロービング能力が必要とされる。

3.2.3 パッケージ状態での解析

パッケージ状態での欠陥分離や画像化は、有機膜、チップスケールパッケージ、チップ積層、パッケージ・オン・パッケージ形状のような新しい技術により強い影響を受ける。磁気電流像、X 線トモグラフィや CSAM (C-mode Scanning Acoustic Microscopy) のような基幹手法の進歩は重要であり、引き続きテストと治具が重視される。

3.2.4 CAD/EDA ツール

故障解析は故障場所を直接見出したり、他の故障同定用ツールと相互に補完したりするためにスキャン手法に大きく依存している。(EDA ツールには)継続的精度向上、「ソフト」欠陥や AC 欠陥【訳者注:遅延的な欠陥】への応用と継ぎ目のない統合性が求められる。CAD ナビゲーションは空間と時間ベースの両方、すなわちシミュレーション波形とリンクしなければならない。

3.2.5 オンチップ・タイミング計測

電源の低電圧化は、ホットエレクトロンによる発光強度の急激な減少と発光波長の長波長側へのシフトを引き起こす。検出性能を維持するために、時間分解発光解析(TRE: Time Resolved Emission)技術と固浸レンズ(SIL: Solid Immersion Lens)光学系の改良が要求されている。レーザボルテージプローブ(LVP)のようなレーザを用いた新しいプローブ技術も有望視されている。動作時に電源電流が増加することによる発熱対策として、チップ裏面観察を妨げたり振動要因となったりしない冷却方法の開発も必要である。これらの分野での改良がなされない限り、根本的に異なる技術を開発する必要があるだろう。

3.2.6 サンプル準備と治工具

パッケージ分野における様々な発展が、タイミング解析や欠陥分離のための裏面観察を難しくしてきている。例えば、時間分解発光解析(TRE)や光誘起抵抗変動解析(OBIRCH: Optical Beam Induced Resistance Change)のような解析ツールを適用するには、パッケージ、ダイチップ露出、治具において、反りやクラックの要因となるストレスの軽減制御が必要となる。積層チップパッケージや 3D チップでは観察サンプル作成手法が大きな課題になるだろう。

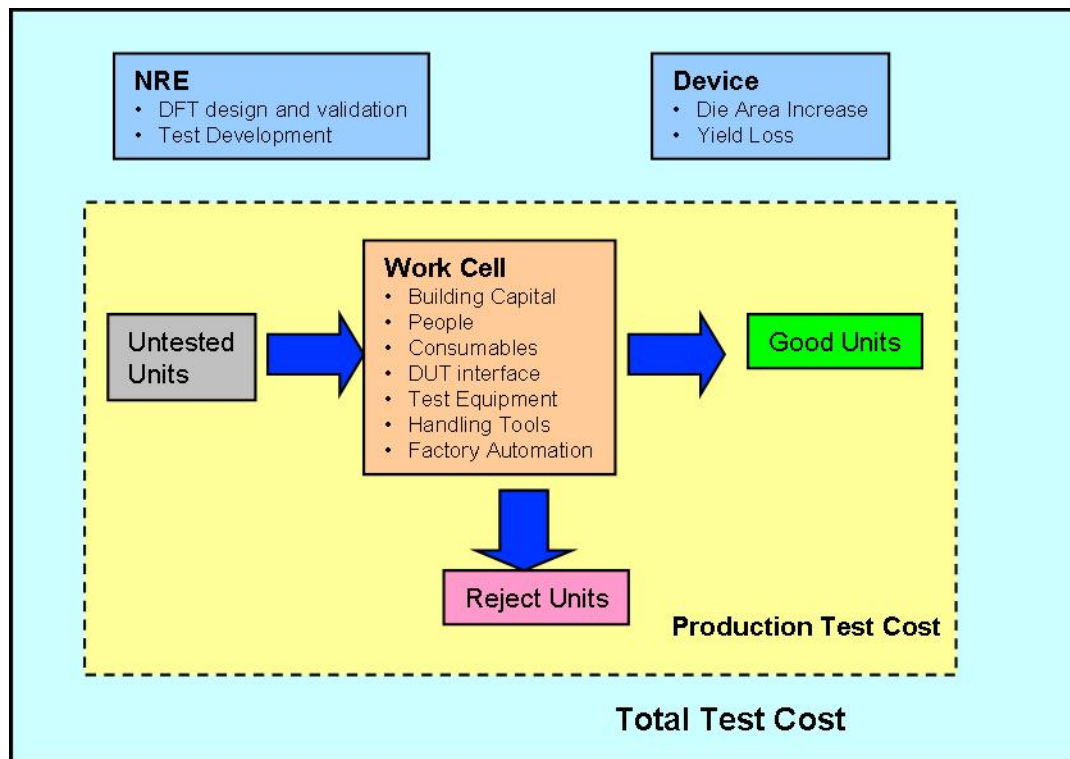
故障解析のための新たな開発には膨大な費用と高いリスクが生じている。特に、スループット低下と不良解析の価値提案が減少している。その結果、装置の導入がますます集中し、全体の装置市場として発展の可能性や魅力が薄れてきている。特にこの傾向は小規模な会社や操業開始企業に見られる。たった1社や 2 社の研究開発投資や偶発的(または突発的)な装置開発に頼っている現状から、多くの参加企業で開発の費用とリスクを分担するコンソーシアム方式に置き換わる必要があるかもしれない。

4 テストコストに注目したトピックス

量産テストコストの削減の中で重要な進展は継続されているが、前途に多くの技術課題が残されている。半導体テスト技術は、多チャネル化と同時測定数増加への傾向を継続しており、新構造プローブカード、新しいハンドリング技術、DFT 技術によって可能とされた。この傾向は、低性能の ATE システムやメモリテストおよびロジックテストにおけるロードボードソリューション(BOST)の増大で明らかになっている。例え多くの努力がテストコストを下げることに注がれるとしても、ITRS で行なわれた調査の回答者の 40%(前回調査では 30%)はテストコストを大きな関心事の一つと考えており、回答者の 85%はテストコストが将来の最大の関心事と想定している。重要な技術課題は同様の改良をアナログや RF の広範な市場に展開し続ける。現在の DFT 技術は、まだ

総括的なソリューションではなく、特定エリアでの部分的なソリューションである。テストコストへの持続的な注目は、テスト方法や ATE 構造、その他の内容を考慮した複数のテスト工程【訳者注:insertion テスタ装置にチップを搭載してテストすること、テスト内容やテストが異なると複数のテスト工程が必要になるがコスト増になる。】にまたがった分散テストといった観点でコストのトレードオフを良く理解することにつながり、全体的なテストコスト削減になる。

Figure TST2 – Test Cost Components



半導体のテストコストは図 TST2 に示すように多くの要素から成り立っている。テストコストと関係する様々な側面や傾向をより理解するために、ITRS では 2009 年に広範囲な調査を行ない、2011 年にも同調査を行なった。ほとんどの参加者は製品にクラス最高の品質を考慮する(57%)。さらに、参加者の 3 分の1以上が、テストはそれらの製品の競争力(すなわち、より高品質の製品、または、より低コストの製品)にとって重要と感じている。テストの主な価値は、品質を得ることと、歩留り向上を支援することであると、この調査は明らかにしている。参加者の 5% (2009 年調査では 6%)だけが、テストの潜在的価値を強調せず、それを必要悪としている。単位個数あたりのコストや総生産コストからのコスト比率、1 秒あたりのコストといった主要な指標以上に精巧なコストモデルを展開させる市場関係者はほとんどいない。総投資額や、トランジスタまたはビットあたりのテストコストのような指標は、テストのコスト有効性を評価するためには用いられない。特定のコスト要因の重要さは、各デバイスで本質的に変わる。テスト開発コストは少量生産製品にとってはより重要となる。DFT の面積コストは、その製品がパッド制限か、あるいはコア制限となるかどうかによって依存している。許容できるテストコストはまさに市場スペックであり、テストの価値とそのコストのバランスによって決定されなければならない。

ITRS 調査の関係者は、ATE 投資や治具コストを二つの主なコスト要因と認識しており、続いてテストプログラム開発やシリコンデバッグとしている。さらに先行しているグループでは、主なコスト要因として、新しい欠陥や信頼性問題、デバイス性能の指標、KGD の要求、3D 積層によるテスト要求を挙げた。

4.1 現在のコスト要因(上位)

- ATE 設備投資 & インタフェース費用
- ATE 利用効率(特に少量生産製品)

- テストプログラム開発コスト
- KGD(や 3D TSV)のテスト時間およびテスト検出率

4.2 将来のコスト要因

- 新しい欠陥および信頼性の問題
- パッケージ実装でのテスト要求
- インタフェース費用
- テスト結果データ量、診断、歩留り、トレーサビリティの管理

現在のテストコスト要因に新たに追加した項目は、ATE 利用効率を押し下げる要因である(特に少量生産製品)。加えて、特に 3DTSV 適用製品における KGD のテスト時間やテスト検出率は、現在のコスト要因の一つである(この項目は将来のコスト要因のリストに載っていた)。このことは、3DTSV が今発進しようとし、テストコストの式にインパクトを与えようとしていることを明確にしている。将来のコスト要因では、テストデータ、診断、歩留り、トレーサビリティの管理が、より重大なコスト要因になっている(2009 年と比べて)。ATE 投資コストは、単純な 1 デジタルピン当りのコストを用いて伝統的に計られていた。これは便利な指標であるが、ピン数と測定サイト数を減らすことにより生じるスケーリングと同じように装置の基本構成や中央装置に関連した基本システムコスト部分も無視され減ってしまうので、誤解を招く。さらに、この点は、同じ基本構成をテストチャネルのあらゆるセットに使うことができる ATE プラットフォームにおいて現在の傾向と整合しない。以下の方程式は、将来のテスト技術の意味のあるコスト要因の点からテスト工程の投資コストを表現している。

$$C_{CELL} = C_{BASE} + C_{INTERFACE} + C_{POWER-SUPPLIES} + C_{TEST-CHANNELS} + C_{OTHER}$$

この式では、 C_{BASE} はピン/チャネルがゼロのテストシステムの基本コストである(例えば、機械的な基本構成、バックプレーン、テストのオペレーティングシステムソフト、中央装置のコストを含んでいる)。 $C_{INTERFACE}$ はデバイスに接続することに必要なすべてのコストを含み、例えば、インタフェース用電子部品、ソケット、プローブカード(予備を含む)である。 C_{POWER} は供給電源のコストである。 $C_{TEST-CHANNELS}$ は計測器(デジタル、アナログ、RF、メモリのテスト装置)のコストである。 C_{OTHER} は残り(例えば、設置スペース)のコストである。実質的な考察は、与えられた C_{BASE} の基本構成によってコスト効率良く達成することができ、かつ全体のテスト工程の立案で考慮されるべき、総合的な性能の幅を制限するかもしれない。例えば、ローエンドのシステムは空冷が基本構成だが、ハイエンドのシステムは液冷である。テストシナリオは、投資コストと性能指標を分けることによって評価される。例えば、メリットを示す重要な値は、時間あたりのユニット数をコストで割ったもの(UPH/\$M)、言い換えれば、時間あたりの出荷デバイス数量(スループット)÷総費用である。

図 TST3 は急速に上昇しているインタフェースコストを示している。このインタフェースコストは、全体のテスト工程コストを支配しないように絶えず抑制されなければならない。テストコスト節担当の ITRS 委員会メンバは多くの事例を指摘した。例えば、多量生産する SoC 製品の一例では、ATE コストはインタフェースやプローバコストの 3 倍になる。いくつかの低温工程では、ATE コストはインタフェースやプローバのコストの 2 倍になる。時折、ストリップハンドラは ATE と同じくらい高価である。多量生産するメモリ製品の一例では、プローブカードコストがウェーハテストにおける総コストの 60%になる。

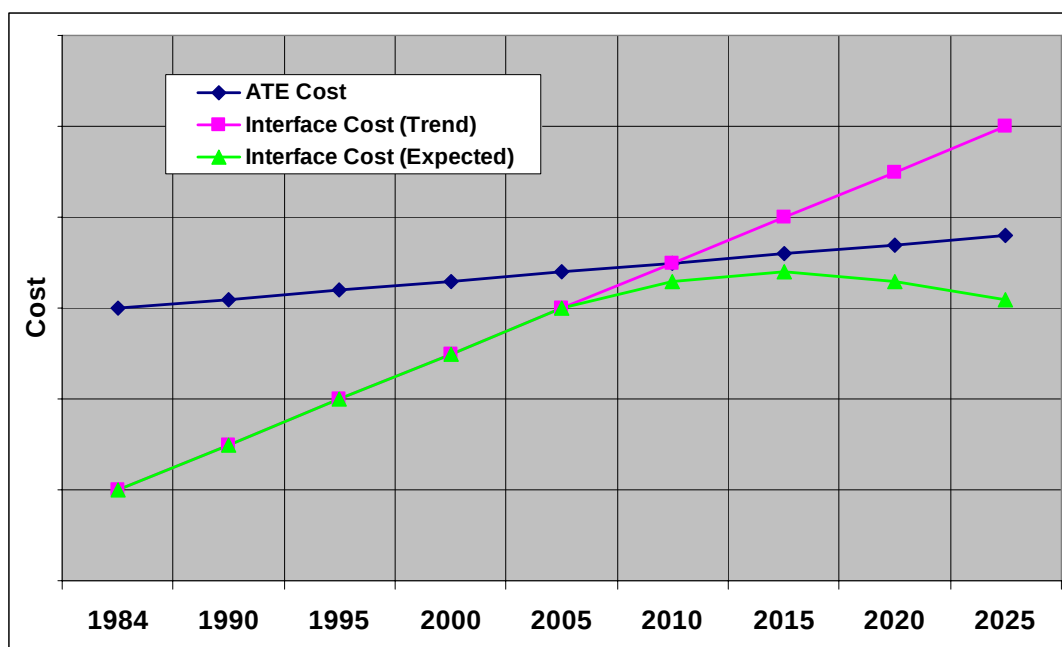


Figure TST3 - Test Cell Cost / Unit versus Interface Cost Trend

テストコストの最適化はサプライチェーンが分かれるため限られている。例えば、プローブカードやハンドラのインタフェースは設計会社と下請け生産会社の両方に準備していく必要があるかもしれない。調査では、現在用いられているテストコスト削減技術の上位や、将来展開されるであろうテストコスト削減技術の上位を明らかにした。その結果を以下に示す。

4.3 現在展開されているコスト削減技術

- 同時測定テスト&ピン数削減
- 構造化テスト&スキャンテスト
- パターン圧縮/BIST/DFT および BOST
- 歩留り習熟&アダプティブテスト
- コンカレントテスト
- ウェーハレベルの実速度テスト

4.4 将来期待されるコスト削減技術

- 高度な埋め込み計測器
- 新しいコンタクト技術
- 潜在的欠陥を検出または可能であればリペアするシステムレベルテスト
- 組込みのフォルトトレラント技術
- テスタ1台で複数のウェーハのテスト
- 集中化サーバでのデータ処理

2009 年と 2011 年の間で、コスト圧力の中での品質目標を得るための技術の一つとして、ウェーハレベルの実速度テストは浸透してきている。2009 年ではこのアプローチは将来技術の一つとして宣言されていた。2011 年では現在の技術の一つとして宣言する。同様に、アダプティブテストは将来技術から現在展開されている技術となった。最後に、委員会は既存技術を長く生かすために、より多くの BOST の傾向を見ている。例えば、テストでは扱うことができない高速クロックの生成のための簡単な発振器やロードボード上での比較を行なうためにゴールデンデバイス (KGD) を用いるなどの技術である。なお、これらの技術は主に

既存テストの延命のために用いられるものであり、新しい設備環境でより安価なテストを購入することを許すためのものではないことを注記する。

将来のテストコストを制御する技術として三つの新たな技術がある。潜在的欠陥の検出と可能であればその欠陥をリペアするためのシステムレベルテストは、テストコストを制御するための潜在的な将来技術の一つとして普及しつつある。さらには、複数のウェーハをテストすることができる設備が研究されている(特に NAND フラッシュやその他のピン数が少ない製品群であり、SoC やハイエンドなマイクロプロセッサのような製品群ではない)。最後に、全体のテスト工程のコストを制御するために集中化サーバリソースが注目されている(特にイメージセンサとリダクション解析)。

4.5 ベース・コストのトレンド

総ベース・コストでは、時間がたつにつれてわずかに減少すると予想される。プラットフォーム戦略はベースインフラストラクチャの寿命を延ばすだろう。そのうえ、コストはベースインフラストラクチャから計測器へ動くかもしれない。同時測定テストはスループットを向上させるとともに、ベース・コストを複数のダイに分散させる。その結果、サイトあたりのベース・コストを低減させる(またベース・コストへの懸念をなくさせる)。同時測定テストを使用してコスト削減を成功させるためには、ATE インフラストラクチャは、共有のリソースはスループットを制限するかもしれないので、専用のリソースを割り当てることが重要である。メモリにおける大量な並列テストの傾向は続くだろう。そのうえ、新しいプローブカード技術とハンドラ技術は、他の製品区分での(ウェーハとパッケージテストの両方において)大規模な並列テストを可能にするだろう。

4.6 チャネルコストのトレンド

チャネルコストの継続的な削減は、同時測定テストを使用したコスト削減を成功させるために非常に重要である。サイトあたりのチャネルコストが支配的であると、多くのサイトにベース・コストを分散できるという利点が少なくなる。一方、高価なチャネルを複数サイト間で共有するとスループットを制限する。テストの電子回路の継続的な集積化を通じ、また、ATE ピンへの要求性能を軽減するような DFT の適用の増加によって、チャネルコストは削減が見込まれる。加えて、少数テストポートを利用したピン数削減のテスト戦略は、サイトあたりのチャネルコストを削減できる。

比較的に高価格のアナログや RF のテスト計測器のコスト、そして、これらの回路のテストに関連した長いテスト時間は、主要な課題としてそのままで残っている。アナログやミックスドシグナルのための DFT 手法が要求される。

高速 I/O のテストコストは重要になってきている。通信分野では、SONET のデータレートは 2.5Gbps から 10Gbps～40Gbps のレンジに拡大するだろう。そのうえ、同時双方向信号のような技術が重要になりそうで、テストコストを増加する。高速 I/O の DFT 技術と新しいテスト方法が、テストコストを抑制するための解決策としてますます重要になる。

4.7 電源コストのトレンド

同時測定数の増加に伴って、電源のコストは上昇する。特に、もしピン数削減技術が適用されるなら、サイトあたりの電源コストは、サイトあたりのチャネルコストの大半を占めるかもしれない。電源のコスト増は、電源と電力供給技術のイノベーションで食い止められるかもしれない。いくつかの DFT 技術では、テスト時間短縮を達成するために電源への要求が増えているということに注意が必要である。

4.8 インタフェースコストのトレンド

インタフェースコストの抑制は、同時測定テストを使用したコスト削減を成功させるために非常に重要である。サイトの数に伴って急激に増加するインタフェースコストが支配的であると、サイト数増加の目的を無にしてしまう。インタフェースコストは高帯域(2Gbit/s)、そして、多数の同時測定(128 サイト)で大きな課題となっている。市場でのプローブカード技術を広範囲にカバーするような一貫したコストモデルを開発する必要がある。プローブカードの長いリードタイムは、特に先進技術を用いたもので、多大なコスト問題を引き起こす。プローブカードのリードタイムは、このロードマップの展望範囲では半減されるだろう。ある種の製品にとっては、ウェーハテスト

を省略するか、または簡単で基本的なテストのみを行うことが経済的になるかもしれない。これからは高速 I/O の DFT 技術がインタフェース費用を抑制するための解決策としてますます普及するであろう。

4.9 同時測定のトレンド

前節で論じられたように、テストコストを下げる最も重要な方法はサイト数を増やすことである。サイト数を増やすことで得られる効果は以下によって制限される。

- (1) 高いインタフェースコスト
- (2) 高いチャネルコストと電源コスト
- (3) 低い同時測定効率 M

$$M = 1 - \frac{(T_N - T_1)}{(N - 1)T_1}$$

ここで、 N は並列に測定されるデバイス数である ($N > 1$)。 T_1 はデバイスあたりのテスト時間である。そして T_N は N 個のデバイスを並列に測定した時のテスト時間である。例えば、1 デバイスあたりの T_1 が 10 秒で、 $N=32$ 個の時の $T_N = 16$ 秒の時の同時測定効率は 98.06% になる。それ故、同時測定で増えるオーバーヘッドは $(1-M)=1.94\%$ になる。

Table TST2 - Test Parallelism

チャネルコストを削減する ATE の共有リソースは同時測定効率を下げる原因になるかも知れない(例えば、ミックスドシグナルや RF のテストで顕著である)。そのうえ、低い同時測定効率で並列測定の数を増やし続けると、テストコストに大きな影響を及ぼす。例えば、同時測定効率 98% は 2 サイトや 4 サイトのテストには適切である。しかし、32 サイトのテストには、さらに高い効率が必要になる。同時測定効率 98% では、シングルテストから 4 サイトテストへの移行で 10 秒のテスト時間が 10.8 秒に増える。しかし、シングルテストから 32 サイトテストへの移行では 10 秒のテスト時間が 16.4 秒に増える。つまり、同時測定テストの潜在的利点を大幅に減らすことになる(図 TST4)。

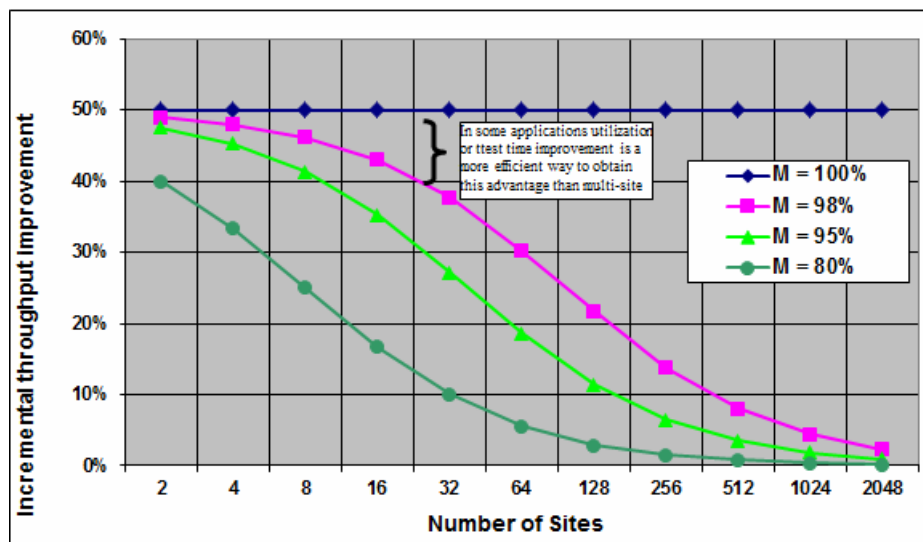


Figure TST4 – Importance of Multi-Site Efficiency in Massive Parallel Test

2009 年以降、各企業は次世代のより多数個取りの装置より、テストコスト全体を下げるより効果的な方法の経験を積んでいる。特に高度な機能のミックスや低電圧の応用分野では、多くのテスト利用上の課題がある。こ

これらの装置ではしばしば、多数個測定は少なくてもよいことが許される。なぜなら、利用効率を上げる手法的なテスト時間の改善が全体のテストコストに大きく影響するからである。

表 TST2 は、各製品分野における任意のデバイスに対するサイト数の予測トレンドを示している。カスタムな経済モデルが、カスタムデバイスのテストコストを減らすための最適化したロードマップを見つけて活用されるべきである。テストコスト目標を達成するための多様な方法やアプローチがあるということに注意が必要である。

4.10 その他のコストトレンド

メモリ、ロジック、RF を集積する解決策としての SiP の劇的な増加は、KGD 対応のウェーハテスト品質を改善することと同様に、複合技術による設計のためのテストコスト削減がますます強く望まれている。

テストの開発期間とコストは、DFT 技術や、テストの標準化(テスト内容の再使用、テストプログラムの相互運用性、圧縮、生産対応の俊敏性などに役立つ)や、テストパターンの自動生成(構造化テスト手法など)や、これらを使用するプログラムでさらに削減されるだろう。

BIST や組み込み自己救済(BISR built-in self-repair)技術のような独立したメモリ DFT は広く普及し、DFT はテストコストを抑制するために必須になるだろう。ある製品区分に対しては、新しい製造工程フローが経済的に理にかなうようになるかもしれない。例えば、後に続く工程に高性能テストを使うなら、BIST は低性能テストを使うことができる。

テスト調査に拠れば、テストコストを削減するための上位 5 つのテクニックは、ピン数削減、同時測定テスト、スキャン/パターン圧縮/BIST/DFT などの構造化テスト、歩留り習熟とコンカレントテストである。調査の回答者は、アダプティブテスト、測定機器の埋込みや、標準化努力(例えば CAST)も現在用いられている上位 5 つのコスト低減技術にはランク付けしなかった。しかしながら、アダプティブテスト、新コンタクト技術(例えば、MEMS、非接触プロービング)、ウェーハレベルの実速度テスト、組み込みのフォルトトレラントや埋込みの測定機器は、将来においてテストコストを削減するための手法として確認された。

4.11 重要な関心領域

- 3D デバイスのための全体的なテストフローは多くのトレードオフを要求する。ウェーハテストとパッケージテストという(従来の)やり方と、部分積層を対象としたテスト工程追加をトレードオフするという新しい経済モデルの必要性が増している。コスト・メトリクスや不良検出率の予測はテスト設計期間ではできなくなり、これらを最適配分する新たなアダプティブテスト手法が要求される。
- 比較的に高コストなアナログやRF のテスト計測器と、これらの回路に関する長いテスト時間は、重要な課題を残している。並列テストを可能にするため、複数の計測器が、フーリエ変換(FFT fast Fourier transform)または他の相関テストのようなDSP(Digital Signal Processing)テストアルゴリズムの高速実行に伴って必要となる。ミックスドシグナルの同時測定テストに対して次に考えることは、特に複雑なパッケージのテストに必要なロードボードの回路である。ミックスドシグナルとRFデバイスのためのDFT技術は、開発のニーズが残されている。高コストのため、ミックスドシグナルのリソース(および後処理)はしばしば共有され、同時測定効率を大幅に低下させている。
- サイトの数の増加は ATE アーキテクチャやプローブカード技術に対して厳しい要求する。この研究開発では、市場の要求およびマルチサイト・テスト動向に向けてコスト効率の良い技術を出し続けなければならない。RF の電磁放射は大規模なパラレルテストで問題となるであろう。
- 高速シリアルインターフェースは ASIC や SoC の市場に浸透している。ジッタ測定はテスト時間の長大化や装置導入コストの上昇を引き起こす。インターフェース数の増加につれて、コスト問題は直線的に増加するだろう。コストのスケーリング則を管理するための新しいテスト方法の開発が必要である。
- 大規模な並列テストの実行中に接続されていないピンを測定する新しい DFT 技法が要求されている。さらに、ピン数削減技術が展開されるような状況においては、電源のコストがチャネルコストの大半を占めるかもしれない。電源のコストは、電源と電力供給技術の革新によって上昇させない必要があるかもしれない。

- 低い同時測定効率は、少ないサイト数においては問題にならないが、大規模並列テストに対してはインパクトがあり、並列テストの目的にそぐわなくなる。同時測定のスケールリングを継続するためには、ATE アーキテクチャはサイトごとに専用のチャンネル／測定機器が必要になるかもしれない。なぜなら、共有のチャンネル／測定機器は、同時測定効率を制限するからである。コスト効率の良い方法で専用のチャンネル／測定機器を割り当てるため、チャンネルコストは、特定の製品区分に対して低減する必要がある。

5 3 次元デバイスのテスト

3次元/TSVは、SiPを越えた次の進化である。短期間で、これらの発展はDie-to-Dieのインターコネクト部に関する部分を除き、SiPですで見られたような課題にぶつかるだろう。中、長期においては積層がより一般に行われより複雑かつ異種間の積層が現れるにつれ、テストの課題はより一層困難となる。新規および追加的なDesign for Testの機構は、要求されるテスト性能の緩和、テスト時間の削減および同一パッケージ内で多くの異なるダイが存在することによるテストの複雑さの増大のため、確実に必要となるであろう。この節では複数ダイの積層を通じてSiPからさらに進化した3Dの六つの異なるキーとなるテスト課題について述べる。

- (1)テストフロー、コスト、リソース
- (2)テストアクセス
- (3)一つのパッケージ/積層内の異種ダイ
- (4)不良となっている積層/ダイのデバッグと診断
- (5)DFX(Design for テスト,歩留り、コスト)
- (6)消費電力

2011年度の各テーブルについては3D/TSVの追記はない。2012年度のテーブルには、テストアクセス/カバレッジ、テストコスト、テストデータ量、テストデータの保管の要求およびテスト時の消費電力要求について追記される予定である。

5.1 テストフロー、コスト、リソース

高次では3Dのテストフローは四つのテストステップより構成される

- (1)Pre-bond test 積層させる前にそれぞれのダイをテストする
- (2)Mid-bond test 途中まで積層されたダイのテスト
- (3)Post-bond test すべてのダイ積層が完了した後のテスト
- (4)final test パッケージ実装後のテスト

このテストフローでは、二つの新しいテストステップを追加している。”mid-bond testとpost-bond test”、これらのテストステップを追加するには、コストと煩雑さおよびプロービングによるダメージの影響を考慮する必要がある。ただし現段階では、コストと実装工程に与える煩雑さのインパクトから見てmid-bond testの導入については懐疑的である。

積層ダイのテストフローモデルは産学両方にて開発されている。ほとんどのモデリングは、全体のテスト時間の最適化に関連している。しかし、リソースの利用とコスト、歩留りの観点での最適化についても考慮される必要がある。”cost-weighted yield”モデル(すなわち、どの工程/テスト工程がもっとも量産コストにインパクトを与えるか?)は、実装工程とテスト工程の両面から鑑みて、積層工程、ダイレベルでのテストと歩留り要求について最適なテストフローを決定することができる。”Design for Stack Yield”の分野についてもより多くの検討が必要である。冗長(ダイ、ロジック、メモリ、TSV)については3D構造ではより実現可能となる。これら冗長機能は、pre,mid,post-bondでのテストの歩留りを、ダイあるいは積層での一定レベルでの欠陥を許容することにより上げることができる。新しい欠陥/故障モデルも、薄ウェーハ化とダイ積層を含めて、3Dに関連して新規で追加される工程に対応して必要となる。TSVに対する欠陥/故障モデルもTSVに対するテストの要求と工程を明確にするのに大いにクリティカルである。

各テスト工程における責任についてもダイ積層においては変化するだろう。信頼性テストは、この責任分担(ダイ提供者かあるいは積層実装者か)が不明確な一例である。Pre-bond,Die-level,でのactive burn-in(対、passive-burn-inつまり、ベーキング等)は限られたダイへのアクセスしかない以上非常に困難となる。しかし、も

しもバーンインが post-bond にて行われた場合は、歩留りの深刻な低下等のリスクもある。現段階では、どの工程であるいはどのようにバーンインが行われるべきかについての明確な指標はない。ダイか積層レベルでのバーンイン実施かバーンインの要求を完全に削除するか、現実的にバーンインを行うために今後顕著な技術の発展が要求される。

テストコストは、いくつかの要因に影響される。リソースの要求、全体のテスト時間および cost-weighted yield 等。Mid と post-bond テストは、明らかなテストコストの増大となる。特に注意したいのは、一つのダイの不良は全積層に影響するということ、ダイ間でのテストは顕著な時間と複雑さを増大させるということ、積層されたダイのテストリソースへの要求は積層内すべての各ダイのテスト要求と増大するテストリソースとコストへの要求の集合であるということ、複数ダイを並列してテストすることによる巨大なデータボリュームが問題になるということ、データの転送/保管/セキュリティ/安全性等の、積層の実現者と各ダイの供給者間での情報共有は密接で重要な問題となるということである。Mid と post bond テストについては、提案されている IEEE P1687(IJTAG)標準にて、ATE でのダイ間でのテストを容易とすることができるかも知れない。さらには、ダイ間での接続をテストするにはバウンダリスキャンが最も素直なやり方であろう。しかし、部分的あるいは積層全体のテストプログラムの生成を容易とするようなツールが開発される必要がある。

5.2 テスタクセス

この節では、3D/TSV の構成の二つの顕著なテスト課題について触れる。Pre-bond アクセス-I/O(TSV)を含むダイへのプローブによるアクセスと mid/post-bond アクセス -積層内のダイへのアクセスであり、次の段落では、pre-bond テストに関連するテスト課題に触れる。これに繋がる二つの節では、mid/post-bond でのアクセスに関連する内容に触れる。

積層の一番下のダイ(外部とのアクセスのための I/O を持つ)は一般的には wire-bond/bump に関わらず、プローブ可能なパッドが存在する。そのほかのダイ(上と真ん中)については、(電源/GND/クロック/コントロール/データ...)TSV を通じて接続される。ほとんどの TSV は、既存のプローブ技術ではプローブ不可能なほど小さい。一般的な TSV は、5 μ m の直径で 10 μ m のピッチで配置される。しかし、ほとんどのケースでは TSV は直接ボンディングされるのではなくマイクロバンプを実装して接続される。マイクロバンプは 25 μ m の直径で 40 μ m のピッチで配置される可能性があるが、それでもまだ既存のプローブ技術からすると小さい。課題は、これらバンプにプローブできるプロービング技術の開発である。(個別にプローブするのではなく、アレイ上のプローブ/コンタクト点に一括プローブする技術) これは、プロービング、コンタクトアレイ構成、針先研磨レシピ、プローブダメージに関しての発展が必要である。コンタクトレスプロービングもこの分野で大きな役割を果たすかもしれない。主な利点は、プロービングダメージがないということである。しかし、これは現状では小さいサイズ/ピッチ要求を満たしておらず、電源/GND については既存の針によるコンタクトが必要となる。既存のプロービング技術がマイクロバンプ/TSV のサイズ/ピッチ要求に満たないのであれば、プロービング専用のパッドが必要となるであろう。40 μ m ピッチのマイクロバンプへのプロービングはできそうである。しかしアレイのサイズに限界がある。また、マイクロバンプ技術のスケールダウン進化は早いとためプローブに関連する業界は困難な戦いを強いられるだろう。

積層内でのダイへのテストアクセスプロトコルの標準化抜きでは、積層を垂直に貫くテスト信号の流れは、信号密度により困難となり、またテストプログラミング機能も積層内のダイでそれぞれ異なるテストプロトコルを使用することによる混乱を招くだろう。テスト信号の積層を貫くやり取りは、以下二つのシナリオの内どちらかになるだろう。

- 1) 開発部門が全ダイの設計を主導し、各ダイは全 TSV が一直線上に並ぶよう設計され、それらのテスト、検証、デバッグおよびその他要求については、一つの設計作業として、積層レベルで設計され、実装される。
- 2) 既製品のダイについては、標準化されたテストアクセスエリアか、積層内で隣り合うダイとのテスト信号をやり取りするためのインターポーザが要求される。

四つの基本的なアクセス機能がテストアクセスには要求される。

- (1)ダイの DFX 機能にアクセスを提供する機能
- (2)ダイを素通りしてアクセスできる機能

- (3)ダイでのアクセス機能を終了させるための往復(turn-around)機能
- (4)現在のダイから次のダイとアクセスする機能

JEDEC はすでに積層可能なモバイルメモリ用 WideI/O の仕様の中で、いくつかのテスト/アクセス能力を制定している。さらに、IEEE P1838 ワーキンググループは現在アクセス(物理的および電氣的な)とこれら要求に対するテストプロトコルの標準制定を目指している。積層の複雑さが増して顕著な問題となる前にこれらダイへのアクセス標準をリリースすることはワーキンググループに依存している。テスト信号の数と場所、および積層内で個別のダイを指定したり、ダイ内への特定のテスト機能にアクセスしたりするプロトコルによる、テストへの影響は明確である。理想的には、アクセスのメカニズムは例え異なるファブや異なるプロセスから作られたとしても、積層されるダイと共に実装されるべきである。アクセスメカニズムは、ベースダイのポート数、物理的な TSV の定義および積層内のダイすべてのそれぞれの DFX へアクセスあるいはコントロールする機能を持つプロトコルを含むべきである。テストアクセスメカニズムは、積層前、積層中(mid/post-bond テスト)、および完成品のテストそれぞれを可能とせねばならない。

5.3 異種のダイ

複雑かつ異種ダイの積層への発展はテストにおいて顕著な波及効果を及ぼす。このうち、いくつかの波及効果についてはすでに前の節で語られてきた。しかし、ダイ間での相互接続のテストの含む意味はこれまで語られた内容よりも大きい。テストの観点からみると積層ダイは、プリント基板実装(PCA Print Circuit Assembly)と類似している。3D 積層デバイスをテストするには、ダイレベル、pre-bond テストの潜在的なテスト抜けを考慮する必要がある。テスト抜けは、ダイ間の未テストの通信、積層内の信号とパワーのインテグリティ(ダイレベルのテストと比較して)、ダイレベルの欠陥が現れたり悪化したりして起こる組み立て/インターコネクト時の欠陥/故障(薄ウェーハ化【訳者注:バックグラインディング】はその良い例である)などからなる。PCA 環境に比べて改善される分野は Die-to-Die の潜在不良についてである。Chip-to-chip の潜在不良は上で述べられたテスト抜けの主因である。依然積層のテスト抜けは多くあるであろう。テスト時間やコスト面の観点とは関係なく、包括的かつ積層全体の機能テストは、非現実的かあるいは感知できない。いつテストを実施するか(mid-bond, "Stack and test" 対 post-bond "assemble and test")に応じて、積層内のダイのバリエーションを考慮したいくつかの機能テストのいくつかのバージョンを用意しておく必要があるかもしれない。

SiP と同様に、包括的なテストは BIST と、既存および新規のテスト標準、例えば IEEE 1149.1, IEEE 1500, IEEE P1687, IEEE P1838 などの上手な使用と、制限された機能テストの組み合わせにより達成できる。しかし、これにはダイ提供者、積層実現者、設計/構成者の十分な連携が必要である。BIST がダイ内およびダイ間の機能をテストする際に広範囲に使用されることは間違いないだろう。

ダイのトレーサビリティは、積層される異種ダイの数が増えるほど顕著になる。ダイ提供者と積層実現者との間でのデータ連携は、ダイレベルの品質保持と同様に、積層品質保持のために重要となるだろう。ダイの ID へのアクセスも、標準化されたアクセスのプロトコルあるいは標準化された記述言語等で標準化されるべきである。さらに、データ共有や解析のツールはデータ主導のプロセス制御をダイ提供者から積層実現者にまで拡張して対応するために発展する必要があるだろう。このような状況のなかで、テストデータの保管の要求は今後劇的に増加することに注目すべきである。

究極的には異種ダイのテストは各"コンポーネントテスト"、つまり各ダイを Known Good Die と保障するために、不良モデル、パラメトリック特性要求と歩留り基準に対して、(積層内で)行うテストと、"board test"つまりダイを実装された積層の一部として、ダイ間の相互接続、相互作用を含めて行うテストの混合されたものである。

5.4 デバッグ/診断

PCA テスト環境と同様にデバッグ/診断の主要な課題は、デバッグと積層レベルでの不良とダイ(ATE レベル)での欠陥/故障の相関を取ることである。積層レベル(Mid-bond, post-bond および最終テスト)での機能テストは、デバッグが非常に難しく、特にダイが積層の真ん中(デバッグ用のアクセスがほとんどないあるいはまったくない)の場合顕著である。問題は、ダイを積層からダメージなく取り外すのは事実上不可能である点である。"システムティック欠陥の不良解析(電氣的/物理的)は、それに対応した積層レベルでのテスト/デバッグ/不良解析リソースが得られない限り、時間がかかり、コストが高く非効率的だろう。診断も同じく"環境要因"(温度とパワー

インテグリティ)と、組み立て前後の TSV の潜在不良を特定できないことに阻害される。積層レベルのテストで、ダイレベルの欠陥/故障を組み立て起因の不良から弁別することは、緊急課題であることに注意が必要である。BIST とデバッグの機能の重要な統合が、ダイレベルと積層レベルの双方において要求されるようになるであろう。これらの機能には、組み込みのロジック解析と状態取り込み、オシロスコープ、温度、パワーモニタ、電圧降下検出等が含まれる。これらデバッグ機能からのデータは、積層実現者により記録され、フェイルした積層レベルテストと共にダイ提供者に提供される。さらに、BIST およびデバッグ技術自体についても大きな進展が必要となる。アナログ BIST や機能 BIST の領域、既存のロジック・メモリ BIST 同様に、限られたアクセス環境しかない中でテストとデバッグの能力を構成するために明確なブレークスルーが必要である。BIST とデバッグ機能を用いることで、ダイ提供者も同じテスト環境と積層レベルでの不良を再現できる。ソケットと治具の技術も積層全体あるいは部分的な積層の ATE でのテストのために大きく発展する必要がある。”テスト用のインタポーザ”もシステムティックや組み立て起因の欠陥を特定しデバッグするために必要となるかもしれない。データドリブンデバッグは時と共に代替案となり得る。

5.4.1 DFX

Design for Test/Debug/Yield(DFX)はこれまでの節で重要な役割を果たしてきた。これら、埋め込まれたリソースは可制御性や可観測性および欠陥/故障追跡性を増強するかも知れない。ダイレベルの DFX は次のものを含んでいる。

- ダイへの標準化されたアクセスプロトコル
- 積層されたダイに対するダイレベルの ATE テストを実現する機能(包括的なロジック BIST あるいは圧縮して格納された ATPG パターンと全メモリに対する BIST)とすべての I/O のテスト(バウンダリスキャンと、あるいは at-speed ループバック・テスト)
- 積層内の欠陥を特定するための(TSV の接続とパフォーマンスを潜在的には測定/モニタできる可能性を含む)組み込みのデバッグとモニタリング機能
- 積層での高歩留りのためのあるレベルでのフォルトトレランス/修正(これは、積層内のダイを区分けすることも含まれる)

上で述べられた BIST とデバッグ機能は、積層されたダイには今後普及していくだろう。

ロジックや、場合によってはダイ自身を区分けすることは、ダイレベルの並列テストを容易にし、(あるレベルでのフォルトトレラントを前提として)ダイ内あるいは積層内のロジックを”取り除く”ことに使われるかもしれない。

積層レベルでの DFX は、ダイ 積層工程(例えば,back grinding, wafer-thinning,laser thinning)での欠陥発生についての知見が得られ、これら欠陥に対応する、故障モデルが開発されるにつれ、時と共に発展していくだろう。積層実現者は、積層レベルでの DFX 機能のためのインターポーザを使用することも可能であろう。インターポーザベースの DFX は Die-to-Die のテストと複数ダイの並列テストを補助するだろう。これら、組み込みインターポーザの DFX は、異種ダイ積層によるテストリソース要求を、削減する助けになるであろう。

テスト/デバッグ/歩留り解析工程時、テストは一つのダイのみで行われるか複数ダイが連続で行われるか複数ダイそれぞれが相互作用することが必須である。よって、アクセスのメカニズムは二つの接続性スキームを各ダイに対し持つ必要がある。この二つの接続性スキームとは

- 1)ベアダイ・テストのためのプローブパッド
- 2)積層後の内部接続された大規模な TSV 接続

である。これらのスキームはテストアクセスの節で触れられた四つのテストアクセス要求と対応する必要がある。

5.5 電力

テスト時の消費電力要求が実動作時よりも大きくなりうることを受けて、消費電力は大きな問題の一つとなるであろう。消費電力の問題は、電源ドメインレベル、ダイレベル、積層レベルで発生する。ダイと積層レベルでの電力分配要求はテスト時の消費電力を考慮する必要がある。ダイ全体にわたる確かな電力モニタリングと電圧降下検出は、テストの完全性を保障するのに必須である。選択されたロジック/ダイのパワーをシャットダウンすることも、局所的あるいは全体の電力を削減するのに有効である。テストスケジューリングはこれら問題解決に役立つだろう。テストスケジューリングは、テストプログラムやあるいは可能であれば積層かインターポーザに実装されたアダプティブテストコントローラにより制御される。消費電力を考慮したテストは、(積層内の)ダイレ

ベルで導入される。積層レベルの消費電力を考慮したテストは今後検討していかなければならない問題で、将来、積層が増大する際にテスト時の消費電力の削減が必要となるであろう。

高い消費電力は、温度問題にも影響する。温度問題は、治具のデザインとパフォーマンスに影響する。さらに、温度変化はパフォーマンスのみならずダイ積層自身の完全性にも影響する。このため、「熱により引き起こされる、ダイ間の故障モデル」の開発がダイや積層をわたる温度変化の影響を記述するのに必要となるであろう。各ダイおよび積層内のダイについての検証は、温度変化についてガードバンドを取ることも必要とする。

5.6 3D テストのまとめ

3次元のダイ実装のためにもたらされた課題に取り組むため、テスト装置、ツール EDA およびメソドロジの顕著な発展が要求される。テストにとっては一般的なように、3D 技術の開発スピードと範囲がテスト要求と技術開発を牽引する。製造および組み立てとパッケージング工程からの課題も同じくテスト技術と工程をけん引するだろう。

6 アダプティブテスト

「アダプティブテスト」は、歴史的に適用されてきた静的な最適化で可能となる範囲を超え、IC テストを（あらかじめ定義した規則の下で）継続的に最適化することができることから、ますます使用されるようになっている。アダプティブテストの適用には、テストコストの低減、歩留り向上、品質や信頼性の向上、歩留り習熟のためのデータ収集の改善などの利点がある。本節では、アダプティブテストに関する簡単な紹介を行う。より詳しい情報は、

<http://icdt.ece.pdx.edu/~icdt/cgi-bin/adaptive.cgi/AdaptiveTest>

で入手可能である。

6.1 アダプティブテストの定義

アダプティブテストは、製造テストデータや統計的なデータ解析に基づき、（潜在的にはダイ／ユニット、またはダイより小さいレベルでの）テスト条件、テストフロー、テスト内容、テスト判定基準などを変化させる手法を説明するために使われる、幅広い言葉である。この概念は、インラインテスト／上流テスト工程から下流テスト工程へフィードフォワードされるデータや、将来の製品でテスト最適化に使われるテスト後の統計的解析からのフィードバックデータなどを含む。アダプティブテストはまた、統計のプロセス制御（Statistical Process Control = SPC）や、テスト判定基準およびテスト内容の調整を、生産テスト中にオンザフライで行うことができる、リアルタイムデータ解析も含んでいる（例：Parts Average Test (PAT) アルゴリズム）。時に応じいくつかの単純な適用は行われてきたが、アダプティブテストの適用は今後増えてゆき、ソフトウェア・アルゴリズムの更新や、複雑な統計的解析手法、データベースのインフラなどが必要になってゆく。

6.2 適用例

下記はアダプティブテストの適用例の短いリストである。これらの適用は手作業を伴う静的な手法から、人的な介入のないテスト実行中の任意のレベル（例：ロット、ウェーハ、ダイ）での自動的な適応へ、移行しつつある。

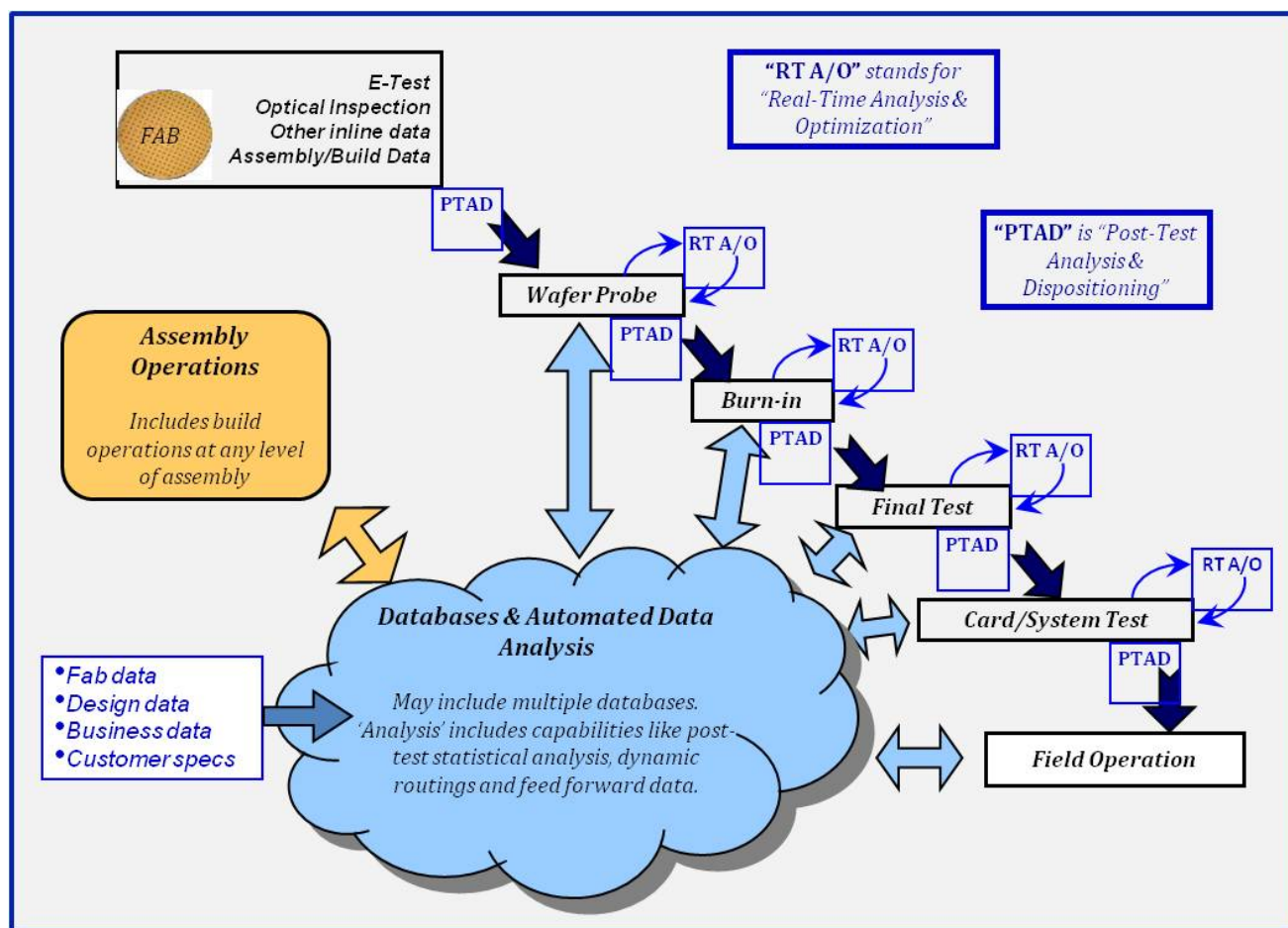
- **テストフローの動的な変更が可能、テスト結果のリアルタイムなモニタ：** テストの追加や削除、およびさらなる歩留り習熟上の特性評価や診断用データ収集の選択的な実行。この適用では、リアルタイムな統計のプロセス制御をも実行するであろう。
- **テスト後のテスト結果の統計的解析：**（例えばウェーハ全体やロットに対して）DPM (defects per million) や信頼性上の不良を起こす外れ値や異端的な事象をうまく識別するために適用される。このテスト後の解析はまた、独自のテストフロー上で特定のダイが通る経路を決定するのに用いることもできる。
- **あるテスト工程から別の工程へのテスト結果のフィードフォワード：** テストを最適化したり、よりの絞ったスクリーニングが可能となるようにするために適用される（例えば、インラインテストからウェーハテストへ、ウェーハテストからパッケージテストへ、バーンイン結果からパッケージテストへ、パッケージテストからカード／システムテストへ、など）。
- **将来のデバイスのテスト変更の推進に用いるオフラインのデータ解析：**（実行はオフラインだが完全自

動) 例えばオフライン解析は、テストフロー、テスト内容、あるいは測定ルーチンを最適化するのに使われる。この解析は、過去の収集データ、テスト生産能力、要求される対応時間、DPM 要求、期待する歩留りや特性データといった多くの情報源からの入力を受け付ける。

- **生産テストのモニタと警報:** 従来実行してきたよりも複雑な生産テストの実行を可能にするため、可能な全データのリアルタイムな統計的解析を含む (例えばマージナルなウェーハプローブのコンタクトに起因するかもしれない微妙な特性上のずれを特定するための、リアルタイムなパラメトリックデータ解析)。
- **部品/カードレベルテストのフィードフォワードに基づく、カード/システムレベルの構成とテスト:** 例えば、部品のテスト結果 (特性データや歩留り、部分良品のデータなど) は、カードやシステムのテストフローをカスタマイズするのに利用されるであろう。他の例として、ウェーハや部品レベルのテスト測定データ (プロセスコーナ) に基づく、基板テスト電圧のカスタマイズがある。また、カードやシステムテストの工程は、複数回のリワークを経る基板に対して、変更が可能である。

6.3 今後 5～10 年のアダプティブテストの方向

アダプティブテストの進歩を判断するには、その一般的な形式が必要である。基本的に、アダプティブテストは許容基準値やテストフロー、テスト内容などの変更を、アルゴリズム的に判定している。判定アルゴリズムは、テスト対象デバイスの動作モデルに基づいている。この判定は、以下の表の各行の工程に関係する。これらの工程は上から下まで、陽にあるいは陰に、実行される。モデル化はモデル候補の一群からモデルの式 (計算式) を選択することに始まり、その後、特定動作のモデルを開発するためにモデル式のパラメータ値を決定し、



このモデルから問題の個体に対する判定の基準値を計算し、最後に測定値を判定の基準値と比較する。

Figure TST5 - Adaptive Test Architecture / Flow

判定を行う際の適応の度合いは、表中の行を左から右へ進む形でこれらの工程が実行される、テスト開発の各フェーズに依存する。“Static”(静的)は、その工程はよく知られていると仮定され、アダプティブテストのフローにおいて変更されないことを示す。「静的」な要素は、アルゴリズムや(VIL/VIHなどの)自動プロシジャが固定されたものか、(ATPGのように)テストフローへの入力を生成するとテストフローから削除されるものである。“Characterization”(特性)は、デバイスやプロセス、またはテストフロー外の他のデータ収集工程からの測定データが必要であることを意味する。“Test Execution”(テスト実行)は、ダイごと、ウェーハごと、ロットごとにデータが収集される時間の最小単位である。

適応の度合いは、テストや結果処理のフローの複雑さに対するテスト効率と、それに入力されるデータ範囲とのトレードオフである。データの範囲(テスト、ダイ、ウェーハ、ロットなど)は、テストやテストの集合に対し判定ができるようになる前に、収集されなければならない最小のサンプルとみなすことができる。

Model Elements	Static Limit	Model With Static Parameters	Model Parameters Extracted from Data
Decision	T	T	T
Limit Setting	C	T	T
Parameter Value	S	C	T
Model Form	S	S	C
Model Family	S	S	S

S=Static	C=Characterization	T=Production Test Execution
----------	--------------------	-----------------------------

現在これらの考え方は、ある測定のばらつきのモデルにより許容の基準を適応させる、外れ値検出に対し最もよく開発されている。例えば、IDDQ ではもともと決まった値との比較を行っていたが、バックグラウンド・リーク電流が増加し、FET シュリンクに伴うばらつきが大きくなってくるとともに、業界では欠陥のしきい値をバックグラウンド・リーク電流値に適応させるよう移行している。このようなばらつき削減のモデルの一つは、回路状態の集合における最大電流値を、これらの状態の最小電流値から予測する手法である。

ここでモデル式は通常、一群の多項式から選択される直線である。そのパラメータは傾きや切片、誤りのマージンなどである。各ダイに対する最大電流値の基準は、最小電流値をこの一次式に当てはめることで後者に対して適応される。これらのパラメータは、適切なサンプル上で線型回帰を行うことで見出される。適合度が充分でないならば、別の多項式、すなわち選択された一群の中からの別のモデル式を試せばよい。このモデルを用いる最も単純なテストプログラムは、オフラインのサンプル特性評価での線形回帰で決定される、固定のパラメータを用いるものであろう。この「固定パラメータモデル」は、各チップがテストされるときに適用可能である(チップスコープ)が、パラメータが変動するプロセスに適応させることはできない。この変動は、「データから抽出されたモデルのパラメータ」により適応させることはできるが、これは線型回帰ルーチンを組み込むことでテストプログラムをさらに複雑にし、その上、受入れ／除去の判定が可能となる前に、ウェーハスコープに移行するなどして、より多くのデータ収集を行うことを要求する。似たような考察は、サンプリング計画にあるようなテストフローの分岐判定にも影響を及ぼす。

6.4 テスト結果が推進する「適応型の設計」

より多くの設計が、テスト中に再構成されるようになってきている。例として、部分良品【訳者注: partial good 複数同一マクロの一部が不良で、システムとしては動作するような場合】、VDD／周波数調整、局所クロック調整などがある。多くの場合この製品の個別化は、テストでの測定か別作業からのデータのフィードフォワードを基に行われる。ある場合には、この再構成は「応用分野の要求」に基づくものとなる。

6.5 適応型の製造

急を要する方向性の一つは、テスト結果をパッケージのような別の IC 生産工程を推進するのに用いることである。例えばカード／基板組立作業は、特定のダイやある種のダイが、テスト結果を基にして使用されることを

求める。3D IC の出現や電源制約があると、テスト時に収集される IDD や電流／性能測定値などの特性データを基に組み立てるために、特定のベアダイを選択する必要があるかもしれない。

本文書では、「適応型の製造」が含む考えのすべてを説明することはしないが、後の節で説明されるデータ要求のいくつかは、明らかに組み立てなどの別の製造工程でデータが要求された場合に必要となる。

6.6 アダプティブテストを構築するブロック

アダプティブテストは、テスト内容やフローを動的に最適化することができる一群のインフラ構築ブロックに依存している。その鍵となる要素は以下のものである：

- データ：様々な供給源からのもので、判定アルゴリズムに供給するために構築された、リアルタイムデータ、過去データ、フィードフォワードデータなどになるであろう。
- データ構造と制御経路：対象データを解析エンジンへ、また判定を実行地点へ送る。
- 判定アルゴリズム：入力データに基づき、テストの判定基準、フローおよび内容の調整を自動的に行うためのモデル。
- 解析エンジン：特定の生産パラメータに基づく制御信号を返すために、データ構造上でモデル／アルゴリズムを実行する。このエンジンはテストプログラムまたはステーション制御ソフトと別にあっても、組み込まれていてもよい。
- ステーション制御／テストプログラム：解析エンジンとの通信や起動を行い、また何らかの実行をかけるために結び付けられる。

アダプティブテストは、以下のようなことを可能にする、さらなるインフラと業務プロセスを推進する：

- 完全な追跡可能性：各製品／チップのテストに、どのようにアダプティブテストが適用されたかの詳細。
- 標準的なモデルとアルゴリズム：Parts Average Testing (PAT)、線型モデル、機械習熟、サンプリングなど。
- レシピの管理：モデル式とパラメータ、対象の製品とロット。
- 解析機能：品質、信頼性、テスト時間、歩留りロス、およびリスクアセスメント等のトレードオフを定量化する。

6.7 テスト装置と生産テスト工程への影響

- リアルタイムのテスト入出力を伝送するデータ経路に対する、テスト装置の（標準的な）インタフェースの定義と開発
- 適応されたテストフローに対するテストフローとハードウェア構成を制御するテスト装置のリアルタイムで（標準的な）インタフェースの開発
- （ユニットやロット間で）テストプログラムの内容をリアルタイムに調整する、インタフェースおよび規則の定義
- 最適化されたテストフローに対する、ハードウェア構成の自動的な調整

6.8 テストデータと解析への要求に対する影響

アダプティブテストは、複数のデータ源からの様々な詳細度のデータを用いて、様々な複雑度のアルゴリズムで製造工程をとおして行う判定に関係するものである。このためアダプティブテストは、従来のテストに比べて新しい使い方をするため、より多くのデータを新しい方法で構築することを要求する。通常のテスト結果の流れに加えて、アダプティブテストはテスト内容や製品の設計構造、製造のフローや配置、および数量やコストなどの事業情報などにアクセスすることも求める。

このデータは、判定を行うのに必要な際に有効となるよう、注意深く構築されなければならない。テスト結果を一時的に有効にするということは、テスト結果と同様に他のデータ源からのデータも組織化するための、階層的な枠組みの必要を示している。

テストデータ源は、以下のものを含む：

- **デバイスのメモリ**：スキャンレジスタ、DFT メモリ（揮発性）や、電氣的 ID およびメモリ救済用ヒューズ（不

揮発性)などの、テスト対象デバイスに含まれるデータ。

- **テスト工程のメモリ**: テスタや工程制御用のメモリなどに、測定値あるいは設定値として書き込まれる、テスト結果やテスト条件の流れ。このデータは、テスト上での「リアルタイム」な判定に必要となる。
- **テストのログファイル**: ある遅延や統合の後にファイルに書き込まれる、テスト結果やテスト条件、テスト上での判定の流れ。
- **業務データベース**: 製造ロットへのすべての適用テストからその結果を結合する構造化データベース。チップが製造(テストを含む)されている間に判定を下すため、そのアクセス待ち時間は小さくしなければならない。
- **過去データベース**: 製造されたロットや製品を結合する(データ保管庫のような)データベース。このデータベースは、伝統的な歩留り工学や定期的なテストの改善をサポートするであろう。

アダプティブテストは、このようなデータや構造について、新たな要求や重点を付け加える。それらは以下のような特質により、特定される:

- **識別**: 異なるデータ源と接続する場合を含む、追加や検索のために記録を識別するためのキー
- **追跡可能性**: 使用されたアルゴリズム、データ入力や判断に用いられたモデルのパラメータなど、将来の解析を可能とするための「長期間の」記録。(例えば、適用された手法の効率や有効性の評価)
- **サイズ**: 精度と詳細度が、データの保管や伝送、さらにデータのレイテンシや持続性などの経済性に影響を与える。
- **統合**: データの抽象化。例えば各ダイの選別結果を、ウェーハ全体での概要的な選別結果の数に抽象化すること。これは、各階層レベルで保持される詳細情報のサイズとレベルを、また結果としてそこで適用可能な判定アルゴリズムの範囲を規定する。
- **レイテンシ**: データを要求してから届くまでの時間。製造フローにおいて次の段階へチップを配置できるよう、時間内に判定が行われるような場合、レイテンシは制限を受ける。
- **保管期間**: データが有効である期間を、製造工程数や時間で測った長さ。これは、ある製造段階で、判定のためにどのデータが有効であるかを決定する。
- **整合性**: データ源と時刻の一貫性と整合性。これには、いつ、どこからのデータにアクセスして判定を行えるかが影響する。
- **安全性**: 誰が、どのデータに、いつアクセスするか。
- **格納の構造**: データが格納される構造と媒体。チップ上のスキャンレジスタ、テストのディスク上のログ、サーバに格納されたリレーショナルデータベースなどがある。格納媒体は、レイテンシと持続性を決定する。
- **伝送**: データが、データ源や格納場所から判定処理へ、地理的距離や組織やシステムを越えて伝送される際の媒体やプロトコル。これは整合性、安全性、レイテンシ、持続性などを決定するであろう。

6.9 アダプティブテストのカード／システム／フィールドへの影響

「アダプティブテスト」手法は部品のテストを超えて、カード、システム、フィールドでの適用を含むまでに拡大してきている。部品のテストと同様に、そこにはフィードバック、フィードフォワード、静的および動的な技術などを含む様々な考え方のレベルがある。いくつかの課題があり、システムレベルのアダプティブテストが広く展開される前に、解決策が与えられなければならない。

前の節で述べられた要求(データ要求、再構成や適応型の製造など)は、システムテストを介して、フィールドでの適用にまで可能とされなければならない。前段階のテスト工程からの結果は、システムレベルのアダプティブテストが可能となるよう、フィードフォワードされるであろう。これらの適用は、リワークの履歴に基づくカード／システムテストフローの変更や、採用する材料からのデータに基づく、改良されたストレステストの選定を含むであろう。

Table TST3 - Implications of Adaptive Test

Challenge	Required Direction
IT Infrastructure	• Infrastructure to enable the Adaptive Test flow shown in Figure TST5. • End-to-end supply chain data integration – including data from Fabs, Test Houses and other Subcons. • Develop supply chain data integration and processes which automatically detect supply chain issues and implement corrective actions in near real-time. • Integrate multiple databases, flexible logistics system, and full part tracking at each test step, and feed-forward/feed-backward data flows.
Traceability	• Enable full traceability of Adaptive Test parameters (limits, content, flows, and rules) for each die. (accessible anytime in future)
Real-Time Communications	• Develop tester-to/from-data analysis engine communication – without significantly impacting test time.
Development of Improved Models & Algorithms	• Development of methods where the models are not fixed – instead the models are dynamically adjusted based on DUT responses. • Develop peripheral coverage metrics and associated quality impact of dropped or modified tests. • More encompassing fault coverage metrics are required – particularly for analog circuits.

7 テスト技術への要求

7.1 導入部

過去25年にわたり、主に性能とトランジスタ数の過酷な増加により、半導体テスト技術に対する要求は押し上げられてきている。新たな市場要求（例えば可搬性、セキュリティ、使用の容易性、システム管理の容易性、低消費電力など）の出現によって、基本的な変化は引き続き進んでいる。これにより、従来よりも多様な方法で、かつより多くのアプリケーションで、異なる半導体技術の統合が促されている。テスト技術に対する要求を決定するのが、最終的にはアプリケーションの要求や仕様であることから、テストは本質的に大きな課題となるが、この章において広範囲なアプリケーションと、これに関連するテスト要求の傾向を把握することは、不可能であろう。したがって、各コア技術に関連するテストの課題と傾向を説明する枠組みを提供するために、SoCやSiPといったコア技術の集積に関係するテスト課題を説明するとことで、コアとなる半導体技術の構成要素を確認していく。

各コア半導体技術は関連したあるアプリケーションを持ち、これらのうちあるものが、長期的な傾向を引き出すための土台として用いられる。特に ITRS では、CPU, ASIC, DRAM, フラッシュメモリに対しキーとなる技術の特質の傾向を公開している。これらは、コア技術の節中のふさわしい箇所で参照される。図 TST6 は、この章で注意を向けられたコア半導体技術と、これらに関連するアプリケーションの例を示している。挙げられた例の多くが複数のコア技術を含んでいるであろうことから、アプリケーションの対応付けは意図的に緩くしている。コア技術は主に、それら固有の機能的な相違と、それゆえに異なるテスト要求により区別される。この版で含まれない二つの新たなコア技術は、MEMS および光技術である。

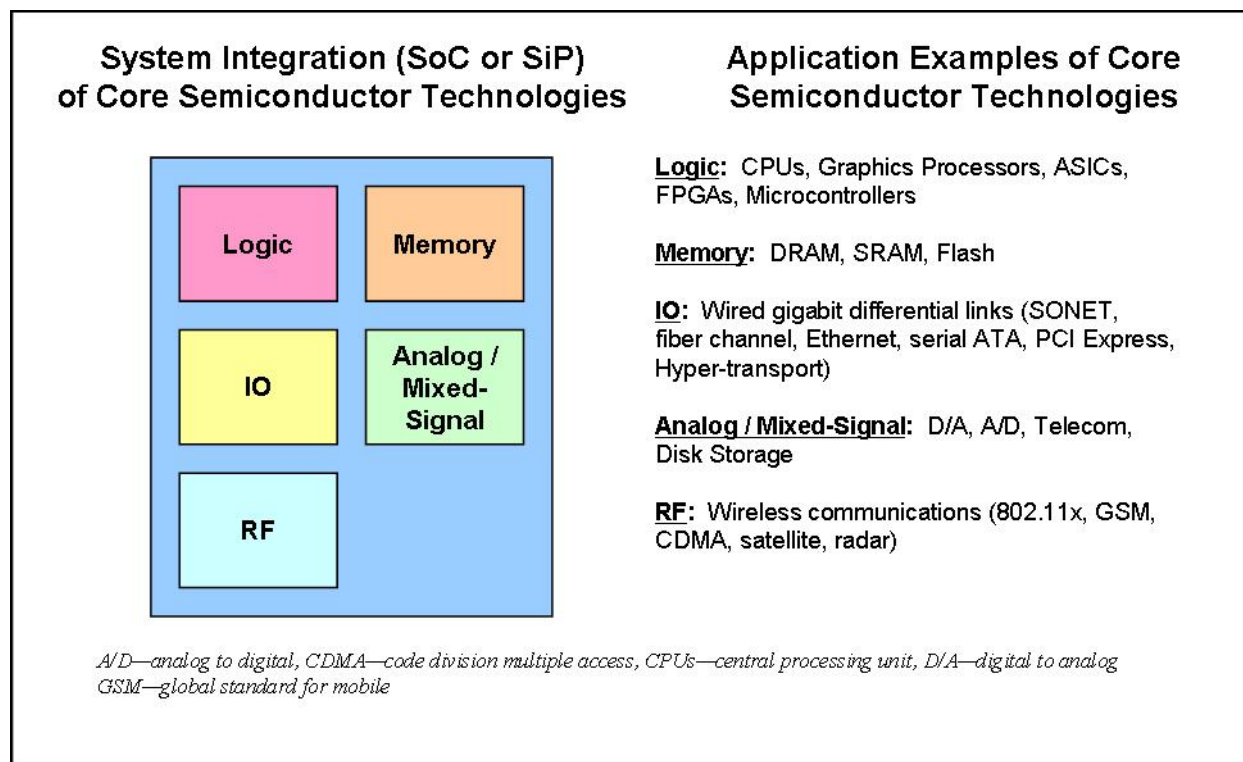


Figure TST6 - Organization of Cores for System Integration and Applications

最近では、これらのコア半導体技術とアプリケーションが、異なるテスト上の解決策を明確に要求しており、それぞれに特定のテスト装置やインタフェースツールの市場を持つ。コア統合の増加は、これらの境界を不明瞭にする。コア統合の成否が、ただ「統合できるか」ではなく、「統合された全体を、経済的にテストできるか」どうかで決定されることから、DFTの重要性が増すことになる。テスト技術への要求の節の残りは、コア統合の増加に関連するテスト上の課題と、それを構成する各コア技術に対するテスト上の課題に向けられる。

7.2 システム集積—SoCとSiPのテストの課題への影響

SoCとSiPは、理論的には等価と言えなくはないが、パッケージあるいはチップにどのテクノロジーがより集積しやすいかという点で大きく異なっており、それぞれのテストの意味するところも大きな違いがある。最近のアセンブリ/パッケージ技術の進歩は、異なるコア半導体技術を同一のウェーハ製造プロセス上で最適化することの困難さとあいまって、SiPへの動きに大きなはずみを与えてきたため、一部の予測ではSiPが支配的になると言われている。しかし、ウェーハ製造プロセスの改良と設計/DFTのニーズがSoCを表舞台に押し出すかもしれないし、またSoCとSiPの複合物を生み出すかもしれない。明らかなことは、集積化の傾向は継続するという点である。問題は、それがどれほど早く、またどのような形であるかという点である。以下の二つの節では、SoC、SiPのそれぞれに関連するテストの課題とその意味するところについて論じる。

7.2.1 システム・オン・チップ

SoCは複数の個別に設計されたIPコアからなる。IPコアは個々に設計されたブロックであり、その設計情報、テストソリューションおよび他のIPコアとのインタフェースが設計データベースに格納されている。さまざまな種類のIPコア(ロジック、メモリ、アナログ、高速IOインタフェース、RF、等)があり、それぞれ異なったテクノロジーが用いられている。このようなIPコアを組み合わせることで構成されるSoCに対しては、これら搭載コアに対応する特定のテクノロジーをテストするための多岐にわたる解決策が必要となる。このように、SoC設計のテストには、個々のコアのテストソリューションを利用するための、高度に構造化されたDFTの基盤が必要になる。SoCテストでは、個々のコアのテストやコア・テスト・アクセスのテスト、そしてコア間のインタフェースやグルーロジック(コアに含まれない論理回路)を対象とするチップ全体のテストの各々に関連する様々なソリューションを適切に組み合わせる必要がある。さらに、効率的な階層化あるいは並列化手法やスキャンパターンの圧縮手法により、SoC全体の品質とコストを評価して顧客の受け入れ可能なレベルに適正化する必要がある。

他方、応用分野の発展に伴って加速される設計技術の進展に対応するためのSoCテスト技術の改善も不可欠である。これらの技術およびそのテスト(DFT)設計に対する要求(設計インテント)はデザイン章で扱われるが、これらの設計インテントを反映した良く構成されたロードマップおよび候補技術は読者によりレビューされる必要がある。例えば、低電力設計メソッドは、チップ性能を改善するための手法として、現在の様々なSoCで採用されているが、SoCを、その機能的動作および物理的構造を深く理解することなくテストすることは容易ではない。その結果、静的なSoC構造のみにフォーカスした従来のDFTではもはや十分ではなくなっており、この問題に対応するための進化が強く望まれている。

コンシューマ向け SoC の定量的なトレンドおよび要求水準は MPU チップと比較して表 TST5 に示されている。なお、テスト(DFT)設計のガイドラインおよび EDA ツールに対する要求課題については表 TST4【訳者注：原文の TST5 は誤記】に示す。

Table TST4 - DFT Requirements

7.2.1.1 ロジックコアに対する要求課題

ロジックコアに対する膨大な量のテストデータを削減するためには、ランダムパターンロジック BIST や圧縮パターンスキャンテストのような高度な DFT 手法が必要である。適用する手法については、DFT エリアの投資量、設計ルールの制約、および関連する ATE コストに関して、利点と欠点の両方を考慮して決める必要がある。DFT エリアは、主としてテストコントローラおよびテストポイントからなるが、これらは階層設計手法により長期間にわたって一定の比率に保つことが可能である。

SoC と MPU では、どちらも搭載されるデジタルロジックの量は増加し続ける。表 TST5 に、使用されるべき DFT 技術に関する共通の考え方を示す。大部分の起こりうる故障をカバーする努力を推進する(EDA システムでモデル化されるようにする)一方で、テストデータ量を効率的に処理することによりテストコストを低く抑えるように努める必要がある。

スキャンテストのためのテスト生成の基本的なアプローチとしては、以下の 4 種類がある。

- EDA ツールが、全体回路を一括して扱い、階層設計の活用やパターン圧縮手法の利用を行わない、いわゆる「フラット」なテストを生成する。
- EDA ツールが、階層設計を考慮して、チップ上での同時テストを実現できるようにする。
- EDA ツールが、スキャンチェーン内に圧縮回路を埋め込み、ATE からのデータ量を低減できるようにする。
- EDA ツールが、圧縮階層手法のための上記の 2 手法の組み合わせを実現できるようにする。

搭載されたコアへのテスト適用のためのアプローチは、テスト時間に、そして恐らくテストデータ量に関しても、大きなインパクトを持つ。過去に使われていた方法の一つとして、SoC レベルでのコアに対するテスト生成を避けるため、各コアを分離してテストするための入力と出力を SoC ピンまで引き出す方法があった。この方法は、テスト生成のための処理時間は節約できるが、SoC のテスト時間を削減することはできない。テストパターン圧縮を用いる場合に適用できるより効率的なアプローチとして、複数のコアに対して、それらをお互いに完全に分離することをやめて、同時にテストする方法がある。このように、テストパターン圧縮は、勿論コア内部でも用いるが、複数のコアに同時にスキャンパターンを送れるようにすること、および、複数のコアからの出力をチップ外部に送る前に圧縮できるようにすることにより、コアを超えて用いることも可能である。このアプローチが同一コアを複数用いた場合に適用されると、これらのコアがある内部テストモードでそのコアの入力信号を送出するロジックからの影響を受けないようにできるとすれば、これらの複数の同一コアのコピーを、一斉にかつ一つのコアをテストするのと同じコストでテストすることも可能になる。この方法は明らかに、同一コアのより多くのコピーを使用した場合に、コア内部の圧縮率を変えずに全体のテスト圧縮効率を改善するのに役立つ。異なるコアを同時にテストすることも可能であるが、コアを分離した形だけでテストするのでは、そのような結合されたテストを生成することは不可能であり、そのテスト時に活性化されているすべてのコアに含まれる故障を対象とする、結合されたテストパターンの生成を可能にする必要がある。複数のコアを対象とするようにテストを結合した場合は、同一タイプの複数コアを同時にテストする場合に比べてテストパターンサイズが増加することが予想される。

これは、ケアビット間の矛盾の発生により、すべての故障のカバーにより多くのパターンが必要となるためである。表 TST5【訳者注:原文の TST6 は誤記】のデータでは、階層的な圧縮を使用する場合、複数種類のコアを同時にテストする場合は、一種のコアのテストに比べてテストパターン数が 10%増加すると仮定している。ただし、小さなコアに対しては大きなコアのテストに容易に併合されるとの仮定から、この考慮は大きいほうから 6 種のコアに対してだけ行っている。すなわち、同一の複数コアの同時テストは基本的にパターン数を増加させない一方、異なる種類のコアの同時テストはコアごとに(最大 6 コアまで)10%のパターン数の増加が必要になると仮定している。

テスト品質とテストコストのトレードオフは大きな関心事である。ATPG は、高いレベルのテスト品質を達成するためには、縮退故障や遷移故障だけでなく、微小遅延故障やその他の欠陥ベース故障に対応する必要がある。テストパターン数はロジックのトランジスタ数の増加に伴ってロードマップ期間をとおして増加すると考えられるが、テストコストの上昇を避けるためには、ゲートあたりのテスト実行時間を一定に保つ必要がある。そのため、テストパターン削減、スキャンチェーン長削減、スキャンシフト速度のスケラブルな高速化などの様々な手法が検討されなければならない。しかし、スキャンシフト速度の加速はスキャンシフトサイクルの電力消費を増加させるためテスト時の消費電力の問題をより重大にする可能性がある。したがって、シフトスキャンサイクルの電力消費を削減する何らかの DFT および ATPG 手法が必要である。スキャンキャプチャサイクルの過剰な電力消費も重要な問題である。この問題を緩和するための手法がいくつか提案されているが、それらの多くはテストパターン数を増加させるため、テスト実行時間への影響が許容できないものとなる。したがって、テストパターン数の増加を最小化できるような低キャプチャ電力テスト手法も必要である。これらの低電力スキャン系列の利用によるテストデータ量への影響は、低電力テストパターンへの要求の行【訳者注:表 TST5 を参照】のテストデータ量の 20%増として表現されている。

テストパターン数増加のもう一つの問題としてテストデータ量がある。テストのメモリサイズが 3 年ごとに 2 倍に増えると仮定したとしても、近い将来高いテストデータ圧縮率が必要になる。このため、テストデータの削減は取り組むべき重要課題として残るだろう。テスト実行時間とテストデータ量を同時に削減できる可能性のあるソリューションの一つは、同一のテスト対象 IP ブロック(TSIB test segmentation IP blocks)を一つの設計に繰り返して用いることである。この方法は、ゲートあたりのテストパターン数を一定に保つという要求をある程度は緩和できるかもしれないが、その問題を完全に解決するには不十分と思われる。したがって、BIST と圧縮パターンテストの組み合わせや革新的な DFT 手法などの他のアプローチにも取り組む必要がある。

電源ドメイン数の増加によりテストパターンの追加が必要になるかもしれない。しかし、テストパターン数の増加は電源ドメイン数に比例する程度であるため、全体のテストパターン数には大きな影響は与えないと考えられる。そうは言っても、電源ドメインの増加は同一 TSIB の同時テストの効率を低下させる可能性もある。この影響については将来のロードマップで検討されるだろう。

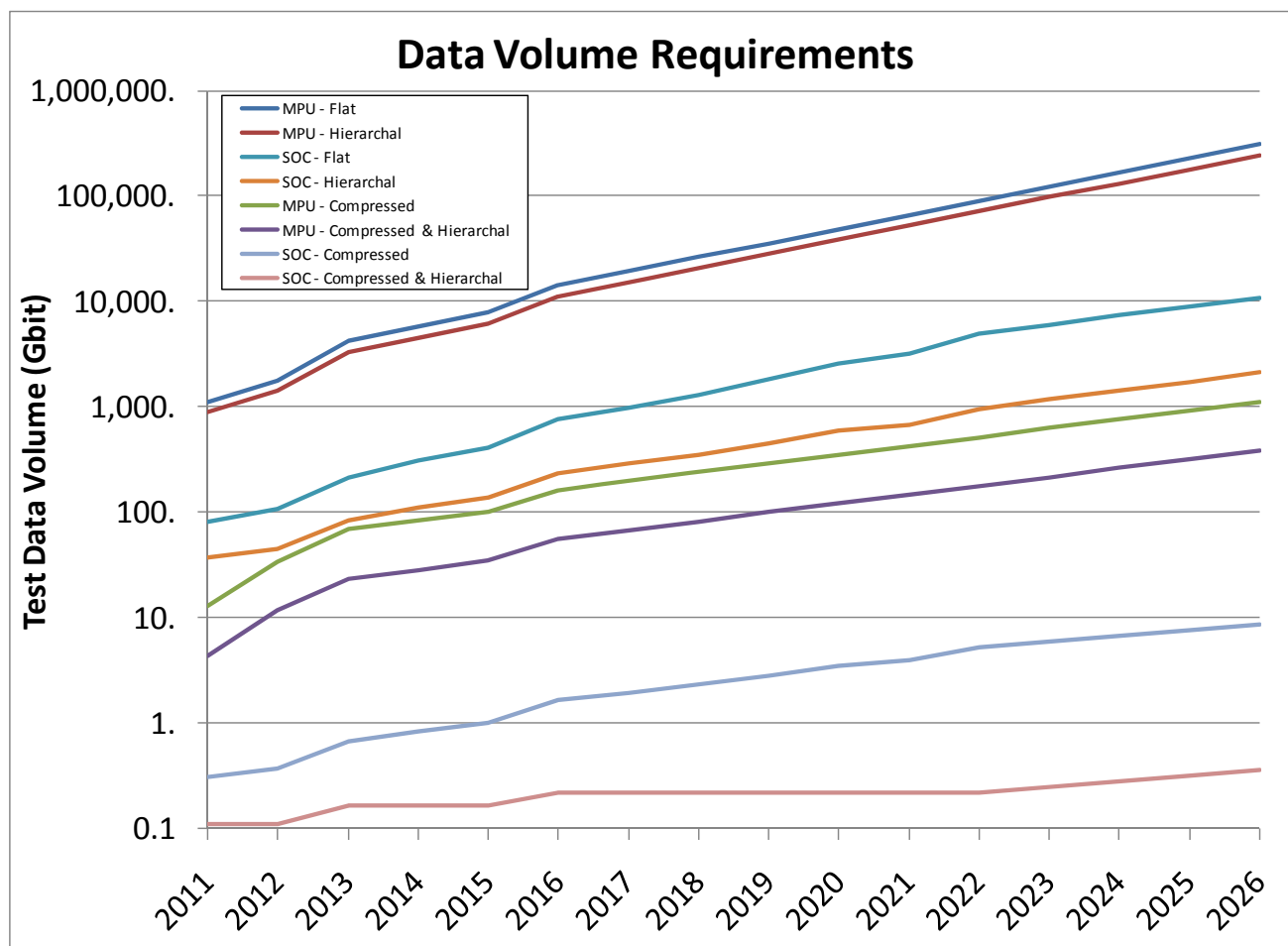


Figure TST7 - Test Data Volume Requirements as a function of DFT technique utilized

Year of Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
MPU																
MPU: With hierarchal compression only	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3
MPU: With scan compression only	87	52	62	69	78	87	98	110	123	138	155	174	196	220	246	277
MPU: With hierarchal and scan compression	253	151	179	201	226	253	284	319	358	402	452	507	569	639	717	805
SOC																
SOC: With hierarchal compression only	2.2	2.3	2.5	2.8	3.0	3.2	3.5	3.7	4.0	4.4	4.6	5.2	5.2	5.2	5.2	5.2
SOC: With scan compression only	260	288	323	368	412	467	515	572	644	736	794	939	1011	1089	1173	1264
SOC: With hierarchal and scan compression	740	970	1317	1865	2518	3527	4560	6042	8281	11844	14490	22669	24415	26296	28321	30503

Figure TST8 – DFT Compression Factors (Flat with No Compression = 1)

図 TST9 は様々な DFT 手法がテストデータ増の問題に与えるインパクトを示している。現在のテストデータ圧縮技術は、各々のテストベクトルが X 値(テスト検出率の向上に貢献しないドントケアビット)を多く含む事実を利用して、100 倍を超える圧縮率を達成している。しかし、表 TST5-Logic【訳者注:原文の SoC は誤記】に示すように 100 倍の圧縮でも十分ではなく、そのため今後より高度な技術が必要になる。図 TST8 は予想される圧縮レベルを示している。スキャンチェーンに適用されるテストベクトルの類似性を利用することにより、より高い圧縮率を達成できる可能性がある。また、適用されるテストベクトルの時間的な類似性を利用することにより、さらなる圧縮率の向上を実現できる可能性がある。このように、多次元的な類似性の利用は候補技術となる。

この予想されるテストデータ量をテストおよびテスト時間に対する要求値にマップするためには、使用可能な外部スキャンチャンネル数、および、テストデータをチップに印加およびチップから観測するクロックのデータレートを検討する必要がある。これらの重要なパラメータの推定値は表 TST5 の SoC と MPU の節に示されている。

これらのパラメータは部分ごとに異なる可能性があるため、その結果として示されているデータは各部分に適用するアプローチに応じて調整する必要がある。

- チップにより多くのスキャンチェーンを設けることによりテストの並列性が向上し、それに比例してテスト実行時間が短縮し、また、テストピンごとのメモリ量も減少する。
- スキャンチェーンをより高速なクロックで動作させることによりテスト実行時間は短縮するが、テストメモリの要求に対しては効果がない。

テストメモリの要求を考えた場合、特定のチップにどのテストパターン圧縮手法を用いるかも問題である。この問題はチップサイズ、個別の選択、TTM(Time-to-Market)の制約などの多くのパラメータの影響を受ける。そのため、表 TST5【訳者注:原文の TST6 は誤り】の解析では、もっとも複雑なチップをテストするために必要なピンごとの最小パターン数が示されている。このデータは、より精巧なテスト生成手法を使用することにより、最小パターン数の要求値がロードマップに示された期間中に 2~3 倍程度しか増加しないことを意味している。

このような多くのテストデータ量をやり取りするために必要なテスト時間は、使用されるデータ速度に影響される。コスト効率の良い高速テスト機能を採用することにより、このデータ速度がテストを高速化し、チップごとのテスト時間を短縮するのに使用され则认为られる。解析ではこの影響を考慮し、テスト時間がスキャンシフト速度の高速化の影響で時間とともに減少するとしている。なお、ゲートあたりのテスト実行時間を一定に保持することが、直ちにテスト実行コストの安定を意味するものでないことに注意する必要がある。したがって、トランジスタあたりのテストコストのスケラブルな低減を達成するためには、同測数の増加、低コストテストの使用、テスト速度の向上などの ATE コストを削減するための手法も用いる必要がある。

コア階層での同時テストはテスト時間削減の可能性を持つ。ATPG/DFT レベルの削減手法の開発が今後必要である。「Test per clock」はスキャンテストとはかなり異なる(すなわち非スキャンの)テスト手法であり、各クロックパルスごとにテストを実行しスキャンシフトを必要としない。この手法に関するいくつかの研究はあるが、実用化にはさらなる研究が必要である。

設計効率向上のために高位の設計言語が用いられるようになっており、DFT も高位レベルの設計段階での適用が望ましい。DFT の設計ルールチェックについてはすでにある程度利用可能である。テスト容易性の解析、故障検出率の推定、非スキャン設計手法を含む高位レベルでの DFT 合成が次の段階として必要である。一方、歩留りロスも気になる。テストパターンは DUT(テスト対象チップ)のすべての故障を励起するため、通常の動作では生じられない過剰なスイッチング動作をもたらす。これは機能動作を不安定にするような過剰な電力消費を引き起こし、その結果、テストフェールとなる可能性がある。これはオーバーキルとなる。さらに、抵抗性の電圧低下やクロストークなどによるシグナルインテグリティの問題も発生する可能性がある。これにより、機能動作が不安定あるいはマージナルになり、その結果、障害を引き起こす可能性もある。したがって、テスト(DFT)設計での電力消費とノイズの予測と制御が必要である。

この節のこれまでの議論は自動生成されたスキャンベースのテストに関する要求にフォーカスしてきた。機能テスト手法は、チップのエンドユーザでの応用への適合性の確認に関して、スキャンベーステスト手法を改善するために広く用いられ続けるであろう。さらに、MPU にも SoC にもますます多くのメモリアレイが搭載される。

7.2.1.2 メモリコアに対する要求課題

半導体プロセス技術の進歩およびいくつかの特殊用途の要求により、メモリの総ビット数は増大し、これに伴って BIST、救済および故障診断のための回路に対するエリア・インベストメント【訳者注:エリア・ペナルティという言い方が一般的だが、必要な機能に要する面積増加という意味を強調し、ITRS ではこのような用語を用いている】も増加する。また、メモリコアの高密度化と動作周波数向上により、メモリ DFT 技術には以下のような機能および性能上の革新が必要となる。

- ナノメータ・プロセスにおいて出現する新しいタイプの欠陥に対応するため、テストアルゴリズムは、一般的な固定アルゴリズムから一般的なアルゴリズムとテスト条件の選択的な組み合わせ、あるいは、与えられたメモリ・デザインと欠陥の集合に対して、専用の最適アルゴリズムに進化しなければならない。

さらに、柔軟なテストアルゴリズムの作成を可能にする高度なプログラマブル BIST が開発されなければならない。

- 組み込み冗長割当 (BIRA: built-in redundancy allocation) や組み込み自己救済 (BISR: built-in self-repair) のような実用的な内蔵の救済技術が開発されなければならない。ここで、BIRA は歩留りを改善するために BIST 結果を解析して冗長要素の割り当てを決定する技術である。また、BISR はチップ上で実際の再構成 (ハード救済) を行う技術である。
- 不良情報のオンラインでの収集は歩留り習熟にとって不可欠になりつつある。ビット、ロー、カラムの不良、あるいはこれらの不良の組み合わせなどの不良タイプが、大量のテスト結果をダンプすることなしにチップ上で識別される必要がある。組み込み自己診断 (BISD built-in self-diagnostic) 機構があれば、メモリ出力の解析による不良タイプの識別が可能になり、その結果を ATE に渡して歩留り習熟に活用することができる。前述のテストアルゴリズムのプログラマブル度合は、診断の分解能を向上するようにより精巧なものでなければならない。アルゴリズムとテストデータ/条件の組み合わせに対して柔軟性を持つとともに、大量の生産テストでは使われることのないメモリ診断専用のテストパターン生成能力を持たねばならない。
- 以上のすべての機構は、コンパクトなサイズで実装されなければならないし、またシステム動作周波数で動作しなければならない。

表 TST4 に基づくと、2011 年において内蔵メモリに対する組み込みテスト、救済および診断のための回路のサイズは 1M ビットあたり最大 35k ゲートになる。これには BIST、BIRA、BISR および BISD の回路を含むが、光学的ヒューズあるいは電気的ヒューズのような救済をプログラムするためのデバイスは含まない。メモリの総ビット数に対するエリア・インベストメントの比率は、今後 10 年間は増加してはならない。この要求課題は容易に実現できるものではない。とくに、メモリの冗長アーキテクチャがより複雑になると、救済解析を少量の回路で実装するのは困難になるだろう。このため、BIST、救済、診断アーキテクチャにおけるブレークスルーが必要となる。メモリコアの BIST、救済、診断回路を高速部と低速部に分けることによりエリア・インベストメントとタイミング・クロージャ作業のための所要時間は削減できるかもしれない。カウンタとデータ比較回路で構成される高速部はメモリコアに内蔵することも可能であり、それによりテストモードにおけるシステム速度での動作のための制限が緩和されるだろう。スケジューリングやテストパターンのプログラミングなどのための回路で構成される低速部は低速で動作するように設計することもできるし、あるいは複数のメモリコアで共有することもできる。これにより、エリア・インベストメントを削減でき、また論理設計および物理設計の作業を容易化できるだろう。今日の SoC はしばしば数多くの小規模メモリコアを持っている。しかし、このような場合には、同じ総ビット数を持つ単一のメモリコアと比較し、より多くの DFT 回路が必要となる。したがって、これらの多数のメモリコアを少数のメモリブロックに集約することにより、メモリ DFT のためのエリア・インベストメントを劇的に削減することができる。テスト容易性を考慮した高位合成は、メモリセルの割り当てプロセスにおいてこの機能を実現するとともに、システム動作におけるメモリ・アクセスの並列性を考慮しなければならない。

7.2.1.3 SoC の集積に関する要求課題

IP コアの再利用は設計効率の鍵となる課題である。IP コアがサードパーティのプロバイダから入手される場合には、所定のテストソリューションを採用しなければならない。多くの EDA ツールがロジックコアに対する標準フォーマット (例えば IEEE1500) にすでに対応しており、この標準フォーマットの普及とアナログコアのような他の種類のコアへの拡張が必要である。DFT と ATE のインタフェースも標準化されつつあるが (例えば IEEE1450)、その中にはテストベクタだけでなくパラメトリックな要素も含められなければならない。各コアのテスト品質は、現在は縮退故障や遷移遅延故障あるいは微小遅延故障などの種々の故障検出率を用いて評価されているが、各コアの故障検出率をまとめて全体としてのテスト品質を得る統一的方法が開発されなければならない。従来、構造テストの品質を補うために機能テストが用いられてきたが、コア間およびコア・インタフェースに対する自動化されたテストに近い将来に開発されなければならない。SoC レベルの故障診断には、設計あるいはプロセスにおける歩留り限定因子 (例えばシステムティック欠陥) の習熟が可能なシステムティックな階層診断プラットフォームが必要である。それは欠陥のあるコア、そのコア中の欠陥のある部品、その部品中の欠陥のある X-Y 座標を階層的に指摘しなければならない。対応可能な欠陥タイプのメニューは、最新のプロ

セス技術における物理欠陥の母集団の増加に合わせて強化されなければならない。設計ツールと ATE あるいは FA 装置との間のスムーズな標準化されたインタフェースも必要である。同一のコアを含む複数の製品にわたって整合の取れたデータを収集し、データベースに格納してデータマイニング手法により統計解析するためには、大量診断が必要である。効率的な歩留り習熟のためには【訳者注：データベースに収集される】データ項目のメニューが非常に重要なキーであるが、現時点ではこれはノウハウとなっている。

7.2.2 システム・イン・パッケージ

SoC とは対照的に、SiP では集積する前に部品のテストを行うこともできる。一つの故障部品が SiP 内の他の複数の良い部品を使えなくすることもあり、またこれにより SiP の歩留りを厳しく制限することにもなるため、この点は重要である。さらに、集積がアセンブリやパッケージ時に行われることから、集積前の部品テストは通常ウェーハプローブテストの際に行われなければならない。つまり主要な課題は、良品ダイを集積前に識別することになる。「Known Good Die (KGD)」は、単一チップとしてパッケージされたデバイスと同等の品質と信頼性を持つと期待できるベアダイの呼称として、1990 年代中頃に創られた用語である。

多くの場合、単一チップパッケージの形でデバイスのテストおよびスクリーニングを行うことにより、今日出荷される IC 製品に対する出荷時の品質と信頼性の数値は基準を満たしている。一般的に、ウェーハプローブテストは性能選別、信頼性スクリーニング、あるいは効率的な同時測定コンタクトには向いていない。このため、一般的には、これらのテストはパッケージレベルでテスト・バーンインソケット、バーンインチャンバおよびロードボードを用いて行うのがより効果的である。このため、KGD プロセスでは、許容できる品質および信頼性の目標に合致するように、プローブ時およびその後のダイレベルのテストおよびスクリーニングでは高いクラスに選別されることが暗に求められている。主要な短期的課題としては、異なるマーケット部門で要求される品質および信頼性目標の設定、ウェーハ、あるいはダイレベルで適用できるコスト効率のよいテストおよび信頼性スクリーニング手法の開発、そして、得られる品質および信頼性のレベルに関して高い信用レベルを与えられる品質および信頼性手法の開発がある。より長期的な課題としては、エンドユーザにも利用可能なエラー検出および修正機能を持つ完全な自己テスト戦略への移行が挙げられる。

7.2.2.1 積層ダイのテストおよび装置に関する課題

積層ダイ(SiP および TSV)製品は、複数のサプライヤからのダイを含む可能性があるため、製造の後工程に対する多くの固有な課題を示す。このことは以下の領域に問題を生じさせる。

- コストと DPM の目標を両立させるためのパッケージテスト戦略の開発
- 多様な製品／プロセス技術で必要な信頼性スクリーニング方法(バーンイン、電圧ストレス、など)に適合する製造フロー
- 品質問題とシステマティックな歩留り課題を解決するための故障箇所特定を行う故障解析方法

パッケージレベルでの積層ダイのテストは、複雑な SoC 製品のテストの問題と良く似ている。すなわち、多様な IP のそれぞれの特異なテスト要求を、一つの一貫したテストフローに集約しなければならない。SoC の場合、すべてが一つのチップ上にあり、同時に設計されるので、様々なブロックのテスト戦略が IEEE1500 標準仕様にて定義されたような戦略を用いて、テストラッパーやテスト制御ブロックなどをとおして統一される。積層ダイの場合は、ダイの供給者が特殊なテストモード(汎用メモリ製品の場合、特にしばしば機密とされる場合がある)にアクセスするのに必要な情報の提供をいやがったり、SoC では通常用いられるテスト戦略のために実装される必要なテストインフラを、個々のダイが持たなかったりする。

KGD のみを扱う SiP でさえ、組み立てが正確に実施されたことを保証するために、最終組み立ての後にある程度の量のテストが必要である。最終的な組み立てがダイの薄型化と積層形成(KGD ダイを破損や変化を起こし得る)を含んでいるとき、追加のテストが必要になるかもしれない。故障箇所特定に関するケースでは、特定のダイ、さらにそのダイの小領域まで故障箇所を絞りたい場合は、通常の生産で必要でなくても、そのダイに対する詳細なテスト戦略の詳細な理解が必要になる。

信頼性のスクリーニングの場合、あるダイがバーンインを必要とする一方で、他が電圧ストレスのみを要求するかもしれない。あるダイのストレス条件は、同一パッケージ中の他のダイと矛盾する(有害でさえある)かも知れ

ない。SiP 製品の中の異なったダイにはまったく異なったプロセスがしばしばあるので、解決はより難しい。一つの解決策は、最終組み立て後の信頼性スクリーニングを避けることだが、全体的なコストを増大しかねない(例えば、ウェーハレベルのバーンインは通常パッケージレベルのバーンインよりも高価である)。

異種のダイがマルチ・チップ・パッケージの中に組み立てられるとき、組み立てられたモジュールを完全にテストするのに、異なったプラットフォームにおけるいくつかのテスト工程【訳者注:insertion は被測定デバイスを挿入するという意味であるが工程と訳す】の追加が必要になる場合がある。複数のテスト工程の追加は機械的なダメージによるテストエスケープや歩留りの低下をもたらすこともある。積層されたパッケージの表にコンタクトするために、新たなテスト装置が必要になる。ウェーハ積層技術には、より良い冗長救済技術が必要であり、歩留りとコストのターゲットを実現するために、最終的な積層を「修理する」ことが必要になる。動作中に故障した部品を特定し、冗長な要素を起動できるような電子システムを設計し製造することが、SiP の信頼性への主要な課題である。

7.2.2.2 ウェーハのテストと装置に関する課題と関心事項

今日、共用的に用いられているプローブカード技術は「最終テスト」の環境としてあまり理想的ではない。スピードクリティカル【訳者注:周波数選別テストのことか?】、RF、遅延およびアナログテストといった性能ベースのテストのほとんどはパッケージレベルで実施されているので、KGD のプロセスの最大の課題は、欠陥のある、あるいは使用初期に生じる故障を、それらのデバイスが次の組立工程に送られる前に速やかに識別する、コスト効率良く、製造価値があり、確実に正確な手法を開発することである。

ディスプレイドライバや最先端 DRAM などのある種のテクノロジーでのテスト時間はきわめて膨大である。ウェーハプローブ工程の制約により、これらのテストのスループットはパッケージされた部品より大幅に低下する。コスト効率の良い方法で、DRAM ダイをウェーハレベルで完全にテストするための課題には、前にプローブしたダイと重複したり、ウェーハを外したりせずに、またすでに除外したり明らかに動作しないダイすべてに対するテスト時間と電力の浪費を避けながら、ウェーハ上の複数のダイをプローブできる技術が含まれる。

7.2.2.3 RF デバイスのウェーハテスト

KGD のプロセスを RF ダイに適用するための主要な課題は、高性能で狭ピッチなプローブカードの開発である。RF ダイは小型であるので、パッドピッチは非常に狭い。例として、ある製品の中のパッドピッチは 75 μ m を下回っており、今日の実際のプローブ技術の限界である。

RF プロービング時のシグナルインテグリティを良好にするために、GND—信号—GND という構成が RF 信号には要求される。RF デバイスを KGD プロセスに適用する際の主要課題は、適切なプローブカード設計と RF プロービング技術により、RF パスのインピーダンスが制御されるよう、GND—信号—GND 構成が設計されていることの保証である。

7.2.2.4 ウェーハもしくはダイレベルでの信頼性スクリーニング

一定時間の電圧や温度印加は、シリコンに潜在している不良を故障へと加速するためのストレスとして知られている。これらはウェーハやダイレベルよりパッケージレベルでの適用が容易である。ダイをパッケージする前にこれらのストレスを適用するのは、KGD にとって主要な課題である。

製造から要求される工程の能力に対して、費用対効果に優れたウェーハ全面のコンタクト技術の開発は、この産業の主要な課題である。コンタクト工程の能力はコンタクト技術の性能だけではなく、提示された製品のバーンインストレスの要求でもある。

7.2.2.5 テストデータの統計的な処理

微妙な潜在欠陥を特定するのに統計データ分析を使用する手法は、この業界、特に多品種少量生産、および製品寿命が短いためにバーンインが受け入れられなかったり、プロセスばらつきにより従来のテスト制約の下では良品ダイと欠陥ダイを分別したりすることが不可能となるような製品分野において、支持を受けるようになってきている。バーンインの代わりにテスト工程で行う信頼性スクリーニングの利点は、テスト時間、テスト治具、設備、ハンドリングを削減できることである。KGD の意味するところは、標準のプローブとテストでウェーハレベ

ルでのスクリーニングが実行されるということであり、すべてのデバイスが出荷時の最終的なパッケージに関わらず、データシートのスペックや、そのプロセスにおける出荷品質や信頼性のターゲットの全条件に従うことを考慮されているということである。それぞれのダイのテスト測定値（例えば、 I_{dd} 、 V_{ddmin} 、 F_{max} ）【訳者注： V_{ddmin} は最低動作電圧、 F_{max} は最高動作周波数】はピンに分類されるのではなく、各々のダイで記録され、テストから離れて統計的手法を適用する。これらの測定値は異なるテスト条件や、ストレステストの前後や異なる温度条件で、記録が可能である。良品か不良品かの判断基準は、テストを離れた後処理アルゴリズムを使用することで記録された測定値の統計分析に基づいて決定する。統計的分布の異常値は、システム故障か初期故障デバイスであることが、それらの統計的な見込みに基づいて等級付けされる、そして、インク【訳注：テストで不良判別ダイ識別のためのインク】を用いないウェーハマップがそれに従って更新される。統計的手法を用いてテストするための課題は、潜在的な故障の集団と本質的な歩留り損失の間の、許容できるトレードオフをとることである。

7.2.2.6 後工程のダイの品質への影響

アセンブリ途中の工程が、あるテクノロジーにダメージを与えることがある。ウェーハの薄型化が一つの例である：DRAM ウェーハの薄型化による、リフレッシュ特性の変化が観測されている。ウェーハレベルでフルにテストされたウェーハからのダイが、薄型化され SiP や MCP にアセンブルされた後、まったく同じテストで故障となることがある。アセンブリ工程中の熱処理ステップが、個々のビットに対して、リフレッシュ特性の変化を起こすこともある。この現象は可変リテンション時間 (VRT: variable retention time) として知られており、アセンブリ工程前にスクリーニングすることはできない。

7.3 DUMMY(原本の節構成間違いを吸収するためダミーとして入れる)

7.4 ロジック

この節では、マイクロプロセッサのような非常に複雑なデジタル・ロジックデバイスに搭載された CMOS デジタルロジック部のテストや、もっと一般的に、単体、あるいは、複雑なデバイスに集積されるロジックコアのテストについて焦点を当てる。最も重要なことは、基本的なロードマップのトレンドが続くという想定のもとでの、主要なロジックテストの特質のトレンドである。「大量生産マイクロプロセッサ」と「民生 SoC」は大抵のトレンドデータがつかめるので、主なリファレンスとして選択されている。内蔵メモリ(キャッシュメモリのような)、I/O、ミックスドシグナル、あるいは RF に関する特殊なテスト要求が各々の節の中で述べられており、これらの技術が搭載された複雑なロジックデバイスについて考える場合には把握しておかねばならない。

7.4.1 大量生産マイクロプロセッサのトレンドを牽引するもの

テーブルの最初の部分にあるトレンドは ITRS の他の部分から抜粋したもので、将来的なロジックテストの要求を予測するための主要な仮定の根拠付けとして、ここに再掲載している。表 TST5 の最初の 2 行は、チップあたりの機能(トランジスタ数)のトレンドや量産段階でのチップサイズのトレンドを示している。チップサイズは、その減少度が一つのプロセス世代の中で毎年増大しているのとは別に、比較的一定である。その次の行の項目は、主なマイクロプロセッサのスケールリング制約が消費電力になるという、マルチコア設計が向かうトレンドを一部分反映している。現在、ITRS ではそれぞれのプロセス世代ごとにコア数は倍になっていくと仮定している。ロジックテーブルの最後の 2 行は、標準的なデバイスの電源電圧範囲のトレンドとチップ外部データ転送速度のトレンドを示している。

7.4.2 システム・トレンドを牽引するもの

システム・トレンドを牽引するものは、将来的なテスト要求を企画する際にとっても重要となる。例えば、最も重要なシステム制約の一つは消費電力である。モバイル用途の急増、バッテリー技術改良の遅れ、システムの消費電力の問題、そしてエネルギーコストの増加は、デバイスの消費電力に実質的な歯止めをかけるのに貢献している。パフォーマンスの増加とともに制限なくデバイス電力が増える時代は終わったのである。これは必ずしもパフォーマンスも同様に歯止めがかけられたという意味ではなく、もしムーアの法則が継続するなら、これは克服すべき主要な技術課題の一つである。トランジスタ、プロセス技術、設計構成および、システム技術における革新はすべて重要な影響を与える。

テストに影響を与えるシステム技術革新があるとしたら、それはチップ内部やパッケージ内部の電圧調整の統合であろう。チップ電力の増加とコア数の増加が、少なくとも二つの理由から、この考えをより確からしくする。第 1 の理由は、電源／グランドピンの数とピンあたりの最大電流に制約があることによって、パッケージは、最終的に消費電力を制限するということである。非常に高い電圧でチップに電力を送ることが可能なので、これらの制約はチップ内部の調整で大きく緩和できる。第 2 の理由は、消費電力を完全に最適化するために、マルチコアのアーキテクチャは個々のコアに精巧な個別の給電を必要とするということである。結局、これはチップ内部で処理されることが必要だろう。全般的に言えば、このトレンドは DUT への給電問題を簡単にするが、一方では新しいテスト問題を多く生み出している。というのは、正確な電圧管理や電流測定が大電力デバイスのテストの重要な側面にいつともなるからである。

もう一つの重要なシステム・トレンドは、長い年月に渡って必要とされてきたチップ間のデータ・バンド幅の継続的な増加である。これは、チップの I/O データ転送速度と、I/O 数の増加と解釈できる。1 ギガ転送/秒 (GT/s) よりも遙かに早いスピードの信頼性を得るために、差動伝送やエンベデッドクロックのような高速シリアル信号手法が必要とされている。例えば、これはすでに PCI Express や Serial ATA インタフェースに見出されているし、また ITRS の対象期間の間、マイクロプロセッサのすべての I/O ポート(例えば front side bus)に広がりを見せるであろう。これらのインタフェースのテスト要求やテスト課題に関するもっと詳しい議論は高速 I/O インタフェース (High Speed Input/Output Interface) の節で述べる。

7.4.3 DFT のトレンドを牽引するもの

チップサイズと共にテストコストが比例して増加することを防ぐために、DFT の適用範囲や有効性の継続的な改善が重要になる。再利用可能なコアが多数出現してきたことによって、DFT 手法も斬新的な発展の可能性がある。

- ・複数のコアを同時にテストすることはできないか？
- ・コア同士がテストし合うことはできないか？
- ・テストで「不良」になったコアや最終用途で「不良」になったコアを一つまたは複数の冗長なコアで置き換えることはできないか？
- ・さらには、汎用的なテスト機能を持つコア — オンチップ ATE の類 — をチップ上に実現することはできないか？

DFT がどのように発展し、DFT が製造工程のテスト要求にどのようにインパクトを与えるかを正確に定めることは大変難しい。しかし、ある明確なトレンドがある。それは、

- ・テスト時のデバイス I/O インタフェースを制約するのと同様に、増加するテストデータ量を抑えるために、構造テストや自己テストやデータ圧縮技法はこの先も重要であろう。
- ・DFT 技術は、歩留り改善を推し進めるための不良位置特定に、不可欠な技術であり続けるだろう。
- ・DFT 技術には、メモリと I/O などのように組み込まれた技術に対するテストの複雑さを最小限にすることが求められる。例えば、メモリ BIST エンジンにはデバイスの中に一般的に搭載されているが、これにより外部アルゴリズム・パターン発生器の必要性は軽減されている。また同様に、I/O 用の DFT 技術により、大量生産のテスト工程では洗練された I/O テストの必要性が軽減されている。
- ・DFT 技術には、デバイスの決定論的な動作を保証したり、デバイスの非決定論的な動作に対応したりすることが今後ますます求められるだろう。非決定論的な動作の例として、電源制御技術や、I/O の通信プロトコルや、デバイス自己救済の仕組みなどが挙げられる。

Table TST5 - Logic Test Requirements

Table TST6- Test Data Volume

Table TST7- Data Compression Requirements

7.4.4 大量生産マイクロプロセッサのテスト要求

Logic Test Requirements テーブルの後半には、ITRS の展望によるテスト要求が列記されている。I/O のデータレートに関して、ストラクチャテストや DFT 技術を用いたテストでは低速アクセスで十分だが、そのインタフェース本来の速度のテストでは高速アクセスが必要になる。少なくとも近未来の展望では、一つのデバイスに複数の I/O タイプが搭載されることになるだろう。このロードマップの最後では、消費電力はクライアント用のマイクロプロセッサでは最大 300W、サーバ用のマイクロプロセッサで最大 400W に事実上なっている。同様に、テスト装置のベクタメモリ要求も少なからず増えていくと想定されている。

重要な関心領域

- **消費電力と温度制御** — ロードマップ展望では、デバイスの消費電力は重大な制約となることが想定されている。その一方、システム設計の最適化よりも先にあり続けるために、テスト時の電力供給や温度制御の新しい方式が必要になるかも知れない。
- **高速 I/O インタフェース** — テスト装置の解決策はデバイスの特性評価で必要とされ、また大量生産工程のテストでは、経済的にスケーリングできるような DFT およびテスト装置の解決策が必要とされる。
- **マルチコアの傾向** — テストの悪化を引き起こすだけでなく、改善に結びつくかもしれない。マルチコア設計は前述の二つの懸念領域を悪化させる共に、テストを複雑にする。しかし、それだけでなく、テストを大いに助ける冗長救済のような、画期的な DFT が提案される可能性もある。

7.5 高速 I/O インタフェース

高周波のマルチ Gbps/GHz I/O 技術は、そのもともとの起源であるシリアル通信を超え、コンピュータ利用やネットワーク、ならびに消費者向けアプリケーションの分野において、通信速度とポート数の点で急速に成長し続けている。これらは今日、マイクロプロセッサや周辺インタフェース用チップ、あるいは周辺デバイス内に非常によく見られる IP ブロックである。PCIe(PCI Express)【訳者注: 原文にはないが略号の意味を追記、以下同様】やハイパートランスポート、QPI(Quick Path Interconnect)、GDDR(Graphic Double Data Rate)、Display Port、DDR、USB、インフィニバンド、SATA(Serial Advanced Technology Attachment)、SAS(Serial Attachment SCSI)、ファイバチャネル、ギガビット・イーサネット、XAUI(10Gbit Ethernet Attachment Unit Interface)、SONET(Synchronous Optical Network)、OTU(Optical Transport Unit)、OIF/CEI(Optical Internetworking Forum/Common Electrical Interface)などの Gbps インタフェースの標準は、応用範囲を広げてきている。応用範囲の多様さから、その将来的な傾向を単純な形で概説するのは、非常に難しい。技術的な限界を押し上げるようなデバイスが代表するのは、IC 産業のほんの小さな部分にすぎない。一方、必ずしもスピード限界を押し上げはしないが、ハイエンドの少量生産デバイスとは非常に異なるコスト構造と、それゆえの非常に異なるテストコスト上の許容レベルを持つために支持されている大量生産のデバイスも存在する。他にも、単一デバイス上に多数のポートを必要とし、この技術の通常の「シリアルな」概念からは外れ、またそのため異なるテスト上の考慮を要求する別のデバイスカテゴリもある。上記の理由から、将来の技術的傾向は、図 TST9 に散布図で示されている。

1998 年から 2001 年にかけての通信産業の急成長は、標準的なシリアル通信技術を 13Gbps にし、より特殊なプロセスにおいては 40Gbps にまで到達させた。マルチ Gbps/GHz インタフェースの速度は、部分的には初期の通信技術の経験にてこ入れした結果、(対数目盛でプロットされた図 TST9 に示されているように)コンピュータ利用とネットワークの分野で急激に増加した。しかしながら、高速インタフェースで用いられるコスト構造やプロセス、パッケージ技術、テスト技術などが大きく異なるため、その適用は、簡単であるとは言えなかった。例えば、Gbps/GHz インタフェースの多くは、主流の CMOS プロセスを用いた SoC 組み込み型デバイスである。大規模な統合作業においては、非常にノイズが大きい SoC 環境を対象とした高信頼性の高性能インタフェース IP の設計が大きな課題となるばかりではなく、そのような種類の高性能インタフェースのテストもまた課題となる。高度な統合レベルから導かれる別の課題は、Gbps/mW や pico ジュール/bit の値を下げることであり、これはこの領域での主要な性能尺度となってきた。このパワー削減要求は、設計マージンに対する課題となっている。これは「設計保証」と「生産テストカバレッジ」の複雑なバランスにより、テストの領域に影響を与える。組み込み IP ブロックとして、Gbps/GHz インタフェースのテストは、現在は SoC チップレベル全体でのテストに結び付けられている。これら製品分野の多くで、それ

は高周波／高性能テストが、多数の CMOS のデジタル端子や論理とかかわることを意味する。テストコストの許容度や、高周波計測器の利用可能性、テスト装置設計における信号整合性の制約などが、今後数年にわたる開発の新分野となる。

どの技術ロードマップ分析にもあるように、この急激な成長の傾向が持続できるかどうかは、技術的要求の変化や基礎技術の開発に依存している。2007 年に予測されたように、遠距離通信やデータ通信、およびストレージ産業は、一時的な Gbps/GHz の停滞期に達し、さらに確立した 13Gbps の域を越えるための、技術的に深刻な保障を要求するようになるであろう。2009 年現在、微細化されたプロセス技術は、14Gbps の FC(Fibre Chanel)や 16Gbps の PCIe など、13Gbps を超えたデータ信号速度の成長を支持し始めている。2011 年現在、未来技術は 25Gbps を超えるところに届こうとしている。長距離通信分野とは異なり、Gbps/GHz インタフェースのある部分(特にチップ間インタフェース)では、より高速な技術(例えば CEI/OIF、40G/100G Ethernet (IEEE 802.3ba standard))が使用上コスト的により見合うようになるまで、(バスのような)ポート数の増加を選択してきた。将来のデータ転送速度の進展は、最近の歴史において見られたそれより遅くなるかもしれないが、それでも、mW/Gbps の観点からより良い電力効率を持った性能のスケーリングに対応するために数年ごとに 2 倍になることを要求している。しかしながら、データレートは遅いながらもまだ早く上昇しているとはいえ、この遅さを新しい技術で打破できるかもしれない。データレートの傾斜に再び火をつけ、テストへの新たな挑戦をはっきりと提示する二つの技術が展望上にある。

第一の長期的テスト課題はシリコン・フォトリソグラフィである。今日の必要とされるディスプレイ光学部品(例えば、VCSEL(Virtual Cavity Surface Emitting LASER)、DFB(Distributed Feedback)、レーザ)は高いコストのために、光学インタフェースは主に 10m 以上の距離のある通信リンク(例えば、LAN、Metro、WAN ネットワーク)に使われていた。最近のシリコン・フォトリソグラフィ技術の向上は、1m 以下の距離に対応した電気インタフェースの代案を潜在的に提供することができた。一般的に用いられる FR4 銅材の損失が顕著(例えば、25GHz で～5dB/インチ)になり、最大到達距離は 10 インチ以下(または～25.4cm)に限られ、バックプレーンが要求する距離(例えば、～40 インチまたは 1m)よりかなり短い、という事実によって大きくドライブされる。ある人は、相対的に低損失な Megatron6 のような銅材料を使うことを主張するかもしれない。しかし、そのより高いコスト(FR4 より数倍高い)は、1m 以下の距離でさえファイバに対する銅のコスト面での有利さを減らす。損失と電力とコストに関する銅とファイバ・メディア間の特質のために、50GHz かそれ以上では、多数のチップとチップ、チップとモジュールのインタフェースが光学シグナリングと媒体としての光ファイバを使うと推測されている。

いくつかの光学部品をシリコン上へ集積することは、電気的でなく光学的な媒体を使うことにより、コスト障壁を低めることを可能とする。量産テスト環境における集積されたフォトリソグラフィ・デバイスへの課題は、将来における新しい課題を提示する。テスト上で光学測定器が使えるようになるだけでなく、また、ソケット/PCB といったデバイスインタフェースとパッケージ・ハンドラが、性能や電力や要求される機能に合うように、電子工学と光学の物理学によって大きく変わる。テスト・ハードウェア設計と信号完全性の解決は、光学と電気の合わさった環境に新次元を加える。

第二の長期的なテスト課題は、マルチレベルの符号化され変調された I/O である。データレートの今後の増加をサポートする進歩した CMOS 技術とともに、電気的な媒体の周波数帯域の効率的利用を最大にするために新しい技術が開発されるかもしれない。これらの技術の第一ラウンドはアナログと non-return to zero (NRZ) やパルス振幅波形変調方式 2(PAM-2)レベルのメディアロスに相殺するデジタルイコライズで重点的に扱われた

6～25Gbps のデータレートの Gbps/GHz インタフェースのために、適合化したイコライズ(例えば、決定フィードバック・イコライズ(DFE))を持つことは、現在では一般的な特徴である。マルチレベルのエンコーディングの仕掛け(例えば、PAM-M)は、いくつかのイーサネット標準(例えば、1000Base-T (PAM-5))用のもっと低い帯域幅の媒体を Gbps のデータレートに届かせるためにすでに使われてきた。ミックスドシグナルの複雑さゆえに、マルチレベルの PAM-M のエンコードとモジュレーションは、まだ考慮中の未来技術であり、大部分の Gbps/GHz I/O 標準にはまだ採用されていない。大部分の現在のテスト測定器がバイナリである限り、マルチレベルエンコーディングへのテスト課題は明らかに高度である。新しいテストソリューションがもし PAM-M シグナリングを採用するほうを選ぶならば、Gbps/GHz インタフェース技術と適合する開発が必要になるであろう。

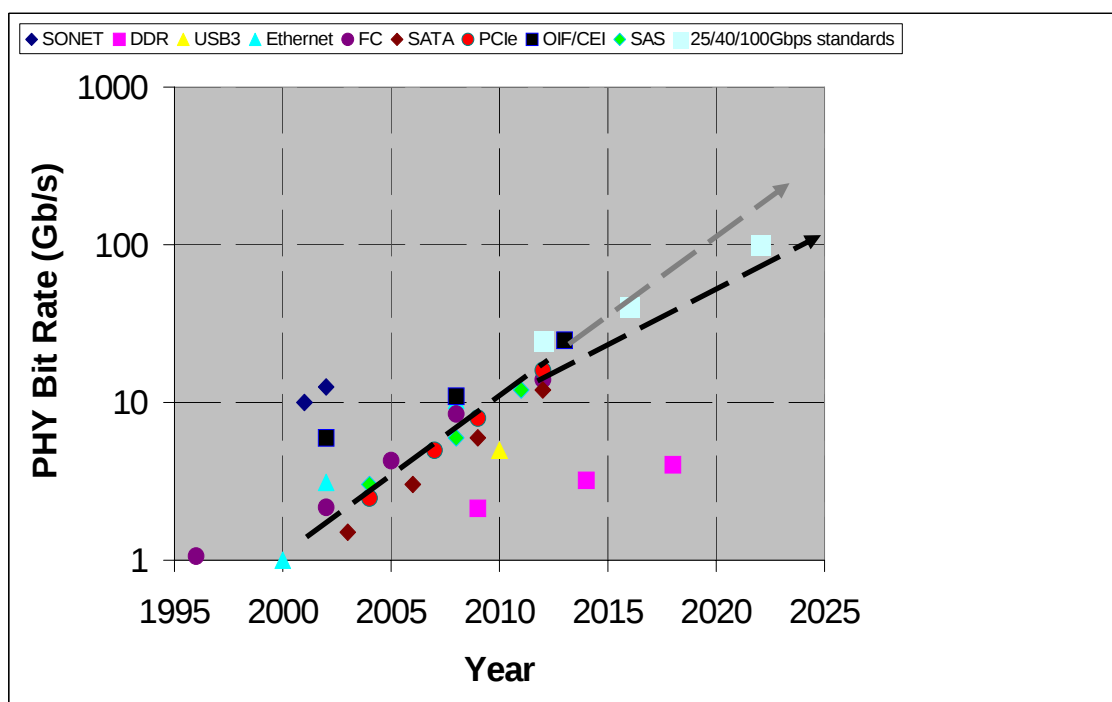


Figure TST9 - High Speed Interface Trend

この2年の間にテストおよび計測機器産業は、高速シリアル接続のテスト手法において目覚ましい進展を見せてきた。いくつかのテスト装置メーカーは、6Gbpsを超えるピンカードレベルで統合された解決手法を提供しており、他のメーカーはすでに12Gbpsの手法を持っている。いくつかのATEでの解決策のスループットは、前の世代から大いに改善された。より柔軟なクロック方式は、周波数と位相同期に関わる多くのオーバーヘッドを取り除いた。ジッタのコンプライアンステストが、まだ多くの製品分野でテストコスト上の制約によって問題にされても、ジッタ測定とジッタの負荷テストについては、もうこれらの機器の中で再考すべきことはない。ATEはまた、同期のアラインメントパターンタイプや、BISTのために使用される典型的なPRBS(擬似ランダムバイナリストリーム)に基づくパターンをサポートしはじめている。実速度テスト用機器の観点からは、6~8GbpsのATEテスト手法が確立されているということは問題ない。もちろん、ATEの速度制限を超えたり(ハイエンドPHY向けなど)、ポート数上限を超えたり(ネットワーク交換機など)する製品分野は、いつでも存在するであろう。

また、将来のいくつかの拡張ニーズに導入されたいくつかの特別な業界標準がある。例えば、HDMI(High-Definition Multimedia Interface)/GDDRといったDCカップルのI/OインタフェースはATEのピンエレクトロニクスで1.5Vから3.3Vの電圧プルアップ付の50/40Ω終端を必要とする。表示用のデバイスは、HDCP(High-bandwidth Digital Content Protection System)、GAMMA、浮動小数点から固定少数点に変換する暗号化と復号化をファンクションパターンでテストされなければならない。これらは単なる高速化以外の課題を課する。市販の高速ATEの計測器は伝統的に大量の業界標準品をターゲットにしており、立ち上がり時期に初期の適合化のために必要なテストカバレッジを提供する。しかし、企業ニーズに応える高速インタフェースの最先端には遅れをとっている。

現在の時点で高性能の製造テスト手法は、内部的デジタルループバックやDFTに補助されたデジタルループバック、外部ワイヤループバック、外部アクティブループバック、高性能テスト装置のピンカード手法、テスト部品化、テストボード上の基準デバイスから、追加可能な外部機器まで、広い幅を持つ。これらのアプローチはそれぞれ、各企業が考慮しなければならない独自の得失を持つ。トレードオフとなるのはもちろん、DFTに使用されるシリコン領域と、実装のコスト、およびテスト装置とインタフェースのコストである。異なる製品の不良率の許容範囲もまた、異なるテスト手法の主要な選択基準である。

テスト機器に関する直近の課題は、オンチップのイコライザがより広く採用されてくることである。全体的なシステムコストの削減を維持するために、FR4のような低価格プリント回路基板(PCB Print Circuit Board)成層材料が、多くの通信用バックプレーンや計算機分野で、依然として選択されるであろう。しかし、FR4については、

スペクトルバンド幅の点でボトルネックをもたらす。この制約の下で転送データレートを拡張するために、送信側イコライザ(シングル/マルチタップのプリエンファシス/デエンファシス)や受信側の順応的なイコライザ(アナログイコライズとデジタルフィードバックイコライズ)などの技術が開発されている。これらのタイプの機能をテストするために、テスト機器は単なるバイナリデータの生成や取り込み以上のことを行わなくてはならない。

例えば、HDMI や表示用 PHY であり、それらはトランシーバがケーブル媒体上で今日 3.4Gbps で、プリエンファシスとイコライズを送受信のそれぞれに対して施す。HDMI レシーバが「基準ケーブル・イコライザ」が SINK (すなわちレシーバ) のアイマスクに合致するよう動作することを、仕様は要求する。そのような ISI(Intersymbol interference)をケーブル影響とともに BER(Bit Error Rate)タイプのテストすることは別として、アイマスク検証は適合認定テストのためにシリコン内部のイコライザの後でされなければならない。これは、イコライズ後のデバイス品質のテストを支援するための DFT の仕掛けを要求する。

比較的低い性能の製品分野では、これらのタイプのイコライズ機能は、AWG (Arbitrary Waveform Generator 任意波形発生器)とサンプリングオシロスコープなどのアナログ機器によって取り扱われてきた。しかし、3~6Gbps を越える性能域では、これらのイコライズ機能のほとんどは、最終的な製品を模した帯域制限媒体を用いた、全体閉ループ BER テストでカバーされている。これはオンチップイコライズ回路の個々の部品を分離し、記述する能力を制限する。実際、生産テストの基板を最終製品と同じ状態にするのは、非常に難しい。オンチップでのレシーバのデータアイ解析を行うことは、このタイプのテストを容易にするために、より標準的になりつつある。テスト、DFT、および BIST においてこれらの機能を適切に規定するために、より多くの研究が必要とされる。

テスト装置メーカは、GHz のテストのために機器を高度化している。柔軟なクロック生成とデバイス同期機能を持つ実スピードの機器を期待することは、標準的になりつつある。ジッタ測定と耐性テスト機能は、より容易に利用可能になっている。「inter pair」や「inter lane」のスキュー測定といった将来のタイミング測定能力が要求される異なるタイプの新しい課題がある。大部分の既存の ATE 計測器は、ホワイトバンド・ジッタだけをテストする。しかし、今日ではたくさんの標準が特定の CDR (Clock Data Recovery)ループの帯域幅において理想的に回復したクロックとともにジッタを規定する。もちろん、実行可能な解決策は、費用対効果が高くなる必要がある。現在、この問題に対する解決策は、設計保証や綿密なキャラクタライズを行うための、初期段階での中量網羅的テストから、占有的な外れ値検出技術までの幅を持っている。

長期的には、性能に関するパラメトリックなテストをよりカバーできるように、既存の DFT 機能を、現状の機能的な PRBS(擬似ランダムバイナリストリーム)BIST 手法以上のものに拡張する必要がある。一個当りのシリコンランジスタのコストが下がり、高速のテスト測定器とインタフェースハードウェアのコストが一定に留まる状況下で、このことは DFT と BIST をより重点化することを促す。大量生産品においてオフチップのテスト解決方法を適切に維持するために、25~100Gbps/GHz のテスト・ハードウェアの設計にはたくさんの革新が必要である。しかし、電力とシリコンエリアに対するコストにより、設計限界がやってくるので、オンチップ測定器や組み込み設計検証手法が進化し、オフチップのテスト装置と共存することが予想される。オンチップとオフチップ手法がそれぞれどの部分を受け持つのが経済的に理想的であるかは、依然として懸案事項であり、製品分野ごとに変わってくるところである。全体的な目的は、製造テストコストを最小化し、多くのポートを持つデバイスを効率的にテストすることである。

7.5.1 重要な関心領域

- **データ転送速度の増加** — 大量生産のコンピュータ、ネットワークのアプリケーションでは Gbps/GHz インタフェースの成長がまだ指数関数的ペースを保っているが、図 TST9 に示す対数表示では傾きが減少している。もちろん、前述したように、8Gbps 以下は、ちょうど 2 進の速度を超えた他の特徴の挑戦になる。
- **ポート数の増加** — 低電圧 CMOS 技術と出力電圧の小振幅化で大規模 ASIC と SoC デバイスへのたくさんの搭載が可能になっている。2011 年現在では、200 ペア迄の 10Gbps バックプレーン型 SerDes がいくつかのアプリケーションで見られる。しかしながら、大多数の最終製品ではポート数は 32 かそれ

以下に制限される。いまだポート数は増加し続けており、チップ全体の消費電力と単一レーンにおけるギガビット・データレートの実際の上昇によって制限される。

- **コスト要因** —伝統的に、マルチ Gbps トランシーバは、集積レベルが低く生産量も比較的少ないにもかかわらず、高性能で高価で高マージンなデバイスとして設計されていた。低コストで低電力の CMOS マクロ・セルの導入により、Gbps/GHz インタフェースは大量生産でき、安価な(さらには汎用的な)デバイスとして評価されるようになってきた。ポート数が多いだけでなく、同時にすべてのシリアルポートをテストできるコスト効率の良い ATE 解決策が量産には不可欠である。性能対集積レベルという不変のトレードオフは、結果として SerDes デバイスを高性能レベルのシリアル・トランシーバと高集積レベルのギガヘルツ接続(リンク)のマクロ・セルという二つの領域に分離している。それぞれのタイプのテスト方法はコスト要求に基づいて選択される。高性能、長距離、通信関連製品の経済性は、一般的に従来の測定器依存のテスト手法や、以前にも議論されたハイブリッド・テストの使用を許容している。けれども、信頼できる DFT 技術や他の低コストテスト技術は多ポート化する SerDes に対して最終的な解決策であるが、実速度での特性評価や量産初期にテストを用いたいという強い要求がいまだにある。技術改善が進むにつれて、ほとんどのデバイスのライフサイクルは大変短くなっており、その結果 DFT を回路的に検証したり最適化したりすることと歩留りを改善することはますます難しくなるかも知れない。

7.5.1.1 ジッタの分解と測定

送信器で発生するジッタは、送信器の品質を保証する重要な要素である。多くのシリアルリンク規格では、ジッタをディタミニスティックジッタ(DJ)とランダムジッタ(RJ)に分ける概念が取り入れられている。peak-to-peak ジッタに基づくヒストグラムの従来の概念は、トータルジッタ(TJ)の概念に置き換えられてきており、これはシリアルリンクにおける一定のビットエラー率(BER、一般に 10⁻¹² かそれ以下)に関係している。データレートが 10Gbps かそれ以上に増え続けるに従い、ジッタの拡大(新しい現象であり、それらの内、パルス幅の減少(PWS)やデューティサイクル歪(DCD)により引き起こされる高周波ジッタが、(例えば FR4 を用いた)損失の多いチャネルにより、拡大しつつある)は重大になりつつあり、抑制することが必要である。従来の DJ、RJ、TJ 要素に加えて、Pulse width jitter(PWJ)と DCD が 10Gbps かそれ以上のテストとして新しいジッタ要素になっている。さらに PCIe 3.0 のような大容量で高性能ないくつかの I/O ではジッタが(データパターンに対して)相関性があるか否かに新たに言及することが、相関性ジッタのイコライズにおける相殺効果の算出において、定着している。そのような DJ と RJ は、さらに相関のある DJ(データ依存ジッタ、DDJ)と相関のない DJ、RJ に分離される。相関のある DJ(例えば DDJ)や相関のない DJ と RJ は PWJ、DCD とともにとともに、その相互運用と、イコライザ回路により与えられるジッタ・マージンの使用を保証するよう、テストされる必要がある。理想的なデータエッジは一般的に相関のある DDJ を決定するための参照として使用される。そして、リカバーされたクロックのクロックエッジは相関のない DJ と RJ の決定のための参照として使用される。PWJ と DCD は、データエッジからデータエッジの差で決定される。

またそれとは別に、一定数のサイクルで cycle-to-cycle ジッタや、peak-to-peak ジッタや、RMS ジッタを測定するトレンドもある。このトレンドは、非常に短い時間でジッタのデータを収集するクロック方式として大いに意味がある。また、ジッタ測定には非常に厳格なシグナルインテグリティ要求が必要になる。他方では、ソースシンクロナスのパスが Gbps/GHz 範囲に入ること、クロックパスと複数データパス間の非相関ジッタなどは、ジッタ測定におけるもう一つの問題の始まりとなる。これは確実に従来のシリアル PHY(物理層)ジッタの定義を超えている。

DJ と RJ を正確に測定するため、測定器またはテストのジッタ・フロアは測定された DJ、RJ に誤差が入らないよう DUT の DJ、RJ よりも十分に低い必要がある。ジッタ測定の測定器やテストはその性能に対して DJ や RJ の実力があるものをまた選定しなければならない。たいいてい的高速規格では BER が 10⁻¹² で ~ 0.3 UI TJ を、DJ は 0.15UI を、RJ は 0.15UI を規定している。このジッタ余裕度の割り当て・配分に従い、また測定器やテストに対する TJ 精度を 10%(相対的に緩い精度の目標)と仮定すると、その DJ、RJ 精度上限は、デュアル・ディラックモデルで評価でき(つまり、DJ 分布はデュアル・ディラックであり、RJ 分布はガウス分布である)、TJ、DJ、RJ 精度上限は、データレートの関数として図 TST10 に示される。10Gbps において、TJ、DJ、RJ に対する精度要求は図 TST10 によればそれぞれ 3ps、1.5ps、0.11ps である。このジッタ精度目標はたいいていの最先端測定

器で実現できている。もし大きな TJ 誤差を許すなら、DJ、RJ 精度の正確さは比例して緩くなる。この図は仕様やハード要求よりもむしろ数学や物理学を基にした TJ、DJ、RJ 精度のガイドラインをジッタ測定器やテストに対して導いていることに価値がある。

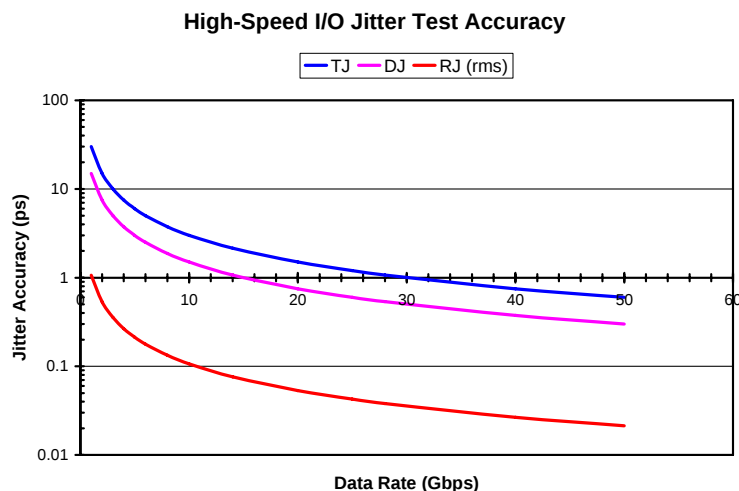


Figure TST10 - High Speed I/O Jitter Test Accuracy Requirements Scaling with Frequency

7.5.1.2 ジッタ許容テスト

ジッタ許容テストとは、ビットエラー率(BER)とも言われる通信品質が低下する前に、レシーバが許容できる入力信号のジッタの度合いを測定することである。これはレシーバ(Rx)のジッタや耐ノイズ特性に関する重要な仕様である。ジッタ許容テストを実施するには、一般的にジッタの最悪値と送信機、チャネル、参照クロックの組み合わせから生成された信号条件をまねたような、管理された方式で、ジッタをデータストリームに慎重に入力しなければならない。使用されているクロック方式のアーキテクチャによっては、レシーバにストレスを掛けるために、別のタイプのジッタが必要になる。正弦波ジッタ挿入が必要な応用や、スペクトル分解された、もしくは周波数帯域制限された DJ/RJ/DDJ、周期ジッタ(PJ)もしくは SJ の組み合わせを要する応用もあれば、有界非相関ジッタ(Bounded Uncorrelated Jitter: BUJ、クロストークに誘発されたジッタを模したもの)、一定数のサイクルで peak-to-peak ジッタか RMS ジッタを要する応用もある。新たな重要なトピックは、受信機イコライズ、特に判定帰還計算式(decision-feedback equation, DFE)のような、フィードバックベースの適応型イコライザのテストである。ここでの課題は、BER が唯一、かつ一般的に観測できる尺度であるという、Rx に対するテストの可観測性が本質的に貧弱な事実に由来している。ダイに組み込まれたスコープのような補助する計測器がダイ上にもチップ上にもないと、目標値に対する DFE タップのベリファイが非常に難しい。DFE の診断やデバッグテストを実行するには、ダイ上の測定器が実行可能な解である。これらの種類のジッタを入力できる統合化された計測器は、過去の ATE 業界にはなかったが、2 年前にわれわれが予測したように、研究用装置の業界において、より利用可能な状態となり始めている。今の時点では、いくつかの ATE 解決策が量産工程テストにおける、レシーバと、もしくはクロックやデータリカバリヘストレスとしてジッタを加える可能性を提供しており、2 年前からの大きな進歩である。

7.5.1.3 テスト治具のバンド幅

デバイスと計測器あるいは ATE を繋ぐテスト治具にはプリント回路基板や、コネクタ/ポゴピンなどが含まれる。周波数が拡大し、ポート数が増えると、大きな損失も歪みもないまま高周波信号を装置に伝える能力は、テスト工学において至難の技になる。バンド幅の要求は、一般的に、テスト治具からの ISI ジッタを最小にするために、被測定デバイスの信号の 3~5 倍の周波数になり。それは立ち上がり立ち下りの時間に依存する。一般的に、10Gbps 信号に対する 15-25GHz のバンド幅と 25Gbps に対する 37.5-62.5Ghz のバンド幅が要求される。多くの場合、バンド幅だけが唯一の問題ではない。位相応答がさらにジッタ測定に大きな影響を及ぼす。最近、ソケットのバンド幅に重要な改善が成されてきているが、新しい高バンド幅ソケットの解決策が限定的な機械的スペックに向けて取り組まれている。不確かな挿入や一貫性のないコンタクトは、テスト結果のばらつき

を引き起こすいまだにもっとも共通の問題である。これらテスト治具の制限により、性能テストにおいて複雑な埋め込みから離れる (de-embedding) 取り組みが GHz インタフェースの典型になっている。それゆえ、ソケット、PCB、ケーブル、コネクタを含む信号パスのシミュレーションや分離 (de-embed) ツールのように活発な開発が行われている他の領域に刺激を与えている。けれども、狭帯域の RF 分離とは異なり、広帯域分離の取り組みは、挿入損失だけでなく、広い周波数スペクトラムにまたがるリターンロス要求している。いくつかの SerDes 仕様では標準化されたテスト治具で分離の取り組みを緩和することも試みている。20Gbps 以上のハード設計は、潜在的な大量生産に対してまだ立ち上がったばかりである。

7.5.1.4 DFT と TFD

基本的な擬似ランダムバイナリストリーム (PRBS) 発生器と BER 検査機能はいまや長い間典型となってきた。適応型イコライザに対処するため、いまや内部にデータアイ・パターン解析機能が Gbps/GHz 以上の設計には含まれる。多くのアナログ要素が Gbps/GHz I/O 設計に取り入れられるにつれ、アナログ DFT の分野で多くの研究と革新が必要とされている。

GHz I/O 設計に対する電力と面積要求から回路のアナログ部は、スケールダウンしなければならないという一定の圧力の下にある。プロセスバリエーションを取り除く技術として、自己校正機能とトリミングが広く採用されてきた。それはもっとデジタル的に補助されたアナログ設計実装に導かれ、よりチップ上に自己校正機能あるいはトリミングベースのテストが必要とされることを意味する。これは、校正ファームウェアの堅牢性 (ロバスト性) をテストするという、新しいテスト要求を作り出した。また、トリミングに関する性能は、テストを欠陥検出から新しい次元のプロセス性能保証へ位置づけた。言い換えれば、それは、"テストのための設計 (DFT)" だけでなく、"設計性能のためのテスト (TFD)" である。

7.6 メモリ

メモリセル密度【訳者注:メモリ容量】は、ムーアの法則に従ってロードマップの通りに成長を続けるだろう。しかし、全メモリ・デバイスのセル密度傾向は以前のロードマップと比較して緩やかになっている。メモリスケーリングの継続は新材料のより一層の開発を要求する。メモリ I/O データレートは先端 DRAM において、他のメモリタイプと比較してロードマップ全般に渡って増加するだろう。DRAM は、ロードマップをとおして I/O パフォーマンスのリーダーであり続けるだろう。一方で、NAND フラッシュが容量において優位を占めるだろう。最近のメモリテスト解決策は、デバイスタイプ (DRAM、NAND、NOR) を対象にしていた。しかし、最近の様々なメモリタイプ間での容易な容量変更の要求が、特にウェーハテスト機能のテスト環境において、より共通の解決策を駆り立てている。さまざまなメモリタイプ間の I/O データレートの多大な不均衡が、パフォーマンステストのために、一つの低コスト解決策の開発を難しくするだろう。

Table TST8 - Memory Test Requirements

7.6.1 DRAM

DRAM 容量と IO パフォーマンスはロードマップを通じて上がることが予想される。DDR6 でのデータレートを予測する過去の DRAM モデルに基づくと、2022 年には IO ごと 8.4Gb/S のデータレートに到達する。しかし、将来の世代において可能性があるプロトコル・インタフェースの追加は、そのデータレートを増加させるかもしれない。テストコストを最小化するための DFT や同時測定の影響 (効果) がなければ、メモリ容量の増加がデバイスのテスト時間増加させ、製造工程のスループットを低下させるであろう。故障検出、解析、救済は、信頼度のテストが必要であるように、汎用 DRAM に必要である。テスト生産性を拡張するため、新しいテスト指向アーキテクチャが要求される。マルチビットテスト、BIST、BISR (built-in self-repair) が、生産スループットと歩留りの確保に不可欠になるだろう。

テストコストを管理するために、自動テスト装置によるかなりのテスト並列化が、ロードマップを通じて要求されている。汎用 DRAM は特殊用途の先端 DRAM より IO ビットレートの点で遅れをとるであろう。2Gbps 以上の領域では、テストソケットやプローブカードに DUT インタフェースのシグナルインテグリティの問題がある。そのため、テストヘッドあたり 128 個以上のプローブカードと同時測定は、要求されるインタフェースの配線混雑のために課題になるだろう。これらの課題は、最終的には、ダイごとのセルフテストの必要性を大きくするであろう。

性能重視 DRAM の I/O ビットレートは、大量生産品のビットレートに比べ、少なくとも 2 倍になるだろう。高い I/O ビットレートは、将来のテスト精度を正しく定義する方法についての課題となる。4、8、16 ビットの伝統的な I/O バス幅は、モバイルデバイスに使われている 32 ビットバス幅で補完された。大量生産の汎用 DRAM のバスは、潜在する差動バスの要求に駆動され、ロードマップの終わりのころには 32 ビット I/O に移るかもしれない。

7.6.2 FLASH

短期的に見ると NAND フラッシュは 1 年ごとにセル密度【訳者注:メモリ容量】が 2 倍になり、その後、その傾向は減速して 2 年ごとに 2 倍になるだろう。2 年ごとの倍増は、いくつかのセルタイプについては、単一のメモリセルに保存されるビットの数の増加(1 または、2 から 4)のため、計画されたリソグラフィのテクノロジノードの移行よりさらに早くなるだろう。どのテクノロジ世代でも、NAND のセル密度は一般的に NOR の 4 倍であった。そして今後も、そのトレンドは続くと思込まれている。誤り訂正技術の使用は、より大きな修正前エラー率を許容して、1 メモリセルあたりのビット増加を可能にする。NAND バス幅は主として 8 ビットであり続けてきたが、ある製品では 16 ビットもある。

NOR メモリ容量は、ロードマップの期間をとおして、ゆっくりと増加し、ロードマップの最後のあたりでは平坦になると予想される。以前のロードマップでは、NOR は 32I/O 製品が予想されていたが、32I/O NOR 製品は 2007 年度ロードマップから続けて外された。NOR 製品は 8 か 16bit であったが、x1 から x4 のシリアル I/O の設計数が急激に増えてきた。入出力信号速度は、組み込み用途で使用されるより速い ASIC デバイスと足並みをそろえるために、ロードマップの期間に、533Mbps で増加すると考えられる。

NAND と NOR は、アーキテクチャや、使用目的、不良ブロックの扱いが異なるため、同じテスト手法を一般的にとらない。しかしながら、NAND と NOR のバスの相違は時間が経つと共になくなってきており、Serial Peripheral Interface(SPI)バスや他のシリアルバス定義が、組み込み用途をサポートするために対象とされている。用途に合わせたフラッシュメモリのカスタマイズによって、バスの種類はさらに広がると思われる。4Mb を超えるセル密度ではバス幅は 8 ビットおよび 16 ビットが主流である。32 ビットバス幅の NAND は、2007 年に始まるロードマップからは除外された。

外部供給電源の 3 倍から 8 倍が必要になる内部駆動電圧の必要性は、ホットエレクトロンや Fowler-Nordheim の電荷移動メカニズムにより追い立てられ続けられると思われる。低電圧化のトレンドによって、将来は供給電圧の絶対精度の向上が必要になるだろう。しかし供給電圧に関係する精度の割合は一定となるであろう。入出力電圧の低下により、標準テストの負荷回路は動作限界に達している。すなわち、将来は新しい手法が必要になる。

ウェーハテストでは、パッケージテストほどの性能は一般的に必要とされない。しかし、エラー検出や、エラー解析、救済処理などは必要とされる。フラッシュメモリと他のメモリや、ロジックデバイスを単一のパッケージ内に積み重ねる実装は標準的になってきており、今後も続くと思われる。一つのパッケージ内にある複数のチップはパッケージテストの要求を複雑にし、必要とされるピン数と電源数は増える。フラッシュメモリのデータ転送速度やクロック速度は増大するだろうが、最終製品に基づく要求には幅広い多様性が求められている。

7.6.3 EMBEDDED MEMORY

内蔵 DRAM のビットは、汎用 DRAM や NAND とは容量成長率が一致しないであろう。デュアル・ゲートプロセスを用いたロジック・DRAM の混載設計での主要な関心事は、アレイノイズとセンスアンプ不均衡であろう。100nm 以下の DRAM ハーフピッチでは、インラインでの欠陥検出を行う DFT が、製品開発のために不可欠になる。

内蔵フラッシュメモリのビット容量は、短期的には指数関数的に増加し、ロードマップの後年には 2 年ごとに 2 倍になるだろう。より多くのデバイスが DRAM と Flash メモリの両方を含むだろう。酸化膜の信頼性、センスアンプの不均衡、および酸化物—窒化物—酸化物(ONO)のスケーリング則は、将来フラッシュメモリで主要な関心事になるだろう。

テストの生産性を高めるため、新しいテスト指向のアーキテクチャが要求される。組み込み自己テスト技術【訳者注:BIST】や組み込み自己救済技術【訳者注:BISR】は、内蔵 DRAM や内蔵フラッシュメモリをテストし、生産スループットや歩留りを維持するために重要となる。内蔵 DRAM ではすべてのデータバックグラウンドを

用いたマーチテストが重要である一方、フラッシュメモリの基本的なテストアルゴリズムは、読出ディスターブやプログラムディスターブ、消去ディスターブであり続ける。

テストにおけるかなりの並列化が、メモリ密度【訳者注:メモリ容量】の増加で直面するテストスループットを今まで通りに維持するために必要とされる。いくつかの場合、ロジックと内蔵メモリを同じテストでテストするよりも、二つの工程でテストする方が、コスト的な効果を生む。二つの工程にすると、ロジック部はロジックテストでテストされ、内蔵フラッシュや DRAM はメモリテストでテストと救済がされるであろう。内蔵 SRAM のテスト要求については、本章の高性能マイクロプロセッサの節で説明する。

7.7 ANALOG AND MIXED-SIGNAL

モノリシックインテグレーション (SoC) やパッケージインテグレーション (SiP) の経済性 (コストメリット) は十分認められている。このインテグレーションは、デジタル部、アナログ部、電源制御、ミックスドシグナル部、そして RF / 高周波回路を一つのパッケージ上や チップ上に組み込んでいる。このインテグレーションの傾向は インタフェースタイプの種類を増加させており、テスト装置はこれらのインタフェース種類に対応することになる。今この傾向は 3 次元の課題解決の推進力となるシリコン貫通電極 (TSV) パッケージ技術の登場に伴ってさらに拡大している。

ミックスドシグナルやアナログのテストに影響を与えている もう一つの重要な傾向として、極めて大量に製造されるデバイスの同時測定テスト (パラレルテスト) が経済的 (コスト面) で不可欠になっている状況がある。パラレルテストに対応するには、各々のインタフェースタイプに対応した、より多くの計測チャネルがテスト工程のスループットを高めるために要求されている。

デバイス当たりのインタフェース数の増加と同時測定するデバイス数の増加により、リアルタイムに処理するデータ量の増加が必要となってきた。ミックスドシグナル部やアナログ回路部の測定データは非決定論的であり、かつデバイスの品質を判定するためにデータ処理が必要である。このデータ処理はリアルタイムな処理、もしくは、他のテスト処理と並行して処理することでテスト工程のスループットを高くしなければならない。実際のところ、同時測定デバイス個数が増加したときに、良好な同時測定テスト効率が維持されていなければ全体のスループットが低下する可能性がある。

このように、ATE 計測器の様々なインタフェースへの対応、パフォーマンス、性能、そしてデータ処理能力の改善が経済面 (コスト面) で重要となってくる。最も変化している RF (マイクロ波) 分野は、個別の節で対応している。ミックスドシグナルデバイスのデジタルと高速シリアル要求は、ロジックデバイスとその節でカバーされている。

この節は、アナログ / ミックスドシグナルのテスト要求に着目する。ミックスドシグナルテストの要求テーブルは、特定のチップアプリケーションよりむしろテスト計測器側に着目している。テスト計測器は、一つ以上のデバイス区分をカバーしなければならず、一つのテスト構成で十分利用できるようになっている。そして、複数のデバイス区分からの要求は、2、3 のテスト計測器カテゴリーにまとめられる。アナログ波形発生器とキャプチャへの要求は、二つにとりまとめられる。ミックスドシグナル向け ATE には、低周波信号の対応が基本的に最低限必要であり、高周波信号の対応はハイエンド向け計測器に求められる。必要に応じて、ミックスドシグナル用装置への要求は、ロードマップの他の節やテーブルと関連がある。

ふたつの重要な傾向がある。第一は適切な品質の提供である。大部分のアナログやミックスドシグナルのテストは、機能的に検査を行う。デバイスのエンドアプリケーションより、テスト装置の信号発生部機能や、測定帯域、分解能の装置能力が必要となる。これら双方のパラメータは、より多くの情報量がデバイス間やデバイス実装間で通信されるにつれ増える傾向にある。第 2 の鍵となる傾向は、テスト計測器の規模やパラレルテストの効率性、テストオーバーヘッドなどに対し コスト面での可能性がどうなるかある。表 TST2 「製品セグメントにおける同時測定テスト」で示されるパラレルテストのレベルは、テスト装置の規模増加を示す。

ATE 計測器のチャネル数の増加や複雑さ、パフォーマンスアップの傾向は、今後も続くが、しかし、同時に、テストコストをより低くしていかなければならない (下記の関心事項を参照)。アナログ / ミックスドシグナル DFT と BIST の技術は、他分野より出遅れている。パフォーマンスに基づいたアナログテストの選択肢がないので、

この分野は より多くの研究が必要である。アナログ BIST は、可能性ある解決策であり、より研究される分野として提案されている。テスト計測器の複雑さを軽減したり、外部計測器を必要としない技術を見つける基礎研究が必要となっている。

Table TST9 - Mixed-signal Test Requirements

7.7.1 関心ある重要な分野

- 市場性とタイミング(タイム・ツー・マーケット)と収益性とタイミングの問題は、ファーストシリコンを入手した時に十分なテストが準備できているかである。アナログ/ミックスドシグナルのテスト環境は、テストフィクスチャ(テスト治具)やテスト手法がとても複雑化している。信号のノイズ、信号経路のクロストーク、追加回路、測定ボード設計の複雑化、そして、ATE のハードウェア/ソフトウェアの問題が現在テスト開発のプロセスやスケジュールに影響を与えている。テスト開発のプロセスは、より短く、そして設計的により自動化されるようにならなければならない。そのうえ、アナログ/ミックスドシグナルのテスト IP を再利用する能力が、必要である。
- すべてのアナログ/ミックスドシグナルデバイスの複数サイトでの並列かつコンカレントなテストのさらなる対応は、テスト時間の短縮や製造工程のスループット向上、そしてテストコストを削減するために必要である。すべての ATE 計測器のタイプ(DC 用を含む)はコンカレント/パラレル動作が対応できる複数のチャンネルが必要である。そして必要に応じ、DSP アルゴリズム(FFT 解析等)を高速に並列演算し結果を出す。そのうえ、テスト計測器のチャンネル当たりのコストは、同時テストのさらなる推進をサポートするためにチャンネル密度は増加し続けたままで下げ続けなければならない。
- アナログ/ミックスドシグナル DFT と BIST の改善は、上記のアイテムに対応するために必要である。

7.8 RADIO FREQUENCY

RF 周波数帯域は、アプリケーション別に以下の四つに大別される。

- 3GHz 迄の低周波数帯域は、主に長距離の携帯電話向けとして現在利用されている。ただし、ワイヤレスクライアント通信プロトコルである WiMAX の一般化に伴い、携帯電話向けアプリケーションの周波数領域はより高周波な領域にシフトしていく。
- 3～6GHz 帯域は、衛星放送 TV および 802.11a プロトコルによるワイヤレス LAN で使用されている。
- 6～45GHz 帯域は、中距離の無線通信向けに運用される(Bluetooth は UWB(Ultra Wide Band)へ移行していく)。
- 最も高周波となる 45～94GHz 帯域は、主に短距離のレーダ・アプリケーション、特に自動車用として用いられる。ただし、60GHz 帯域は今後、短距離のワイヤレス LAN や衛星間通信で用いられるであろう。CMOS 技術が今後 60GHz 帯域の周波数をサポートすることが期待されている。

この中で最も注目すべき技術トレンドは、低周波数帯域での、802.11 および 802.16 通信規格に沿った、より高周波帯域へのシフトである。ただし、12GHz 以上の高周波数帯域デバイステストに関しては、非変調信号を用いた従来のテスト技法で対応可能であると予測される。

テストに対しては、テストの電源/デジタル/AC ベースバンド部と RF 測定器との完全な同期が、重要な機能として要求される。EVM(Error Vector Magnitude)測定は必須である。RF が、SoC や SiP の機能として取り込まれることに対する解決策の提供も重要となってきた。この要求は、RF のパラメータのテストソリューションだけでなく、ハイエンドデジタルとミックスドシグナルの要求を組み合わせたテストソリューション、もし効果的ならばそれらの機能をコンカレントにテストするソリューションである。SiP ではウェーハのプローブテスト性能が重要となる。また、汎用品になっていく RF を、合理的なコストでテストするには多数個同測は必須であり、今後も増加していく。ロードボード/ソケット/プローブカード等のツール類も DUT 入出力のシグナルインテグリティを確保するために重要である。これらの課題から、RF テストに対する DFT 手法の提案、およびフル RF ファンクションテストに代わる低コストテスト手法の提案に対する要求が、近い将来高まると想定される。

Table TST10 - RF Test Requirements

7.8.1 関心ある重要な分野

- 高性能化/高周波数化するデバイスに対する低コストテスト要求の関係から、新たな DFT テスト手法および簡易化テスト手法の開発が大きな注目を集めている。
- SoC や SiP 技術により、RF が製品に組み込まれることが多くなった。RF テストとデジタル(ハイエンド)やミックスドシグナルテストを組み合わせで行うことが一般的になるであろう。ウェーハレベルでの RF テスト対応は増加していく。テストシステムに続き、ロードボード/ソケット/プローブカード等のツール類も、DUT 入出力のシグナルインテグリティを確保するために重要となる。
- 位相ノイズや信号感度測定のための信号源および測定器精度は現時点では十分といえるが、近い将来にはさらに高精度が求められる。100KHz での位相ノイズ測定では、ここ 2、3 年のうちに少なくとも-140dBc/Hz 以下への改善が要求される。
- 6GHz を超える高周波帯域の(アプリケーション)トレンドが見えてきている。
- 6GHz を越える帯域でのプローブテストは依然として大きな課題であり、実変調波による 6GHz 超でのプローブテストはまだクリアとなっていない。
- プローブでの高周波測定のインピーダンス規格およびキャリブレーション手法の確立は急務である。
- テスト開発環境と実際の量産現場では EMI 環境が大幅に異なっており、これが歩留りや相関取りに対し大きな影響を与えるであろう。
- 最も多くの SoC テストに対する要求は、いまだに RF-to-BB またはその逆の傾向がある。RF-to-Dig や Line-to-Line の要求は限られているが、幅広く議論されている。
- 半導体受託製造会社(OEM)は RF BIST/ループバック・テスト手法を考えているが、機能テストやパラメトリックテストが市場では依然として優勢である。

7.9 信頼性技術の要求

信頼性に対する要求は、以下の3項目の最適化である。

- 1) 信頼性欠陥密度(RDD : Reliability Defect Density)
- 2) 信頼性スクリーニングおよびテスト手法
(RS&TM : Reliability Screens and Test Methods)適用性の習熟
- 3) 信頼性のための設計(DFR : Design For Reliability)

信頼性向上の最適化目標は、投資した経費に対して、信頼性のための最良な価値を提供することである。ここでの価値は、顧客の費用対満足度の比率として定義される。

信頼性の分野において、顧客満足度は、市場不良率(the field failure rate)または時間内不良数(FITs : failures in time)によって測られる。

信頼性のコストは、製造のためのコストと、歩留りの二つの構成要素からなっている。

したがって、信頼性コストと同一視されるこれらの二つの要素は、すべての信頼性の提供者が直面する主な対応項目となる。一方、製造コストは、バーンイン時間と装置の高度化の二つの基礎的な要素によっても影響される。業界では、従来の電圧ストレスと温度ストレスによる方法では検出できない潜在的な欠陥を検出するための方法を捜し求めている。その後、多くの進歩した検出方法が作られたが、欠陥加速においては、電圧ストレスと温度ストレスを適用する従来方法のままである。

適用のスペックを超えて電圧と温度をかけることにより、大きなゲート間漏洩電流が発生し、これに対応するための電力供給と放熱対策方法が最も要求される。

信頼性コスト削減において歩留りに関わる要素は、パワーの掛け方から派生的に発生した“オーバーキル”(良品除去)の排除に極端に偏った状況にある。しかし、誤判定の主要因は、仮想モデルをとおしてストレス工程を逃れる原因を最終的に見つけ、それをストレス技法へ戻すことはない。その理由は、このようになる:大半の市場用途は、コンポーネントの短寿命にもっとも関係がある。ほとんどの潜在欠陥、すなわち、加速漏れは製

品寿命を短くする。ある部分にストレスを与えるには、ストレスをかけている間、出力を計測することによって、バーンイン・エスケープ(加速逃れ)を防ぐことができる。

用語の定義として、ストレスをかけながら出力を測定することを“*In situ stress*”と称し、ストレスをかけているが、出力測定を行わないものを“*Dynamic stress*”と称している。

明らかに、コンポーネントは“*in situ*”を用いることにより加速逃れが減少し、それで初期故障率を下げられる。この故障率低減は、コストを掛けなければならないことが予測される。“*In situ stress*”は、拡散の微細化に向かう状況で、ストレスを加えたファンクションテストが必要である。

【訳者注:一般的に日本では、前者をモニタードBI、後者をダイナミックBI、前者+ファンクションテストを行うものをテストBIと称している】

話を元に戻して、ストレス印加中に出力を測定することは、歩留り低下の要素をもたらす。

製造プロセスの変動のため、あるデバイスは適用状況によっては十分に動作を行うことができるが、拡散のある部分においては、電圧または温度のストレス時において、満足できる十分な余裕を持っていない。これらのデバイスに、欠陥が含まれていないにもかかわらず、“*In Situ*”ストレスは、この良品を不良と判断するであろう。(すなわちオーバーキル)

“過剰な余裕”を持つデバイスは、先に述べた検出技術の今後の対象である。信頼性を満たすためには、トレードオフが必要である。多くの場合、性能と歩留りは秤に掛けられた状態にある。

信頼性欠陥密度の習熟割合は、市場の信頼性要求を満たすための、最もコストに有効な手段である。本来、それはマイクロエレクトロニクスで収益性を達成させるときの歩留習得度合の副産物である。欠陥の習熟は、欠陥モデルと物理的欠陥の節で述べられている。そして、信頼性固有の欠陥要素は少ないとの前提を、過去のデータは圧倒的に裏付けているが、最近の技術進歩は、その状況を変化させるであろう。

欠陥の習熟の節は、信頼性欠陥密度(RDD)習熟に常に直接的に応用できるであろう。しかし、欠陥を加速させる高電圧と高温は、我々がデバイス物理学と物性科学の領域を超えて凝視する原因となる。ストレス条件はもはや標準の技術仕様で決定されるのではなく、システム適用条件によって決まる。妥当な電力における市場性能要求を満たすことのできない最近の技術は、システムの使用条件(電圧と温度)を増すことをシステム設計者に強いることで埋め合わせている。ストレス条件の応用の結果として、Vmin動作レンジのシフトや、性能余裕度に影響するNBTIや、ゲート酸化膜の完全性(時間依存の絶縁破壊:TDDDB)について、いまだ大部分の説明が付かないままである。【訳者注:NBTI=Negative Bias Temperature Instability;PMOSのゲート端子に負の電圧を印加することで発生する劣化】

したがって、それらは補完的な挙動や信頼性故障率に変調を起こす。C4やBEOL配線における金属のエレクトロマイグレーションについての一般的な考え方でさえ、ストレス条件によって引き起こされる過度な電流や電力が原因とされる場合には、入念な調査が必要である。【訳者注:C4=Controlled Collapse Chip Connection; フリップチップボンディングの一工法。ウェーハチップのパッドに付けたバンプを押しつぶすようにしてインターポーザ基板のパッドに接続するワイヤレス・ボンディングの一種】【訳者注:BEOL=Back End of Line; 半導体製造ラインの配線工程の意】業界が“性能絶対化”を重視する状態はまだまったく終わらない。

DFRもまた、三つの主な構成要素を持っている。それは、

- 1) 技術設計
- 2) チップ設計(論理的、物理的)
- 3) システム設計

である。この三つの各々において、DFR機能は、欠陥許容性を追及しなければならない。技術設計の場合において、リーク電流は、欠陥許容誤差を超える重要事項において、電源の低下を引起す。チップデザインとDFRに関して、電源緩和と故障の許容は、設計の優先順位で同等である。冗長要素解析と電力消費の解析には、相当な設計技術力を費やすことになる。システムレベルでの欠陥許容性は、誤検出や修正、および冗長要素からなっている。信頼性スクリーニングとテスト手法において、理想的データ、補助的データ、強制的データ、偏ったデータが載せられた技法や方法論の文献が豊富にある。討論は、チップ回路のタイプ、設計スタイル、性能目標、信頼性要求、故障タイプ、テクノロジーの世代によっては変わる。

過度な電圧と温度が欠陥検出の主流として続く限り、信頼性スクリーニングとテスト手法が、電力供給や熱的な解決策において、最良の賢い考え方になるであろう。

それは欠陥を加速させる一方で、デバイスの破壊を回避できるものでなければならない。つまり、優先順位の変更である。過去、摩滅やその兆候となるストレス条件やストレス動作を避けることの呼びかけや、あるいは示唆さえあった。過去の格言は、”欠陥を加速させる一方で、自らの摩滅は回避できるものではない”というものであった。しかし、10nm以下の酸化膜、NBTI、Vminのような過剰なマージン、数百アンペアの電流や数百ワットの電力、何マイルもの銅配線や数十億の内部接続などのシステム適用条件がさらに難しくなっている。

RS&TMは、それらをウェーハ用途とパッケージ(またはモジュール)用途に分け、そして、さらに“欠陥検出”と“欠陥加速”技術に分けることで、分類しやすくなる。この段構造は、市場からの返品がテスト見逃しか、信頼性欠陥による初期寿命かという絶え間のない論議を和らげる手助けとなるであろう。

工程上のステップ(ウェーハまたはパッケージ)にかかわらず、欠陥加速テクニックは実用条件をはるかに超える温度や電圧(これらはリークに対して指数的に変化する)を必要とし、実効性のある電力を扱わなくてはならない。同様なことは、検出技法には当てはまらない。多くの場合、検出技法はリークを減らす VLV(超低電圧)や VLT(超低温) 条件を使う。リークを悪化させる実用条件が必要な場合でも、それらの条件は欠陥を加速させる条件までには一般的に達しない。

7.9.1 バーンインの要求

バーンイン・プロセスのための技術的な課題は、デバイスのピン数増大、パッケージピッチの減少、デバイスの動作周波数の高速化、劇的なリーク電流の増大、および電圧/熱加速の増大によって方向付けられる。多くの信頼性故障モードは、バーンインだけではスクリーニングできないので、信頼性を高めるために IDDQ、HVST、ウェーハマッピングなどのいくつかの手法が併せて用いられている。

バーンイン・システム技術は、特に大電力デバイスにおいて、コストダウンを継続する必要がある。デバイス・コア電圧の最小値は下がり続ける。スキャンテスト手法が、非常に深いベクタを実行するための大容量メモリを必要とする一方、大電力テスト手法は、個々のデバイスの熱と電力の制御を必要とする。バーンイン工程(システム/ドライバ/バーンイン・ボード/ソケット)では、内部生成クロック方式を持たない先端技術デバイスの速度に対応することが課題になる。DFT なしのデバイスは、I/O 数の増大を必要とする。KGD ニーズの増加は、ウェーハレベル・バーンインや、KGD キャリアや、プローブ段階でのストレス印加に対する努力を求め続ける。

デバイス電源や信号の要求は、バーンイン・ボードにおける、多層化、短配線、省スペース、複雑な手順や部材、テストコストの増大、ボード信頼性などの問題を大きくする。今後のデバイスの狭ピッチ化は、新しいコスト課題であり、バーンイン・ソケットとバーンイン・ボードを繋ぐ革新的なインタフェースが必要になるであろう。

バーンイン・ソケットは、コンタクト数の増大、狭ピッチ化、大電流化、高周波数化への対応という大きな設計課題を要求されている。同時に、ソケットは大電力デバイスの自己発熱での破壊を防止するように設計された熱対策のキー部品である。ソケットメーカの主要な課題は、これらの新しい要求に対応する技術を提供しながら、低価格および短いリードタイムを維持することである。0.5mm ピッチ未満のボールグリッド・アレイ(BGA)に適用されている水平動作のコンタクト設計は、増大する機械的ストレス要求に対する既存ソケット素材の性能不足や、ピン数の増加によって、垂直動作のコンタクトに置き換わるだろう。電流供給性能の向上にむけて、新しい設計と新しい素材が必要とされている。ソケットの設計は、パッケージ寸法や反りに関して、パッケージのルーズスペックに対応する必要がある。一方、パッケージの大型化や、パッケージの薄片化、狭ピッチ/非標準ピッチ/混在ピッチに対応する必要もある。コンタクト設計には、電気的/機械的性能を損なうことなく、より大きな強度が求められている。

バーンインへの取り組みは、伝統的なユニット単位のバーンイン、システムでのバーンイン、ウェーハでのバーンイン、そして strip/array でのバーンインを含む【訳者注:製品の組み立て後、個片に分離する前の状態(リードフレームや基板の状態)でバーンインする方法】。高信頼性の用途において、システムレベルでのバーンインは、伝統的なデバイスでのバーンインを補うか、または置き換わる。ウェーハレベル・バーンイン技術は、引き続き開発されているが、いまだ従来方式のパッケージ・バーンインに対して置き換えることができていない。ここでは、ソケットを用いたバーンインを省くことにチャレンジし、スキャンやロジック BIST、メモリ BIST(MBIST)を用い

た、同時測定 of ウェーハレベル・バーンインを行う方法を調べる。Strip/array の型で、より多くのパッケージで大量の平行テストができるなら、strip/array バーンインは最も重要になってくる。

Table TST11 - Burn-In Test Requirements

7.9.2 ウェーハレベル・バーンイン

ウェーハレベル・バーンイン(WLBI)の構成要素は何であるか、明確な基準はない。あるベンダは、DRAM の内部ノードに単純な DC ストレスの逆電圧を与えることで「バーンイン」と称している。あるいは、WLBI は、デバイスの定常動作状態において、デバイスに電圧ストレスをかけると共に、ウェーハ全面のコンタクトと、温度による欠陥の促進をさせるに充分な高温と時間を与えること、とも言われている。あるベンダは、スキャンや BIST などの DFT 機能を用いて、ローエンドのマイクロ・コントローラや SoC に WLBI を使用することを可能としている。

重要な課題として、選択肢の有効的な定量化、WLBI の定義の標準化、ウェーハレベルでの取扱いによる有効性の確認をするために使用する方法を示すことだ。特に、WLBI に適したデバイスである DRAM に対する取り組みは、ウェーハに対するバーンイン環境を、パッケージ・バーンインと同等で効果的な機能を、パッケージ・バーンインのコストより安く供給できる。このコンセプトは量産におけるバーンイン環境に用いることで、バーンイン時間に有効的に利用することである。

WLBI に対する必要性は拡大しつつある。初期故障率はトランジスタのスケーリング効果と新しいプロセス技術とデバイスの材料によりますます悪くなっている。デバイスの動作電圧とマージンの減少は、電圧加速、電圧ストレステストを用いた信頼性保証の有効性を低下させている。顧客の CSP(Chip Scale Packaging)と MCP(Multi Chip Module)の要求のために、KGD の必要性が増大している。半導体製造工程の早い時期にバーンインを行うことにより、サイクルタイムの短縮やウェーハ工程への歩留り、欠陥情報の迅速なウェーハ工程へのフィードバックに役に立つ。最終的に、パッケージング前のプロセスで、不良デバイスの検出と除去を行うことで、不良デバイスのパッケージを行った場合のスクラップコストを低減できる。

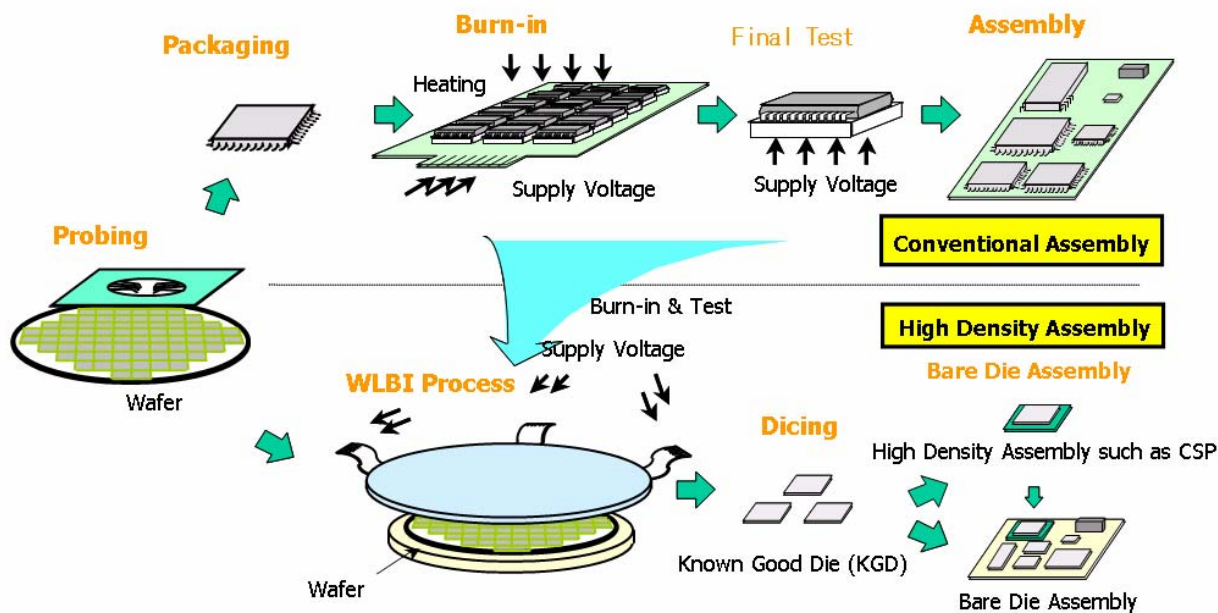


Figure TST11 - The Production Process with WLBI Compared with Package Burn-in

7.9.3 ウェーハレベル・バーンインのためのプロービング技術

TPS【訳者注:Three Parts Structure】プローブやマイクロ・ポゴピンコンタクトは、ウェーハ全面コンタクトのためのコンタクトに含まれる。TPS プローブは、多層配線基板、バンプ付き薄膜と PCR(異方性導電ゴム)シートの構成でできており、PCR シートは多層配線基板とバンプ付き薄膜の間にあり、バンプの不均一高さを吸収し、

接触の均一性と安定したコンタクトを行うことができる。このシステムの重要な特徴は、各バンプの先端に効率よく圧力をかけることができ、バンプの材質や表面状態管理により、アルミニウムパッドで 2 万ピン以上【訳者注：現在の技術では、300mm ウェーハで、8～15 万ピン程度可能と言われている】をコンタクトする能力がある。多層配線基板は、温度膨張係数(CTE coefficient of thermal expansion)の不整合が起こらないように、シリコン(例えばガラスやセラミックス)と類似した温度膨張係数の部材が使用されている。

マイクロ・ポゴピンのコンタクトは、同等の CTE を持ったプローブ・ハウジングと、両端可動のポゴピンで構成されている。ポゴピンは垂直に立ち、十分な追従性を持ち、隣接したコンタクト間での高さ変化に対し、独立に動いて調整し、コンタクトできる。プローブピッチは技術に依存する。

ウェーハレベル・パッケージのような形状のウェーハ上の全パッドにコンタクトするには、スプリング形状のコンタクトの適用が予想される。コンタクトロードマップに於いて、DRAM は 汎用メモリ・バーンインの多くを占めているため、目標として選ばれている。DFT ではシステム LSI が検討されている。

7.9.4 その他のウェーハレベル・バーンイン技術の考察

ウェーハの消費電流は、トランジスタのチャネル長の短縮化による sub-threshold リークと、単位面積当たりのトランジスタ数の増加により増大する。高温のバーンイン時にもまた sub-threshold リークは増大する。したがって、バーンイン装置は1ウェーハ当たり 1000A 以上の電流を供給できる能力がなければならない。また、適切な電流制限を行うために、ウェーハの温度の調節と温度均一性が必要になる。結果的に、バーンイン装置は、異なる特性の各ウェーハに対して適応できなければならない。

BIST は、デバイス当たりの被テストピンの減少を可能とする。しかし、ダイの縮小とパッドの狭ピッチ化により、ウェーハの総ダイ数とパッド数が増加し、この利点を相殺してしまう。テストされるピン数の増加はまたウェーハにコンタクトする力も増加させる。スキャン、BIST や JTAG のような DFT 機能を用いて、WLBI の利用を可能にするために、デバイス当たりの被テストピンと、トータルコストの削減をしなければならない。そして、WLBI 技術の性能を改善しなければならない。

WLBI を可能とするプロービング技術について上述した。しかし、プロービング技術は、将来の技術トレンドを満足させるため、いくつかの問題に直面している。LOC とペリフェラルデバイスに対する TPS プローブ技術の検討では、パッドピッチを 70 μm まで適用できると思われる。70 μm 以下のピッチに対して、フォトリソグラフィを用いた MEMS 技術が選択できる。しかし、この技術は、300mm ウェーハに適用できる解決策を持っていない。狭ピッチ化に対するプロービング技術が求められているとしても、パッドのレイアウトを行う時に DFT をうまく使い、一つおきにパッドを飛ばせば、通常ピッチに比較して実効的に 2 倍のパッドピッチにすることができる。Low-k 材のために、多ピン低プローブ圧の適用も求められるであろう。これは新しいプロービング技術の促進に役立つであろう。

7.10 テストハンドラの要求

Wafer probe(プローバ)と component test(ハンドラ)での装置は各セグメントにおいて明らかに技術的な課題がある。プローバ、ハンドラ共に、さらなる多数個測定の実現と、装置自身やインタフェースのコスト増大を如何に抑えるかが主な課題である。

プローバでは、測定数を増やすために 300mm ウェーハ全面をカバーできるプロービング技術開発が必要となる。特にプローブピンを増やすことでの信号取り回しの複雑性を解決する技術が課題である。プローバやプローブカードは多ピン化においてインタフェースを複雑にしないアーキテクチャが必要となる。

ウェーハレベルやパッケージテストでは、技術的なチャレンジと稼働率向上によるコスト削減を実現することが普遍的な課題である。スループットの向上と、測定数増大(例えばテスト時間が短くても)、およびハンドラの速度向上／ハンドリングプロセス機能拡張(例：非同期テストや連続ロット供給など)は同時に成立しなければならない。

パッケージはさらに小型化が進み、サブストレートは薄くなっていく傾向が進むことから装置がハンドリング可能なエリアは少なくなっていくと考えられる【訳者注：当然、リードやパッド、ボールの数は増えていくことも要因

56 TEST & TEST EQUIPMENT

の一つである】。将来、ハンドラは高精度ピック&プレイス機能や極小／繊細パッケージへの対応、パッケージにダメージを与えない高推力コンタクト機能などが必要である。

最終製品での過酷な使用条件を網羅したテスト温度範囲の拡張が必要になる。特にテストスタート時のジャンクション温度のコントロールは改善されていくべきである。テストにおける消費電力は総じて増加傾向にあるが、マルチコア技術はこれを緩和する傾向にある。

これらすべての要求を1台でかなえることのできるハンドラは現れそうにない。温度／スループット／搬送精度／同時測定数、特別な機能などの技術の統合とコストの面な装置の実現が今後の課題となる。2007年ITRSロードマップではデバイス発熱の観点でハンドラを三つのグループに分けて分類した。デバイスごとの発熱が、

- 10W 以上をハイパワー
- 0.5～10W までをミドルパワー
- 0.5W 以下をローパワー

と定義した。2009年(ITRS ロードマップ)ではハイパワーデバイス向けハンドラを10～50W(典型的なハイパワーデバイス向け)と50W以上(さらにハイパワーなデバイス向け)にさらに分類している。

Med-High and High Power Handler	<i>Temperature control and temperature rise control due to high power densities during test</i>
	<i>Continuous lot processing (lot cascading), auto-retest, asynchronous device socketing with low-conversion times</i>
	<i>Better ESD control as products are more sensitive to ESD and on-die protection circuitry increases cost.</i>
	<i>Lower stress socketing, low-cost change kits, higher I/O count for new package technologies</i>
	<i>Package heat lids change thermal characteristics of device and handler</i>
	<i>Multi-site handling capability for short test time devices (1–7 seconds)</i>
Medium Power Handler	<i>Support for stacked die packaging and thin die packaging</i>
	<i>Wide range tri-temperature soak requirements (-45°C to 150°C) increases system complexity</i>
	<i>Continuous lot processing (lot cascading), auto-retest, low conversion times, asynchronous operation</i>
	<i>Shielding issues associated with high frequency testing (>10 GHz)</i>
Low Power Handler	<i>A wide variety of package sizes, thicknesses, and ball pitches requires kitless handlers with thin-die handling capability</i>
	<i>Package ball-to-package edge gap decreases from 0.6 mm to 0 mm require new handling and socketing methods</i>
	<i>Handling package smaller than 1x2 mm for specialist device MEMS or photo sensor with low damage concern</i>
	<i>Parallelism at greater than x128 drives thermal control and alignment challenges</i>
Prober	<i>Consistent and low thermal resistance across chuck is required to improve temperature control of device under test</i>
	<i>Heat dissipation of >100 Watts at > 85°C is a configuration gap in the prober industry</i>
	<i>3DI and MEMS application require very thin wafer and special shape wafer testing (handling) technology, but no industry standard resist its widely spread.</i>
	<i>Advances in probe card technology require a new optical alignment methodology.</i>
	<i>Dicing flame wafer probing require high-temp. dicing flame sheet to be developed.</i>
	<i>New wafer materials require heavier wafer handling.</i>
	<i>Power Device application require very thin and warp wafer, thus 'Taiko Wafer' and 'Ring attached wafer' handling technology became trend. Also no thin wafer / warp wafer standard cassette / FOUP nether exist.</i>
	<i>Beyond 300mm wafer size, Industry have to consider how to implement tester / prober to the test floor. Those size, weight and height (more than 2x for each) may change test floor layout, operation and its building design.</i>

Table TST12- Test Handler and Prober Difficult Challenges

Table TST13 - Prober Requirements

Table TST14 - Handler Requirements

7.11 デバイス治具(ソケット、プローブカード)への技術要求

デバイスの入出力バンド幅と消費電力は年ごとに増加する。当然に、電氣的テストも高機能化する。そうして、それが、デバイス治具制作上の技術的課題となる。最高度のデバイス治具をつくるためにはテスト装置からダイまでの完全な電源モデル・信号伝播モデルが必要となる。テスト装置、配線、プローブまたはソケット、そしてダイをとおしてのシミュレーションの精度も要る。ダイとパッケージの高集積化および生産性向上に伴って、ピッチが小さくなり、ピン数が増え、同測数が増えて、さらにデバイス治具が複雑化する。

More than Moore(つまり機能的多様化)に沿った新たな構造として、SiP や積層ダイがある。SiP や積層ダイは当然に高集積という課題があり、それに対応するものとして TSV や非接触信号伝播といった新技術が現れている。SiP や積層ダイではアセンブル前に良品(KGD:Known Good Die)を選択しておく必要があり、それも歩留り、テスト費用の面で重要な課題である。実配線、無線通信にかかわらず TSV 等の 3 次元配線では、位置決めそして針立てが問題となる。

More than Moore に対応するため、パッケージ工程中にテスト工程を差込む可能性もある。実際、半導体前工程ではオフライン・インラインのプロセスチェックテストがある。従来、パッケージには、ダイなどの能動部品はおおよそ 1 個しかなかった。SiP や積層ダイのパッケージでは複数の能動部品と受動部品の組み合わせとなる。従来パッケージではアセンブル後にテストする。More than Moore においては歩留り向上のためにインラインテストのような前工程と同様なテストが要るだろう。

配線の高集積化と KGD 要求が More than Moore におけるテストの課題を提供する。また、BIST や多 DUT プローブカードが、テスト全体のうちプローブカードやソケットの比重を大きくしている。多数個測定のための一つの可能性は、無線通信による非接触接続かもしれない。こうした新規デバイスに対する総合的テスト工程を考えていかねばならない。そのソリューションは、前述のダイや各アセンブリパーツにテストストラクチャの追加を含んだものになるだろう。

7.11.1 プローブカード

ウェーハプローブ技術は、製品仕様やテストの実行条件や生産性目標やコスト削減の要求などに左右される複雑な電氣的、機械的な課題に直面している。どのようなデバイスに対しても、これらの課題には電力の増大、周波数応答(バンド幅)、狭ピッチ化や小パッドまたは小バンプパッド化に伴う多ピン化、スイッチング電流(di/dt)の増大、パッド/バンプの代替材料、同時測定数の増加などへの対応が含まれている。プロービング技術の研究や開発は新規技術・改良技術を問わず、基本的なプロービングの条件、すなわち確実な信頼性、堅実で経済的な DUT との電氣的接続などの課題を満たしている必要がある。非接触プロービング技術の最近の進展は、プローブに関する将来の密度、速度および 3D 等の要件の実現を助けることになるだろう。

パッシブなプローブカードの進歩は、増強される機能性に対して機械的、電氣的限界に近付いているように見える。インテリジェントなプローブカードは、同時測定と速度の双方の問題を解決する潜在的な可能性がある。MEMS 材料と異種機能・異種材料集積(Heterogeneous Integration)の進歩は、DUT 技術にマッチした同時測定と性能でインテリジェントプローブカードを経済的に作るができることを示唆している。3D パッケージテストで使用するインテリジェントプローブカードのいくつか市販レベルの提供があるこの節に含まれる図表はテスト技術要求の節の構成に準拠し、デバイス製品種別に基づいた動向が導き出されている。

7.11.2 プローブカード技術のトレンド

重要な課題の表に記載したように、市場から緊急に要求されている研究開発課題は製品信頼性や機能テストの環境における経済的なプローブ技術である。

バンプ付きデバイスの生産は増え続け、しばしばエアアレイの I/O を伴うので、垂直型プローブ技術へのピン数増加要求があり、また同時測定数の増加も必要になる。さらに多重列ワイヤボンンドで垂直型が必要となり、狭ピッチ化が重要課題となっている。

いつかのマイクロプロセッサとハイエンド ASIC は動作電力が 500W から 1000W であり、プローブ当りの電流容量と温度の問題が起きる。またプローブ当りの電流は、ワイヤボンンドのデバイスがより高度な半導体技術に移行すると、カンチレバー技術や MEMS 技術のプローブに対し問題となる。

58 TEST & TEST EQUIPMENT

デバイス量産テストは同時測定に移行した。いくつかの生産品目（例えば、メモリ）では、現在のウェーハプローブ技術で 512 個以上の同時測定が実施されている。プローブ技術はウェーハ全面へのコンタクトが可能となっており、すでに 200mm および 300mm ウェーハで実施されている。これらの大規模並列プローブでは DUT あたりのピン数を増やすことが今後の課題である。テストの革新には、TSV や近接通信などの新しい相互接続技術の効果的な使い方が必要とされている。

Table TST15 - Probing Difficult Challenges

Geometry	Probe technologies to support peripheral fine pitch probe of 23 μm peripheral staggered pad probes at effective pitches of 20/40, and fine pitch (45 μm) for dual row, non-staggered probing on all four die sides. Fine pitch vertical probe technologies to support 130 μm pitch area array solder bump and 50 μm pitch staggered pad devices. Multi-site pad probing technologies with corner pitch capability below 125 μm. Reduction of pad damage at probe commensurate with pad size reductions (or better). Alternative probe technology for 75 μm on 150 μm pitch dense array (vertical probe; bumped device). Increasing probe array planarity requirements in combination with increasing array size.
Parallel test	Need a probe technology to handle the complexity of SoC devices while probing more than one device. Current probe technologies have I/O limitations for bumped device probes.
Probing at temperature	Reduce effects on probes for non-ambient testing -50°C to 150°C; especially for fine-pitch devices. For effects on Handlers and Probers, see that section.
Product	Probe technologies to direct probe on copper bond pads including various oxidation considerations. Probe technologies for probing over active circuitry (including flip-chip).
Probe force	Reduce per pin force required for good contact resistance to lower total load for high pin count and multi DUT probe applications. Evaluation and reduction of probe force requirements to eliminate die damage, including interlayer dielectric damage with lo A chuck motion model is required to minimize probe damage
Probe cleaning	Development of high temperature (85°C–150°C) in situ cleaning mediums/methods, particularly for fine pitch, multi-DUT, and non-traditional probes. Reduction of cleaning requirements while maintaining electrical performance to increase lifetime. A self cleaning probe card is required for fine pitch bumped pad devices
Cost and delivery	Fine pitch or high pin count probe cards are too expensive and take too long to build. Time and cost to repair fine pitch or high pin count probe cards is very high. The time between chip design completion (“tape-out”) and the availability of wafers to be probed is less than the time required to design and build a probe card in almost every probe technology except traditional cantilever. Space transformer lead times are too long, thus causing some vertical probe technologies to have lengthy lead-times.
Probe metrology	Tools are required that support fine pitch probe characterization and pad damage measurements. Metrology correlation is needed for post repair test versus on-floor usage.
High power devices	Probe technologies will need to incorporate thermal management features capable of handling device power dissipations approaching 1000 Watts and the higher currents (≥ 1.5 amp) flowing through individual probe points.
Contact resistance	Probe technologies that achieve contact resistance $< .5$ Ohms initially and throughout use are needed. A method to measure contact resistance is needed. The traditional continuity test is insufficient to monitor contact resistance.
High frequency probing	Traditional probe technologies do not have the necessary electrical bandwidth for higher frequency devices. At the top end are RF devices, requiring up to 40 GHz.

7.11.2.1 プローブカードへの技術要求

多くのプローブカード技術が市場に導入されているが、種々のデバイスを正確にテストするための適合性（技術そしてまたテスト手法に左右される）や技術の限界があり、プローブカードをさらに幅広く使用する際の障害となる。一つのプローブ技術ですべてのデバイス群の要求を満たすものはない。

この節では個々のデバイスをテストすることを含めてプローブカード技術の課題を調査する。これらにはウェーハに接触する時あるいはその後の接触による影響、生産性向上のための複数デバイスの同時測定に対するプローブカードの設計、そして使用環境など、プローブカードが実際に使用される時の予測が含まれる。

7.11.2.2 ピッチと接続変換

入出力信号密度はパッドやバンプのかつてない寸法の微細化を要求する。周知のように、最先端ワイヤボンドのパッドピッチは $30\mu\text{m}$ 以下である(当然パッドサイズはこれより小さくなる)。従来のプローブ技術にとって、許容範囲の針跡と共に微細化は大変な課題である。

ワイヤボンド製品のプローブでは、カンチレバー型プローブカードが今でも主流ではあるが、ピッチとプローブ傷跡の大きさのために、近いうちに実用性において限界になりそうである。そうして、新しい技術、すなわち(MEMS やメムブレンのような)半導体プロセスに近い技術を用いて作ったプローブカードが小さなパッドとプローブ傷跡に対応する。

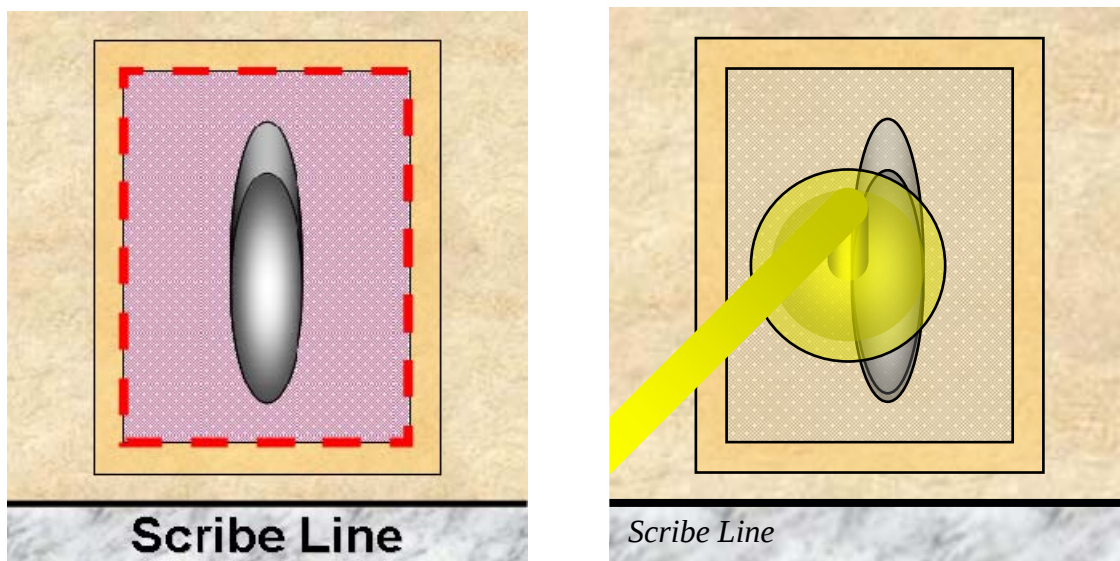


Figure TST12 - Probing and Wirebond Contacting a Bond Pad

エリアアレイの半田バンプは成長分野のアプリケーションであり、垂直プローブ技術に見合った要求/需要を發展させている。ピッチやバンプの寸法が小さくなると、現在の垂直プローブ技術では恐らくアレイからの配線引出しに限界が生じ、新たな技術開発が必要になるだろう。

7.11.2.3 多数個同時測定

生産性の向上は一つ以上のデバイスを多数同時測定(プローブ測定)することで実現可能である。メモリのテストがこの分野を牽引しており、最先端技術では500個の同時測定にさえ迫っている。表TST2に示すように事実上すべてのメモリテストで多数個の同時測定が行われている。他のデバイスでも多数個同時測定への移行と加速は進行中である。DFTや「洗練されたテスト技術」の使用と共に促進され、16個、32個、そして64個同時測定さえも実現されている。また、ハイエンド・マイクロプロセッサにおいては4個同時測定まで実現されている。

多数個同時プローブ測定の要求はさらなるプローブ数のますます増加しつつある。今日では、いくつかの新しいコンタクト/プローブの技術により 300mm ウェーハに全面コンタクトできると言われている。最終的なコンタクト/DUT 必要数は何百個にもなる。

7.11.2.4 電気的性能

ウェーハプローブ技術、すなわちプローブカードはウェーハ上の被測定デバイスとテストシステムの電子回路と電氣的に接続する。プローブカードは、被測定デバイスとテスト装置の間で信号や電源を忠実に伝送、供給したりせねばならない。

本ITRSの報告書の中に、デバイスの動作電圧や交流特性に関する情報が述べられている。加えて、このTHE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS: 2011 EDITION

ストとテスト装置の章の中に、ウェーハプロービングの要求を理解するために手助けになる、広範囲な電気的特性に関するテスト性能の情報が記載されている。

個々のプローブの電流容量は増大するよう見受けられる。同時に、DUTあたりの合計電流は回路密度やピン数の増大とともに増えると思われる。注目すべきは、1.5A以上に達する大きな電流容量を必要とするいくつかの選択的アプリケーションがあるということである。また同様に瞬間最大電流値が増大していることにも注意を払う必要がある。

接触抵抗は常にプローブ技術の重要パラメータである。これはパッドやバンプに対する冶金技術、パッドやバンプからの汚染、多数個同時測定【訳者注: オフウェーハ上への】「はみ出し」、コンタクト圧、スクラブ(削り)、クリーニングなどのような多くの要因に左右される。本節の表TST16の抵抗値要求は、プローブの実質的な寿命期間をとおして「通常」使用した場合のコンタクト抵抗を反映している。初期およびクリーニング後の接触抵抗はかなり低く、一般に200 mΩ台かそれより低いことが要求される。クリーニングまでの期間(接触回数)を長くするために、コンタクト抵抗値を低くする要求が高まっている。

プローブによる高周波測定は、ダイとの接触において安定したインピーダンス構造が未達成のため、課題が残っている。ロードマップは、デジタル I/O の特性は 20GHz 以上になることを示している。アナログピンの特性は高精細な近距離レーダや自動着陸装置および車両自動駐車システムなどにより 100GHz にもなる可能性がある。高周波測定下の多数個測定は課題として残り、また、ウェーハレベルの KGD(Known Good Die)テストを可能とするためには多大な開発を必要とする。

7.11.2.5 耐熱特性

ロードマップとしての耐熱特性要求は大きくは変化しない。しかし確実に満たされなければならない。すでに、チャック温度は零度よりずっと低い所から高温は沸点以上へと幅広い。このように、熱膨張率を適合させ、高電流要求を満たして、両極端を扱える材料を選ぶこととなる。さらに、非常に大きな過渡電流による発熱影響や大電力デバイスによる熱発生は、ウェーハとチャックの熱的な接触面だけでなく、プローバ内への能動的な熱制御の必要性を増すかもしれない。

7.11.2.6 カードコストと CoO(COST OF OWNERSHIP)

本ロードマップでは現状、プローブカード単体のコストとその所有コスト (CoO: cost of ownership) には触れていない。単体コストと CoO に関しては、各企業が独自の取り組みとゴールを持っているかもしれないが、業界全体に使える、市場にあるプローブカード技術を広くカバーできる共通のモデルの作成が必要である。

7.11.2.7 針のクリーニング

ロードマップの展望期間をとおして、カンチレバータイプ・プローブではクリーニングのためにオフラインになるまでのプローブのタッチダウン回数の増加は多くの製品群で見られるが、オンライン中のクリーニング頻度は少しずつ増している。しかし多くの製品群においては、オフラインでのクリーニングを行う代わりにクリーニング間のコンタクト回数を増やしている。最終目標はできるだけテストシステムとプローブカードを有効活用することである。垂直針系カードではオンライン・クリーニング間のコンタクト回数が急増している。つまりオンライン・クリーニング頻度が下がり、カンチレバーの頻度に匹敵もしくはさらに少くなる方向である。カンチレバーと同様に、オフライン・クリーニング間のコンタクト回数はすべての製品群において増えている。特記すべき例として、本ロードマップの展望期間外で、メモリ製品に対してオンライン・クリーニングをやらない動きがある。ウェーハの一括コンタクトに向けてのカード設計と針構造の複雑さを反映した動きである。

Table TST16 - Wafer Probe Technology Requirements

7.11.3 テストソケット

テストソケットは、DUT の電気的特性を決定付けるために、機械的なコンタクト機構をとおして DUT と PCB あるいはテストとの間の高い精度の信号を伝送するという電気的かつ機械的なインタフェースの役割を担う。近年、半導体の設計や製造の能力は進歩しているので、テスト工程ではテストソケットへの電気的・機械的要求は増加し続けている。それゆえ、ソケット技術は、著しく増えた電気的な要求や機械的な要求で急速な進展

がもたらされてきている。その電氣的要求や機械的要求のどちらも、大電力化・高電圧化・大電流化、パッケージサイズの小型化、狭ピッチ化、多端子化、小端子化、などに主導されている。すなわち電氣的特性は、電氣的要求だけでなく、機械的要求によっても決定されると言える。この複合物理問題によって、ソケット設計は難しい要求を伴う課題に次第になってきた。最近のソケットモデルでは、多端子化された BGA で、20GHz 以上の I/O 帯域では対応が非常に困難となっている。

表 TST17 にソケット技術の要求項目が記載されている。ソケットの分類条件は、TSOP、BGA という PKG に、NAND - TSOP、DRAM - BGA、SoC - BGA という三つのアプリケーションを当てはめ、NAND - TSOP にはコンタクトブレードの組み合わせ、DRAM - BGA にはスプリングプローブの組み合わせ、SoC - BGA には 50Ω スプリングプローブの組み合わせでソケットの分類を行っている。ソケット性能は、ボール、またはリード間のピッチに大きく左右されるため、アッセンブリやパッケージングのロードマップの変化を見ながら、ピッチの決定を行っている。

コンタクトブレードは、主に NAND - TSOP に使用され、ブレード自体がバネ性を持っているため、ソケットに DUT を押し当てることで、コンタクト荷重が発生している。コンタクトブレードは、とても単純な構造であり、量産に適しているものの、コンタクト荷重、ストローク、寿命を維持するためには、コンタクト長を長く取らざるを得ない。また、隣接するピンとの間にスリットの壁が必要であるため、狭ピッチには対応できないというマイナスポイントもある。スリットの壁は、ピッチが狭くなればなるほど薄くなり、製造がとても難しくなるためである。同時に、狭ピッチ対応ではブレード自体の板厚も薄くする必要があり、それによりコンタクト荷重や、適正ストローク、寿命を維持することが難しくなる。

スプリングプローブは、主に DRAM - BGA のテストに使用され、小径の筒(プローブとソケット)と圧縮バネにより形成されている。バネが縮むことにより、コンタクト荷重を生み出す仕組みである。ある程度の寿命を維持するためには、適当な強度や耐久性を維持するだけの大きい径である必要があり、長さもストロークを十分に考慮したものである必要がある。マイナスポイントとして、スプリングプローブではパッドやリードに対して、1 点もしくは 2 点だけのコンタクトであるため、他のコンタクトに比べ接触抵抗が高い傾向にある。それにもかかわらず、スプリングプローブの構造はいたってシンプルで、メンテナンスしやすく、さらに DUT 基板も設計しやすいというメリットがある。

DRAM - BGA のロードマップによると、スプリングプローブの径は、狭ピッチ対応のため小さくする必要がでてきている。さらに、高周波対応のため、インダクタンスも低いものが求められるため、スプリングプローブの長さを短くする必要がでてきている。

SoC - BGA の高周波を測定するためには、50Ω スプリングプローブのような同軸構造を持ったものが必要であり、これにより長さの問題は解決することができる。しかしながら、ロードマップの今後のボールピッチから、同軸ピンの配列に制約が増える見込みである(2016 年の 0.5mm ピッチ)。2016 年には、データレートが 20GT/s まで増える見込みであるが、50Ω スプリングプローブは、部品数が多く、接触抵抗が他のコンタクトより高いため、電氣的特性において劣るものと思われる。2010 年に必要とされる 50mΩ の接触抵抗に対応するためには、材料、めっき、構造の開発が必要である。

BGA - SoC(高周波)のパッケージに使用可能なラバー(Rubber)は、シリコンゴムの厚み方向に導電粒子の束を規則的に配列させることによって上下の導通と隣接の絶縁を確保する方式である。インダクタンスが厚みに依存するため標準的な厚みでも低いインダクタンスを確保できることから、高周波の測定にその優位性を発揮することができるが、厚みを一定に保ったままインダクタンスをさらに低減していくことが後の課題となる。パッケージのボールピッチの微細化に対しては、現状のロードマップに示されたターゲットに対応することは問題ないと思われるが、多ピン化にともない同一ストローク量を確保したまま必要荷重だけを低減していくことは容易ではない。

QFP / QFN - SoC(高周波)のパッケージ測定で主に使われるコンタクトブレード+ ラバータイプのソケットは、高い周波数特性に対応するために、接触子自体にはバネ性を持たせず接触子の導体長を短くさせ、別に配置したラバーに変位を与えることにより接触荷重を発生させる。ラバーの硬度を変えることでパッケージパット材質に適した接触荷重に変更できるというメリットがあるが、Contact blade タイプのソケットと比べると機械的な寿命は少ないというデメリットもある。

【訳者注：QFP/QFN - SoC(高周波)のロードマップによると】2013年に I/O data 15GT/s の要求があり、接触子の導体長を短くすることで高周波特性への対応は可能であるが、量産面での運用に課題が発生すると考える。2019年に I/O data 40GT/s の要求があるが、接触子の導体長を 0.1nHもしくは、それ以下のインダクタンスにする必要があるため小型化することが難しい。またソケットの構造や接触子の材質、メッキ等の見直しが必要となる。

ソケットの寿命に関しては、このロードマップで述べられていないが、今までの有鉛デバイスに比べ、鉛フリーデバイスにはもっと高いコンタクト荷重が必要となるため、近い将来、リード/ボールへのダメージ軽減のため低荷重化が求められてくることから、寿命も重要な課題となってくる。

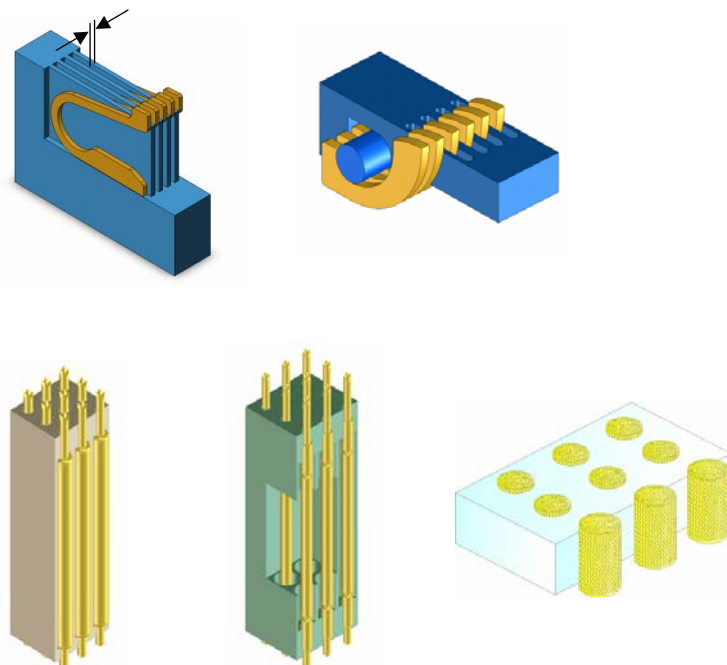


Figure TST13 - Contactor Types

7.11.3.1 電気的要求

電気的要求には、ソケットピンあたりの通電電流容量(CCC)、接触抵抗、インダクタンス、インピーダンスがある。また、インサーションロス【訳者注：挿入損失】、リターンロス【訳者注：反射損失】、クロストークといったシグナルインテグリティ【訳者注：信号の品質】を悪化させる要素がある。大電力化や高バンド幅化に伴って、パッケージは CCC の増大や、低接触抵抗化や、インピーダンス整合の適正化のソケットピン設計やソケット設計を必要とする。

ロードマップ上では、20GHz を超えるデータ転送速度の要求が必要と予測されている。この領域では、インピーダンス整合と潜在的な信号損失が大きな問題になる。一方、端子数が増えるのと同様に、パッケージの寸法や端子やピッチは小さくなる。この小端子化は、コンタクト抵抗やシグナルインテグリティをひどく悪化させる厳しい機械的な制約条件への対応を必要とする。電気的接触を安定させ、低い接触抵抗を確実にさせる一つの重要な要素は、一般的に端子あたり 20～30g 程度のコンタクト荷重である。端子ピッチが縮小すると、適正な接触抵抗を可能にする高いコンタクト荷重が維持できないかも知れないが、微小で細いソケットピンを使わざるを得ない。電気的特性に対する機械的要求の否定的な影響によって、電気的コンタクト技術の改善やソケットの革新が必要とされる。つまり、電気的特性とシグナルインテグリティは増大する機械的要求と密接に関係している。高い周波数の信号を扱う際には、基板設計、使用する部品とソケットを含む全テストシステムの信号品質を注意深く検討する必要がある。

7.11.3.2 機械的要求

機械的要求には、機械的位置決めや、弾力性や、ソケットピンの信頼性が含まれる。機械的アライメントは、特にランドグリッド・アレイ(LGA)において、多端子化や小端子化によって大きな課題になってきている。現在、テストソケットの主流は受動的な位置決め制御になっている。この方式では、ソケットピンとデバイス端子の間のコンタクト確度は機械的なガイド機構の許容誤差の積み重ねに依存してしまう。よって受動的な位置決め方式は直ぐに限界に達するだろう。なぜなら、製造時の許容誤差は数 μm 程度に設定されているからである。能動的な位置決め方式や光学利用のハンドリング装置の採用は、パッケージや端子の縮小化、狭ピッチ化、多端子化の継続に対応できる選択肢の一つである。

弾力性は、垂直方向(Z 方向)の機械的コンタクト確度である。つまり、総合的なコンタクトストロークは、最低限必要なソケットピンの圧縮量に加えて、ソケットピンの高さのばらつき【訳者注: 共面精度】と DUT ピンの非平坦度の両方も考慮する必要がある。一般的に、コンタクトのトータルストロークは、0.3mm から 0.5mm である。しかし、ソケットピン寸法のさらなる小型化要求より、上記のストロークを維持することは不可能であろう。このような圧縮問題は、電気的コンタクト性能のボトルネックになるかも知れない。

コンタクトピンの信頼性、ピン先端の耐久性もまた課題を持っている。なぜなら、厳しい幾何学的制約によりソケットピンの強度に余裕がないからである。高温化、大電流化、ピン先端コンタクトの微小化などにより、テスト環境はさらに難しくなっている。

Table TST17 - Test Socket Technology Requirements

7.12 特殊デバイス

テストロードマップは包括的なものではなく、すべてのデバイスのテスト要求を含んでいるわけではない。本報告で取り上げなかったいくつかのデバイスのテスト要求の多くは、このロードマップ内に記載されたデバイスのテスト要求の境界内にある。他のデバイスは、この節で指定された境界を引き伸ばすものであり、完全性のために触れられる必要がある。この特殊デバイスの節で取り上げるデバイスは、一般的にはモバイル通信やコンピューティングに含まれ、またそれにより加速される大量生産のデバイスである。この節の意図は、特殊デバイスの課題をまとめることにある。2011 年の今回は、LCD ディスプレイドライバ、イメージング・デバイスおよび MEMS マルチモード・センサ・デバイスを取り上げる。

LCDドライバは、縦横比が10:1以上のチップ形状や、テスト用に 1,000 を超える細長い金バンプを持つという、大変ユニークなデバイスである。2011 年には、LCD ディスプレイドライバのプロロービングパッドは、1 列構造ですでに 10 μm 幅で 20 μm ピッチを下回っており、将来的にはさらに狭ピッチ化が進められる状況にある。今日カンチレバー・プローブカードだけが、このような狭く精密な金バンプの量産プロロービングに使われている。新たな LCDドライバの特徴は、高速の I/O プロトコル・インタフェースを持っており、その速度は 2011 年中に 2.5Gbps、2019 年には 4.8Gbps を超える予想されている。

プロロービングの課題はより厳しいものとなり、経済的な方法によりプロロービングの問題を解決する新しい技術を誘発するであろう。イメージング・デバイスはすべてのデジタルカメラに要求され、携帯電話やモバイル・コンピューティング・デバイスの標準機能の一つになっている。14 メガピクセルを備えたデジタルカメラは、2011 年には一般的なデバイスになっており、将来的にはより高分解能の方向に推移するであろう。自動車産業分野や監視装置では、2011 年には 60fps を超える高速のフレームレートが必要になる。イメージセンサの各ピクセルは、受光強度を増加させるマイクロレンズを持ち、S/N 比(信号対雑音比)を改善する。小型情報端末(personal assistant)のいくつかは、すでに、2011 年の後半には厚さ 0.6mm の薄いカメラモジュールを要求するような、カメラ機能を搭載している。光学システムの応用のためには、マイクロレンズが各センサピクセルの光軸に対してオフセットできることが必要である。最近の量産段階においてはそれぞれ独特となるが、いろいろな角度からセンサにイメージを照射する瞳プロジェクションシステムが使われている。裏面照射(BSI)は、各ピクセルのセンサ・セルの受光強度や充填比(fill factor)を増加させる別のアプローチである。イメージピクセルの寸法が 1.4 μm より小さくなった時には、裏面照射(BSI)の方が表面照射(FSI)よりメリットが出る。

1 チップの画像処理デジタルロジックと組み合わせて 3DS(three dimension stack) IC 化したイメージセンサや、レンズ付きのイメージセンサを搭載した WLCCM(wafer level camera module)等が携帯電話に使用されている。

しかし WLCCM は、歩留り問題や光学品質で、まだ分解能の低い VGA への応用に制限されている。3DS-IC や WLCCM の自動ハンドリングの量産歩留りやスループット向上に対しては、2011 年ではまだ克服しなければならない多くの課題を持っている。

MEMS センサ・デバイスは、パーソナルな電子機器や自動車の分野に急激に使用され始めている。いくつかのスマートフォンやパーソナルな電子機器には、加速度計、ジャイロ、電子コンパス、圧力計の機能を1パッケージに搭載したマルチモード MEMS センサ・デバイスが入っており、2011 年から年間 10%を超える成長を遂げている。これらのテスト入力要求の複雑さは、テスト価格やデータの精度の課題を増大させている。消費者、産業および自動車等の用途の間で、異なるテスト方法や基準が存在する。マルチモード MEMS センサの消費者用途では、価格低減化のために並列テストを高めること、あるいは不良検出率向上や価格低減化を図るためにウェーハテストに BIST を導入すること等の方向に向かうであろうと予想される。

Figure TST14 - Image Sensor Cell

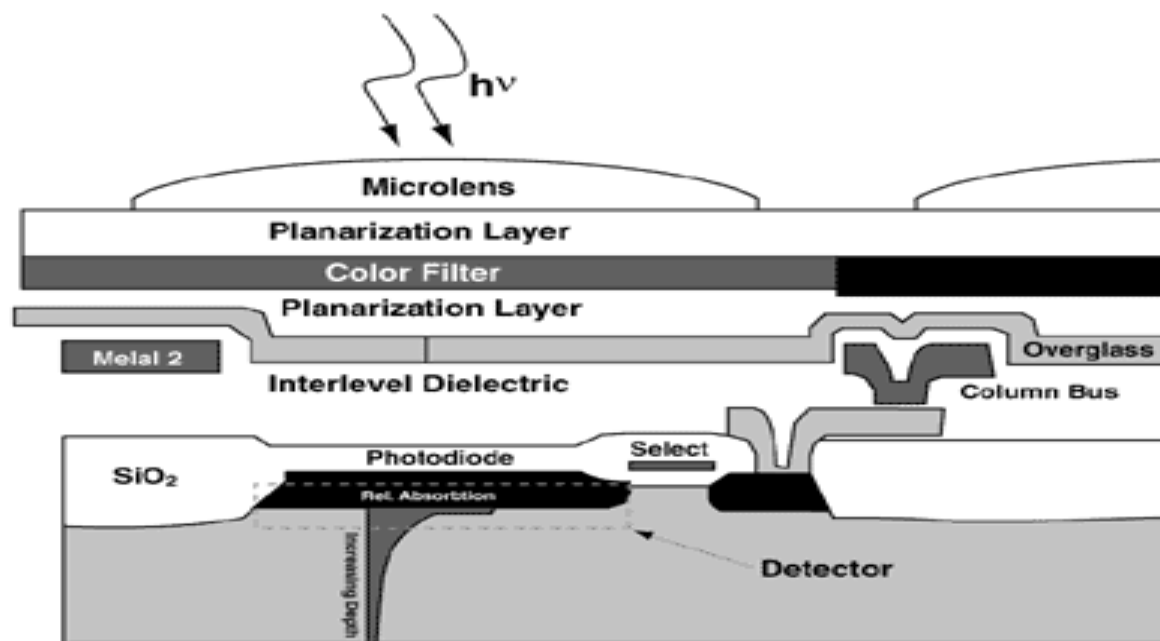


Image sensor structure cross section