



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2013 EDITION

FRONT END PROCESSES SUMMARY

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)の Front End Process (フロントエンドプロセス、FEP)は、以下の記載の通り、テキストの改訂は行っていない。

STRJ において FEP を担当する WG3 では、ITRS の FEP の中では FeRAM のロードマップ作成を分担している。このことから WG3 では、STRJ の独自活動として FeRAM のテキスト(日本語版)を作成した。4 ページ以降はこのテキストを載せている。

フロントエンドプロセス

2013 年版のフロントエンドプロセスのロードマップでは、「高性能 (high performance) ロジックデバイス、低待機電力 (low stand-by power) ロジックデバイス、FeRAM、熱処理/薄膜/ドーピング (thermal/thin films/doping) プロセス技術、スターティングマテリアル (starting materials)、表面処理 (surface preparation) の Table を改訂した。DRAM、フローティングゲート構造の不揮発性フラッシュメモリ (floating gate flash non-volatile memory (NVM))、チャージトラップタイプの不揮発性フラッシュメモリ (charge trap flash NVM)、相変化メモリ (phase-change memory)、エッチング (etch) 並びに CMP の Table は、2014 年に改訂が完了する見込みである。テキストは 2013 年版では改訂していない。

近い将来において、多くの課題が FEP にあることは、広く認識されている。ゲートピッチのスケールリングを継続しながら、低い寄生抵抗・容量を達成することは、ますます困難になる。ピッチが小さくなるに従って、デバイス性能を向上するための歪みエンジニアリングの改善、あるいは FDSOI やマルチゲート技術の適用が必要となる。更なるセルサイズの縮小は、次世代基板 (450mm ウェーハ) の導入やリソグラフィの課題を解決する破壊的技術の適用を必要とする。

実際に使われる高性能デバイスが三次元構造のマルチゲートデバイスに移行するに従って、EOT、接合、移動度向上、新チャネル材料、直列寄生抵抗、シリサイドコンタクトなど、すべての要素技術に大きく影響する。

2013 年のロードマップでは、高性能マルチゲートデバイスに進歩に置いては、歪み Si に代わって (III-V や Ge を用いた) 高移動度チャネルの導入と異種インテグレーションが必要であるとしている。またデバイスの寄生成分を継続的に低減するために、特にデバイスのピッチやコンタクト面積がますます小さくなることによるコンタクト抵抗、継続的な EOT のスケールリングとともに高い移動度を実現するための低 DIT、低バルクトラップ、低リークであるゲート絶縁膜、低バンドギャップチャネル材料 (Ge, IIIV や 2D 材料) など、チャネルに新しい材料を用いる必要がある。

Table FEPI Front End Processes Difficult Challenges

<i>Difficult Challenges $\geq 10\text{nm}$</i>	<i>Summary of Issues</i>
	<p>Strain Engineering</p> <ul style="list-style-type: none"> - continued improvement for increasing device performance at tight pitch - application to FDSOI and Multi-gate technologies
	<p>Achieving low parasitics (resistance and capacitance) and continued scaling of gate pitch</p>
	<p>Continued areal scaling with next generation substrates (450mm wafers) and adoption of disruptive technologies to meet lithographic challenges</p>
<i>Difficult Challenges $< 10\text{nm}$</i>	<i>Summary of Issues</i>
	<p>Continued s scaling of non-planar HP multigate device in all aspects : EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidatio.</p>
	<p>Introduction and heterointegration of high mobility channels (based on III-V and Ge) to replace strained Si for continual performance</p>
	<p>Continual scaling of device parastics with new channel materials, especially for contact resistivity due to severe reduction in device pitch and contact area.s</p>
	<p>Continual EOT scaling and gate dielectrics with low DIT, bulk traps and leakage for high mobility, low bandgap channels materials (Ge, IIIV and 2D materials)s</p>

強誘電体メモリ(FERAM: FERROELECTRIC RANDOM ACCESS MEMORY)

FeRAM (FRAMとも略記する)は ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両テクノロジーキンググループの協力による成果である。FeRAM 性能への要求値は Table FEP9 にあるとおりであり、これは 2013 年に行った FeRAM 製造メーカーへの調査に基づき改訂された。

歴史的には、FeRAM は半導体メモリよりもっと早く提案されている。¹ しかしながら、キャパシタ形成、プロセスインテグレーション、信頼性の確保が難しいため、現時点ではメモリ容量は汎用 DRAM の 1000 分の 1 程度となっている。これら技術的困難さに加え、「キラー・アプリケーション」が欠如していたために商用生産は進んでこなかった。しかしながら近年「キラーアプリケーション」の出現がみられた。その中でも SSD (solid state drive) は有望な市場の一つである。SSD のアプリケーション中で FeRAM は、その高速書換え、不揮発性を活かし、DRAM や SRAM の代わりとしてページバッファに使われている。スマートグリッドシステムにおけるスマートメータもまた魅力的な市場として期待されている。スマートメータの中で FeRAM はリアルタイムのデータログ用メモリとして使われている。太陽発電や風力発電のシステムでは、供給電力が突然止まったり、変動したりする可能性がある。それ故に、ログ用メモリには高速読み書きや高書き換え耐性が要求される。また FeRAM は、ガンマ線滅菌される医用機器に取り付ける電子タグに使われている。FeRAM は EEPROM に比べてガンマ線照射によるデータ損失に対してより高い耐性を持つためである。

FeRAM は、継続的に行われている強誘電膜等の材料開発に大きく依存するので、ここでの予測はどうしてもある程度推測的にならざるを得ない。それでもなお、技術の方向性と解決されるべき課題に関する戦略的な概観を示すため、このロードマップは 2013 年から 2028 年までを取り扱っている。この章は、以下に 1) 量産に基づいたロードマップ作成、2) 加工寸法スケールリング、3) セルサイズ、4) 強誘電体材料の選択肢、5) 最小スイッチング電荷量の見積、6) 書き替え耐性の順で構成する。

量産に基づいたロードマップ作成

2001 年 FeRAM ロードマップが示されて以来、2001-2006 年の FeRAM への要求指標値は学会発表に基づくものであった。FeRAM に対する市場での正確な要求が不明であったためである。その結果、学会での報告内容と量産デバイス性能の間に大きな乖離が生じていた。これを解消するため 2007 年度版のテーブルでは、FeRAM 製造メーカーのホームページやアンケートの回答、さらに DRAM で確立された慣例を用い、ロードマップ中のテクノロジーのレベルを、少なくとも月産 10,000 チップの製造を先行 2 社が行った時期で定義した。2009 年度版のテーブルは、2007 年度版と同様な手法で FeRAM の量産製造情報をもとに定義された。2013 年には数社が FeRAM デバイスを量産していて、2011 年度版と 2013 年度版はそれらの量産製造情報をもとに改版された。

加工寸法スケールリング

本ロードマップでは FeRAM の加工寸法はメタル 1 層ハーフピッチ幅により定義している。なぜなら、ほとんどの FeRAM アプリケーションはロジックプロセスに混載されるからである。ロジックプロセスはリソハーフピッチ幅よりもゲート長を縮小するために、しばしばサブリソグラフィック手法を用いている。先端 CMOS とデザインルールを緩和した FeRAM の組み合わせにより FeRAM アプリケーションが増えることが期待されている。Table

¹ C. F. Pulvari, J. Appl. Phys. **22**, 1039 (1951), I. M. Ross, U. S. Patent 2791760, (1955, filed), Moll and Y. Tarui, IEEE Trans. Electron Devices, **ED10**, 338, (1963).

FEP9 には 2013 年の商品のために、175nm の加工寸法を示している。加工寸法は4年毎に 0.8 倍になると予想しているが、この値は、他の確立されたメモリと比較して、ゆっくりとしたペースで進んでいる。

セルサイズ

現在、効率的なセル構造は1トランジスタ-1キャパシタ(1T-1C)型である。これは2T-2C型セルから置き換わったのであるが、最近のFeRAM設計に関するレビューによると2T-2C型はセル効率が下がる代わりに、より安定なデータの読み出しマージンを保証していた。²しかしながら、どちらのセル構造ともにデバイス用途に応じて用いることが可能である。キャパシタ構造の違いについてはTable FEP9のところに図示してある。上述したセル構造とキャパシタ構造の変更によりセルファクターは2016-2020年に22となり、その後も微細化が進んでいく予定である。別のセルサイズを縮小する方法は3次元(3D)型、あるいは1トランジスタ型に変更することである。この技術に関しては、基礎調査と開発が続けられている。

強誘電体材料の選択肢

現在数種類の強誘電体材料が評価されているが、現時点では決定的な唯一の材料はない。³ 現在、PZT ($\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$) と SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) の2つの材料が使われている。SBTはPtの下部電極を用いた場合優れたファティグ特性を示し、抗電界(E_c)も小さいので低電圧動作に向いている。(ファティグとはメモリキャパシタで繰り返しデータ書き換えをしたときの分極量または電荷量の損失と定義される)。PZTは単位面積あたりのスイッチング電荷 Q_{sw} が大きく、3D型を採用せずにさらなるスケールリングを行う際に重要となる。どちらの材料ともにデバイス形成のプロセスインテグレーションにより劣化する可能性があり、このことがデバイス開発の妨げとなっている。

PZT膜とSBT膜の最も重要な課題は、水素拡散⁴と酸素欠損に起因するとされている膜質の劣化を抑制すること、安定したデータの読み書きを達成すること、それにデータ保持である。FeRAMを混載する場合にもプロセスの改善が必要である。強誘電体膜を結晶化するための高温酸素アニール後に、高温アニールや膜への水素侵入を避けることが重要である。たとえば、 AlO_x や TiN が水素バリア層として用いられる。また、 IrO_2 や SrRuO_3 (SRO)のような導電性酸化物は、強誘電体膜質が改善されるため、しばしばPZTのキャパシタ電極材料として用いられる。

物理的蒸着(PVD)やSol-Gel法を含む化学溶液法(CSD)は、誘電体膜作成に現在もっともよく使用されている製法である。しかしながら、スケールリングを継続して行くには、MOCVD等のもっともステップカバレッジの良い製法に移行していく必要がある。以前に報告されたMOCVDを用いた研究によれば、(111)配向のPZT膜はスイッチング電荷を大きくするのに極めて有効であると報告されている。⁵ キャパシタ電極は、エッチングにより揮発性の副生成物が生じないため、キャパシタ電極のエッチングにおいては、RIEによる課題が残されている。そのためスパッタエッチングによる加工が広く用いられているが、厳密な加工寸法の制御に限界があり、スケールリングが難しくなる。キャパシタの側壁角度を改善するための高温エッチング技術は、この問題を克服するために開発された。

PZTとSBTは、しばしばそれらの電気特性を改善するために不純物を入れて用いられる。たとえばPZTに対しLa、SBTに対しNbである。その目的は、リーク電流の抑制、書き換え耐性またはインプリント特性の改善、

² S. Kawashima and J.C. Cross, Embedded Memories for Nano-Scale VLSIs (Integrated Circuits and Systems) Chapter 8 FeRAM Springer; 2009/5/8, ISBN-13: 978-0387884967

³ D. J. Wouters, 28, International Conference on Solid State Devices and Materials, 2003.

⁴ J.S. Cross, Y.Horii, N.Mizuta, S. Watanabe and T. Eshita, Jpn. J. Appl. Phys. **41**, 698 (2002).

⁵ Y. Horii, Y. Hikosaka, A. Itoh, K. Matsuura, M. Kurasawa, G. Komuro, K. Maruyama, T. Eshita and S. Kashiwagi, IEDM, 539 (2002).

後工程による膜質劣化抑制等の膜質の向上である。PZT と SBT に加わる、有望な新材料の一つは BLT、または $(\text{Bi,L a})_4\text{Ti}_3\text{O}_{12}$ である。⁶ その特性は先行する 2 つの材料の間である。⁷ さらに BiFeO_3 (BFO) が新しい候補の材料として注目を集めている。BFO は $150\mu\text{C}/\text{cm}^2$ 以上の巨大な強誘電体分極をもつ。⁸ BFO は大きな分極率を示すが、高いスイッチング電圧も必要とする。つまりこのことは、BFO ではより薄膜化するかもしれないが不純物をドーピングしないと低電圧動作させることができないことを意味している。どの膜の特性も近年のプロセスの改善で向上してきているので、良好な強誘電体特性を得るためには、強誘電体キャパシタ作製プロセスを最適化することが重要である。最近ドイツで、ドーピングされた HfO_2 や ZrO_2 と HfO_2 化合物 (ZHO)⁹ が強誘電体特性を持つことが報告された。特に ZHO は 450°C という低温で成膜でき、TiN 電極を使うことができる。しかしながら、BFO と同様に、これらの材料は、 $1\text{MV}/\text{cm}$ 程度の大きな E_c を示す。¹⁰ よって、これらの強誘電体特性は現在研究段階である。

最小スイッチング電荷の見積り

最小スイッチング電荷は次のようにして見積もった。FeRAM のセンスアンプは基本的に DRAM と同じと仮定し、ITRS 1999 の DRAM のデータを用いてビット線の信号電圧を計算した。ITRS 1999 のデータはキャパシタンス C_s が技術世代に関わらず $25\text{fF}/\text{cell}$ のまま一定で、 180nm 世代時のビット線容量が 320fF である。このデータとさらにビット線容量が $F^{2/3}$ (ここで F は最小寸法である¹¹) に比例すると仮定することにより、 $\Delta V_{\text{bitline}}$ の計算が可能となる。 $\Delta V_{\text{bitline}}$ は約 140mV であり、この値が技術世代に関わらずセンスアンプ回路には必要と仮定する。 $\Delta V_{\text{bitline}}$ (140mV) と C_{bitline} を掛け合わせることで最小スイッチング電荷が得られる。

Table FEP9 に示す FeRAM に関する予測は、以上の仮定と計算に基づいている。キャパシタ面積を縮小するには、最小スイッチング電荷の著しい改善が必要となる。 $\sim 0.1\mu\text{m}^2$ ^{12,13} のキャパシタ面積で良い強誘電体特性を示すいくつかの論文が東芝と三星から発表されている。これらの結果は、3D 型を使わずとも、プレーナ型キャパシタテクノロジーを用いて、この特性を実現できることを示している。一方で、その他の必要な要求のすべてを満たしつつ使用電圧を下げることは、「赤レンガの壁」(製造方法がまだ知られていない技術領域)として認識される改善すべき課題の一つである。これらの壁をうち破るには、プロセス劣化がほとんどない、高い信頼性をもつ強誘電体材料を開発することが最も重要である。

書き替え耐性

SRAM や DRAM のような他の RAM を置き換えるには、読み書きの繰り返しに対する書き換え耐性が 10^{15} 回は必要である。この値を確認するために、物理的なモデルによる加速テストに基づいた実用的な時間内での標準的なテスト方法が必要とされている。書き換え耐性試験による強誘電体キャパシタ単体での劣化についてのいくつかのモデルは文献中にみられるが、インテグレーションを経た後のキャパシタを用いた劣化についての報告はほとんどない。

近年 FeRAM はその高速性と耐久性により EEPROM や FLASH メモリの置き換えとして、IC カードや個人認証

⁶ B.H.Park, B. S. Kang, S.D. Bu, T.W. Noh, J. Lee and W. Jo, Nat. **401**, 682(1999).

⁷ D. J. Wouters, Extended Abstract of the 2003 International Conference on Solid State Devices and Materials, 28 (2003).

⁸ K. Y. Yun, D. Ricinchi, T. Kanashima, M. Noda and M. Okyama, Jpn. J. Appl. Phys. **43**, L647 (2004).

⁹ T.S. Böske, J.Müller, D.Bräuhäus, U. Schröder, and U. Böttger, Appl. Phys. Lett. **99**, 102903 (2011).

¹⁰ J.Müller, T.S. Böske, D.Bräuhäus, U. Schröder, U. Böttger, J. Sundqvist, P. Kücher, T. Mikolajick, and L. Frey, Appl. Phys. Lett. **99**, 112901 (2011).

¹¹ A. Nitayama, Y. Kohyama, and K. Hieda, 355, IEDM, 1998.

¹² Y. K. Hong, D. J. Jung, S. K. Kang, H. S. Kim, J. Y. Jung, H. K. Koh, J. H. Park, D. Y. Choi, S. E. Kim, W. S. Ann, Y. M. Kang, H. H. Kim, J.-H. Kim, W. U. Jung, E. S. Lee, S. Y. Lee, H. S. Jeong, and K. Kim, VLSI, 230, (2007).

¹³ D. Takashima, Y. Nagadomi, K. Hatsuda, Y. Watanabe, and S. Fujii, IEEE J. Solid-St. Circ. **46**, 530 (2011).

用に使われだしている。セキュリティ用途は FeRAM 市場の大きな可能性を秘めている。

Table FEP 9 に対する注釈

[A] 最小寸法「F」は、現在量産中の寸法で定義される。メタル1層ハーフピッチ幅が最小寸法に使われている。なぜなら、FeRAMアプリケーションのほとんどはロジックプロセスに混載するためである。ロジックプロセスはハーフピッチ幅よりもゲート長を狭くするため、リソグラフィ以下の寸法にする手法をしばしば用いる。

[B] セルサイズ= $a \times F^2$

[C] $\{(セルサイズ) / 2 - (キャパシタースペース)\}^2$ と仮定。ここでキャパシタースペース= $1.5 \times F$ 。

[D] セル構造に加え、セル配置も研究されている。例) Chain-FeRAM

[E] スタック構造、3D 構造の右図参照

[F] 3D はペDESTAL構造を仮定した。トレンチ構造も可能であるが、異なったプロセス課題はある。

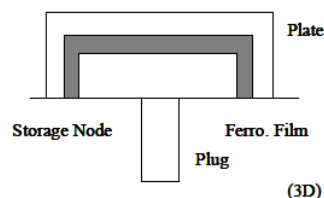
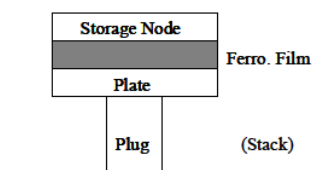
[G] 3D キャパシタの場合は1を超える。それ以外は1である。

[I] V_{op} =動作電圧。低電圧動作が課題。2003年の松下の $0.18 \mu m$ のサンプル(SBT)では1.1Vである。

[J] はじめに1セル当りの最小スイッチング電荷量を $\Delta V_{bitline} \times C_{bitline}$ で計算。ここでは $\Delta V_{bitline} = 140 \text{ mV}$ $C_{bitline} = F^{2/3}$ DRAMと同じと仮定。スタック構造の場合、この値をキャパシタ面積で除算し、最小スイッチング電荷量密度を計算。

[K] $100 \text{ MHz} \times 10 \text{ years} = 3 \times 10^{16}$ 。SRAM や DRAM と競合するためには 1×10^{15} 回の書き換え耐性が必要。

[L] 用途に依存する。85°C は IC カードのスペックから。



The ITRS is Jointly Sponsored
by

European Semiconductor Industry Association



Japan Electronics and Information Technology
Industries Association

Korea Semiconductor Industry Association



Taiwan Semiconductor Industry Association



Semiconductor Industry Association



ITRS の共同スポンサーは ESIA, JEITA, KSIA, TSIA, SIA です。

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)本文の日本語訳である。

国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, 以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には15のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2013 年版は英文で 1000 ページを越える文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部は英文のまま掲載することとした。Overview の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。また、ITRS 2013 年版では、各章の要約(Summary)を別のファイルとして作成し公開しているが、今回はこれを訳出していない。要約(Summary)は原則として、本文の抜粋となっていて、本文の日本語訳があれば、日本の読者にとっては十分と考えたためである。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors, 以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳作成にあたり、編集作業を担当いただいた、JEITA 内 SRTJ 事務局の幾見 宣之さん、関口美奈さんには大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2014 年 7 月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2014 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： ITRS 2013 Edition, Chaper XX, page YY, Figure(Table) ZZ
この日本語訳から引用する場合： ITRS 2013 Edition (JEITA 訳) XX 章、YY 頁、図(表) ZZ
のように明記してください。

問合せ先：

一般社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
電話: 03-5218-1061 電子メール: roadmap@jeita.or.jp