

INTERNATIONAL  
TECHNOLOGY ROADMAP  
FOR  
SEMICONDUCTORS

2013 EDITION

TEST AND TEST EQUIPMENT

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

The ITRS is Jointly Sponsored  
by

European Semiconductor Industry Association



Japan Electronics and Information Technology  
Industries Association

Korea Semiconductor Industry Association



Taiwan Semiconductor Industry Association



Semiconductor Industry Association



ITRS の共同スポンサーは ESIA, JEITA, KSIA, TSIA, SIA です。

# 訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)本文の日本語訳である。

国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, 以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2013 年版は英文で 1000 ページを越える文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部は英文のまま掲載することとした。Overview の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。また、ITRS 2013 年版では、各章の要約(Summary)を別のファイルとして作成し公開しているが、今回はこれを訳出していない。要約(Summary)は原則として、本文の抜粋となっていて、本文の日本語訳があれば、日本の読者にとっては十分と考えたためである。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors, 以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便を

おかけするが、ご理解いただければ幸いである。

今回の日本語訳作成にあたり、編集作業を担当いただいた、JEITA 内 SRTJ 事務局の幾見 宣之さん、関口美奈さんには大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2014 年 7 月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長  
石内 秀美 (株式会社 東芝)

## 版權について

# ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2014 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>  
Japanese translation by the JEITA, Japan Electronics and Information Technology  
Industries Association under the license of the Semiconductor Industry Association

### —引用する場合の注意—

原文(英語版)から引用する場合： ITRS 2013 Edition, Chaper XX, page YY, Figure(Table) ZZ

この日本語訳から引用する場合： ITRS 2013 Edition (JEITA 訳) XX 章、YY 頁、図(表) ZZ  
のように明記してください。

-----  
問合せ先：

一般社団法人 電子情報技術産業協会  
半導体技術ロードマップ専門委員会 事務局

電話: 03-5218-1061 電子メール: [roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)

## 目次

<b>1 2013年版の紹介および範囲</b> .....	<b>1</b>
<b>2 ドライバ、課題および将来の可能性</b> .....	<b>1</b>
2.1 主要なドライバ.....	2
2.1.1 デバイスのトレンド.....	2
2.1.2 テスト工程の複雑さ.....	5
2.1.3 テストの経済的スケーリング.....	6
2.2 困難な課題.....	7
2.2.1 テストコストと総合装置効果.....	7
2.2.2 量産製造向けとしてのテスト開発(市場への展開).....	7
2.2.3 システムティック欠陥の検出.....	7
2.3 将来の可能性.....	8
2.3.1 テストプログラム自動生成.....	8
<b>3 テストと歩留り習熟</b> .....	<b>8</b>
3.1 電氣的テストベース故障診断.....	8
3.2 故障解析.....	11
3.2.1 回路ノード・プロービング.....	11
3.2.2 欠陥分離精度.....	11
3.2.3 パッケージ状態での解析.....	11
3.2.4 CAD/EDA ツール.....	11
3.2.5 オンチップ・タイミング計測.....	11
3.2.6 サンプル準備と治工具.....	12
<b>4 テストコストに注目したトピックス</b> .....	<b>12</b>
4.1 現在のコスト要因(上位).....	13
4.2 将来のコスト要因.....	13
4.3 現在展開されているコスト削減技術.....	15
4.4 将来期待されるコスト削減技術.....	15
4.5 ベースコストのトレンド.....	16
4.6 チャンネルコストのトレンド.....	16
4.7 電源コストのトレンド.....	16
4.8 インタフェースコストのトレンド.....	16
4.9 同時測定のトレンド.....	17
4.10 その他のコストトレンド.....	18
4.11 重要な関心領域.....	18
<b>5 3次元デバイスのテスト</b> .....	<b>19</b>
5.1 テストのフロー、コスト、リソース.....	20
5.2 DfX.....	21
5.3 テストアクセス.....	21
5.4 異種のダイ.....	23
5.5 デバッグ/診断.....	23
5.6 電力.....	24
5.7 まとめ.....	24
<b>6 アダプティブテスト</b> .....	<b>24</b>
6.1 アダプティブテストの定義.....	25
6.2 適用例.....	26
6.3 アダプティブテスト 構造/フロー.....	27
6.4 アプリケーションとデータモデルのレベル.....	28
6.5 アダプティブテストのインフラ(データ交換、データベース、など).....	28
6.6 テスト装置とテスト工程への影響.....	29

2	テスト	
6.7	“アダプティブな設計”を推進するテスト結果	30
6.8	アダプティブな製造	30
6.9	カード/システム/フィールドへのアダプティブテストの影響	30
7	テスト技術への要求	31
7.1	導入部	31
7.2	システム集積—SoCとSiPのテストの課題への影響	32
7.2.1	システム・オン・チップ	32
7.2.2	システム・イン・パッケージ	38
7.3	ロジック	40
7.3.1	大量生産マイクロプロセッサのトレンド・ドライバー	41
7.3.2	システムのトレンド・ドライバー	41
7.3.3	DFTのトレンド・ドライバー	42
7.3.4	ATEのトレンド・ドライバー	43
7.3.5	ロジックテストの仮定と考え方	43
7.3.6	ロジックテストの計算	45
7.4	高速I/Oインタフェース	46
7.4.1	重要な関心領域	49
7.5	メモリ	52
7.5.1	DRAM	53
7.5.2	FLASH	53
7.5.3	内蔵メモリ	53
7.6	アナログおよびミックスシグナル	54
7.6.1	関心ある重要な分野	55
7.7	RADIO FREQUENCY	55
7.7.1	関心ある重要な分野	56
7.8	信頼性技術の要求	56
7.8.1	バーンインの要求	58
7.8.2	ウェーハレベル・バーンイン	59
7.8.3	ウェーハレベル・バーンインのためのプロービング技術	59
7.8.4	その他のウェーハレベル・バーンイン技術の考察	60
7.9	テストハンドラの要求	60
7.10	デバイス治具(ソケット、プローブカード)への技術要求	62
7.10.1	プローブカード	62
7.10.2	プローブカード技術のトレンド	63
7.10.3	テストソケット	66
7.11	特殊デバイス	69
7.11.1	LCDディスプレイドライバ	69
7.11.2	イメージセンサ	69
7.11.3	MEMSセンサデバイス	70

## LIST OF FIGURES

FIGURE TST 1 - TEST COST COMPONENTS .....	12
FIGURE TST 2 - MULTI-DIE FLOW .....	13
FIGURE TST 3 - TEST CELL COST / UNIT VERSUS INTERFACE COST TREND .....	15
FIGURE TST 4 - IMPORTANCE OF MULTI-SITE EFFICIENCY IN MASSIVE PARALLEL TEST.....	18
FIGURE TST 5 – GENERAL ADAPTIVE TEST FLOW DIAGRAM .....	26
FIGURE TST 6 – ADAPTIVE TEST ARCHITECTURE / FLOW.....	27
FIGURE TST 7 - ORGANIZATION OF CORES FOR SYSTEM INTEGRATION AND APPLICATIONS .....	32
FIGURE TST 8 – DFT COMPRESSION FACTORS (FLAT WITH NO COMPRESSION = 1) .....	34
FIGURE TST 9 - SCAN TEST VIEW OF A CORE .....	43
FIGURE TST 10 - SOC CONTAINING MANY SCAN-TESTABLE CORES .....	44
FIGURE TST 11 - SOC WITH MULTIPLE COPIES OF CORE_2.....	45
FIGURE TST 12 - CORE LOGIC VS. RANDOM LOGIC BETWEEN CORES.....	45
FIGURE TST 13 - TEST DATA VOLUME TREND OVER TIME.....	46
FIGURE TST 14 - HIGH SPEED INTERFACE TREND .....	48
FIGURE TST 15 - HIGH SPEED I/O JITTER TEST ACCURACY REQUIREMENTS SCALING WITH FREQUENCY.....	51
FIGURE TST 16 - THE PRODUCTION PROCESS WITH WLBI COMPARED WITH PACKAGE BURN-IN .....	59
FIGURE TST 17 - PROBING AND WIREBOND CONTACTING A BOND PAD .....	65
FIGURE TST 18 - CONTACTOR TYPES .....	68

## LIST OF TABLES

TABLE TST 1- SUMMARY OF KEY TEST DRIVERS, CHALLENGES, AND OPPORTUNITIES .....	2
TABLE TST 2 – MULTI-SITE TEST FOR PRODUCT SEGMENTS.....	17
TABLE TST 3 – IMPLICATIONS OF ADAPTIVE TEST .....	31
TABLE TST 4 - DFT REQUIREMENTS .....	33
TABLE TST 5 – REQUIRED CONCURRENT TESTING DFT FEATURES .....	37
TABLE TST 6 – REQUIRED CONCURRENT TESTING ATE FEATURES .....	38
TABLE TST 7 – LOGIC ASSUMPTIONS.....	41
TABLE TST 8 – LOGIC TEST DATA VOLUME .....	41
TABLE TST 9 – LOGIC ATE REQUIREMENTS .....	41
TABLE TST 10 – MEMORY TEST REQUIREMENTS .....	52
TABLE TST 11 - MIXED-SIGNAL TEST REQUIREMENTS .....	55
TABLE TST 12 - RF TEST REQUIREMENTS .....	56
TABLE TST 13 - BURN-IN TEST REQUIREMENTS.....	58
TABLE TST 14 - TEST HANDLER AND PROBER DIFFICULT CHALLENGES .....	61
TABLE TST 15 – PROBER REQUIREMENTS.....	62
TABLE TST 16 – HANDLER REQUIREMENTS.....	62
TABLE TST 17 – PROBING DIFFICULT CHALLENGES .....	63
TABLE TST 18 - WAFER PROBE TECHNOLOGY REQUIREMENTS .....	66
TABLE TST 19 - TEST SOCKET TECHNOLOGY REQUIREMENTS.....	69



## 1 2013 年版の紹介および範囲

2013 年、この章の多くの節は完全に書き換えて、広範囲の改訂を行った。ドライバの変更は少しであったが、システムテストと非電氣的なコンポーネント(MEMS, 光学, 他)は、テスト工程に必要とされるため追加された。

アダプティブテストのセクションは、データの収集とデータのフィードバックの重要性が増してきたことを反映して、大幅に書き換えた。構成要素が組み込まれ展開されるにつれ、アダプティブテストのサイクルはそれらをカバーしてゆく。即ち、初期のウェーハ製造から顧客フィールド情報までである。これらのシステムのためのデータシステム要求が重要視されてきている。

データ収集と分析の複数年に亘る努力の後、ロジックテーブル TST7 はロジック仮定として再定義し、MPU-HP(ハイパフォーマンス)、MPU-CP(一般顧客向け製品—ラップトップ)、そして SoC-CP(一般顧客向け製品—モバイル)に対して最も重要なパラメータにだけ再注目した。これらの仮定の意味は現在、テーブル TST8(テストデータ量)とテーブル TST9(ATE 要求)に、Visual Basic で計算されスプレッドシートモジュールとして含まれている式を使って示されている。

メモリセクションは、PC 向け DRAM からモバイル向け DRAM への移行の増加を求めていることを反映して修正した。NAND はモバイルの爆発的な拡大の主なコンポーネントとなっており、新世代のデバイスは 3D 積層技術を使用して開発されている。シリアルインタフェースを持つ NOR テクノロジーデバイスは、組み込み型アプリケーションで広く使われている。

ミックスシグナルのテーブルと節はモバイルに注目して修正した。RF は用途に合わせるために、要求とアプリケーションをモバイルデバイス(一般的な無線機器)とインフラストラクチャー(radar, WiGig, Backhaul)に分割する。これらのセクションは、完全に書き換えた。

バーンインは 2008 年に最後に修正したが、ウェーハレベルと非 MPU のバーンインに関心が増えてきたのを受けて 2013 年に更新した。

3D デバイステストは、最初 2011 年にテスト章に追加された。そして 2013 年大幅な改訂を行った。

機械的ハンドリングには 2013 年に確認された新しい課題がある。自重落下型ハンドラ、ターレット型ハンドラ、ストリップ型ハンドラはロードマップを追加し、ピックアンドプレースハンドラーの節は更新した。薄ウェーハ/メディアのハンドリングとコンタクトは、特にこれから来る 450mm ウェーハの製造への導入に関して、現在懸念事項が増えている。プローバとプロービングのテーブルは、200、300 そして 450mm ウェーハのハンドリングとコンタクトをカバーするために完全に再構成した。

本ドキュメントは献辞に示されたように、業界の広い交流を示す多数の参加者からの有意義な貢献を表している。

## 2 ドライバ、課題および将来の可能性

ITRS テスト章の 2005 年版から初めて、困難な技術課題の節を主要なドライバと困難な技術課題に分割し、また将来の可能性の節を追加してテスト章の本節を洗練させてきた。この分割は、来るべき半導体部品の製造試験に対する解決策の範囲を定義する主な境界条件となるドライバを、主要な技術およびビジネスへの課題から区別するものである。高いレベルでは、これらの境界条件は予測やさらにはテスト工程の要件を表し、一方で課題は現在および将来の主要な障害、戦略的変化点、あるいは将来の可能性を表す。主要なドライバは、本章で多くの概念とテーブルの価値を決める。困難な課題は、半導体ロードマップとコスト効果的に見合うように、更なる発展と理解が必要となるエリアを定義する。

テーブル TST1 は、すべての主要なテストのドライバ、課題、可能性をまとめたものである。

Table TST 1- Summary of Key Test Drivers, Challenges, and Opportunities

Key Drivers (not in any particular order)	
Device trends	Increasing device interface bandwidth (# of signals and data rates)
	Increasing device integration (SoC, SiP, MCP, 3D packaging)
	Integration of emerging and non-digital CMOS technologies
	Complex package electrical and mechanical characteristics
	Device characteristics beyond one sided stimulus/response model
	3 Dimensional silicon - multi-die and Multi-layer
	Integration of non-electrical devices (optical, MEMS, etc)
	Fault Tolerant Architectures and Protocols
Test process complexity	Device customization during the test process
	Feedback data for tuning manufacturing
	Dynamic test flows via “Adaptive Test”
	Concurrent Test of IP blocks
	System test as a component of manufacturing test
	Maintaining Unit level Traceability
Economic scaling of test	Physical and economic limits of test parallelism
	Managing (logic) test data and feedback data volume
	Managing interface hardware and (test) socket costs
<b>Difficult Challenges</b>	
Cost of Test and Overall Equipment Efficiency	Interface Hardware, setup/flex, lot sizes
Test Development as a gate to volume production (Time to Market)	Increasing device complexity driving more complex test development
Detecting Systemic Defects	Testing for local non-uniformities, not just hard defects
	Erratic, non deterministic, and intermittent device behavior
	Mechanical damage during the testing process
	Multi-die stacks/TSV
<b>Future Opportunities</b>	
Test program automation (not ATPG)	Automation of generation of entire ATE test programs

ATE—automatic test equipment

ATPG—automatic test pattern generation

BIST—built-in self test

HVM—high volume manufacturing

MCP—multi-chip packaging

MEMS—micro-electromechanical systems

## 2.1 主要なドライバ

既に述べたように、テスト章における主要なドライバは、継続的なテストコストのスケールリングのもとで、半導体のテスト機能が動作し、なお満足できる部品の品質と信頼性を供給しなければならない境界条件であると考えられる。

### 2.1.1 デバイスのトレンド

#### 2.1.1.1 デバイスインタフェースの帯域

2001年版 ITRS ロードマップでは、問題の変化の方向は、(以前のトレンドと比較して)急激な部品の I/O 速度の増加に伴うシステム性能の向上に対応することを意味していた。2003年版では、テストワーキンググループは、2001年版の予想ほどの急激なクロック速度の増加はないものの、Gb/s インタフェースが半導体部品の市場区分(メモリ、CPU、チップセット、他)のより広い領域へ浸透することを記していた。設計のクロック速度のロードマップは、アーキテクチャやトランジスタのスケールリングにより、2008年版と2011年版に比べて低いGHzになっている。高速シリアル I/O と差動 I/O のプロトコルは速度上昇を続け、テストコストと製品の品質の関係を

維持するために DFT (Design for Testability) と量産 (HVM: high volume manufacturing) テスト工程における技術革新を求め続ける。

### 2.1.1.2 増加するデバイスの集積

SoC (system-on-a-chip) と SiP (system-in-a-package) によるデバイスの集積が、多くのビジネス区分を通して行き渡っている。このデバイスの集積は、テストコストと製品の品質の関係を維持するためのテスト解決策の再集積を強いる。単独の RAM、コア、その他のブロックのために最適化されたテスト解では、集積されたデバイスのテスト解に対する修正や、追加的 DFT、新たなテストの分割の解なしでは、線形にスケール拡大できない。とりわけ、ダイまたはパッケージにおいてさえも、埋め込まれたブロックやコアにアクセスしてテストするために、追加的な DFT が必要とされるかもしれないし、または量産テスト計測器の追加的な分配と再集積が必要とされるかもしれない。マルチダイパッケージングのための高品質ダイを供給する KGD (known good die) の技術もまた、テスト技術とコストトレードオフの非常に重要で不可欠な部分となる。

### 2.1.1.3 新たな非デジタル CMOS 技術の集積

直近では、ミックスシグナルデバイス回路がデジタル CMOS と同じダイに搭載されており、これが ATE (Automatic Test Equipment)、計測器、テスト生産フローにおける主要な課題を突きつけている。それはまた、ミックスシグナルではこれまで適用が進んでいなかった(デジタルのロジックやメモリにおける DFT のようには普及していない)DFT の革新のための新たな課題と可能性を提示している。RF 回路の集積は、既に同様の革新における上昇を経験し始めている。より根本的に異なる半導体デバイスタイプ、例えば、既に集積フォームのなかに姿を現している MEMS や、光学デバイスは、CMOS ロジックと一緒に同一シリコン上に集積されてきている。これまでの集積のタイプのように、これらのデバイスに対するテストの使命は、潜在的に埋め込まれたブロックへのアクセスと、根本的に異なる複数のテスト手法をコスト効果のある製造プロセスへ集積することである。

### 2.1.1.4 複雑なパッケージの電氣的、機械的、熱的特性

パッケージ形状による限界性能は内側と外側の両方の因子から要求を受けている。ハイエンドではマルチダイのための MCP や SiP におけるより複雑な形状因子があり、更に小型の分野では、最も小さなプラットフォームの形状(例えばハンドヘルド)を目的としたシステムのための、チップスケールパッケージングもある。更に、ヒートシンクやヒートスプレッダ、あるいは電圧制御や消費電力管理などの機能をも含めたダイパッケージの多機能性が増加しているように見える。消費電力の増加に伴う主な関心事として、形状要因からくる熱伝達特性や熱均一性(熱勾配係数-ジャンクションと外気、ジャンクションとケース[theta-JA, theta-JC]、他)がテスト工程において更に重要となる。一般に、テスト時の消費電力はエンドユーザでの使用時よりも大きい。これら形状因子技術の限界性能の向上は、主要なテストサブシステムの改善と供給を必要とする。パッケージテストのハンドリング、接触抵抗低減技術、テストソケットがそれである(後に章の後半で初めて述べられる)。

### 2.1.1.5 決定論的入力応答モデルを超えるデバイス特性

半導体テストとテストアーキテクチャおよび使用法の歴史は、決定論的なデバイスの挙動を基礎にして成り立っている。加えて、デジタル CMOS のテストは、歴史的に、Vcc、温度、周波数などの影響を単純化することに基づいてきた。それ故、ワーストケース 1 条件で 1 回のみ行われるテストは、より広く連続的な範囲の環境トポロジにおける性能を保証していた。これらのトポロジが二つまたは三つの変数であれば、それらは制御可能であるし、量産テストのための特徴づけと最適化は大変容易であった。しかしながら、デバイスの特性の数により、この 1 条件テストパラダイムの低次元性は脅かされている。量産のためのテストコスト削減を潜在的に制限することと同様に、繰り返し発生しないテストの開発コスト(NRE)における非線形効果を脅かしている。拡張された自己救済・修正、組み込みの可変多電源制御モードなどのデバイス機能は、すべてにおいて潜在的に、とてつもなく大きな複雑さをデバイステスト条件の輪郭に付加する。そのうえ、デバイスの設計、アーキテクチャ、挙動領域の点から、非決定論的な挙動を示すデバイス(例えば、非同期ロジックアーキテクチャや欠陥耐性を持つデバイス)が今後増加する可能性がある。同様な条件下でのダイごとの(エンドユーザシステムの見地で

## 4 テスト

の)正しいデバイスの挙動は、時間／ベクタ同期の見地からは決定論的ではない。これらの挙動はエンドユーザとエンドシステムの見地が正しい限りは、同じ同期信号で供給された 1 と 0 のデジタルロジックの集合で、このような挙動を十分テストできるような、伝統的な量産テストの入力応答モデルを逸脱するであろう。これらのデバイスのアーキテクチャと挙動は半導体テスト工程の主要なパラダイムシフトまたは革新課題を突きつけるだろう。

### 2.1.1.6 次元シリコンデバイス

TSV の進歩により、一つの接続が  $2\mu\text{m}^2$  程度で可能となり、ダイ間の接続数は数十、数百ではなく、数百万レベルが可能となっている。その結果、複数のダイの領域にまたがったり、分けたりすることにより、コストパフォーマンスに優れたシステム設計が可能となっている。従来の単体のダイでは基板に多くの部品を実装する必要があるが、3次元化により基板上の多くの部品を削減し、3次元での内部接続を使うことで性能向上のためのシステムの再設計が可能になり、コストや生産性を考慮したシステムの最適配置やダイの積層が可能となる。一例として、MPUは、一つ目のダイにロジックコア、二つ目のダイでキャッシュRAM、三つ目のダイに不揮発メモリを持つことができる。このような MPU では、同じ X-Y 位置に数千もの 3次元での接続が要求される。不揮発性メモリへの接続は、ロジックコアからキャッシュ部を経由した接続が必要とされる。更にダイの接続については、それぞれのダイはウェーハテストでテストされており、テスト工程ではダイ単体で実施されている必要がある。ダイが上段に配置された場合、TSVにより接続されるが、ダイに組み込まれたテスト機能を用いてそれぞれのダイは、十分ではないがテストが実施される。テストベクタやテストパスはそれぞれの単体のダイのテストに使われたものとは違うものとなる。更にやっかいな問題として、数千もの ESD 保護回路は非常に大きな領域が必要となるため、TSVは ESD 保護機能を持っていないことが多い。ESD 保護されていないパッドや TSV をプローブするとダイへのダメージがあるため、バウンダリスキャンのような TSV に直接コンタクトしない新たな手法を用いたテストが必要となる。

### 2.1.1.7 非電氣的なデバイス（光デバイス、MEMS など）の集積

半導体が可能にするエンドアプリケーションの多様性は増加し、テストで生成される入力と測定される応答のタイプや種類は増加する。いくつかのデバイス技術は、特に非電氣的な入出力に対してデバイスの出力を入力に接続できるような“ループバック”テストを使用して、テスト可能になるかもしれない。

しかしながら、あるデバイスでは、非電氣的な外的入力または応答の測定が要求されるだろう。例えば、COMS イメージセンサは、性能の検証やキャリブレーションのため、一様に校正された光源が要求される。また 3 軸の MEMS 加速度計は、効果的にデバイスをテストするために 3次元の運動範囲を動かす必要があり、VCSEL は出力を測定するための光レシーバが要求される。非電氣的入力と応答としては以下が挙げられるが、これらに限定されない。

- ・光通信と光接続
- ・音を含む圧力
- ・回転
- ・重力
- ・化学、分子、または、ラマン分光法、蛍光、および他の技術を含む有機物検出
- ・温度
- ・湿度
- ・磁場
- ・振動や衝撃を含む加速度
- ・液体の流れ

非電氣的入力と応答に加え、いくつかのデバイスは、校正を可能にするため、または、精度を保証するために、構造の臨界寸法についての物理計測が要求される。

### 2.1.1.8 欠陥耐性を持つデバイス

デバイスあるいはシステムが決して不良とならない、あるいは不良となるときは緩やかに不良となることが保

証されるようなデバイスのアーキテクチャが開発されている。これらのアーキテクチャは、様々な形式でのエラー検出や修正を不断の監視作業に導入する。もし、不良が検出されたらシステムはこれら不良に対し、修正アルゴリズムに従って修正するか、1回の誤動作のみであることを期待してもう一度動作させるか、その不良が発生した機能ブロックに対し動作条件を変更してその機能ブロックが正しく動作し始めて正しい結果を生み出すか、その不良発生機能ブロックを使用不可とし信号を迂回させて動作させるかの方法で不良に対処する。すべての可能なリカバリのための手段が評価されて不良となったときのみ、デバイスかシステムは不良となる。そのデバイスが、工場から出荷された時と同様に適切に機能しているかを十分に判断するためには、テストはデバイスや機能ブロックのテスト時に、これら修正機能を動作させないか減少させる必要がある。

## 2.1.2 テスト工程の複雑さ

### 2.1.2.1 デバイスのカスタマイズと(テスト工程の)ライン項目の複雑さ

「これは良いダイなのか?」という質問に対する手法だけでなく、特定のダイを修正、差別化、カスタマイズする現実のプロセス段階をも含めるために、テスト工程はますます拡大している。これらの例としては、メモリブロック(とその他の)冗長/救済、ダイ上のチップ設定用ヒューズの溶断、読み出し専用メモリ(ROM)のプログラミング、または、その他の製品機能のプログラミングなどが挙げられる。更に、いくつかのビジネス区分では、製造テストフローの一部としての差別化や物理的分別を伴う、同一のダイベースから引き出される製造ライン項目の相当な増加が見込まれる。このすべてが、増加する製造テスト工程の要求を招き、装備(例えばハンドリングやヒューズ溶断など)や生産の自動化および統合のインフラを拡大する。

#### 2.1.2.2 製造条件調整のためのテストデータフィードバック

いくつかの理由によって、与えられたダイの良否の識別を超えた目的のためにテストデータの利用が不可欠となり、拡張し、改良され、より良く統合されたテストデータのシステムと設備基盤が必要となった。ある意味で、テスト工程の構成要素の出力は、製造ダイと生産ロットの母集団を横断したテスト工程で様々な適用された測定の結果としての、データである。製造工程での歩留り習熟、異端的な材料の特定、あるいは、より分散化された製造テストにおけるフィードバックのために、このテスト出力(データ)のより良く統合された活用の必要性は、ただあれば良いだけでなく、ますます重要で不可欠な前向きな応用となる。

#### 2.1.2.3 アダプティブテストを用いたダイナミックなテストフロー

全体的なテストコストを低減するための具体的な方法は、固定的なテストフローを変えることであり、その方法として、直近のテスト結果に基づき特定のテストを行うかどうかについて、ある確率に基づいて実施するかどうかを決定する方法がある。もし、あるテストまたはテスト群が、統計的に見てテストの必要性が低いと判断される場合、そのテストは一時的に省略するか、もしくは別のテストに置き換えることができる。テストが必要かどうかの確率により、実施すべきテストを増やすこともできる。

#### 2.1.2.4 DUT 内部のコンカレントテスト

並列テストの“次の段階”は、同時測定テスト(Multi-site test)と併せて、単一 DUT(Device Under Test、テスト対象デバイス)内部の複数の機能ブロックを同時にテストすることであり、そしてそこでコンカレントテストはサイトごとに繰り返される。これはたいていの場合 DUT 自身の DFT(Design-For-Test)性能によって可能となる。SoC のコンカレントテストはしだいに導入されてきている。しかしながら、多数のダイを搭載した SiP(System-In-Package)の使用増加がこの傾向を加速した。なぜなら、多数のダイは自然と単独でテストされる能力を持っているから(確かにウェーハプローブ工程中の場合として)。テストの領域で加速される二つの主要な要求がある。一つは機能的に独立したブロックに分離できるテストのハードウェアの能力、もう一つは、独立した“フロー・ドメイン”を独立して管理し、完全なテストプログラムを構築するためにそれらを結合させる、テストソフトウェアの能力である。後者の要求は、信号アクセス、クロストーク問題、消費電力管理の点からの特定の DUT 性能により複雑なものとなる。

## 6 テスト

### 2.1.2.5 製造構成としてのシステムテスト

製品機能の厳密な妥当性確認は最終的なアプリケーションで行われる。ATE は最終動作環境を正確に複製できないので、そのアプリケーション環境を厳密に模倣したシステムテストが製造フローの一部として複数回用いられる。システムテストは製造の ATE フローの中で、全ての製品に対する手法として、または基礎サンプルとして用いられるかもしれない。最終戦略は製造者および、または製造ライン品目によって変わる。システムテストには、手動あるいは自動によるシステムテストへのデバイスの追加/システムテストからのデバイスの削除が要求される。ATE やシステムテスト、あるいはその両方を併用した最終製品テストフローは一般的に経済的基礎を成すものである。

### 2.1.2.6 ユニットレベルにおけるテスト追跡性の継続

製造データのフィードバック工程の一部として、個々のダイまで遡ることのできるテストデータが収集および管理されなければならない。組み立て後の複雑に積層されたダイの不良原因解析を可能にするために、マルチダイ・パッケージの増加とともに、この能力がより重要となるだろう。

## 2.1.3 テストの経済的スケールリング

### 2.1.3.1 同時測定の物理的経済的境界

【訳者注:原文では parallelism となっている、これは同時測定テストを示す multi-site test よりも広い意味を含むが、特に大きな差がない範囲においては同時測定と訳した】

ここ数世代の間、特に汎用メモリにおいて、またデジタルロジックにおいても、トランジスタ数や機能の増大、入出力とコアのさらなる高速化などに関連して、同時測定数(1回のテスト工程の DUT の数)を持続的に増やすことが、テストの経済的スケールを維持するための主要な方法であった。現在のテストツールとインタフェースハードウェアの統合パラダイムにおいて、同時測定数のさらなる増加は、すぐに非直線的な限界に達し、その影響は次世代に現れるであろう。これは、物理的または電氣的な近接を許容しながら、DUT とテスト機器の間の空間にどれだけ多くの電気チャネルを押し込めるかという実用的な限界による。テストの経済的スケールリングを持続させるための代替手法、または現在の発想を越えて同時測定数を更に増加させることができるような、DUT、ハンドリング、コンタクト、テスト機器統合についての新しいパラダイムが必要となるであろう。

加えて、同時測定テストの経済的境界は、特に少量生産の SoC デバイスにおいて、サイトの個数(の増加)に伴い、テストコストが良好ではない、あるいは全く良くない段階に達している。工場効率、ロットサイズ、装置停止時間のような要因に影響される総合装置効率(Overall Equipment Efficiency(OEE))のような“背景的”問題により、テスト時間の高速化やより多くのサイトを同時測定することにより達成するテストコスト削減は、漸近的に境界となっている。

### 2.1.3.2 (デジタルロジック)テストデータ量の管理

デジタルロジックのダイの複雑さと内容の増加に比例してテストデータ量(ベクタの数と幅)が増大している。この追加的なテストデータ量は、テストツール(ATE)のチャネルあたりの追加ベクタメモリの深さを増加させ、DUTあたりのテスト時間を増やすことで、テストの資源、運用コストをとめどなく増大させている。現在、多くの論理テストベクタの圧縮手段があるが、テストデータベース自体(スキャンベースのテストの場合)での圧縮や、製品ダイそのものに埋込まれた圧縮ハードウェア(DFT)を通しての圧縮など、種々の方法が開発され適用されている。増加を続ける製品の複雑さと、より高い製品統合レベル(例えば SoC、SiP)のために、データ圧縮は、構成要素のビジネス区分を横断して更に広く使われるようになるであろう。また、最終的には圧縮の率(すなわち、非圧縮に対するテストデータベースの圧縮率)の向上が必要かもしれない。

### 2.1.3.3 インタフェースハードウェアコストの管理

テストとプローブインタフェースのハードウェアおよびテストソケットに基づくコストが、テストコスト全体のなかで占める割合が増加している。これには、より高速(Gb/s)で複雑な DUT I/O プロトコルや増加した DUT 並列性、信号と電源の多ピン化、電力供給や信号線チャネルの忠実度要求の増加など多くの要因がある。これ自体は

憂慮すべき傾向ではあるが、それは、全体のテスト工程コストおよび生産テスト全体の経済的スケールリングが持続できるか否かに照らして考えなければならない。受け入れ可能な範囲でのインタフェースハードウェアのコスト管理はまた、技術的ドライバと境界条件にも依存するかもしれない。例えば、そのようなハードウェアのための主要な材料基盤として、可能な層数内で FR4 材料【訳者注:低伝導率のプリント基板材料】の使用が持続的に拡張していることなどがそれである。

## 2.2 困難な課題

### 2.2.1 テストコストと総合装置効果

最近の 10 年間において半導体総利益に対するテスト投資の割合が着実に減少している事実が示すように、テストコスト低減についての多くの進展が、時間をかけてなされてきた。装置の革新において、テスト時間、同測効率、コンカレントテストとアダプティブテスト、そして施設運転源(電力や設置スペース)などの分野の経済性が、今後も主要な牽引要素であり続けるであろう。しかしながら、特に“多品種少量”テスト環境では、テストコストは現状ではテスト装置それ自体より他の要因により制約されることは明らかである。総合装置効果(OEE, Overall Equipment Efficiency)は一般的に、出荷可能な製品を生み出すのに装置が使用された時間の割合と定義される。言い換えれば良好な OEE 値は、装置の“空き”時間を最小化することで得られる。より少量のデバイスにおいては、テスト時間削減またはサイト数の増加はテストのコストに関しては、確実に効果をもたらすことにはならない。ロット開始時と終了時の遅延のような(テスト装置にテストすべき製品がない)要因が、支配的となりつつある。他に空き時間となる主な原因としては、コンタクタ故障によるジャム率、電源中断割り込みやデバイスを設定温度にするまでの時間(デバイスソーク)などである。これらの分野を改善するためには、作業の範囲をテスト装置自体の内側と外側双方の工程を含んだ作業として扱うことが必要であろう。

### 2.2.2 量産製造向けとしてのテスト開発(市場への展開)

テスト開発の複雑さに対応するために被テストデバイスのさらなる複雑化について述べた。特に、多くのアナログ機能、非決定論的動作、そして複数ダイパッケージ化となる SoC はテスト開発複雑性での対応が増加する。この増加する複雑性はテスト開発コスト増を引き起こし、更に重要なことは、市場要求期間に間に合わないテスト開発は結果として市場参入に役に立たず、無用となる機会損失コストとなる。

### 2.2.3 システムティック欠陥の検出

業界は製造プロセス技術や回路感度の変化と設計モデリング限界に起因する、製造の不完全さに関連したテストと歩留り習熟の新しい技術課題に直面している。

- 設計とプロセスのやり取りの増加は、システムティックな欠陥を増加させている。例えばパターン密度、パターン隣接および不完全な光学的近接効果補正(OPC, Optical Proximity Correction)とダブルパターンアルゴリズムのために、そのような欠陥は、特定の回路/レイアウト形状で起こる。それらはシステムティックであるが、まれなことで発生条件が複雑なためランダムに発生するよう見える。
- プロセス技術の進展は、回路機能に影響を及ぼす物理的欠陥の母集団を変化させている。例えば、High-k 誘電体、金属ゲートと 3 次元トランジスタ構造に利用されるような材料に替えることは欠陥の母集団を変化させる。
- 回路感度の変化と増加するプロセスばらつきは、おそらく以前には問題とならなかった欠陥を、将来は致命欠陥にしてしまいそうである。例えば、より短いクロックサイクルでは、ピコ秒の遅れを引き起こす欠陥が、より回路故障の原因となり易いことを意味する。更に、電力最適化または論理合成された設計では、十分なタイミングマージンを持ったパスがより少なくなる。そして、それはランダムな遅延欠陥がより故障を起こしやすくなることを示す。同じように、例えばクロストークやパワー/グランドバウンスのような雑音効果の増加はノイズやタイミングマージンを減少させ、再び欠陥に対する回路感度を増加させる。動作中に電圧と周波数をスケールさせる[DVFS]ような動作の最適化は電圧マージンを減少させることになり、結果として欠陥の影響を受けやすくなる。
- モデリングの複雑さと先進回路設計は、すべてのプロセス条件下で回路が電力とパフォーマンスの仕様

## 8 テスト

が見合うことを EDA/設計が保証する能力の限界となる。フィン付 3 次元トランジスタ構造のような新構造またはプロセス変動の増加に伴ってモデル精度が限界となっており、新しい測定法とモデリング機能が要求される。モデル精度の低下と先進回路設計は回路のパラメトリック故障モードを増加させることになり、そのことはテスト工程にまで及ぶことになる。

- トランジスタの一層の微細化は負(正)バイアス温度不安定性のような重要な劣化性メカニズムを増加させる。
- 放射線が引き起こすソフトエラー率は SRAM に加え、少なくとも大型企業システム用途のチップでは防止すべきラッチ部やフリップフロップ部で増加している。その他、1 個の放射線による影響で複数の隣接セルが反転したり、最小電圧動作時や低電圧時での誤動作の問題が多く観測されたりしている。

欠陥モデリング、テストパターン生成、テスト検出率算出、DFT 解決策、テスト・アプリケーションと故障診断を含むテスト工程のすべての側面で、これらの実際に発生し変化する、製造/動作上の不完全さの母集団を扱わなければならない。有望な戦略としては、スペックとして考慮していなかった低 VDD または温度を検出するテスト、統計的手法、アダプティブテスト、そして現実的な欠陥ベースの故障モデリング/ターゲッティング、等を含むことである。

## 2.3 将来の可能性

### 2.3.1 テストプログラム自動生成

EDA(Electronic Design Automation) 業界がスキャン DFT、最近ではスキャン圧縮、および(例えば)埋め込みメモリに対する DFT 合成までに関わる広範な能力を提供している一方、半導体供給元のソフトウェア開発コストについて、(特に大規模なアナログ回路や、非決定的なインタフェースが搭載された SoC デバイスの)実際のテストプログラムの生成での、生産性や自動化に関する可能性が提示されている分野がある。今日、製造またはテストエンジニアリング会社では、新しい顧客のための独自かつカスタムな個別のテストプログラム生成に多くの時間を費やしている。半導体ベンダ自身が社内開発した、数々の追加的なテストプログラムツールと同様、主として ATE とともに ATE ベンダによって提供された、異なる多くの先進的なソフトウェア製品がある。テストプログラムのためのデータ構造の標準化も以前から行われ、新たなものもできている(テストデータ・フォーマット(TDF)あるいは標準テストインタフェース言語(STIL, Standard Test Interface Language))。加えて、デバイス I/O にリアルタイムに対応する、High-Definition-Language(高精度言語)フォーマットでデバイス I/O の機能を抽象化できるような、テスト装置の新しい機能も利用可能になりつつある。同様に、テスト装置に、DFT によって可能となった個々のデバイス機能のコンカレントテストを実行する能力が加わり、更に複雑さを増しつつある。この機能を利用することは、テストプログラムの自動化に関するもうひとつの課題となっていく。しかしながら、いまだに残る基本的な事実として、テストプログラム全体を生成かつ検証し、広く利用可能ですぐ使える状態のソフトウェア製品は存在せず、業界をわたり使用されている何千ものソフトウェアのほとんどは、会社をわたり似たようなツール上で、基本的に似たようなことを行っているのである。

## 3 テストと歩留り習熟

良品/不良品を選別する機能に加えて、テストは製造されたチップの特性を理解するために基礎的なフィードバックループを提供する。テストは、欠陥位置絞り込み、故障原因の特定、コスト的に有効な不良の分離、プロセス測定と設計・プロセスの間の感度をサポートするため、その能力を開発し続けなければならない。

### 3.1 電氣的テストベース故障診断

テストベースの習熟は、

- (1) 欠陥
- (2) パラメトリックとばらつき

の両方に対して必要とされる。欠陥の習熟はランダム欠陥とシステムティック欠陥の両方に対して必要とされ

る(「欠陥と故障メカニズム」節を参照)。テスト用構造【訳者注: test structure、評価用素子のことで TEG(test element group) とも呼ばれる】ベースの欠陥習熟手法は、伝統的な面積に関わる制約と、多数のカバー可能な物理的設計形状の双方に悩まされる。影響を受けやすい局所的な欠陥は、OPC アルゴリズム、リソ工程でのダブルパターンニング、近接形状、および隣接密度を含む複雑な作用となるので、製品テストの故障診断による基礎的習熟がますます必要とされ、それでもって重要な物理的設計形状を継続的に製品に反映する。

パラメトリックに関係したフィードバックは、

- (1) デバイスと内部接続パラメータ
- (2) 設計プロセス相互作用

に対して必要とされる。デバイスと内部接続パラメータの計測は、伝統的にテスト用構造、特にスクライブライン FET や内部接続抵抗や容量モニタに依存している。ダイ内ばらつき増加は、スクライブラインとチップ間のオフセットに対し不利に働く。加えてテスト用構造は、カバー可能な物理的、電気的形狀の数に制限がある。回路パラメータがそのような形状にますます影響を受けるようになるにつれ、製品テストの基礎的な習熟が必要になる。チップ上に埋込んで分布する、熱と電源電圧のセンサや、プロセスモニタリング用のリングオシレータ、クリティカルパスの間接的モニタリングは、マイクロプロセッサクラスの IC では、パラメトリック不良の診断やばらつき理解に今日では標準的に使用されている。変化の把握は、空間的かつクロス・パラメータの要素(トランジスタ長、 $V_t$ 、ソースドレイン抵抗などの変化)の中で変化の構造を解くことを含んでいる。この空間的要素は、ダイ間、ダイ内の両方の要素を含む。解析結果は少なくとも 3 種類の方法で歩留り改善に使用できる。一つは製造工程へのフィードバックによる工程修正、次はモデリングを通じた設計へのインプット、3 番目は後工程へのアダプティブな運用制御である。埋め込まれた評価用素子と製品パワー/性能との相関関係が、修正措置を有効にするのに必要であり、製品テストがこのプロセスの重要な要素であることに注意しなければならない。潜在的に空間的要素を含むクロス・パラメータの変化は、デジタルと同様にアナログ/RF 回路にとって重要となる。アナログ/RF にとって製造工程と運用環境を把握できる十分な感度を持った方法が必要とされる。更に埋め込まれた評価用素子は、テストコストの問題で、あるいはファブレスのチップ生産者のためのデータアクセスに制限があったりするため、スクライブラインデータが利用できなかつたり利用が制限される場合にも、パラメトリックデータを提供できるため、有用である。このような埋め込み型評価用回路は、設計中に依存すべきモデリングの能力が、技術の変化に追従できなくなるにつれ、またより多くのパラメトリックな問題がテストフロアで発生するにつれ、その重要度を増すであろうことに注意すべきである。製品テストは、Power-grid-droop【訳者注: IR ドロップの一種。局所的な電圧降下。以下電圧降下と訳す】や、クロストーク故障のような、ノイズに関係した欠陥を導くものを含め、設計とプロセスの相互関係にフィードバックを行うのに、他にはないほどよく適している。動作状態(周波数、電圧、場合によってはボディバイアス)を負荷調整により適合させるアダプティブ回路動作は、チップメーカーが分布センサをチップに埋め込むことを進めるといふ相乗効果を生む。それは同時に、動作中のガードバンドを減少させることに結びつくので、テストの仕事はより困難になる。テストが微妙な故障メカニズムを検知し、それらの検知に基づいた歩留り習熟にフィードバックを行うことが更に重要になってくるのである。

電気的テストベースの故障診断手法は、メモリ、論理回路、スキャンチェーンやメモリを含む回路に対して必要とされる。論理回路の故障診断は近年の研究開発の活発な分野であるが、精度、分解能と大量のデータの要求に関する課題がいまだにある。レイアウト情報の統合は一般的に使用されている。インライン検査結果の統合化の技術は既に開発されているが、インラインデータの入手可能性や、かつてないほど小さくてほとんど見えない潜在的なキラー欠陥に苦しんでいる。多くの不良ダイを集めた大量故障診断(Volume Diagnostic)は、残っている課題を洗い出すのに有望な戦略である。大量故障診断に使用されているような多数個ダイの統計的手法は、ランダム不良のメカニズムからシステムティックなものを区別するのに有望である。システムティック欠陥のメカニズムを特定することは、プロセスの改善、DFM 補助(ホットスポットの特定を含む)やテスト品質保証のために重要である。区別を実施する際の課題には、照合されるべきシステムティックに対するランダム不良の期待値の設定がある。伝統的なクリティカルエリア分析法を含む設計分析に基づく期待値は、不良の可能性の仮定の作成が必要なこと、もしくは設計とプロセスの複雑な相互作用の中では正確性に欠ける欠陥モデルに頼らないといけないことに悩まされている。上に述べられるように、製品に基づく故障診断がますます重要

## 10 テスト

となる。実際の製品ハードウェアに基づいた故障診断の必要性は、現在、近隣の形状やローカルのパターン密度などのますます複雑な関数となっているシステムティックな欠陥メカニズムによって、重要性を増す。その結果、多くの故障メカニズムが製品上でしか観測できなくなるかもしれない。更に、製品に基づいた故障診断では、歩留りを制限する重要な故障メカニズムに自動的に焦点が置かれる。どんなシステムティックな欠陥メカニズムも個々の発生はまれであるかもしれないので、ボリュームベースの診断は重要である。多くの不良ダイにまたがるデータの蓄積は、真のシステムティックなメカニズムを識別するために必要となる。

光学的欠陥診断/故障解析方法(裏面エミッション、変調マッピングなど)は、電氣的な診断を補足するに違いない。そのような技術は正確さを改善し、例えば検知することが困難な欠陥に対し、多くの電氣的な診断のミスを捕えることもできるだろう。これらの方法は、従来の PFA (Physical Failure Analysis) より短い時間でチップのより大きなエリアをカバーすることができる。ツールの新たな役割は、特に不可視性の不良メカニズム(不可視性の欠陥 もしくはパラメトリックの問題)が増加し、また PFA の成功率とコストが不良メカニズムにより異なるという関連する事実がある状況で、与えられた不良箇所あるいは不良箇所のグループが PFA に適切かどうかを導くことである。故障したスキャンチェーンの歩留りへの影響は、最近の故障診断の焦点となっているが、より幅広く適切で正確な手法が求められる。更に、クロックや他のインフラ的な信号に影響する欠陥は、今日の手法では故障診断が難しい。ツールは、抵抗性ブリッジ、抵抗性コンタクト/ビアやオープンを含むすべての現実的な物理欠陥を扱わなければならない。また、スキャンベース、BIST ベースのテスト、ファンクションテスト、IDDQ テスト、および遅延テストを含むすべての主要なテスト手段で検出された故障に対する故障診断を扱う必要がある。

ツールおよび手段は、下記に示すいくつかのソフトウェアベース故障診断の複数の段階をサポートすべきである:

- 分解能とテストコストのオーバーヘッドとのトレードオフを考慮しながらの、生産にとって価値あるデータの収集。テストデータ圧縮と BIST 手法は懸念事項である。最低限の要求は、故障しているブロック(例:コアまたは IP)の特定である。平均的なテスト時間のオーバーヘッドは 1%未満であるべきである。
- 選択されたエンジニアリングやモニタウェアまたはロットでの広範なデータ収集。その粒度は、正確な故障タイプのパレート図を作り、ツールに共通な解析を行うのに十分でなければならない。スループット時間は、十分な生産量の生産プロセスに適宜フィードバックできるくらい短くなければならず、また時間ゼロの故障と信頼性の故障の両方【訳者注:現在起きている故障と将来起こる故障の両方】をサポートしなければならない。ツールは、故障ネットを特定するだけでなく、故障した配線層も特定するべきである。そのような解析は、レイアウト情報とインラインテスト結果の両方、またはどちらかを故障箇所特定と統合することが必要であろう。通常のテスト時間は秒オーダーであるべきである。生産の初期段階では、相当な部分がこのような詳しいログに出力されるかもしれない。
- 単一トランジスタ、数  $\mu\text{m}$  以下の配線部分、あるいは故障した配線層を特定する個別のダイ解析。そのような解析は、故障診断の分解能向上を狙う特別用途の ATPG や、フェイルデータ収集とアナログの再シミュレーションの両方もしくはどちらかを伴い、故障解析にて追跡調査されるだろう。解析時間は前の二つのケースよりかなり長いかもしれない。

データ収集のインフラは、増加する故障診断の要請をサポートしなければならない。特に、ATE は DFT テスタに関する表 TST7 に予測されたスキャンベクタ率モデルにおいて、スキャンデータを制限なく収集すべきである。BIST やテストパターン圧縮のような DFT 技術は、必要なデータ収集のサポートを特に考慮して設計されなければならない。IDDQ 計測デバイスは、故障診断により要求される精度のレベルをサポートする必要がある。故障診断のデータ収集は、単一もしくは少数の故障ネット候補に特定することを可能にするために、全テスト時間に対して著しく追加すべきではない。加えて、工場統合【訳者注:工場をまたぐデータ管理の統合】の問題も処理されなければならない。データの取得と管理の能力は、歩留り習熟のための統計的解析と量産データのデータマイニングにおける信頼性向上をサポートしなければならない。ファブレス/ファウンドリとサードパーティ IP を含む、分散した、設計、製造、およびテストのための、安全な歩留りデータフローのメカニズムが必要とされる。自動化やデータ共有をサポートするには、STDF-V4-2007 スキャンフェイルデータのような標準テストデータや、それらの伝達をサポートする基礎構造が必要とされる。分散環境の、設計、製造、およびテスト

は、(例えばデザインハウス、ファンドリやテストハウスが)、どこに問題があるのか決定する手助けとなるような手法とツールの新しい役割を作り出す必要がある。

## 3.2 故障解析

電氣的テストに基づく習熟はますます重要になっているが、特に欠陥タイプがよく知られておらず、技術習熟するまでの間や、テスト漏れやシステム/市場故障のような重要な故障の理解のために、故障解析[FA(Failure Analysis)]がいまだ必要とされる。CMOS 技術の移行は伝統的な FA 工程に大きな課題をもたらす。欠陥分離、加工や物理特性評価は時間がかかりすぎ、定常的な解析としては難しくなる。解析のペースを保つためには、現存するツール/技術の発展やブレイクスルーが必要とされる。FA の性能ギャップについて以下の優先リストに詳しく述べる。

### 3.2.1 回路ノード・プロービング

昨今、顕筒内蔵型(SEM)や原子間力顕微鏡によるナノスケールのプロービングは、1 層目にある最小寸法トランジスタやSRAMの解析に用いられる。この技術は、ますます微妙で観測できない欠陥や、個々のトランジスタパラメータを測定するために必要となっている。主要な制限としては、デバイスへのダメージ、プローブドリフト、およびプローブ接触抵抗を回避するために必要とされる低加速電圧における SEM 像の質にある。

### 3.2.2 欠陥分離精度

ダイ状態での電氣的故障や欠陥を同定する現状のツールは、感度と空間分解能が限界に近づいている。例えば、大多数の技術(TIVA: Thermally Induced Voltage Alteration、PEM: Photo Emission Microscope)などは赤外線を利用している。赤外線は空間分解能の限界が約 1 $\mu\text{m}$  であるので、現状では最小加工寸法よりも1桁以上も分解能が悪い。SEM や FIB の手法(電圧コントラスト、EBIC: Electron Beam Induced Current)は分解精度がもっとよいが、露出した導体上に対してのみ有効であり、全面が絶縁膜で覆われた完成デバイスにおいては効果的でない。近接場を利用した手法が存在し、あるいは新しく開発されている(例えば、光的、磁氣的、AFM: Atomic Force Microscope)が、この技術の適用は表面または表面近傍の露出した形状のサンプルに制限される。根本原因となる不良箇所まで信号を追跡するために多数のナノスケールの配線に電氣的刺激を与えるために、高安定で非侵襲な【訳者注:回路を傷つけない】プロービング能力が必要とされる。

### 3.2.3 パッケージ状態での解析

パッケージ状態での欠陥分離や画像化は、有機膜、チップスケールパッケージ、チップ積層、パッケージ・オン・パッケージ形状のような新しい技術により強い影響を受ける。磁気電流像、X 線トモグラフィや CSAM (C-mode Scanning Acoustic Microscopy) のような基幹手法の進歩は重要であり、引き続きテストと治具が重視される。

### 3.2.4 CAD/EDA ツール

故障解析は故障場所を直接見出したり、他の故障同定用ツールと相互に補完したりするためにスキャン手法に大きく依存している。(EDA ツールには)継続的精度向上、「ソフト」欠陥や AC 欠陥【訳者注:遅延的な欠陥】への応用と継ぎ目のない統合性が求められる。CAD ナビゲーションは空間と時間ベースの両方、すなわちシミュレーション波形とリンクしなければならない。

### 3.2.5 オンチップ・タイミング計測

電源の低電圧化は、ホットエレクトロンによる発光強度の急激な減少と発光波長の長波長側へのシフトを引き起こす。検出性能を維持するために、時間分解発光解析(TRE: Time Resolved Emission)技術と固浸レンズ(SIL: Solid Immersion Lens)光学系の改良が要求されている。レーザボルテージプローブ(LVP)のようなレーザを用いた新しいプローブ技術も有望視されている。動作時に電源電流が増加することによる発熱対策として、チップ裏面観察を妨げたり振動要因となったりしない冷却方法の開発も必要である。これらの分野での改良がなされない限り、根本的に異なる技術を開発する必要があるだろう。

### 3.2.6 サンプル準備と治工具

パッケージ分野における様々な発展が、タイミング解析や欠陥分離のための裏面観察を難しくしてきている。例えば、時間分解発光解析(TRE)や光誘起抵抗変動解析(OBIRCH: Optical Beam Induced Resistance Change)のような解析ツールを適用するには、パッケージ、ダイチップ露出、治具において、反りやクラックの要因となるストレスの軽減制御が必要となる。積層チップパッケージや 3D チップでは観察サンプル作成手法が大きな課題になるだろう。

故障解析のための新たな開発には膨大な費用と高いリスクが生じている。特に、スループットが低下し、不良解析の顧客価値が減少している。その結果、装置の導入がますます一極化し、全体の装置市場として発展の可能性や魅力が薄れてきている。特にこの傾向は小規模な会社やスタートアップ企業に見られる。たった 1 社や 2 社の研究開発投資や偶発的(または突発的)な装置開発に頼っている現状から、多くの参加企業で開発の費用とリスクを分担するコンソーシアム方式に置き換わる必要があるかもしれない。

## 4 テストコストに注目したトピックス

量産テストコスト削減における著しい進歩は継続しているが、多くの技術課題が残っている。半導体テスト技術は、同時測定テストの多チャンネル化、高度化の傾向を継続しており、先進的なプローブカード技術、新たなハンドリング技術、DFT 技術によって可能になった。この傾向の証拠は低性能な ATE システムやメモリテストおよびロジックテストにおけるロードボードの解決策(BOST)の増大で明らかになっている。多くの努力がテストコスト削減に費やされているにも関わらず、2011 年に ITRS で行なわれたサーベイ回答者の 40% (2009 年ではサーベイ回答者の 30%) が最大の関心事の 1 つとしてテストコストを考えており、サーベイ回答者の 85% はテストコストが今後の最大の関心事になると予期している。重要な技術課題は同様の改良をアナログや RF の広範囲な市場へ展開することになる。現在の DFT 技術はまだ総括的な解決策ではなく、特定エリアでの部分的な解決策である。テストコスト上の継続的な注目は、テスト手法や ATE アーキテクチャ、およびその他の考慮事項の中で複数のテスト工程にまたがった分散テストといった間でコストのトレードオフをより良く理解することになり、全体的なテストコスト削減になる。

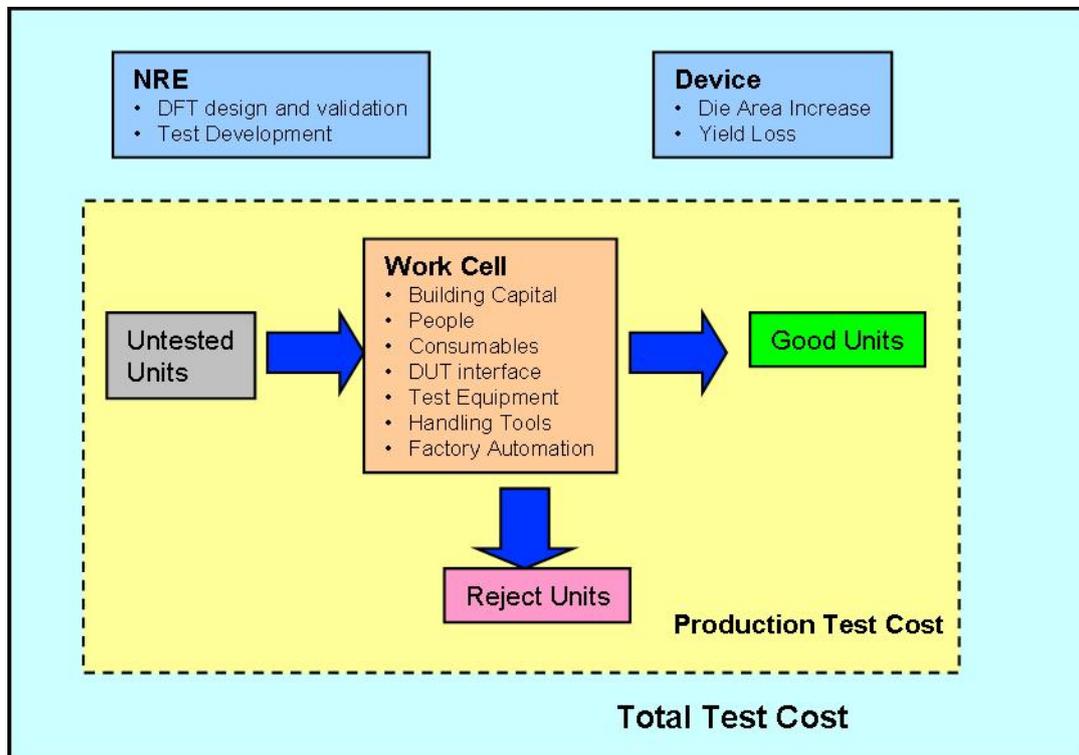


Figure TST 1 - Test Cost Components

半導体のテストコストは図 TST1 に示すように多くの要因を持ち、図 TST2 に示すようにマルチダイの SiP はさらに複雑になる。

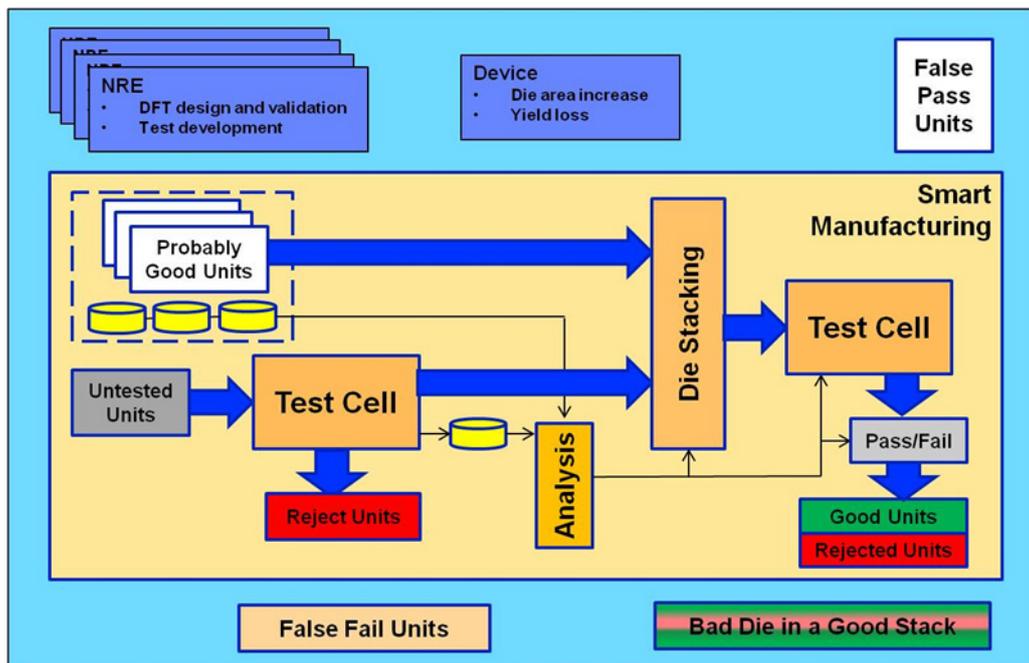


Figure TST 2 - Multi-die Flow

テストコストと関係する様々な側面や傾向をより良く理解するために、ITRS は 2009 年に広範囲なサーベイを実施して、2011 年にこのサーベイを繰り返した。ほとんどの参加者は製品にクラス最高の品質を考える (57%)。更に、参加者の 3 分の 1 以上が、製品の競争力 (すなわち、より高品質の製品、または、より低コストの製品) にとって重要であると感じている。テストの主な価値は、品質を得ることと、歩留り向上を支援することであると、このサーベイは示している。参加者の 5% (2009 年では 6%) だけが、テストの潜在的価値を強調せず、必要悪としている。単位個数あたりのコストや総生産コストからのコスト比率、秒あたりのコストといった主要な指標を超えた精巧なコストモデルを展開する市場参加者はほとんどいない。総投資額や、トランジスタまたはビットあたりのテストコストのような指標は、テストのコスト有効性を評価するためには用いられない。特定の要因の重要さは、デバイスごとに実質的に変化する。テスト開発コストは少量生産製品にとってはより重要となる。DFT の面積コストは、その製品がパッド制限かコア制限となるかどうかによって依存している。許容できるテストコストはまさに市場スペックであり、テストの価値とそのコストのバランスによって決定されなければならない。

ITRS サーベイの参加者はふたつの主要なコスト要因として、ATE 設備投資とインタフェース費用の支出を挙げており、続いてテストプログラム開発やシリコンデバッグとしている。また、今後、主要なコスト要因として、新たな欠陥や信頼性問題、デバイス性能指標、KGD 要求、3D 積層によるテスト要求を挙げた。

#### 4.1 現在のコスト要因 (上位)

- ATE 設備投資、およびインタフェース費用
- ATE 利用効率に対する懸念の増加 (特に少量生産製品)
- テストプログラム開発コスト
- KGD (や 3D TSV) のテスト時間およびテスト検出率

#### 4.2 将来のコスト要因

- 新しい欠陥および信頼性問題
- パッケージングでのテスト要求

## 14 テスト

- インタフェース費用
- テスト結果データ量、診断、歩留り習熟、追跡性

現在のテストコスト要因に新たに追加した項目は、ATE 利用効率を押し下げる要因である(特に少量生産製品)。加えて、3D TSV 適用製品で KGD のためのテストタイムやテスト検出率が現在のコスト要因のひとつになった(この項目は以前に将来のコスト要因に載っていた)。このことは、3D TSV が現れ、テストコストの式に影響を及ぼしていることを明らかに示している。将来のコスト要因では、テスト結果データ量、診断、歩留り習熟や追跡性がより重要なコスト要因になっている(2009 年と比べて)。ATE 投資コストは伝統的には、単純にデジタルピンあたりのコストを用いて測定されていた。これは便利な指標であるが、ピン数削減や測定サイト数により生じるスケーリングと同じように、装置の基本構成や中央装置に関連した基本システムコスト部分も無視されてしまうので、見誤ってしまう。更に、この点は、同じ基本構成をテストチャンネルのあらゆるセットに使うことができる ATE プラットフォームにおいて、現在の傾向と整合しない。以下の方程式は、将来のテスト技術の関連コスト要因の観点からテスト工程の投資コストを表現している。

$$C_{CELL} = C_{BASE} + C_{INTERFACE} + C_{POWER-SUPPLIES} + C_{TEST-CHANNELS} + C_{OTHER}$$

この式では、 $C_{BASE}$  はピン/チャンネルがゼロのテストシステムの基本コストである(例えば、機械的な基本構成、バックプレーン、テストのオペレーティングシステムソフトウェア、中央装置のコストを含む)。 $C_{INTERFACE}$  はデバイスにインタフェースするために必要な全てのコストを含み、例えば、インタフェース用電子部品、ソケット、プローブカード(予備を含む)である。 $C_{POWER}$  は供給電源のコストである。 $C_{TEST-CHANNELS}$  は測定器(デジタル、アナログ、RF、メモリの測定器)のコストである。 $C_{OTHER}$  は残り(例えば、設置スペース)のコストである。実際的な考え方は、与えられた  $C_{BASE}$  の基本構成によってコスト効率よく達成することができる全体的な性能幅を制限するかもしれない、それは全体のテスト工程の計画で考慮されるべきである。例えば、ローエンドのシステムは空冷が基本構成だが、ハイエンドのシステムは液冷である。テストシナリオは、投資コストと性能指標を分けることによって評価される。例えば、重要な性能指数は時間あたりのユニット数をコストで割ったもの(UPH/\$M)、言い換えれば、時間当たりの出荷デバイス数量(スループット)÷総費用である。

図 TST3 は急速に上昇しているインタフェースコストを示しており、全体のテスト工程コストを支配することを避けるために絶えず抑えなければならない。ITRS のテストコスト節の担当委員メンバは多くの事例を指摘した。例えば、多量生産する SoC 製品の一例では、ATE コストはインタフェースやプローバコストの 3 倍になる。いくつかの低温工程では、ATE コストはインタフェースやプローバのコストの 2 倍になる。ストリップハンドラは ATE と同じくらい高価となることがあり。多量生産するメモリ製品の一例では、プローブカードコストがウェーハテストにおける総コストの 60%になる。

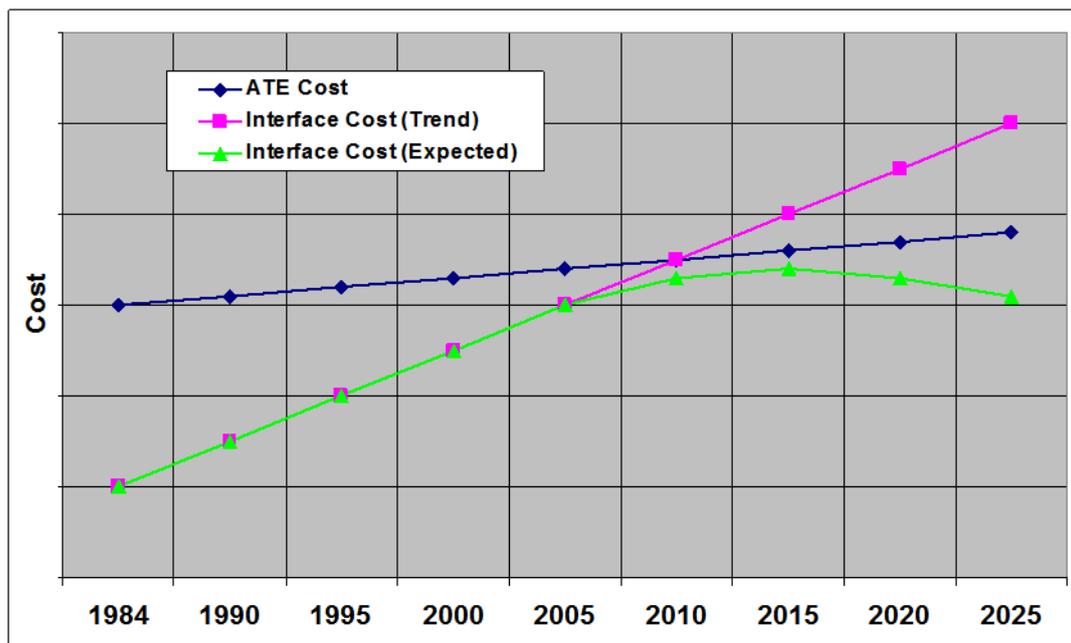


Figure TST 3 - Test Cell Cost / Unit versus Interface Cost Trend

テストコストの最適化はサプライチェーンが分かれるため限られている。例えば、プローブカードやハンドラのインタフェースは設計会社と下請け製造業者とともに準備する必要があるかもしれない。サーベイでは現在使われているテストコスト削減技術の上位や、将来展開されるであろうテストコスト削減技術の上位を明らかにした。結果は次のとおり。

### 4.3 現在展開されているコスト削減技術

- 同時測定テスト、およびピン数削減
- 構造化テスト、およびスキャンテスト
- パターン圧縮／BIST／DFT および BOST
- 歩留り習熟、およびダプティブテスト
- コンカレントテスト
- ウェーハレベルの性能テスト

### 4.4 将来期待されるコスト削減技術

- 最先端の組み込み測定器
- 新たなコンタクト技術
- 潜在的な欠陥を検出し、潜在的に修復するシステムレベルテスト
- 組み込みフォルトトレランス
- 同一 ATE でのマルチウェーハテスト
- 集中化サーバでのデータ処理

2009 年と 2011 年の間で、ウェーハレベルでの性能テストは、コスト圧力のもとで品質目標を達成するための手法のひとつとして普及した。2009 年では、このアプローチは将来技術のひとつとして宣言されていた。2011 年では、現在の技術のひとつとして宣言した。同様に、アダプティブテストは将来技術から現在展開されている技術となった。最後に、委員は既存技術を長く生かすために、より多くの BOST のトレンドを見ている。例えば、ロードボード上に、テストでは扱うことができない高速クロックを生成するための簡単な発振器を搭載したり、比

## 16 テスト

較を行なうためのゴールドデンデバイス(KGD)を搭載したりして利用する技術である。尚、これらの技術は、主に既存テストを延命するために利用されており、新しい設備環境で、より安価なテストを購入することを許すための技術ではないことを注記する。

将来のテストコストを制御する技術として三つの新しい技術がある。潜在的な欠陥を検出し、潜在的に欠陥を修復するシステムレベルテストは、テストコストを制御する潜在的な将来技術のひとつとして普及しつつある。更には、マルチウェーハのテストを可能にする設備が研究されている(特に NAND フラッシュやその他のピン数が少ない製品群であり、SoC やハイエンドなマイクロプロセッサのような製品群ではない)。最後に、全体のテストコストを制御するために集中化サーバリソースへの関心の高まりがある(特にイメージセンサや冗長解析)。

### 4.5 ベースコストのトレンド

総ベースコストは、時間がたつにつれてわずかに減少すると予想される。プラットフォーム戦略はベース基盤の寿命を延ばすだろう。そのうえ、コストはベース基盤から計測器へ移行するかもしれない。同時測定テストはスループットを向上させるとともに、ベースコストを複数のダイに分散させる。その結果、サイトあたりのベースコストを低減させる(またベースコストへの懸念をなくさせる)。同時測定テストを使用してコスト削減を成功させるためには、ATE 基盤は共有のリソースはスループットを制限するかもしれないので、専用のリソースを割り当てることが重要である。メモリにおける大量な並列テストの傾向は続くだろう。そのうえ、新しいプローブカード技術とハンドラ技術は、他の製品区分での(ウェーハとパッケージテストの両方において)大規模な並列テストを可能にするだろう。

### 4.6 チャネルコストのトレンド

チャネルコストの継続的な削減は、同時測定テストを使用したコスト削減を成功させるために非常に重要である。サイトあたりのチャネルコストが支配的であると、多くのサイトにベースコストを分散できるという利点が少なくなる。一方、高価なチャネルを複数サイト間で共有するとスループットを制限する。テストの電子回路の継続的な集積化を通じ、また、ATE ピンへの要求性能を軽減するような DFT の適用の増加によって、チャネルコストは削減が見込まれる。加えて、少数テストポートを利用したピン数削減のテスト戦略は、サイトあたりのチャネルコストを削減できる。

比較的に高価格のアナログや RF のテスト計測器のコスト、そして、これらの回路のテストに関連した長いテスト時間は、主要な課題としてそのままで残っている。アナログやミックスシグナルのための DFT 手法が要求される。

高速 I/O のテストコストは重要になってきている。通信分野では、SONET のデータレートは 2.5Gbps から 10Gbps~40Gbps のレンジに拡大するだろう。そのうえ、同時双方向信号のような技術が重要になりそうで、テストコストを増加する。高速 I/O の DFT 技術と新しいテスト方法が、テストコストを抑制するための解決策としてますます重要になる。

### 4.7 電源コストのトレンド

同時測定数の増加に伴って、電源のコストは上昇する。特に、もしピン数削減技術が適用されるなら、サイトあたりの電源コストは、サイトあたりのチャネルコストの大半を占めるかもしれない。電源のコスト増は、電源と電力供給技術のイノベーションで食い止められるかもしれない。いくつかの DFT 技術では、テスト時間短縮を達成するために電源への要求が増えているということに注意が必要である。

### 4.8 インタフェースコストのトレンド

インタフェースコストの抑制は、同時測定テストを使用したコスト削減を成功させるために非常に重要である。

サイトの数に伴って急激に増加するインタフェースコストが支配的であると、サイト数増加の目的を無にってしまう。インタフェースコストは高帯域(2Gbit/s)、そして、多数の同時測定(128 サイト)で大きな課題となっている。市場でのプローブカード技術を広範囲にカバーするような一貫したコストモデルを開発する必要がある。プローブカードの長いリードタイムは、特に先進技術を用いたもので、多大なコスト問題を引き起こす。プローブカードのリードタイムは、このロードマップの展望範囲では半減されるだろう。ある種の製品にとっては、ウェーハテストを省略するか、または簡単で基本的なテストのみを行うことが経済的になるかもしれない。これからは高速 I/O の DFT 技術がインタフェース費用を抑制するための解決策としてますます普及するであろう。

## 4.9 同時測定のトレンド

前節で論じられたように、テストコストを下げる最も重要な方法は同時測定数を増やすことである。同時測定数を増やすことで得られる効果は以下によって制限される。

- (1) 高いインタフェースコスト
- (2) 高いチャンネルコストと電源コスト
- (3) 低い同時測定効率  $M$

$$M = 1 - \frac{(T_N - T_1)}{(N - 1)T_1}$$

ここで、 $N$  は並列に測定されるデバイスの数である ( $N > 1$ )。  $T_1$  はデバイスあたりのテスト時間である。そして  $T_N$  は  $N$  個のデバイスを並列に測定した時のテスト時間である。例えば、1 デバイスあたりの  $T_1$  が 10 秒で、 $N=32$  個の時の  $T_N = 16$  秒の時の同時測定効率は 98.06%になる。それ故、同時測定で増えるオーバーヘッドは  $(1-M)=1.94%$ になる。

*Table TST 2 – Multi-site Test for Product Segments*

チャンネルコストを削減する ATE の共有リソースは同時測定効率を下げる原因になるかもしれない(例えば、ミックスシグナルや RF のテストで顕著である)。そのうえ、低い同時測定効率で並列測定の数を増やし続けると、テストコストに大きな影響を及ぼす。例えば、同時測定効率 98%は 2 サイトや 4 サイトのテストには適切である。しかし、32 サイトのテストには、更に高い効率が必要になる。同時測定効率 98%では、シングルテストから 4 サイトテストへの移行で 10 秒のテスト時間が 10.8 秒に増える。しかし、シングルテストから 32 サイトテストへの移行では 10 秒のテスト時間が 16.4 秒に増える。つまり、同時測定テストの潜在的利点を大幅に減らすことになる(図 TST4)。2009 年以降、各企業は次世代のより多数個取りの装置より、テストコスト全体を下げるより効果的な方法の経験を積んでいる。特に高度な機能のミックスや低電圧の応用分野では、多くのテスト利用上の課題がある。これらの装置ではしばしば、多数個測定は少なくてよいことが許される。なぜなら、利用効率を上げる手法的なテスト時間の改善が全体のテストコストに大きく影響するからである。

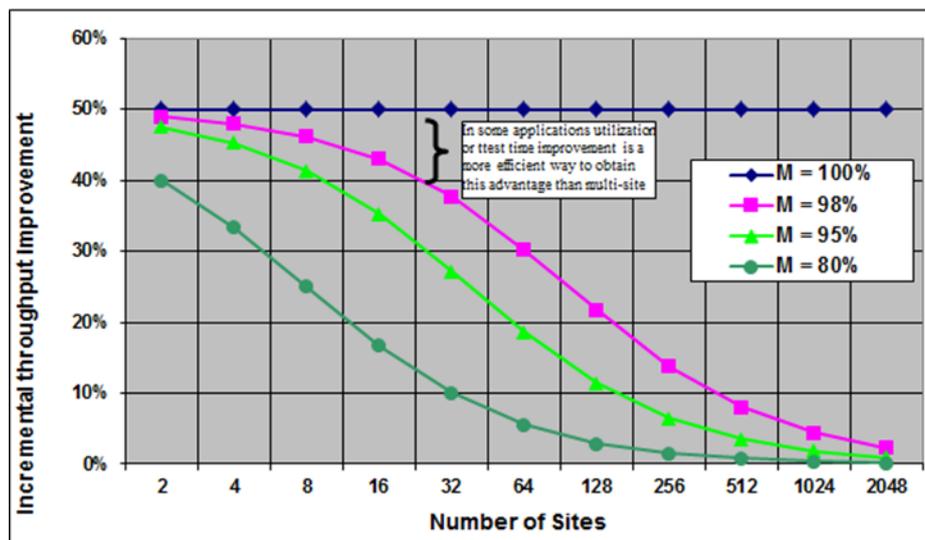


Figure TST 4 - Importance of Multi-Site Efficiency in Massive Parallel Test

図 TST4 は、各製品分野における任意のデバイスに対する同時測定数の予測トレンドを示している。カスタムな経済モデルが、カスタムデバイスのテストコストを減らすための最適化したロードマップを見つけて活用されるべきである。テストコスト目標を達成するための多様な方法やアプローチがあるということに注意が必要である。

#### 4.10 その他のコストトレンド

メモリ、ロジック、RF を集積する解決策としての SiP の劇的な増加は、KGD 対応のウェーハテスト品質を改善することと同様に、複合技術による設計のためのテストコスト削減がますます強く望まれている。

テストの開発期間とコストは、DFT 技術や、テストの標準化(テスト内容の再使用、テストプログラムの相互運用性、圧縮、生産対応の俊敏性などに役立つ)や、テストパターンの自動生成(構造化テスト手法など)や、これらを使用するプログラムで更に削減されるだろう。

BIST や組み込み自己救済(BISR built-in self-repair)技術のような独立したメモリ DFT は広く普及し、DFT はテストコストを抑制するために必須になるだろう。ある製品区分に対しては、新しい製造工程フローが経済的に理にかなうようになるかもしれない。例えば、後に続く工程に高性能テストを使うなら、BIST は低性能テストを使うことができる。

テスト調査に拠れば、テストコストを削減するための上位 5 つのテクニックは、ピン数削減、同時測定テスト、スキャン/パターン圧縮/BIST/DFT などの構造化テスト、歩留り習熟とコンカレントテストである。調査の回答者は、アダプティブテスト、測定機器の埋込みや、標準化努力(例えば CAST)も現在用いられている上位 5 つのコスト低減技術にはランク付けしなかった。しかしながら、アダプティブテスト、新コンタクト技術(例えば、MEMS、非接触プロービング)、ウェーハレベルの実速度テスト、組み込みのフォルトトレラントや埋込みの測定機器は、将来においてテストコストを削減するための手法として確認された。

#### 4.11 重要な関心領域

- 3D デバイスのための全体的なテストフローは多くのトレードオフを要求する。ウェーハテストとパッケージテストという(従来の)やり方と、部分積層を対象としたテスト工程追加をトレードオフするという新しい経済モデルの必要性が増している。コスト・メトリクスや不良検出率の予測はテスト設計期間ではできなくなり、これらを最適配分する新たなアダプティブテスト手法が要求される。
- 比較的に高コストなアナログや RF のテスト計測器と、これらの回路に関する長いテスト時間は、重要な課題を残している。並列テストを可能にするため、複数の計測器が、フーリエ変換(FFT fast Fourier

transform) または他の関連テストのような DSP(Digital Signal Processing) テストアルゴリズムの高速実行に伴って必要となる。ミックスシグナルの同時測定テストに対して次に考えることは、特に複雑なパッケージのテストに必要なロードボードの回路である。ミックスシグナルと RF デバイスのための DFT 技術は、開発のニーズが残されている。高コストのため、ミックスシグナルのリソース(および後処理)はしばしば共有され、同時測定効率を大幅に低下させている。

- 同時測定数の増加は ATE アーキテクチャやプローブカード技術に対して厳しい要求をする。この研究開発では、市場の要求および同時測定テスト動向に向けてコスト効率の良い技術を出し続けなければならない。RF の電磁放射は大規模なパラレルテストで問題となるであろう。
- 高速シリアルインタフェースは ASIC や SoC の市場に浸透している。ジッタ測定はテスト時間の長大化や装置導入コストの上昇を引き起こす。インタフェース数の増加につれて、コスト問題は直線的に増加するだろう。コストのスケールリングを管理するための新しいテスト方法の開発が必要である。
- 大規模な並列テストの実行中に接続されていないピンを測定する新しい DFT 技法が要求されている。更に、ピン数削減技術が展開されるような状況においては、電源のコストがチャンネルコストの大半を占めるかもしれない。電源のコストは、電源と電力供給技術の革新によって上昇させない必要があるかもしれない。
- 低い同時測定効率は、少ない同時測定数においては問題にならないが、大規模並列テストに対してはインパクトがあり、並列テストの目的にそぐわなくなる。同時測定のスケールリングを継続するためには、ATE アーキテクチャは同時測定サイトごとに専用のチャンネル/測定機器が必要になるかもしれない。なぜなら、共有のチャンネル/測定機器は、同時測定効率を制限するからである。コスト効率の良い方法で専用のチャンネル/測定機器を割り当てるため、チャンネルコストは、特定の製品区分に対して低減する必要がある。

## 5.3 次元デバイスのテスト

3D/TSV は、SiP を越える次の進化である。この 2 年で、学会研究や業界の動き(標準化、動作モデル、テストチップなど)により、3D/TSV デバイスのテスト上の課題を見いだして解を与える活動に格段の進展があった。中長期的には、TSV ベースのダイ積層がより一般的に行われ、より複雑かつ異種間の積層が現れるようになると、テストの課題はより一層困難さを増す。同一パッケージ内で多くの異なるダイが存在することから、テストの複雑さが増すにつれて増大するテストのリソースおよびテスト時間への要求を軽減させるために、新規および追加的な DFT の機構が必要となるのは確実である。この節では、複数ダイの積層を通じた SiP から 3D への進化における、6つの主要なテスト上の課題について述べる:

- (1) テストのフロー、コスト、リソース
- (2) テストアクセス
- (3) ひとつのパッケージ/積層内の異種ダイ
- (4) 不良がある積層/ダイのデバッグと診断
- (5) DfX (Design for Test, Yield and Cost)
- (6) 消費電力

3D/TSV がまだ主流の技術ではなく、そのために現時点では 3D/TSV のテストフローに関し予測を行うことが難しいことを記しておくことは重要である。現在は、2.5D とメモリダイ積層 (Wide I/O, High Bandwidth Memory および Hybrid Memory Cube) という 2 つの『隣接する』技術がある。これらの技術は 2 つとも、3D/TSV に関連する要求および課題に対する見通しをもたらす。現時点でこれらの技術から得られる最善のものは、BIST およびバウンダリスキャンに基づく技術への依存と、積層のレベルで比較的高い歩留まりを得られるようにする簡単な構成のフォルトトレランスの使用である。これらの隣接する技術はより成熟してきており、3D/TSV のアプリケーションがより多く現れてくると、より多くの良質のデータにより、3D/TSV のテスト工程に関するより良い予測と意思決定が可能となるであろう。

## 5.1 テストのフロー、コスト、リソース

高位の見方では、3D のテストフローは四つのテストステップから構成される：

- (1) Pre-bond テスト：積層の前にそれぞれのダイをテストする
- (2) Mid-bond テスト：途中までダイが積層された状態でテストする
- (3) Post-bond テスト：すべてのダイ積層が完了した後のテスト
- (4) ファイナルテスト：パッケージ実装後のテスト

Mid-bond テストと Post-bond テストは、従来のテストフローに対して新規追加となる。これらのテスト工程を追加するには、3D 積層に関連してコストや工程の複雑さ、およびダメージの影響を考慮する必要がある。新たな欠陥・故障モデルが、ウェーハの薄化やダイ積層のアセンブリを含む 3D に関する新たな処理工程を考慮するために必要となる。TSV の欠陥・故障モデルは、TSV のテスト要求やテスト工程を明確にするために重要である。Mid-bond テストは、コストと複雑さの点から検討されないかもしれない。

積層ダイのテストフローモデルは産学両方において既に開発されている。これらのモデリングの多くは、全体のテスト時間の最適化に関連している。しかし、リソースの使用効率やコスト、歩留りを最適化するためのモデル追加も考慮される必要がある。『コスト重視の歩留まり』モデル(すなわち、どの実装工程/テスト工程がもっとも製造コストにインパクトを与えるか?)は、実装工程とテスト工程の両方を考慮に入れることができ、これにより積層工程および、ダイレベルでのテストと歩留りの要求に関し最適なテストフローを決定することができる。”Design for Stack Yield”についても、より多くの作業が必要である。(ダイやロジック、メモリ、TSV に対する)冗長性は、3D 構成ではより実現可能となる。これらの冗長性は、ダイあるいは積層での一定レベルの欠陥を『許容する』ことにより、Pre-bond、Mid-bond および Post-bond テストでの歩留りを向上させられるかもしれない。TSV およびダイレベルの冗長と救済の提案が、前回のロードマップ更新の後に既にいくつかなされている。

テストコストは、いくつかの要因に影響を受ける：テストリソース要求、全体テスト時間、およびコスト重視歩留まりなどである。Mid-bond および Post-bond テストは、当然起こるべきテスト時間増加を超えたコストを追加することもありえる。もっとも顕著な要因としては以下のようなものがある：

- ひとつのダイの不良が積層全体に影響すること、
- ダイ間でのテストは時間と複雑さを大きく増大させること、
- 積層されたダイのテストリソース要求は、個々のダイの増大するテストリソース要求とコストへの要求のすべての集合であるということ、
- 複数ダイを並列してテストすることから膨大な量のデータが必要になるということ、
- データの転送/保管/セキュリティ/整合性などの問題が、積層実装者と各ダイの供給者間での情報共有の結果として起こること

Mid-bond と Post-bond テストに対しては、提案されている IEEE P1687(IJTAG)標準が、ATE でのダイ間の機能的なテストの生成を容易にするかもしれない。更には、ダイ間接続のバウンダリスキャンテストが、比較的簡単に行える必要がある。一方では、積層の部分的あるいは全体のテストプログラム生成を単純にするようなツールが開発される必要がある。

いくつかのテスト工程における責任についても、ダイ積層の関係性においては変化するだろう。信頼性テストは、責任分担(ダイ提供者か積層実装者か)が不明確な一例である。Pre-bond テストや Die-level テスト、アクティブ burn-in(単純なベークンを行う passive burn-in に対する語)などは、限られたダイへのアクセスしかなければ非常に困難となる。しかし、もしバーンインが Post-bond で行われると、歩留りが大きく低下するリスクがある。現段階では、(行われるとして)どの工程でどのようにバーンインが行われるべきかについての明確な指標はない。ダイか積層のレベルでのバーンインをより実用的にするか、あるいはバーンインの要求を完全に無くすかするために、大きな技術的な進展が要求される。

## 5.2 DfX

Design for Test/Debug/Yield (DfX) は、これまでの各節で重要な部分を占めてきた。これら、埋め込まれたりソースは制御性や観測性、および欠陥/故障許容性を高めるかもしれない。ダイレベルの DfX は次のものを含んでいる:

- ダイへの標準化されたアクセスプロトコル
- 積層されたダイに対するダイレベルの (ATE での) テストを可能とする組み込みのテスト機能 (よく考えられたロジック BIST、メモリ BIST あるいは『圧縮され格納された』ATPG パターン)
- すべての I/O の接続テスト機能 (バウンダリスキャンや at-speed ループバック・テスト)
- 積層内の欠陥を特定するための (TSV の接続性と性能を潜在的に測定/モニタできる可能性を含む) 組み込みのデバッグとモニタリングの機能
- 積層でのより高い歩留りを可能にするあるレベルのフォルトトレランス/救済 (これは、積層内の与えられたダイを区分けする能力も含まれるであろう)

上で挙げられた組み込みテストとデバッグの機能は、積層内のダイに対して今後より普及していくだろう。ロジックあるいはダイ自身の区分けは、ダイレベルでの並列テストを促進したり、(ダイにあるレベルのフォルトトレランスが設計されているとして) ダイ上のロジックあるいは積層上のダイを『退役させる』のに使われたりするかもしれない。

積層レベルでの DfX は、ダイの積層工程(すなわち back-grinding、wafer-thinning や laser-drilling )における欠陥発生についての知見を得て、これらの欠陥に対応する故障モデルが開発されるにつれ、時とともに進化していくだろう。積層レベルの実装者は、積層レベルでの DfX 機能のためにインターポーザを使用することも可能であろう。インターポーザベースの DfX 機能は、ダイ間のテストや複数ダイの並列テストを補助するだろう。組み込みのインターポーザベース DfX は、異種ダイ積層により加速されるテストリソース要求を、削減する助けになるであろう。

早い段階においては、ダイの歩留まりにとって DfX よりもフォルトトレランスの方がより重要であろうことを、注意しておく。

テスト/デバッグ/歩留り解析の工程において、テストがひとつのダイのみで行われるか、複数ダイが同時にテストされるか決まっており、複数ダイがそれぞれ相互作用していることすらある。このためアクセス機構は、ダイごとに以下のふたつの接続方式を持つ必要がある:

- (1) ベアダイ・テストのためのプローブパッド
- (2) 積層後に互いに接続される拡張可能な TSV 接続

これらの方式は、以下のテストアクセスの節で挙げられる4つのアクセス要求と対応していなければならない。

## 5.3 テストアクセス

この節では、3D/TSV の構成のふたつの大きなテスト課題について述べる:

- Pre-bond アクセス: ダイへのプローブによるアクセス
- Mid/Post-bond アクセス: 積層内のダイへのアクセス

『アクセス』とは、ダイ上のテスト論理へのアクセスと、ダイの I/O (特に TSV) へのアクセスのことと定義できる。ダイ積層の品質は、『Known Good Die』の前提に基づいている。つまり、積層内のすべてのダイは『フルに』テストされている。ダイ上のロジックへのフルなアクセスなしには、テストカバレッジは下がり、積層の欠陥見逃しの確率は増大し、品質と歩留まり上のリスクとなる。この場合、我々はこのダイを『Not Known Bad』と呼ぶことにしよう (これはダイが『Not Known Good であることも推定させる』)。以降の段落では、Pre-bond、Mid-bond、Post-bond テストに関して、“KGD”から決別するための意識的な決定を行うことを含むテストアクセスの課題について述べる。

## 22 テスト

積層の一番下のダイ(外部 I/O を持つ)は、典型的にはワイヤボンディングのためのプローブ可能なパッドか、フリップチップの bumps を持っている。『典型的な』TSV の構成は、 $5\mu\text{m}$  の直径で最小  $10\mu\text{m}$  のピッチを持つ。しかし多くの場合、TSV は直接ボンディングされず、対応するマイクロ bumps を持っている。マイクロ bumps は  $25\mu\text{m}$  の直径で  $40\mu\text{m}$  ピッチである。

現在のプロービング技術では、『量産の』環境において TSV やマイクロ bumps に確実にコンタクトできることは実証されていない。ダイへの確実なコンタクト能力にインパクトを与える、3つの問題点がある：

- TSV やマイクロ bumps の直径やピッチが、現在のプロービング技術からすると小さすぎる
- 現在のプロービング技術では、TSV やマイクロ bumps にダメージを与える(どのようなダメージであれ大きすぎるかもしれない)
- ダイ上のロジックに対し、ESD ダメージを与える可能性がある

マイクロ bumps (個別だけでなくプローブやコンタクトポイントの『アレイ』にも)に確実にプローブできるプローブ技術の開発が課題となる。これには、プロービング、『コンタクトアレイ』の構成、冶金、針先研磨レシピ、プローブダメージの最小化における進展が必要である。非接触プロービングは、この分野で大きな役割を果たすかもしれない。この技術は主に学術分野において検討されているところである。その主な利点は、プローブによるダメージを与えないことである。しかし、これはまだ要求されるサイズ/ピッチでプローブできず、また電源/GND については伝統的な針によるコンタクトが必要となる。既に実証された有望な技術は存在するが、量産レベルのサポートができるようになるには、1、2年がかかるであろう。

短期的には、 $40\mu\text{m}$  ピッチのマイクロ bumps へのプローブは、限定されたアレイサイズに対しては実現可能である。プローブ技術がマイクロ bumps と TSV のサイズやピッチに到達しない限り、我々は十分にプローブできる追加の専用パッドや、TSV にアクセスすることなくロジックにアクセスできるより良い DFT 機能を必要とするであろう。『犠牲的パッド』が、いくつかのアクセス上の問題を軽減するために役立つかもしれないが、すべての問題を解決できるわけではない。これらのパッドはまた高くつくので、ROI を考慮する必要がある。不幸にも、マイクロ bumps 技術のサイズダウンは急激であり、このアクセス上の要求についていくのは、プローブ技術にとってとても困難になるであろう。

積層内のダイに対し、標準的な(物理的および論理的な)テストアクセスプロトコルは重要である。テスト信号は、垂直的(ダイ間)かつ水平的(ひとつのダイ内)に配線される。標準的なプロトコルなしでは、積層を垂直に貫くテスト信号の配線は、テストおよび機能信号の密度により困難となる。またテストプログラミング機能も、積層内のダイでそれぞれ異なる可能性があるテストプロトコルにより、混乱を招くだろう。積層を貫くテストデータの配線は、以下ふたつのシナリオのどちらかにより定められるであろう：

- (1) 開発部門が全ダイの設計を主導し、各ダイは全 TSV が一直線上に並ぶよう設計され、それらのテスト、検証、デバッグやその他の要求は、ひとつの設計作業として積層レベルで設計され、実装される。
- (2) 既製品のダイについては、標準化された『テストアクセスエリア』か、積層内で隣接するダイへのテスト信号の再配線をサポートするインターポーザが要求される。

積層レベルのテストアクセスには、四つの基本的なアクセス機能が要求される：

- (1) ダイの DfX 機能へのアクセスを提供する機能
- (2) ダイを素通りするバイパス機能を提供する機能
- (3) ダイでのアクセス機能を終了させるための往復(turn-around)機能
- (4) 現在のダイから次のダイへとアクセスする機能

JEDEC は、積層可能なモバイルメモリ用 Wide I/O と High Bandwidth Memory イニシアティブの仕様の中で、いくつかのテスト/アクセス機能を既に定めている。Hybrid Memory Cube コンソーシアムもまた、あるテストアクセス能力をもつ標準の策定を行っている。IEEE P1838 ワーキンググループも、3D ダイ積層のための(物理的および論理的な)電気的アクセスの標準化作業を行っている。上記のテストアクセス機構のすべては、ある程度 1149.1 標準に基づいている。他のイニシアティブがテストアクセスを標準全体の小さな一部とのみ考えるのに対して、IEEE P1838 標準はテストアクセスに主な焦点を当てている。これら標準のそれぞれに対し、

ダイへのテストアクセスが大きな課題となるほど積層の複雑さが増大する前に標準をリリースできるかは、各団体次第である。

テスト信号の数と場所および、積層内の個々のダイに『アクセス』したりダイ上の特定のテスト機構にアクセスしたりするプロトコルの双方による、テスタへの示唆は明白である。たとえダイが異なるファブから来て、異なるプロセスで作られたとしても、テストアクセス機構は理想的にはダイが積層されるとともに実装されてゆくべきである。アクセス機構は、ベースダイのポート数、物理的な TSV の定義および積層内のダイごとの DfX すべてとやり取りする通信プロトコルや制御構造を含むべきである。テストアクセス機構は、積層前のダイのテスト (Pre-bond テスト)、あるいはダイが完全なあるいは部分的な積層の中にある状態でのテスト (Mid/Post-bond テスト) を可能としなければならない。

## 5.4 異種のダイ

異種のダイという言葉には、異なる機能 (メモリやロジック、アナログ高速光学/フォトニクス) から異なるダイ提供者まで、意味に幅がある。多くの場合、複雑かつ異種のダイの積層への進化は、テストやテストアクセス、テスト実施、テストの責任能力において顕著な波及効果を及ぼす。このうちいくつかの波及効果については既に前までの節で述べてきた。しかし、ダイ間の相互作用のテストが含む意味は、これまで語られた内容よりも大きい。テストの観点からみると積層ダイは、プリント基板実装 (PCA, Print Circuit Assembly) と類似している。3D 積層デバイスのテストでは、ダイレベルや Pre-bond テストでのテスト抜けの可能性を考慮する必要がある。これらテスト抜けは、ダイ間の通信機能の未テスト、積層内の信号と電源の (ダイレベルテストと比較した) 整合性、ダイレベルの欠陥が発現したり悪化したりして組み立てや配線時 (ウェーハ薄化が良い例) に起こる、まだ発見されていない欠陥や故障、などからなる。PCA 環境を越えて改善される分野のひとつは、ダイ間の潜在不良であろう。チップ間の潜在不良は、テスト抜けの主因であった。依然として積層のテスト抜けは多くあるであろう。テスト時間やコストの観点とは関係なく、包括的な積層全体の機能テスト生成は、非現実的と感知不能の間にある。いつテストを実施するか (Mid-bond の『積層してテスト』対 Post-bond の『アセンブルしてテスト』) に応じて、積層内のダイのバリエーションを考慮したいくつかの機能テストのバージョンの必要があるかもしれない。

SiP と同様に包括的なテストは、BIST と、既存および新規のテスト標準、例えば IEEE 1149.1-2013、IEEE 1500、IEEE P1687、IEEE P1838 などの賢明な使用と、限定的な機能テストの組み合わせにより達成できる。しかし、これにはダイ提供者、積層実現者、構成/設計者の間の十分な連携が必要である。BIST がダイ内のロジックとダイ間接続のテスト双方に広範囲に使用されることは間違いない。

ダイレベルの追跡性は、積層される異種ダイの数が増えるほど重要になる。ダイ提供者と積層実現者との間でのデータ連携は、個々のダイレベルと同様に、積層の品質レベルの保持のために重要となるだろう。ダイの ID へのアクセスも、標準化されたアクセスプロトコルあるいは標準化された記述言語を通じて、標準化されるべきである。更にデータの共有や解析のためのツールは、ダイ提供者を越えて積層実現者にまで拡張するデータドリブンのプロセス制御を確立するために進化する必要があるだろう。このような状況のなかで、テストデータの保管の要求は劇的に増加することに注目すべきである。

究極的には異種ダイのテストは、ダイを Known Good Die と保障するために、不良モデルやパラメトリック特性要求、歩留り基準に対して、(積層内で) 行う『コンポーネントテスト』と、ダイを実装された積層の一部として、ダイ間の相互接続や相互作用を含めて行う『ボードテスト』の混合されたものである。

## 5.5 デバッグ/診断

PCA テスト環境と同様にデバッグ/診断の主要な課題は、積層レベルでの不良とダイ上の欠陥/故障を関連付けることである。積層レベル (Mid-bond, Post-bond およびファイナルテスト) での機能テストは、デバッグが非常に難しく、特にダイが積層の途中 (デバッグ用のアクセスがほとんどあるいは全く許されていない) の場合顕著である。ダイを積層からダメージなく取り外すのは事実上不可能であるということから、問題は悪化する。『シ

## 24 テスト

ステマティック』欠陥の不良解析は、積層レベルでの適切なテスト/デバッグ/不良解析リソースが得られない限り、コストが高く、時間がかかり非効率的であろう。診断も同じく『環境要因』(温度と電力の整合性)と、組み立て前後の TSV の潜在不良を特定できないことに阻害される。積層レベルのテストで、ダイレベルの欠陥/故障を組み立て工程での不良から区別することは、緊急課題であることに注意が必要である。

BIST とデバッグの機能の重要な統合が、ダイレベルと積層レベルの双方において要求されるようになる。これらの機能には、組み込みのロジック解析と状態取り込み、オシロスコープ、温度とパワーのモニタ、電圧降下検出等が含まれる。これらデバッグ機能からのデータは、積層実現者により記録され、フェールした積層レベルテストとともにダイ提供者に提供される。更に、BIST およびデバッグ技術自体についても大きな進展が必要となる。アナログ BIST や機能 BIST の領域では、既存のロジック・メモリ BIST と同様に、限られたアクセス環境しかない中でテストとデバッグの能力を構成するために明確なブレイクスルーが必要である。BIST とデバッグ機能を用いることで、ダイ提供者も同じテスト環境と積層レベルでの不良を再現できる。ソケットと治具の技術も、積層全体あるいは部分的な積層の ATE でのテストのために大きく改善される必要がある。『テスト用のインターポーザ』も、システマティックや組み立て起因の欠陥を特定しデバッグするために使用されるかもしれない。データドリブンのデバッグ/診断技術は、時とともに代替案となりうる。

## 5.6 電力

テスト時の消費電力要求が実動作時よりも大きくなりうることを受けて、消費電力は大きな問題の一つとなるであろう。消費電力の問題は、電源ドメインレベル、ダイレベル、積層レベルで発生する。ダイと積層レベルでの電力分配要求は、テスト時の消費電力を考慮する必要がある。積層全体にわたる確かな電力モニタリングと電圧降下検出は、テストの整合性を保障するのに必須である。ダイレベルおよび積層レベルの消費電力を考慮したテストは、今後検討していかなければならない問題であり、将来積層に対するテスト時の消費電力が増大するにつれ、考慮され洗練される必要があるであろう。

高い消費電力レベルは、温度問題にも影響する。温度問題は、治具の設計と性能に影響する。更に、温度変化は性能のみならずダイ積層自身の整合性にも影響する。このため、『熱により引き起こされるダイ間の故障モデル』の開発が、ダイや積層をわたる温度変化の影響を記述するのに必要となるであろう。温度モデルやオンチップの温度モニタは、積層内の潜在的な温度問題を特定する助けになるかもしれない。各ダイおよび積層内のダイについての検証は、量産前テストと同様に、ありうる温度変化についてガードバンドを取ることも必要とする。

## 5.7 まとめ

3D のダイ実装のためにもたらされた課題に取り組むため、テスト装置、ツール EDA およびメソドロジの顕著な発展が要求される。テストにとっては一般的なように、3D ダイ実装の技術開発のスピードと範囲がテストにおける要求と技術開発を牽引する。製造および組み立てとパッケージング工程からの課題も、同じくテスト技術と工程を牽引するだろう。

# 6 アダプティブテスト

「アダプティブテスト」は、テスト費用を下げ、歩留まりを増加させ、より良い品質・信頼性を提供し、過去には静的に最適化されてきた歩留まり学習用のデータ収集を劇的に改善するために、その利用が増加している。アダプティブテストは、あらかじめ定義された規則の制約のもとで IC テストを継続的に最適化するためのインフラストラクチャーを提供することで、これらの便益を実現する。

アダプティブテストを最大限に利用するためには、それを使用するのに必要となる特定の手法と技術と同様に、その一般的な原理を理解することが重要である。本書が意図して提供しようとするものは以下のとおり：

- アダプティブテストの概論と新たなアプリケーションの説明；

- 今日使われているアダプティブテストの具体的な適用例と将来の例
- アダプティブテストの課題説明
- 産業界がアダプティブテストを最大限に利用することができることを確実にするという新たな要求

本書の拡張版は [http://www.semi.org/CAST/ITRS\\_AdaptiveTest\\_WhitePaper2013](http://www.semi.org/CAST/ITRS_AdaptiveTest_WhitePaper2013) で得られる。

## 6.1 アダプティブテストの定義

「アダプティブテスト」は、装置やシステムがどう試験されるかに、影響を与えたり、変更したり、「適応(アダプティブ)」させたりするため、あるいは、製造フローを変更するために、IC 製造の過程で収集されるデータを使用することにより、固定された制限、不変なテストフローと操作を越える手法の業界用語である。アダプティブテストは、通常のテスト手法ではなしえない品質、歩留まり、コスト目標を達成するために用いられる高度なテスト戦略として受け入れられている。

アダプティブテストの目的は、製品の品質と信頼性を向上させ、できるだけ製造工程の早い段階で(望ましくはウェーハテストにおいて)異常部品を特定し、不良の可能性が高いダイを選別するためにテストの追加またはテスト条件の変更を行うことである。(コストを節約するために特定ダイのテスト内容を選択的にスキップするようなアダプティブテスト方法もある。) 不良の可能性が高いダイの有効な選別は、顧客サポートと欠陥解析に関連するコストを最小にすることができ、付随して起こりうる品質問題の発生を防ぐための早期フィードバックを提供する。

アダプティブテストは次の 5 つの方法のどれかで製品試験過程を変更できる:

- 試験条件(VDD などの電圧やクロック周波数の変更)
- 製造フロー(バーンインなどの試験項目の追加や削除)
- 試験内容(変遷遅延故障用などの特定パターンや IDDQ などの試験の追加や削除)
- 試験境界(DC パワーや Vdd-min テストなどのパス/フェール境界値の変更)
- 試験結果(ダイの試験結果の試験後の分析に基づいたビン(bin)の変更)

明白な欠陥部品を取り除くことに加え、製造テストは、出荷する製造部品の品質目標を達成するのに不可欠である。アダプティブテストは、逸脱品の検出と封じ込め、そして顧客先で発生する逸脱品の影響を制限するための新しい可能性を提供する。そうするためにアダプティブテストは、いつかの製造部品の完全なテストフローを用いたモニタにより、より少ないテスト時間とより高い歩留まりを目指すことに伴う危険性を首尾よく避けなければならない。電子的なダイ/チップ ID(例えば、各ダイの上でヒューズが溶断されて記憶されるウェーハ/XY 座標などのダイ固有の識別子)の使用がこれらのアプリケーションの多くにとって重要であることに注意する。

アダプティブテストの適用、以下に挙げる 1 つ以上の変更の決定時期、および変更適用デバイスに基づいて分類できる。図 TST5 はこれらの 4 つのカテゴリの間の関係について表現するフロー図である。

- その場(In-situ): 試験中の部品から集められたデータは、同じ試験工程で、同じデバイスの試験を変更するのに使用される。動作速度等級付けは本カテゴリに関する例であり、デバイスからのデータが、同じデバイスに対する試験計画条件の変更で使用される。
- フィードフォワード: 前の試験工程(例えば、プローブ、ホットプローブ、バーンイン)で収集されたデータは、同じ部品が以降の工程においてどのようにテストされるかを変更するのに使用される。フィードフォワードカテゴリに関する例は、「不良の可能性が高い」ダイかウェーハを特定する統計的手法であり、バーンイン(専)用にこれらのコンポーネントを選別する。
- フィードバック: 前の部品から集められたデータは、まだ試験されていないデバイスの試験や制約を変更するのに用いられる。高歩留まりのウェーハでいくつかのテストパターンをスキップすることや、低歩留まりのウェーハでより多くのテストを追加することが、このカテゴリの例である。

- **ポストテスト:** データサンプル統計や他の解析は、試験工程間で行われ、いくつかのデバイスの再分類や、それらデバイスに対する製造フローと試験条件の変更利用される。パートアベレージテストと外れ値同定法はポストテストカテゴリの例である。

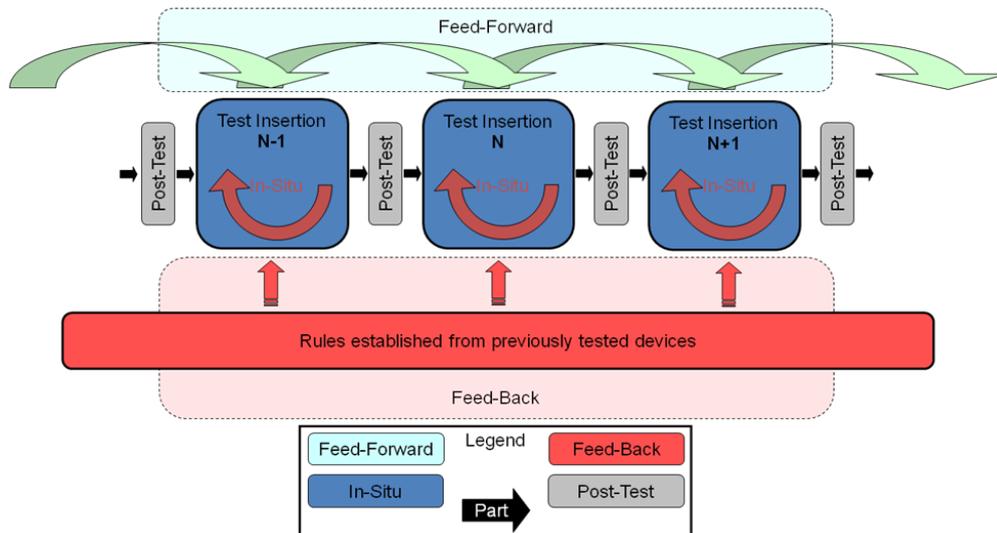


Figure TST 5 – General Adaptive Test Flow Diagram

## 6.2 適用例

以下はアダプティブテストの適用例である。各例は、前節で概説された1か2つのカテゴリによって分類される。カテゴリを明確化することに加え、手動で静的な手法から、試験中に人の介入が少ない、あるいは全くない自動化手法への転換を例示する。

- **動的なフローの変化(その場、フィードフォワード):** ダイ生産データは、歩留まり学習のためにダイ特性単位で選択的に実行されるか、または後の診断のためのデータを集めるために、テストを加えるか、取り除いたテストプログラムの中でモニタされる。このアプリケーションは多くの共通のリアルタイムな統計的プロセス管理方法をサポートしている。
- **統計的な選別(ポストテスト、フィードフォワード):** ウェーハロットデータ収集の後に、Defects per Million (DPM -- 「テストエスケープ」)急増や信頼性故障の源としての外れ値を持つものや異端者であるダイを特定する。統計的な選別は、メインフローとは異なるテストフローを通してターゲットダイを発送するのに結果を利用することができるのでフィードフォワードである。
- **単一ステップフロー制御(フィードフォワード):** 1 テストステップからのデータは、その後の製造部品で観測される問題選別に焦点を合わせる次のテストステップにおけるテストを最適化するために使用される。例えば、インラインテストはウェーハテストを変更する; ウェーハテストはパッケージテストを変更する; バーンインはファイナルテストを変更する; あるいは、パッケージテストはカード/システムテストを変更する。
- **テストフローのオフステータ最適化(フィードバック):** オフステータデータ分析は、将来のデバイスのためにテストフロー変更を牽引する(全自動化)。例えば、オフライン分析は、履歴データ、テスト容量、要求ターンアラウンドタイム、DPM 要件、期待歩留まりおよびパラメトリックデータを含む多くの情報ソースを利用することで試験内容とテスト測定ルーチンを最適化することができるであろう。
- **生産モニタとアラーム(その場、フィードフォワード、フィードバック):** 複数ソースからのデータは、歴史的に可能であること以上に量産試験最適化を制御する統計分析のために合併される。例えば、マージナルウェハプローブコンタクトからの微妙なパラメトリックシフトは自動的に特定されてアクションが取られる。

- ダイマッピング(フィードフォワード、ポストテスト): 様々なソースからの生産データは、多チップアプリケーションに対する構築/試験プロセスとアSEMBリにおける特定ダイの組み合わせを調和させるための今日のボード作成プロセスの多くをサポートするのに利用される。ダイマッピングデータ転送は、世界規模のデータ共有、複数の会社間、そしてサプライチェーン全体を経由することが必要となるであろうことに注意すべきである。
- チップ上のテスト構成とセンサ(その場、フィードフォワード、フィードバック): リングオシレータ、選ばれたクリティカルパス、オンチップの電圧・温度センサ、または、オンチップの信頼性モニタのような補助的なオンチップテスト構造から集められたデータは、ダイの試験内容、試験制限や今後のテストフローの変更利用される。
- オンチップコンフィギュレーション(その場、フィードフォワード): 出荷試験データ(テスト構造データを含む)は、ダイの性能、パワー、マージンや信頼性を改善するために設計の特徴を調整するために使用される。
- カード/システム構成とテスト(フィードフォワード、ポストテスト): コンポーネント試験結果(パラメトリックデータ、歩留まり特性や部分的に有効なデータなど)は、カード/システムテストフローをカスタマイズするか、またはカード/システムテスト条件をカスタマイズするのに使用される。

### 6.3 アダプティブテスト 構造/フロー

図 TST6 は、部品テストの完全な端から端までのフローモデルとアダプティブテストの適用を示している。この図はデータベースの簡単な視点を示すが、実際のデータベース構造はおそらく、それぞれが特有の容量と潜在的な可能性を持つ 2-3 のデータベースレベルから構成されるであろう。

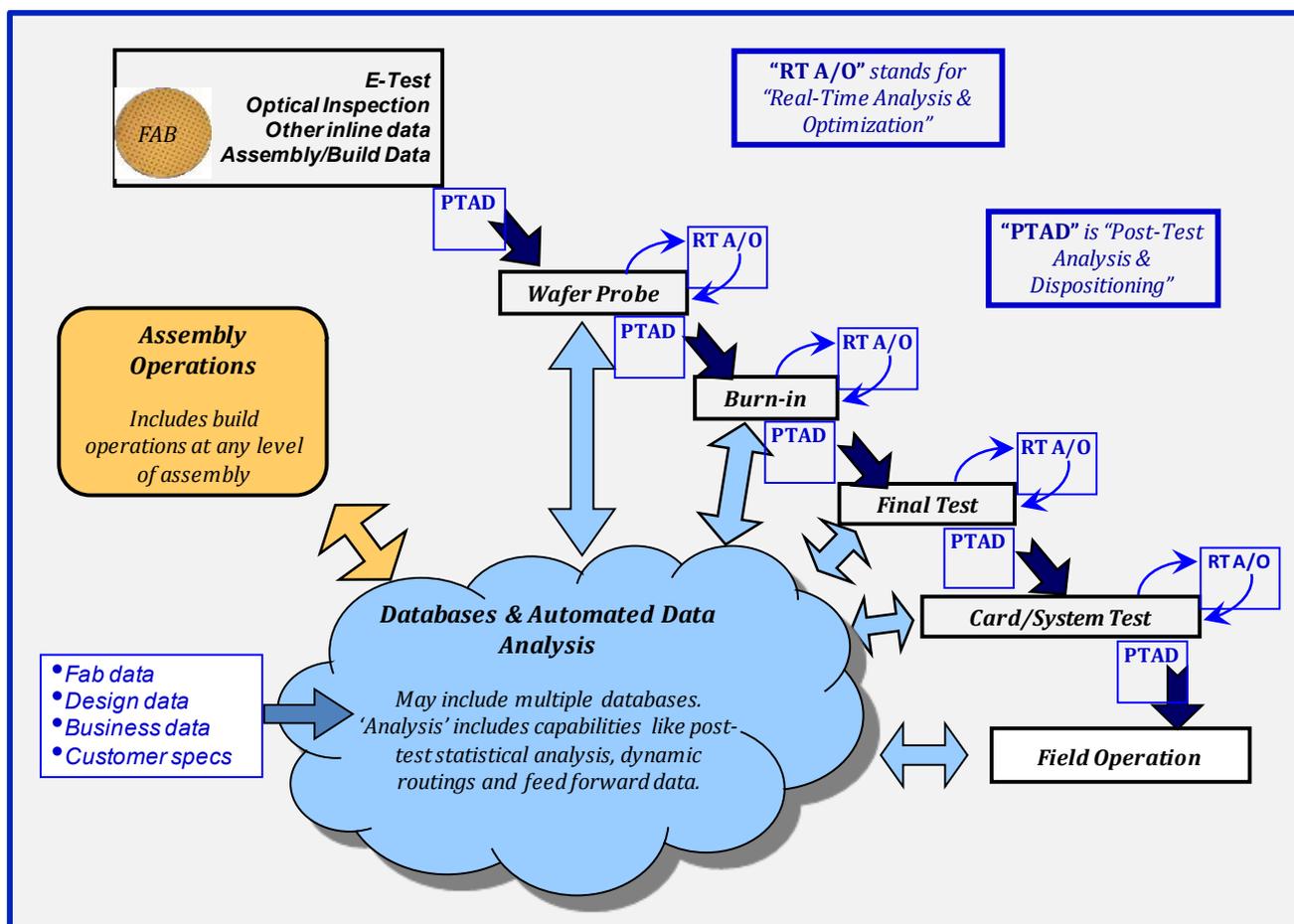


Figure TST 6 – Adaptive Test Architecture / Flow

## 6.4 アプリケーションとデータモデルのレベル

上に記載されたいずれのテスト属性を適合させるにも、アクセスを改良するために、正しいデータ(テストプログラムが既に適切に機能する)を集め、それを構造化されたデータモデルに編成する必要がある。適切な時点で、特定のテストの実行や、特定の部品、ウェーハ、またはロットからのデータは、データモデルからアクセスされ、適切な決定的アルゴリズムによって処理される。同様に、制限、条件、フロー、内容などのテスト変数は適時変えられなければならない。

データモデルは、待ち時間要件と便利性に基づいて、サーバデータベースに存在するか、またはサーバとテストの間に分散することができる。待ち時間は、データが利用可能である時とそれが要求された時点の間の差である。与えられた部品に対しテストフローを分岐する(リアルタイムの決定)には、待ち時間は短くなければならない。すなわち、試験時間に著しい影響があってはならない。低遅延のために、データは、テストに格納されるか、またはテストに即座にロードされなければならない。試験済み部品の再選別などの外れ値を持つものの判定を行う場合は、より長い待ち時間が許容される。

テストを適合させるという決定は、部品のサンプルの変化を予想された変化のモデルと比較することに基づいて行われる。外れ値を持つものの検出において、予期せぬ変動がある部品を捨てるだけのために、テスト制限は予想された変化を追跡し、適合させられる。管理図が、製造された材料と試験過程が仕様の範囲内であることを示すとき、テスト群からテストを一時的に除外することができる。試験に基づくモニタが、材料やプロセスが制御不能になったことを示したならば、試験は回復される。同様に、ある不良が予想されるより頻繁に起こるとき、試験フローに診断テストを加えることができる。

変化のモデルとそれに関連した決定は、変更の原因と変更点の検証のために必要となるデータの範囲に依存する様々なレベルの適合可能性を持つことができる。例: 静的な PAT(Part Average Testing)において外れ値を持つものは、たとえ設計や使用時の仕様の範囲内であっても、特性抽出から計算される標準偏差の、あらかじめ決められた数倍の値よりも大きな試験値をもつものである。プロセスがシフトすると、静的な PAT は、より多くの部品を捨てるであろう。ロットやウェーハのプロセスシフトを説明するために、ロット、ウェーハそれぞれに対し平均と標準偏差を再計算することができる。ダイナミック PAT と称される変化のモデルは各ロットやウェーハを追跡する。各ウェーハのための分布パラメータを計算すると、外れ値を持つものの判定を全ウェーハのテスト応答収集(「ウェハレベル」)の後まで遅らせる。一般的なデータにおいて、範囲は、適合的な決定が可能になる前に得られる最小の標本抽出である。

一般に、より広い適合可能性は、エラー見逃し率とエラー誤判断率とのトレードオフを改善するための、テストフローにおけるより頻繁な意志決定を意味する。適合可能性は、従来の静的な制約から、静的パラメータ分散モデル(静的 PAT)へ、可変パラメータ分散モデル(動的 PAT)へ、あるいは根拠の明確な原理に基づく選択分散モデル方程式へと進展する。この進行を上げるには、異なったテスト応答を引き起こすプロセスの、より多くのデータとより深い理解を必要とする。また、意志決定はオフラインの人的活動から、オンラインのマシン活動へと移行する。

## 6.5 アダプティブテストのインフラ(データ交換、データベース、など)

アダプティブテストは、複数の情報源からの詳細内容が変動するデータを用い、複雑度が変動するアルゴリズムを用いて、製造工程を通しての複数の決定作業を含む。それゆえ、従来のテストに比べて、新たな使用目的に対する新たな手法で、より大量のデータを構築する必要がある。

アダプティブテストのデータ処理は図 TST6 に示されるように様々なレベルで生じる。

- テスト工程での局所的な処理は、短い待ち時間で行われなければならない。たとえば、もしデータが個々のデバイス毎に回収されるならば(リアルタイムの分析と最適化(RT A/O))、アクセス時間は数ミリ

秒になる。テスト後の分析と処理(PTAD)を行うアプリケーションは数秒から数分の待ち時間で行われる必要があるだろう。

- 中央データベース(例、“クラウド”)での処理は、もう少し緩い時間制約(分あるいは時間のオーダー)で良いが、通常ははるかに大量のデータ量を取扱う。
- アダプティブテストでの決定作業は出荷品の品質に影響を及ぼすので、データ保持期間は具体的な市場要求に依存する(ときには10年を超すこともありうる)。

私たちは多くの領域でクラウドベースのソリューションを用い、だんだん快適に成ってきているが、アダプティブテストでのテスト工程におけるアルゴリズム統合は、もっとも困難なアプリケーションの一つであると分かってきた。歴史的には、テスト工程内での閉じた決定(例、プローブカードをすぐ洗浄する)は、主にテスト工程を健全に維持する目的で策定されたので、そのテスト工程のみの責任の下に行われた。アダプティブテストはこの枠組みを以下に示す多くの方法で変更する。

- アルゴリズムはウェーハファブ、デザインハウスやテスト現場を含む複数の組織で所有される。あるアルゴリズムは商用ベンダからのものであり、他は前出の複数の組織自身からのものかもしれない。それらの全てのアルゴリズムは、隣どうしが互いにリアルタイム環境で円滑に実行される必要がある。
- データ収集はデータアクセス(例、データのフィードフォワードの場合は上流のデータへ)と同様に、全体のサプライチェーンとしてだけでなく、テスト操作に不可欠な役割となる。
- おそらく、副作用なしにアダプティブテストの価値をどのように最大化するかを理解するために、過去のデータベースを用いたアルゴリズム効果のシミュレーションが望まれる。これには、クラウドデータベースとテスト工程のリアルタイムな測定データとで成り立つ、多様な環境下で実行されるものと完全に同じアルゴリズムが必要となる。

結果的に産業界は以下の項目を開発する必要がある。

- 様々な環境にアルゴリズムを嵌め込むことのできる API。
- 最小量の抽出や変換で済む、柔軟で、圧縮され、標準化されたデータ交換フォーマット。異種のサプライチェーンに跨っても、特定可能で、トレース可能な共通の索引集合が必要である。
- レシピの多様な源泉を扱い可能な制御システム。これは、さまざまな源泉からの非同期の更新サイクルにまたがって対して相互干渉を(おそらく無意識に)チェックし一貫性を保つものである。これらのレシピのバージョン管理システムもまた必要となる。
- 実行システムは、アダプティブテストのアルゴリズムの健全性を監視する能力を備え、エラーが発生したときは対応可能な形式で適切に処理しなければならない。

## 6.6 テスト装置とテスト工程への影響

過去のテスト工程は、テスト結果の履歴記憶能力を持つパス/フェールの判断フィルター以上のものではなかった。テストコストを重視して、必要テスト数を削減し、より多くのデバイスを並列にテストし、装置の投資コストを削減することに、新たな工夫は注力されてきた。このようなテストコスト削減努力にも関わらず他に見られるようなペースでコスト削減はなされなかった。アダプティブテストが付加価値として見なされるために、テスト工程は、テストコストの増加なく、同時に総合コストを削減しながら、その要求をサポートするよう変化する必要がある。

メモリテストに酷似して、将来のデバイスは冗長部分、修復可能なサブシステムおよびソフトウェア指導のキャリブレーション機能を備えるであろうと予想される。こうしたオプションが利用可能になると、アダプティブテストはこうした部分を最適に設定しテストする必要が生じるであろう。同時に、広範なプロセス最適化を可能にしながら前のプロセスへフィードバックを行うために、高精度な測定が求められるだろう。この要求は静的に決められたテストやフローから、動的な(デバイスごとの)フローへの移行を加速するであろう。

将来のテスト工程は以下の項目を実行可能と予見される。

- 外部的な入力、デバイスそのもの、および動的なビジネス規則に基づくデバイスごとのテストフロー。

## 30 テスト

- データベース的なフォーマットで、アダプティブテストの処理で利用するためのコストの掛からない履歴データ保存。
- 全体のテスト工程制御から標準的なAPIを備えるテストエンジンへの移行。
- 非同期で分散的な(複数インサージョン)テストフローのサポート。
- アナログおよびミックスシグナルのデバイスに関して一機能テストを包含する(モデルベースの)構造的テストの実施能力。

### 状況

- SEMI の Collaborative Alliance for Semiconductor Test (CAST)グループは、データ収集とテスト工程制御の標準規格を作成作業中である。(http://www.semi.org/en/node/29811/)
- 現在多くのデバイスがソフトウェアによるキャリブレーションを利用中である。
- 機能テストに代わる高速なモデルベースのテスト例がいくつか存在している。
- これらの機能のテスト工程における取組みサポートは、通常テストプログラマに依存している。

## 6.7 “アダプティブな設計”を推進するテスト結果

ますます多くの設計がテスト時に再構成されている。例えば、部分良品(オンチップの冗長機能)、電源や周波数の調整、および局所的クロック調整などがある。多くの場合、この製品の個別調整はテスト測定もしくは他の工程からのデータのフィードフォワードに拠っている。時には、この再構成は「アプリケーションの要求」に基づくだろう。(さらなる詳細はITRSアダプティブテストのホワイトペーパー参照 – 上記リンク)

## 6.8 アダプティブな製造

新たな方向としてテスト結果をマルチチップ製品のようなIC製造工程の推進への活用があげられる。例えば、カードやボードのアセンブリ作業では、あるダイやある種類のダイがそれまでのテスト結果に基づいてボードに必要なになる。マルチチップのパッケージ(3DIC など)や電力制約の出現で、IDD や電力/性能測定テストなどから収集されたパラメトリックなデータに基づいて、特定のベアダイが組み立て用に選別される必要があるだろう。

組み立て作業へ向けた広範なデータのフィードフォワードに関する主要な技術課題

- 企業間にまたがるデータの管理
- しっかりしたデータ可用性
- データのセキュリティ
- 完全な追跡性
- データフォーマットの標準化

## 6.9 カード/システム/フィールドへのアダプティブテストの影響

本書で記述されたICレベルテストのためのアダプティブテスト手法は、ボードやシステムテスト、あるいはフィールドでの使用に対しても同様に拡張され適用可能である。ボード/システムレベルの性能を取り扱うアダプティブテストが、IC供給者のテストとボード/システム製造テストの両方で、スクリーニングを改善できる場合、ボードテストの歩留まりやICの不良率は画期的に向上されるだろう。ICは従来、ほとんど“ノイズフリー”のテスト環境でスタンドアロンの状態でテストされてきた、あるいはスペックを満たすか否かを見る限られた構造的テストでテストされてきた。けれどもこのボード/システム環境は、ノイズ、タイミングマージン、電圧、および構造テストが取り扱えなかった機能テストのトリガー条件などに関して、従来と全く異なるものとなりえる。第1節の4種類のアダプティブテスト(その場(in-situ)、フィードフォワード、フィードバック、およびテスト後)はすべてボードおよびシステム製造を含むよう拡張可能である。

ボードおよびシステム用のアダプティブテスト手法には以下の例があげられる。

- ・フィードフォワードは、ある製造工程とテストパラメータ成分(例、VDDミニマム、ウェーハ上のXY座標)がボードテストプログラムで用いられ、マージンテストにある検出項目を追加すべきか否かの判定に使われる。
- ・フィードバックおよびテスト後の適用は、ある部品タイプの電子チップIDごとのボードレベル不良のパレート図がサプライヤに送付され、着目した不良が製造やテストのパラメータと相関があるか否かを分析するのに使われる。
- ・その場(in-situ)テストは、オンチップセンサーで電圧や温度を読み、マージンや性能をチェックするために多少ストレスの多いボード条件を適用可能とするのに使われる。オンチップセンサーは、フィールドでの劣化モニタにも使われ、テスト限界を調整するためサプライヤにデータが送り返される。
- ・IEEE 1149.1-2013 は、追跡性目的で ECID のアクセス方法、およびボード/システムレベルでの新しいその場(in-situ) ICテスト実行命令を規定している。更なる情報は以下のリンクを参照のこと。

[http://grouper.ieee.org/groups/1149/1/ECID\\_Electronic\\_Chip\\_ID.html](http://grouper.ieee.org/groups/1149/1/ECID_Electronic_Chip_ID.html)

*Table TST 3 – Implications of Adaptive Test*

Challenge	Required Direction
IT Infrastructure	Infrastructure to enable the Adaptive Test flow End-to-end supply chain data integration – including data from Fabs, Test Houses and other Subcons. Develop supply chain data integration and processes which automatically detect supply chain issues and implement corrective actions in near real-time. Integrate multiple databases, flexible logistics system, and full part tracking at each test step, and feed-forward/feed-backward data flows.
Traceability	Enable full traceability of Adaptive Test parameters (limits, content, flows, and rules) for each die. (accessible anytime in future) Electronic chip ID is a key enabler of traceability
Real-Time Communications	Develop tester-to/from-data analysis engine communication – without significantly impacting test time.
Development of Improved Models & Algorithms	Development of methods where the models are not fixed – instead the models are dynamically adjusted based on DUT responses. Develop peripheral coverage metrics and associated quality impact of dropped or modified tests. More encompassing fault coverage metrics are required – particularly for analog circuits.

## 7 テスト技術への要求

### 7.1 導入部

過去25年、主に性能とトランジスタ数の執拗な増加により、半導体テスト技術に対する要求はますます厳しくなっている。新たな市場要求(例えば可搬性、セキュリティ、使用の容易性、システム管理の容易性、低消費電力など)の出現によって、基本的な変化は引き続き進んでいる。これにより、従来よりも多様な方法で、かつ、より多くのアプリケーションで、異なる半導体技術の統合が促されている。テスト技術に対する要求を決定するのが、最終的にはアプリケーションの要求や仕様であることから、テストは本質的に大きな課題となる。しかし、この章において広範囲なアプリケーションと、これに関連するテスト要求の傾向を把握することは、不可能であろう。したがって、各コア技術に関連するテストの課題と傾向を説明する枠組みを提供するために、SoCやSiPといったコア技術の集積に関係するテスト課題を説明することで、コアとなる半導体技術の構成要素が確認されてきた。

各コア半導体技術は関連したあるアプリケーションを持ち、これらのうちあるものが、長期的な傾向を引き出すための土台として用いられる。特に ITRS では、CPU, ASIC, DRAM, フラッシュメモリに対し主要な技術の

特質の傾向を公開している。これらは、コア技術の節中のふさわしい箇所で参照される。図 TST7は、この章で注意を向けられたコア半導体技術と、これらに関連するアプリケーションの例を示している。挙げられた例の多くが複数のコア技術を含んでいるであろうことから、アプリケーションとの対応付けは意図的に緩くしている。コア技術は主に、それら固有の機能的な相違によって区別されており、それゆえにテスト要求が異なる。この版で含まれない二つの新たなコア技術は、MEMS および光伝送技術である。

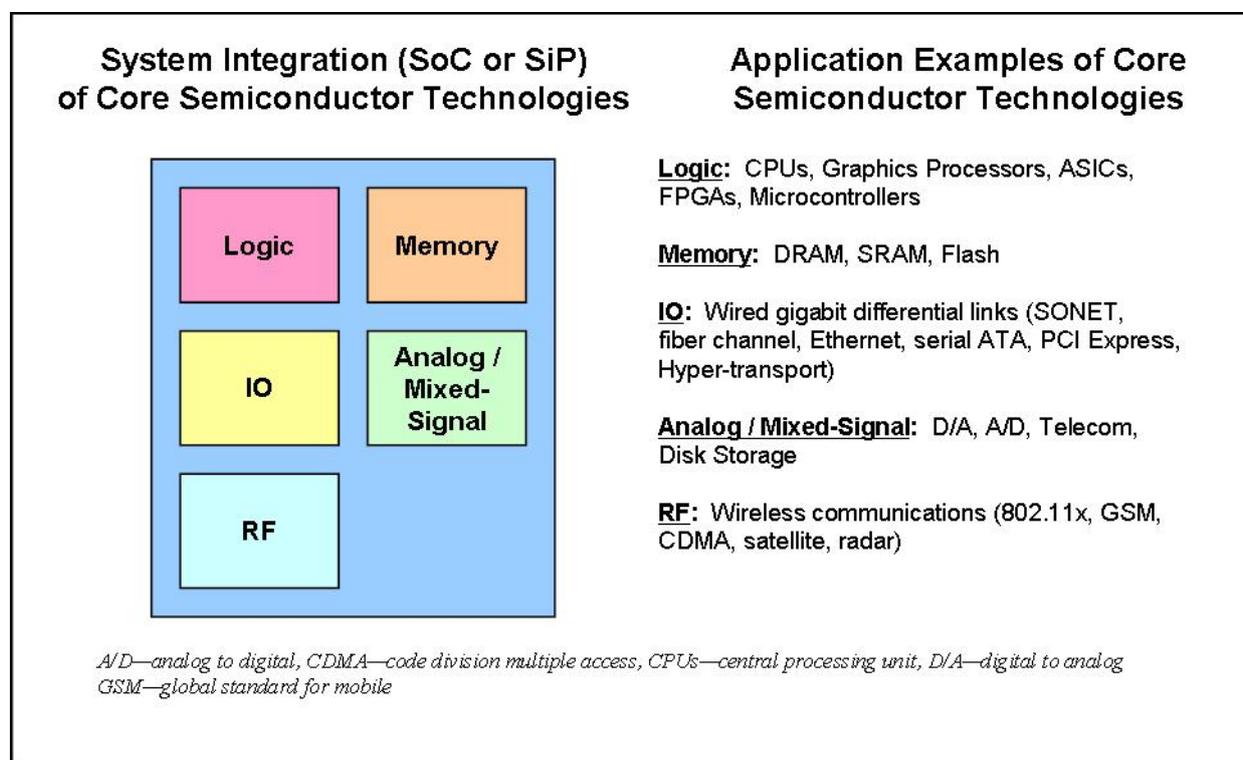


Figure TST 7 - Organization of Cores for System Integration and Applications

最近では、これらのコア半導体技術とアプリケーションが、明白に異なるテスト上の解決策を要求しており、それぞれが特定のテスト装置やインタフェースツールの市場を持つ。コア統合が増加するにつれ、これらの境界がますます不明瞭になる。コア統合の成否が、ただ「統合できるか」ではなく、「統合された全体を、経済的にテストできるか」どうかで決定されることから、DFT の重要性が増すことになる。テスト技術への要求の節の残りは、コア統合の増加に関連するテスト上の課題と、それを構成する各コア技術に対するテスト上の課題に向けられる。

## 7.2 システム集積—SoC と SiP のテストの課題への影響

SoC と SiP は、理論的には等価と言えなくはないが、パッケージあるいはチップにどちらの技術がより集積しやすいかという点で大きく異なっており、それぞれのテスト実装内容も大きな違いがある。最近のアセンブリ/パッケージ技術の進歩は、異なるコア半導体技術を同一のウェーハ製造プロセス上で最適化することの困難さとあいまって、一部の予測では、SiP が支配的になると言われるほど、SiP への動きに大きなはずみを与えている。しかし、ウェーハ製造プロセスの改良と設計/DFT のニーズが SoC を表舞台に押し出すかもしれないし、また SoC と SiP の複合物を生み出すかもしれない。明らかなことは、集積化の傾向は継続するという点である。問題は、それがどれほど早く、またどのような形であるかという点である。以下の二つの節では、SoC、SiP のそれぞれに関連するテストの課題とその意味するところについて論じる。

### 7.2.1 システム・オン・チップ

SoC は複数の個別に設計された IP コアからなる。IP コアは個々に設計されたブロックであり、その設計情報、テストソリューションおよび他の IP コアとのインタフェースが設計データベースに格納されている。さまざまな種類の IP コア(ロジック、メモリ、アナログ、高速 IO インタフェース、RF、等)があり、それぞれ異なったテクノロジーが

用いられている。このような IP コアを組み合わせて構成される SoC に対しては、これら搭載コアに対応する特定のテクノロジーをテストするための多岐にわたる解決策が必要となる。このように、SoC 設計のテストには、個々のコアのテストソリューションを利用するための、高度に構造化された DFT の基盤が必要になる。SoC テストでは、個々のコアのテストやコアテスト・アクセスのテスト、そしてコア間のインタフェースやグルーロジック(コアに含まれない論理回路)を対象とするチップ全体のテストの各々に関連する様々なソリューションを適切に組み合わせる必要がある。更に、効率的な階層化あるいは並列化手法やスキャンパターン圧縮手法により、SoC 全体の品質とコストを評価して顧客の受け入れ可能なレベルに適正化する必要がある。

他方、応用分野の発展に伴って加速される設計技術の進展に対応するための SoC テスト技術の改善も不可欠である。これらの技術およびそのテスト(DFT)設計に対する要求(設計インテント)はデザイン章で扱われるが、これらの設計インテントを反映した良く構成されたロードマップおよび候補技術は読者によりレビューされる必要がある。例えば、低電力設計メソッドは、チップ性能を改善するための手法として、現在の様々な SoC で採用されているが、SoC を、その機能的動作および物理的構造を深く理解することなくテストすることは容易ではない。その結果、静的な SoC 構造のみにフォーカスした従来の DFT ではもはや十分ではなくなっており、この問題に対応するための進化が強く望まれている。

コンシューマ向け SoC の定量的なトレンドおよび要求水準は MPU チップと比較してロジック節の表 TST7 に示されている。なお、テスト(DFT)設計のガイドラインおよび EDA ツールに対する要求課題については表 TST4 に示す。

*Table TST 4 - DFT Requirements*

### 7.2.1.1 ロジックコアに対する要求課題

ロジックコアに対する膨大な量のテストデータを削減するためには、ランダムパターンロジック BIST や圧縮パターンテストのような高度な DFT 手法が必要である。適用する手法については、DFT エリアの投資量、設計ルールの制約、および関連する ATE コストに関して、利点と欠点の両方を考慮して決める必要がある。DFT エリアは、主としてテストコントローラおよびテストポイントからなるが、これらは階層設計手法により長期間にわたって一定の比率に保つことが可能である。

SoC と MPU では、どちらも搭載されるデジタルロジックの量が増加し続ける。後述する表 TST7 に DFT 技術に関する共通の考え方を示す。それらの技術は、テストデータ量を効率的に処理することによりテストコストを低く抑えながら、もっとも起こりそうな故障(EDA システムでモデル化されるような) をカバーする努力によって前進しながら利用されることが期待される。

スキャンテストパターン生成の基本的なアプローチとしては、以下の 4 種類がある。

- EDA ツールが、全体回路を一括して扱い、階層設計やパターン圧縮手法を利用しない、いわゆる「フラット」なテストを生成する。
- EDA ツールが、階層設計を考慮して、チップ内での同時テストを実現できるようにする。
- EDA ツールが、スキャンチェーン内に圧縮回路を埋め込み、ATE からのデータ量を低減できるようにする。
- EDA ツールが、圧縮階層手法のための上記の 2 手法の組み合わせを実現できるようにする。

搭載されたコアへのテスト適用のためのアプローチは、テスト時間に、そしておそらくテストデータ量に関しても、大きなインパクトを持つ。過去に使われていた方法の一つとして、SoC レベルでのコアに対するテスト生成を避けるため、各コアを分離してテストするための入力と出力を SoC ピンまで引き出す方法があった。この方法は、テスト生成のための処理時間は節約できるが、SoC のテスト時間を削減することはできない。テストパターン圧縮を用いる場合に適用できるより効率的なアプローチとして、複数のコアに対して、それらをお互いに完全に分離することをやめて、同時にテストする方法がある。このように、テストパターン圧縮は、勿論コア内部

### 34 テスト

でも用いるが、複数のコアに同時にスキャンパターンを送れるようにすること、および、複数のコアからの出力をチップ外部に送る前に圧縮できるようにすることにより、コアを超えて用いることも可能である。

テスト品質とテストコストのトレードオフは大きな関心事である。ATPG は、高いレベルのテスト品質を達成するためには、縮退故障や遷移故障だけでなく、微小遅延故障やその他の欠陥ベース故障に対応する必要がある。テストパターン数はロジックのトランジスタ数の増加に伴ってロードマップ期間をとおして増加すると考えられるが、テストコストの上昇を避けるためには、ゲートあたりのテスト実行時間を一定に保つ必要がある。そのため、テストパターン削減、スキャンチェーン長削減、スキャンシフト速度のスケラブルな高速化などの様々な手法が検討されなければならない。しかし、スキャンシフト速度の加速はスキャンシフトサイクルの電力消費を増加させるためテスト時の消費電力の問題をより重大にする可能性がある。したがって、シフトスキャンサイクルの電力消費を削減する何らかの DFT および ATPG 手法が必要である。スキャンキャプチャサイクルの過剰な電力消費も重要な問題である。この問題を緩和するための手法がいくつか提案されているが、それらの多くはテストパターン数を増加させるため、テスト実行時間への影響が許容できないものとなる。したがって、テストパターン数の増加を最小化できるような低キャプチャ電力テスト手法も必要である。これらの低電力スキャンパターンの利用によるテストデータ量への影響は、低電力テストパターンへの要求の行でテストデータ量の 20% 増として表現されている。

テストパターン数増加のもう一つの問題としてテストデータ量がある。テストのメモリサイズが 3 年ごとに 2 倍に増えると仮定したとしても、近い将来高いテストデータ圧縮率が必要になる。このため、テストデータの削減は取り組むべき重要課題として残るだろう。テスト実行時間とテストデータ量を同時に削減できる可能性のあるソリューションの一つは、同時にテストできる IP コアを一つの設計で繰り返し用いることである。この方法は、ゲートあたりのテストパターン数を一定に保つという要求をある程度は緩和できるかもしれないが、その問題を完全に解決するには不十分と思われる。したがって、BIST と圧縮パターンテストの組み合わせや革新的な DFT 手法などの他のアプローチにも取り組む必要がある。

電源ドメイン数の増加によりテストパターンの追加が必要になるかもしれない。しかし、テストパターン数の増加は電源ドメイン数に比例する程度であるため、全体のテストパターン数には大きな影響は与えないと考えられる。そうは言っても、電源ドメインの増加は同一コアの同時テストの効率を低下させる可能性もある。この影響については将来のロードマップで検討されるだろう。

上記で言及したテスト時の電力消費の問題は、テストデータ量増加を意味するテストパターンの増加原因となる。したがって、テストデータ削減の要求はこの問題をも考慮している。

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028
<b>Worst Case (Flat) Data Volume (Gb)</b>																
MPU-HP - High Performance MPU (Server)	1458	1984	2699	3673	4998	6138	7537	9256	11366	13957	17139	21046	25845	31737	38973	47858
MPU-CP - Consumer MPU (Laptop/Desktop)	853	1160	1579	2149	2924	3591	4409	5415	6649	8165	10027	12313	15120	18567	22800	27998
SOC-CP - Consumer SOC (Consumer SOC, APU, Mobile Proces	1122	1526	2077	2826	3846	4723	5800	7122	8745	10739	13188	16194	19886	24420	29988	36825
<b>Best-Case Test Data Volume (Hierarchal &amp; Compression) (Gb)</b>																
MPU-HP - High Performance MPU (Server)	4.7	5.1	5.7	6.4	7.2	7.3	7.4	7.5	7.5	7.6	7.9	8.0	8.1	8.1	8.5	8.5
MPU-CP - Consumer MPU (Laptop/Desktop)	3.7	4.1	4.6	5.1	5.7	5.7	5.8	5.8	5.9	6.0	6.1	6.1	6.2	6.3	6.4	6.4
SOC-CP - Consumer SOC (Consumer SOC, APU, Mobile Proces	6.9	7.9	8.8	10.2	11.6	12.2	12.6	12.5	13.1	13.5	14.2	14.5	14.5	15.2	15.5	16.3
<b>Best-Case Compression Factor (Hierarchal &amp; Compression)</b>																
MPU-HP - High Performance MPU (Server)	312	389	471	572	694	842	1022	1242	1509	1835	2171	2628	3201	3904	4594	5611
MPU-CP - Consumer MPU (Laptop/Desktop)	231	280	342	425	516	625	758	926	1123	1363	1655	2009	2425	2948	3586	4368
SOC-CP - Consumer SOC (Consumer SOC, APU, Mobile Proces	162	192	236	278	330	388	461	568	666	795	932	1114	1376	1609	1932	2259

Figure TST 8 – DFT Compression Factors (Flat with No Compression = 1)

図 TST8 は様々な DFT 手法がテストデータ増の問題に与えるインパクトを示している。現在のテストデータ圧縮技術は、各々のテストベクトルが X 値(テスト検出率の向上に貢献しないドントケアビット)を多く含む事実を利用しており、100 倍を超える圧縮率を達成している。しかし、表 TST8-Logic【訳者注:原文の SoC は誤記】に示すように 100 倍の圧縮でも十分ではなく、そのため今後より高度な技術が必要になる。図 TST8 は予想される

圧縮レベルを示している。スキャンチェーンに適用されるテストベクトルの類似性を利用することにより、より高い圧縮率を達成できる可能性がある。また、適用されるテストベクトルの時間的な類似性を利用することにより、さらなる圧縮率の向上を実現できる可能性がある。このように、多次元的な類似性の利用は候補技術となる。

この予想されるテストデータ量をテストおよびテスト時間に対する要求値に置き換えるためには、使用可能な外部スキャンチャンネル数、および、テストデータをチップに印加およびチップから観測するクロックのデータレートを考慮する必要がある。これらの重要なパラメータの推定値は後述の表 TST7 の SoC と MPU の節に示されている。これらのパラメータは部分ごとに異なる可能性があるため、その結果として示されているデータは各部分に適用するアプローチに応じて調整する必要がある。

- チップにより多くのスキャンチェーンを設けることによりテストの並列性が向上し、それに比例してテスト実行時間が短縮し、また、テストピンごとのメモリ量も減少する。
- スキャンチェーンをより高速なクロックで動作させることによりテスト実行時間は短縮するが、テストメモリの要求に対しては効果がない。

テストメモリの要求を考えた場合、特定のチップにどのテストパターン圧縮手法を用いるかも問題である。この問題はチップサイズ、個別の選択、TTM(Time-to-Market)の制約などの多くのパラメータの影響を受ける。そのため、表 TST8 の解析では、もっとも複雑なチップをテストするために必要なピンごとの最小パターン数が示されている。このデータは、より精巧なテスト生成手法を使用することにより、最小パターン数の要求値がロードマップに示された期間中に 2~3 倍程度しか増加しないことを意味している。

このような多くのテストデータ量をやり取りするために必要なテスト時間は、使用されるデータ速度に影響される。コスト効率の良い高速テスト機能を採用することにより、このデータ速度がテストを高速化し、チップごとのテスト時間を短縮するのに使用されると考えられる。分析ではこの影響を考慮し、テスト時間がスキャンシフト速度の高速化の影響で時間とともに減少するとしている。なお、ゲートあたりのテスト実行時間を一定に保持することが、直ちにテスト実行コストの安定を意味するものでないということに注意する必要がある。したがって、トランジスタあたりのテストコストのスケラブルな低減を達成するためには、同測数の増加、低コストテストの使用、テスト速度の向上などの ATE コストを削減するための手法も用いる必要がある。

コア階層でのコンカレント同時テストはテスト時間削減の可能性を持つ。ATPG/DFT レベルの削減手法の開発が今後必要である。「Test per clock」はスキャンテストとはかなり異なる(すなわち非スキャンの)テスト手法であり、クロックパルスごとにテストを実行しスキャンシフトを必要としない。この手法に関するいくつかの研究はあるが、実用化にはさらなる研究が必要である。

設計効率向上のために高位の設計言語が用いられるようになっており、DFT も高位の設計段階での適用が望ましい。DFT の設計ルールチェックについては既にある程度利用可能である。テスト容易性の解析、故障検出率の推定、非スキャン設計手法を含む高位レベルでの DFT 合成が次の段階として必要である。一方、歩留りロスも気になる。テストパターンは DUT(テスト対象チップ)のすべての故障を励起するため、通常の動作では発生しない過剰なスイッチング動作をもたらす。これは機能動作を不安定にさせる過剰な電力消費を引き起こし、その結果、テストフェールとなる可能性がある。これはオーバーキルの原因となる。更に、抵抗性の電圧低下やクロストークなどによるシグナルインテグリティの問題も発生する可能性がある。これにより、機能動作が不安定あるいはマージナルになり、その結果、障害を引き起こす可能性もある。したがって、テスト(DFT)設計での電力消費とノイズの予測と制御が必要である。テスト回路自身のリーク電流もまた、電力消費の一部として検討されるべきである。

この節のこれまでの議論は自動生成されたスキャンベースのテストに関する要求にフォーカスしてきた。機能テスト手法は、チップのエンドユーザでの応用への適合性の確認に関して、スキャンベーステスト手法を改善するために広く用いられ続けるであろう。更に、MPU にも SoC にもますます多くのメモリアレイが搭載される。

### 7.2.1.2 埋め込みメモリアに対する要求課題

半導体プロセス技術の進歩およびいくつかの特殊アプリケーションの要求により、メモリインスタンスの数とメモリの総ビット数は増大し、これに伴って BIST、救済および故障診断のための回路に対するエリア・インベストメント【訳者注: エリア・ペナルティという言い方が一般的だが、必要な機能に要する面積増加という意味を強調し、ITRS ではこのような用語を用いている】も増加する。また、メモリアの高密度化と動作周波数向上により、メモリ DFT 技術には以下のように SOC 上で実装され、エリア・インベストメントの増加要因となっている。

- 先端プロセス技術において出現する新しいタイプの欠陥に対応するため、与えられたメモリ設計と欠陥の集合に対して、専用の最適アルゴリズムを適用しなければならない。場合によっては、柔軟なテストアルゴリズムの作成を可能にする高度なプログラマブル BIST が開発されなければならない。
- BIST 結果を解析して冗長性要素の割り当てを行う、組み込み冗長割当 (BIRA: built-in redundancy allocation) や、チップ上で実際の再構成 (ハード救済) を行い、組み込み自己救済 (BISR: built-in self-repair) のような実用的な内蔵の救済技術が、歩留りを改善するために実施される。
- 不良情報のオンラインでの収集は歩留り習熟にとって不可欠である。組み込み自己診断 (BISD) 技術は、ビット、ロー、カラムの不良、あるいはこれらの不良の組み合わせといった不良のタイプを、大量のテスト結果をダンプすることなしにチップ上で識別し、その結果を ATE に渡して歩留り習熟に活用することができる。前述のテストアルゴリズムのプログラマブル性は、診断の分解能を向上するようにより洗練されたものでなければならない。アルゴリズムとテストデータ/条件の組み合わせに対して柔軟性を持つとともに、大量の生産テストでは使われることのないメモリ診断専用のテストパターン生成能力を持たねばならない。
- 以上のすべての機構は、コンパクトなサイズで実装されなければならないし、またシステム動作周波数で動作しなければならない。

表 TST4 に基づくと、2013 年において内蔵メモリに対する組み込みテスト、救済および診断のための回路のサイズは 1M ビットあたり最大 35k ゲートになる。これには BIST、BIRA、BISR および BISD の回路を含むが、光学的ヒューズあるいは電氣的ヒューズのような救済をプログラムするためのデバイスは含まない。メモリの総ビット数に対するエリア・インベストメントの比率は、今後 10 年間は増加してはならない。この要求課題は容易に実現できるものではない。とくに、メモリの冗長アーキテクチャがより複雑になると、救済解析を少量の回路で実装するのは困難になるだろう。このため、BIST、救済、診断アーキテクチャにおけるブレークスルーが必要となる。メモリアの BIST、救済、診断回路を高速部と低速部に分けることによりエリア・インベストメントとタイミング・クロージャ作業のための所要時間は削減できるかもしれない。カウンタとデータ比較回路で構成される高速部はメモリアに内蔵することも可能であり、それによりテストモードにおけるシステム速度での動作のための制限が緩和されるだろう。スケジューリングやテストパターンのプログラミングなどのための回路で構成される低速部は低速で動作するように設計することもできるし、あるいは複数のメモリアで共有することもできる。これにより、エリア・インベストメントを削減でき、また論理設計および物理設計の作業を容易化できるだろう。今日の SoC の多くは数多くの小規模メモリアを持っている。しかし、このような場合には、同じ総ビット数を持つ単一のメモリアと比較し、より多くの DFT 回路が必要となる。したがって、これらの多数のメモリアを少数のメモリブロックに集約することにより、メモリ DFT のためのエリア・インベストメントを劇的に削減することができる。テスト容易性を考慮した高位合成は、メモリセルの割り当てプロセスにおいてこの機能を実現するとともに、システム動作におけるメモリ・アクセスの並列性を考慮しなければならない。

### 7.2.1.3 SoC の集積に関する要求課題

IP コアの再利用は設計効率の鍵となる課題である。IP コアがサードパーティのプロバイダから入手される場合には、所定のテストソリューションを採用しなければならない。多くの EDA ツールがロジックコアに対する標準フォーマット (例えば IEEE1500) に既に対応しており、この標準フォーマットの普及とアナログコアのような他の種類のコアへの拡張が必要である。DFT と ATE のインタフェースも標準化されつつあるが (例えば IEEE1450)、その中にはテストベクタだけでなくパラメトリックな要素も含められなければならない。設計および

テストの自動開発環境は、SOCレベルのテスト論理構造を構成し、テスト設計情報と各 IP コアのテストデータからテスターパターンを生成することが要求される。この環境は、以下に記述されたコンカレントテストを実現すべきである。

各コアのテスト品質は、現在は縮退故障や遷移遅延故障あるいは微小遅延故障などの種々の故障検出率を用いて評価されているが、各コアの故障検出率をまとめて全体としてのテスト品質を得る統一的な方法が開発されなければならない。従来、構造テストの品質を補うために機能テストが用いられてきたが、コア間およびコア・インタフェースに対する自動化されたテストに近い将来に開発されなければならない。SoC レベルの故障診断には、設計あるいはプロセスにおける歩留りを下げる要因(例えばシステムティック欠陥)の習熟が可能な、システムティックな階層診断プラットフォームが必要である。それは欠陥のあるコア、そのコア中の欠陥のある部品、その部品中の欠陥のある X-Y 座標を階層的に指摘しなければならない。対応可能な欠陥タイプのメニューは、最新のプロセス技術における物理欠陥の母集団の増加に合わせて強化されなければならない。設計ツールと ATE あるいは物理解析装置との間のスムーズな標準化されたインタフェースも必要である。同一のコアを含む複数の製品にわたって整合の取れたデータを収集し、データベースに格納してデータマイニング手法により統計解析するためには、大量診断が必要である。効率的な歩留り習熟のためには【訳者注: データベースに収集される】データ項目のメニューが非常に重要なキーであるが、現時点ではこれはノウハウとなっている。

### 7.2.1.4 コンカレントテストイング

SoC テスト時間短縮のため、同時に複数の IP コア(同一ではない)のテストを行うコンカレントテストイングが有望な技術である。例えば、もし他のテストが同時に実行されるのであれば、ハイスピード I/O の長いテスト時間が緩和され、トータルのテスト時間を劇的に減らすだろう。コンカレントテストイングのコンセプトを実現するために、製品設計過程において慎重に考慮されなければならない項目が存在する。これらの項目は、テストピン数、テスト中の電力消費とテスト工程の制限を含む。これらの項目は表 TST5 および表 TST6 における、DFT または ATE に対する必要な特性のどちらかに分類される。IP コアは、テスト時間を増加させずに、テストピン数を減らすことができる並列テスト能力と、様々なタイプのコアの並列テストを可能にする DFT 手法を持つべきである。これらの要求がチップ上のコアタイプによって異なるため、従来型の CMOS デバイスを搭載する単一 SoC に RF、MEMS および光学的デバイスを集積する標準的方法が開発される可能性がある。それは、アナログ・ミクスシグナル/RF DFT の進歩により統合させることができる、IP ベンダ、設計者、DFT エンジニアおよび ATE エンジニアによりインタフェースとして使用されるテストスペックの統合化と標準化を含む。(例えば、コア自体のテストとコアのテストアクセスのための統合された効果的なインタフェース、または IEEE Std 1500 の幅広い採用、およびそのアナログへの拡張など。)

DFT と ATE は協力してコンカレントテストイングの必要条件と制約を考慮する必要がある。コンカレントテストイングを可能にするための課題が複数存在し、これは容易な作業ではないだろう。例えば、設計者により各 IP コアとチップアーキテクチャに対して指定された、設計とテスト情報に基づいて、テスト時に予想される電力とノイズを解析した後、ATE ソフトウェアは、コンカレントテストのスケジューリングを実行することができる必要がある。

Table TST 5 – Required Concurrent Testing DFT Features

Features	Contents
External test pin sharing	Each JTAG enabled IP core must use the 5 JTAG interface (TRST, TMS, TCK, TDI, TDO). Cores that have non-JTAG interfaces must be able to share external test pins with other cores.
Design for concurrent testing	The test structure of an IP core must be operationally independent from that of all other IP cores
Identification of concurrent test restrictions	The presence of any test restrictions for each IP core must be identified to the scheduler. (e.g. Some IP cores are not testable at the same due to noise, measurement precision, etc.).
Dynamic test configuration	Test structures/engines that can change the order of test and the combination of the simultaneous test to each IP core

Test Data Volume	The test data volume of all IP cores must be able to be stored in the tester memory
Test scheduling	Critical information on each IP must be available to the test scheduler a) Test time of each IP core. b) Peak current and average power consumption for each IP core c) Test Frequency for each IP core
Common core interface	The test access interface of IP cores must be common among all IP cores (e.g. JTAG)
Defective IP identification	There must be a mechanism to identify defective IP cores prior to and during test

Table TST 6 – Required Concurrent Testing ATE Features

Features	Contents
Numerous Tester Channels with Frequency Flexibility	A large Number of Test channels that cover a wide range of frequencies will enable efficient concurrent testing. Test channels must provide test data such as clocks, resets, data, or control signals to many corresponding IP blocks. Testing can be more flexible if channels assignments are dynamically changeable
Mixed Data type support	Capability of loading / unloading test data that is a mixed combination of digital, analog, and high speed I/O data is required.
IP block measurement accuracy	Measuring accuracy of testing (e.g. high-speed I/O test) should be preserved in concurrent testing to match the specifications.
Test Data Handling Efficiency	Test data loadable to each divided test channel should closely match memory usage efficiency as that of non-concurrent test.
Power supply capability	A Large number of capable power supplies pins will enable large number of IP blocks to be simultaneously tested
Multi-Site Testing capability	Capability to perform both multi-site testing and IP-level concurrent testing at a time will enable efficient testing
Capable Software	Automated test scheduling software that can decide test scheduling configurations while considering many constraints is required.

## 7.2.2 システム・イン・パッケージ

SoC とは対照的に、SiP では集積する前に部品のテストを行なうこともできる。一つの故障部品が SiP 内にある他の複数の故障の無い部品を使えなくすることもあり、またこれにより SiP の歩留りを厳しく制限することにもなるため、この点は重要である。更に、集積が組立てやパッケージング時に行われることから、集積前の部品テストは通常ウェーハプローブテストの際に行われなければならない。つまり主要な課題は、良品ダイを集積前に識別するということになる。「Known Good Die (KGD)」は、単一チップとしてパッケージされたデバイスと同等の品質と信頼性を持つと信頼できるベアダイの呼称として、1990 年代中頃に造られた用語である。

ほとんどの場合、単一チップパッケージの形でデバイスのテストおよびスクリーニングを行うことにより、今日出荷される IC 製品に対する出荷時の品質と信頼性の数値は基準を満たしている。一般的に、ウェーハプローブテストは性能選別、信頼性スクリーニング、あるいは効率的な同時測定コンタクトには向いていない。このため、一般的には、これらのテストはパッケージレベルでテストとバーンインソケット、バーンインチャンバおよびロードボードを用いて行う方がより効果的である。結果的に、KGD プロセスでは、許容できる品質および信頼性の目標を満たすように、プローブ時およびその後のダイレベルのテストおよびスクリーニングで、ダイが高いクラスに選別されることが暗に求められる。主要な短期的課題としては、異なるマーケット部門で要求される品質および信頼性目標の設定、ウェーハ、あるいはダイレベルで適用できるコスト効率のよいテストおよび信頼性スクリーニング手法の開発、そして、得られる品質および信頼性のレベルに関して高い確信を与えられる品質および信頼性手法の開発がある。より長期的な課題としては、最終製品にも利用可能なエラー検出および修正機能を持つ完全な自己テスト戦略への移行が挙げられる。

### 7.2.2.1 積層ダイのテストおよび装置に関する課題

積層ダイ(SiP および TSV) 製品は、複数のサプライヤからのダイを含む可能性があるため、製造の後工程に対する多くの固有な課題をもたらす。このことは以下の領域に問題を生じさせる。

- コストと DPM の目標を両立させるためのパッケージテスト戦略の開発
- 多様な製品／プロセス技術で必要な信頼性スクリーニング方法(バーンイン、電圧ストレス、など)に適合する製造フロー
- 品質問題とシステマティックな歩留り課題を解決するための故障箇所特定を行う故障解析方法

パッケージレベルでの積層ダイのテストは複雑な SoC 製品のテストの問題と良く似ている。すなわち、多様な IP のそれぞれの特異なテスト要求を、一つの一貫したテストフローに集約しなければならない。SoC の場合、すべてが一つのチップ上にあり、同時に設計されるので、様々なブロックのテスト戦略が IEEE1500 標準仕様で定義されたような戦略を用いて、テストラッパーやテスト制御ブロックなどを通して統合される。積層ダイの場合は、ダイのサプライヤが特殊なテストモード(特に汎用メモリ製品の場合、ときには機密とされる場合がある)にアクセスするのに必要な情報の提供をいやがったり、SoC では通常用いられるテスト戦略を実装するために必要なテストインフラを、個々のダイが持たなかったりする場合がある。

KGD のみを扱う SiP でさえ、組み立てが正確に実施されたことを保証するために、最終組み立ての後にある程度の量のテストが必要である。最終組み立てが KGD ダイに破壊や変化を起こしえるようなダイの薄型化や積層形成を含むとき、追加のテストが必要になるかもしれない。故障箇所特定に関するケースでは、特定のダイ、更はそのダイの小領域まで故障箇所を絞りたい場合は、通常の生産では必要としなくても、そのダイに対する詳細なテスト戦略の十分な理解が必要になる。

信頼性スクリーニングの場合、他のダイが電圧ストレスのみを要求するのに対して、あるダイはバーンインを要求するかもしれない。あるダイのストレス条件は、同一パッケージ中の他のダイと整合しない(有害でさえある)かもしれない。SiP 製品の中の異なったダイには全く異なったプロセスがしばしばあるので、解決はより難しい。一つの解決策は、最終パッケージング後の信頼性スクリーニングを避けることだが、全体的なコストを増大しかねない(例えば、ウェーハレベルのバーンインは通常パッケージレベルのバーンインよりも高価である)。

異種のダイがマルチチップパッケージの中に組み立てられるとき、組み立てられたモジュールを完全にテストするのに、異なったプラットフォームにおけるいくつかのテスト工程【訳者注:insertion は被測定デバイスを挿入するという意味であるが工程と訳す】の追加が必要になる場合がある。複数のテスト工程の追加は結果的に機械的なダメージによるテストエスケープや歩留りの低下をもたらすかもしれない。積層されたパッケージの上面にコンタクトするために、新たなテスト装置が必要になる。ウェーハ積層技術には、歩留りとコストの目標を達するために最終的な積層を「修正する」ことができるような、より良い冗長救済技術が必要となる。動作中に故障した部品を特定し、冗長な要素を起動できるような電子システムを設計し製造することが、SiP の信頼性への主要な課題である。

### 7.2.2.2 ウェーハテストと装置に関する課題と関心

今日、共通で用いられているプローブカード技術は「最終テスト」の環境としてあまり理想的ではない。スピードクリティカル【訳者注:実速度】、RF、遅延およびアナログテストといった性能ベースのテストのほとんどはパッケージレベルで実施されているので、KGD プロセスの最大の課題は、欠陥のある、あるいは使用初期に生じる故障をもつデバイスを次の組立工程に送られる前に速やかに識別する、コスト効率が良く、製造価値があり、確実に正確な手法を開発することである。

ディスプレイドライバや最先端 DRAM のような、ある種のテクノロジーに対するテスト時間はきわめて膨大である。ウェーハプローブ工程の制約により、テストのスループットはパッケージされた部品より大幅に低下する。コスト効率の良い方法で DRAM ダイをウェーハレベルで完全にテストするための課題には、前にプローブしたダイと重複したり、ウェーハを外したりせずに、また既に除外したり、明らかに動作しないダイすべてに対するテスト時間と電力の浪費を避けながら、ウェーハ上の複数のダイをプローブできる技術の開発が含まれる。

### 7.2.2.3 RF デバイスのウェーハテスト

KGD プロセスを RF ダイに適用するための主要な課題は、高性能で狭ピッチなプローブカードの開発である。

## 40 テスト

RF ダイは小型であるので、パッドピッチは非常に狭い。例として、ある製品ではパッドピッチが 75 $\mu\text{m}$  を下回っており、今日の実際のプローブ技術の限界である。

RF プロービング時のシグナルインテグリティを良好にするために、GND—信号—GND という構成が RF 信号には要求される。RF デバイスの KGD プロセスに対する主要課題は、適切なプローブカード設計と RF プロービング技術により、制御されたインピーダンスのもとで RF パスを維持するためにダイの中で GND—信号—GND 構成が設計されていることを保証することである。

### 7.2.2.4 ウェーハもしくはダイレベルでの信頼性スクリーニング

電圧や温度の規定時間を超えた印加は、シリコンに潜在している不良を故障へと加速するためのストレスとして知られている。これらはウェーハやダイレベルよりパッケージレベルでの適用が容易である。ダイをパッケージ化する前にこれらのストレスを適用することは、KGD にとって主要な課題である。

製造から要求される処理能力を持つ費用対効果に優れたウェーハ全面のコンタクト技術の開発は、この産業の主要な課題である。コンタクト工程の能力は、コンタクト技術の性能だけではなく提示された製品のバーンインストレス上の要求によっても決まるものである。

### 7.2.2.5 テストデータの統計的な処理

微細な潜在欠陥を特定するために統計データ分析を使用する手法は、この業界の、特にバーンインが受け入れられないような多品種少量生産、および製品寿命が短いデバイスタイプや、プロセスばらつきにより従来のテスト制約の下では良品ダイと欠陥ダイを分別したりすることが不可能となるような製品において、支持を受けるようになってきている。バーンインの代わりにテスト工程で行う信頼性スクリーニングの利点は、テスト時間、テスト治具、設備装置、および作業量を削減できることである。KGD の意味するところは、標準のプローブとテストでウェーハレベルでのスクリーニングが実行されるということであり、すべてのデバイスが出荷時の最終パッケージに関わらず、データシートのスペックや、そのプロセスにおける出荷品質や信頼性の目標の全条件に従うことを考慮されているということである。テストで得たデータによる統計的手法を用いることで、各ダイのテスト測定値(例えば、I<sub>dd</sub>、V<sub>ddmin</sub>、F<sub>max</sub>)【訳者注: V<sub>ddmin</sub> は最低動作電圧、F<sub>max</sub> は最高動作周波数】は選別される代わりに記録される。これらの測定値は異なるテスト条件や、ストレステストの前後や異なる温度条件で、記録が可能である。良品か不良品かの判断基準は、テスト測定後にアルゴリズムを使用することで記録された測定値の統計分析に基づいて決定する。統計的分布の外れ値は、システム故障か初期故障のデバイスであることを示す統計的な見込みに基づいて等級付けされる、そして、インク【訳注: テストで不良判別ダイ識別のためのマーク】を用いないウェーハマップがそれによって更新される。統計的手法を用いてテストするための課題は、潜在的な故障の集団と本質的な歩留り損失の間の、許容できるトレードオフをとることである。

### 7.2.2.6 後工程におけるダイの品質への影響

組立て途中の工程が、あるテクノロジーにダメージを与えることがある。ウェーハの薄型化が一つの例である: DRAM ウェーハの薄型化による、リフレッシュ特性の変化が観測されている。ウェーハレベルでフルにテストされたウェーハからのダイが薄型化され、SiP や MCP に組み立てられた後、全く同じテストで故障となることがある。組立工程中の熱処理ステップが、個々のビットのリフレッシュ特性の変化を起こすこともある。この現象は可変リテンション時間 (VRT: variable retention time) として知られており、組立工程前にスクリーニングすることはできない。主要な課題は、ダイサプライヤーによって達せられる品質レベルを再設定することである。組立て後の追加テストにおいて、マルチチップパッケージ内部の個別の故障ダイにある冗長な要素を有効にすること、またはマルチチップアプリケーションに対して特別に設計された構成要素を使用することで、この課題は成し遂げられるはずである。

## 7.3 ロジック

この節では、マイクロプロセッサのような非常に複雑なデジタルロジックデバイスに搭載された CMOS デジタルロジック部のテストに焦点を当てる。また、もっと一般的に、単体で用いられる、あるいは、他のより複雑なデ

バイスに集積されるロジックコアのテストについても焦点を当てる。一番の関心事は、基本的なロードマップのトレンドが継続すると仮定した上でのロジックテストの主要な特性のトレンドである。リファレンスとなるデバイスとしては、ほとんどのトレンドデータが得られることから、「大量生産マイクロプロセッサ」と「民生用 SoC」を選んでいる。(キャッシュメモリのような)内蔵メモリ、I/O、ミックスシグナル、あるいは RF に対する個別のテスト要求はそれぞれその対応する節で述べられており、これらを搭載した複雑なロジックデバイスについて考える場合には、これらの節についてもよく理解しておくべきである。

*Table TST 7 – Logic Assumptions*

*Table TST 8 – Logic Test Data Volume*

*Table TST 9 – Logic ATE Requirements*

### 7.3.1 大量生産マイクロプロセッサのトレンド・ドライバー

表 TST7 に示すトレンドは ITRS の他の部分から抽出したものである。将来のロジックテストの要求課題を予測するための主要な前提条件の基盤とするために、ここで再構築している。表 TST7 の最初の 2 つの項目はチップサイズのトレンドおよびチップあたりの機能数(トランジスタ数)を示す【訳者注:原文は表の構成の変更に対応していないため、実際の表に適合するように記述を変更している】。エリアという意味でのチップサイズはほぼ一定である。次の項目【訳者注:表 TST7 には、具体的にこの部分に対応する項目はないが、トレンドとしては重要であるためそのまま訳す】はマルチコア設計へと向かうトレンドを反映している。すなわち、ある意味で、マイクロプロセッサのスケーリングの主たる制約(クロック周波数の増加という従来からの利得の損失)に対応するために、マルチコア設計が必要であるという点である。これは、プロセス世代ごとにコア数を大きく増加させるというトレンドとなる。そしてそれには、特定の命令セットを持つ複数のプロセッサコアだけでなく、グラフィックス・プロセッサ(GPU)、特別な I/O ユニット(USB など)あるいはそのプロセッサ固有でないその他の多様なコアなども含まれることになる。

### 7.3.2 システムのトレンド・ドライバー

システムのトレンド・ドライバーは将来のテストの要求課題を見積もる際に非常に重要となる。例えば、システムの制約で最も重要なものの一つに消費電力がある。モバイルアプリケーションの広がり、バッテリー技術の改良の遅れ、システムの電力浪費の問題、そしてエネルギーコストの増加は、いずれもデバイスの電力消費の実用的上限値の判断材料となる。性能の向上に伴って際限なくデバイス電力を増加できる時代は過去のものである。これは、必ずしも性能も同じように頭打ちになるということではなく、ムーアの法則を継続するためにはこの点が一つの主要な課題となることを意味する。トランジスタ、プロセス技術、設計アーキテクチャ、そして(3次元積層を含む)システム技術における革新がそれぞれ大きなインパクトを与えるのではないだろうか。

テストにインパクトを与えるシステム技術の革新の候補の一つとして、チップとパッケージの電圧調整の統合化がある。チップ電力の増大とコア数の増大は、少なくとも以下の 2 つの理由から、この考え方を今までになく可能性の高いものとしている。第 1 の理由は、パッケージが、その電源/グランドピン数およびピンごとの最大電流の制約から、いずれは電力消費を制限するようになることである。これらの制約は、オンチップの調整により、チップに対してより高い電圧を供給することで、大幅に緩和できる。第 2 の理由は、マルチコアアーキテクチャにより、電力消費の完全な最適化のためには、各コアに対するより高度な独立した電力供給が必要となることである。いずれは、これはオンチップでの実現が必要になると考えられる。全体としてみると、このトレンドは電力のテスト対象デバイスへの供給の問題を簡単にすると考えられるが、一方では、多くの新たなテストの課題を生み出すかもしれない。なぜなら、精細な電圧制御と電流測定はいつも消費電力の大きなデバイスのテストにとって重要なポイントとなるからである。

もう一つの重要なシステムのトレンドとして、チップ間データのバンド幅に対する要求の長期にわたる絶え間ない増加がある。これは、チップ I/O のデータレートの増加や I/O ピン数の増加ということができる。1 ギガ転送毎秒(GT/s)をはるかに超える速度を高い信頼性で達成するためには、差動信号伝送やデータへのクロックの埋め込みのような高速シリアル信号伝送技術を取り入れる必要がある。これらのインタフェースのテストに関す

## 42 テスト

る要求および技術課題に関するより詳細の議論については、「高速 I/O インタフェース」の部分【訳者注：7.4 節】を参照されたい。

データバンド幅増加の一つの表れとして、3次元積層メモリと高密度かつ低電力な TSV (Through-Silicon Via) インタフェースの使用が考えられる。これにより、多くのテスト課題が提起される。例えば、経済的な要請による積層前の KGD (Known Good Die) の識別、TSV の物理的プローブの不可能性、しばしばスキャン用入出力として再利用されるピンへのアクセスの喪失、積層されたシステムの積層後テストに伴うテストコストの増加などへの対応が必要になる。

現在のあるいは将来のチップに搭載できるトランジスタの量が膨大であることから、合理的な期間に新たなチップを設計するためには、実用的には、組み込みコアを用いた IP/SoC 設計メソッドロジの使用が必要となる。そのようなコアベースあるいは IP/SoC 設計メソッドロジでは、いくつかの部品を異なったグループあるいは異なった企業で設計して、それを一つの SoC に統合することもできる。同一コアの複数のインスタンスを用いることは、利用可能なトランジスタを最終製品での意味のある利点に当てはめるための設計者の時間と作業量を削減するのに役立つ。例えば搭載コアのテストに関する IEEE1500 標準規格のような方法を用いてコアを周辺ロジックから分離する階層テストメソッドロジを適用することで、テストもコアの使用を活用することができる。多くのロジックテストに関する解析は、マイクロプロセッサと SoC の双方において、現在および将来におけるコアベースの階層テストの使用を想定したものである。例えば、テスト時間とテストデータ量の計算ではすべての搭載コアにはラッパー回路を持って 2 パス手法でテストされることを想定している。ここでいう 2 パス方式とは、最初にラッパー回路を内部テストモードに設定し個々のコアをテストし、その後でラッパー回路を外部テストモードに設定してコア間の接続やコア間ロジックをテストするというものである。

### 7.3.3 DFT のトレンド・ドライバー

テストコストのチップ規模に比例する増大を避けるために、DFT の適用範囲と有効性を継続的に改善することは極めて重要である。複数の再利用可能なコアの利用という一般的なトレンドは、多くの非常に興味深い DFT の可能性を呼び起こす。コアの並列テストは可能か。コア同士の相互テストは可能か。1 つ以上の冗長コアを設けてテストもしくはエンドユーザーレベルにおいて“悪い”コアを使わなくすることは可能か。また、ある種のオンチップ ATE (Automatic Test Equipment) のような汎用テストコアを用いる可能性はないか。これがどのように発展するか、そしてこれが製造テストにおける要求にインパクトを与えるかということを正確に判断することは非常に難しい。しかし、以下に示すようないくつかの明らかなトレンドがある。

- 複数の同一コアが一つのデバイスに含まれる場合、これらのコアのスキャンデータを共有して並列にテストするというトレンドは継続する。ただし、ここでは、任意の故障がコア単位で判別できるという現行の要求が続くことを仮定しており、各々のコアに対して、たとえそれが同じロジックのコピーであったとしても、スキャンアウトデータに個別にアクセスできる必要がある。
- 構造テスト、自己テスト、そしてテストデータ圧縮は、テストデータ量の増加の抑制だけでなく、テスト中のデバイスインタフェースの制限のためにも、継続的にかつ重要な技術として用いられる。多くの場合、コアの設計にそのような自己テストあるいはテストデータ圧縮機能が含まれていることが期待される。そして、それが、ダイのテスト時に、コア内部テストモードにおいて、コアを周辺ロジックから隔離してテストする際に利用される。テストコストの予測においてもコア単位でのスキャン圧縮の使用を仮定している。
- DFT は、歩留り習熟を加速する故障の位置特定にとって、引き続き必要不可欠である。
- メモリや I/O などの搭載された部品のテストの複雑さを最小化するためには、DFT が必要である。例えばメモリ BIST エンジン (コントローラ) は、外部にアルゴリズムによるパターン発生回路を設ける必要性を緩和するために、当然のこととしてデバイスに組み込まれている。また、量産時のテストにおける高度な I/O テスト専用機能の必要性を緩和するために、(内部ループバックやアイ・ダイアグラム・マッピング回路などの) I/O の DFT 機構の採用が増加している。

- DFT は、デバイスの決定論的な動作を確実にする、あるいはデバイスの非決定論的な動作を利用可能にするために必要性が増加している。有用な非決定論的な動作の例としては、電力管理機構、I/O 通信プロトコル、そして自己修復メカニズムがある。

### 7.3.4 ATE のトレンド・ドライバー

ATEは必要な操作環境と将来のSoCのテスト要求に適合するインタフェースを提供し続けなければならない。ドライバには、I/O速度、チップ電力、温度環境などのデバイス・パラメータとテスト時間の両者だけでなく、同時測定テストやテストの設置面積とコストなどのテスト現場の要求も含まれる。

I/Oのデータレートは、ローエンドでは構造テストやDFTベーステストの低速アクセスを提供する必要性によって、一方ハイエンドでは元来の速度やチップ・インタフェースのプロトコルによって制限を受ける。サイクルアキュレートなテストの決定論的な動作に関する要求は、プロトコル考慮テストの出現により緩和されるだろう。同じデバイスに含まれるバラエティーに富んだ異なるI/Oタイプへの対応は、少なくとも短期的な視野の中では必要である。

モバイル・クライアントや高密度サーバに役立つ低電力設計がトレンドであり、伝統的な高性能マイクロプロセッサの設計でさえ、ロードマップの最終年度までテスト時電力を400Wで頭打ちにするようである(もともと、電力動作範囲を押し上げるようなマイクロプロセッサのある分野は、いつでも存在するだろう)。低電力設計のトレンドとしては、様々なテスト条件において適用できる正確な電力測定機器を必要とするような、特定の電力動作範囲をもつデバイス状態の存在も挙げられる。

テスト装置のベクトルメモリの要求値は、時間とともにゆっくりと増加することが期待される。しかし、それには、オンチップのスキャン圧縮率が頭打ちになるという可能性がある。次の節でテストデータ量の計算のベースとなる考え方について説明する。

### 7.3.5 ロジックテストの仮定と考え方

個々のコアに対するスキャンテストに関する考え方を図TST9に示す。

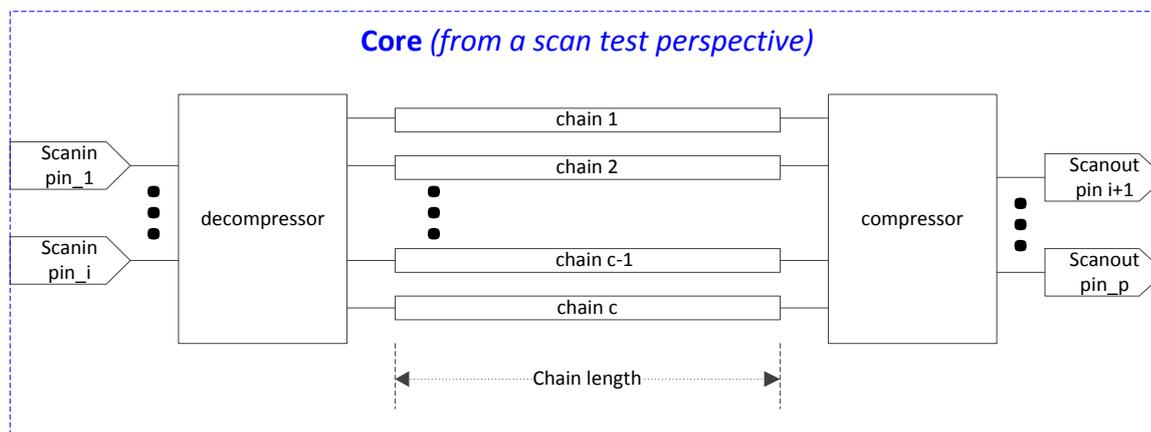


Figure TST 9 - Scan test view of a core

各スキャンテスト可能なコアはスキャン圧縮のためのハードウェア(展開回路および圧縮回路、合わせて“codec”と呼ぶ)を持つと仮定する。このハードウェアは、少ない数のスキャン入力チャンネルを多数のスキャンチェーン(それぞれ一様の長さを持つ)に展開し、またこれらのチェーンを少ない数のスキャン出力チャンネルに圧縮する。コアには、これらのスキャンチャンネルのためのスキャン入力ピンおよびスキャン出力ピンが設けられる。所望のスキャンシフト周波数をサポートするためのパイプライン・フロップを“codec”中に付け加えれば、これらは単にスキャンチェーン長の増加として現れる。

SoCは図TST10に示すように多くのコアからなる。

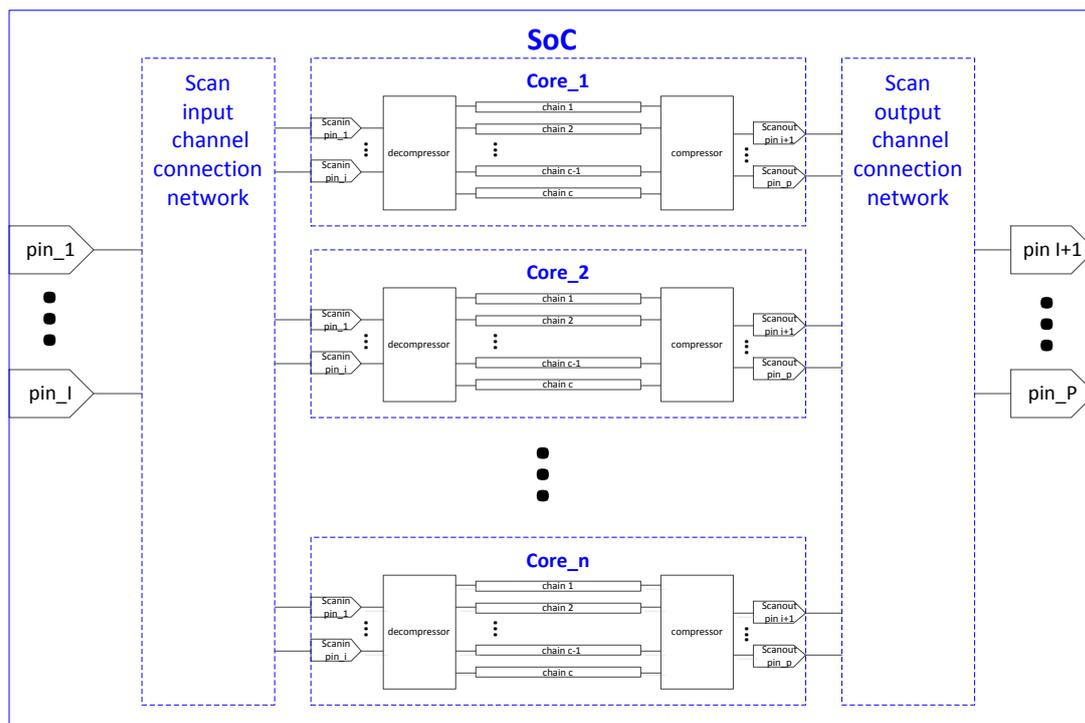


Figure TST 10 - SoC containing many scan-testable cores

図の SoC は多くのスキャンテスト可能なコアからなっている。コアに対してテスト入力を印加しその応答を観測するためには、チップの外部ピンをコアのスキャン入力およびスキャン出力ポートに接続する必要がある。このための技法は数多く提案されている。例えば専用テストピンの使用、通常機能用ピンのテストモードでの再利用、あるいはこれらの組み合わせなどがある。図 TST10 に、チップの外部ピンとコアのポートをマッピングするための外部ピンとコア間(入力側と出力側の双方)の接続ネットワークを示している。チップの外部ピンが十分にあって、すべてコアのスキャンポートを接続できるのであれば、このネットワークは明白(単なるワイヤ)となる。しかし、一般的にはチップの外部ピンが不足するため、このネットワークでは兼用、多重化、順列化、結合、あるいはピンとコアのマッピングを行う必要がある。どの方法を選択するかによって、テスト実行時間とテストデータ量が影響を受ける。しかし、このネットワークの構成と独立に予測を行うため、ここでの計算では、すべてのコアのすべてのスキャンポートと接続するのに十分なチップの外部ピンがあると仮定している。チップサイズに関する補正については、スキャンチェーンを増加できるようにすることで対応している。この方法は、(コアのチェーン構成は前もって確定していることを考えると)物理的には正確ではないが、モデルをそれほど複雑にしないでテストデータ量の正確な計算を行うことにつながる。

このアーキテクチャの一つの重要な変形を図 TST11 に示す。

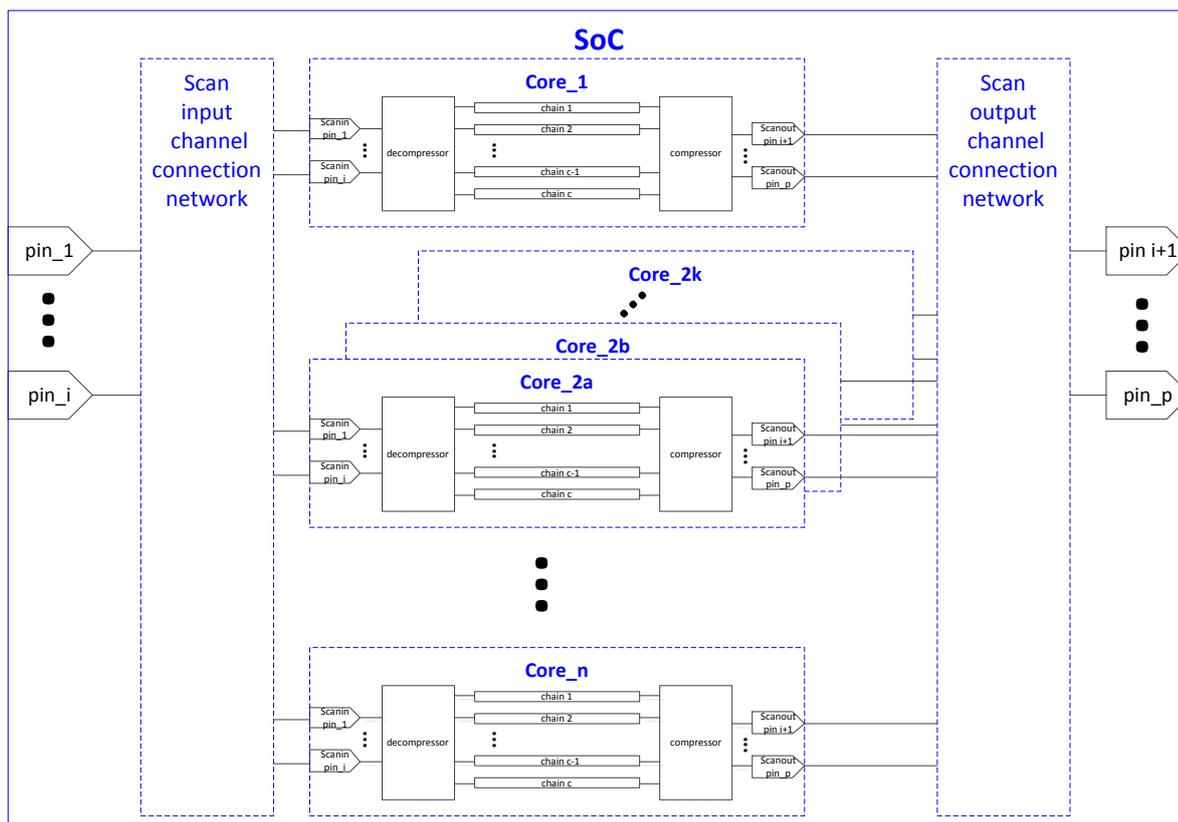


Figure TST 11 - SoC with multiple copies of Core\_2

複数の同一コアに使用により、これらのコピーをすべて並列にテストする可能性があるため、大幅なテストコスト削減の可能性が生まれる。これを達成するための手法は数多く存在する。もっとも一般的な手法は、図 TST11 に示すように、入力からすべての同一コアまではブロードキャスト方式で接続し、各コアからの出力は別々に観測できるようにするものである。この方法では、すべてのコアのテストを同時に実施するためには、多数のチップ外部出力ピンが必要となる。SoC の外部ピン数がコアのピン数より少ない場合はコアのテストをいくつかのセッションに分割する必要がある。しかし、上記のように、計算上は、この部分は単にピンがあるという代わりにスキャンチェーンを長くするというだけで取り扱うことができる。

計算のベースとなる考え方を示す最後のコンセプトは、図 TST12 に示すように、コアロジックのランダムロジックからの分離である。

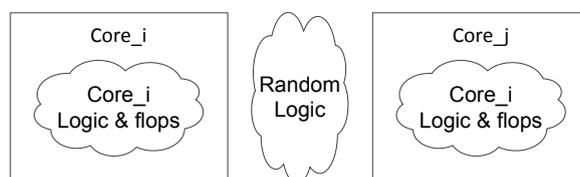


Figure TST 12 - Core logic vs. random logic between cores

コアレベルでのスキャンテスト(内向きモードあるいは内部モードとも呼ばれる)に加えて、ランダム(またはグループ)ロジック間も存在する。これらのテストは、ランダムロジックを動作させるために、コア内部のラッパー回路のフリップフロップを外向きモードあるいは外部モードにして利用する。コアロジックとランダムロジックは分離して計算する。

### 7.3.6 ロジックテストの計算

テストデータ量の計算に用いられる仮定を表 TST7 に示す。

## 46 テスト

テストデータ量の予測値を表 TST8 に示す。

この予測の1つの主要な結果を図 TST13 のテストデータ量のグラフに示す。

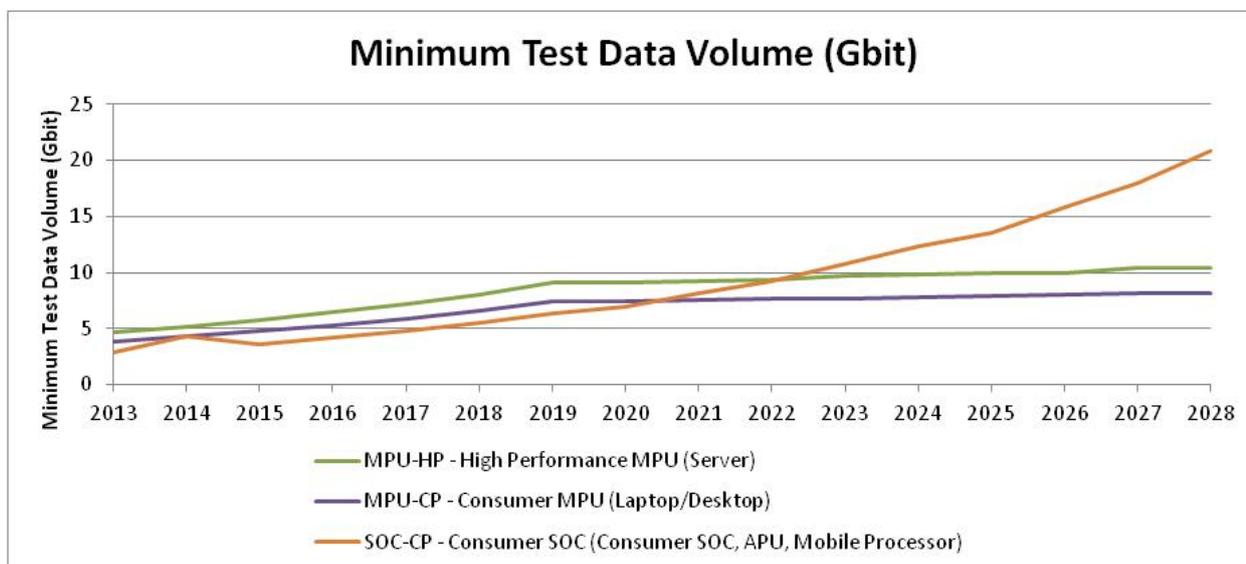


Figure TST 13 - Test data volume trend over time

テストデータ量のこれまでと同様の増加よりも、むしろ、長期にわたる増加の明らかな平坦化が見て取れる。これは、同一コアのコピーを多く用いる(そしてそれに伴って、これらのコアのコンカレントテストのチャンスが増える)というトレンドによるものである。このトレンドは非常に均質性の高いサーバ向け MPU デバイスでより顕著であり、逆に異質性の高い SoC-CP(コンシューマー向け SoC)ではあまり影響が見られない。

ATE へのパターン長とテスト時間に関する要求値の予測を表 TST9 に示す。

## 7.4 高速 I/O インタフェース

高周波のマルチ Gbps/GHz I/O 技術は、その原点であるシリアル通信を超え、コンピュータ利用やネットワーク、消費者向けアプリケーションの分野において、通信速度とポート数の点で急速に成長し続けている。これらは今日、マイクロプロセッサや周辺インタフェース用チップ、あるいは周辺デバイス内に非常によく見られる IP ブロックである。PCIe(PCI Express)【訳者注:原文にはないが略号の意味を追記、以下同様】、QPI(Quick Path Interconnect)、HT(Hyper Transport)、HMC(Hybrid Memory Cube)、Thunderbolt、GDDR(Graphic Double Data Rate)、Display Port、DDR、USB、インフィニバンド、SATA(Serial Advanced Technology Attachment)、SAS(Serial Attachment SCSI)、ファイバチャネル、ギガビット・イーサネット、XAUI(10Gbit Ethernet Attachment Unit Interface)、SONET(Synchronous Optical Network)、OTU(Optical Transport Unit)、OIF/CEI(Optical Internetworking Forum/Common Electrical Interface)などの Gbps インタフェースの規格は、応用範囲を広げてきている。応用範囲の多様さから、その将来的な傾向を単純な形で概説することは難しい。技術的な限界を押し上げるようなデバイスは IC 産業のほんの一部しか表していない。一方、必ずしもスピード限界を押し上げるわけではないが、ハイエンドの少量生産デバイスとは大きく異なるコスト構造により、テストコストの許容レベルが大きく異なる大量生産のデバイスも存在する。また、単一デバイス上に多数のポートを必要とし、この技術の通常の「シリアル」の概念からは外れ、違ったテスト上の考慮を要する別のデバイスカテゴリもある。上記の理由から、将来の技術的傾向は図 TST14 の散布図のようになる。

1998 年から 2001 年にかけての通信産業の急成長は、標準的なシリアル通信技術を 13Gbps まで押し上げ、更に、より特殊なプロセスでは 40Gbps に到達した。マルチ Gbps/GHz インタフェースの速度は、部分的には初

期の通信技術の実績を活用しつつ、コンピュータ利用とネットワークの分野で、(対数目盛でプロットされた図 TST14 に示されているように)急激に増加した。しかしながら、高速インタフェースで用いられるコスト構造やプロセス、パッケージ技術、テスト技術等の大きな違いにより、その適用は簡単ではなかった。例えば、Gbps/GHz インタフェースの多くは、主流の CMOS プロセスを用いた SoC 型のデバイスに組み込まれている。大規模集積においては、非常にノイズが大きい SoC 環境を対象とした信頼できる高性能インタフェース IP の設計だけでなく、高性能インタフェースのテストもまた課題となる。高度な集積レベルに起因する別の課題は、この領域では主要な性能尺度になりつつある Gbps/mW や pico ジュール/bit を下げることである。このパワー削減要求は、設計マージンに対する課題となる。また、「設計保証」と「生産テストカバレッジ」の複雑なバランスにより、テストの領域は影響を受ける。Gbps/GHz インタフェースのテストは、組み込み IP ブロックとして、現在は SoC チップレベル全体でのテストに結び付けられている。これらの用途の多くに対して、それは高周波/高性能テストが、多数の CMOS のデジタル端子や論理とかかわることを意味する。テストコストの許容度や、高周波計測器の有効性、テスト装置設計におけるシグナルインテグリティの制約などが、ここ数年にわたる新しい開発分野である。

他の技術ロードマップ分析と同じく、この急激な成長の傾向が持続できるかどうかは、技術的要求の変化や基礎技術の開発に依存している。2007 年に予測されたように、遠距離通信やデータ通信、およびストレージ産業は、一時的な Gbps/GHz の停滞期に達し、いくらか確立されてきている 13Gbps 帯を越えるための、技術的に重大な開発を要求するようになるであろう。2009 年から 2011 年の時点で、微細化されたプロセス技術は、14Gbps の FC(Fibre Chanel)や 16Gbps の PCIe など、13Gbps を超えたデータ速度の成長を後押し始めている。2013 年現在、最先端 CMOS 技術により、新しく興っている技術は 25Gbps を超えるところに届いているであろうか? 長距離通信分野とは異なり、Gbps/GHz インタフェースの一部(特にチップ同士のインタフェース)は、より高速な技術(例えば CEI/OIF、40G/100G Ethernet(IEEE 802.3ba standard))が費用対効果の面で見合うようになるまで、(バスのような)ポート数の増加を選択してきた。将来のデータ転送速度の進展は、2000 年頃の通信産業の急激な発展で見られた進展よりも遅くなるかもしれないが、mW/Gbps の観点での高い電力効率を伴う性能のスケーリングに対応するために、数年ごとに 2 倍になることを要求している。しかしながら、データレートの増加における、ゆっくりとはいえ未だ早い上昇は、新しい技術により崩れるかもしれない。データレートの上昇を再び活発化させ、テストへの極めて新しい挑戦を引き起こすふたつの技術が展望上にある。

第一の長期的テスト課題はシリコン・フォトリソグラフィである。必要とされる今日のディスクリット光学部品(例えば、VCSEL(Vertical Cavity Surface Emitting LASER)、DFB(Distributed Feedback)、レーザ)のコストが高いため、光学インタフェースは主に 10m 以上の距離のある通信リンク(例えば、LAN、Metro、WAN ネットワーク)に使われていた。最近のシリコン・フォトリソグラフィ技術の発展により、1m 以下の距離の電気インタフェースに対して代案を提供することができるかもしれない。これは主に、一般に用いられる FR4 銅材の損失が顕著(例えば 25GHz で 5db/インチ)になり、最大到達距離がバックプレーンで必要とされる距離(例えば~40 インチまたは 1m)よりもかなり短い 10 インチ(または~25.4cm)以下に限定されてしまうという事実によりドライブされる。相対的に低損失な銅材料を使うことを主張する向きもあるかもしれないが、その高いコスト(FR4 の数倍)は、1m またはそれ以下の距離でさえ、ファイバーに対する銅のコスト面での優位性を損なう。銅とファイバーメディアの損失、電力、コストの特性により、50~100GHz では、多数のチップとチップ、チップとモジュールのインタフェースは光学シグナリングと媒体としての光ファイバーを使うと推測されている。いくつかの光学部品をシリコン上へ集積することは、電気媒体の代わりに光学媒体を使うことに対してのコスト障壁を下げるができる。量産 ATE 環境における集積されたフォトリソグラフィ・デバイスへの課題は、将来における新しい課題を提示する。テスト上で使える光学測定器だけでなく、ソケット/PCB といったデバイスインタフェースとパッケージ・ハンドラも、性能や電力や機能の要求に合うように、エレクトロニクスとフォトリソグラフィの物理学によって大きく変わる。テスト・ハードウェア設計とシグナルインテグリティの解決は、光学と電気の合わさった環境に新次元を加える。

第二の長期的なテスト課題は、マルチレベルの符号化され変調された I/O である。データレートの更なる増加をサポートする CMOS 技術の進化とともに、電氣的な媒体の周波数帯域の利用効率を最大化するための新しい技術が開発されるかもしれない。これらの技術の第一ラウンドは non-return to zero (NRZ) やパルス振幅波形変調方式 2(PAM-2)の媒体損失を相殺するアナログとデジタルの同質化に焦点が当てられる。Gbps/GHz イ

インタフェースのために、6~25Gbps の範囲のアダプティブ・イコライズ(例えば、Decision Feedback Equalization (DFE))を持つことは、現在では一般的な特徴である。マルチレベルのエンコーディングの仕組み(例えば、PAM-M)は、いくつかのイーサネット規格(例えば、1000Base-T、PAM-5)用のもっと低い帯域幅の媒体を Gbps のデータレートに届かせるために既に使われている。ミックスシグナルの複雑さゆえに、マルチレベルの PAM-M のエンコードとモジュレーションは、まだ計画中の未来技術であり、大部分の Gbps/GHz I/O 規格の大部分にはまだ採用されていない。大部分の現在のテスト測定器が事実上バイナリである限り、マルチレベルエンコーディングへのテスト課題は明らかに高度である。もし PAM-M シグナリングを採用するならば、Gbps/GHz インタフェース技術と協調する新しいテストソリューションが開発される必要がある。新興の DSP SerDes (Serializer/Deserializer) アーキテクチャもマルチレベルシグナリングの助けとなるかもしれない。

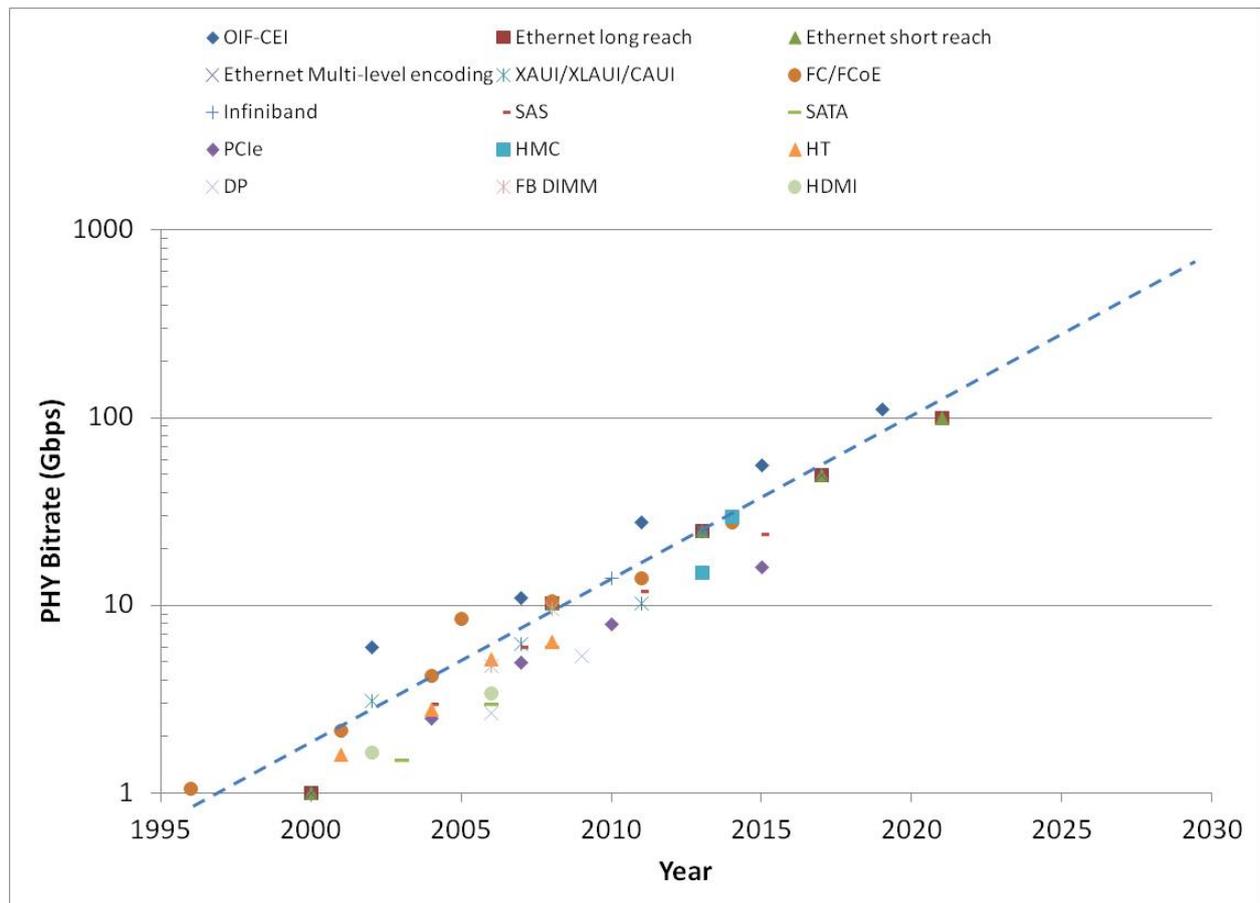


Figure TST 14 - High Speed Interface Trend

この2年の間にテストおよび測定業界は、高速シリアル接続のテスト手法の研究において目覚ましい進展を見せてきた。いくつかのテスト装置サプライヤは、大量生産テスト向けの 8Gbps を超えるピンカードレベルで実装された解決手法も提供しており、既に 12Gbps の手法を持っているサプライヤもある。いくつかの ATE という解決策のスループットは、前の世代から大いに改善された。よりフレキシブルなクロック生成の仕組みは、周波数と位相同期に関わる多くのオーバーヘッドを取り除いた。生産における正確なジッタのコンプライアンステストが、まだテストコスト上の制約によって不可能であったとしても、ジッタ測定とジッタ耐性テストについては、もはやこれらの機器の中で後から考えることではない。ATE はまた、同期化されたアライメントパターンや、BIST で使用される典型的な PRBS(Pseudo-Random Bit Sequence) ベースのパターンをサポートしはじめている。実速度テスト用機器の観点からは、6~8Gbps の ATE テスト手法が確立されていると言っても問題ない。もちろん、ATE の速度制限を超えたり(ハイエンド PHY 向けなど)、ポート数上限を超えたり(ネットワーク交換機など)するアプリケーションは、いつでも存在するであろう。特殊な工業規格に対処するための強化も必要である。例えば、HDMI(High-Definition Multimedia Interface)/GDDR といった DC カップルの I/O インタフェースは ATE のピンエレクトロニクスで 1.5V から 3.3V の電圧にプルアップされた 50/40Ω 終端を必要とする。表示用のデバ

スは、HDCP(High-bandwidth Digital Content Protection System)、GAMMA、浮動小数点から固定少数点に変換する暗号化と復号化を用いたファンクションパターンでテストされなければならない。これらは単なる高速化以外の課題を課する。商用化された高速 ATE テスト装置は、初期の導入時に必要とされるテストカバレッジを提供するために、立ち上げ時期における大量生産の規格をターゲットにするようになっているが、事業ニーズに応える最先端の高速インタフェースにはついていけない。現在の時点で高速の生産テストのソリューションは、内部デジタルループバック、DFT アシストのデジタルループバック、外部で配線されたループバック、外部アクティブループバック、ハイエンド ATE のピンカード、テストモジュール、テストボード上の基準デバイスから、アドオンの外部機器まで、幅を持つ。これらのアプローチはそれぞれ、各企業で考慮しなければならない利点と欠点を持つ。トレードオフとなるのはもちろん、DFT に使用されるシリコン領域と、実装のコスト、およびテスト装置とインタフェースのコストである。異なる製品間の不良率の許容範囲もまた、テストの選択を決定する主要な要因である。

テスト機器に関する直近の課題は、オンチップのイコライザがより広く採用されてくることである。全体的なシステムコストの削減を維持するために、FR4 のような低価格プリント回路基板(PCB Print Circuit Board)成層材料が、多くの通信用バックプレーンや計算機分野で、依然として選択されるであろう。しかし、FR4 については、スペクトル帯域幅の点でボトルネックをもたらす。この制約の下で転送データレートを拡張するために、送信側イコライザ(シングル/マルチタップのプリエンファシス/デエンファシス)や受信側の順応的なイコライザ(アナログイコライズとデジタルフィードバックイコライズ)などの技術が開発されている。これらのタイプの機能をテストするために、テスト機器は単なるバイナリデータの生成や取り込み以上のことを行わなくてはならない。例えば、HDMI や表示用 PHY であり、それらはトランシーバがケーブル媒体上で今日 3.4Gbps で、プリエンファシスとイコライズを送受信のそれぞれに対して与える。HDMI レシーバが SINK(すなわちレシーバ)のアイマスクに合致するように「基準ケーブル・イコライザ」を実装することを、仕様は要求する。ISI(Intersymbol interference)のようなケーブルの影響についての BER(Bit Error Rate)テストは別として、アイマスク検証はコンプライアンステスト向けにシリコン内部のイコライザの後段で行われなければならない。これは、イコライズ後のデバイス品質のテストを支援するための DFT の仕掛けを要求する。比較的低い性能の製品分野では、これらのタイプのイコライズ機能は、AWG (Arbitrary Waveform Generator 任意波形発生器)とサンプリングオシロスコープなどのアナログ機器によって取り扱われてきた。しかし、3~6Gbps を越える領域では、これらのイコライズ機能のほとんどは、最終的な製品を模した帯域制限媒体を用いた全体閉ループ BER テストでカバーされている。これはオンチップイコライズ回路の個々の構成要素を切り分けることを制限する。実際には、生産テストの基板を最終のアプリケーションと同じ状態にすることも難しい。オンチップでのレシーバのデータアイ解析を行うことは、このタイプのテストを容易にするために、より標準的になりつつある。テスト、DFT、および BIST と同様、これらの機能を正しく特定するためにより多くの研究が必要とされる。

長期的には、性能に関するパラメトリックなテストをよりカバーできるように、既存の DFT 機能を、現状の機能的な PRBS(擬似ランダムバイナリストリーム)BIST 手法以上のものに拡張する必要がある。トランジスタ当りのシリコンコストが下がり、高速のテスト測定器とインタフェースハードウェアのコストが一定に留まる状況下で、このことは DFT と BIST により焦点を当てることを促す。大量生産品に関するオフチップのテストソリューションを維持するために、25~100Gbps/GHz のテスト・ハードウェアの設計にはたくさんの革新が必要である。しかし、電力とシリコンエリアにおけるコストにより、設計限界がやってくるので、オンチップ測定器や組み込み設計検証手法が進化し、オフチップのテスト装置と共存することが予想される。オンチップとオフチップのテストがどの部分を受け持つのが経済的に理想的であるかは、アプリケーションごとに変わる。全体的な目標は、製造テストコストを最小化し、多くのポートを持つデバイスを効率的にテストすることである。

#### 7.4.1 重要な関心領域

- **データ転送速度の増加** — 大量の計算やネットワークのアプリケーションでは Gbps/GHz インタフェースがまだ指数関数的なペースを保っているが、図 TST14 に示すように対数表示では傾きが減少している。

- **ポート数の増加** — 低電圧 CMOS 技術と出力電圧の小振幅化で大規模な ASIC や SoC デバイスへのたくさんの搭載が可能になっている。2013 年現在では、200～300 ペアの 25Gbps バックプレーン型 SerDes がいくつかのアプリケーションで見られる。しかしながら、大多数のアプリケーションではポート数は 32 かそれ以下に制限されるだろう。いまだポート数は増加し続けているが、チップ全体の消費電力と実際の単一レーンにおけるギガビット・データレートの上昇によって制限されるだろう。
- **コスト要因** — 伝統的に、マルチ Gbps トランシーバの大半は、集積レベルが低く生産量も比較的少ないにもかかわらず、高性能で高価で高マージンなデバイスとして設計されていた。低コストで低電力の CMOS マクロ・セルの導入により、Gbps/GHz インタフェースは大量かつ安価な(更には汎用的な)デバイスに対して付加価値となってきた。ポート数が多いだけでなく、同時にすべてのシリアルポートをテストできるコスト効率の良い ATE 解決策が量産には不可欠である。性能対集積レベルという不変のトレードオフは、結果として SerDes デバイスを高性能レベルのシリアル・トランシーバと高集積レベルのギガヘルツ接続(リンク)のマクロ・セルという二つの領域に分離している。それぞれのタイプのテスト方法はコスト要求に基づいて選択される。高性能、長距離、通信関連製品の経済性は一般的に、従来の測定器によるテスト手法や、「機器のアドオンが可能なテスト」または「ボード上でのテスト機能拡張」のハイブリッドな使用を許容している。信頼できる DFT 技術や他の低コストなテスト技術は多ポート化した SerDes に対して最終的な解決策ではあるが、テストに対して、実速度での特性評価や早い量産化の提供という強い要求がいまだにある。技術改善が加速するにつれて、ほとんどのデバイスのライフサイクルは短くなっており、その結果 DFT 回路の検証や最適化や歩留りを改善することはますます難しくなるかもしれない。

#### 7.4.1.1 ジッタの分解と測定

送信器で発生するジッタは、送信器の品質を保証する重要な要素である。多くのシリアルリンク規格では、ジッタをデタミニスティックジッタ (Deterministic Jitter: DJ) とランダムジッタ (Random Jitter: RJ) に分ける考え方を採用している。ヒストグラムベースの peak-to-peak ジッタの従来の概念は、トータルジッタ (Total Jitter: TJ) の概念に置き換えられてきており、これはシリアルリンクにおける一定のビットエラー率 (Bit Error Rate: BER、一般に  $10^{-12}$  もしくは  $10^{-15}$  までも) に関係している。データレートが 10Gbps かそれ以上に増え続けるに従い、ジッタ増幅(パルス幅の減少 (Pulse Width Shrinkage: PWS) やデューティサイクル歪 (Duty Cycle Distortion: DCD) により引き起こされる高周波ジッタが、(例えば FR4 を用いた) 損失の多いチャネルにより増幅される新しい現象) は重大になりつつあり、抑制することが必要である。従来の DJ、RJ、TJ 要素に加えて、パルス幅ジッタ (Pulse Width Jitter: PWJ) と DCD が 10Gbps 以上のテストに対する新しいジッタ要素になっている。更に PCIe 3.0 のような大容量で高性能ないくつかの I/O ではジッタが(データパターンに対して) 相関性があるか否かの新しい基準が、相関のあるジッタに対するイコライズの補正効果を説明するために確立されている。そういう次第で DJ と RJ は、更に相関のある DJ (データ依存ジッタ、DDJ) と相関のない DJ、RJ に分離される。相関のある DJ (例えば DDJ) や相関のない DJ と RJ は PWJ、DCD とともに、相互動作とイコライザ回路により与えられるジッタ・マージンの活用を保証するよう、テストされる必要がある。理想的なデータエッジは一般的に相関のある DDJ を判断するためのリファレンスとして使用され、リカバーされたクロックのクロックエッジは相関のない DJ と RJ を判断するためのリファレンスとして使用される。また、PWJ と DCD は、データエッジからデータエッジの差で決定される。またそれとは別に、特定のサイクル数で cycle-to-cycle ジッタや、peak-to-peak ジッタ、RMS ジッタを測定するトレンドもあり、このトレンドは唯一、非常に短い期間のジッタ累積を可能にするクロック方式として大いに意味がある。また、ジッタ測定には非常に厳格なシグナルインテグリティ要求が強いられる。他方では、ソースシンクロナスのバスが Gbps/GHz 範囲に入ること、クロックパスと複数データパス間の非相関ジッタなどは、ジッタ測定におけるもう一つの課題を持ち込んでいる。これは確実に従来のシリアル PHY (物理層) ジッタの定義を超えている。DJ と RJ を正確に測定するため、測定器またはテストのジッタ・ノイズ・フロアは、測定された DJ、RJ に誤差が入らないよう DUT の DJ、RJ よりも十分に低い必要がある。ジッタ測定用の測定器やテストは性能に対して DJ や RJ の実力があるものをまた選定しなければならない。たいいてい的高速規格では BER が  $10^{-12}$  において、DJ が 0.15UI、RJ が 0.15UI で  $\sim 0.3$ UI の TJ を規定している。このジッタ量の割り当てに従い、また測定器やテストの TJ 精度を 10% (比較的緩い精度目標) と仮定すると、その DJ、RJ 精度上限は、デュアル・

ディラックモデル(すなわち DJ 分布はデュアル・ディラックで、RJ 分布はガウス分布)によって見積もられ、TJ、DJ、RJ 精度上限は、データレートの関数として図 TST15 に示される。10Gbps において、TJ、DJ、RJ の精度要求は 3ps、1.5ps、0.11ps である。このジッタ精度目標はたいていの最先端測定器で実現できている。もし大きな TJ 誤差を許すなら、DJ、RJ 精度の正確さは比例して緩くできるだろう。この図はスペックやハードの要求よりもむしろ数学や物理学を基にした TJ、DJ、RJ 精度のガイドラインをジッタ測定器やテストに対して与えようとしていることに価値がある。

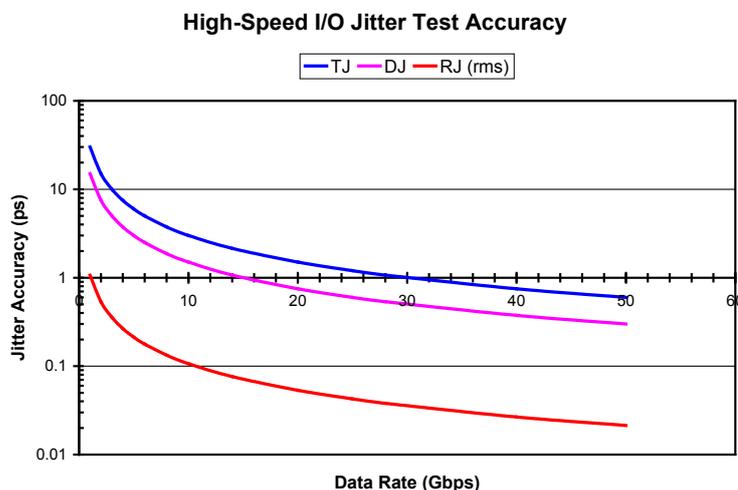


Figure TST 15 - High Speed I/O Jitter Test Accuracy Requirements Scaling with Frequency

#### 7.4.1.2 ジッタ許容テスト

ジッタ許容テストとは、ビットエラー率(BER)の点で通信品質が低下する前に、レシーバが許容できる入力信号のジッタのレベルを測定することである。これはレシーバ(Rx)のジッタやノイズ耐性に関する重要な仕様である。ジッタ許容テストを実施するには、一般にトランシーバ、チャネル、リファレンスクロックに起因する最悪ケースのジッタと信号条件を模擬するように制御された方式で、わざとデータストリームにジッタを入力しなければならない。使用されているクロック方式のアーキテクチャによっては、レシーバにストレスをかけるために、別のタイプのジッタが必要になる。幾つかのアプリケーションは正弦波ジッタ(Sinusoidal Jitter: SJ)を必要とし、幾つかはスペクトル分解、もしくは周波数帯域制限された DJ、RJ、DDJ、周期ジッタ(PJ)もしくは SJ の組合せや、有界非相関ジッタ(Bounded Uncorrelated Jitter: BUJ、クロストークに誘発されたジッタを模擬)を必要とする。また、他では特定サイクル内の peak-to-peak ジッタまたは RMS ジッタの視点でのジッタ挿入を必要とする。新たな重要なトピックはレシーバのイコライザのテストであり、特に判定機関計算式(Decision-Feedback Equation: DFE)のようなフィードバックベースの適応型イコライザである。ここでの課題は、BER が唯一、かつ一般的に観測できる尺度であるという、Rx に対するテストの可観測性が本質的に貧弱な事実由来している。ダイに組み込まれたスコープのような補助する計測器がダイ上またはチップ上にないと、不可能ではないにしてもターゲットの値に対する DFE タップ適用の検証が非常に難しい。DFE の診断やデバッグテストを実行するには、ダイ上の測定器が実行可能な解と思われる。これらの種類のジッタを入力できる統合化された計測器は、過去の ATE の世界にはなかったが、数年前にわれわれが予測したように、研究装置の世界では利用可能になり始めている。今の時点では、量産テストにおけるレシーバおよび/またはクロックやデータリカバリにストレスを与えるジッタ挿入能力を幾つかの ATE ソリューションは提供しており、2年前からの大きな進歩である。

#### 7.4.1.3 テスト治具のバンド幅

デバイスと計測器あるいは ATE を繋ぐテスト治具にはプリント回路基板や、ケーブル、コネクタ/ポゴピンなどが含まれる。周波数やポート数が増加すると、大きな損失も歪みもないまま高周波信号を装置に伝える手法は、テスト工学において至難の技になる。バンド幅の要求は一般的に、立ち上がりや立下り時間に応じて、テスト治具からの ISI ジッタを最小にするために、被測定デバイスの信号の 3~5 倍の周波数になる。一般的に、

10Gbps 信号に対しては 15-25GHz、25Gbps に対しては 37.5-62.5GHz の帯域幅が要求される。多くの場合、帯域幅だけが唯一の問題ではない。位相応答はジッタ測定に更に大きな影響を及ぼす。最近、ソケットの帯域幅に大幅な改善が成されてきているが、その限定的な機械的仕様のために、新しい高帯域幅ソケットのソリューションが課題となっている。信頼性の低い組込みや一貫性のないコンタクトは、いまでもテスト結果のばらつきを引き起こす最もよく知られている問題である。これらテスト治具の制限により、複雑なデエンベデッド (de-embedding: 組込成分を除くこと) の努力が性能テストにおける GHz インタフェースの標準になっている。それゆえ、ソケット、PCB、ケーブル、コネクタを含む信号パスのシミュレーションやデエンベデッドを行うツールのように、活発な開発が行われている他の領域に刺激を与えている。しかしながら、狭帯域の RF のデエンベデッドとは異なり、広帯域のデエンベデッドの取り組みには、挿入損失だけでなく、広い周波数スペクトラムにまたがるリターンロスが必要とされる。いくつかの SerDes 仕様では標準化されたテスト治具でデエンベデッドの取り組みを軽減することも試みている。20Gbps 以上のハード設計は、潜在的な大量生産に対してまだ立ち上がったばかりである。

#### 7.4.1.4 DFT と TFD

基本的な擬似ランダムバイナリストリーム (Pseudo Random Binary Stream: PRBS) 発生器と BER 検査機能はいまや長い間、標準となっている。適応型イコライザに対処するため、今日ではより多くの Gbps/GHz の設計で内部にデータアイ解析機能を持っている。多くのアナログ要素が Gbps/GHz I/O 設計に取り入れられるにつれ、アナログ DFT における多くの研究と革新が必要とされている。

GHz I/O 設計に対する電力と面積要求から、回路のアナログ部はスケールダウンしなければならないという定常的な圧力の下にある。プロセスばらつきを取り除く技術として、キャリブレーションとトリミングが広く採用されてきた。それはもっとデジタル的にアシストされたアナログ設計の実装につながり、よりチップ上に自己キャリブレーション機能あるいはトリミングベースのテストが必要とされることを意味する。これは、キャリブレーションファームウェアの堅牢性 (ロバスト性) をテストするという、新しいテスト要求を作り出した。トリミング動作もまた、テストを欠陥検出から新しい次元の性能保証過程へ位置づけた。言い換えれば、それは、"テストのための設計 (DFT)" だけでなく、"設計性能のためのテスト (Test for Design: TFD)" である。

## 7.5 メモリ

近年のメモリ環境では著しい変化が起こってきた。2003 年までは、DRAM のビット容量が、出荷されるビット容量の約 90% を占めていた。2009 年までに、NAND がメモリの中で優位となり、出荷されるビット容量の 85% を占めるようになった。同じころ、NOR フラッシュは、PCB の面積、配線の複雑さや電力を削減するために、その大部分がパラレル・インタフェース・デバイスからその構成要素がきわめて小さいシリアル・インタフェース・デバイスに移行された。2007 年のモバイル・スマートフォンおよび 2010 年のタブレットの普及にともなって、PC 用 DRAM の従来からの優位性は、バッテリーをより長持ちさせるために必要な低電力 LPDRAM により失われた。

PRAM、RRAM、STT RAM や CBRAM のような新世代メモリは、3D NAND とともに、以降の 10 年にわたってメモリ環境を更に変えるだろう。バッテリー式の無線環境への継続的な移行は、メモリ使用量における変化を引き続きドライブする。現存するメモリは置き換えられそうにないが、新しいメモリと共存して解決策に使用されるだろう。

1969 年に最初の DRAM が製造されて以来、メモリ密度【訳者注: メモリ容量】は、ムーアの法則を維持してきたが、リソグラフィの周期も性能ロードマップも、20nm 以下のリソグラフィのテクノノードのためにムーアの法則から外れることになっている。つまり、ロードマップでは、典型的な 2 年のテクノロジ・ペース【訳者注: 2 年ごとにトランジスタ数が倍になること】は、最初に 3 年に伸び、それから 5 年に伸びると予測されている。多層 3D NAND 技術は、リソグラフィにおいて 2、3 世代前の技術を使っているため、2 年のテクノロジ・ペースは当分の間続くだろう。

*Table TST 10 – Memory Test Requirements*

### 7.5.1 DRAM

過去のトレンドは、DRAM が、2022 年に DDR6 において、I/O ピンあたり 8.4Gb/s のデータレートに到達することを示唆している。DDR6 は、現在、ロードマップのプレースホルダーであって、定義されていない、しかし、将来の世代において新しいプロトコル・インタフェースの追加の可能性がある、それは、データレートへの要求性能とパワーとのトレードオフによって、そのデータレートが増減するかもしれない。DRAM は、20nm 以下のノードにおいてますますメモリ容量の拡大が難しくなり、トランジスタの劣化がエラーの頻度を増やすだろう。オンチップ誤り訂正技術とメモリ管理が、2020 年よりも前に必要条件となりそうだ。動的な故障検出、解析、救済は、製品寿命にわたって必要となる。テスト生産性を拡張するため、新しいテスト指向アーキテクチャが要求される。オンチップ誤り訂正技術は、DRAM テストのパラダイムを変化させるかもしれない。

モバイルメモリは、DRAM の大部分を占めるようになり、ワイド I/O のような特殊 DRAM がメインストリームとなるだろう、そして、従来型の DRAM テストやテストツールに変化をもたらすだろう。近年、非常に高速なインタフェースをサポート【訳者注: テスト】できるかどうかに懸念があったが、構造的変化とともに PCR (異方性導電ゴム) によるコンタクトによって、その懸念は和らいでいる。テストコストを管理するために、自動テスト装置によるかなりのテスト並列化が、ロードマップを通じて必要とされる。しかし、テストヘッドあたり 16 デバイスを超えるプローブカードによる性能試験は、要求されるインタフェースの配線混雑のために、GT/s を超える領域では課題となるだろう。これらの課題は、最終的には、ダイごとのセルフテストの必要性を大きくするであろう。

### 7.5.2 FLASH

短期的にみると NAND は 1 年ごとにセル密度【訳者注: メモリ容量】が 2 倍になり、その後、減速して 2 年ごとに 2 倍になるだろう。セル密度が 2 年ごとに 2 倍になる時期は、いくつかのセルタイプにおいて、単一のメモリセルに保存されるビット数の増加 (1 または、2 から 4) のため、計画されたリソグラフィのテクノロジノードの移行より早くなるだろう。誤り訂正技術の使用は、より大きな修正前エラー率を許容し、1 メモリセルあたりのビット増加を可能にする。NAND バス幅は、16 ビット I/O 製品の減少により、8 ビットが優位であり続けてきた。Solid State Drives (SSD) で大容量の NAND が消費されるにつれて、SSD 用途のために最適化された新しい NAND インタフェースが出てくるかもしれない。

外部供給電源の 3 倍から 8 倍が必要になる内部電圧への必要性は、テストプロセスにおいて、ホットエレクトロンや Fowler-Nordheim の電解移動メカニズムにより引き続き追い立てられるであろう。低電圧化のトレンドによって、将来は供給電圧の絶対精度の向上が必要になるだろう。しかし、供給電圧に関係する制度の割合は一定となるであろう。入出力電圧の低下により、標準テストの負荷回路は動作限界に達している。すなわち、将来は新しい手法が必要になる。

ウェーハテストでは、パッケージテスト程の性能は一般的に必要なとされない。しかし、エラー検出や、エラー解析、救済処理などは必要とされる。

NOR メモリ容量は、ロードマップの全期間を通してゆっくりと増加し、最終的には増加が止まると予想されている。パッケージサイズや電力を小さくするために、2007 年以降、NOR はパラレルからシリアルインタフェースに移行し続けている。NOR の性能が更に上昇することは予想されていない。

フラッシュと他のメモリやロジックデバイスを単一のパッケージ内に積層する技術は標準的になってきており、今後も続くと思われる。単一パッケージ内にある複数のダイは、パッケージテストの要求を複雑にし、必要とされるピン数と電源数は増える。フラッシュのデータ転送速度やクロック速度は増大するだろうが、最終製品に基づく要求には幅広い多様性が求められている。

### 7.5.3 内蔵メモリ

内蔵メモリは、多くの MPU や SoC デバイスにおいて 80% を超えるトランジスタを占め、このデバイスに使われているトランジスタのスケーリングとともに増大する。内蔵フラッシュや DRAM のビット容量は、一般的な DRAM や NAND の密度【訳者注: ビット容量】とは一致しないであろう。ロードマップを通じて、RRAM、STT RAM のような、より新しいメモリが内蔵されるようになるかもしれない。

テストの生産性を高めるため、新しいテスト指向のアーキテクチャが要求される。組み込み自己テスト技術

【訳者注:BIST】や組み込み自己救済技術【訳者注:BISR】は、内蔵 DRAM やフラッシュをコスト効率よくテストするための基本技術である。マーチングテストが内蔵 DRAM にとって欠かせない一方で、フラッシュメモリの基本的なテストアルゴリズムは、読出ディスタurb、プログラムディスタurb、および消去ディスタurbであり続ける。

テストおけるかなりの並列化が、メモリ密度の増加で直面するテストスループットを今までどおりに維持するために必要とされる。いくつかの場合、ロジックと内蔵メモリを同じテストでテストするよりも、二つの工程でテストする方が、コスト的な効果を生む。二つの工程にすると、ロジック部はロジックテストでテストされ、内蔵フラッシュや DRAM はメモリテストでテストと救済がされるであろう。

## 7.6 アナログおよびミックスシグナル

モノリシックインテグレーション (SoC) とシステムインパッケージ (SiP) の経済性 (コストメリット) は十分認められている。このインテグレーションは、デジタル部、アナログ部、電源制御、ミックスシグナル部、そして RF/高周波回路を一つのパッケージ上や チップ上に組み込んでいる。このインテグレーションの傾向は インタフェースタイプの種類を増加させており、テスト装置はこれらのインタフェース種類に対応することになる。今この傾向は 3 次元の課題解決の推進力となるシリコン貫通電極 (TSV) パッケージ技術の登場に伴って更に拡大している。

ミックスシグナルやアナログのテストに影響を与えている もう一つの重要な傾向として、極めて大量に製造されるデバイスの同時測定テスト (パラレルテスト) が経済的 (コスト面) で不可欠になっている状況がある。パラレルテストに対応するには、各々のインタフェースタイプに対応した、より多くの計測チャンネルがテスト工程のスループットを高めるために要求されている。

デバイス当たりのインタフェース数の増加と同時測定するデバイス数の増加により、リアルタイムに処理するデータ量の増加が必要となってきた。ミックスシグナル部やアナログ回路部の測定データは非決定論的であり、かつデバイスの品質を判定するためにデータ処理が必要である。このデータ処理はリアルタイムな処理、もしくは、他のテスト処理と並行して処理することでテスト工程のスループットを高くしなければならない。実際のところ、同時測定デバイス個数が増加したときに、良好な同時測定テスト効率が維持されていなければ全体のスループットが低下する可能性がある。

このように、ATE 計測器の様々なインタフェースへの対応、パフォーマンス、性能、そしてデータ処理能力の改善が経済面 (コスト面) で重要となってくる。最も変化している RF (マイクロ波) 分野は、個別の節で対応している。ミックスシグナルデバイスのデジタルと高速シリアル要求は、ロジックデバイスとその節でカバーされている。

この節は、アナログ/ミックスシグナルのテスト要求に着目する。ミックスシグナルテストの要求テーブルは、特定のチップアプリケーションのテスト計測器側に着目している。テスト計測器は、一つ以上のデバイス区分をカバーしなければならない、一つのテスト構成で十分利用できるようになっている。そして、複数のデバイス区分からの要求は、2、3 のテスト計測器カテゴリにまとめられる。アナログ波形の発生とキャプチャに対する要求は、三つにとりまとめられる。ミックスシグナル向け ATE には、低周波信号の対応が基本的に最低限必要であり、高周波信号と超高周波信号の対応はハイエンド向け計測器に求められる。必要に応じて、ミックスシグナル用装置への要求は、ロードマップの他の節やテーブルと関連がある。

ふたつの重要な傾向がある。第一は適切な品質の提供である。大部分のアナログやミックスシグナルのテストは、機能的な検査を行う。デバイスのエンドマーケットのアプリケーションにおける帯域と分解能で、信号を正確に発生し解析する装置能力が必要となる。これら双方のパラメータは、より多くの情報量がデバイス間やデバイス実装間で通信されるにつれ増える傾向にある。第 2 の鍵となる傾向は、テスト計測器の規模やパラレルテストの効率性、テストオーバーヘッドなどに対し コスト面での可能性がどうなるかである。表 TST2 「製品セグメントにおける同時測定テスト」で示されるパラレルテストのレベルは、テスト装置の規模増加を示す。

ATE 計測器のチャンネル数の増加や複雑さ、性能向上の傾向は今後も続くが、しかし同時に、テストコストをより低くしていかなければならない (下記の関心事項を参照)。アナログ/ミックスシグナル DFT と BIST の技術は、

他分野より出遅れている。性能に基づいたアナログテストの実証された選択肢は存在せず、この領域での更なる研究が必要である。アナログ BIST は、可能性ある解決策であり、より研究される分野として提案されている。テスト計測器の複雑さを軽減したり、部分的な BIST を実行したり、完全に外部計測器を不要としたりする技術を見つける基礎研究が必要となっている。

*Table TST 11 - Mixed-signal Test Requirements*

### 7.6.1 関心ある重要な分野

- 市場性とタイミング(タイム・ツー・マーケット)と収益性とタイミングの問題は、ファーストシリコンを入手したときに十分なテストが準備できていることを要請する。アナログ/ミックスシグナルのテスト環境は、テストフィクスチャ(テスト治具)やテスト手法がとでも複雑化している。信号のノイズ、信号経路のクロストーク、追加回路、測定ボード設計の複雑化、デバッグ、そして、ATE のハードウェア/ソフトウェアの問題が現在テスト開発のプロセスやスケジュールに影響を与えている。テスト開発のプロセスは、より短く、そして設計的により自動化されるようにならなければならない。そのうえ、アナログ/ミックスシグナルのテスト IP を再利用する能力が必要である。
- すべてのアナログ/ミックスシグナルデバイスの、複数サイトでの並列かつコンカレントなテストのさらなる対応は、テスト時間の短縮や製造工程のスループット向上、そしてテストコストを削減するために必要である。すべての ATE 計測器のタイプ(DC 用を含む)はコンカレント/パラレル動作が対応できる複数のチャンネルが必要であり、そして必要に応じ、実行結果に対して DSP アルゴリズム(FFT 解析等)を高速に並列演算する必要がある。そのうえ、同時テストのさらなる推進をサポートするために、チャンネル密度は増加し続けたままで、テスト計測器のチャンネル当たりのコストは下げ続けなければならない。
- アナログ/ミックスシグナル DFT と BIST の改善は、上記のアイテムに対応するために必要である。

## 7.7 RADIO FREQUENCY

RF 周波数帯域は主に 2 つに大別される。モビリティ分野とインフラ/車載レーダ/産業分野である。モビリティ分野のテーブルは、ダイナミックに進展しているトピックである。過去数年では、WiMax は次の第 4 世代のデジタル通信標準規格になると考えられ、すべてのコンシューマ・デバイスが無線で接続できる UBW は、アナリストや専門家によってもはやされた新しいトレンドであった。しかしながら、LTE や LTE アドバンスは、すべてのモビリティデバイスの第 4 世代の世界標準規格として浮上し、そして、UBW は商業的に採用されなかった。市場は、より高速なデータ転送を可能にするために、WCDMA から LTE アドバンスへ、また、802.11a/b/g/n から 802.11ac WiFi のような、より大きな帯域幅へ既存の標準規格を進化させることを進めてきた。コンシューマ・モビリティ・デバイスの主要な推進力は、スマートフォンやタブレットであり、それらは、有力な標準規格として LTE/LTE アドバンスや WiFi を使用している。

モビリティ部分のテーブルは、それらの変更を反映するために改訂されている。前のテーブルでは、12GHz のキャリア周波数レンジは UWB によって牽引されたが、今は、6-8GHz レンジを反映している。更にまた、RF SSB の帯域幅は 80MHz で一定のままである。委員会は、より高速なデータ転送を押し進めるために、より良い位相ノイズや非線形ひずみによるスペクトラム・グロースがより少ないことによって決定されるシステム感度が、より高い密度変調標準規格の採用を活発にしていることがトレンドであると感じている。周波数割り当てが世界中で非標準であり、また、多くの既存のデジタル通信標準規格に対する互換性のニーズを満たす必要があるため、デバイス当たりの RF ポート数は、時間の経過とともに 64 ポートに増えている。

衝突防止レーダの検出システムの普及と受け入れは、2 つ目の分野のテーブル(インフラ/車載レーダ/産業)を牽引している。それは、周波数割り当てのための非世界的な標準規格とともに新たなポイント・ツー・ポイント接続の出現とあいまって、100GHz へのチャレンジを加速している。

Table TST 12 - RF Test Requirements

### 7.7.1 関心ある重要な分野

- 高性能化/高周波数化するデバイスに対する低コストのテスト要求の関係から、新たな DFT テスト手法および簡易化テスト手法の開発が大きな注目を集めている。
- SoC や SiP 技術により、RF が製品に組み込まれることが多くなった。RF テストとデジタル(ハイエンド)やミックスシグナルテストを組み合わせる行うことが一般的になるであろう。ウェーハレベルでの RF テスト対応は増加していく。テストシステムに続き、ロードボード/ソケット/プローブカード等のツール類も、DUT 入出力のシグナルインテグリティを確保するために重要となる。
- 位相ノイズや信号感度測定のための信号源および測定器精度は現時点では十分といえるが、近い将来には更に高精度が求められる。キャリア周波数から 100KHz オフセットでの位相ノイズ測定では、ここ 2、3 年のうちに少なくとも -140dBc/Hz 以下への改善が要求される。
- 6GHz を超える高周波帯域の(アプリケーション)トレンドが見えてきている。
- 6GHz を越える帯域でのプローブテストは依然として大きな課題であり、実変調波による 6GHz 超でのプローブテストはまだクリアとなっていない。
- プローブでの高周波測定のインピーダンス規格およびキャリブレーション手法の確立は急務である。
- テスト開発環境と実際の量産現場では EMI 環境が大幅に異なっており、これが歩留りや相関取りに対し大きな影響を与えるであろう。
- 最も多くの SoC テストに対する要求は、いまだに RF-to-BB またはその逆の傾向がある。RF-to-Dig や Line-to-Line の要求は限られているが、幅広く議論されている。
- 半導体受託製造会社(OEM)は RF BIST/ループバック・テスト手法を考えているが、機能テストやパラメトリックテストが市場では依然として優勢である。

### 7.8 信頼性技術の要求

信頼性に対する要求は、以下の 3 項目の最適化である。

- 1) 信頼性欠陥密度(RDD : Reliability Defect Density)
- 2) 信頼性スクリーニングおよびテスト手法(RS&TM : Reliability Screens and Test Methods)適用性の習熟
- 3) 信頼性のための設計(DFR : Design For Reliability)

信頼性向上の最適化目標は、投資した経費に対して、信頼性のための最良な価値を提供することである。ここでの価値は、顧客の費用対満足度の比率として定義される。

信頼性の分野において、顧客満足度は、市場不良率(the field failure rate)または時間内不良数(FITs : failures in time)によって測られる。信頼性のコストは、製造のためのコストと、歩留りの二つの構成要素からなっている。したがって、信頼性コストと同一視されるこれらの二つの要素は、すべての信頼性の提供者が直面する主な対応項目となる。一方、製造コストは、バーンイン時間と装置の高度化の二つの基礎的な要素によっても影響される。業界では、従来の電圧ストレスと温度ストレスによる方法では検出できない潜在的な欠陥を検出するための方法を捜し求めている。その後、多くの進歩した検出方法が作られたが、欠陥加速においては、電圧ストレスと温度ストレスを適用する従来方法のままである。

適用のスペックを超えて電圧と温度をかけることにより、大きなゲート間リーク電流が発生し、これに対応するための電力供給と放熱対策方法が最も要求される。信頼性コスト削減において歩留りに関わる要素は、パワーの掛け方から派生的に発生した“オーバーキル”(良品除去)の排除に極端に偏った状況にある。しかし、誤判定の主要因は、モデリングの仮定を通じてストレス手法に帰するものであり、最終的には製造上のストレス工程から『エスケープする』と信じられる根本原因を発見する。それは次のようなことからである：大半の市場用途では、不良率のうち初期に現れる部分を最も懸念する。加速試験をすり抜ける潜在的な欠陥のほとんどは、

製品寿命の初期に不良となる。ある部分にストレスを与えるには、ストレスをかけている間、出力を計測することによって、バーンイン・エスケープ(加速逃れ)を防ぐことができる。用語の定義として、ストレスをかけながら出力を測定することを“*In situ stress*”と称し、ストレスをかけているが、出力測定を行わないものを“*Dynamic stress*”と称している。明らかに、コンポーネントは“*in situ*”を用いることにより加速逃れが減少し、それで初期不良率を下げられる。この不良率低減は、コストを掛けなければならないことが予測される。“*In situ stress*”にはストレスを加えたファンクションテストが必要で、これにより性能の分布は縮小する。【訳者注:一般的に日本では、前者をモニタードBI、後者をダイナミックBI、前者+ファンクションテストを行うものをテストBIと称している】。話を元に戻して、製造プロセスのばらつきにより、ストレス印加中に出力を測定することは、分布のある部分では電圧や温度のストレスのもとで機能する十分なマージンを持たない。しかし同じ部分はアプリケーションの動作条件では、正しく動作する。これらのデバイスに、欠陥が含まれていないにもかかわらず、“*In Situ*”ストレスは、この良品を不良と判断するであろう(すなわちオーバーキル)。これらのぎりぎりのマージンを持つデバイスは、先に述べた検出技術の今後の対象である。信頼性を満たすためには、トレードオフが必要である。多くの場合、性能と歩留りは秤に掛けられた状態にある。

信頼性欠陥密度の習熟割合は、市場の信頼性要求を満たすための、最もコストに有効な手段である。本来、それはマイクロエレクトロニクスで収益性を達成させるときの歩留習得割合の副産物である。欠陥の習熟は、欠陥モデルと物理的欠陥の節で述べられている。そして、信頼性固有の欠陥要素は少ないとの前提を、過去のデータは圧倒的に裏付けているが、最近の技術進歩は、その状況を変化させるかもしれない。欠陥の習熟の節は、信頼性欠陥密度(RDD)習熟に常に直接的に応用できるであろう。しかし、欠陥を加速させる高電圧と高温は、我々がデバイス物理学と物性科学の領域を超えて凝視する原因となる。ストレス条件はもはや標準の技術仕様で決定されるのではなく、システム適用条件によって決まる。妥当な電力における市場性能要求を満たすことのできない最近の技術は、システムの使用条件(電圧と温度)を増すことをシステム設計者に強いることで埋め合わせている。ストレス条件の応用の結果として、 $V_{min}$  動作レンジのシフトや、性能余裕度に影響するNBTI や、ゲート酸化膜の完全性(時間依存の絶縁破壊:TDDB)について、いまだ大部分の説明が付かないままである【訳者注:NBTI=Negative Bias Temperature Instability; PMOSのゲート端子に負の電圧を印加することで発生する劣化】。したがって、それらは代替的な措置や、信頼性故障率の変更を指示する。C4やBEOL配線における金属のエレクトロマイグレーションについての一般的な考え方でさえ、ストレス条件によって引き起こされる過度な電流や電力が原因とされる場合には、入念な調査が必要である【訳者注:C4=Controlled Collapse Chip Connection; フリップチップボンディングの一工法。ウェーハチップのパッドに付けたバンパを押しつぶすようにしてインターポーザ基板のパッドに接続するワイヤレス・ボンディングの一種】【訳者注:BEOL=Back End of Line; 半導体製造ラインの配線工程の意】。業界が“性能絶対化”を重視する状態はまだ全く終わらない。

DFRもまた、三つの主な構成要素を持っている。それは、

- 1) テクノロジの設計
- 2) チップ設計(論理的、物理的)
- 3) システム設計

である。この三つの各々において、DFR機能は、欠陥許容性を追及しなければならない。テクノロジ設計の場合において、リーク電流に起因する電力低減は、欠陥許容性以上の重要性の限度を維持する。チップデザインとDFRに関して、電力低減と故障の許容は、設計の優先順位で同等である。冗長要素解析と電力消費の解析には、相当な設計技術力を費やすことになる。システムレベルでの欠陥許容性は、誤検出や修正、および冗長要素からなっている。

信頼性スクリーニングとテスト手法の分野において、理想的データ、補助的データ、強制的データ、偏ったデータが載せられた技法や方法論の文献が豊富にある。討論は、チップ回路のタイプ、設計スタイル、性能目標、信頼性要求、故障タイプ、テクノロジの世代によっては変わる。過度な電圧と温度が欠陥検出の主流として続く限り、信頼性スクリーニングとテスト手法が、電力供給や熱的な解決策において、最良の賢い考え方になるであろう。それは欠陥を加速させる一方で、デバイスの破壊を回避できるものでなければならない。つまり、優先順位の変更である。過去においては、摩滅やその兆候となるストレス条件やストレス動作は避けられた。過

去の格言は、“欠陥を加速させるが、摩滅は回避できなければならない”というものであった。しかし、10nm 以下の酸化膜、NBTI、Vmin のような過剰なマージン、数百アンペアの電流や数百ワットの電力、何マイルもの銅配線や数十億の内部接続などのシステム適用条件が更に難しくなっている。

RS&TM は、それらをウェーハ用途とパッケージ(またはモジュール)用途に分け、そして、更に“欠陥検出”と“欠陥加速”技術に分けることで、分類しやすくなる。この段構造は、市場からの返品がテスト見逃しか、信頼性欠陥による初期寿命かという絶え間のない論議を和らげる手助けとなるであろう。

工程上のステップ(ウェーハまたはパッケージ)にかかわらず、欠陥加速テクニックは実用条件をはるかに超える温度や電圧(これらはリークに対して指数的に変化する)を必要とし、実効性のある電力を扱わなくてはならない。同様なことは、検出技法には当てはまらない。多くの場合、検出技法はリークを減らす VLV(超低電圧)や VLT(超低温) 条件を使う。リークを悪化させる実用条件が必要な場合でも、それらの条件は欠陥を加速させる条件までには一般的に達しない。

### 7.8.1 バーンインの要求

バーンイン・プロセスのための技術的な課題は、デバイスのピン数増大、パッケージピッチの減少、デバイスの動作周波数の高速化、劇的なリーク電流の増大、および電圧/熱加速の増大によって方向付けられる。多くの信頼性故障モードは、バーンインだけではスクリーニングできないので、信頼性を高めるために IDDQ、HVST、ウェーハマッピングなどのいくつかの手法が併せて用いられている。

バーンイン・システム技術は、特に大電力デバイスにおいて、コストダウンを継続する必要がある。デバイスのコア電圧の最小値は下がり続ける。 スキャンテスト手法が、非常に深いベクタを実行するための大容量メモリを必要とする一方、大電力テスト手法は、個々のデバイスの熱と電力の制御を必要とする。バーンイン工程(システムドライバ/バーンイン・ボード/ソケット)では、内部生成クロック方式を持たない先端技術デバイスの速度に対応することが課題になる。 DFTなしのデバイスは、I/O 数の増大を必要とする。KGD ニーズの増加は、ウェーハレベル・バーンインや、KGD キャリアや、プローブ段階でのストレス印加に対する努力を求め続ける。

デバイス電源や信号の要求は、バーンイン・ボードにおける、多層化、短配線、省スペース、複雑な手順や部材、テストコストの増大、ボード信頼性などの問題を大きくする。今後のデバイスの狭ピッチ化は、新しいコスト課題であり、バーンインソケットとバーンイン・ボードを繋ぐ革新的なインタフェースが必要になるであろう。

バーンインソケットは、コンタクト数の増大、狭ピッチ化、大電流化、高周波数化への対応という大きな設計課題を要求されている。同時に、ソケットは大電力デバイスの自己発熱での破壊を防止するように設計された熱対策の主要な部品である。ソケットメーカの主要な課題は、これらの新しい要求に対応する技術を提供しながら、低価格および短いリードタイムを維持することである。0.5mm ピッチ未満のボールグリッド・アレイ(BGA)に適用されている水平動作のコンタクト設計は、増大する機械的ストレス要求に対する既存ソケット素材の性能不足や、ピン数の増加によって、垂直動作のコンタクトに置き換わるだろう。電流供給性能の向上にむけて、新しい設計と新しい素材が必要とされている。ソケットの設計は、パッケージ寸法や反りに関して、パッケージのルーズスペックに対応する必要がある。一方、パッケージの大型化や、パッケージの薄片化、狭ピッチ/非標準ピッチ/混在ピッチに対応する必要がある。コンタクト設計には、電気的/機械的性能を損なうことなく、より大きな強度が求められている。

バーンインへの取り組みは、伝統的なユニット単位のバーンイン、システムでのバーンイン、ウェーハでのバーンイン、そして strip/array でのバーンインを含む【訳者注:製品の組み立て後、個片に分離する前の状態(リードフレームや基板の状態)でバーンインする方法】(Figure TST16)。高信頼性の用途において、システムレベルでのバーンインは、伝統的なデバイスでのバーンインを補うか、または置き換わる。ウェーハレベル・バーンイン技術は、引き続き開発されているが、いまだ従来方式のパッケージ・バーンインに対して置き換わることができていない。ここでは、ソケットを用いたバーンインを省くことにチャレンジし、スキャンやロジック BIST、メモリ BIST(MBIST)を用いた、同時測定ウェーハレベル・バーンインを行う方法を調べる。Strip/array の型で、より多くのパッケージで大量の平行テストができるなら、strip/array バーンインは最も重要になってくる。

Table TST 13 - Burn-In Test Requirements

### 7.8.2 ウェーハレベル・バーンイン

ウェーハレベル・バーンイン(WLBI)の構成要素は何であるか、明確な基準はない。あるベンダは、DRAMの内部ノードに単純な DC ストレスの逆電圧を与えることで「バーンイン」と称している。あるいは、WLBI は、デバイスの定常動作状態において、デバイスに電圧ストレスをかけるとともに、ウェーハ全面のコンタクトと、温度による欠陥の促進をさせるに十分な高温と時間を与えること、とも言われている。あるベンダは、スキランや BIST などの DFT 機能を用いて、ローエンドのマイクロ・コントローラや SoC に WLBI を使用することを可能としている。

重要な課題として、選択肢の有効的な定量化、WLBI の定義の標準化、ウェーハレベルでの取扱による有効性の確認をするために使用する方法を示すことだ。特に、WLBI に適したデバイスである DRAM に対する取り組みは、ウェーハに対するバーンイン環境を、パッケージ・バーンインと同等で効果的な機能を、パッケージ・バーンインのコストより安く供給できる。このコンセプトは量産におけるバーンイン環境に用いることで、バーンイン時間に有効的に利用することである。

WLBI に対する必要性は拡大しつつある。初期不良率はトランジスタのスケーリング効果と新しいプロセス技術とデバイスの材料によりますます悪くなっている。デバイスの動作電圧とマージンの減少は、電圧加速、電圧ストレステストを用いた信頼性保証の有効性を低下させている。顧客の CSP(Chip Scale Packaging)と MCP(Multi Chip Module)の要求のために、KGD の必要性が増大している。半導体製造工程の早い時期にバーンインを行うことにより、サイクルタイムの短縮やウェーハ工程への歩留り、欠陥情報の迅速なウェーハ工程へのフィードバックに役に立つ。最終的に、パッケージング前のプロセスで、不良デバイスの検出と除去を行うことで、不良デバイスのパッケージを行った場合のスクラップコストを低減できる。

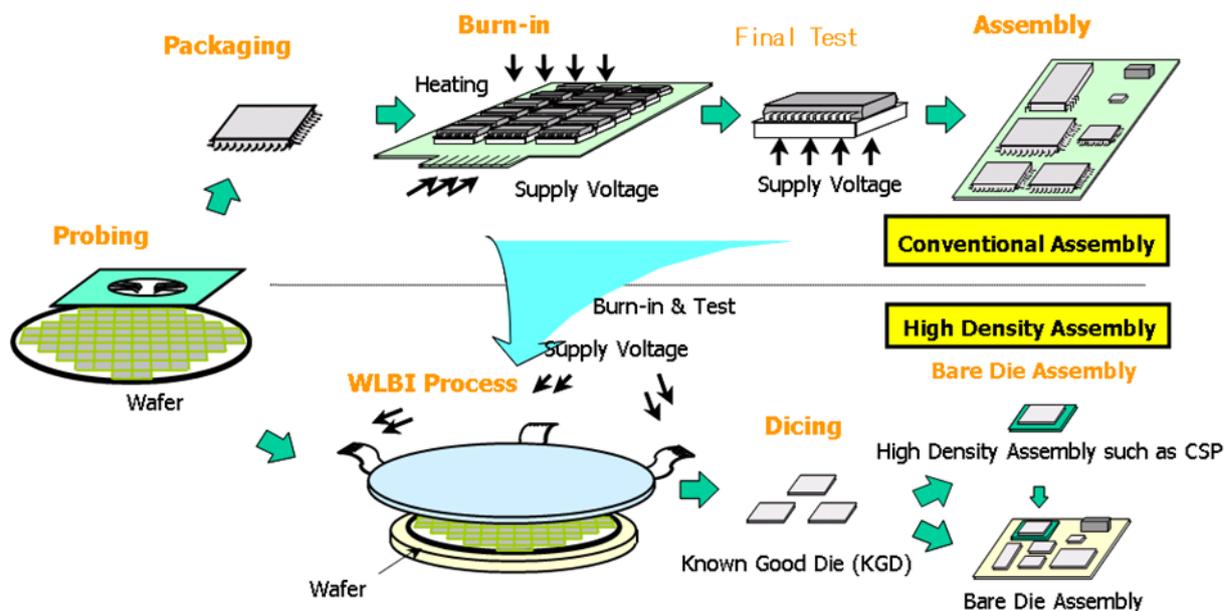


Figure TST 16 - The Production Process with WLBI Compared with Package Burn-in

### 7.8.3 ウェーハレベル・バーンインのためのプロービング技術

TPS【訳者注: Three Parts Structure】プローブやマイクロ・ポゴピンコンタクトは、ウェーハ全面コンタクトのためのコンタクトに含まれる。TPS プローブは、多層配線基板、バンプ付き薄膜と PCR(異方性導電ゴム)シートの構成でできており、PCR シートは多層配線基板とバンプ付き薄膜の間にあり、バンプの不均一高さを吸収し、接触の均一性と安定したコンタクトを行うことができる。このシステムの重要な特徴は、各バンプの先端に効率よく圧力かけることができ、バンプの材質や表面状態管理により、アルミニウムパッドで 2 万ピン以上【訳者注: 現在の技術では、300mm ウェーハで、8~15 万ピン程度可能と言われている】をコンタクトする能力がある。

多層配線基板は、温度膨張係数(CTE coefficient of thermal expansion)の不整合が起こらないように、シリコン(例えばガラスやセラミックス)と類似した温度膨張係数の部材が使用されている。

マイクロ・ポゴピンのコンタクトは、同等の CTE を持ったプローブ・ハウジングと、両端可動のポゴピンで構成されている。ポゴピンは垂直に立ち、十分な追従性を持ち、隣接したコンタクト間での高さ変化に対し、独立に動いて調整し、コンタクトできる。プローブピッチは技術に依存する。

ウェーハレベル・パッケージのような形状のウェーハ上の全パッドにコンタクトするには、スプリング形状のコンタクトの適用が予想される。コンタクトロードマップに於いて、DRAM は 汎用メモリ・バーンインの多くを占めているため、目標として選ばれている。DFT ではシステム LSI が検討されている。

#### 7.8.4 その他のウェーハレベル・バーンイン技術の考察

ウェーハの消費電流は、トランジスタのチャンネル長の短縮化による sub-threshold リークと、単位面積当たりのトランジスタ数の増加により増大する。高温のバーンイン時にもまた sub-threshold リークは増大する。したがって、バーンイン装置は1ウェーハ当たり 1000A 以上の電流を供給できる能力がなければならない。また、適切な電流制限を行うために、ウェーハの温度の調節と温度均一性が必要になる。結果的に、バーンイン装置は、異なる特性の各ウェーハに対して適応できなければならない。

BIST は、デバイス当たりの被テストピンの減少を可能とする。しかし、ダイの縮小とパッドの狭ピッチ化により、ウェーハの総ダイ数とパッド数が増加し、この利点を相殺してしまう。テストされるピン数の増加はまたウェーハにコンタクトする力も増加させる。スキャン、BIST や JTAG のような DFT 機能を用いて、WLBI の利用を可能にするために、デバイス当たりの被テストピンと、トータルコストの削減をしなければならない。そして、WLBI 技術の性能を改善しなければならない。

WLBI を可能とするプロービング技術について上述した。しかし、プロービング技術は、将来の技術トレンドを満足させるため、いくつかの問題に直面している。LOC とペリフェラルデバイスに対する TPS プローブ技術の検討では、パッドピッチを 70  $\mu\text{m}$  まで適用できると思われる。70  $\mu\text{m}$  以下のピッチに対して、フォトリソグラフィを用いた MEMS 技術が選択できる。しかし、この技術は、300mm ウェーハに適用できる解決策を持っていない。狭ピッチ化に対するプロービング技術が求められているとしても、パッドのレイアウトを行う時に DFT をうまく使い、一つおきにパッドを飛ばせば、通常ピッチに比較して実効的に 2 倍のパッドピッチにすることができると考えられる。Low-k 材のために、多ピン低プローブ圧の適用も求められるであろう。これは新しいプロービング技術の促進に役立つであろう。

### 7.9 テストハンドラの要求

Wafer probe(プローバ) と component test(ハンドラ)での装置は各セグメントにおいて明らかに技術的な課題がある。プローバ、ハンドラ共に、さらなる多数個測定の実現と、装置自身やインタフェースのコスト増大をいかに抑えるかが主な課題である。

プローバでは、測定数を増やすために 300mm ウェーハ全面をカバーできるプロービング技術開発が必要となる。特にプローブピンを増やすことでの信号取り回しの複雑性を解決する技術が課題である。プローバやプローブカードは多ピン化においてインタフェースを複雑にしないアーキテクチャが必要となる。

ウェーハレベルやパッケージテストでは、技術的なチャレンジと稼働率向上によるコスト削減を実現することが普遍的な課題である。スループットの向上と、測定数増大(例えばテスト時間が短くても)、およびハンドラの速度向上/ハンドリングプロセス機能拡張(例:非同期テストや連続ロット供給など)は同時に成立しなければならない。複数のダイを同一パッケージに集積する 3D 積層化が進み、従来の前工程(フロントエンド)、後工程(バックエンド)の間に追加される中間工程(ミッドエンド)では、ウェーハから切断した個片ダイのマイクロバンプ、もしくは、インターポーザに搭載した後の C4 バンプへコンタクトするための新技術が必要になる。ハンドラでは、供給/収納するためのトレイ形状、ダイを破損させないハンドリング、狭ピッチをコンタクトするための位置決め精度が主な課題である。

パッケージは更に小型化が進み、サブストレートは薄くなっていく傾向が進むことから装置がハンドリング可能なエリアは少なくなっていくと考えられる【訳者注:当然、リードやパッド、ボールの数は増えていくことも要因

の一つである】。将来、ハンドラは高精度ピック&プレース機能や極小／繊細パッケージへの対応、パッケージにダメージを与えない高推力コンタクト機能などが必要である。

最終製品での過酷な使用条件を網羅したテスト温度範囲の拡張が必要になる。特にテスト開始時の、発熱をレスポンス良く抑える制御、テスト中のダイ温度を一定に保つ温度精度、ジャンクション温度の制御は改善されていくべきである。テストにおける消費電力は総じて増加傾向にあるが、マルチコア技術はこれを緩和する傾向にある。

これらすべての要求を1台でかなえることのできるハンドラは現れそうにない。広温度幅／高温度精度／スループット／搬送精度／同時測定数、特別な機能の技術統合とコスト効果のある装置の実現が今後の重要課題となる。2007年 ITRS ロードマップではデバイス発熱の観点でハンドラを三つのグループに分けて分類した。デバイスごとの発熱が、

- 10W 以上をハイパワー
- 0.5～10W までをミドルパワー
- 0.5W 以下をローパワー

と定義した。2009年(ITRS ロードマップ)ではハイパワーデバイス向けハンドラを10～50W(典型的なハイパワーデバイス向け)と50W以上(更にハイパワーなデバイス向け)に更に分類している。2011年 ITRS ロードマップでは、デバイス発熱の観点でハンドラを分類していたが、2013年ではアプリケーション別に種類が異なるハンドラ製品でグループ定義を見直した。自重落下ハンドラは、SOP、QFNやDIPパッケージに使用される。タレットハンドラはディスクリート半導体のQFNパッケージ等に幅広く使用される。ストリップハンドラは、デバイスを個片化せずフレームを使用する。ストリップテストは、少ないインタフェース資源の多数個測定でテストコスト削減を可能にする。これら追加した三種類のハンドラは、比較的にローエンドや低価格の製品に幅広く使用されている。種類の異なるハンドラの展開は、様々なデバイスをハンドリングするために重要である。

*Table TST 14 - Test Handler and Prober Difficult Challenges*

<p>Pick and Place Handlers (High Performance)</p>	<p>Temperature control and temperature rise control due to high power densities                  Continuous lot processing (lot cascading), auto-retest, asynchronous device socketing with low-conversion times                  Better ESD controls as products are more sensitive to ESD. On-die protection circuitry increases cost.                  Lower stress socketing, low-cost change kits, higher I/O count for new package technologies                  Package heat lids change thermal characteristics of device and handler                  Multi-site handling capability for short test time devices (1-7 seconds)                  Force balancing control for System in Package and Multi-Chip Module</p>
<p>Pick and Place Handlers (Consumer SoC/Automotive)</p>	<p>Support for stacked die packaging and thin die packaging                  Wide range tri-temperature soak requirements (-55°C to 175°C) increases system complexity for automotive devices                  Device junction temperature control and temperature accuracy +/-1.0 deg C                  Fine Pitch top and bottom side one shot contact for Package on Package                  Continuous lot processing (lot cascading), auto-retest, low conversion times, asynchronous operation</p>
<p>Pick and Place Handlers (Memory)</p>	<p>Thin die capable kitless handlers for a wide variety of package sizes, thicknesses, and ball pitches &lt; 0.3mm                  Package ball-to-package edge gap decreases from 0.6 mm to 0 mm require new handling and socketing methods                  Parallelism at greater than x128 drives thermal control +/-1.0 deg C accuracy and alignment challenges &lt;0.30mm pin pitch</p>
<p>Prober</p>	<p>Consistent and low thermal resistance across chuck is required to improve temperature control of device under test                  Heat dissipation of &gt;100 Watts at &gt; 85°C                  3DI and MEMS application require very thin wafer and special shape wafer testing (handling) technology, but no industry standard exists                  Advances in probe card technology require a new optical alignment methodology.</p>

	<p>A high-temp dicing frame sheet is needed for probing</p> <p>New wafer/substrate materials require heavier wafer handling</p> <p>Power Device applications require very thin wafer which drive need for 'Taiko Wafer' and 'Ring attached wafer' handling technology</p> <p>No standard cassette / FOUP exists for thin wafer / warp wafer</p> <p>Enhanced Probe Z control is needed to prevent damage to pads</p> <p>Probers for wafer sizes greater than 300mm may drive changes for probe floor layout, operation, and building design</p>
Gravity Feed Handlers	<p>Thinner packages and wafer will require a reduction in the impact load to prevent device damage</p> <p>Test head size increase due to higher test parallelism may alter handler roadmap</p> <p>Reduction of static electricity friction and surface tension moisture friction on very small packages (&lt;1 x 1 mm)</p>
Turret Handlers	<p>Test contactor support for &gt; 100A current forcing on power devices</p> <p>Kelvin contact support (2 probes) to very small area (0.2 x 0.2mm) contacts on small signal devices</p>
Strip L/F Handlers	<p>Testing process infrastructure configuration</p> <p>Accuracy of the contact position for high temperature testing environment</p>

*Table TST 15 – Prober Requirements*

*Table TST 16 – Handler Requirements*

## 7.10 デバイス治具(ソケット、プローブカード)への技術要求

デバイスの入出力バンド幅と消費電力は年ごとに増加する。当然に、電氣的テストも高機能化する。そうして、それが、デバイス治具制作上の技術的課題となる。最高度のデバイス治具をつくるためにはテスト装置からダイまでの完全な電源モデル・信号伝播モデルが必要となる。テスト装置、配線、プローブまたはソケット、そしてダイをとおしてのシミュレーションの精度も要る。ダイとパッケージの高集積化および生産性向上に伴って、ピッチが小さくなり、ピン数が増え、同測数が増えて、更にデバイス治具が複雑化する。

More than Moor (つまり機能的多様化)に沿った新たな構造として、SiP や積層ダイがある。SiP や積層ダイは当然に高集積という課題があり、それに対応するものとして TSV や非接触信号伝播といった新技術が現れている。SiP や積層ダイではアセンブル前に良品(KGD: Known Good Die)を選択しておく必要があり、それも歩留り、テスト費用の面で重要な課題である。実配線、無線通信にかかわらず TSV 等の3次元配線では、位置決めそして針立てが問題となる。

More than Moor に対応するため、パッケージ工程中にテスト工程を差込む可能性もある。実際、半導体前工程ではオフライン・インラインのプロセスチェックテストがある。従来、パッケージには、ダイなどの能動部品はおおよそ1個しかなかった。SiP や積層ダイのパッケージでは複数個の能動部品と受動部品の組み合わせとなる。

従来パッケージではアセンブル後にテストする。More than Moor においては歩留り向上のためにインラインテストのような前工程と同様なテストが要るだろう。

配線の高集積化とKGD 要求が More than Moor におけるテストの課題を提供する。また、BIST や多 DUT プローブカードが、テスト全体のうちプローブカードやソケットの比重を大きくしている。多数個測定のための一つの可能性は、無線通信による非接触接続かもしれない。こうした新規デバイスに対する総合的テスト工程を考えていかねばならない。そのソリューションは、前述のダイや各アセンブリパーツにテストストラクチャの追加を含んだものになるだろう。

### 7.10.1 プローブカード

ウェーハプローブ技術は、製品仕様やテストの実行条件や生産性目標やコスト削減の要求などに左右される複雑な電氣的、機械的な課題に直面している。どのようなデバイスに対しても、これらの課題には電力の増

大、周波数応答(バンド幅)、狭ピッチ化や小パッドまたは小バンプパッド化に伴う多ピン化、スイッチング電流(di/dt)の増大、パッド/バンプの代替材料、同時測定数の増加などへの対応が含まれている。プロービング技術の研究や開発は新規技術・改良技術を問わず、基本的なプロービングの条件、すなわち確実な信頼性、堅実で経済的なDUTとの電氣的接続などの課題を満たしている必要がある。非接触プロービング技術の最近の進展は、プローブに関する将来の密度、速度および3D等の要件の実現を助けることになるだろう。

パッシブなプローブカードの進歩は、増強される機能性に対して機械的、電氣的限界に近付いているように見える。インテリジェントなプローブカードは、同時測定と速度の双方の問題を解決する潜在的な可能性がある。MEMS材料と異種機能・異種材料集積(Heterogeneous Integration)の進歩は、DUT技術にマッチした同時測定と性能でインテリジェントなプローブカードを経済的に作るができることを示唆している。3Dパッケージテストで使用するインテリジェントなプローブカードのいくつか市販レベルの提供がある。

この節に含まれる図表はテスト技術要求の節の構成に準拠し、デバイス製品種別に基づいた動向が導き出されている。

### 7.10.2 プローブカード技術のトレンド

重要な課題の表に記載したように、市場から緊急に要求されている研究開発課題は製品信頼性や機能テストの環境における経済的なプローブ技術である。

バンプ付きデバイスの生産は増え続け、しばしばエリアアレイのI/Oを伴うので、垂直型プローブ技術へのピン数増加要求があり、また同時測定数の増加も必要になる。更に多重列ワイヤボンンドで垂直型が必要となり、狭ピッチ化が重要課題となっている。

いつかのマイクロプロセッサとハイエンドASICは動作電力が500Wから1000Wであり、プローブ当りの電流容量と温度の問題が起きる。またプローブ当りの電流は、ワイヤボンンドのデバイスがより高度な半導体技術に移行すると、カンチレバー技術やMEMS技術のプローブに対し問題となる。

デバイス量産テストは同時測定に移行した。いくつかの生產品目(例えば、メモリ)では、現在のウェーハプローブ技術で512個以上の同時測定が実施されている。プローブ技術はウェーハ全面へのコンタクトが可能となっており、既に200mmおよび300mmウェーハで実施されている。これらの大規模並列プローブではDUTあたりのピン数を増やすことが今後の課題である。

テストの革新には、TSVや近接通信などの新しい相互接続技術の効果的な使い方が必要とされている。

Table TST 17 – Probing Difficult Challenges

Geometry	<p>Probe technologies to support peripheral fine pitch probe of 23 μm peripheral staggered pad probes at effective pitches of 20/40, and fine pitch (45 μm) for dual row, non-staggered probing on all four die sides.</p> <p>Fine pitch vertical probe technologies to support 130 μm pitch area array solder bump and 50 μm pitch staggered pad devices.</p> <p>Multi-site pad probing technologies with corner pitch capability below 125 μm.</p> <p>Reduction of pad damage at probe commensurate with pad size reductions (or better).</p> <p>Alternative probe technology for 75 μm on 150 μm pitch dense array (vertical probe; bumped device).</p> <p>Increasing probe array planarity requirements in combination with increasing array size.</p>
Parallel test	<p>Need a probe technology to handle the complexity of SoC devices while probing more than one device.</p> <p>Current probe technologies have I/O limitations for bumped device probes.</p>
Probing at temperature	<p>Reduce effects on probes for non-ambient testing -50°C to 150°C; especially for fine-pitch devices.</p> <p>For effects on Handlers and Probers, see that section.</p>
Product	<p>Probe technologies to direct probe on copper bond pads including various oxidation considerations.</p> <p>Probe technologies for probing over active circuitry (including flip-chip).</p>
Probe force	<p>Reduce per pin force required for good contact resistance to lower total load for high pin count and multi DUT probe applications. Evaluation and reduction of probe force requirements to eliminate die damage, including interlayer dielectric damage</p>

	A chuck motion model is required to minimize probe damage
Probe cleaning	Development of high temperature (85°C–150°C) in situ cleaning mediums/methods, particularly for fine pitch, multi-DUT, and non-traditional probes. Reduction of cleaning requirements while maintaining electrical performance to increase lifetime. A self-cleaning probe card is required for fine pitch bumped pad devices
Cost and delivery	Fine pitch or high pin count probe cards are too expensive and take too long to build. Time and cost to repair fine pitch or high pin count probe cards is very high. The time between chip design completion (“tape-out”) and the availability of wafers to be probed is less than the time required to design and build a probe card in almost every probe technology except traditional cantilever. Space transformer lead times are too long, thus causing some vertical probe technologies to have lengthy lead-times.
Probe metrology	Tools are required that support fine pitch probe characterization and pad damage measurements. Metrology correlation is needed for post repair test versus on-floor usage.
High power devices	Probe technologies will need to incorporate thermal management features capable of handling device power dissipations approaching 1000 Watts and the higher currents ( $\geq 1.5$ amp) flowing through individual probe points.
Contact resistance	Probe technologies that achieve contact resistance $< 5$ Ohms initially and throughout use are needed. A method to measure contact resistance is needed. The traditional continuity test is insufficient to monitor contact resistance.
High frequency probing	Traditional probe technologies do not have the necessary electrical bandwidth for higher frequency devices. At the top end are RF devices, requiring up to 40 GHz.

### 7.10.2.1 プローブカードへの技術要求

多くのプローブカード技術が市場に導入されているが、種々のデバイスを正確にテストするための適合性（技術そしてまたテスト手法に左右される）や技術の限界があり、プローブカードを更に幅広く使用する際の障害となる。一つのプローブ技術ですべてのデバイス群の要求を満たすものは見当たらない。

この節では個々のデバイスをテストすることを含めてプローブカード技術の課題を調査する。これらにはウェーハに接触する時あるいはその後の接触による影響、生産性向上のための複数デバイスの同時測定に対するプローブカードの設計、そして使用環境など、プローブカードが実際に使用される時の予測が含まれる。

### 7.10.2.2 ピッチと接続変換

入出力信号密度はパッドやバンプのかつてない寸法の微細化を要求する。周知のように、最先端ワイヤボンドのパッドピッチは  $30\mu\text{m}$  以下である（当然パッドサイズはこれより小さくなる）。従来のプローブ技術にとって、許容範囲の針跡とともに微細化は大変な課題である。

ワイヤボンド製品のプローブでは、カンチレバー型プローブカードが今でも主流ではあるが、ピッチとプローブ傷跡の大きさのために、近いうちに実用性において限界になりそうである。そうして、新しい技術、すなわち (MEMS やメンブレンのような) 半導体プロセスに近い技術を用いて作ったプローブカードが小さなパッドとプローブ傷跡に対応する。

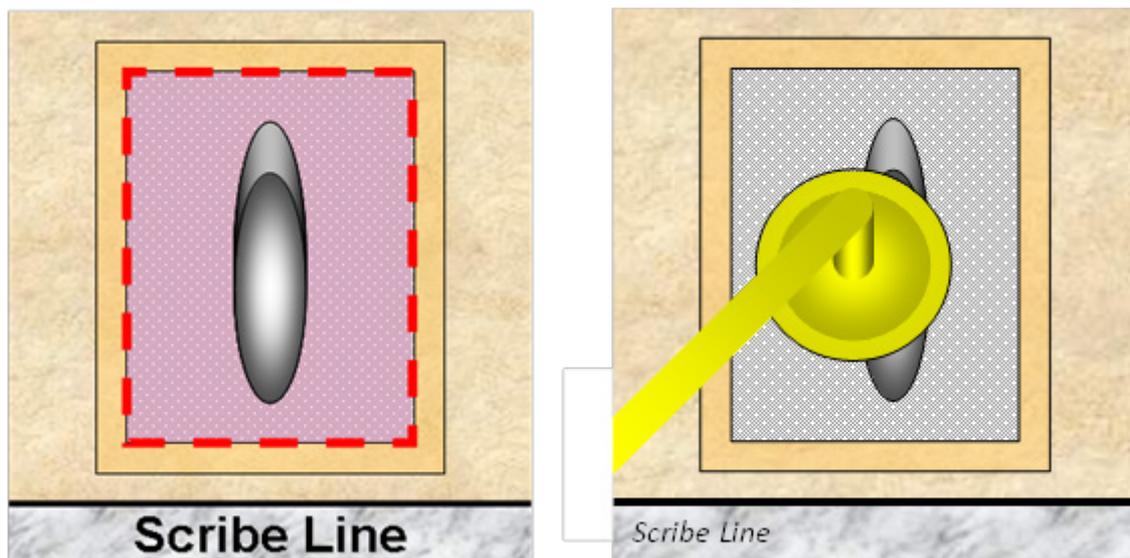


Figure TST 17 - Probing and Wirebond Contacting a Bond Pad

エリアアレイの半田バンプは成長分野のアプリケーションであり、垂直プローブ技術に見合った要求/需要を發展させている。ピッチやバンプの寸法が小さくなると、現在の垂直プローブ技術ではおそらくアレイからの配線引出しに限界が生じ、新たな技術開発が必要になるだろう。

### 7.10.2.3 多数個同時測定

生産性の向上は一つ以上のデバイスを多数同時測定（プローブ測定）することで実現可能である。メモリのテストがこの分野を牽引しており、最先端技術では 500 個の同時測定にさえ迫っている。表 TST2 に示すように事実上すべてのメモリテストで多数個の同時測定が行われている。他のデバイスでも多数個同時測定への移行と加速は進行中である。DFT や「洗練されたテスト技術」の使用とともに促進され、16 個、32 個、そして 64 個同時測定さえも SoC テストにおいて実現されている。また、ハイエンド・マイクロプロセッサにおいては 4 個同時測定まで実現されている。

多数個同時プローブ測定の要求はさらなるプローブ数のますます増加しつつある。今日では、いくつかの新しいコンタクト／プローブの技術により 300mm ウェーハに全面コンタクトできると言われている。最終的なコンタクト／DUT 必要数は何百個にもなる。

### 7.10.2.4 電気的性能

ウェーハプローブ技術、すなわちプローブカードはウェーハ上の被測定デバイスとテストシステムの電子回路と電気的に接続する。プローブカードは、被測定デバイスとテスト装置の間で信号や電源を忠実に伝送、供給したりせねばならない。

本 ITRS の報告書の中に、デバイスの動作電圧や交流特性に関する情報が述べられている。加えて、このテストとテスト装置の章の中に、ウェーハプロービングの要求を理解するために手助けになる、広範囲な電気的特性に関するテスト性能の情報が記載されている。

個々のプローブの電流容量は増大するよう見受けられる。同時に、DUT あたりの合計電流は回路密度やピン数の増大とともに増えると思われる。注目すべきは、1.5A 以上に達する大きな電流容量を必要とするいくつかの選択的アプリケーションがあるということである。また同様に瞬間最大電流値が増大していることにも注意を払う必要がある。

接触抵抗は常にプローブ技術の重要パラメータである。これはパッドやバンプに対する冶金技術、パッドやバンプからの汚染、多数個同時測定の【訳者注：オフウェーハ上への】「はみ出し」、コンタクト圧、スクラブ(削り)、クリーニングなどのような多くの要因に左右される。本節の表 TST18 の抵抗値要求は、プローブの実質的な寿命期間をとおして「通常」使用した場合のコンタクト抵抗を反映している。初期およびクリーニング後の接触

抵抗はかなり低く、一般に 200 mΩ 台かそれより低いことが要求される。クリーニングまでの期間(接触回数)を長くするために、コンタクト抵抗値を低くする要求が高まっている。

プローブによる高周波測定は、ダイとの接触において安定したインピーダンス構造が未達成のため、課題が残っている。ロードマップは、デジタル I/O の特性は 20GHz 以上になることを示している。アナログピンの特性は高精度な近距離レーダや自動着陸装置および車両自動駐車システムなどにより 100GHz にもなる可能性がある。高周波測定下の多数個測定は課題として残り、また、ウェーハレベルの KGD(Known Good Die)テストを可能とするためには多大な開発を必要とする。

### 7.10.2.5 耐熱特性

ロードマップとしての耐熱特性要求は大きくは変化しない。しかし確実に満たされなければならない。既に、チャック温度は零度よりずっと低い所から高温は沸点以上へと幅広い。このように、熱膨張率を適合させ、高電流要求を満たして、両極端を扱える材料を選ぶこととなる。更に、非常に大きな過渡電流による発熱影響や大電力デバイスによる熱発生は、ウェーハとチャックの熱的な接触面だけでなく、プローブ内への能動的な熱制御の必要性を増すかもしれない。

### 7.10.2.6 カードコストと COO(COST OF OWNERSHIP)

本ロードマップでは現状、プローブカード単体のコストとその所有コスト (CoO: cost of ownership)には触れていない。単体コストと CoO に関しては、各企業が独自の取り組みとゴールを持っているかもしれないが、業界全体に使える、市場にあるプローブカード技術を広くカバーできる共通のモデルの作成が必要である。

### 7.10.2.7 針のクリーニング

ロードマップの展望期間をとおして、カンチレバータイプ・プローブではクリーニングのためにオフラインになるまでのプローブのタッチダウン回数の増加は多くの製品群で見られるが、オンライン中のクリーニング頻度は少しずつ増している。しかし多くの製品群においては、オフラインでのクリーニングを行う代わりにクリーニング間のコンタクト回数を増やしている。最終目標はできるだけテストシステムとプローブカードを有効活用することである。

垂直針系カードではオンライン・クリーニング間のコンタクト回数が急増している。つまりオンライン・クリーニング頻度が下がり、カンチレバーの頻度に匹敵もしくは更に少なくなる方向である。カンチレバーと同様に、オフライン・クリーニング間のコンタクト回数はすべての製品群において増えている。

特記すべき例として、本ロードマップの展望期間外で、メモリ製品に対してオンライン・クリーニングをやらない動きがある。ウェーハの一括コンタクトに向けてのカード設計と針構造の複雑さを反映した動きである。

## Table TST 18 - Wafer Probe Technology Requirements

### 7.10.3 テストソケット

テストソケットは、DUTの電気的特性を決定付けるために、機械的なコンタクト機構をとおしてDUTとPCBあるいはテストとの間の高い精度の信号を伝送するという電気的かつ機械的なインタフェースの役割を担う。近年、半導体の設計や製造の能力は進歩しているので、テスト工程ではテストソケットへの電気的・機械的要求は増加し続けている。それゆえ、ソケット技術は、著しく増えた電気的な要求や機械的な要求で急速な進展がもたらされてきている。その電気的要求や機械的要求のどちらも、大電力化・高電圧化・大電流化、パッケージサイズの小型化、狭ピッチ化、多端子化、小端子化、などに主導されている。すなわち電気的特性は、電気的要求だけでなく、機械的要求によっても決定されると言える。この複合物理問題によって、ソケット設計は難しい要求を伴う課題に次第になってきた。最近のソケットモデルでは、多端子化された BGA で、20GHz 以上の I/O 帯域では対応が非常に困難となっている。

表 TST19 にソケット技術の要求項目が記載されている。ソケットの分類条件は、TSOP、BGA という PKG に、NAND - TSOP、DRAM - BGA、SoC - BGA という三つのアプリケーションを当てはめ、NAND - TSOP にはコンタクトブレードの組み合わせ、DRAM - BGA にはスプリングプローブの組み合わせ、SoC - BGA には 50Ω ス

プリングプローブの組み合わせでソケットの分類を行っている。ソケット性能は、ボール、またはリード間のピッチに大きく左右されるため、アッセンブリやパッケージングのロードマップの変化を見ながら、ピッチの決定を行っている。

コンタクトブレードは、主に NAND - TSOP に使用され、ブレード自体がバネ性を持っているため、ソケットに DUT を押し当てることで、コンタクト荷重が発生している。コンタクトブレードは、とても単純な構造であり、量産に適しているものの、コンタクト荷重、ストローク、寿命を維持するためには、コンタクト長を長く取らざるを得ない。また、隣接するピンとの間にスリットの壁が必要であるため、狭ピッチには対応できないというマイナスポイントもある。スリットの壁は、ピッチが狭くなればなるほど薄くなり、製造がとても難しくなるためである。同時に、狭ピッチ対応ではブレード自体の板厚も薄くする必要があり、それによりコンタクト荷重や、適正ストローク、寿命を維持することが難しくなる。

スプリングプローブは、主に DRAM - BGA のテストに使用され、小径の筒(プローブとソケット)と圧縮バネにより形成されている。バネが縮むことにより、コンタクト荷重を生み出す仕組みである。ある程度の寿命を維持するためには、適度な強度や耐久性を維持するだけの大きい径である必要があり、長さもストロークを十分に考慮したものである必要がある。マイナスポイントとして、スプリングプローブではパッドやリードに対して、1 点もしくは 2 点だけのコンタクトであるため、他のコンタクトに比べ接触抵抗が高い傾向にある。それにもかかわらず、スプリングプローブの構造はいたってシンプルで、メンテナンスしやすく、更に DUT 基板も設計しやすいというメリットがある。

DRAM - BGA のロードマップによると、スプリングプローブの径は、狭ピッチ対応のため小さくする必要がでてきている。更に、高周波対応のため、インダクタンスも低いものが求められるため、スプリングプローブの長さを短くする必要がでてきている。

SoC - BGA の高周波を測定するためには、50Ω スプリングプローブのような同軸構造を持ったものが必要であり、これにより長さの問題は解決することができる。しかしながら、ロードマップの今後のボールピッチから、同軸ピンの配列に制約が増える見込みである(2016年の0.5mmピッチ)。2016年には、データレートが20GT/sまで増える見込みであるが、50Ω スプリングプローブは、部品数が多く、接触抵抗が他のコンタクトより高いため、電気的特性において劣るものと思われる。2016年に必要とされる50mΩの接触抵抗に対応するためには、材料、めっき、構造の開発が必要である。

BGA - SoC(高周波)のパッケージに使用可能なラバー(Rubber)は、シリコンゴムの厚み方向に導電粒子の束を規則的に配列させることによって上下の導通と隣接の絶縁を確保する方式である。インダクタンスが厚みに依存するため標準的な厚みでも低いインダクタンスを確保できることから、高周波の測定にその優位性を発揮することができるが、厚みを一定に保ったままインダクタンスを更に低減していくことが後の課題となる。パッケージのボールピッチの微細化に対しては、現状のロードマップに示されたターゲットに対応することは問題ないと思われるが、多ピン化にともない同一ストローク量を確保したまま必要荷重だけを低減していくことは容易ではない。

QFP / QFN - SoC(高周波)のパッケージ測定で主に使われるコンタクトブレード+ ラバータイプのソケットは、高い周波数特性に対応するために、接触子自体にはバネ性を持たせず接触子の導体長を短くさせ、別に配置したラバーに変位を与えることにより接触荷重を発生させる。ラバーの硬度を変えることでパッケージハット材質に適した接触荷重に変更できるというメリットがあるが、Contact blade タイプのソケットと比べると機械的な寿命は短いというデメリットもある。

【記者注：QFP/QFN - SoC(高周波)のロードマップによると】2013年にI/O data 15GT/sの要求があり、接触子の導体長を短くすることで高周波特性への対応は可能であるが、量産面での運用に課題が発生すると考える。2019年にI/O data 40GT/sの要求があるが、接触子の導体長を0.1nHもしくは、それ以下のインダクタンスにする必要があるため小型化することが難しい。またソケットの構造や接触子の材質、メッキ等の見直しが必要となる。

ソケットの寿命に関しては、このロードマップで述べられていないが、今までの有鉛デバイスに比べ、鉛フリーデバイスにはもっと高いコンタクト荷重が必要となるため、近い将来、リード/ボールへのダメージ軽減のため低荷重化が求められることから、寿命も重要な課題となってくる。

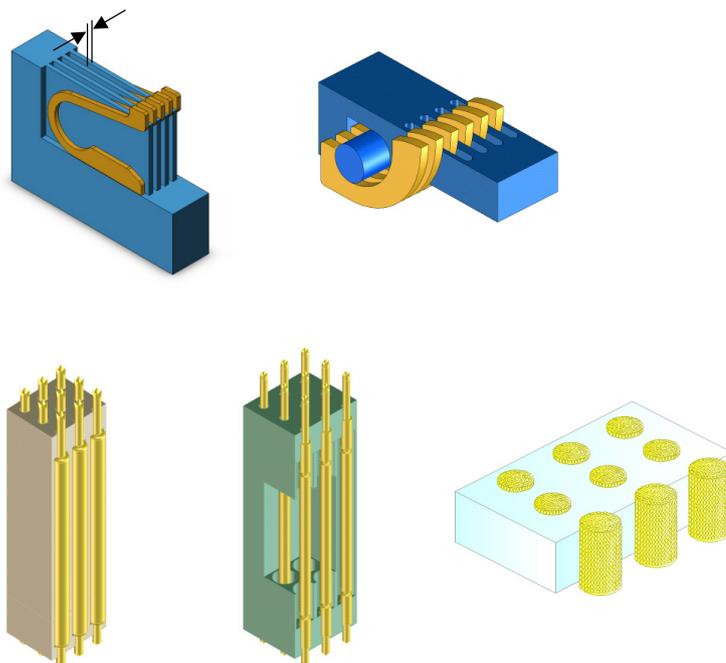


Figure TST 18 - Contactor Types

### 7.10.3.1 電氣的的要求

電氣的的要求には、ソケットピンあたりの通電電流容量(CCC)、接触抵抗、インダクタンス、インピーダンスがある。また、インサーションロス【訳者注:挿入損失】、リターンロス【訳者注:反射損失】、クロストークといったシグナルインテグリティ【訳者注:信号の品質】を悪化させる要素がある。大電力化や高バンド幅化に伴って、パッケージは CCC の増大や、低接触抵抗化や、インピーダンス整合の適正化のソケットピン設計やソケット設計を必要とする。ロードマップ上では、20GHz を超えるデータ転送速度の要求が必要と予測されている。この領域では、インピーダンス整合と潜在的な信号損失が大きな問題になる。一方、端子数が増えるのと同様に、パッケージの寸法や端子やピッチは小さくなる。この小端子化は、コンタクト抵抗やシグナルインテグリティをひどく悪化させる厳しい機械的な制約条件への対応を必要とする。電氣的接触を安定させ、低い接触抵抗を確実にさせる一つの重要な要素は、一般的に端子あたり 20~30g 程度のコンタクト荷重である。端子ピッチが縮小すると、適正な接触抵抗を可能にする高いコンタクト荷重が維持できないかもしれないが、微小で細いソケットピンを使わざるを得ない。電氣的特性に対する機械的要求の否定的な影響によって、電氣的コンタクト技術の改善やソケットの革新が必要とされる。つまり、電氣的特性とシグナルインテグリティは増大する機械的要求と密接に関係している。高い周波数の信号を扱う際には、基板設計、使用する部品とソケットを含む全テストシステムの信号品質を注意深く検討する必要がある。

### 7.10.3.2 機械的要求

機械的要求には、機械的位置決めや、弾力性や、ソケットピンの信頼性が含まれる。機械的アライメントは、特にランドグリッド・アレイ(LGA)において、多端子化や小端子化によって大きな課題になってきている。現在、テストソケットの主流は受動的な位置決め制御になっている。この方式では、ソケットピンとデバイス端子の間のコンタクト確度は機械的なガイド機構の許容誤差の積み重ねに依存してしまう。よって受動的な位置決め方式は直ぐに限界に達するだろう。なぜなら、製造時の許容誤差は数  $\mu\text{m}$  程度に設定されているからである。能動的な位置決め方式や光学利用のハンドリング装置の採用は、パッケージや端子の縮小化、狭ピッチ化、多端

子化の継続に対応できる選択肢の一つである。

弾力性は、垂直方向(Z 方向)の機械的コンタクト確度である。つまり、総合的なコンタクトストロークは、最低限必要なソケットピンの圧縮量に加えて、ソケットピンの高さのばらつき【訳者注: 共面精度】と DUT ピンの非平坦度の両方も考慮する必要がある。一般的に、コンタクトのトータルストロークは、0.3mm から 0.5mm である。しかし、ソケットピン寸法のさらなる小型化要求より、上記のストロークを維持することは不可能であろう。このような圧縮問題は、電気的コンタクト性能のボトルネックになるかもしれない。

コンタクトピンの信頼性、ピン先端の耐久性もまた課題を持っている。なぜなら、厳しい幾何学的制約によりソケットピンの強度に余裕がないからである。高温化、大電流化、ピン先端コンタクトの微小化などにより、テスト環境は更に難しくなっている。

### Table TST 19 - Test Socket Technology Requirements

## 7.11 特殊デバイス

テストロードマップは包括的なものではなく、すべてのデバイスのテスト要求を含んでいるわけではない。本報告で取り上げなかったいくつかのデバイスのテスト要求の多くは、このロードマップ内に記載されたデバイスのテスト要求の境界内にある。他のデバイスは、この節で指定された境界を引き伸ばすものであり、完全性のために触れられる必要がある。この特殊デバイスの節で取り上げるデバイスは、一般的にはモバイル通信やコンピューティングに含まれ、またそれにより加速される大量生産のデバイスである。この節の意図は、特殊デバイスの課題をまとめることにある。2013 年の今回は、LCD ディスプレイドライバ、イメージングデバイスおよび MEMS マルチモード・センサ・デバイスを取り上げる。

### 7.11.1 LCD ディスプレイドライバ

LCDドライバは、縦横比が 10 対 1 以上であるようなチップ形状で、テスト用に数千を超える非常に細長い金バンプを持つという、大変ユニークなデバイスである。2013 年には、LCD ディスプレイドライバのプロロービングパッドピッチは、18 $\mu\text{m}$  ピッチを下回っている。金バンププロセスにおいて技術的に困難であるピッチの縮小は、スローダウンしており、代替案として、パットの長さを短くし、バンプの高さを低くしている。最近、このような、金バンプのついた狭パッドピッチの大量生産プロロービングは、カンチレバープローブカードだけが、成し得ることができる。新たな LCDドライバの特徴は、高速の I/O プロトコル・インタフェースを持っており、その速度は 2013 年で 2.5Gbps、2019 年には 4.8Gbps に引き上がる。2013 年には、2.5Gbps のテスト能力として、同軸カンチレバープロービングという潜在的な解が提供されている。プロロービングの課題は、よりシビアになってきており、プロロービングの問題を経済的に解決するための新しい技術が必要とされる。

### 7.11.2 イメージセンサ

イメージングデバイスはいろいろなアプリケーションに普及している。デジタルカメラは携帯電話やモバイルコンピュータデバイスの標準機能の1つとなっている。ほとんどのデジタルカメラは、2013 年に 24 メガピクセルまで分解能が引き上げられた CMOS イメージセンサを使用しているが、2014 年には、36 メガピクセルになると予想されている。自動車産業のアプリケーションや監視装置は、2013 年に 120fps を超えたより早いフレームレートが必要になる。イメージングデバイスの他の新しい革新的な技術は、3D イメージングアプリケーション用の赤外線センサである。多くの個人携帯端末(PDA)や電話は、薄さ 0.6mm のカメラモジュールが要求されており、既にそのカメラ機能が実装されている。カメラモジュールがより小さく、より薄くなるにつれて、イメージセンサーデバイスは、入射光量を増やすために、各センサピクセルの上にマイクロレンズを実装する必要があり、その結果として信号対雑音比が改善した。マイクロレンズの配置は、カメラモジュールの光学設計に基づいた光軸から光をシフトすることが必要条件となっている。マイクロレンズの独特な配置のため、そのテストで使用されるプローブカードは、同時測定テスト中の画像の均一性の問題を克服するために、瞳光学系を形成する必要がある。裏面照射(BSI)は、入射光量と各ピクセルのセンサセルのフィルファクタを増加するための別の手段である。画像ピクセルサイズが 1.4 $\mu\text{m}$  より小さくなると、BSI 処理は、FSI(表面照射)処理に勝る利点がある。単一チップの画像プロセッシングデジタルロジックと一体となったイメージセンサは、3DS(3 次元スタック) IC を介して

## 70 テスト

実装され、そして、レンズ系と統合されたイメージセンサである WLCCM(ウエハレベルカメラモジュール)は、携帯電話に実装され、成功を収めている。しかしながら、WLCCM は光学品質や歩留まりの問題のため、低解像度の VGA アプリケーションに限定される。イメージセンサ用の 3DS IC や WLCCM の生産歩留まりの改善や自動化処理のスループットを向上することは、依然として、克服すべきテストの課題である。

### 7.11.3 MEMS センサデバイス

MEMS センサデバイスは、パーソナルな電子機器や自動車用のアプリケーションに急激に使用され始めている。いくつかのスマートフォンや個人携帯端末には、加速度計、ジャイロ、電子コンパス、圧力計の機能を1つのパッケージに搭載したマルチモード MEMS センサデバイスが入っている。需要は、2011 年以來、年間 10%を超える成長を遂げている。MEMS センサの入力要件をテストすることの複雑さは、テストコストやデータの整合性についての課題を増やしている。民生、産業や自動車用のアプリケーションのためのいろいろな基準やテスト方法が存在する。マルチモード MEMS センサの民生用のアプリケーションでは、コスト削減やテストカバレッジを増やすためのウエハレベルテストでの BIST、または、コスト削減のための多並列 PKG テストの実現が推進されるだろう。