

2002年1月 S T R J ワークショップ 開催趣旨

平成14年1月15日

(社)電子情報技術産業協会 (JEITA)

半導体技術ロードマップ専門委員会 (STRJ)

委員長 増原 利明

最近の半導体技術の進展は目ざましいものがあり、2001年には130nmの技術ノードに到達しました。トランジスタ数は58%/年で増加しつつあり、従来システムと言われていたレベルの集積度が実現されつつあります。また、高速動作も進展し、1-2GHzのクロック周波数でのマイクロプロセッサや、RFアナログ機能の集積も実現されるようになってきています。

この原動力となってきたスケーリングと呼ばれる比例縮小による素子微細化は、過去40年にわたってプロセス・装置、LSI設計・テストの性能とコストの課題が技術世代毎に効果的に解決されてきたことにより実現されてきました。しかしながら近年、スケーリング自体の技術課題や集積規模増大による設計・テストの問題が顕著になり、これを実現するために技術上の壁をいかに乗り越えるかに加えて、装置、プロセス、設計のコストが指数関数状に増大することから、いかに経済性と両立させるかが大きな挑戦課題となってきました。

1992年、1994年、1997年に米国NTRSが発表され、1999年に初めての国際版の半導体技術ロードマップITRSが発表されましたが、2001年ITRSの検討途上に、以上の課題について真剣な議論がなされました。半導体技術ロードマップは文字通り半導体技術の道路地図であり、半導体技術の進歩の方向性を定量的に示すものでありますが、今後のロードマップでは単に個別の技術の目標数値を追うだけではなく、産業全体の経済性を含めた総合的なバランスが成り立つような目標設定の見直しが不可欠になると考えます。過去、STRJにおきましても、クロスカット活動を中心に個別技術ロードマップの矛盾を指摘し、その課題解決の方向について検討を進めてきましたが、今回のワークショップにおきましては、各WGによる個別技術の検討とクロスカット活動につきご意見をいただくと同時に、日本半導体産業の今後の技術戦略方向とロードマップ活動についてパネルディスカッションで議論いたします。活発な討論をいただきますようよろしくお願いいたします。