ITRS-2001 Design ITWG

Andrew B. Kahng, Chair

November 29, 2001

門脇（和訳）

Design ITWG の主な成果　:ITRS-2001

- 「SoC」を「System Drivers」として刷新
  - MPU
  - SOC (Low-Power, High-Performance, Mixed-Technology)
  - Mixed-Signal
- 「Design」更新
- ORTC サポート
  - Frequency
  - Power
  - Density
- 設計コストと設計生産性モデル

Design 参加者

- > 50 人 (日本、欧州、米国)
- Japan: Hitachi, Matsushita, Mitsubichi, NEC, Sony
  - ITWG: Y. Furui, T. Hiwatashi, T. Kadowaki, K. Uchiyama
  - SOC-LP roadmap
- Europe: Infineon, Philips, STMicro
  - ITWG: R. Brederlow, W. Weber
  - Mixed-Signal roadmap
- U.S.: Agere, Agilent, Cadence, HP, IBM, Intel, Lucent, Motorola, TI
  - ITWG: W. Joyner, A. Kahng
  - MPU, Power, Frequency, Density models

ITRS-2001 System Drivers Chapter

「システム・ドライバ」

- 製造や設計技術を牽引する商品モデル
- 1999年版の「System-on-a-Chip」を刷新

- Goal:

ORTCs + System Drivers = “技術要求の一貫したフレームワーク”

- マクロな視点での考察
  - 市場ドライバ
  - SoCへの集約
- 主な内容: System Drivers
  - MPU　– 従来の汎用プロセッサ・コア
  - SOC　– 低消費電力PDA (と 高速 I/O)
  - AM/S　– 4つの基本回路と性能指標
  - DRAM – 詳細議論はなし

MPUドライバ

- 2タイプの　MPUモデル
  - コスト重視:　140 mm^2 チップサイズ一定 ,「デスクトップ」
  - 高性能:　　310 mm^2 チップサイズ一定 ,「サーバ」
  - (次回ITRS: デスクトップ、サーバ、モーバイルの統合モデル?)
  - MPU 構成: マルチ・コア, オン・ボードL3キャッシュ
    - 専用回路の比率増大
    - 電力制御のためのコアの増加

      (低動作周波数、低電圧Vdd、並列化の推進 → 全体での低消費電力化)
    - コアの再利用　による設計生産性の向上
    - 冗長回路　による歩留まりやフォルト・トレラントの向上
    - MPU と SoC の統合　(構成および設計手法)
- ノード毎の動作周波数倍増の限界

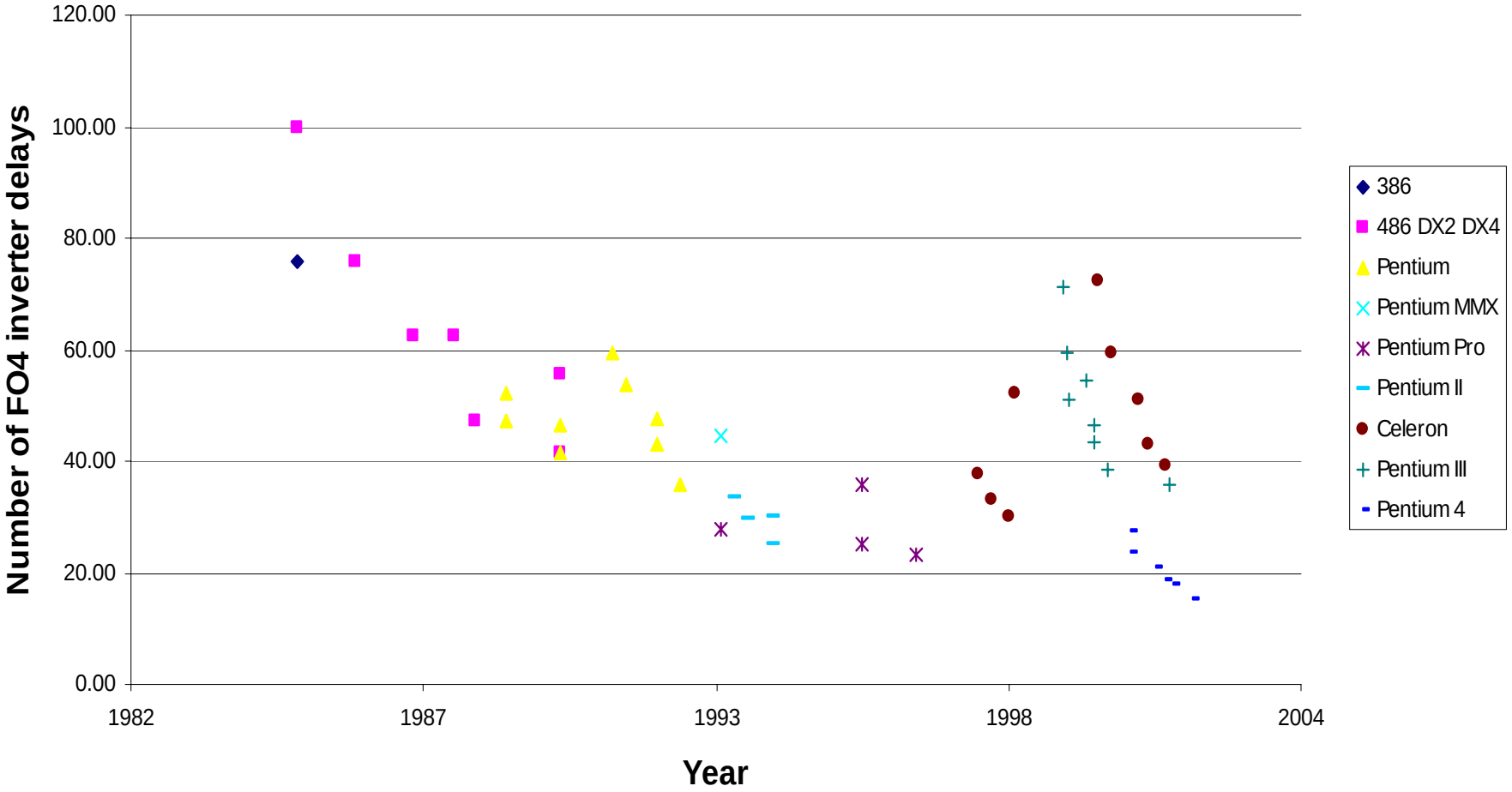
Example Supporting Analyses (MPU)

- ロジック集積度: 4Trゲートの平均サイズ = $32MP^2 = 320F^2$
  - MP = *lower-level contacted metal pitch*
  - F = half-pitch (technology node)
  - 32 = 8 tracks standard-cell height times 4 tracks width (average NAND2)
  - Additional whitespace factor = 2x (i.e., 100% overhead)
  - Custom layout density = 1.25x semi-custom layout density
- SRAM (MPU内蔵) 集積度:
  - **bitcell area (units of F^2) near flat: 223.19*F (um) + 97.748**
  - peripheral overhead = 60%
  - memory content is increasing (driver: power) and increasingly fragmented
  - **Caveat:** shifts in architecture/stacking; eDRAM, 1T SRAM, 3D integ
- 集積度が消費電力、ロジック・メモリ比率に影響
  - **130nm : 1999 ASIC logic density = 13M tx/cm², 2001 = 11.6M tx/cm²**
  - **130nm : 1999 SRAM density = 70M tx/cm², 2001 = 140M tx/cm²**

Example Supporting Analyses (MPU)

- ロードマップ減速傾向の再来
  - "Pollack's Rule": In a given node, new microarchitecture takes 2-3x area of previous generation one, but provides only 50% more performance
  - "Law of Observed Functionality": transistors grow exponentially, while utility grows linearly
- 消費電力対策の減速
  - Speed from Power: scale voltage by 0.85x instead of 0.7x per node
  - Large switching currents, large power surges on wakeup, IR drop issues
  - Limited by Assembly and Packaging roadmap (bump pitch, package cost)
  - Power management: 25x improvement needed by 2016
- スピード改善の減速
  - Where did 2x freq/node come from? 1.4x scaling, 1.4x fewer logic stages
  - But clocks cannot be generated with period < 6-8 FO4 INV delays
  - Pipelining overhead (1-1.5 FO4 delay for pulse-mode latch, 2-3 for FF)
  - ~14-16 FO4 delays = practical limit for clock period in core (L1$, 64b add)
  - **Cannot continue 2x frequency per node trend**

1クロック内のFO4 INV ディレイ段数



- FO4 INV = inverter driving 4 identical inverters (no interconnect)
- Half of freq improvement has been from reduced logic stages

低消費電力SOCドライバ・モデル (STRJ)

Year of Products	2001	2004	2007	2010	2013	2016
Process Technology (nm)	130	90	65	45	32	22
Operation Voltage (V)	1.2	1	0.8	0.6	0.5	0.4
Clock Frequency (MHz)	150	300	450	600	900	1200
Application	Still Image Processing	Real Time Video Code		Real Time Interpretation		
(MAX performance required)		(MPEG4/CIF)				
Application	Web Browser	TV Telephone (1:1)		TV Telephone (>3:1)		
(Others)	Electric Mailer	Voice Recognition (Input)		Voice Recognition (Operation)		
	Scheduler	Authentication (Crypto Engine)				
Processing Performance (GOPS)	0.3	2	15	103	720	5042
Communication Speed (Kbps)	64	384	2304	13824	82944	497664
Power Consumption (mW/MOPS)	0.3	0.2	0.1	0.03	0.01	0.006
Peak Power Consumption (W)	0.1	0.3	1.1	2.9	10.0	31.4
(Requirement)		0.1	0.1	0.1	0.1	0.1
Standby power consumption (mW)	2.1	2.1	2.1	2.1	2.1	2.1
Addressable System Memory (Gb)	0.1	1	10	100	1000	10000

- SOC-LP “PDA” **system**
  - Composition: CPU cores, embedded cores, SRAM/eDRAM
  - Requirements: IO bandwidth, computational power, GOPS/mW, die size
- Drives PIDS/FEP LP device roadmap, Design power management challenges, Design productivity challenges

主な SOC-LP チャレンジ

- 消費電力制御に関するチャレンジ
  - Above and beyond low-power process innovation
  - Hits SOC before MPU
  - Need slower, less leaky devices: low-power lags high-perf by 2 years
  - Low Operating Power and Low Standby Power flavors → design tools handle multi (Vt,Tox,Vdd)
- 設計生産性に関するチャレンジ
  - Logic increases 4x per node; die size increases 20% per node

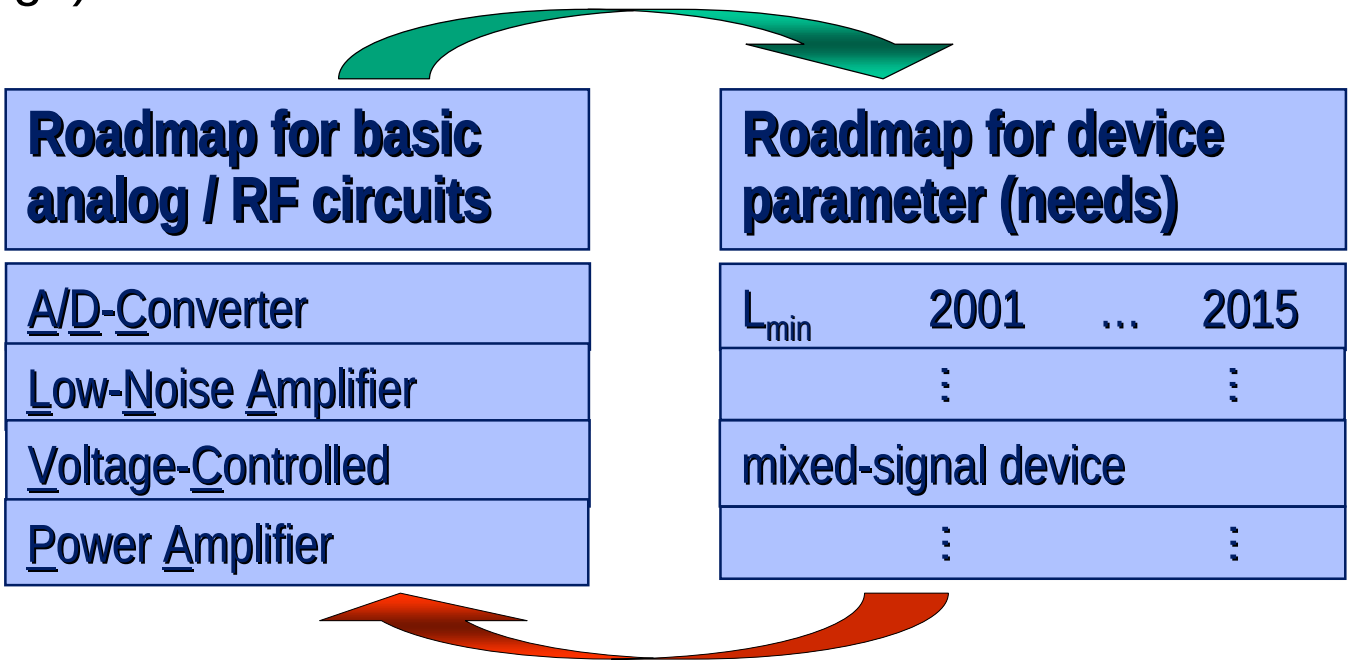
Year	2001	2004	2007	2010	2013	2016
½ Pitch	130	90	65	45	32	22
Logic Mtx per designer-year	1.2	2.6	5.9	13.5	37.4	117.3
Dynamic power reduction (X)	0	1.5	2.5	4	7	20
Standby power reduction (X)	2	6	15	39	150	800

ミックスド・シグナル・ドライバ (欧州)

- Today, the digital part of circuits is most critical for performance and is dominating chip area
- But in many new IC-products the mixed-signal part becomes important for performance and cost
- This shift requires definition of the “analog boundary conditions” in the design part of the ITRS
- Goal: define criteria and needs for future analog/RF circuit performance, and compare to device parameters:
  - Choose critical, important analog/RF circuits
  - Identify circuit performance needs
  - *and* related device parameter needs

ミックスド・シグナルロードマップのコンセプト

- Figures of merit for four basic analog building blocks are defined and estimated for future circuit design
- From these figures of merit, related future device parameter needs are estimated (PIDS Chapter table, partially owned by Design)



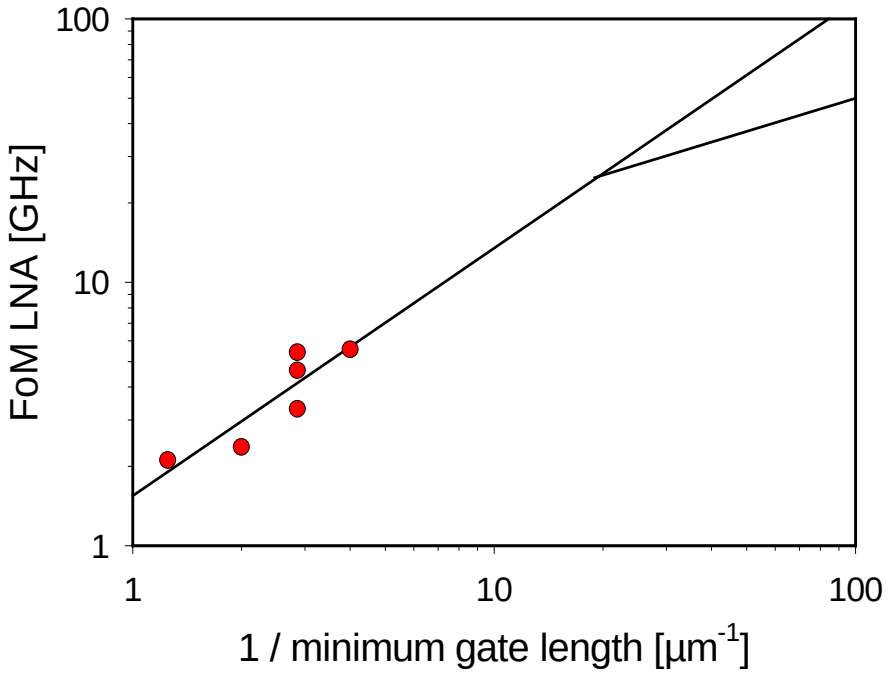
低ノイズアンプの性能指標

LNA performance:

- *dynamic range*
- *power consumption*

$$FOM_{LNA} = \frac{G \cdot IIP3 \cdot f}{(NF - 1) \cdot P}$$

G	gain
NF	noise figure
IIP3	third order intercept point
P	dc supply power
f	frequency



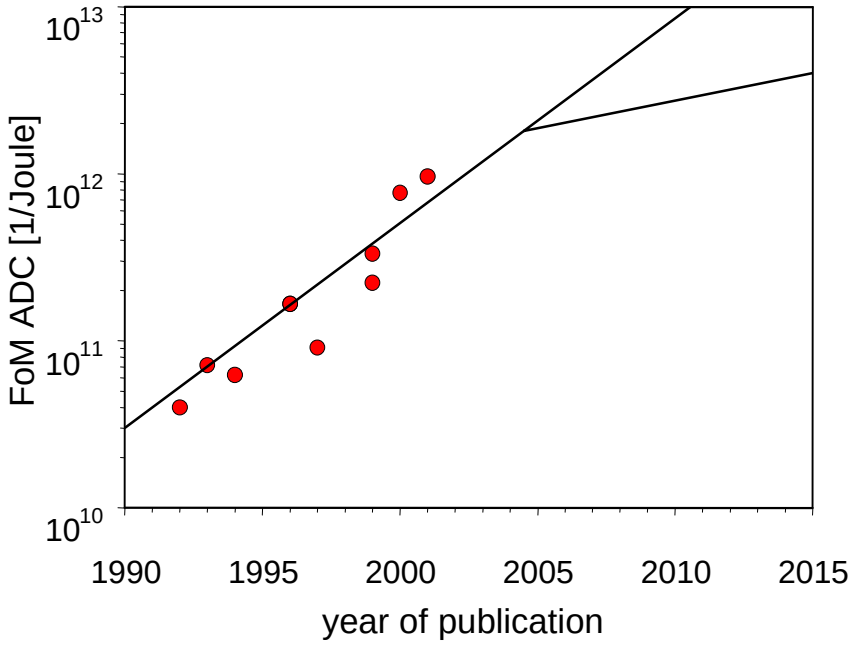
AD変換器の性能指標

ADC performance:

- *dynamic range*
- *bandwidth*
- *power consumption*

$$FoM_{ADC} = \frac{\left(2^{ENOB_0}\right) \times \min(\{f_{sample}\}, \{2 \times ERBW\})}{P}$$

$ENOB_0$	effective number of bits
f_{sample}	sampling frequency
$ERBW$	effective resolution bandwidth
P	supply power



ミックスド・シグナルのデバイス・パラメータ

(1)	Year of Production		2001	2002	2003	2004	2005	2006	2007	OWNER
	DRAM Pitch (Sc 2.0) (nm)		130	115	100	90	80	70	65	ORTC
	MPU Pitch (Sc 3.7) (nm)		150	130	105	90	80	70	65	ORTC
	MPU Printed Gate Length (Sc 3.7) (nm)		90	75	65	53	45	40	35	ORTC
	MPU Physical Gate Length (Sc 3.7) (nm)		65	53	45	37	32	30	25	ORTC
	ASIC/Low Power Pitch (Sc 3.x) (nm)									ORTC
	ASIC/Low Power Printed Gate Length (Sc 3.x) (nm)		100	90	80	70	65	55	50	ORTC
	ASIC/Low Power Physical Gate Length (Sc 3.x) (nm)		90	80	70	65	60	50	45	ORTC
(2)	Minimum Supply Voltage	Digital Design (V)	0.9-1.3	0.8-1.2	0.8-1.1	0.7-1.0	0.6-0.9	0.55-0.8	0.5-0.7	PIDS
(3)		Analog Design (V)	3.3-1.8				2.5-1.8			Design
(14)	nMOS RF Device	Tox (nm)	1.2-1.5	1.0-1.5	1.0-1.4	0.9-1.3	0.8-1.2	0.7-1.0	0.6-0.8	PIDS
(15)		fmax (GHz)	50	55	60	65	70	75	80	Design
(16)		ft (GHz)	95	105	120	130	140	170	190	PIDS
(17)		Gm / Gds @Lmin-digital	20	20	20	20	20	20	20	Design
(18)		@10 Lmin-digital	100	100	100	100	100	100	100	Design
(19)		1/f Noise ($\mu V^2\ \mu m^2$ / Hz)	500	500	300	300	300	200	200	Design
(20)		3 Vth matching (mV μm)	15	15	15	12	12	9	9	Design
(21)	nMOS Analog Device	Tox (nm)	7-2.5	7-2.5	5-2.5	5-2.5	5-2.5	5-2.5	5-2.5	PIDS
(22)		Analog Vth (V)	0.5-0.3	0.5-0.2	0.5-0.2	0.5-0.2	0.4-0.2	0.4-0.2	0.4-0.2	Design
(23)		Gm / Gds @10 Lmin-digital	200	200	200	200	200	200	200	Design
(24)		1/f Noise ($\mu V^2\ \mu m^2$ / Hz)	1000	500	500	500	300	300	300	Design
(25)		3 Vth matching (mV μm)	21	21	15	15	15	15	15	Design
(26)	Analog Capacitor	Density (fF/μm^2)	2	3 3	3 4	4 4				Design
(27)		Q (1 / k ^{2} μm^2 GHz)	200	300	300	300	450	450	450	Design
(28)		Voltage linearity (ppm / V)	100	100	100	100	100	100	100	Design
(29)		Leakage (fA / [pF V])	7	7 7	7 7	7 7				Design
(30)		3 Matching (% μm^2)	4.5	3	3	3	2.5	2.5	2.5	Design
(34)	Resistor	Resistance (/)	100	100	100	100	100	100	100	Design
(35)		Q (k ^{2} μm^2 GHz)	1000	1500	1500	1500	2000	2000	2000	Design
(36)		Temp. linearity (ppm / C)	60	60	50	50	50	40	40	Design
(37)		3 Matching (% μm)	9	8 8	8 7	7 7				Design
(38)		1/f current noise per current^2 (1 / [μm^2 Hz])	10^{-18}	10^{-18}	10^{-18}	10^{-18}	10^{-18}	10^{-18}	10^{-18}	Design
(39)	Inductor	Density (nH/μm^2)	0.03	0.03	0.03	0.03	0.03	0.03	0.03	Design
(40)		Q_{3dB}	12	15	17	18	19	20	20	Design
(41)	Signal Isolation	S21 (dB)	-100	-100	-100	-100	-120	-120	-120	PIDS

ITRS-2001 Design Chapter

「Design」アウトライン

- Introduction
  - Scope of design technology
  - Complexities (silicon, system)

「シリコンにおける複雑さ」のチャレンジ

- Silicon Complexity = impact of process scaling, new materials, new device/interconnect architectures
- Non-ideal scaling (leakage, power management, circuit/device innovation, current delivery)
- Coupled high-frequency devices and interconnects (signal integrity analysis and management)
- Manufacturing variability (library characterization, analog and digital circuit performance, error-tolerant design, layout reusability, static performance verification methodology/tools)
- Scaling of global interconnect performance (communication, synchronization)
- Decreased reliability (SEU, gate insulator tunneling and breakdown, joule heating and electromigration)
- Complexity of manufacturing handoff (reticle enhancement and mask writing/inspection flow, manufacturing NRE cost)

「システムにおける複雑さ」のチャレンジ

- System Complexity = exponentially increasing transistor counts, with increased diversity (mixed-signal SOC, …)
- Reuse (hierarchical design support, heterogeneous SOC integration, reuse of verification/test/IP)
- Verification and test (specification capture, design for verifiability, verification reuse, system-level and software verification, AMS self-test, noise-delay fault tests, test reuse)
- Cost-driven design optimization (manufacturing cost modeling and analysis, quality metrics, die-package co-optimization, …)
- Embedded software design (platform-based system design methodologies, software verification/analysis, codesign w/HW)
- Reliable implementation platforms (predictable chip implementation onto multiple fabrics, higher-level handoff)
- Design process management (team size / geog distribution, data mgmt, collaborative design, process improvement)

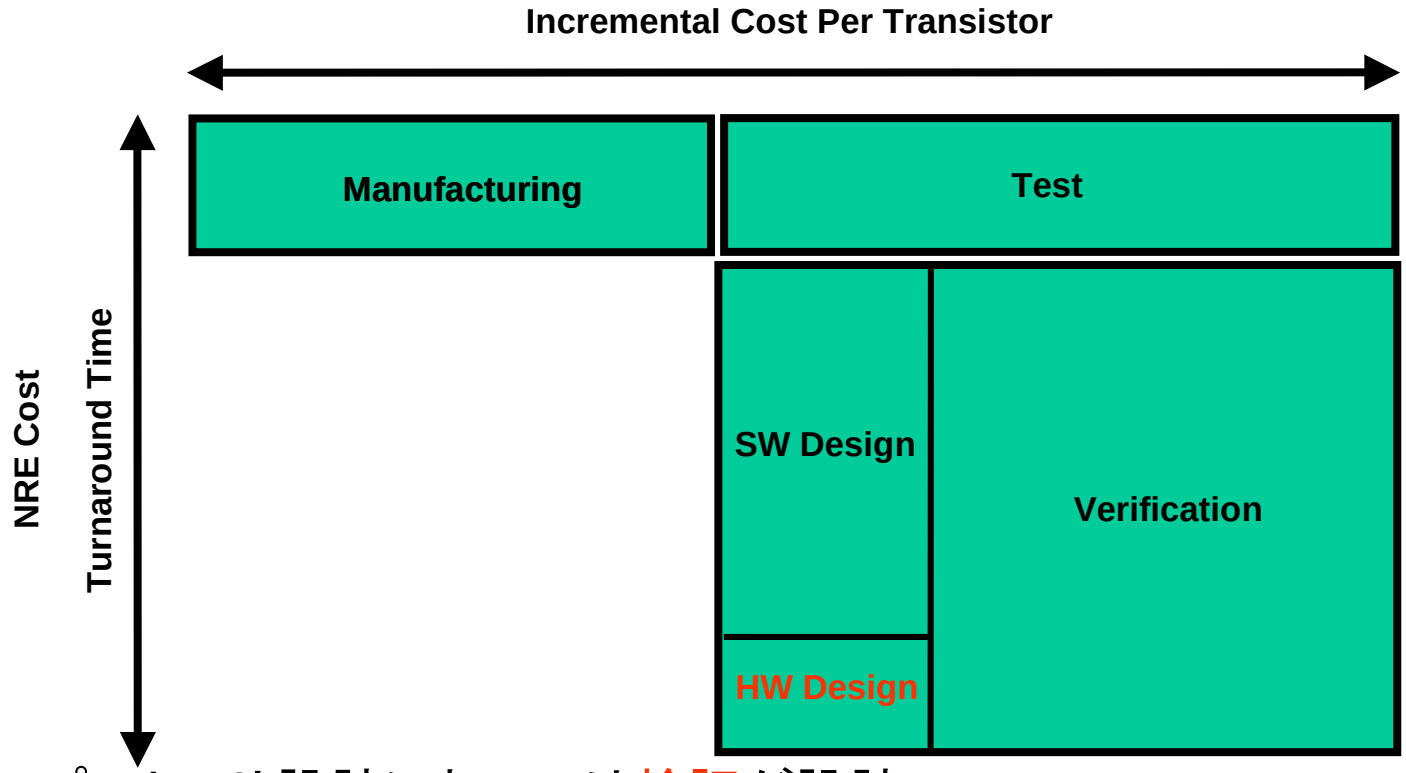
「Design」アウトライン

- Introduction
  - Scope of design technology
  - Complexities (silicon, system)
- Design Cross-Cutting Challenges
  - Productivity
  - Power
  - Manufacturing Integration
  - Interference
  - Error-Tolerance
- **Details** given w.r.t. five traditional technology areas
  - **Design Process**, **System-Level**, **Logical/Physical/Circuit**, **Functional Verification**, **Test**
  - Each area: table of challenges + mapping to driver classes

2001 概観

- メッセージ: 設計コストの増加が半導体ロードマップの将来を脅かす
  - 新規設計コスト・モデル
  - チャレンジが危機を招く
- より明確な半導体と商品、ソフトウェア、アーキテクチャとの関係
  - 動作周波数とビット長が効率 と能力を表す全てではない
  - New System Drivers chapter, 設計生産性と消費電力に焦点
- より明確なITRS各テクノロジ間の関係
  - 各技術を個別に検証するより、コストの観点から“share red bricks”の検証をすることでシナジ効果が得られないか?
  - “Manufacturing Integration” cross-cutting challenge
  - “Living ITRS” framework 全体のつながりを検証

設計技術のクライシス, 2001

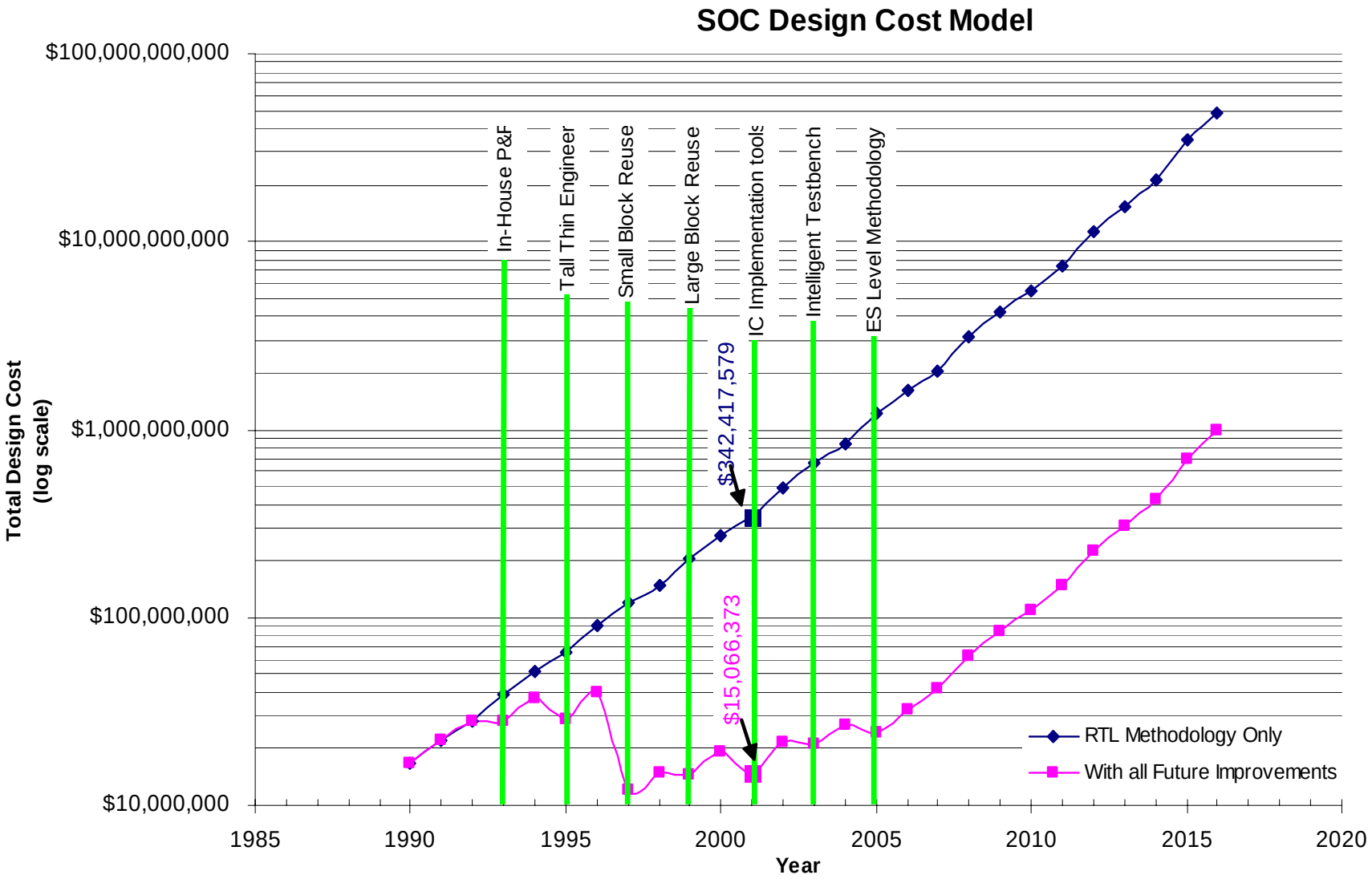


- マイクロプロセッサ設計においては検証が設計の2-3X
- ソフトウェア = システム開発コストの80% (さらにアナログ設計も重荷)
- 設計NRE > 10's of $M ←→ 製造NRE $1M
- 設計TAT = months or years ←→ 製造TAT = weeks
- DFTが無いと、Trあたりのテストコストは、製造コストに較べて指数的に増加

設計コスト・モデル

- 年間エンジニア・コストの増加は 5% / year ($181,568 in 1990)
- 年間EDAツール・コスト (1エンジニアあたり)の増加は 3.9% per year ($99,301 in 1990)
- 8つの主な設計技術変革による設計生産性の向上 (3.5は今後の技術) : RTL methodology; In-house P&R; Tall-thin engineer; Small-block reuse; Large-block reuse; IC implementation suite; Intelligent testbench; Electronic System-level methodology
- SOC-LP PDAのモデルで検証:
  - SOC-LP PDA の設計コスト = $15M in 2001
  - EDAの変革による設計生産性の向上がなかった場合には、$342M

SOC-LP PDA ドライバの設計コスト



クロスカット・チャレンジ: 設計生産性

- SOCドライバの設計では、全体の設計生産性はノード毎 4x の改善が必要
- (マイグレーションを含む)設計、検証、テストの再利用率の改善は > 4x/ノード
- アナログ・ミックスド・シグナルの合成、検証、テスト
- 組込みソフトウェアの生産性

クロスカット・チャレンジ: 消費電力

- 信頼性／性能関係に影響
- 加速試験 (burn-in) パラダイムの変化
- 電力制御性に大きなギャップ (スタンバイ電力の低消費電力SOC; 動作電力のMPU)
- 消費電力の最適化は、一度に多要素の制御性を (multi-Vt, multi-Tox, multi-Vdd in core) アーキテクチャ、OS、ソフトウェアで処理しなければならない

クロスカット・チャレンジ: インターフェース

- 特に低消費電力機器での低ノイズマージン
- 配線のカップリング
- 電源のIRドロップとground bounce
- オフ電流と配線抵抗による熱問題
- 相互インダクタンス
- サブストレート・カップリング
- Single-event (alpha particle) upset
- ダイナミック論理回路の増加
- 設計全体におけるモデリング、解析、見積もり

クロスカット・チャレンジ: エラー・トレラント

- 冗長設計による100%以下での動作保証が、製造、検証、テストコストを減少
- 信号、データ内容、デバイス、配線の遷移時と定常的な不良双方
- 新技術： オンチップのリ・コンフィギュアラブル回路による自己調整、自己補正、自己リペア技術

チャレンジ: “Manufacturing Integration”

- Goal: 他のITRS技術との 共通 red bricks
  - リソグラフィ CD 変動量 → 変動量を上手く抑える新設計技術？
  - マスクデータの大量処理 → 新しい設計-製造インターフェースと処理フローによる機能要求やその検証方法のマスク製造・検査への受け渡し？
  - ATEコストと時間に関する red bricks →高速I/O, Signal Integrity, analog/Msに適応可能なDFT, BIST/BOST 新技術？
- 幾つかの red brick を解決できる技術であっても、その技術開発は適正な ROI (value / cost) 解析できるか？
  - Q: low-k, Cu を引っ張る、それぞれの 価値 はなにか？

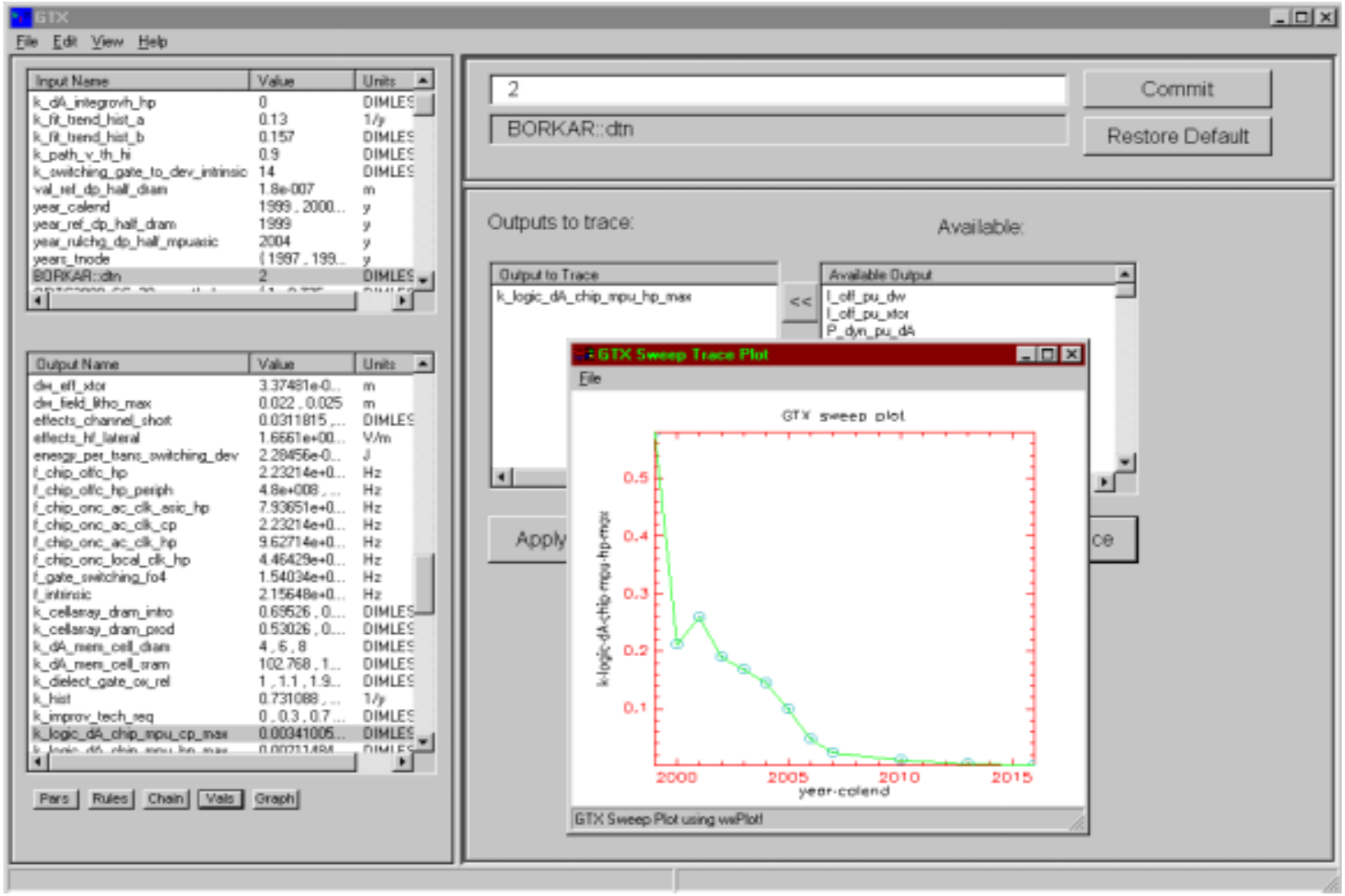
例: 製造テスト

- 高速インターフェース (networking, memory I/O)
  - テスターのタイミング精度と同程度の周波数
- 複合 SOC 設計
  - テストの再利用
  - シングル･デバイスでの個別ブロックのテストの集積
  - Analog/mixed-signalテスト
- 信頼性試験の課題
  - Burn-in試験は、lower Vdd, higher power budgetsでは実用的でなくなってきている → overkill による歩留まり低下
- Design Challenges: DFT, BIST
  - Analog/mixed-signal
  - Signal Integrity and advanced fault models
  - BIST for single-event upsets (in logic as well as memory)
  - Reliability-related fault tolerance

例: リソグラフィ

- 10% CD 要求精度が red bricks
- 10% < 1 atomic monolayer at end of ITRS
- 今年: Lithography, PIDS, FEP がCD要求精度を緩めることに同意したが、、(依然red bricksは存在)
- Design challenge: Design for variability
  - 新規の回路トポロジー
  - 回路の最適化 (タイミング・スラックの最小化とディレイ変数の増加に伴うガードバンドとの兼ね合い)
  - ウェーハ・コスト最適化のモデル生成、と設計
- Design challenge: Design for when devices, interconnects no longer 100% guaranteed correct
  - これにより、製造、検証、テスト・コスト削減は可能か？

“Living ITRS” Framework



2001 概観

- メッセージ: 設計コストの増加が半導体ロードマップの将来を脅かす
  - 新規設計コスト・モデル
  - チャレンジが危機を招く
- より明確な半導体と商品、ソフトウェア、アーキテクチャとの関係
  - 動作周波数とビット長が効率 と能力を表す全てではない
  - New System Drivers chapter, 設計生産性と消費電力に焦点
- より明確なITRS各テクノロジ間の関係
  - 各技術を個別に検証するより、コストの観点から“shared bricks”の検証をすることでシナジ効果が得られないか？
  - “Manufacturing Integration” cross-cutting challenge
  - “Living ITRS” framework 全体のつながりを検証