
2001 ITRS Test Chapter
テスト工程全体のロードマップへ

STRJ WG2

相京隆

江口光一



発表の構成

1. ITRS 2001テスト

- ITRS 1999との違い
- 困難な挑戦

2. ITRSへの日本の活動

- SOCテスト技術課題の提案
- モデリングとシミュレーション
- 周辺装置類のロードマップ
プローブカード



Test ITWG Membership

- Industry
 - Agere
 - Hitachi
 - IBM
 - Infineon
 - Intel
 - Matsushita
 - Motorola
 - Philips
 - ST Microelectronics*
 - Texas Instruments
- Suppliers
 - Advantest
 - Agilent
 - Inovys*
 - Schlumberger
 - Synopsys*
 - Teradyne

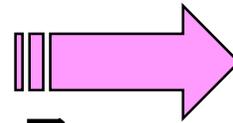
*** New in 2001**



2001 ITRS Test Chapter

- 新たに追加した項目

- 信頼性評価
- 運搬搬送
- デバイスインターフェース



テスト工程全体の
ロードマップへ

- 更新した項目

- 高速シリアル通信
- 高性能ASIC
- 高性能マイクロプロセッサ
- 廉価版マイクロコントローラ
- ミックスドシグナルテスト
- DFTテスター
- 埋め込み/汎用 DRAMとFLASH

困難な挑戦

- 高速デバイスインターフェース
- 高集積設計とSOC
- 信頼性スクリーニング
- 製造テストコストの削減
- テスト用ソフトウェアの標準化
- モデリングとシミュレーション



帯域幅への要求

- 新規設計のデバイスでの高速インターフェース回路の急増
- 最先端デバイステクノロジーに対するATEソリューションの遅れ
- これらの製品の試作・量産テストを可能にするテスト手法、DFTの開発が急務

YEAR OF PRODUCTION		2001	2002	2003	2004	2005	2006	2007
MPU / ASIC ½ PITCH (nm)		150	130	107	90	80	70	65
<i>High-integration-level backplane and computer I/O</i>								
Serial data rate (Gbits/s)	Production	2.5	3.125	3.125	10	10	40	40
	Introduction	3.125	—	10	—	40	—	—
Maximum port count at Production frequencies		20	100	200	100	200	100	200
	at Introduction frequencies	—	—	20	—	20	—	—

i



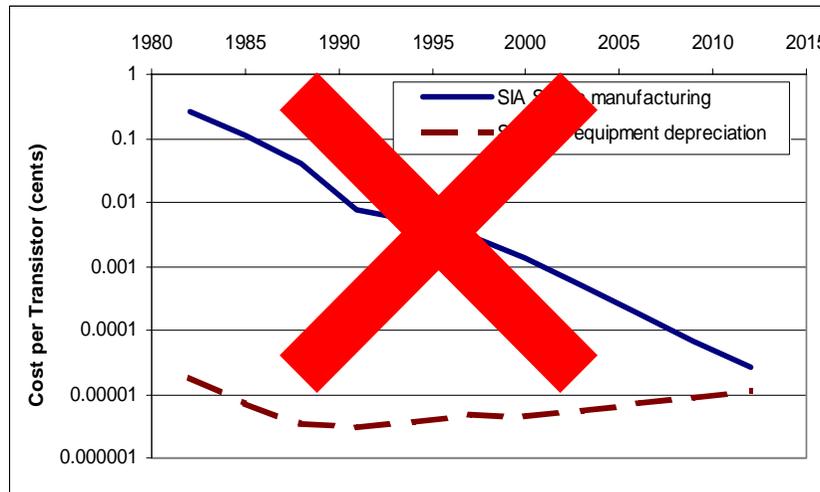
高集積デバイスとSOC

- SOCの構成要素と消費電力に関する要求の急増
 - 色々な回路が組み合わさった単一チップやSIPのテストの複雑さの劇的な増大
 - テストの複雑さの減少のためにDFTへの要求大
- 新しいテスト手法とテスト装置のアーキテクチャの開発が必要
 - ロジックとアナログとメモリのテスターの統合

信頼性スクリーニングは失速状態

- 潜在欠陥を加速する新しい手法の開発が急務
 - 熱放出によるバーンインの制限
 - 低電圧の使用による電圧ストレスの制限
 - リークエージカレントとIddq信号の分離困難
- 新材料
 - 新材料の導入の加速：Cu, low-k, high-k, SiGe
 - 機械的感度の増大
- ファブレス・ビジネスモデルの急増
 - 信頼性に関する責任元が不明確

テストコスト



- テストコストはテクノロジーノードに従い縮小
 - テクノロジーノードにまたがり装置の再利用
 - スループットの向上
- しかし、多くのセグメントで挑戦は残る。特に高速・高集積の製品

壊れつつある“Red Brick Walls”

- 1997年と1999年のロードマップ上の多くの障害がDFTにより取り除かれた。
 - テストが設計工程に統合されてきた
 - 実現性とコストにおいて改善が示された
- 実際のプロセス欠陥の識別に向け既存の故障モデルと同様に新たな故障モデルの継続的研究が必要
- アナログDFT手法の開発が必要
 - アナログ技術の定式化と故障モデルの開発



テスト用ソフトウェアの標準化

- テスト装置の工場設置時間の短縮のためにテスト装置のインターフェースと通信の標準化が必要
 - 工場設置時間の短縮のためのインターオペラビリティの改善
 - 例えば、300mm装置仕様への組み込み
- テスト開発期間の短縮とTime to marketを改善するためにATEソフトウェアとテストプログラム生成の標準化が必要
 - 最適な装置選択への障害の低減
- 標準の開発と既存の標準の採用

どうやって評価時と製造装置
間の乖離を管理・改善してい
くか？

ATEは高速I/Oの性
能向上のトレンドにつ
いていけるか？

DFTはロジックと同
様にアナログテスト
のコストを削減でき
るか？

コストと能力に関して
最適なSOCテストの
アプローチは？

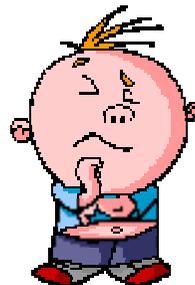
高速シリアルインター
フェースがバスになっ
たらどうなる？

複雑なSOCをより低
コストでどうやってテ
ストできるのか？

DFTとBISTはミックスドシ
グナルテスターの能力を
緩和できるか？
他の可能性はあるのか？

テストデータ量の増大はロ
ジックBISTに行き着くのか？
他のソリューションは？

次世代ファンクショナル
テスト機能の開発を市
場は認めてくれるか？



ITRSへの日本の活動

- STRJテストWG
- SOCテスト技術課題の提案
- モデリングとシミュレーション
- 周辺装置類のロードマップ
 - プローブカード



STRJ テストWG

- ATE-SWG

- 富士通
- 日立
- 松下電器
- 三菱電機
- NEC
- シャープ
- 東芝

- アドバンテスト
- 安藤電気
- 横河電機
- 日本マイクロニクス
- 東京エレクトロン

- DFT-SWG

- 富士通
- 日立
- 松下電器
- 三菱電機
- NEC
- 沖電気
- 東芝
- ローム

- 都立大



SOC テスト技術課題の提案

1. これまでの経緯

1. 1999年版のSTRJロードマップを見直し(2000年8月～)
2. 日本からSOCテスト技術課題のテーブルをITRSに提示(2001年4月)
3. USからのコメントを検討してテーブルを修正(6月)
4. USメンバ2名を迎えてMeetingを開催(11月, 京都)

2. 今後の予定

1. 11月のMeetingでの議論内容を踏まえて再見直しする
2. USと協力して2003年のUpdateに反映させる



SOC テスト技術課題の概要

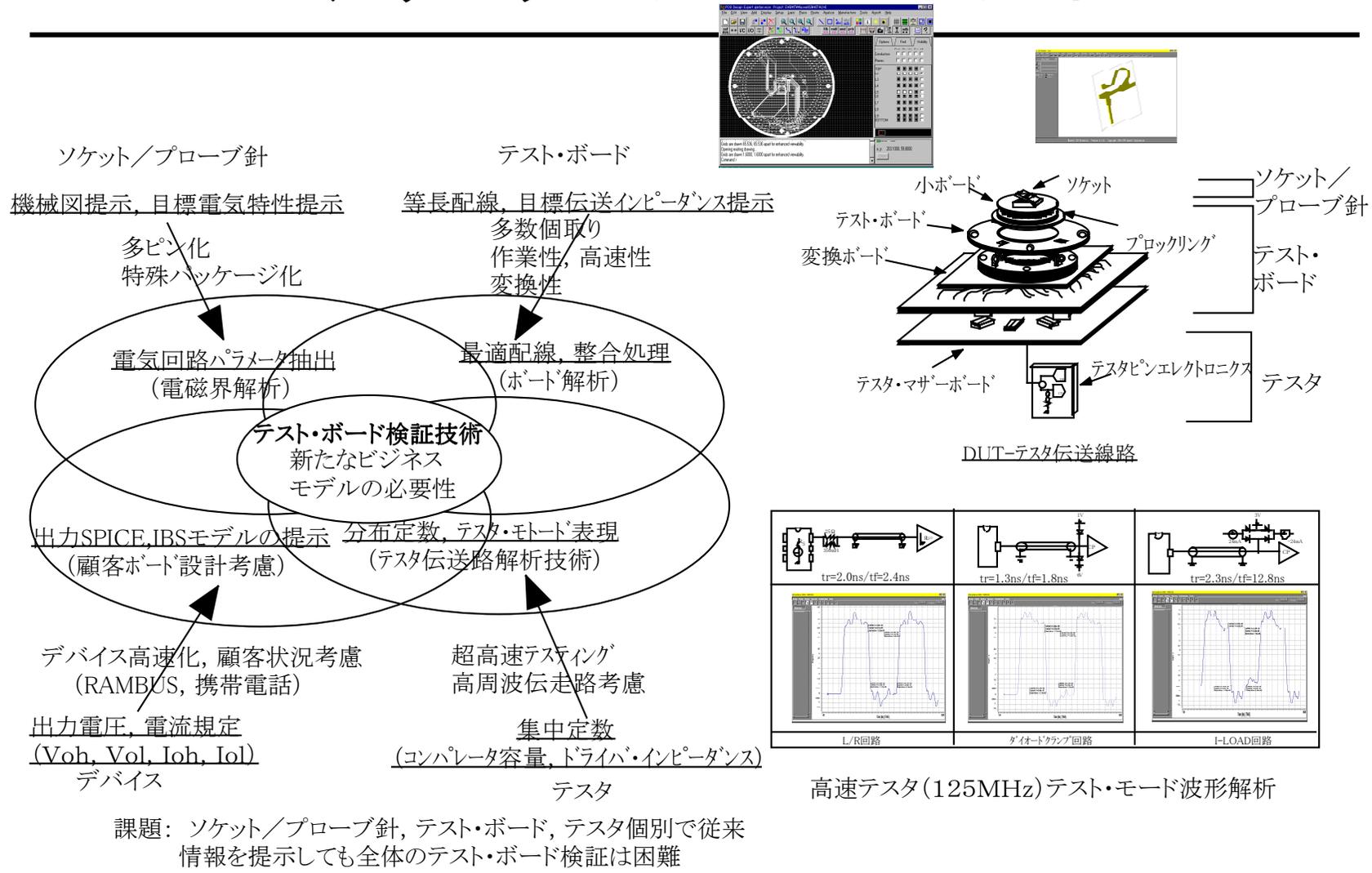
- SOCテスト技術について以下の7つの観点から課題を抽出
 - 故障モデル
 - テスト手法
 - テスト容易化設計 (DFT)
 - 組み込み自己テスト (BIST)
 - 標準化
 - テストコスト
 - 不良解析

Meetingでの主な議論内容

- 全体
 - 課題検討の観点として下記の2面を追加する
 - Yield Learning
 - 信頼性
 - 個別の項目についてはメールベースで議論を継続する
- 個別項目の一例
 - メモリのBISR(Built-In Self-Repair)に関して
 - BIRA(Buil-In Redundancy-Analysis)についても課題に加える



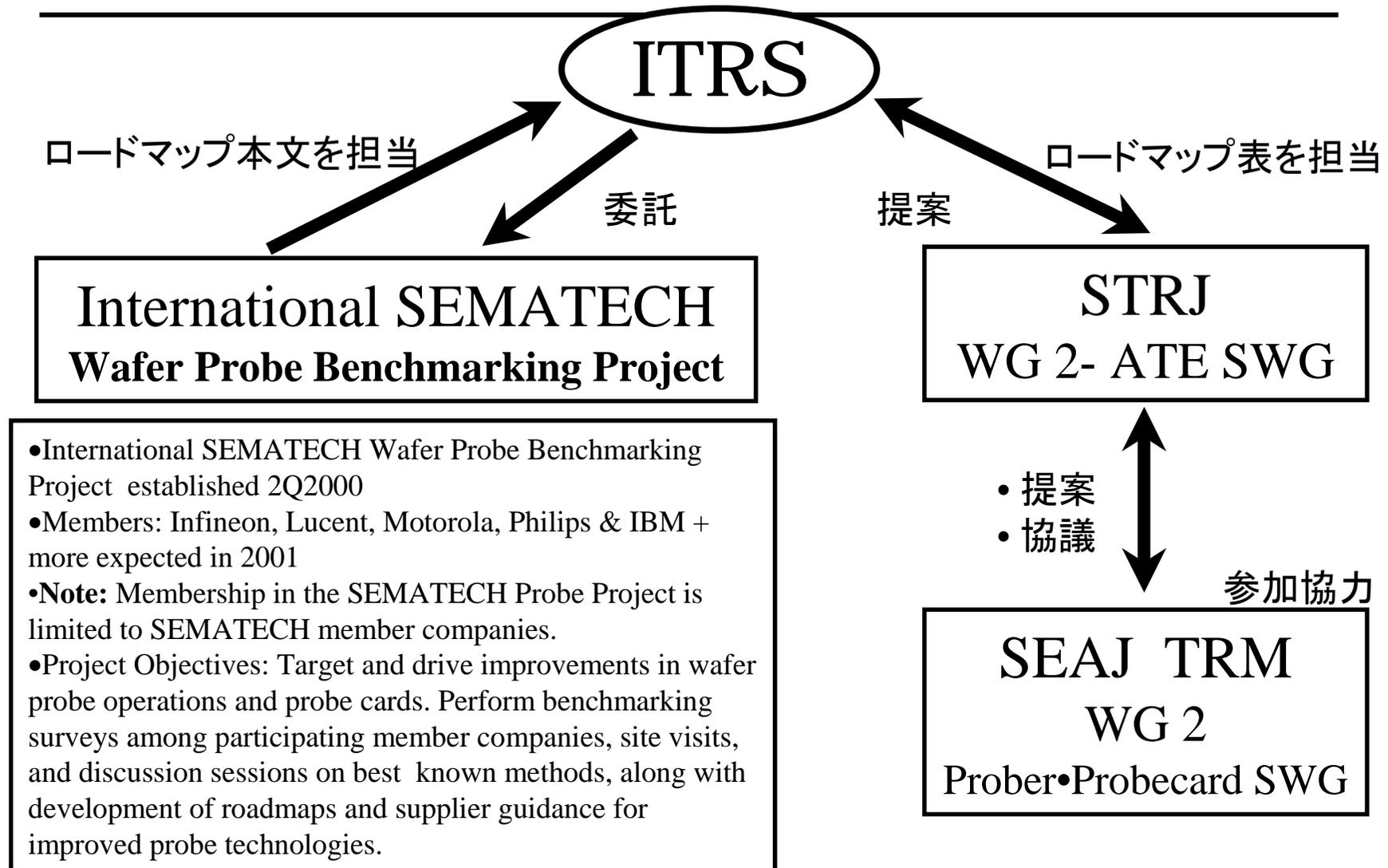
モデリングとシミュレーション



ITRS 2001への日本からの貢献
周辺装置類のロードマップ
プローブカード



周辺装置類に係る活動形態



SEAJ TRM 検査WG

- テスタ -SWG

- アドバンテスト
- 安藤電気
- シバソク
- 日立電子エンジニアリング
- 横河電機

- ハンドラ/ソケット -SWG

- アドバンテスト
- 安藤電気
- 日立電子エンジニアリング
- 横河電機
- エア
- 山機

- プローバ/プローブカード -SWG

- 東京エレクトロン
- 東京精密
- 東京カソード研究所
- 日本マイクロニクス

- WLBI -SWG

- オリオン機械
- タバイエスペック
- 東京エレクトロン
- 松下通信工業
- 松下電器産業



反映された成果

DEVICE INTERFACE TECHNOLOGY REQUIREMENTS 項

- 本文にバーチャルテストを想定したモデリングとシミュレーションの必要性が記述される
 - 昨年度より日本から提案していたものでデバイスインターフェース、プローブカード等本文の随所に反映となった。
- プローブカードのロードマップ表
 - 日本の見解として参考資料の形で添付掲載。
本年度は内容の協議には至らなかった為、参考資料に留まる。
 - 日本のロードマップ表を参考とした上で本文が作成されている。
- ◆ 周辺装置を網羅する最初のステップとなった。

相互に着手出来なかった項目

•RELIABILITY TECHNOLOGY REQUIREMENTS

•BURN-IN REQUIREMENTS

→日本側の準備が整っておらずITRS側で全て作成。内容の協議無し。

•MATERIAL HANDLING TECHNOLOGY REQUIREMENTS

•WAFER PROBE EQUIPMENT REQUIREMENTS

→双方で準備が整っておらずドラフト版にて文章無し。内容の協議無し。

•COMPONENT HANDLER EQUIPMENT REQUIREMENTS

→双方で準備が整っておらずドラフト版にて文章無し。内容の協議無し。

•DEVICE INTERFACE TECHNOLOGY REQUIREMENTS

•PROBE CARDS

→双方で分業して作成するも内容の協議は無し。

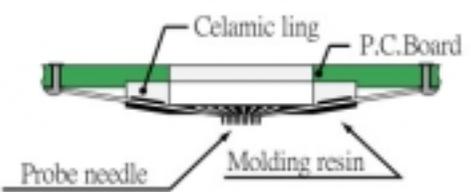
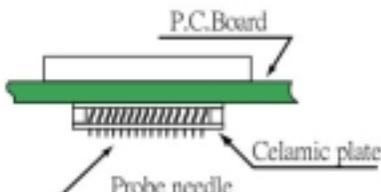
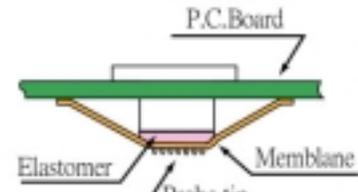
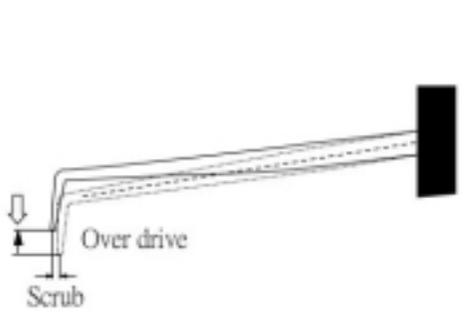
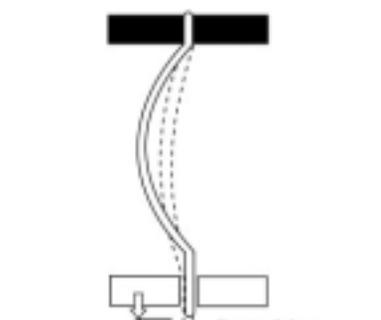
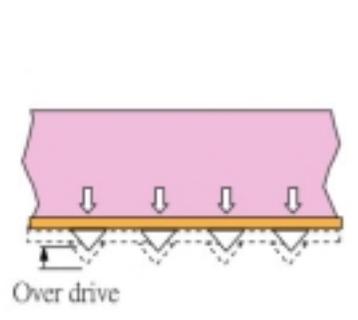
•COMPONENT SOCKETS

→双方で準備が整っておらずドラフト版にて文章無し。内容の協議無し。



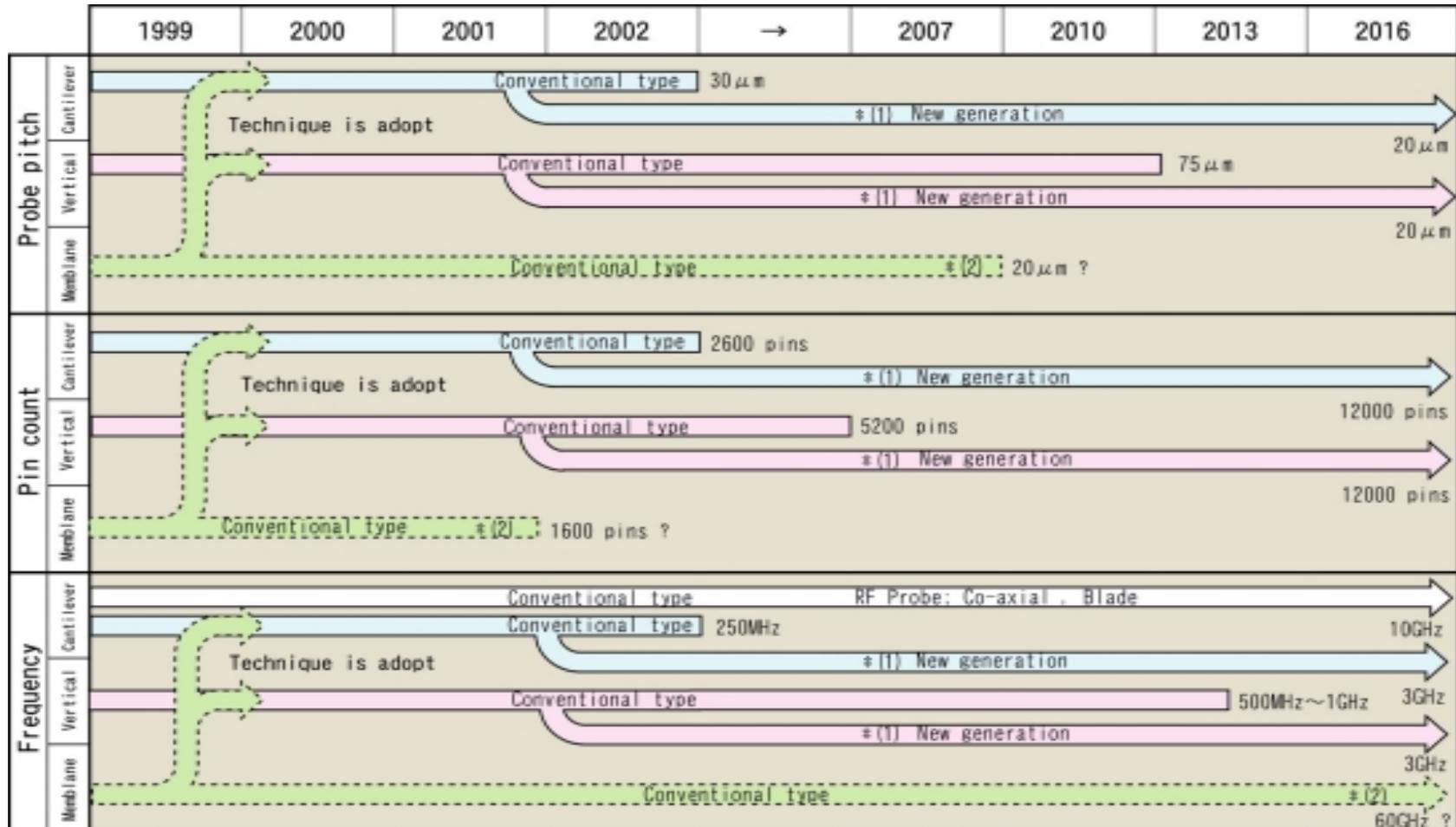
プローブカードのロードマップ概要

- 下図の従来から有る基本形の物と、フトリソグラフィやマイクロマシンの技術を構造や製法に取り入れた新世代型の物の動向を対象とした。

	Cantilever type	Vertical type	※ Membrane type
Structure	 <p>Probe card (1)-1</p>	 <p>Probe card (1)-3</p>	
A principle to function	 <p>Cantilever tension</p>	 <p>Buckling stress</p>	 <p>Pressure from multi points</p>

プローブカードのロードマップ概要

旧世代の物では対応が難しくなり新世代の物がどう対応するかを予測



<Note> * (1) This type is made with technology of photolithography, micro machine, etc.
 * (2) There is no company to manufacture in Japan



プローブカードのロードマップ概要

◎ロードマップ表の内容

- 各種プローブカードとDUTの関係について記載
 - ボンディングパッドのピッチ、ピン数、マルチダイテスト
 - ボンディングパッド配置との関係。D-RAM系、SoC等のペリフェラル系、エリアアレイ系。
- 各種プローブカードの性能動向について記載
 - 機械的性能
 - 電気的性能