
ハイエンドSoCのための
最適Global配線構造と要素技術ロードマップ

2002.1.16

WG4 (株)東芝 柴田まとめ
配線・実装クロスカットSWG
(WG4、WG7、設計TF、WG1、WG2)

報告のアウトライン

[1] 活動の背景と目的

[2] ハイエンドSoCのターゲット仕様と混載デバイス

[3] Global配線のターゲット仕様の定量化

- ・SoC階層構造モデル及びITRS2001配線パラメータを用いた必要配線層数と配線パラメータの見積もり
- ・Global/Semi-global配線間の接続Viaサイズと規模の考察 (DRAM混載の観点から実効Rent指数の導入)

[4] Global配線形成のための有力構造・プロセス候補

- ・On-Chip配線形成、別基板への配線形成とChip貼り付け

[5] 配線・実装要素技術の洗い出しとロードマップ化

- ・On-Chip配線形成技術 (超高速Cuめっき/CMP、代替プロセス)
- ・微細実装 (基板/配線・Via形成、接合/バンプ形成) 技術

[6] まとめと今後の課題

Work-In-Progress, Don't Publish

本クロスカットSWG活動の背景と目的

<背景>

昨年度の配線・設計クロスカットSWG活動で以下の点が明らかになった(詳細は次ページ参照)

- ・ハイエンドSoC(ex. >5GHz, **25mm \square** @35nm Node)の実現にはモジュール間を接続するGlobal信号配線を大幅に**逆スケール(厚膜・幅広)**することが必要
- ・Global配線層数は**80層**にも及ぶ(Cross-talkの影響含めて)
- ・IR-drop抑制のためには電源配線も厚膜が必須



<目的>

ハイエンドSoC仕様を満足するために必要なGlobal配線のあるべき姿(最適構造)を検討すると共に、On-Chip高速伝送配線技術と実装技術の両面から、この実現に必要な要素技術を洗い出し、ロードマップを策定する

2000年度配線・設計クロスカットSWG成果概要

*設計TF99年度報告書に記載

動作周波数(ハイエンドSoC*モチーフ)

同期設計を前提としたSoC階層構造モデルを用いて達成可能な動作周波数を計算→モジュール間信号伝播(Timig制約: 1 clock)の必要性から**Global信号配線の逆スケーリングが必須**(別紙参照)
50nm Node以下では分布定数線路としての扱いが必要

配線層数

Davisモデルから算出した配線長分布($p, k=0.7, 1.8$ 使用)を用いて伝達可能距離以下の信号を対応する配線層へ割り当て
→**計84層(内Global配線:80層)必要**@35nm Node(別紙参照)

クロストーク

$V_{\text{noise}} \leq V_{\text{dd}}/3$ として最大許容並行配線長を見積もり

最小配線間隔の拡大が必要→層当たりの配線資源減→**層数増**

(Local/Interm./Global: $\times 1.4 / \times 2.8 / \times 1.9$ @100nm Node)

IR-drop

チップ周回電源RingからのMesh状給電を想定して $V_{\text{drop}} \leq \times 0.05 V_{\text{dd}}$ として計算→Global配線の逆スケーリングの有無で必要配線層数は大きく異なる:**逆スケーリング:有/無: ≤ 1 層 / ≥ 4 層**@70nm Node

Work-In-Progress, Don't Publish

設計TF提示ハイエンドSoC仕様(最新版)

Year of 1 st shipment	2001	2004	2007	2010	2013	2016
Technology node(nm)@Scenario3.7	130	90	65	45	32	22
Operation voltage(V)	1.2	1.0	0.8	0.6	0.5	0.4
Clock frequency(GHz) 周波数大幅Up	1.7(0.9)	2.9(1.5)	4.3(2.3)	6.1(3.0)	8.6(5.0)	12.2
Max. bus speed(MHz)	800	952	1133	1348	1604	1909
Band width(Gbyte/sec.)	1.6	1.9	2.3	2.7	3.2	3.8
Power consumption(W) High-Power	70.0(26)	94.1(32)	104.2(34)	93.1(35)	121.3(37)	137.9
Transistors(MTrs./cm²) Tr密度大幅Up	89(54)	267(133)	801(328)	2404(811)	7212(2000)	21635
Chip size(mm²) Chip-size一定	310(276)	310(340)	310(417)	310(510)	310(625)	310
Embedded DRAM(Mbit)	128	364	1024	2908	8192	23265
SoC embedded DRAM(mm²)	131	161	197	241	295	361
Scaled DRAM(Mbit) DRAM混載比率up	303	701	1611	3741	8609	19978
Vdd pin count	87	140	193	230	360	511
GND pin count	186	299	414	493	771	1095
Signal pin count	250	355	504	716	1016	1443

()99年度STRJ報告書記載の仕様

Work-In-Progress, Don't Publish

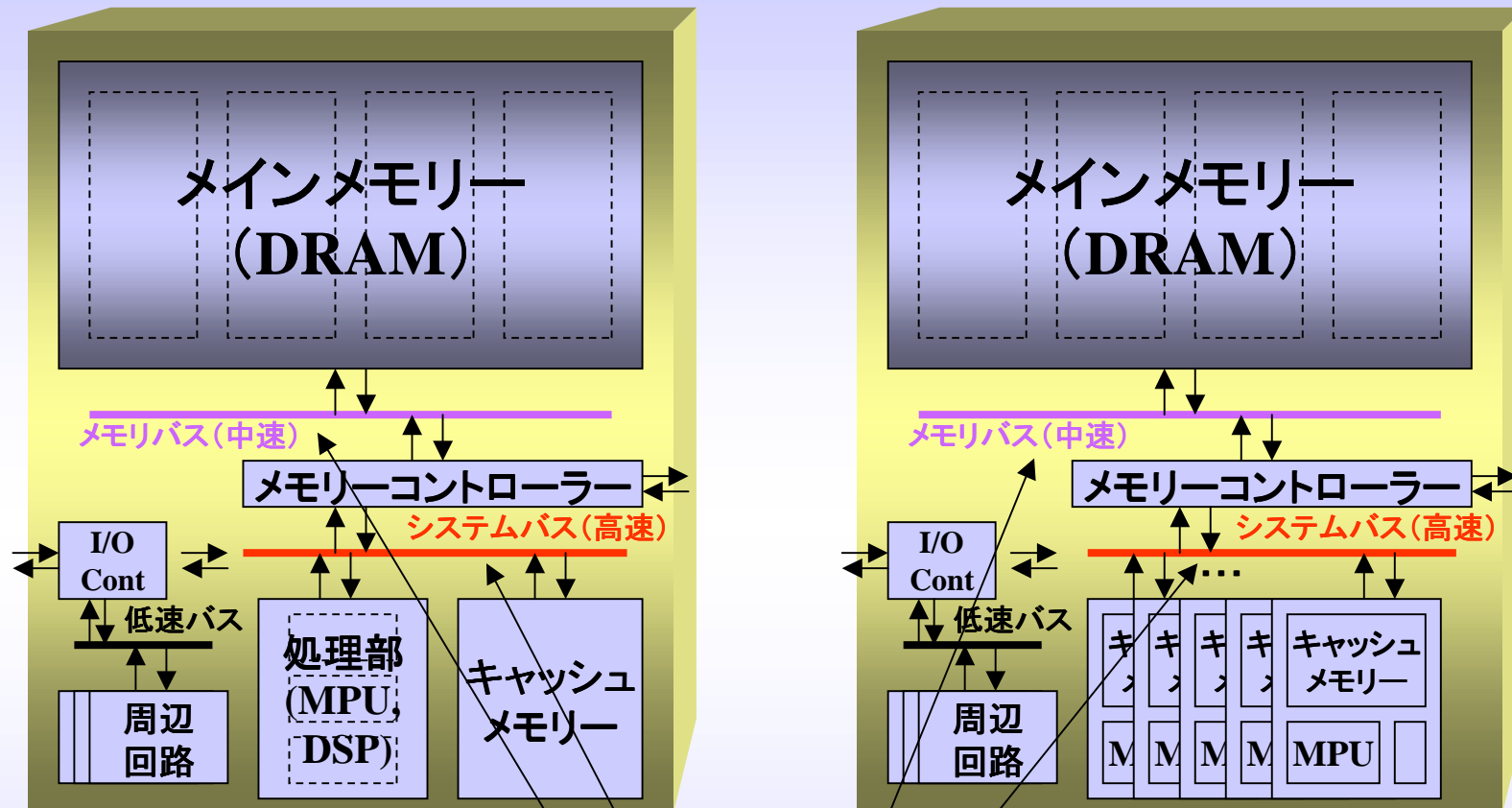
混載したいデバイスの種類と容量(面積)

カテゴリ	デバイス	
	種類	容量または面積(mm ²)
メモリ	DRAM	130-300
	Flash	10-50
	EEPROM	10-50
	FERAM	10-30
	MRAM	10-30
スイッチ	高耐圧MOS	10-30
	光デバイス	10-30
RF	バイポーラ	10-20
	化合物半導体	10-20
センサー	CMOSイメージセンサー	10-20
MEMS	発信器	10-20
	発電機	10-20
	フィルター	10-20
その他	抵抗、コンデンサ、インダクタ	30-50

DRAMの混載比率が
圧倒的に高い

Siプロセスと
整合性のない
デバイス混載の
要求あり

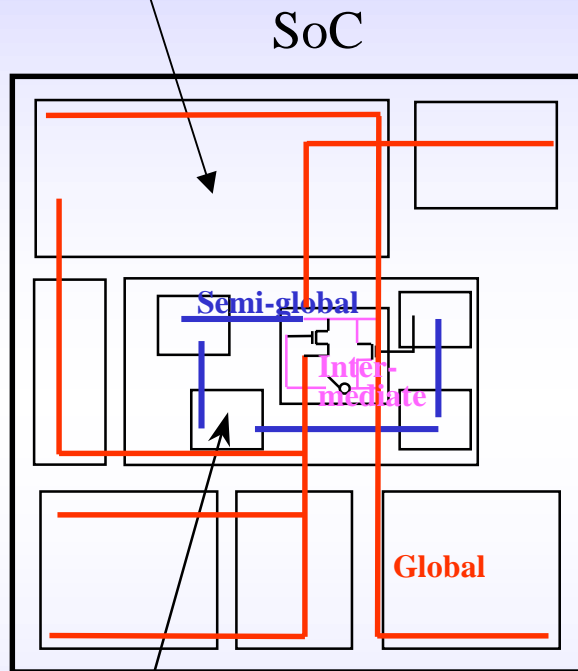
SiP考察のためのハイエンドSoCのブロックイメージ



メモリーコントローラとキャッシュ・MPU間のシステムバス、
メインメモリーとコントローラ間のメモリーバス
では中～高速のデータ転送が必要

見積もりに用いたSoC階層構造モデル

モジュール(同期設計を前提とできる最上位階層)



信号線種類	使用配線層	モデル
マクロセル内	Local	セル内限定1層使用(固定)
ブロック内信号	Intermediate	最長信号距離:50配線ピッチ 駆動能力(W/L):10, Scalingで短距離化
モジュール内信号	Semi-global	信号距離:モジュールの1/2辺長 駆動能力:40, 1/4クロックで伝播
モジュール間信号	Global	最長信号距離:Chip辺長の2倍 駆動能力:Variable, 1クロックで伝播

ブロック(モジュールを構成する機能単位)

ターゲット動作周波数を達成するために
必要な配線パラメータを計算

ITRS2001ロードマップ:配線パラメータとその矛盾点

Wiring Level	Year		2001	2004	2007	2010	2013	2016	Note
	Technology Node	nm	130	90	65	45	32	22	
Loca	Wiring pitch	nm	350	210	150	105	75	50	
Intermediate	Wiring pitch	nm	450	265	195	135	95	65	
	Wiring aspect ratio		1.6	1.7	1.8	1.8	1.9	2.0	
	Via Aspect Ratio		1.4	1.5	1.6	1.6	1.7	1.8	
	Effective resistivity	μ -cm	2.2	2.2	2.2	2.2	2.2	2.2	
	Effective dielectric constant (K)		3.7	3.0	2.5	2.0	1.9	1.7	
	Pitch/Width ratio		2.0	2.0	2.0	2.0	2.0	2.0	
Global	Wiring pitch	nm	670	460	290	205	140	100	
	Wiring aspect ratio		2.0	2.1	2.2	2.3	2.4	2.5	
	Via Aspect Ratio		1.8	1.9	2.0	2.1	2.2	2.3	
	Effective resistivity	μ -cm	2.2	2.2	2.2	2.2	2.2	2.2	
	Effective dielectric constant (K)		3.7	3.0	2.5	2.0	1.9	1.7	
	Pitch/Width ratio		2.0	2.0	2.0	2.0	2.0	2.0	

ITRS2001ロードマップ上では

- ①Semi-Global配線は存在しない
- ②Global配線のPitchは縮小する



2000年度の配線・設計クロスカットSWG活動では
伝播遅延の低減化のために
Global配線の逆スケーリングが必須であることが提案されている

ITRS2001配線パラメータの変更点と抵抗・容量の見積もり

Wiring Level	Year		2001	2004	2007	2010	2013	2016	
	Technology Node		nm	nm	nm	nm	nm	nm	
Intermediate	Wiring pitch	nm	450	265	195	135	95	65	Interconnect-RM
	Wiring aspect ratio		1.6	1.7	1.8	1.8	1.9	2.0	
	Via Aspect Ratio		1.4	1.5	1.6	1.6	1.7	1.8	
	Effective resistivity	μ -cm	2.2	2.2	2.2	2.2	2.2	2.2	
	Effective dielectric constant (K)		3.7	3.0	2.5	2.0	1.9	1.7	
	Pitch/Width ratio		2.0	2.0	2.0	2.0	2.0	2.0	
	Wiring width	nm	225.0	132.5	97.5	67.5	47.5	32.5	
	Wiring height	nm	360.0	225.3	175.5	121.5	90.3	65.0	
	Vi	nm	315.0	198.8	156.0	108.0	80.8	58.5	
	Wiring resistance	/mm	272	737	1,286	2,683	5,132	10,414	
Wiring capacitance	F/mm	1.52E-13	1.26E-13	1.07E-13	8.59E-14	8.37E-14	7.69E-14		
Semi	Wiring pitch	nm	670	460	290	205	140	100	Interconnect-RM
	Wiring aspect ratio		2.0	2.1	2.2	2.3	2.4	2.5	
	Via Aspect Ratio		1.8	1.9	2.0	2.1	2.2	2.3	
	Effective resistivity	μ -cm	2.2	2.2	2.2	2.2	2.2	2.2	
	Effective dielectric constant (K)		3.7	3.0	2.5	2.0	1.9	1.7	
	Pitch/Width ratio		2.0	2.0	2.0	2.0	2.0	2.0	
	Wiring width	nm	335.0	230.0	145.0	102.5	70.0	50.0	
	Wiring height	nm	670.0	483.0	319.0	235.8	168.0	125.0	
	Vi	nm	603.0	437.0	290.0	215.3	154.0	115.0	
	Wiring resistance	/mm	98	198	476	910	1,871	3,520	
Wiring capacitance	F/mm	1.67E-13	1.40E-13	1.20E-13	9.83E-14	9.60E-14	8.83E-14		
Global	Wiring pitch	nm	750	900	950	950	1000	1100	Interconnect-RM
	Wiring aspect ratio		2.2	2.2	2.2	2.2	2.2	2.2	
	Via Aspect Ratio		2.4	2.4	2.4	2.4	2.4	2.4	
	Effective resistivity	μ -cm	2.2	2.2	2.2	2.2	2.2	2.2	
	Effective dielectric constant (K)		3.7	3.0	2.5	2.0	1.9	1.7	
	Pitch/Width ratio		2.0	2.0	2.0	2.0	2.0	2.0	
	Wiring width	nm	375.0	450.0	475.0	475.0	500.0	550.0	
	Wiring height	nm	825.0	990.0	1045.0	1045.0	1100.0	1210.0	
	Vi	nm	900.0	1080.0	1140.0	1140.0	1200.0	1320.0	
	Wiring resistance	/mm	71	49	44	44	40	33	
Wiring capacitance	F/mm	1.71E-13	1.39E-13	1.16E-13	9.27E-14	8.80E-14	7.88E-14		

ITRS2001上のGlobal配線をSemi-Global配線へ割り付け
Global配線のPitchは逆スケーリングすることを前提とする

Work-In-Progress, Don't Publish

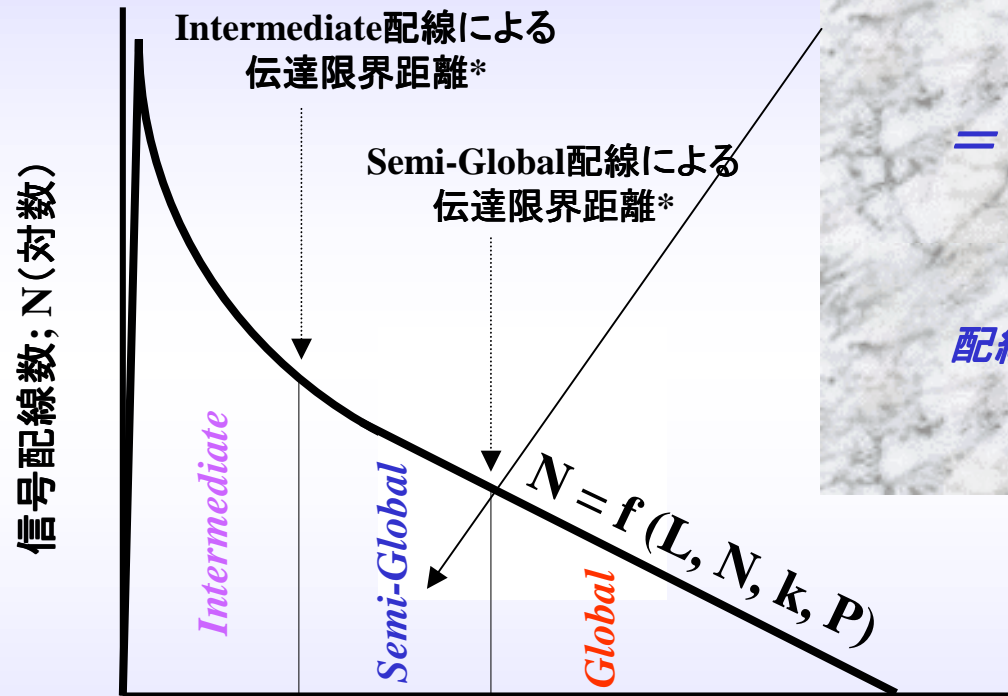
配線層毎の伝達限界距離と必要なリピータ数

Wiring Level	Item	Unit	2001	2004	2007	2010	2013	2016	Note
	Technology Node	nm	130	90	65	45	32	22	
	Operation Voltage	V	1.2	1	0.8	0.6	0.5	0.4	Desi
	Gate Width (1X)	nm	162.5	92.5	62.5	45	32.5	22.5	Device-Work
	Ion NMOS (1X)	A	1.50E-04	8.82E-05	6.82E-05	5.63E-05	4.85E-05	3.39E-05	
	Ron NMOS (1X)	Ω	7.97E+03	1.13E+04	1.17E+04	1.07E+04	1.03E+04	1.18E+04	
	Io	A	7.52E-05	4.41E-05	3.41E-05	2.81E-05	2.42E-05	1.70E-05	
	Ro	Ω	1.59E+04	2.27E+04	2.35E+04	2.13E+04	2.06E+04	2.36E+04	
	Input Capacitance (1X)	F	3.07E-16	1.32E-16	8.42E-17	5.46E-17	3.36E-17	1.97E-17	
Intermediate	Clock Frequency								
	Local clock	GHz	1.7	2.9	4.3	6.1	8.6	12.2	Design-RM
	Wiring resistance	Ω/mm	271.6049	737.1265	1285.704	2682.518	5131.943	10414.2	Interconnect-Work
	Wiring capacitance	F/mm	1.52E-13	1.26E-13	1.07E-13	8.59E-14	8.37E-14	7.69E-14	
	Gate Drive Strength		4	4	4	4	4	4	Signal-Parameters
	Stages/Clock Cycle		4	4	4	4	4	4	
	Wire Length per Repeater	mm	0.42	0.22	0.15	0.09	0.05	0.03	Delay-Work
	Delay per Repeater	pS	138	84	50	22	12	7	
	Signal delay limit (Time)	pS	147	86	58	41	29	20	
	Signal delay limit (Length)	mm	0.45	0.22	0.17	0.16	0.12	0.08	
# of repeaters		0	0	0	0	1	1		
Semi	Clock Frequency								
	Across-chip	GHz	1.7	2.9	4.3	6.1	8.6	12.2	Design-RM
	Wiring resistance	Ω/mm	72.90549	198.0376	475.6243	910.4312	1870.748	3520	Interconnect-Work
	Wiring capacitance	F/mm	1.77E-13	1.40E-13	1.20E-13	9.83E-14	9.60E-14	8.83E-14	
	Gate Drive Strength		16	16	16	16	16	16	Signal-Parameters
	Stages/Clock Cycle		1	1	1	1	1	1	
	Wire Length per Repeater	mm	0.72	0.39	0.22	0.13	0.10	0.10	Delay-Work
	Delay per Repeater	pS	71	43	22	10	8	8	
	Signal delay limit (Time)	pS	588	345	233	164	116	82	
	Signal delay limit (Length)	mm	5.96	3.11	2.31	2.12	1.55	0.99	
# of repeaters		7	7	9	14	14	8		
Global	Clock Frequency								
	Across-chip	GHz	1.7	2.9	4.3	6.1	8.6	12.2	Design-RM
	Wiring resistance	Ω/mm	71.11111	49.38272	44.32133	44.32133	40	40	Interconnect-Work
	Wiring capacitance	F/mm	1.71E-13	1.39E-13	1.16E-13	9.27E-14	8.80E-14	8.80E-14	
	Gate Drive Strength		200	400	650	650	750	750	Signal-Parameters
	Stages/Clock Cycle		1	1	1	1	1	1	
	Wire Length per Repeater	mm	0.78	0.81	0.76	0.65	0.54	0.54	Delay-Work
	Delay per Repeater	pS	13	8	5	3	2	2	
	Signal delay limit (Time)	pS	588	345	233	164	116	82	
	Signal delay limit (Length)	mm	35.25	35.41	35.46	36.21	35.44	35.47	
# of repeaters		43	42	44	53	63	66		

長距離Global配線の
伝播遅延を
低減化するために
Repeaters数が大幅up

配線層数の見積もりモデル

<Davisの配線長分布モデル>



ex. Semi-Global配線の層数:

$$= \frac{\text{総配線信号長 (= 面積積分値)}}{\text{1層当たりの配線資源量}}$$

$$\text{配線資源量} = \frac{\text{チップ面積}}{\text{配線ピッチ}} (1 - \text{損失割合}^*)$$

*Layout効率、Blockage

信号伝達可能距離; L

ハイエンドSoCのターゲット性能を達成するための配線Pitchを用いて必要配線層数を見積もり

* 伝達限界距離: 信号が1クロックで伝播出来る距離

Work-In-Progress, Don't Publish

必要配線層数の計算結果

配線層	項目	単位	1999	2002	2005	2008	2011	2014
			180	130	100	70	50	35
	Chi	mm**2	310	310	310	310	310	310
	Transistors/cm**2	M/cm**2	89	267	801	2404	7212	21635
	配線有効領域	mm^2	248	248	248	248	248	248
	搭載セル数		1.58E+07	4.7314E+07	1.42E+08	4.26E+08	1.28E+09	3.83E+09
	(セル間平均距離)	μm	3.97	2.29	1.32	0.76	0.44	0.25
全体	ネット数		2.01E+07	6.05E+07	1.82E+08	5.46E+08	1.64E+09	4.92E+09
	総配線長	mm	2.41E+06	5.23E+06	1.14E+07	2.46E+07	5.34E+07	1.16E+08
	平均配線長	mm	0.12	0.09	0.06	0.05	0.03	0.02
	最長配線長	mm	31.50	31.50	31.50	31.50	31.50	31.50
Local	層数		1	1	1	1	1	1
Intermediate	伝達可能距離限界	mm	0.45	0.22	0.17	0.16	0.12	0.08
	Wiring pitch	nm	450	265	195	135	95	65
	損失割合(d)		0.40	0.40	0.40	0.40	0.40	0.40
	配線資源量/層	mm	3.31E+05	5.62E+05	7.63E+05	1.10E+06	1.57E+06	2.29E+06
	平均配線長	mm	0.04	0.02	0.01	0.01	0.01	0.00
	ネット数		1.92E+07	5.73E+07	1.73E+08	5.27E+08	1.59E+09	4.78E+09
	総配線長(C)	mm	6.80E+05	1.10E+06	2.17E+06	4.70E+06	9.18E+06	1.70E+07
	層数		2.06	1.96	2.84	4.26	5.86	7.41
Semi-Global	伝達可能距離限界	mm	5.96	3.11	2.31	2.12	1.55	0.99
	Wiring pitch	nm	670	460	290	205	140	100
	損失割合(d)		0.40	0.40	0.40	0.40	0.40	0.40
	配線資源量/層	mm	4.03E+05	3.46E+05	4.03E+05	3.95E+05	4.07E+05	3.90E+05
	平均配線長	mm	1.45	0.76	0.58	0.54	0.40	0.27
	ネット数		8.52E+05	2.95E+06	7.58E+06	1.69E+07	4.32E+07	1.19E+08
	総配線長(C)	mm	1.23E+06	2.25E+06	4.38E+06	9.10E+06	1.75E+07	3.17E+07
	層数		3.06	6.51	10.86	23.03	42.91	81.30
Global	伝達可能距離限界	mm	35.25	35.41	35.46	36.21	35.44	35.47
	Wiring pitch	nm	750	900	950	950	1000	1100
	損失割合(d)		0.20	0.20	0.20	0.20	0.20	0.20
	配線資源量/層	mm	7.15E+05	4.09E+05	2.44E+05	1.73E+05	1.12E+05	7.27E+04
	平均配線長	mm	9.22	6.11	5.08	4.82	3.98	3.05
	ネット数		5.36E+04	3.08E+05	9.47E+05	2.25E+06	6.70E+06	2.19E+07
	総配線長(C)	mm	4.94E+05	1.88E+06	4.81E+06	1.08E+07	2.67E+07	6.68E+07
	層数		0.69	4.60	19.70	62.72	238.40	919.03
合計	層数		6.81	14.07	34.40	91.02	288.18	1008.73

Note) High-drive版(Driverの駆動能力を大とし、配線Pitchの増加を抑える)の場合

Work-In-Progress, Don't Publish

ハイエンドSoC仕様/ITRS2001に基づくGlobal配線への要求

Technology node(nm)		130	90	65	45	32	22
Operation voltage(V)	周波数大幅Up	1.2	1.0	0.8	0.6	0.5	0.4
Clock frequency(GHz)		1.7	2.9	4.3	6.1	8.6	12.2
Max. bus speed(MHz)		900	1500	2250	3000	3000	5000
Band width(Gbyte/sec.)	High-Power	1.6	1.9	2.3	2.7	3.2	3.8
Power consumption(W)	Tr密度大幅Up	70.0	94.1	104.2	93.1	121.3	137.9
Transistors(MTrs./cm ²)		89	267	801	2404	7212	21635
Chip size(mm ²)	Chip-size一定	310	310	310	310	310	310
Effective wire resistivity: ρ_{eff} ($\mu \Omega$ -cm)	$\rho_{eff}, keff$ の低減鈍化	2.2	2.2	2.2	2.2	2.2	2.2
Effective dielectric const.(keff)		3.7	3.0	2.5	2.0	1.9	1.7

Global wiring pitch (nm)	1200(750)	2000(900)	3000(950)	3000(950)	5000(1000)	20000(1100)
width (nm)=pitch/2	600(375)	1000(450)	1500(475)	1500(475)	2500(500)	10000(550)
height(nm)=2.2 × width	1320(825)	2200(990)	3300(1045)	3300(1045)	5500(1100)	22000(1210)

Number of signal wire levels	10(9)	21(15)	78(35)	229(93)	1243(289)	16801(1011)
(Intermed.)	3	2	3	5	6	8
(Semi-global)	4	7	11	24	43	82
(Global)	2(1)	11(5)	63(20)	199(63)	1193(239)	16710(920)

P=0.7使用(ASIC想定)のために
Global配線層数が大幅up

()High-Drive版

Global/Semi-Global配線間の接続Via規模の増大

Wiring Level	Item	Unit	2001	2004	2007	2010	2013	2016	Note
	Technology Node	nm	130	90	65	45	32	22	
	Chi	mm**2	310	310	310	310	310	310	Desi
	Ron NMOS (1X)	Ω	7.97E+03	1.13E+04	1.17E+04	1.07E+04	1.03E+04	1.18E+04	Device-Work
	Ro	Ω	1.59E+04	2.27E+04	2.35E+04	2.13E+04	2.06E+04	2.36E+04	
	Input Capacitance (1X)	F	3.07E-16	1.32E-16	8.42E-17	5.46E-17	3.36E-17	1.97E-17	
Intermediate	Wiring height	nm	360	225	176	122	90	65	Interconnect-Work
	Vi	nm	315	199	156	108	81	59	
	# of Layers		3	2	3	5	6	8	Nlayers
	Vertical length	nm	2,025	848	995	1,148	1,026	988	
Semi	Via effective resistivity	μ -cm	2.20	2.20	2.20	2.20	2.20	2.20	Interconnect-RM
	Effective dielectric constant (K)		3.70	3.00	2.50	2.00	1.90	1.70	
	Wiring height	nm	737	483	319	236	168	125	Interconnect-Work
	Wiring space	nm	335	230	145	103	70	50	
	Vi	nm	670	437	290	215	154	115	
	# of Layers		4	7	11	24	43	82	Nlayers
	Vertical length	nm	5,628	6,440	6,699	10,824	13,846	19,680	
Global Wiring	Wiring pitch	nm	750	900	950	950	1,000	1,100	Interconnect-RM
Via	Vertical length	nm	7,653	7,288	7,694	11,972	14,872	20,668	
	# of Via for Drivers		1.07E+05	6.16E+05	1.89E+06	4.50E+06	1.34E+07	4.39E+07	
	# of Via for Repeaters		1.17E+06	4.04E+06	1.08E+07	2.87E+07	8.49E+07	2.14E+08	
	Total # of via		1.27E+06	4.66E+06	1.27E+07	3.32E+07	9.84E+07	2.58E+08	
from device to global wiring	Via resistance limit		4.4	3.2	2.3	2.0	1.6	1.3	
	Via area size	nm**2	3.83E+05	5.09E+05	7.34E+05	1.29E+06	2.03E+06	3.59E+06	
	Vi	nm	619	713	856	1,138	1,424	1,896	
	Via capacitance limit	F	8.26E-16	7.01E-16	6.02E-16	4.05E-16	3.09E-16	2.65E-16	
	Via-wires (from capacitance issue)	nm	203	263	387	1,191	2,428	5,243	
	Via-wires (result)	nm	335	263	387				
	Via pitch under Semi-Global	mm	954	976	1,244				
	Via area size under Semi-Global	mm**2	9.09E-07	9.53E-07	1.55E-06				
	Via area ratio under Semi-Global	%	0%	1%	6%				
	Via cover metal pitch in Global	mm	994	1,163	1,331				
	Via cover metal size in Global	mm**2	5.63E-07	8.10E-07	9.03E-07				
	Via cover metal area ratio in Global	%	0%	1%	4%				

Via数が~10M個以上の大規模@65nm Nodeとなり、別基板との貼り合わせに必要な微細接合技術の困難度が大幅up

Note) High-drive版 (Driverの駆動能力を大とし、配線Pitchの増加を抑える) の場合

Work-In-Progress, Don't Publish

ドライバー&リピータのチップ占有面積の増大

<High-Drive版(駆動能力を大とし、配線ピッチの増加を抑制)>

Wiring Level	Item	Unit	2001	2004	2007	2010	2013	2016	Note
	Technology Node	nm	130	90	65	45	32	22	
	Chi	mm**2	310	310	310	310	310	310	Desi
	MPU Gate Length	nm	65	37	25	18	13	9	Devi
Loca	Wiring pitch	nm	350	210	150	105	75	50	Interconnect-Work
Global Wiring	Gate Drive Strength		200	400	650	650	750	1100	Signal-Parameters
	Wire Length per Repeater	mm	0.78	0.81	0.76	0.65	0.54	0.52	Delay-Work
	平均信号長	mm	9.22E+00	6.11E+00	5.08E+00	4.82E+00	3.98E+00	3.05E+00	Nlayers-Wo
	ネット数		5.36E+04	3.08E+05	9.47E+05	2.25E+06	6.70E+06	2.19E+07	
	# o		5.36E+04	3.08E+05	9.47E+05	2.25E+06	6.70E+06	2.19E+07	
	# of repeaters		5.83E+05	2.02E+06	5.39E+06	1.44E+07	4.25E+07	1.07E+08	
	# of drivers & repeaters		6.37E+05	2.33E+06	6.33E+06	1.66E+07	4.92E+07	1.29E+08	
	Driver area size	mm**2	6.83E-05	4.66E-05	3.66E-05	1.84E-05	1.10E-05	7.43E-06	
	Driver chip ratio	%	14.0%	35.0%	74.7%	98.7%	174.0%	309.0%	

<Low-Drive版(駆動能力の増加を抑制、

Wiring Level	Item	Unit	2001	2004	2007	2010	2013	2016	Note
	Technology Node	nm	130	90	65	45	32	22	
	Chi	mm**2	310	310	310	310	310	310	Desi
	MPU Gate Length	nm	65	37	25	18	13	9	Devi
Loca	Wiring pitch	nm	350	210	150	105	75	50	Interconnect-Work
Global Wiring	Gate Drive Strength		115	213	256	248	302	413	Signal-Parameters
	Wire Length per Repeater	mm	6.31	7.30	8.13	8.37	11.04	14.36	Delay-Work
	平均信号長	mm	9.22E+00	6.11E+00	5.08E+00	4.82E+00	3.98E+00	3.05E+00	Nlayers-Wo
	ネット数		5.36E+04	3.08E+05	9.47E+05	2.25E+06	6.70E+06	2.19E+07	
	# o		5.36E+04	3.08E+05	9.47E+05	2.25E+06	6.70E+06	2.19E+07	
	# of repeaters		2.47E+04	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00	
	# of drivers & repeaters		7.83E+04	3.08E+05	9.47E+05	2.25E+06	6.70E+06	2.19E+07	
	Driver area size	mm**2	3.94E-05	2.48E-05	1.44E-05	7.04E-06	4.42E-06	2.79E-06	
	Driver chip ratio	%	1.0%	2.5%	4.4%	5.1%	9.6%	19.7%	

特にHigh-Drive版では
Drivers (Repeaters含む)の
占める割合が大幅up
(45nm NodeはほぼChip全面がDrivers)

Work-In-Progress, Don't Publish

設計TF提示ハイエンドSoC仕様(最新版)

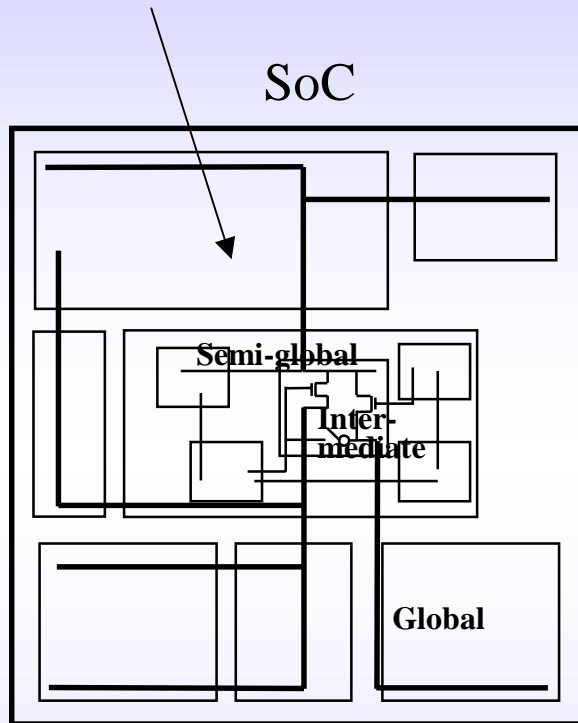
Year of 1 st shipment	2001	2004	2007	2010	2013	2016
Technology node(nm)	130	90	65	45	32	22
Operation voltage(V)	1.2	1.0	0.8	0.6	0.5	0.4
Clock frequency(GHz)	1.7	2.9	4.3	6.1	8.6	12.2
Max. bus speed(MHz)	800	952	1133	1348	1604	1909
Band width(Gbyte/sec.)	1.6	1.9	2.3	2.7	3.2	3.8
Power consumption(W)	70.0	94.1	104.2	93.1	121.3	137.9
Transistors(MTrs./cm ²)	89	267	801	2404	7212	21635
Chip size(mm²)	310	310	310	310	310	310
Embedded DRAM(Mbit)	128	364	1024	2908	8192	23265
SoC embedded DRAM(mm²)	131	161	197	241	295	361
Scaled DRAM(Mbit)	303	701	1611	3741	8609	19978
Vdd pin count	87	140	193	230	360	511
GND pin count	186	299	414	493	771	1095
Signal pin count	250	355	504	716	1016	1443

SoCに占める混載DRAMの割合から
実効Rent指数の見積もりが可能

Work-In-Progress, Don't Publish

SoCの混載比率の違いによるGlobal配線層/Via数の違い

世代と共にメモリー(P=0.3)との混載比率が大きくなっていく



Tech.Node (nm)	130	90	65	45	32	22
P=0.7	配線層数= 2 Via規模= 6.4E5	11 2.1E6	63 4.8E6	199 1.1E7	1193 2.0E7	16710 4.4E7
P=0.6	1 1.8E5	3 5.7E5	16 1.2E6	45 2.4E6	249 4.1E6	3252 9.5E6
P=0.5	1 4.7E4	1 1.4E5	4 2.8E5	10 5.1E5	50 8.2E5	609 2.0E6
P=0.4	1 1.2E4	1 3.6E4	1 6.6E4	2 1.1E5	10 1.6E5	112 3.9E5
P=0.3	1 3.0E3	1 8.7E3	1 1.5E4	1 2.2E4	2 3.0E4	21 7.8E4

メモリーとの混載を考慮すると
実効Pが低下して層数、Via規模が
現実的な値へ漸近することが期待される

Note) Low-Drive版でのGlobal配線層数及び
Semi-G/Global接続Via見積もり結果

DRAM混載比率に応じたGlobal配線層/Via数の見積もり(1)

<Case I :Original parameter使用>

Tech.Node (nm)	130	90	65	45	32
Peff	0.53	0.49	0.45	0.39	0.32

$$P_{eff} = \sum_{i=1}^n (D_i/D_T) P_i$$



IM層数=	2	2	2	2	2	
SGM層数=	1	1	1	1	1	
HD	Global-Pitch(nm)	750	900	950	950	1000
	Global配線層数=	1	1	1	1	1
	Via規模=	1.41E5	2.79E5	3.60E5	2.86E5	2.11E5
LD	Global-Pitch(nm)	1500	2000	2500	3000	5000
	Global配線層数=	1	1	2	2	3
	Via規模=	7.03E4	1.26E5	1.37E5	9.06E4	4.23E4

Intermediate, Semi-global
配線層数も大幅に減少

Via規模がさらに減少するように
配線Pitchを緩和、層数を増加

DRAM混載比率に応じたGlobal配線層/Via数の見積もり(2)

<Case II :LD版におけるGlobal配線のPitchを緩和>

Tech.Node (nm)	130	90	65	45	32	
×2	Pitch(nm)	3000	4000	5000	6000	10000
	配線層数=	1	2	3	4	6
	Via規模=	3.51E4	6.28E4	6.84E4	4.60E4	3.75E4
×3	Pitch(nm)	4500	6000	7500	9000	15000
	配線層数=	1	2	5	6	8
	Via規模=	2.34E4	4.19E4	6.14E4	4.60E4	3.75E4
×4	Pitch(nm)	6000	8000	10000	12000	20000
	配線層数=	1	3	6	7	11
	Via規模=	1.76E4	4.02E4	6.14E4	4.60E4	3.75E4

最適解

Global配線のPitchを×4以上に緩和しても
65nm以降Via規模は減少せず層数のみ増加

DRAM混載比率に応じたGlobal配線層/Via数の見積もり(3)

<Case III:HD版におけるGlobal配線のPitchを緩和>

Tech.Node (nm)	130	90	65	45	32	
× 2	Pitch(nm)	1500	1800	1900	1900	2000
	配線層数=	1	1	2	2	2
	Via規模=	7.03E4	1.40E5	1.80E5	1.43E5	1.06E5
× 5	Pitch(nm)	3750	4500	4750	5000	5500
	配線層数=	1	2	3	3	3
	Via規模=	2.81E4	5.59E4	7.20E4	5.72E4	4.23E4
× 10	Pitch(nm)	7500	9000	9500	10000	11000
	配線層数=	1	3	6	6	6
	Via規模=	1.41E4	4.02E4	6.14E4	4.60E4	3.75E4

← 最適解

HD版もLD版とほぼ同じ
Global配線のPitch、層数、Via規模になる

各世代でのGlobal配線ターゲット仕様 (Version-0)

実装技術との融合を鑑み、配線ピッチを大幅緩和、Via規模を削減

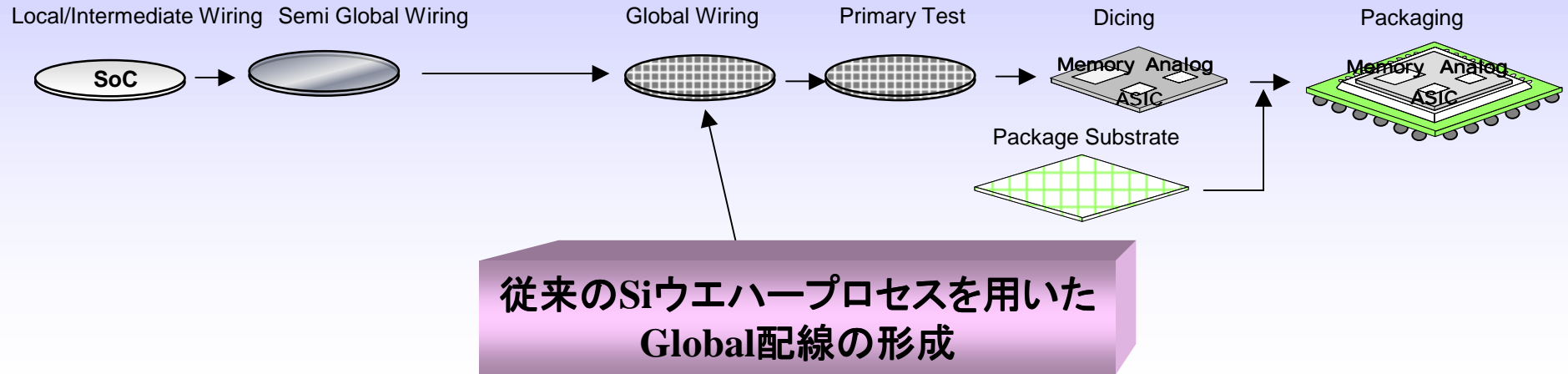


Tech. Node(nm)	130	90	65	45	32
・配線層数(層)	1	3	6	6-7	6-11
・配線ピッチ(um)	6-7.5	8-9	9.5-10	10-12	11-20
・配線膜厚(um)	7-8	9-10	10.5-11	11-13	12-22
・Viaサイズ(um)	1-1.8	2-2.5	2.8-3	3-4	3.5-8
・Via深さ(um)	2.4-4.3	4.8-12	6.7-7.2	7.2-9.6	8.4-19
・Via／配線余裕(um)	1	1	1	1	1
・Via个数(個)	2E4	4E4	6E4	5E4	4E4
・配線比抵抗(ρ_{eff})	2.2	2.2	2.2	2.2	2.2
・層間膜比誘電率(k_{eff})	3.7	3.0	2.5	2.0	1.9

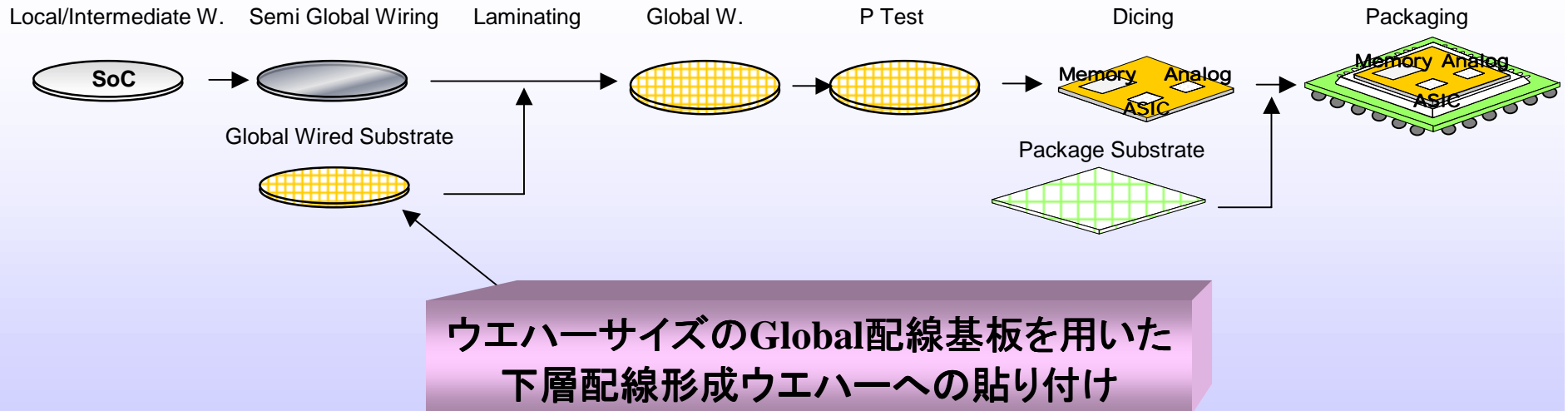
Work-In-Progress, Don't Publish

Global配線仕様に基づくプロセスアプローチ(1)

[1] Ordinal SoC wiring Process (SoC in Single Chip Package)

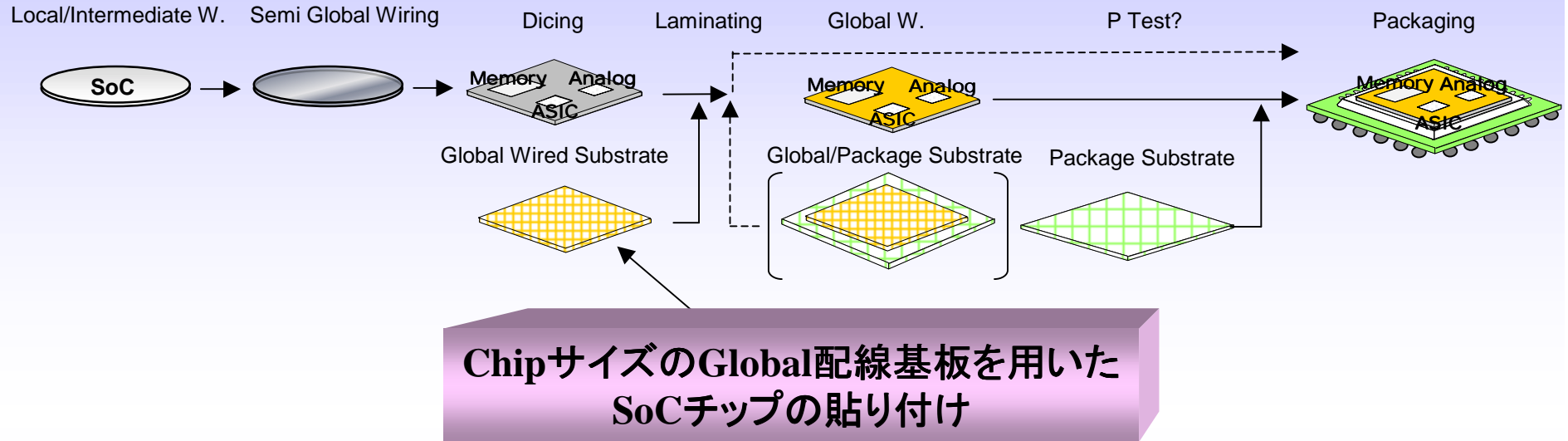


[2] Laminated Global wiring at Wafer level (SoC in Single Chip Package)

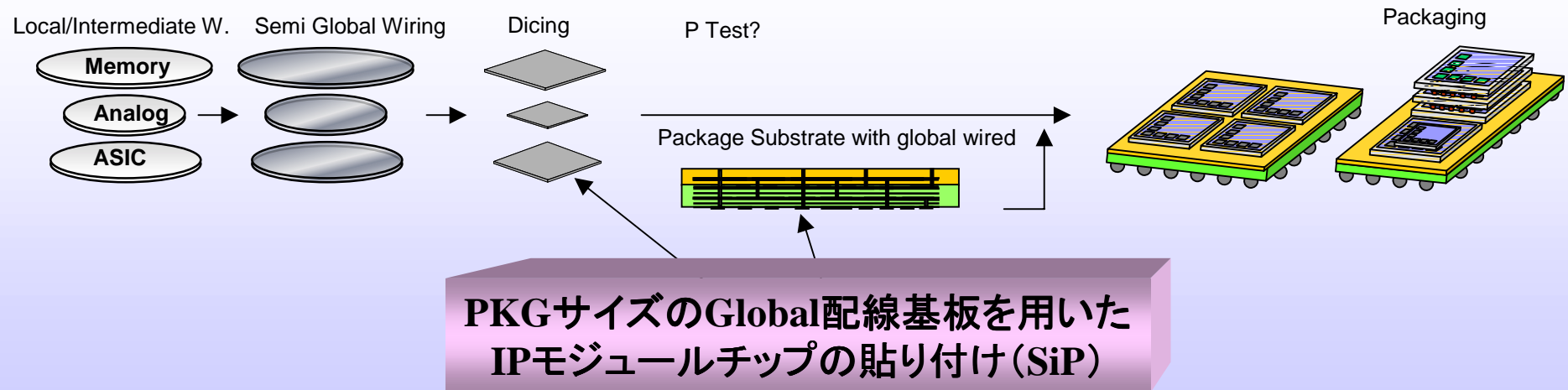


Global配線仕様に基づくプロセスアプローチ(2)

[3] Laminated Global wiring at Chip level (SoC in Single Chip Package)



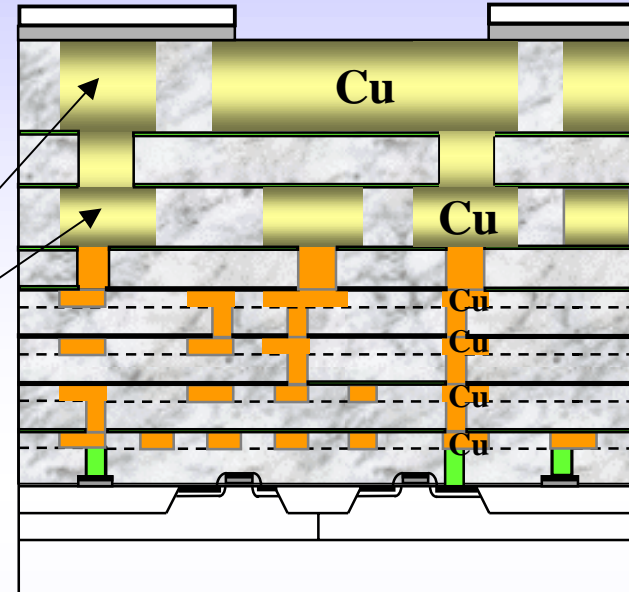
[4] Chip Assembly on Package Substrate with Global wired (SiP: System-in-a-Package)



Global配線形成のKey-Point

① On-Chip 高速伝送逆スケーリング配線形成プロセス

- 従来のCu-DDを用いた厚膜Global配線形成 (超高速ILD成膜・RIE・Cuめっき・CMP技術が必須)
- 代替プロセスの可能性 (Semi-additive法、転写、印刷)

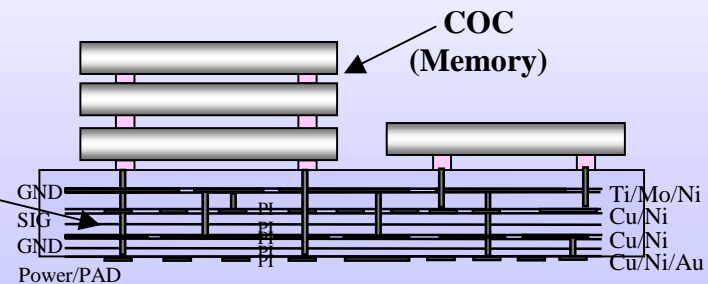


Si基板上に形成された
Global配線
(Main Clock-Lines
Data-Bus Lines
Power/GND Lines)

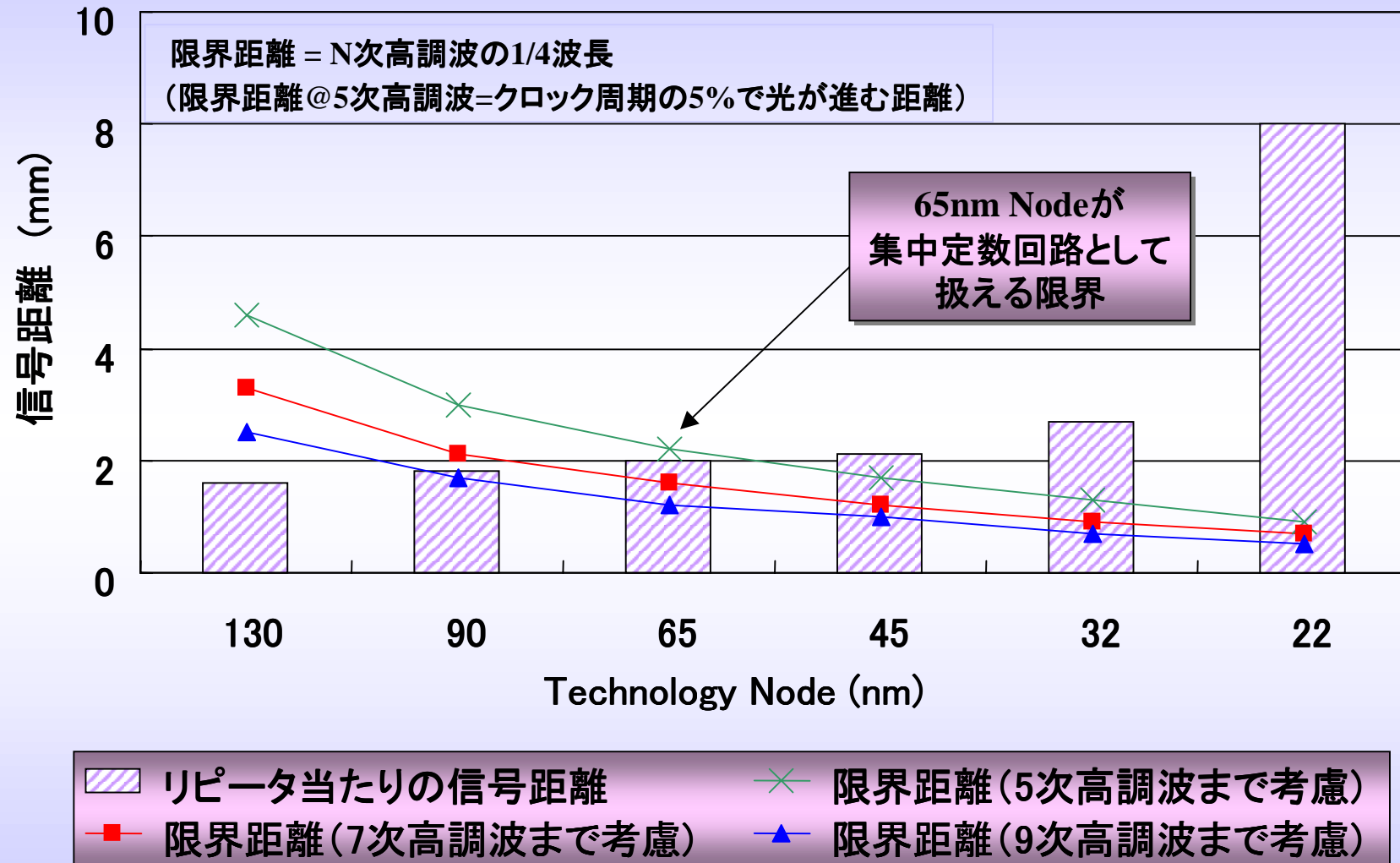
② 高速伝送配線基板とのChip貼り付けプロセス

- 微細実装(基板・配線・接合)技術が必須

別基板に形成された
Global配線



集中定数回路で近似できない信号線距離



Global配線の高速伝送に対する要求

- ① 2点間の信号伝播(速度、減衰、歪み)
- ② 雑音の抑制(結合性ノイズ、 ΔI ノイズ、シールド)
- ③ インピーダンス(終端整合、抵抗値)



◎ 損失(直列抵抗成分; α_r 、表皮効果成分; α_s 、誘電損失成分; α_d)を小さく

$$\alpha_r = R_r / 2Z_0, \quad \alpha_s = (\pi / W Z_0) (f / \sigma)^{0.5}, \quad \alpha_d = \pi \tan \delta (f / v)$$

◎ 伝播速度の向上には誘電体のLow-k化が必要($v = C_0 / \sqrt{\epsilon_r}$)

◎ 隣接信号線のクロストークノイズを接地層を用いて低減
(信号線の上下を接地層で挟む、距離を線間よりも近く設定)

◎ 高周波信号のインピーダンス値と負荷インピーダンス値の整合取り
(最適インピーダンス: $Z_0 = (L/C)^{0.5} : 50 \sim 100 \Omega$ になるように、
配線、接地層及び誘電体の寸法・膜厚設定を)

On-Chip 高速伝送 Global 配線の形成プロセスコンセプト

(1) 逆スケーリング(厚膜・幅広)配線形成プロセス

- 超高速Cuめっき
- 超高速Cu-CMPプロセス
- CMP代替プロセス

(2) 接地層(Ground-Plane)の形成プロセス

- Cuダマシンプロセス(Dishing/Erosion-Free)
- CMP代替プロセス(Al/BM, MIM積層RIEプロセス)

(3) 厚膜Low-k誘電体形成プロセス

- 厚膜成膜が可能なLow-k ILD
(高いクラック耐性、高い成膜・エッチング速度)

On-Chip 高速伝送Global配線形成に必要な要素技術

[1] 従来技術(及びその延長線)

対(1)
(2)

◎ Cu-CMP完全平坦化プロセス(電解研磨、研削)

◎ CMP代替プロセス(サブラクティブ法→セミアディティブ法)

◎ AI/BM、MIM積層エッチングプロセス

対(3)

◎ Low-k ILD高速成膜・エッチングプロセス
(ex. 感光性有機膜塗布)

対(1)

◎ 超高速Cuめっき・CMPプロセス(低コスト化)

[2] 新規技術

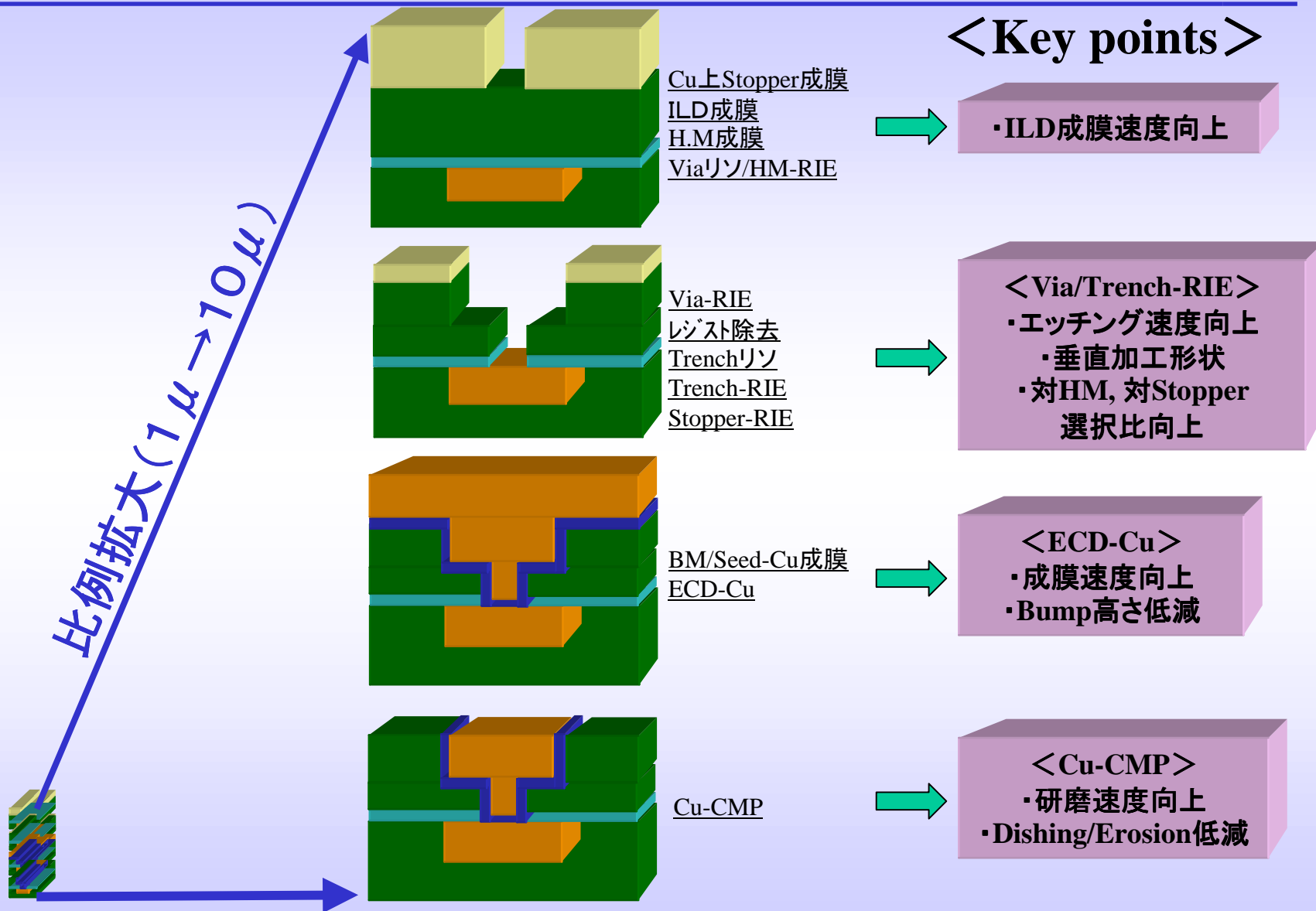
対(1)
(2)
(3)

◎ 転写プロセス:STP(スピンコート膜のホットプレス法)

◎ 印刷プロセス

(インクジェットプリンター応用、インキ転写、コピー機使用)

従来のCuダマシン法によるGlobal配線の形成プロセス概要



現状のOn-Chip Cu配線技術を用いた場合のコスト試算

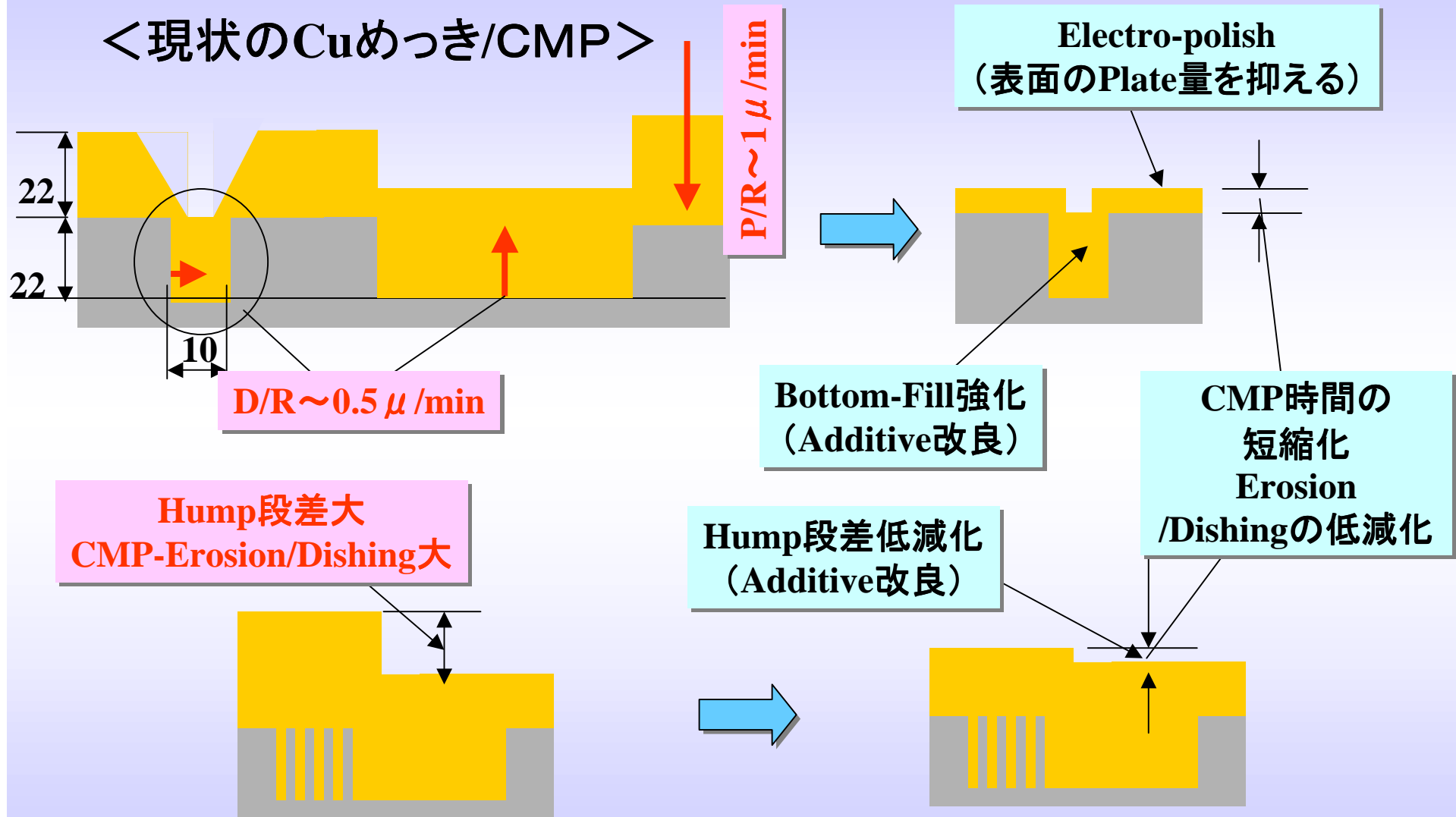
Global配線膜厚	COO(k¥/waf.)		RPT(hour/Lot)	
	絶対値	相対値	絶対値	相対値
0.3 μm (下層)	100	—	100	—
1 μm	121	100	128	100
5 μm	195	162	169	133
10 μm	289	239	222	174

見積もりの範囲: ILD-depo. ~ Cu-CMP ~ Passivation

10 μm まで逆スケールが進むと
COO/RPTは2.4倍、1.7倍へ増大

Cu-Electroplating及びCMP高速化技術の概要

＜現状のCuめっき/CMP＞



EBARA辻村氏作成・柴田修正、メンバー外秘

Work-In-Progress, Don't Publish

Cuめっき及びCMPのプロセス改善案

【めっき有望解】 高速化

1 Over-Plating量の削減

1-1 従来のAdditive改良によるBottom-up Fill強化

1-2 表面にPlatingさせないめっき方法 例:Electro-polishの併用

2 Hump段差低減

2-1 従来のAdditive改良による平坦化強化

2-2 粗密パターンや配線幅の均一化(デバイス設計)

3 高速化が不十分の時にバッジプロセスで対応可能

【CMP有望解】 めっき側での研磨量削減を前提に高速化

1 研削・研磨・エッチングまたこれらの複合プロセスによる
Chemical Mechanical Planarization(Polishでは無い)を実施する

2 高速(相対速度)で低荷重プロセス(低誘電率膜の機械的強度低下に
対応)が必要

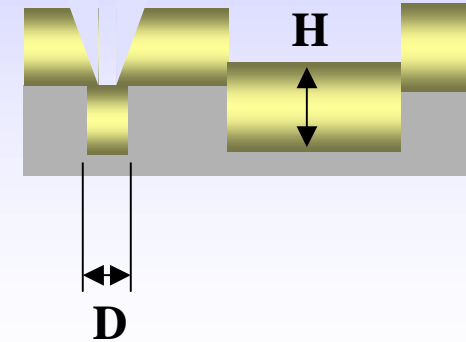
3 高速化が不十分の時にバッジプロセスでの可能性もある

EBARA辻村氏作成、メンバー外秘

Work-In-Progress, Don't Publish

Cuめっき及びCMPプロセス処理時間の改善シナリオ(見直し前)

Node	130	90	65	45	32
Pitch(μm)	6-7.5	8-9	9.5-10	10-12	11-20
Num.of Layer	1	3	6	6-7	6-11
Via-size(μm)	1-1.8	2-2.5	2.8-3	3-4	3.5-8
Num.of Vias	2E4	4E4	6E4	5E4	4E4
Max. Pitch(μm)	7.5	9	10	12	20
Width D (μm)	3.75	4.5	5	6	10
A/R	2.2	2.2	2.2	2.2	2.2
Height	8.25	9.9	11	13.2	22
[Discussion for Plating]					
Plating 1 for filling D/2(μm)	1.875	2.25	2.5	3	5
Plating 2 for H (μm)	8.25	9.9	11	13.2	22
Plating rate 1 ($\mu\text{m}/\text{min}$)	0.5	1	2	3	4
Plating rate 2 ($\mu\text{m}/\text{min}$)	1	2	4	8	15
Plating time 1 (min)	3.75	2.25	1.25	1.00	1.25
Plating time 2(min)	8.25	4.95	2.75	1.65	1.47
Total plating time(min)	12.00	7.20	4.00	2.65	2.72
[Discussion for CMP]					
Polish rate($\mu\text{m}/\text{min}$)	1	2	4	6	10
Polishing volume(μm)	10.125	12.15	13.5	16.2	27
Posih time($\mu\text{m}/\text{min}$)	10.13	6.08	3.38	2.70	2.70



10-12分

レートアップで
3分以内

逆スケーリングの程度が極端なために
むしろ130-65nm Nodeで
めっき・研磨速度改善が間に合わずに破綻

EBARA辻村氏作成
メンバー外秘

Work-In-Progress, Don't Publish

各世代でのGlobal配線ターゲット仕様 (Version-1)

130-65nm NodeでのCuめっき・CMP高速化の困難度を鑑み、
配線Pitch/膜厚、Viaサイズ/深さを微細化

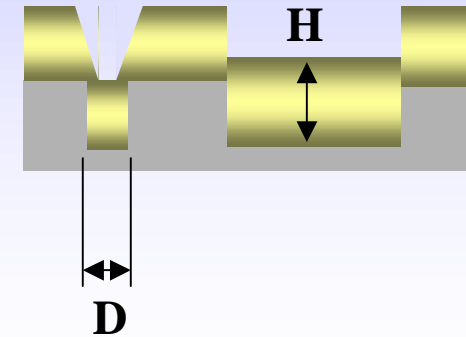


Tech. Node(nm)	130	90	65	45	32
・配線層数(層)	1	1	3	6-7	6-11
・配線ピッチ(um)	1.5	2	5	10-12	11-20
・配線膜厚(um)	1.7	2.2	5.5	11-13	12-22
・Viaサイズ(um)	0.55	0.6	1.5	3-4	3.5-8
・Via深さ(um)	1.3	1.4	3.6	7.2-9.6	8.4-19
・Via/配線余裕(um)	0.1	0.2	0.5	1	1
・Via个数(個)	7E4	1E5	7E4	5E4	4E4
・配線比抵抗(ρ eff)	2.2	2.2	2.2	2.2	2.2
・層間膜比誘電率(k_{eff})	3.7	3.0	2.5	2.0	1.9

Work-In-Progress, Don't Publish

Cuめっき及びCMPプロセス処理時間の改善シナリオ(見直し後)

Node	130	90	65	45	32
Pitch(μm)	1.5	2	5	10-12	11-20
Num.of Layers	1	1	3	6-7	6-11
Via-size(μm)	0.55	0.6	1.5	3-4	3.5-8
Num	7E4	1E5	7E4	5E4	4E4
Max. Pitch(μm)	1.5	2	5	12	20
Width D (μm)	0.75	1	2.5	6	10
A/R	2.2	2.2	2.2	2.2	2.2
Height H (μm)	1.65	2.2	5.5	13.2	22
[Discussion for Plating]					
Plating 1 for filling D/2(μm)	0.375	0.5	1.25	3	5
Plating 2 for H (μm)	1.65	2.2	5.5	13.2	22
Plating rate 1 ($\mu\text{m}/\text{min}$)	0.5	1	2	3	4
Plating rate 2 ($\mu\text{m}/\text{min}$)	1	2	4	8	15
Plating time 1 (min)	0.75	0.50	0.63	1.00	1.25
Plating time 2(min)	1.65	1.10	1.38	1.65	1.47
Total plating time(min)	2.40	1.60	2.00	2.65	2.72
[Discussion for CMP]					
Polish rate($\mu\text{m}/\text{min}$)	1	2	4	6	10
Polishing volume(μm)	2.025	2.7	6.75	16.2	27
Posih time($\mu\text{m}/\text{min}$)	2.03	1.35	1.69		



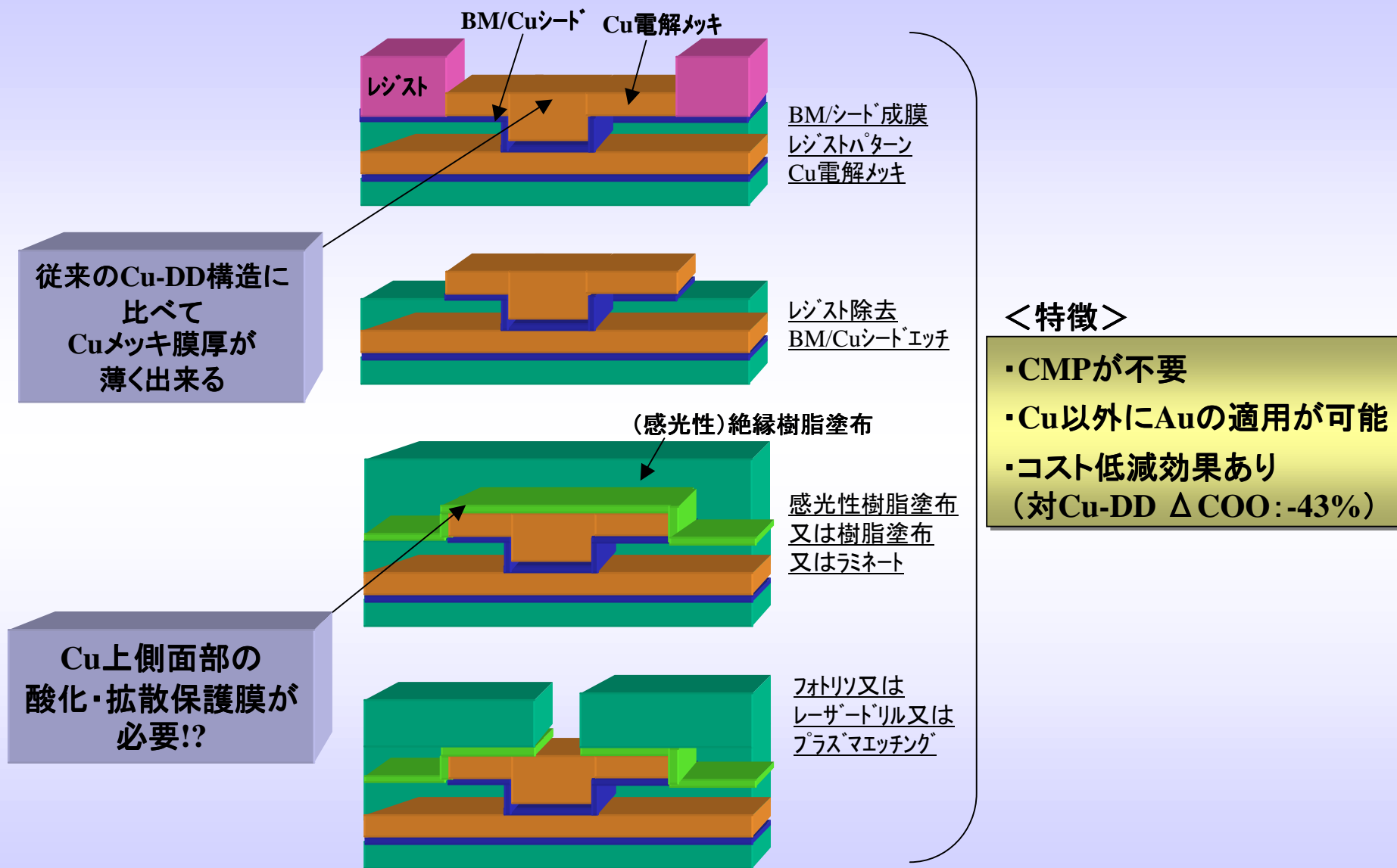
2-3分

レートアップで
3分以内

逆スケージングの程度を抑えたために
3分以内を実現可能

EBARA辻村氏作成
メンバー外秘

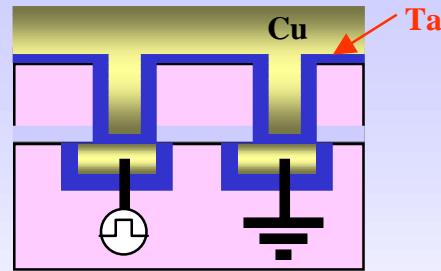
セミアディティブ法によるCu-Global配線の形成プロセス概要



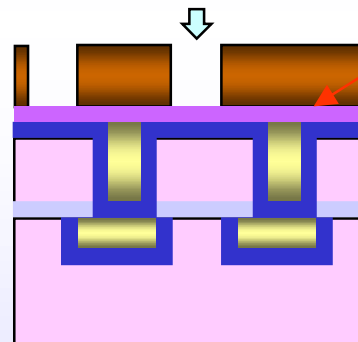
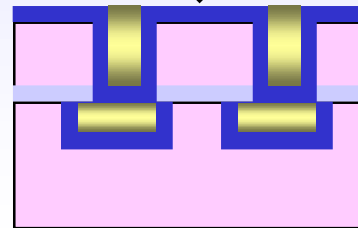
BM/AlCu/BMを用いたGP(マイクロストリップ・ライン)の形成プロセス

<Process-Flow>

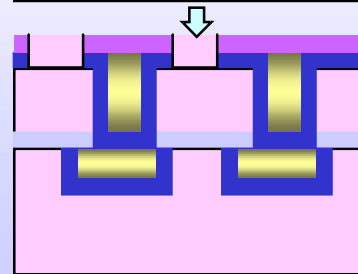
- D1(Cu) Formation
- ILD-Depo.
- Via-Opening
- Ta/SeedCu-Depo.
- E.P-Cu Depo.
- Cu-CMP(on BM)
- Ta/AlCu/Ta-Depo
- GND Plane-Litho.
- AlCu/Ta-RIE
- Asher
- ILD-Depo./CMP
- DD Formation
- D2(Cu) Formation



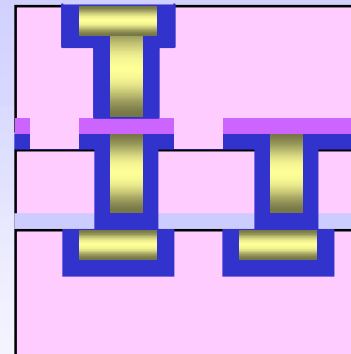
Signal Line GND Line



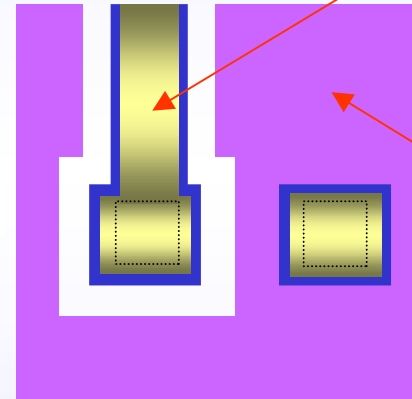
Ta/AlCu/Ta



GND Plane



Signal Line



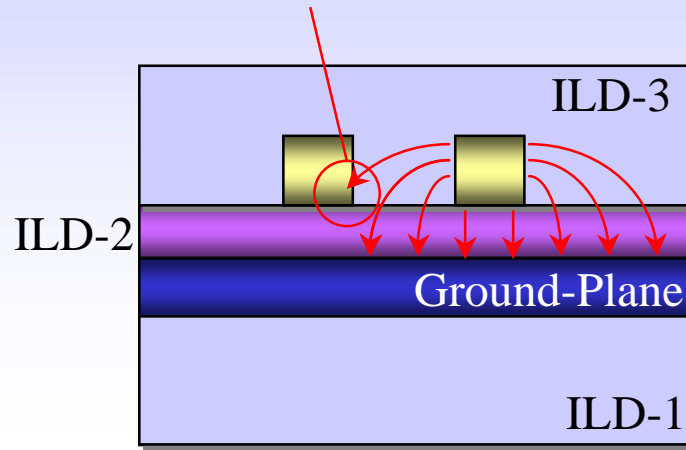
GND Plane

<特徴>

- ・大面積G.Pの形成が容易
(Cu-CMP不要)
- ・コスト低減効果あり
(対Cu-DD ΔCOO:-12%)

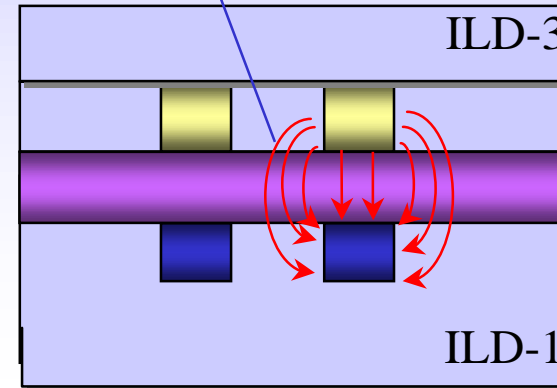
クロストーク低減に適したスタックド・ペア・ライン方式

隣接配線との電界の干渉が大きい



<マイクロストリップ・ライン>

隣接配線との電界の干渉が小さい



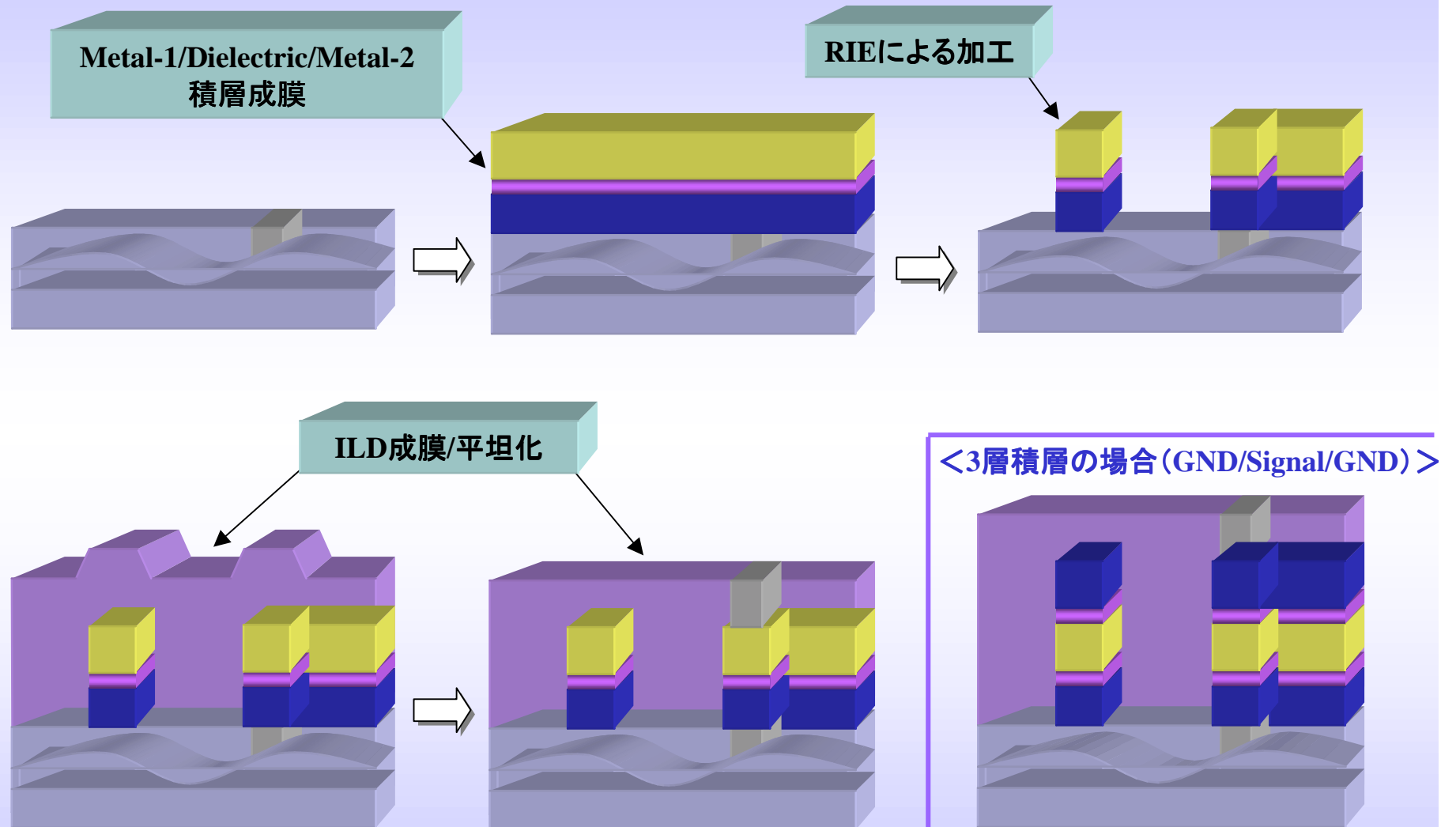
<スタックド・ペア・ライン>

マイクロストリップ・ラインでは信号線から接地電極に向かう電界の広がりが大きく、配線ピッチの縮小によって隣接配線からの影響を大きく受ける。

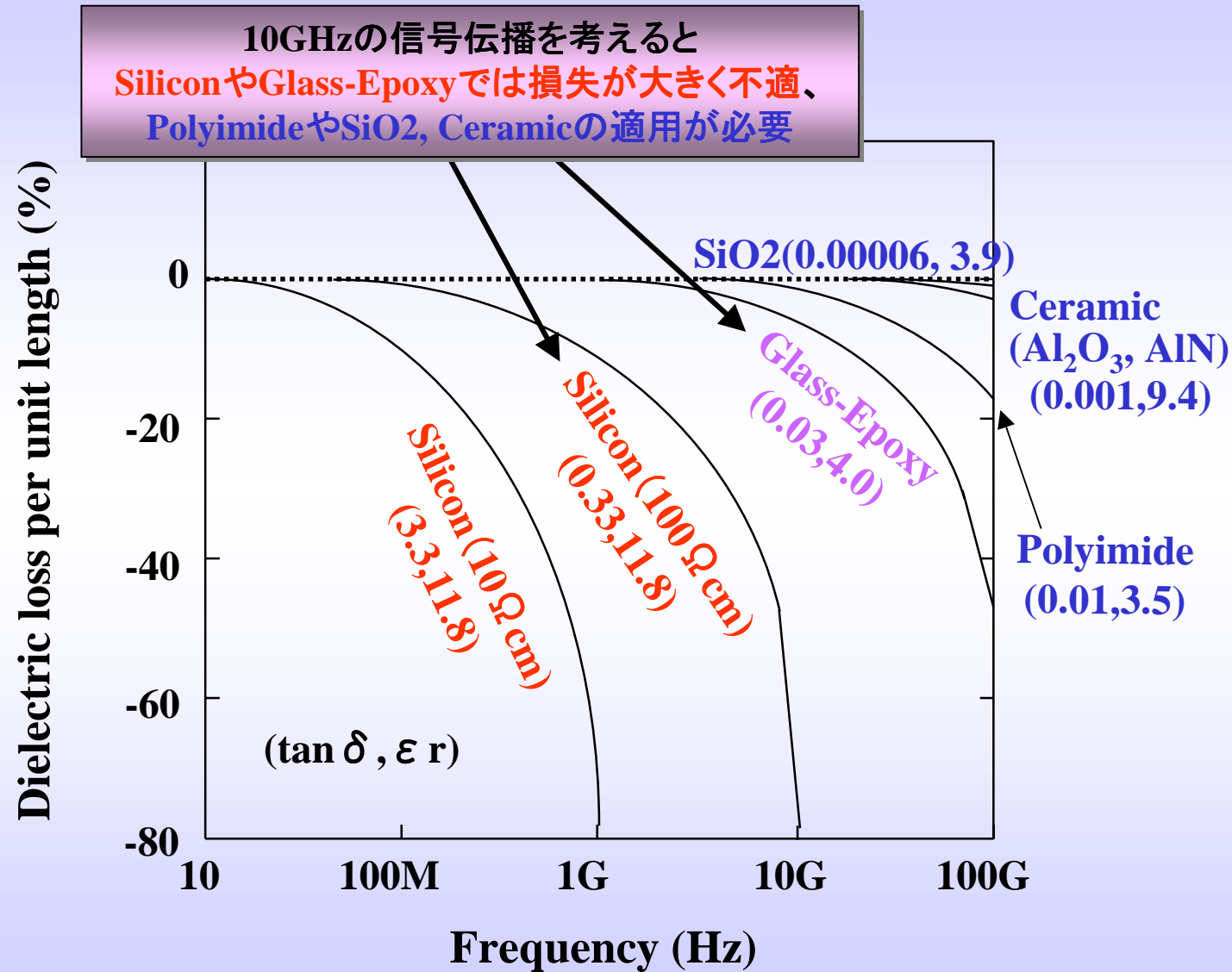
それに対し、スタックド・ペア・ラインでは信号線から接地線もしくは差動信号線に向かう電界の広がりが小さく、隣接配線の影響を受け難い。

従って、スタックド・ペア・ラインの方がクロストーク低減に適した配線構造と言える。

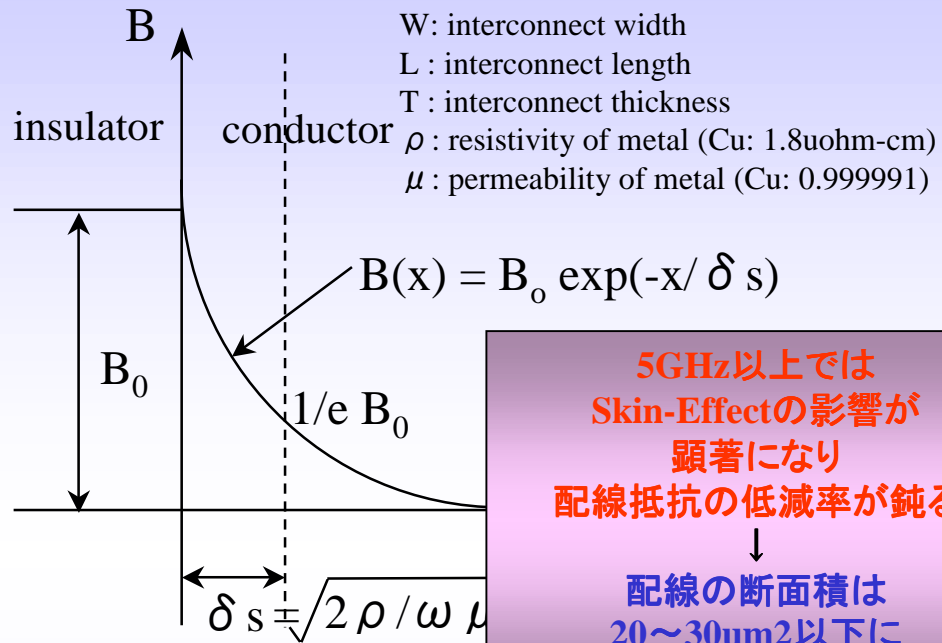
MIM積層膜を用いたスタックド・ペア・ライン形成プロセス



各種絶縁材料における誘電損失の違い



表皮効果による配線抵抗増大と逆スケーリングの限界

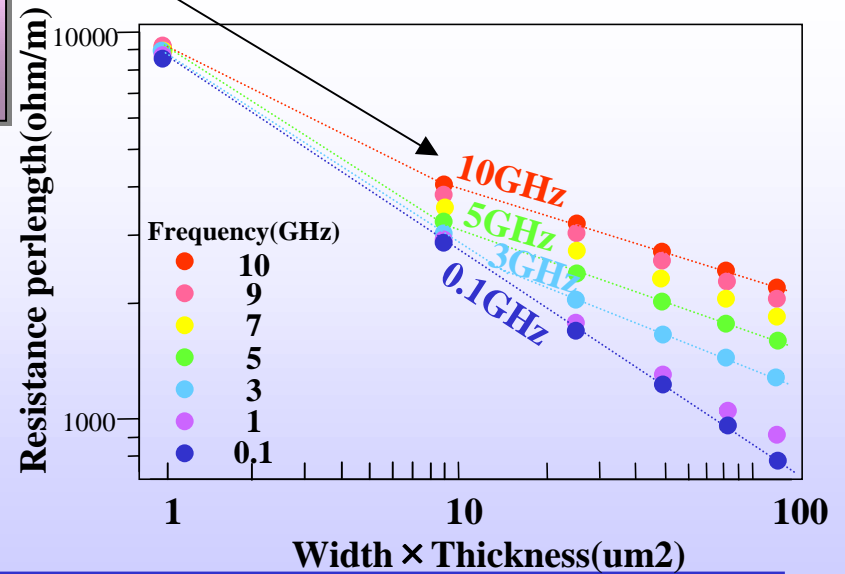
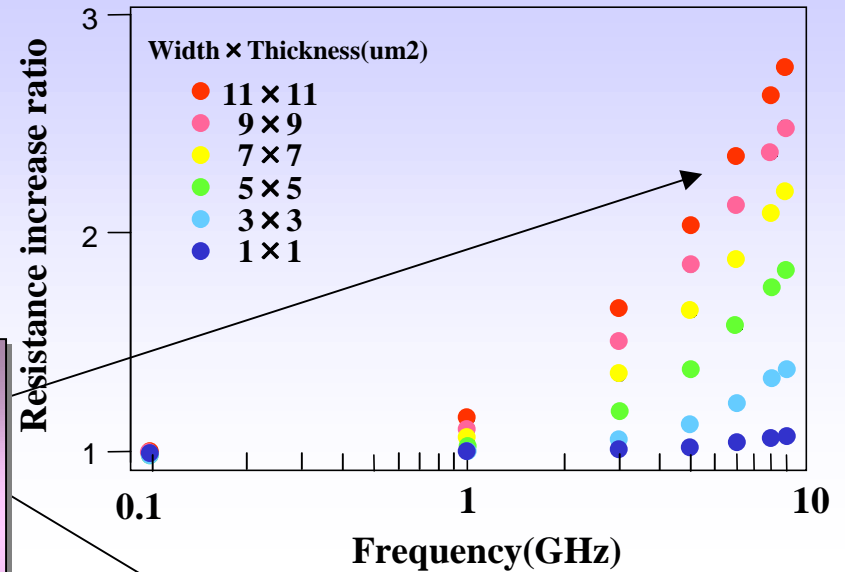


5GHz以上では
 Skin-Effectの影響が
 顕著になり
 配線抵抗の低減率が鈍る
 ↓
 配線の断面積は
 20~30um²以下に
 抑制することが望ましい

$$I(\omega) = i_0 \int_0^T \exp(-x/\delta s) dx$$

$$= (W/L) \sqrt{2/\mu \omega \rho} (1 - \exp(-T/\delta s))$$

$$R(\omega) = V / [(W/L) \sqrt{2/\mu \omega \rho} (1 - \exp(-T/\delta s))]$$



各世代でのGlobal配線ターゲット仕様 (Version-2)

最速クロックラインの伝播特性(表皮効果)を鑑み、配線断面積を縮小化



Tech. Node(nm)	130	90	65	45	32
・配線層数(層)	1	1	3	4	5
・配線ピッチ(um)	1.5	2	5	6	8
・配線膜厚(um)	1.7	2.2	5.5	6.6	8.8
・Viaサイズ(um)	0.55	0.6	1.5	2.0	2.5
・Via深さ(um)	1.3	1.4	3.6	4.8	6.0
・Via／配線余裕(um)	0.1	0.2	0.5	0.5	0.75
・Via个数(個)	7E4	1E5	7E4	5E4	4E4
・配線比抵抗(ρ_{eff})	2.2	2.2	2.2	2.2	2.2
・層間膜比誘電率(k_{eff})	3.7	3.0	2.5	2.0	1.9

現状のSoCで対応可能

Work-In-Progress, Don't Publish

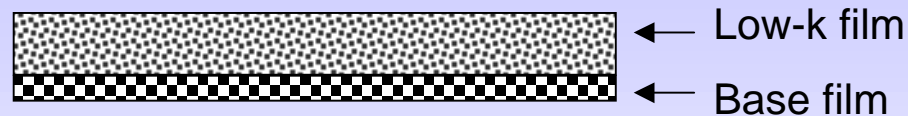
On-Chip 高速伝送Global配線要素技術ロードマップ

Node(nm)	130	90	65	45	32	Merit / Demerit	Cost (従来のCu-DDとの比較)
Pitch(μm)	1.5	2	5	6	8		
Num. of Layers	1	1	3	4	5		
Via-size(μm)	0.55	0.6	1.5	2.0	2.5		
Num. of Vias	7E4	1E5	7E4	5E4	4E4		
Cu-Damascene (ILD-Depo./RIE) ECD-Cu CMP Low-k ILD	現状で対応可能	D/R,E/R: $\geq \times 3$		$\geq \times 4$	$\geq \times 5$	D:高速D/R、高速E/R必須 D:高速D/R、Hump低減必須 D:高速P/R、低荷重Erosion-less必須 D:機械的強度弱	高速化達成で並 (×2.4 ~ ×5.4 @改善なし)
	現状で対応可能	D/R,E/R: $\geq \times 3$		$\geq \times 4$	$\geq \times 5$		
	現状で対応可能	P/R: $\geq \times 3$		$\geq \times 4$	$\geq \times 5$		
	SiOF(k=3.5)	MSQ or PAE(k=2.5-3.0)	Porous-Material(k=2-2.2)	Porous or Air-gap(k<2)			
Semi-additive or/and STP		微細配線形成技術の加速必要			対応可能	M:厚膜で精度良 D:絶縁膜平坦化要 M:厚膜化容易 M:絶縁膜平坦化不要	低 (×0.67) 極低 (×0.3)
		対応可能(既に8インチで試作可能)					
Printing				インクジェット法 (他に3P法、電子写真型コピー法など) (補助パターン利用で5μm可)		M:マスク不要 D:微細化難 D:信頼性確保難	低?

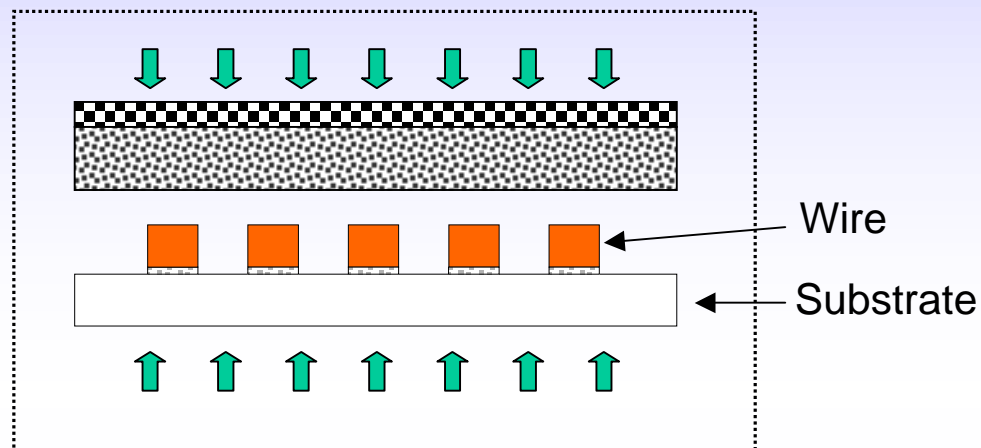
Work-In-Progress, Don't Publish

STP (Spin coating film Transfer and hot-Pressing)技術の概要

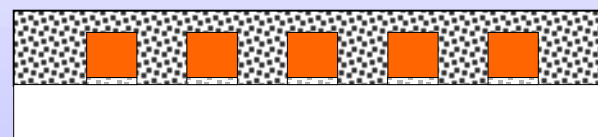
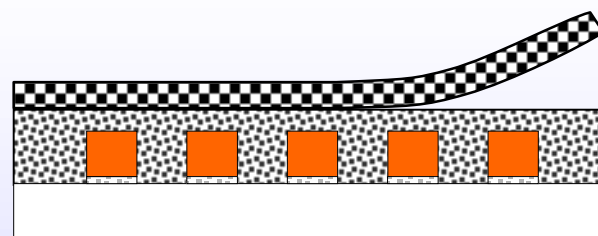
(a) Spin Coating



(b) Heating and Pressing in Vacuum



(C) Peeling Off



ASET 獅子口氏作成
他の目的で使用しないでください。

Work-In-Progress, Don't Publish

印刷技術を用いたGlobal配線形成方法

from 日経産業、化学工業日報

(1) インクジェットプリンター技術の応用

- ・水溶性導電性ポリマーをインクとして用いて基板上に点状に打ち出す
- ・スルーホールはエッチング液と導電性ポリマーで置き換える
- ・銅でも10 μ レベルの配線形成可能

(2) 3P(プレジジョン・パターン・プリンティング)技術

- ・オフセット印刷と異なり固形化したインキを版から直接基板に「転写」する
- ・3 μ のパターン加工も可能
- ・シリコン、Alなど5層膜をすべて印刷法でパターン化

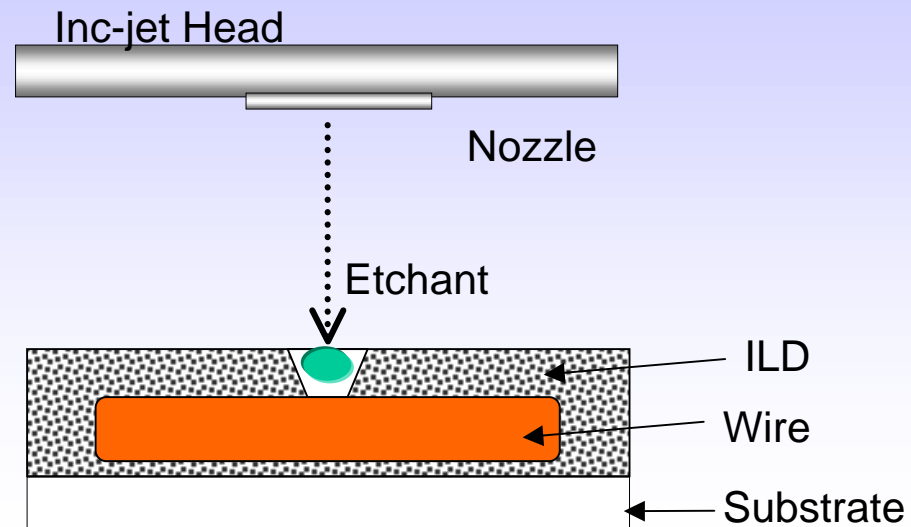
(3) コピー機を使用したセラミック基板への電子写真技術

- ・銀-Pdをスチレン-アクリル系樹脂で覆ったものをトナーとして使用
- ・焼成してセラミックとする前のグリーンシートにパターンを印刷
- ・焼成(高温の熱処理)時に樹脂分を分解して配線を形成
- ・従来のスクリーン印刷と異なりパターン原図を描いたマスクが不要

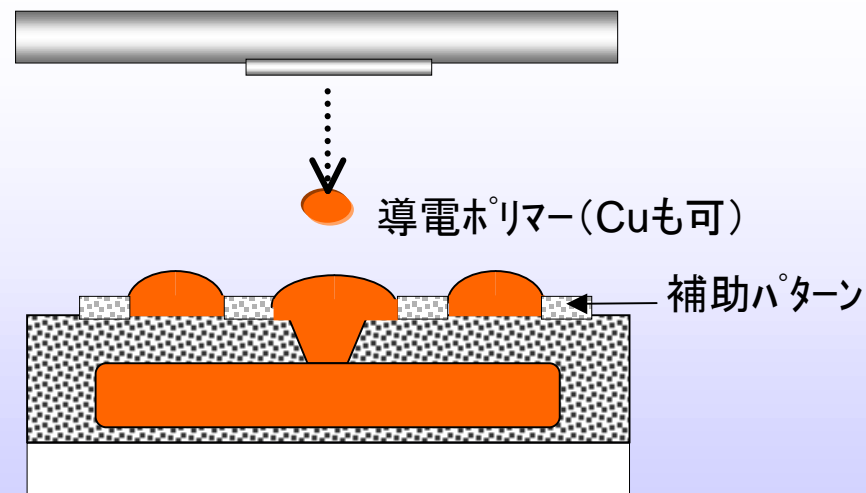
Work-In-Progress, Don't Publish

インクジェットプリンター利用Global配線形成プロセスの概要

(a) Via Hole Etching



(b) Metal Deposition



セイコーエプソンの発表をもとに日野出作成
他の目的で使用しないでください。

Work-In-Progress, Don't Publish

On-Chip 高速伝送Global配線要素技術ロードマップ

Node(nm)	130	90	65	45	32	Merit / Demerit	Cost (従来のCu-DDとの比較)
Pitch(μm)	1.5	2	5	6	8		
Num. of Layers	1	1	3	4	5		
Via-size(μm)	0.55	0.6	1.5	2.0	2.5		
Num. of Vias	7E4	1E5	7E4	5E4	4E4		
Cu-Damascene (ILD-Depo./RIE) ECD-Cu CMP Low-k ILD	現状で対応可能	D/R,E/R: $\geq \times 3$		$\geq \times 4$	$\geq \times 5$	D:高速D/R、高速E/R必須 D:高速D/R、Hump低減必須 D:高速P/R、低荷重Erosion-less必須 D:機械的強度弱	高速化達成で並 (×2.4 ~ ×5.4 @改善なし)
	現状で対応可能	D/R,E/R: $\geq \times 3$		$\geq \times 4$	$\geq \times 5$		
	現状で対応可能	P/R: $\geq \times 3$		$\geq \times 4$	$\geq \times 5$		
	SiOF(k=3.5)	MSQ or PAE(k=2.5-3.0)	Porous-Material(k=2-2.2)	Porous or Air-gap(k<2)			
Semi-additive or/and STP		微細配線形成技術の加速必要			対応可能	M:厚膜で精度良 D:絶縁膜平坦化要 M:厚膜化容易 M:絶縁膜平坦化不要	低 (×0.67) 極低 (×0.3)
		対応可能(既に8インチで試作可能)					
Printing				インクジェット法 (他に3P法、電子写真型コピー法など) (補助パターン利用で5μm可)		M:マスク不要 D:微細化難 D:信頼性確保難	低?

Work-In-Progress, Don't Publish

各世代でのGlobal配線ターゲット仕様 (Version-3)

実装技術がCatch-up可能な様に配線Pitch/膜厚、Viaサイズ/深さを緩和
(但し、配線断面積は一定)

Tech. Node(nm)	130	90	65	45	32
・配線層数(層)	1	1	3	6	7
・配線ピッチ(um)	1.5	2	5	10	13
・配線膜厚(um)	1.7	2.2	5.5	4.0	5.2
・Viaサイズ(um)	0.55	0.6	1.5	3.0	4.5
・Via深さ(um)	1.3	1.4	3.6	3.0	4.5
・Via／配線余裕(um)	0.1	0.2	0.5	1.0	1.0
・Via个数(個)	7E4	1E5	7E4	5E4	4E4
・配線比抵抗(ρ_{eff})	2.2	2.2	2.2	2.2	2.2
・層間膜比誘電率(k_{eff})	3.7	3.0	2.5	2.0	1.9

現状のSoCで対応

SiPで対応

Work-In-Progress, Don't Publish

Global配線基板とChipとの接合に必要な要素技術

(1) 接合技術

- 非メタリジカルな接合方法
 - ・異方導電性樹脂を使用
 - ・導電ペーストを使用
- メタリジカルな接合方法
 - ・固相での接合
 - ・液相を使った接合
 - ・常温接合

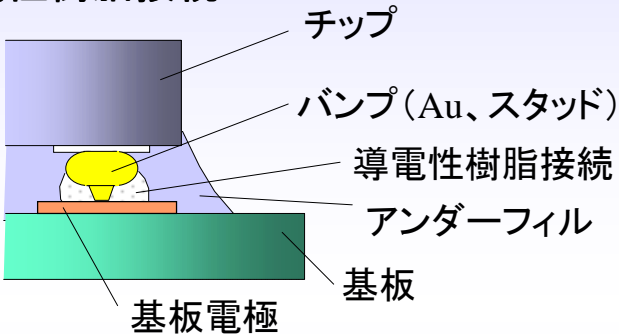
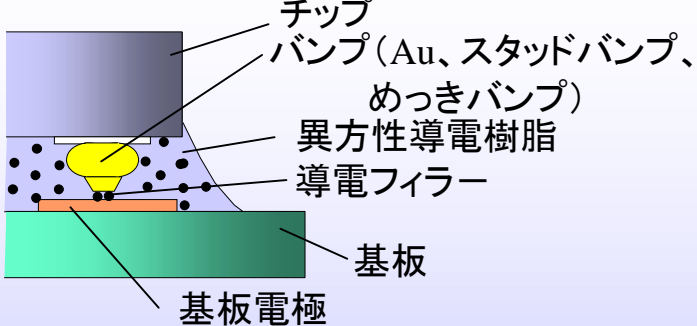
(2) 微細バンプ形成技術

(3) 基板技術

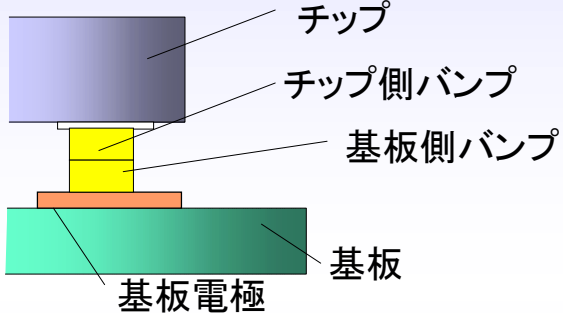
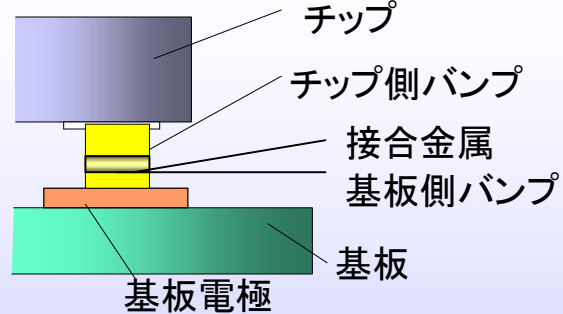
- 微細配線の形成技術
- 微細Viaの形成技術

(4) 装置技術

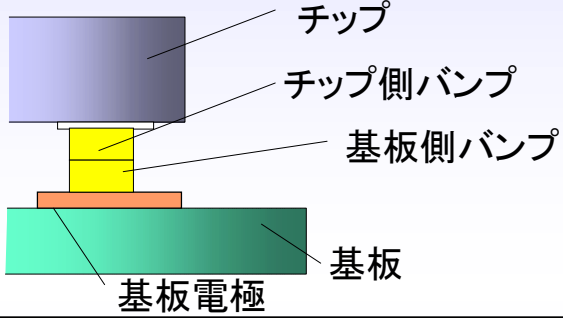
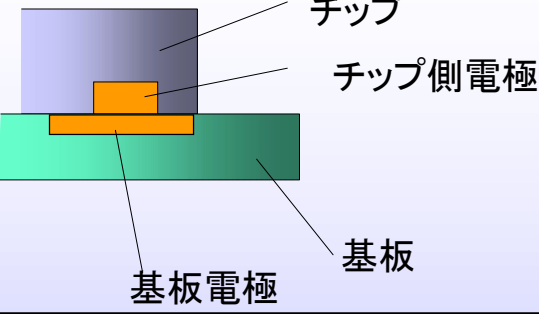
接合技術・・・非メタラジカルな接合方法

方式と構造	微細接続の課題
<p data-bbox="331 443 633 491">導電性樹脂接続</p>  <p data-bbox="712 491 813 531">チップ</p> <p data-bbox="712 571 1030 611">バンプ(Au、スタッド)</p> <p data-bbox="768 635 1030 675">導電性樹脂接続</p> <p data-bbox="768 691 1003 730">アンダーフィル</p> <p data-bbox="757 754 835 794">基板</p> <p data-bbox="544 786 701 826">基板電極</p>	<ul data-bbox="1283 451 1697 563" style="list-style-type: none">■ 微細バンプ形成■ 導電樹脂の拡がり
<p data-bbox="331 842 712 890">異方導電性樹脂接続</p>  <p data-bbox="712 885 813 925">チップ</p> <p data-bbox="712 925 1137 965">バンプ(Au、スタッドバンプ、めっきバンプ)</p> <p data-bbox="734 1005 1003 1045">異方性導電樹脂</p> <p data-bbox="734 1053 936 1093">導電フィラー</p> <p data-bbox="790 1125 869 1165">基板</p> <p data-bbox="622 1173 779 1212">基板電極</p>	<ul data-bbox="1283 861 1877 1085" style="list-style-type: none">■ 微細バンプ形成■ 導電フィラーの微細化■ 接続部の導電フィラー数の減少

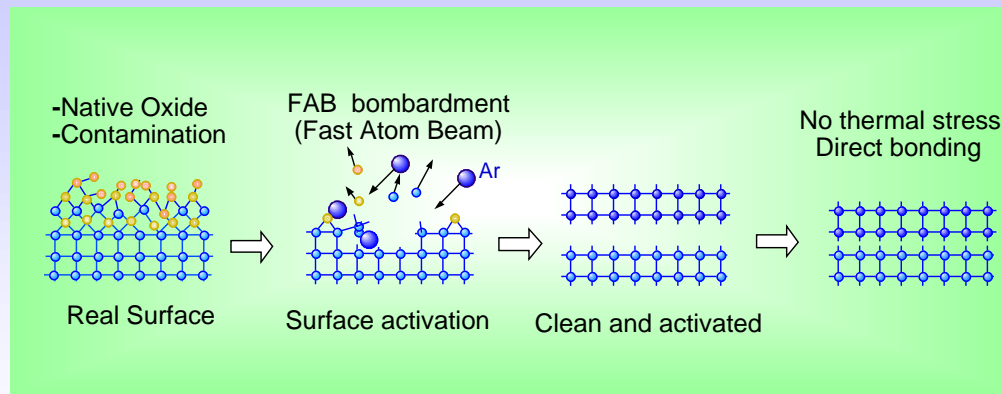
接合技術・・・メタリジカルな接合方法(1)

方式と構造	微細接続の課題
<p data-bbox="331 443 1191 491">固相の金属での接合(熱圧着、超音波併用、等)</p>  <p>The diagram shows a cross-section of a chip (チップ) on a substrate (基板). A chip-side bump (チップ側バンプ) is formed on the chip, and a substrate-side bump (基板側バンプ) is formed on the substrate. The substrate has a substrate electrode (基板電極). Labels with leader lines point to: チップ (Chip), チップ側バンプ (Chip-side bump), 基板側バンプ (Substrate-side bump), 基板電極 (Substrate electrode), and 基板 (Substrate).</p>	<p data-bbox="1279 451 1792 555">■ 接合時のバンプつぶれによる広がり</p>
<p data-bbox="331 834 676 882">液相での金属接合</p>  <p>The diagram shows a cross-section of a chip (チップ) on a substrate (基板). A chip-side bump (チップ側バンプ) is formed on the chip. A bonding metal (接合金属) is applied between the chip-side bump and the substrate-side bump (基板側バンプ) on the substrate. The substrate has a substrate electrode (基板電極). Labels with leader lines point to: チップ (Chip), チップ側バンプ (Chip-side bump), 接合金属 (Bonding metal), 基板側バンプ (Substrate-side bump), 基板電極 (Substrate electrode), and 基板 (Substrate).</p>	<p data-bbox="1279 858 1771 962">■ バンプ材料の選択 (Cu, Au, Sn, In, 等)</p>

接合技術・・・メタリジカルな接合方法(2)

方式と構造	微細接続の課題
<p>常温接合：バンプ接合</p> 	<ul style="list-style-type: none"> ■ 真空プロセス必要 プラズマ、イオン、原子ビームによる表面活性化。金、銅では窒素雰囲気、大気圧の接合も可能 ■ 平坦化なバンプ表面必要 平坦化めっき
<p>常温接合：バンプレスインターコネクト</p> 	<ul style="list-style-type: none"> ■ 真空プロセス必要 プラズマ、イオン、原子ビームによる表面活性化。金、銅では窒素雰囲気、大気圧の接合も可能 ■ 平坦化な表面必要 平坦化にはCMP、平坦化めっき

常温接合技術の概要



利点

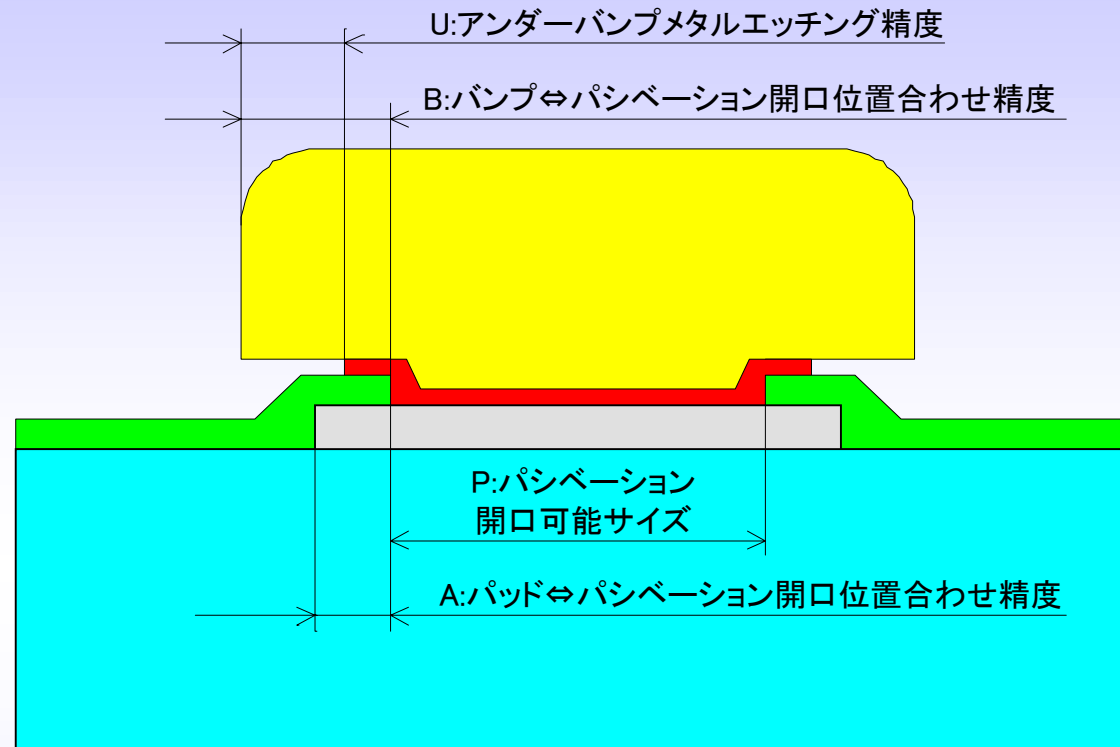
- ほとんどの材料で接合可能：金、銅、アルミ、はんだ、ポリマー、シリコン・化合物半導体、ガラス、セラミックス等と金属
 - ただし、ガラス同士、セラミックス同士などは、強度小さい
 - 強度は材料間の反応性、接合雰囲気、温度などに依存する
- 常温ないしは低温での接合が可能
 - 必ずしも常温の必要はない（動作温度での接合も可能）
 - 密着性を高めたり拡散を促進するために加熱は有効
- 界面にマクロな反応層、拡散層ができない
 - 接合の微細化に限界はない（現在、 $3\mu\text{m}$ を検証中）
 - 信頼性高い（同種材料では劣化の原因ない）
- 高精度の接合が可能：パッシブアラインメント
- 低加圧での接合可能
 - ただし、平坦な表面でのみ
- バンプレス・インターコネクト：スーパーコネクト領域の配線領域一括接合

欠点

- 真空プロセス必要
 - プラズマ、イオン、原子ビームによる表面活性化プロセス 真空が必要
 - 真空条件は材料の組み合わせによる。金、銅では窒素雰囲気、大気圧の接合も可能
- 平坦化な表面必要
 - 表面粗さ 10nm レベルなら低加圧ないしは無加圧での接合可能
 - 平坦化にはCMP、平坦化めっき
 - 平坦でない場合は、加圧ないしは加熱必要
- マクロな密着必要
 - うねりのため密着できない場合は、加圧ないしは加熱必要

Work-In-Progress, Don't Publish

微細バンプの形成技術・・・めっきバンプの断面構造



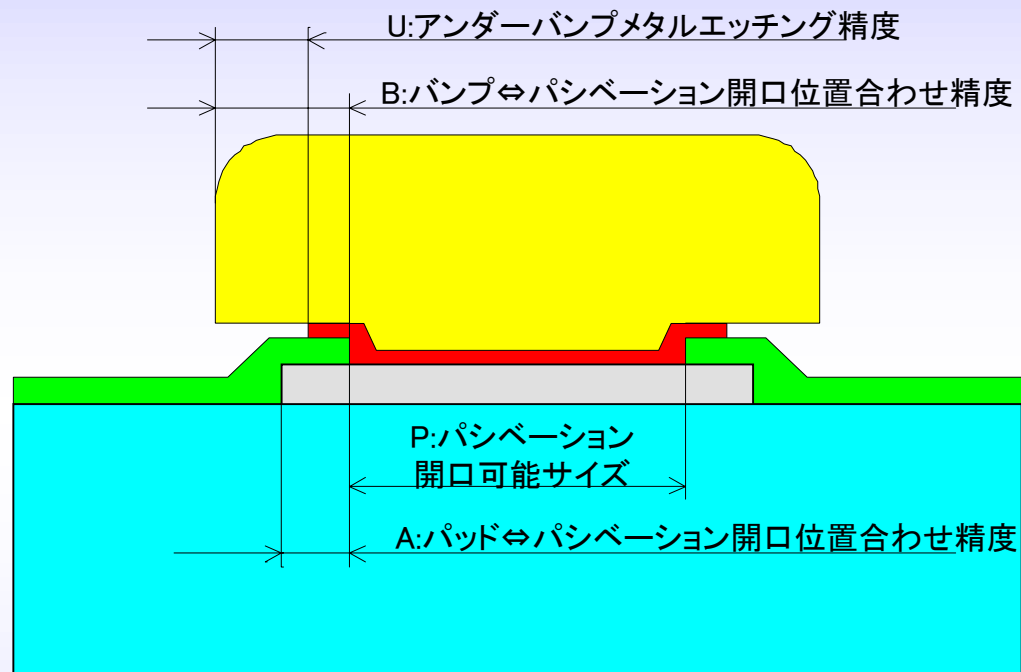
最小のバンプサイズ
(パシベーション開口を基準に位置合わせする場合)

$$P + 2 \times (U + B) + \alpha \quad \alpha \text{ は位置合わせ余裕}$$

(パッド = 1stの位置合わせマークを基準に位置合わせする場合)

$$P + 2 \times (A + U + B) + \beta \quad \beta \text{ は位置合わせ余裕}$$

微細バンプの形成技術・・・めっきバンプの微細化



U: 現行オーバエッチ量
 $3\mu\text{m} \rightarrow 0\mu\text{m}$
手段: UBMをドライエッチ
もしくはUBMを2回露光

B: 現行ずれ $2\mu\text{m} \rightarrow 0.5\mu\text{m}$
手段: パシベーション開口を現行
パシベーション並のアライナー使用

さらに ずれ $0.5\mu\text{m} \rightarrow 0\mu\text{m}$
手段: パシベーション開口を
前半工程並のアライナー使用

A: 現行ずれ $0.5\mu\text{m} \rightarrow 0\mu\text{m}$
手段: パシベーション開口を
前半工程並のアライナー使用

接合・バンプ技術のロードマップ

WG7 ターゲット	2001	2004	2007	2010	
接合ピッチ	40~30 μm	~25 μm	~20 μm	~10 μm	~5 μm
接合方法					
非メタラジカル	ACF				
		SBB			
メタラジカル					
		超音波をエネルギーとした接合			
			金属熔融接合		
			常温接合		
バンプ(μm)					
P: パシベーション開口	10	5	5	5	3
A: Al⇔パシベーション精度	0.5	0	0	0	0
B: パシベーション⇔バンプ精度	2	2	0.5	0.5	0
U: UBMオーバーエッチ量	3	3	3	0	0
M: 最小バンプサイズ(※1)	21	15	12	6	3
h: 最大バンプ高さ(※2)	21	15	12	6	3
p: ピッチ(※3)	35	25	20	10	5
対策		△パシベーションを前半並のアライナー使用			
			△バンプをパシベーション並のアライナー使用		
				△UBMをドライエッチないしUBMを2回露光	
				△バンプを前半並のアライナー使用	

接合技術としては
基板接合要求ピッチに
十分見合う

※1: $M = P + 2.0 \times (A + B + U)$

※2: $h = M$ (アスペクト比=1)

※3: $p = M / 0.6$

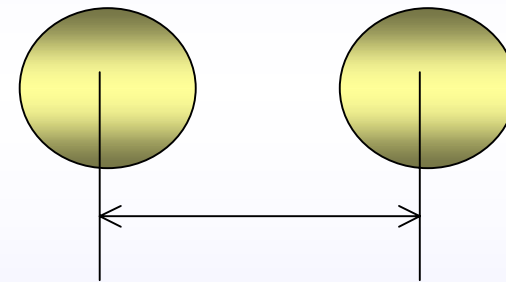
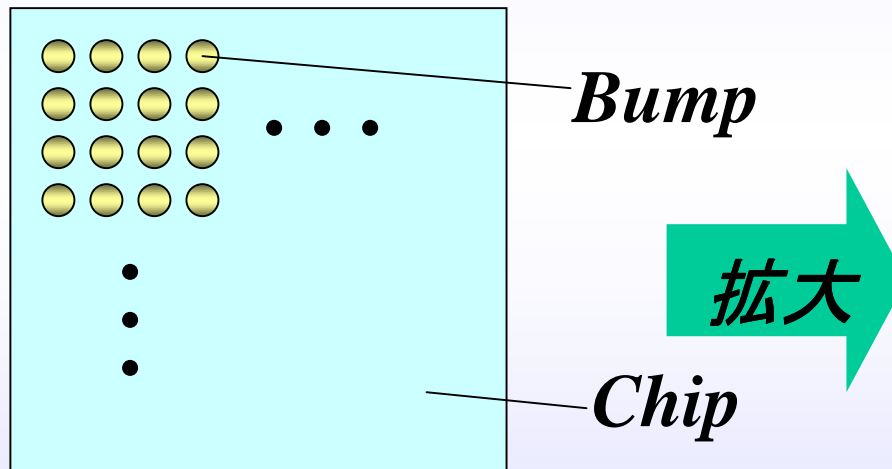
Work-In-Progress, Don't Publish

接合ターゲット仕様の実際

Teck.Node 45nm (2010年)

Chip Size 310mm²

Via 個数 5E4



Bump-Bump 間

PITCH 78 μ m

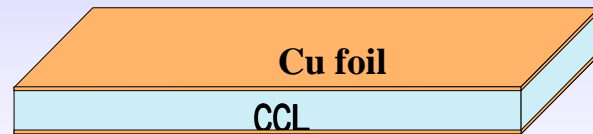
Pitchは大きくなり

接合は可能

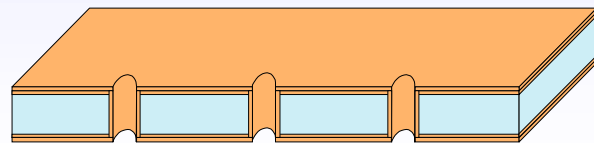
Chip 及び基板上にBumpを
エリア上に均等配置する

基板技術・・・配線・Via形成技術(1)

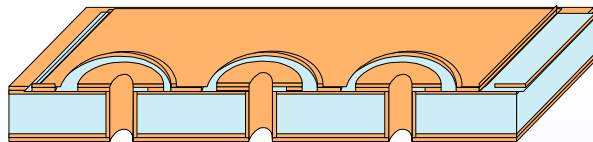
現行の基板作成技術



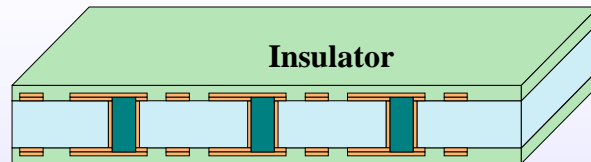
Core Material (銅貼積層版)



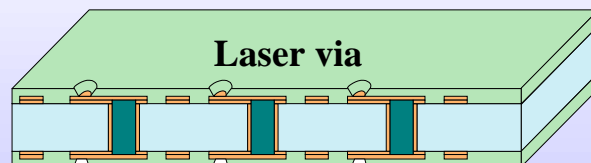
PTH(Plated Through Hole)
Drilling/Plating



Patterning
(Subtractive process)



1st BU layer lamination



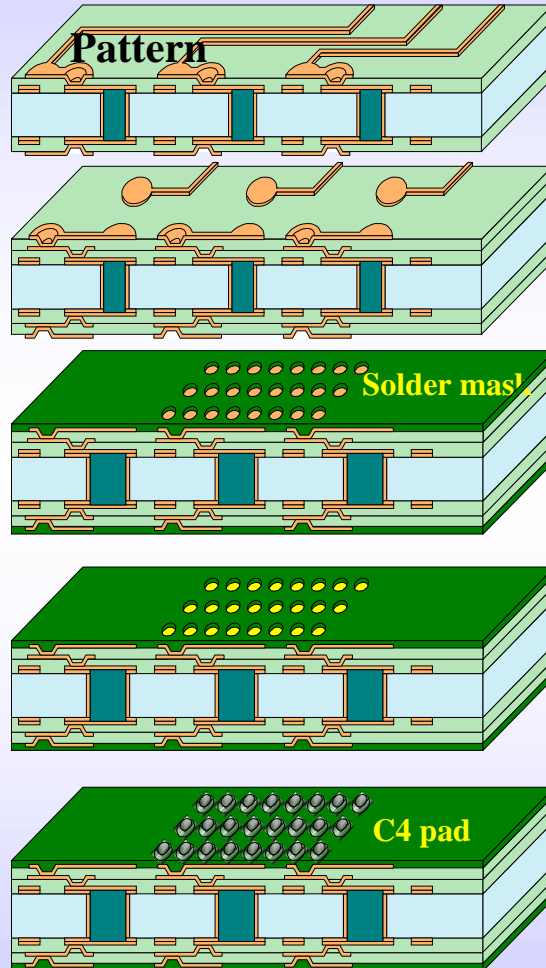
Laser drilling
on 1st BU layer

Source: Shinko Electric Industries Co., Ltd.

Work-In-Progress, Don't Publish

基板技術・・・配線・Via形成技術(2)

現行の基板作成技術



Plating and patterning
on 1st BU layer

2nd BU layer lamination
Plating and patterning
on 2nd BU layer

Solder resist formation

Ni/Au plating on FC pad

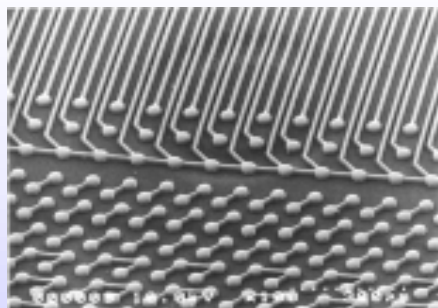
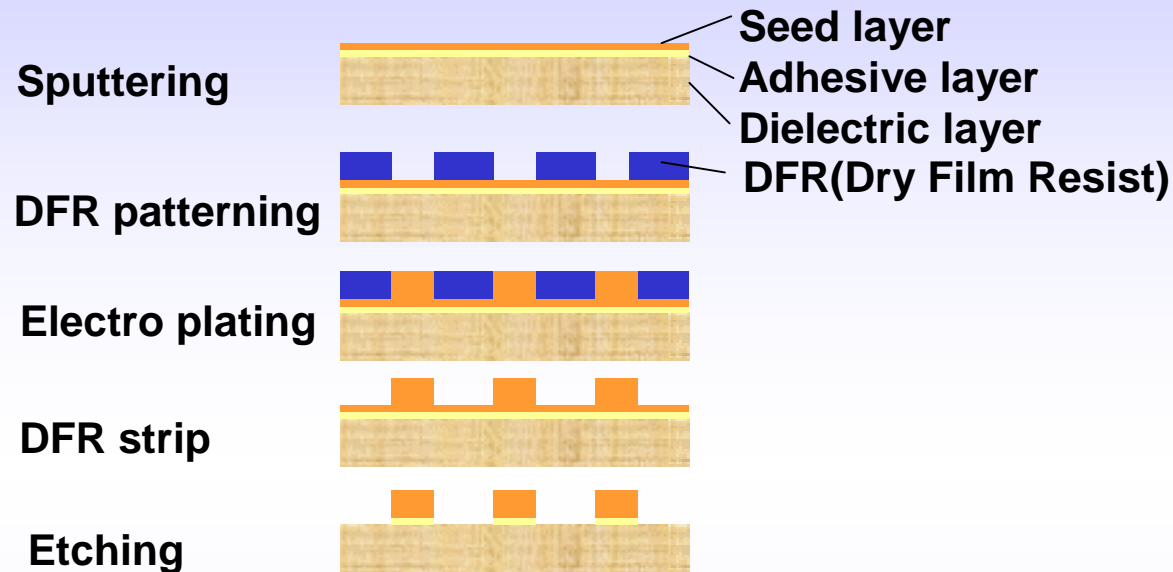
Pre-solder coat on FC pad

Source: Shinko Electric Industries Co., Ltd.

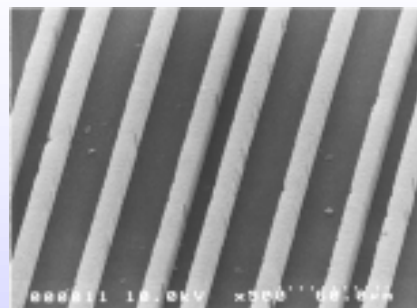
Work-In-Progress, Don't Publish

基板技術・・・微細配線形成技術

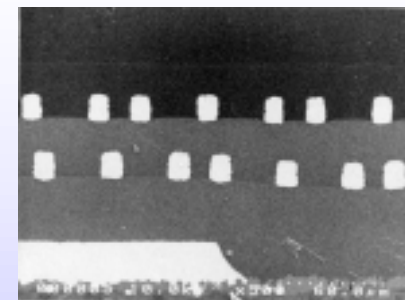
Fine line Patterning by Sputtering



Top view
L/S=12/12um (min)



Top view
L/S=12/12um (min)



Crosse section
L/S=12/12um (min)

Source: Shinko Electric Industries Co., Ltd.

Work-In-Progress, Don't Publish

基板技術・・・微細配線形成技術のロードマップ

Min. Line & Space Trends

Unit: μm

Item		2000	2003	2005	2010
Tape	Line	20	15	7	5
	Space	20	14	10	10
Rigid	Line	40	20	10	5
	Space	40	20	10	5
Buildup	Line	25	18	10	5
	Space	25	18	10	5
Ceramics	Line	50	30	25	15
	Space	50	30	25	15

別基板でのGlobal配線の
ピッチの値に見合う

Source: 2001 Japan PWB Technical Trends Report, Japan Jisso Technology Roadmap Council, JEITA

Work-In-Progress, Don't Publish

基板技術・・・微細Via形成技術のロードマップ

Min. Hole Diameter

Unit: μm

Item		2000	2003	2005	2010
Tape	Double	100	40	25	10
Rigid	Double	80	30	30	10
	Multi IVH	80	30	30	10
Buildup	PTH Laser	80	30	30	10
	IVH Laser	50			10
	IVH Photo	80			0

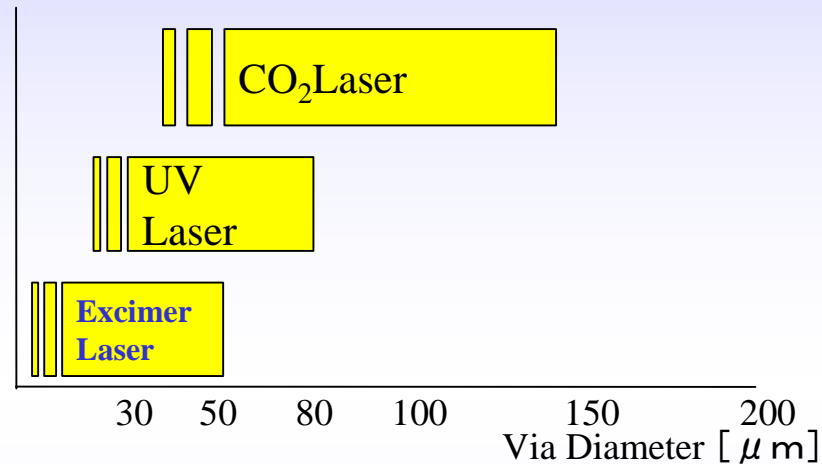
別基板でのGlobal配線の
Via径の値に見合わない
→技術開発が望まれる

Source: 2001 Japan PWB Technical Trends Report, Japan Jisso Technology Roadmap Council, JEITA

Work-In-Progress, Don't Publish

基板技術・・・微細Via形成技術

Laser Drilling for Via formation



	Wave length	Via shape	Smear	Etching rate	Min. via diameter
CO2 Laser	10.6um	Good		10.0~50.0 μ m	50um
UV Laser	351~355nm	Very good	Good	0.1~10.0 μ m	10um
Excimer Laser	248nm	Very good	Good	0.1~1.0 μ m	5um

それでも、5 μ mまで、3 μ は困難？

Work-In-Progress, Don't Publish

Si配線プロセスを用いた微細Via形成技術

<何世代か前のSi配線プロセス技術を使用する>

リソ :g線(i線)を用いた縮小露光投影装置

配線材料:AICu及びBM(Ti、TiN)のマグネトロンスパッタで
積層膜を成膜

加工 :Cl系ガスを用いたRIE(Reactive Ion Etching)或いは
CDE(Chemical Dry Etching)

層間膜 :プラズマCVD法を用いたSiO₂成膜装置 or SOG
塗布(中塗り方式)

平坦化 :レジスト塗布後の全面エッチバック or CMP

Via加工 :CF系ガスを用いたRIE装置(0.25-0.3u径で
アスペクト3程度までは可能)

レジスト除去:O₂-Ashing装置

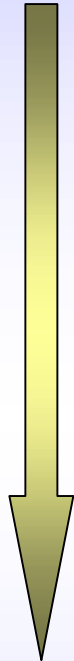
→基板自体も今後Siを検討する必要がある？

装置技術・・・位置合わせ精度(1)

78 μm ピッチ接合 = 40 μm □と50 μm □の bumps 接合を想定

⇒位置精度 $\pm 5 \mu\text{m}$

現行でも問題なし



2010年 Tech. Node. 45 μm

・配線ピッチは10 μm

・接合技術も10 μm ピッチがターゲット

とすると

10 μm ピッチ接合 = 6 μm □と7 μm □の bumps 接合を想定

⇒位置精度 $\pm 0.5 \mu\text{m}$

現行では不可能

装置技術・・・位置合わせ精度(2)

<10 μ m-pitch $\pm 0.5 \mu$ mの位置精度実現のための課題>

1. 熱の影響による課題

- 1) ICチップ／ウエハの反りによる位置補正精度低下及びボンディング時の位置ずれ
- 2) ウエハ加熱時温度分布のむらによる熱膨張差からくる位置補正精度低下及びボンディング時の位置ずれ

2. 高荷重接合による課題

- 1) ウエハとウエハの高荷重接合時のツール／ステージの傾き

3. 高精度接合に対する課題

- 1) ツールまたはステージの位置決めの高分解能機構
- 2) 量産ラインにおける接合後の接合位置精度の確認方法の確立

Global 配線基板とChipとの接合ロードマップ(1)

基板—チップの接合バンプをエリア状に均等配置した場合

Node(nm)	130	90	65	45	32	備考	
Pitch(μ m)	1.5	2	5	10	13		
Num. of Layers	1	1	3	6	7		
Via-size(μ m)	0.55	0.6	1.5	3.0	4.5		
Num. of Vias	7E4	1E5	7E4	5E4	4E4		
接合Pitch(μ m)	66	55	66	78	88		
接合技術						・接合ピッチの値は どちらの接合方法 でも可能	接合 方法 ・ 基板 材料 ・ 装置 条件 の 組合せ での 検討 必要
非メタラジカル	対応可能			対応可能			
メタラジカル	対応可能			対応可能			
バンプ技術	対応可能			対応可能		・接合ピッチに 対する形成可能	
基板技術						・配線では、スパッタ 、セミアディティブ、 ・Viaでは、 前工程プロセス等の 技術導入が必要	
配線	対応不可能			新技術の導入で対応可能	新技術の導入で対応可能		
Via	対応不可能			現行のままでは不可能	新技術の導入で対応可能		
装置	対応可能			対応可能	対応可能	・位置合わせ精度は 問題なし	

Work-In-Progress, Don't Publish

Global 配線基板とChipとの接合ロードマップ(2)

基板-チップの接合部ピッチがチップ配線ピッチと同じ(45 μ mNodeで10 μ mピッチ)の場合

Node(nm)	130	90	65	45	32	備考
Pitch(μ m)	1.5	2	5	10	13	
Num. of Layers	1	1	3	6	7	
Via-size(μ m)	0.55	0.6	1.5	3.0	4.5	
Num. of Vias	7E4	1E5	7E4	5E4	4E4	
接合Pitch(μ m)	1.5	2	5	10	13	
接合技術 非メタラジカル						・メタラジカルな接合方法が必要
	対応不可能			対応不可能		
メタラジカル						・2010に接合ピッチに対する形成可能
	対応不可能			対応可能		
バンプ技術						・配線では、スパッタ、セミアディティブ、 ・Viaでは、前工程プロセス等の技術導入が必要
	対応不可能			対応可能		
基板技術 配線						・高精度位置合わせ技術必須 ・熱・荷重によるズレ対策必要
	対応不可能			新技術の導入で対応可能	新技術の導入で対応可能	
	対応不可能			現行のままでは不可能	新技術の導入で対応可能	
Via						
	対応不可能					
装置						
	対応不可能			対応不可能	対応不可能	

接合方法
・基板材料
・装置条件の組合せでの検討必要

Work-In-Progress, Don't Publish

本クロスカットSWG活動の成果まとめと課題

① ハイエンドSoCのターゲット仕様を満足するためのGlobal配線の最適構造パラメータ(Pitch、膜厚、層数、Viaサイズ・規模)を提案

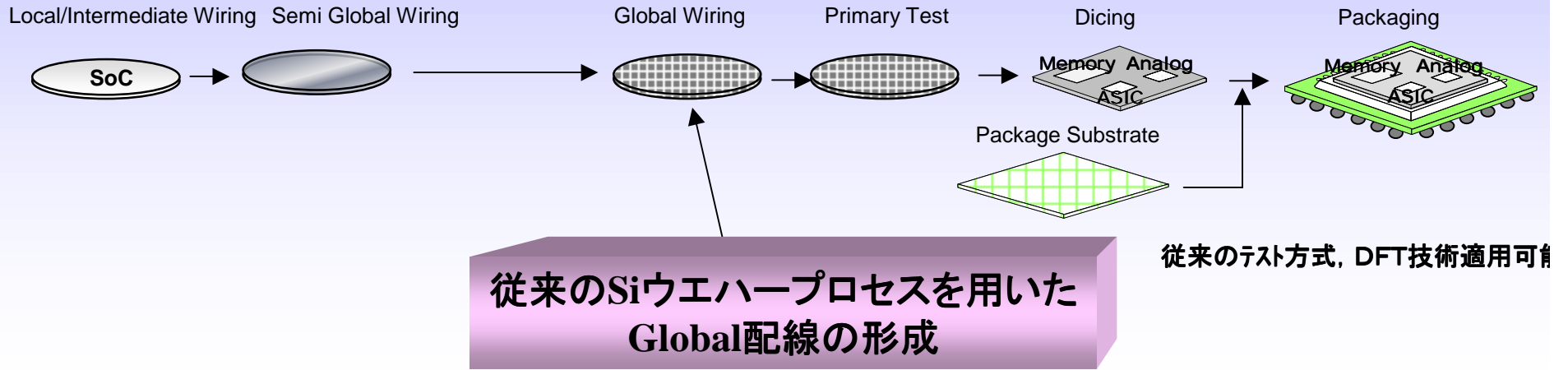
② Global配線形成のための有力構造候補を絞り込み(On-Chip逆スケーリング厚膜配線構造、別基板への作り込みと貼り付け構造)

③ 要素技術の洗い出しとロードマップの策定(厚膜Cu-DD配線のためのCuめっき・CMP高速化、微細実装(基板・接合・配線)技術、印刷、転写)

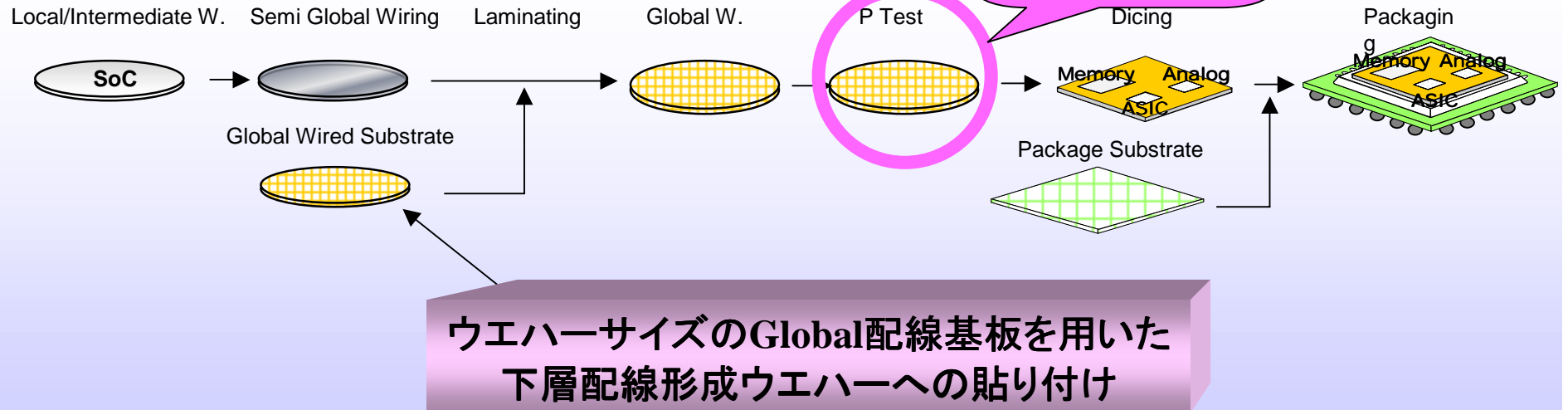
④ Global配線を形成した別基板へのChip貼り付けを想定すると、ウエハー/PKGレベルでのテストのタイミングや方式について検討する必要がある(WG2から問題提起と提案予定)

Global配線仕様に基づくプロセスアプローチ(1)

[1] Ordinal SoC wiring Process (SoC in Single Chip Package)

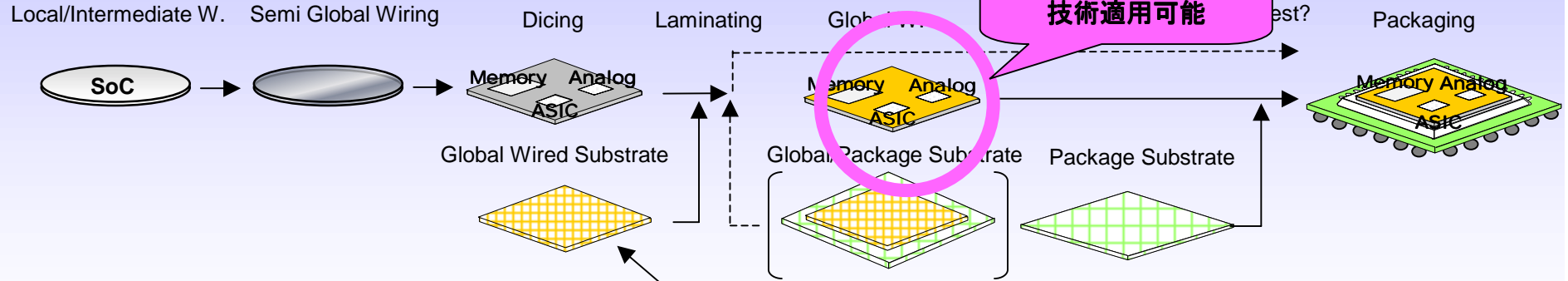


[2] Laminated Global wiring at Wafer level (SoC in Single Chip Package)



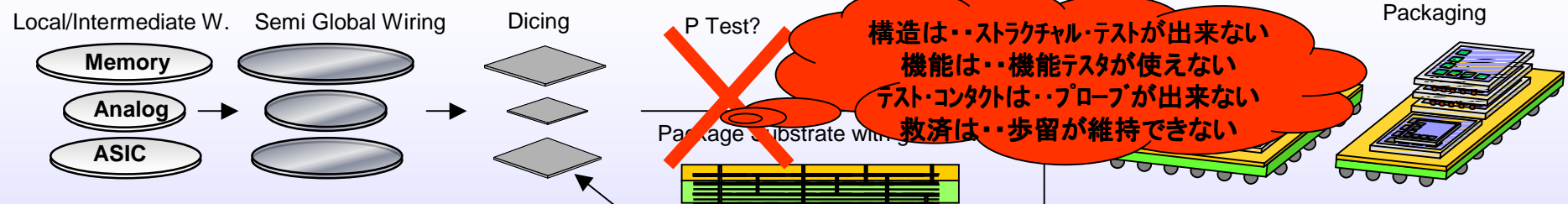
Global配線仕様に基くプロセスアプローチ(2)

[3] Laminated Global wiring at Chip level (SoC in Single Chip Package)



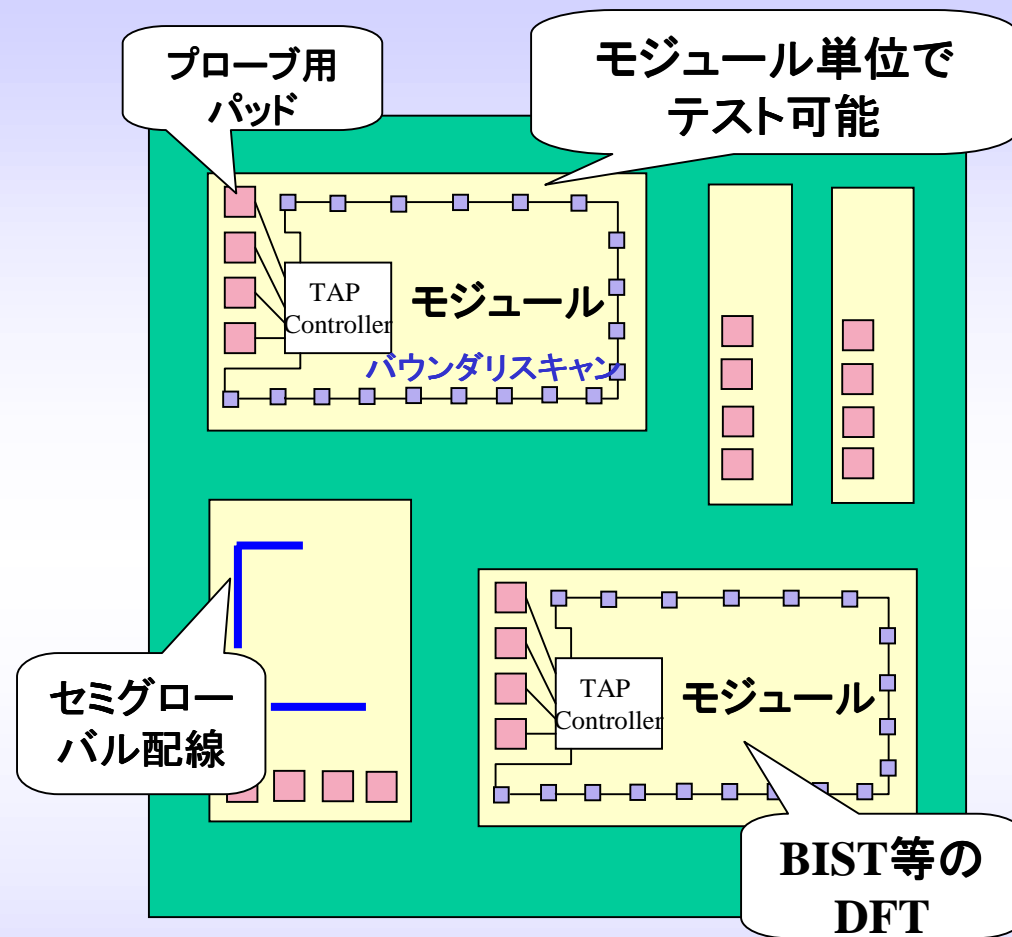
ChipサイズのGlobal配線基板を用いた
SoCチップの貼り付け

[4] Chip Assembly on Package Substrate with Global wired (SiP: System-in-a-Package)



PKGサイズのGlobal配線基板を用いた
IPモジュールチップの貼り付け(SiP)

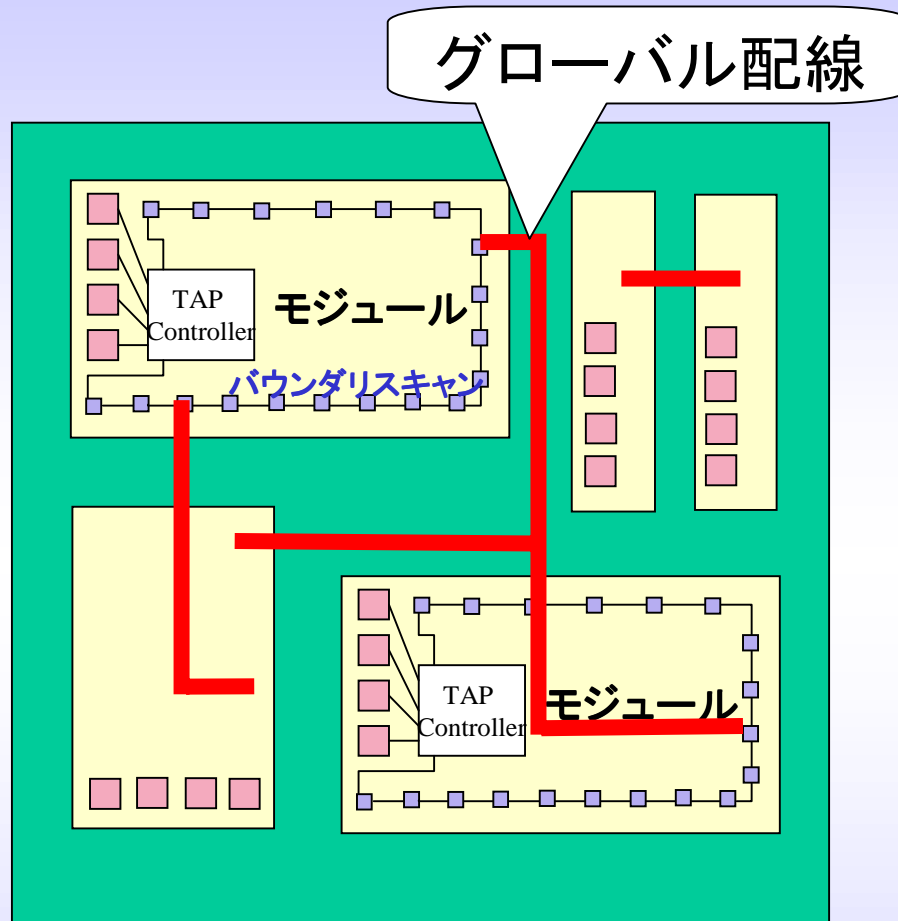
Global配線仕様に基づくプロセスアプローチ(1)でのDFT検討



- テストは個々のモジュール毎に実施する
- セミグローバル配線まででテスト可能とする
- モジュールとは、ロジック(同期設計を前提とできる最上位階層、あるいは個別のチップ)、メモリ、アナログ
- 最低BIST等のDFTでのテストを実施できるプローブパッドをモジュール毎に用意する

Global配線基板の貼り付け前

Global配線仕様に基づくプロセスアプローチ(1)でのDFT検討



- モジュールに仕込んだバウンダリスキャンを用いてグローバル配線によるモジュール間の接続テストを実施する

Global配線基板の貼り付け後

DFT技術動向(チップ単体)

年度			2001	2002	2003	2004	2005	2006	2007	2010	2013	2016	コメント
テクノロジ・ノード (nm):so3.7			150	130	105	90	80	70	65	45	32	22	
汎用DRAM	容量推移	先端技術	256M	512M	1G	1G	2G	2G	4G	8G	16G	32G	基本的にはメモリBISTは有効でなく、ウエハ取得数低下のデメリットがあり積極的でない。
		大量生産	128M	128/256M	256M	256/512M	512M	1G	2G	4G	8G	16G	
		メモリBIST											
		DFT	program BIST										
汎用SRAM	容量推移	先端技術	8M	16M	32M	64M	72M	72M	72M	72M	72M	72M	BGAなどにおけるテスト考慮の為にJTAGは搭載されるがDFT全般は将来の計画
		大量生産	4M	8M	16M	32M	64M	64M	64M	72M	72M	72M	
		JTAG											
		DFT	メモリBIST										
汎用フラッシュ (ストレージ)	容量推移	先端技術	512M	1G	2G	2G	2G	2G	2G	4G	8G	16G	フラッシュは機能コントロールにマイコンが入ることもあり、又、ECCを含めるとDFT展開はし易いとしている
		大量生産	256M	512M	1G	1G	1G	1G	1G	2G	4G	8G	
		メモリBIST											
		DFT	program BIST										
汎用フラッシュ (コード)	容量推移	先端技術	64M	128M	256M	512M	512M	512M	512M	1G	2G	4G	
		大量生産	32M	32M/64M	128M	128M	256M	256M	256M	512M	1G	2G	
		メモリBIST											
		DFT	program BIST										
汎用マイコン	ゲート規模	先端技術	2.0M	3.2M	5.0M	7.9M	12.5M	19.7M	31.1M	62.2M	124.5M	248.9M	汎用マイコンは設計技術及びチップコスト上昇、ウエハ取得数低下のデメリットがあり積極的でない。
		大量生産	1.0M	1.6M	2.5M	3.9M	6.2M	9.8M	15.6M	31.1M	62.2M	124.5M	
		メモリBIST											
		DFT	SCAN										
汎用CPU	ゲート規模	先端技術	5.0M	7.9M	12.5M	19.7M	31.2M	49.2M	77.8M	155.6M	311.2M	622.3M	
		大量生産	2.5M	4.0M	6.2M	9.9M	15.6M	24.6M	38.9M	77.8M	155.6M	311.2M	
		メモリBIST											
		DFT	SCAN										
汎用アナデジ	素子規模	先端技術	25.0K	40.0K	43.2K	51.8K	62.2K	74.6K	89.6K	154.8K	267.5K	462.2K	アナログBISTが明確でない
		大量生産	10.0K	20.0K	20.0K	25.0K	30.0K	40.0K	50.0K	80.0K	133.0K	231.1K	
		DFT	JTAG										
		アナログBIST											
SOC	ゲート規模	先端技術	15.0M	23.7M	37.4M	59.2M	93.5M	147.7M	233.4M	466.7M	933.5M	1866.9M	
		大量生産	7.5M	11.9M	18.7M	29.6M	46.7M	73.8M	116.7M	233.7M	466.7M	933.5M	
		メモリBIST											
		DFT	SCAN										
		ロジックBIST											
		program BIST											
		BISR											

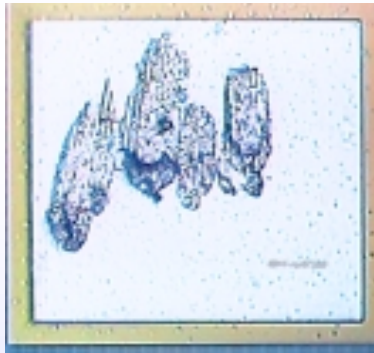
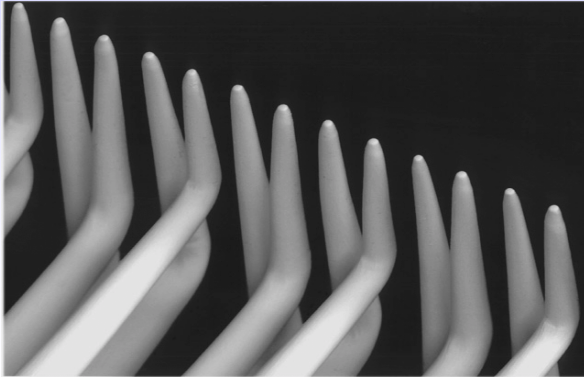
Work-In-Progress, Don't Publish

SiPに対するプローブカードの対応状況

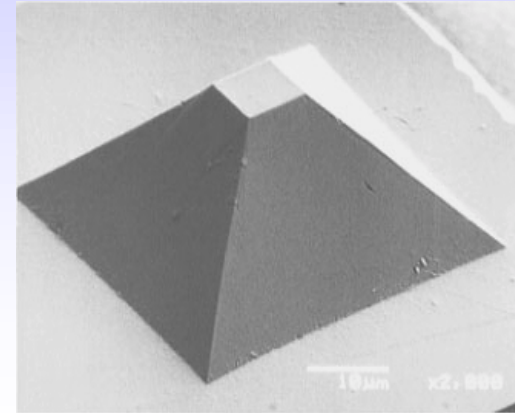
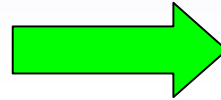
		2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
テクノロジーノード ITRS Sc.2.0 (nm)		130	115	100	90	80	70	65	45	32	22
テクノロジーノード ITRS Sc.3.7 (nm)		150	130	105	90	80	70	65	45	32	22
SiP 接合ピッチ要求値 (nm)		40~30	40~30	40~30	~20	~20	~20	~15	~10	~5	~5
SiP バンプサイズ要求値 (μm)		30~23	30~23	30~23	~14	~14	~14	~10	~7	~3.5	~3.5
プローブカード 従来品 カンチレバー型	最小ピッチ(μm)	35	30	30	30	30	30	30	30	30	30
	スクラップ量(μm)/オーバー ドライブ量(μm)	20~ 40/60	20~ 40/60	20~ 40/60	20~ 40/60	15~ 33/50	15~ 33/50	15~ 33/50	15~ 33/50	13~ 27/40	13~ 27/40
	デジタルバンド幅(MHz)	30~200	30~250	30~250	30~250	30~250	30~250	30~250	30~250	30~250	30~250
プローブカード 新世代 カンチレバー型	最小ピッチ(μm)	35	30	30	30	20	20	20	20	20	20
	スクラップ量(μm)/オーバー ドライブ量(μm)	7/60	7/60	7/60	7/60	5~ 7/50	5~ 7/50	5~ 7/50	5~ 7/50	5~ 7/40	5~ 7/40
	デジタルバンド幅(MHz)	1000	1300	1500	1800	2000	2000	2200	2600	3000	3000
プローブカード 新世代 バッチカル型	最小ピッチ(μm)	40	35	30	30	25	25	25	20	20	20
	スクラップ量(μm)/オーバー ドライブ量(μm)	2~ 3/50	2~ 3/50	2~ 3/50	2~ 3/50	2~ 3/50	2~ 3/50	2~ 3/50	2~ 3/50	2~ 3/40	2~ 3/40
	デジタルバンド幅(MHz)	1300	1300	1500	1800	2000	2000	2200	2600	3000	3000

- (1) 従来品で狭ピッチ対応が可能なものは国内ではカンチレバー型のみ。但しスクラップ量の関係からバンプサイズに対する制限が生じる。
- (2) 新世代とあるのは、フォトリソグラフィやマイクロマシンの技術を製法に取り入れたもの。様々なものが提案されているが、国内では未だ開発中のメーカーが多く出揃っていない。新世代タイプでもバンプサイズやピッチへの対応が将来困難な見通しとなっている。
- (3) バンプ配置デザインはペリフェラル単列を想定。ピン数や同時測定は未考慮。

プローブカードの方向性



Scrub mark size; 10-15 μm \times 35-50 μm



Scrub mark size; 10 μm \times 15 μm

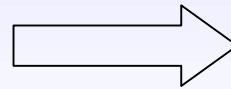
フォトリソグラフィやマイクロマシンの技術を取り入れ微細化する事に依り、配置ピッチやスクラブマークを小さくする方向で開発が進められている。

Work-In-Progress, Don't Publish

困難なチャレンジ

1. 機械的要素

プローブを微細化すると機械的動作可能範囲が減少する為
オーバードライブ可能量も減少



プローブカードの傾きや
高さばらつきに対する
許容度が減じる
↓
少ないオーバードライブ
量で使用する事が可能な
プローブカードとウェーハ
プローバが必要

プローブカードの課題

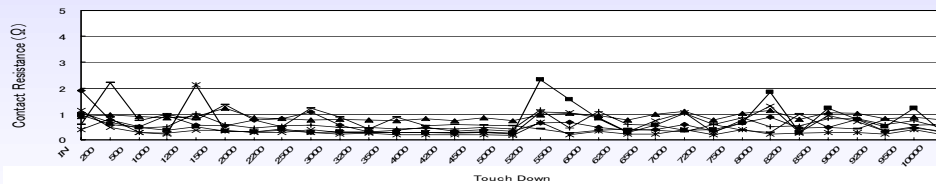
- ◇ 寸法微細化、先端位置精度向上、スクラブ量低減・均等化、接触圧力低減・均等化、先端平坦度向上。
- ◇ 熱変形の低減。
- ◇ 寸法微細化に伴う配線引出し手段。インターポーザ基板技術。

ウェーハプローバの課題

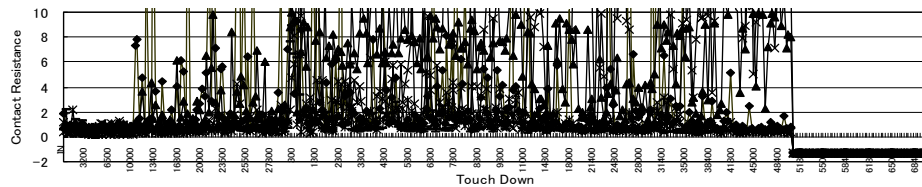
- ◇ ステージ総合精度向上。
- ◇ プローブ先端位置認識分解能の向上、プローブカード取付け精度(傾き精度)向上。
- ◇ 熱変形対策・機構。(新たな考えに基づくソリューション要)

困難なチャレンジ

2. 接触信頼性



コンタミネーション少ない



コンタミネーション多い

プローブ先端に凝着するコンタミネーション、パッド表面に残るプロセスに依るコンタミネーションなどが原因で接触信頼性が低下。

- ◆ 少ないスクラブ、小さい接触圧力でコンタミネーションが付き難いプローブが求められる。
- ◆ プロセスに依るコンタミネーションが少ないボンディングパッド表面状態が望まれる。

困難なチャレンジ

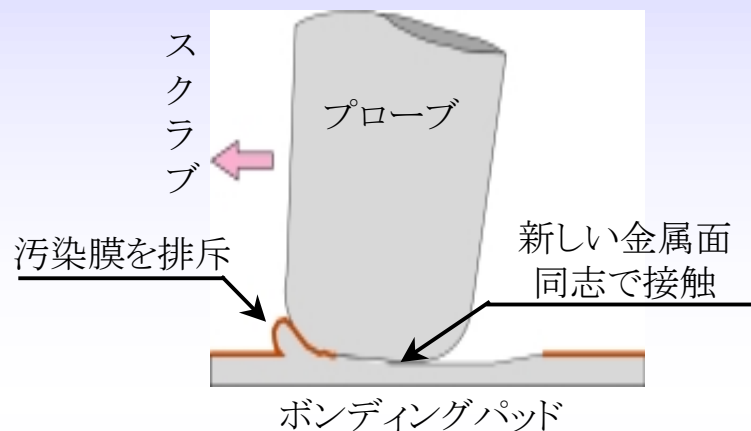
3. 接触圧力低減

<低減の必要性>

- (1) ボンディングパッドのスクラブに依る破損
- (2) ボンディングパッド下層のマイクロクラックに依る破損
- (3) ボンディングパッド数増加に伴いウェーハやウェーハプローバに掛る荷重

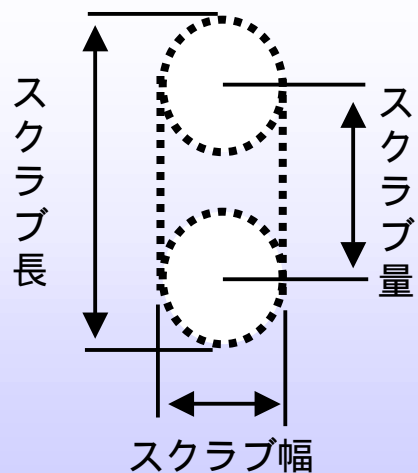
- ◆ 現在 70~120 mN (約7~12g)で実施されている接触圧力を低減可能なプローブカードが必要。
- ◆ 従来と異なる接触メカニズムを持つ接触技術開発も必要
 - ゼロフォースコンタクト技術
 - マイクロマシン

補足：スクラブマークについて



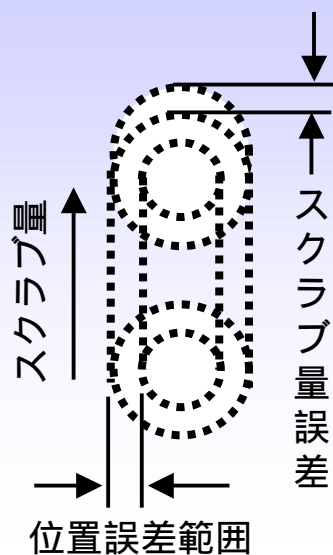
(1) スクラブの必要性

◇ プロセスで生じた残渣物質や金属酸化膜などを剪断・排斥し良好な電氣的接触を得る目的でスクラブが用いられている。



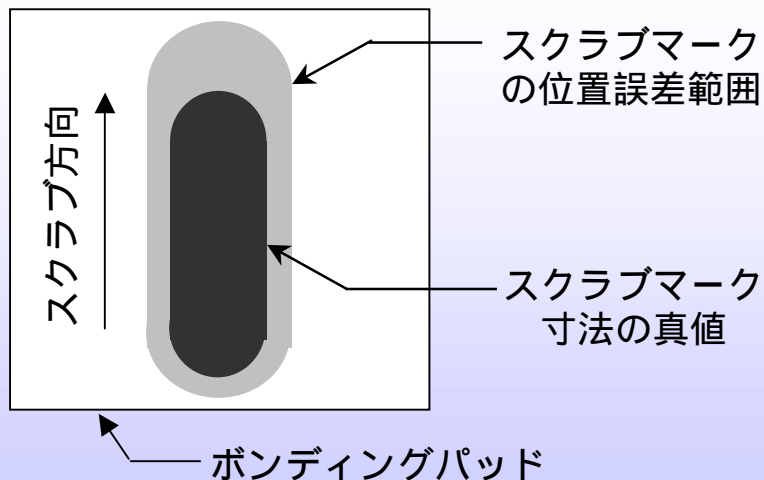
(2) スクラブマークの構成要素

- ◇ スクラブ幅；概ねプローブ先端のサイズ。先端形状に依り異なる。一般のカンチレバーの場合、凡そ先端径の75%位。
- ◇ スクラブ長；スクラブ量+スクラブ幅



(3) スクラブマークの誤差要素

- ◇ 位置誤差: ウェーハプローバの総合位置決め誤差 (ウェーハ位置やプローブ先端位置を計測し位置決めする際に関与する様々な公差要素およびプローブカードの先端位置誤差等の総合 R.M.S.)
- ◇ スクラブ量誤差: プローブ先端の高さばらつき、プローバへ取付けられた際の傾き、温度変化に依るプリント基板の反りや歪みなどを原因とする、オーバードライブ量の違いに起因するスクラブ量のばらつき及びプローブ自体の形状差に拠るスクラブ量の差、等の要素が有る。



(4) ボンディングパッドとスクラブマーク

- ◇ スクラブマークがボンディングパッドからはみ出さない様にする為にはスクラブマークの誤差範囲分のマージンが最低限必要。
- ◇ ボンディングパッド寸法、プローブ先端寸法、スクラブ量とそのばらつき、プローバとプローブカードの位置精度等を勘案して適切なプローブ先端寸法とオーバードライブ量 (ウェーハに押し当てる量) が定まる。

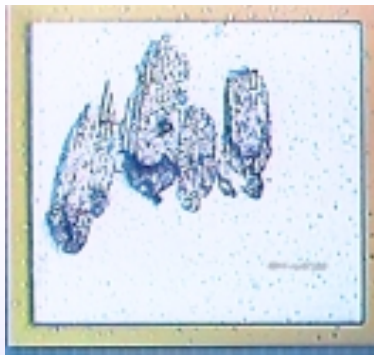
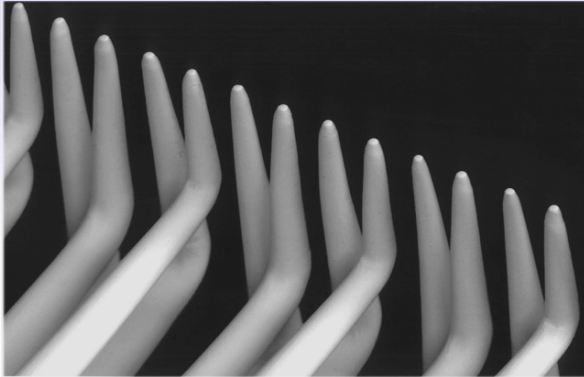
テスト技術の課題(1)

- ASICチップ単体のテスト(グローバル配線なしでのウェーハテスト)
 - ブロック(セミグローバル配線までで閉じたもの)単位でのテストの実現
 - 全ノードのプローブが可能な場合
 - テスト時間と消費電力を考慮したテストスケジューリングが必要
 - 全ノードのプローブが困難な場合
 - BIST等のDFT技術によるプローブするノード数の削減が必要
 - テスト用信号線の取り扱い
 - グローバル配線とその他の配線への切り分けが必要

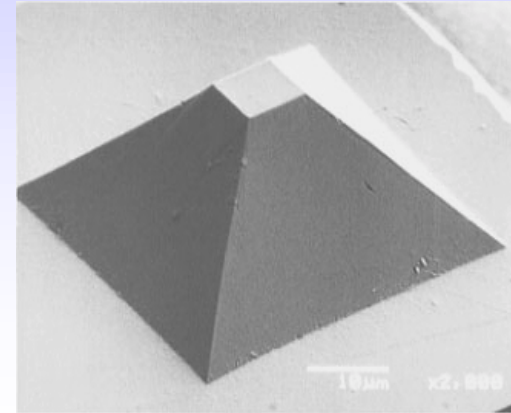
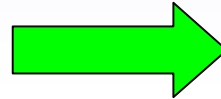
テスト技術の課題(2)

- **メモリ、アナログ等のSiP専用LSI(狭パッドピッチ)のウェーハテスト**
 - 全ピンのプローブが困難な場合:
 - BIST等のDFT技術によるプローブするノード数の削減が必要
- **SiPでのテスト**
 - LSI(ASIC)テスト(グローバル配線部分)
 - SOCのIPコア間のテストと同様の考慮(Wrapper回路等)が必要
 - チップ間のインターコネクトテスト
 - MCM/MCPでのテストと同様の考慮(バウンダリスキャン等)が必要

プローブカードの方向性



Scrub mark size; 10-15 μm \times 35-50 μm



Scrub mark size; 10 μm \times 15 μm

フォトリソグラフィやマイクロマシンの技術を取り入れ微細化する事に依り、配置ピッチやスクラブマークを小さくする方向で開発が進められている。

Work-In-Progress, Don't Publish