ロードマップの課題と
今後のスケーリングについて

[内容]

1. ロードマップ関連の課題
2. 今後のスケーリングについての調査
3. 新探求デバイスについて

PIDS (Process Integration & Device Structures) WG

杉井 (富士通)、平本（東京大学）

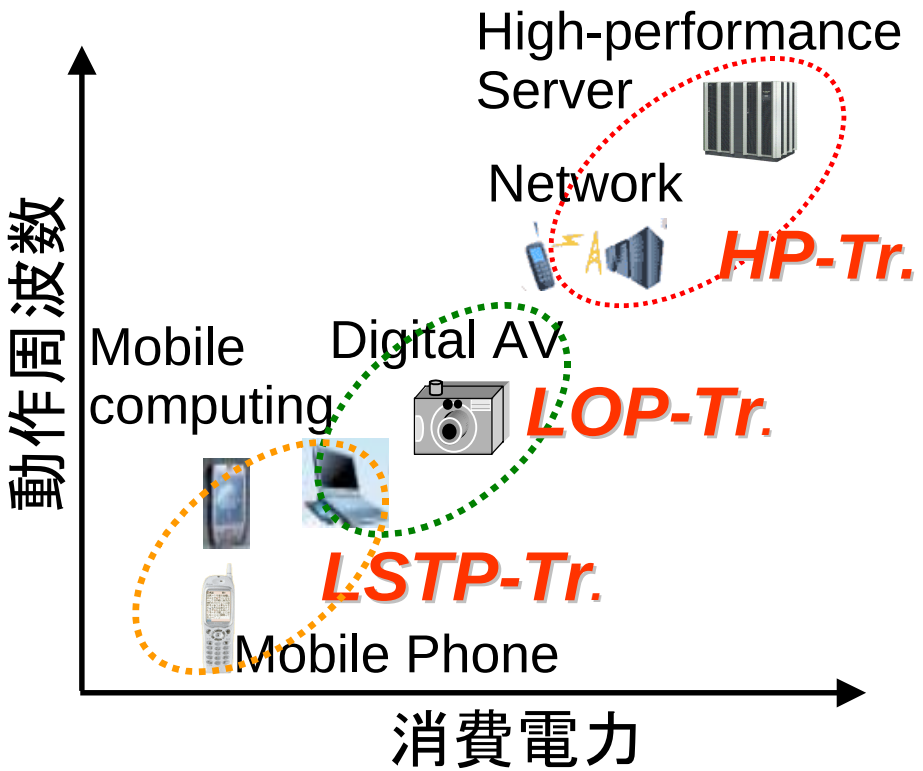
PIDS 委員

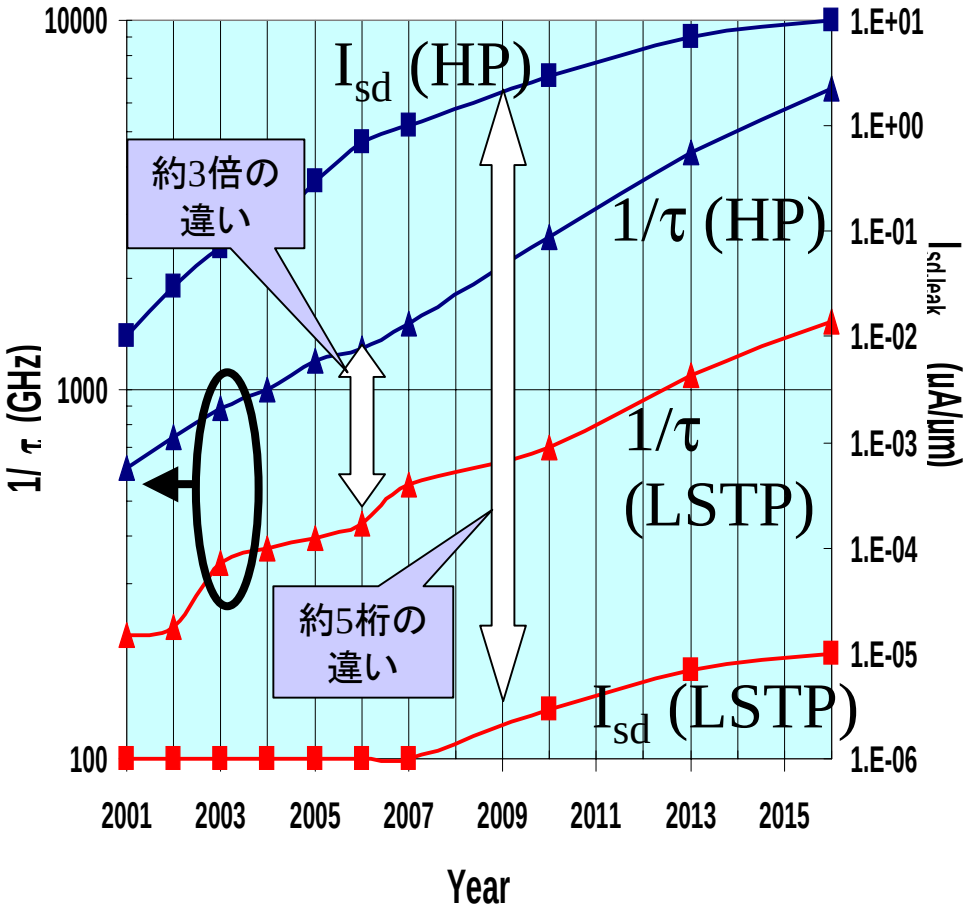
杉井	寿博	(ﾘｰﾀﾞｰ、富士通)	平本	俊郎	(東京大学)
井上	靖朗	(ｻﾌﾞﾘｰﾀﾞｰ、三菱)	芝原	健太郎	(広島大学)
井田	次郎	(幹事、沖)	澤田	静雄	(東芝)
長島	直樹	(ソニー)	堀内	忠彦	(NEC)
只木	芳隆	(日立)	堀	敦	(松下)
麻殖生	健二	（日立）	中村	孝	(ローム)
笠井	直記	(Selete)	安藤	弥	(三洋)
			田中	研一	(シャープ)

ロードマップ関連の課題（1）：LSTP-Tr

3種類のトランジスタのロードマップを作成

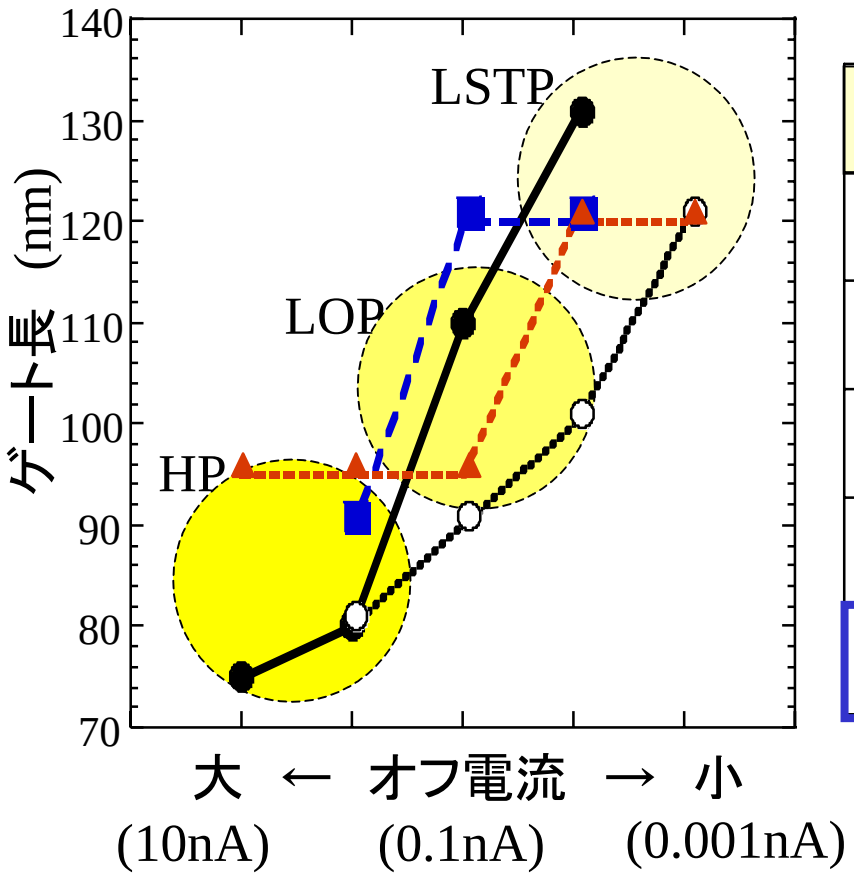
- High Performance (HP)
- Low Operation Power (LOP)
- Low Standby Power (LSTP)





2002 Update版でLSTPのゲート長を変更

130nmノードのゲート長調査



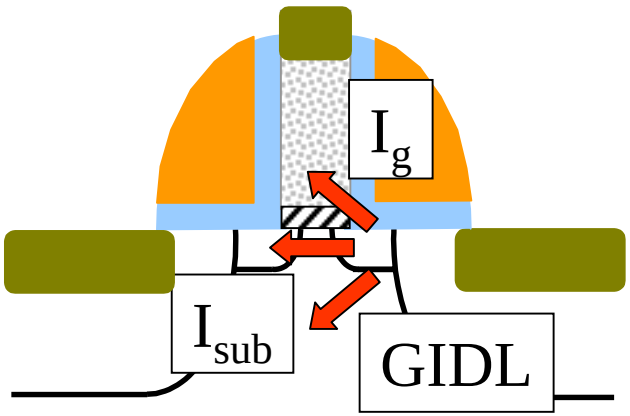
LSTPのゲート長スケーリングを
2001 ITRSから1年後退

Year of Production	'01	'02	'03	'04	'05	'06	'07
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
Gate length (HP) (nm)	65	53	45	37	32	28	25
Gate length (LOP) (nm)	90	75	65	53	45	37	32
Gate length (LSTP) (nm)	90	75	65	53	45	37	32
Gate length (LSTP) (nm)	100	90	75	65	53	45	37

2002 Update版

2003年版LSTP-Trに向けて

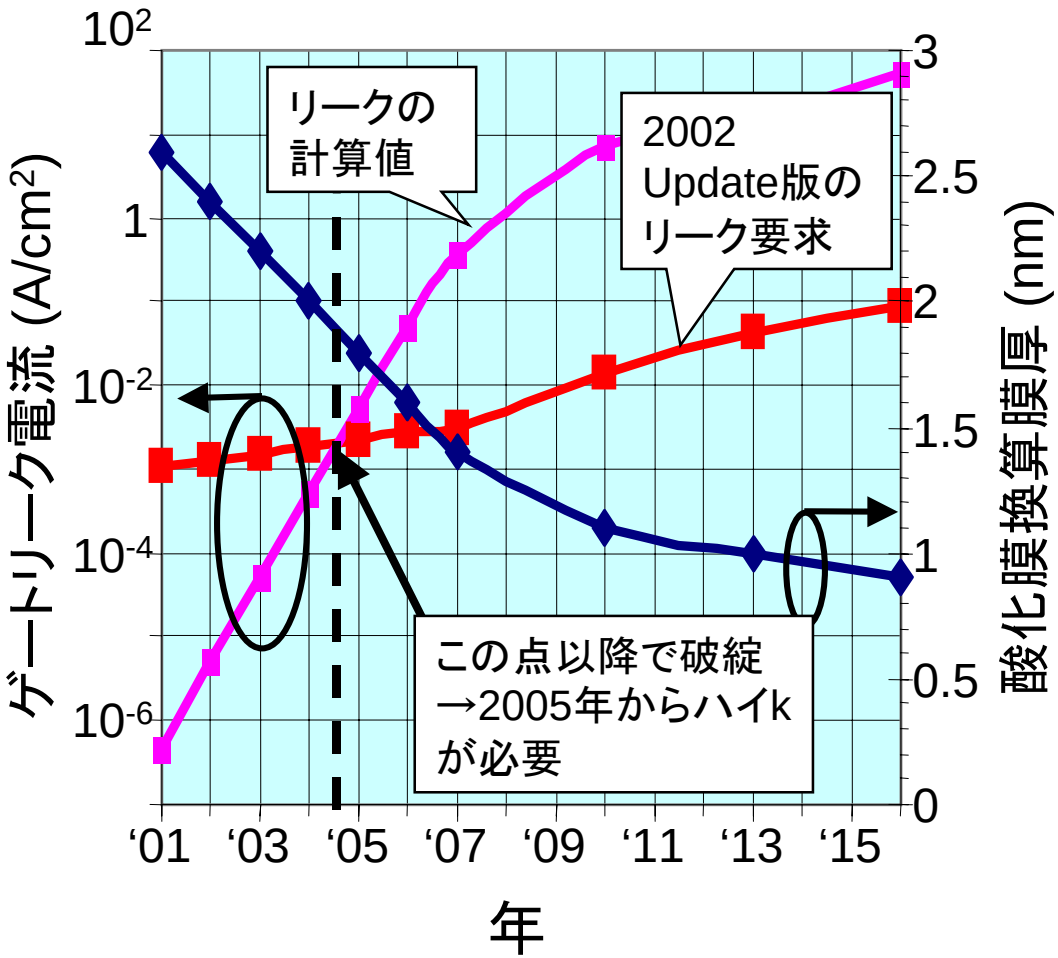
ハイ-kゲート絶縁膜の導入時期を検討中



$$I_{off} = I_{sub} + I_g + GIDL$$

$\propto 1/V_{th}$　　$\propto 1/\exp(Tox_{phys})$　　$\propto 1/Lg$

オフ電流の低減には、
1）しきい値を高く
2）ゲート酸化膜厚を厚く
3）ゲート長を長く、が基本



STRJ WS: March 4, 2003, WG6

ロードマップ関連の課題（2）: DRAM

DRAM技術ロードマップのアンケート調査と2003年版への提案

目的

大手DRAM生産会社の技術ロードマップとITRS 2002のロードマップとの差異の評価

送付先

日、米、韓、欧の大手メーカー7社

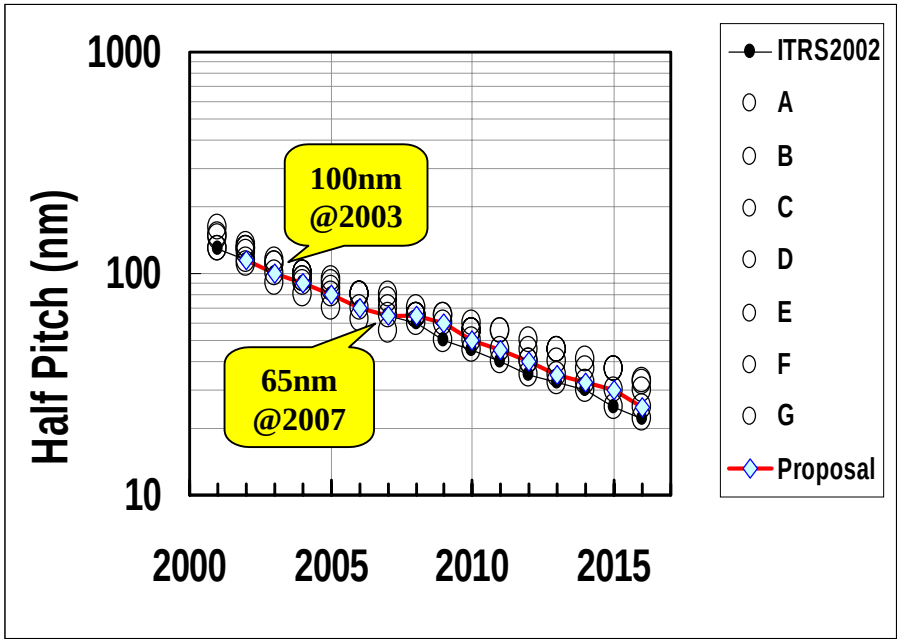
調査項目

1. DRAM half pitch (minimum feature size : *F*)
2. Cell size : *Acell*
3. Cell area factor : *a* [*Acell* = *a F* ^{2}]
4. DRAM Product (bit) : *b*
5. Chip size : *Achip*
6. Area factor [= *Acell* x *b* / *Achip*]
7. Retention time
8. Storage Capacitance : *Cs*
9. Voltage of capacitor
10. Gate oxide thickness of cell transistor
11. Maximum word-line level
12. Effective electric field of gate insulator
13. Negative word-line use
14. Capacitor structure
15. Capacitor insulator material
16. Effective capacitor insulator thickness
17. Physical capacitor insulator thickness

- Overall Table
- PIDS Table
- FEP Table

アンケート結果と提案（1）

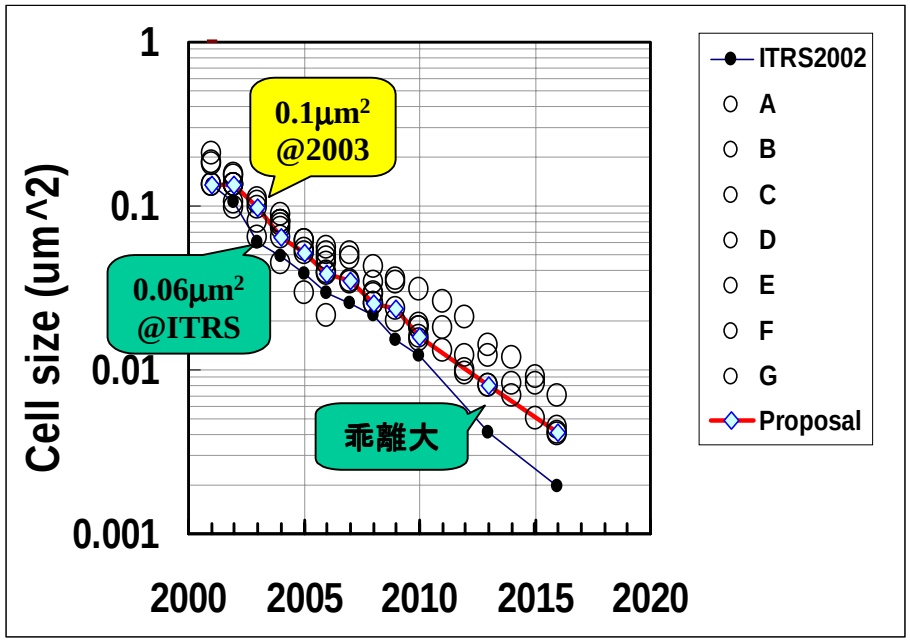
（1） DRAM half pitch



■一社のみがITRS 2002より早い計画
■2社目は、ほぼITRSと同じ

提案 （二番手ルール）
2002-2007　2002年版と同じ
2008-　　1年遅れ

（2） Cell size

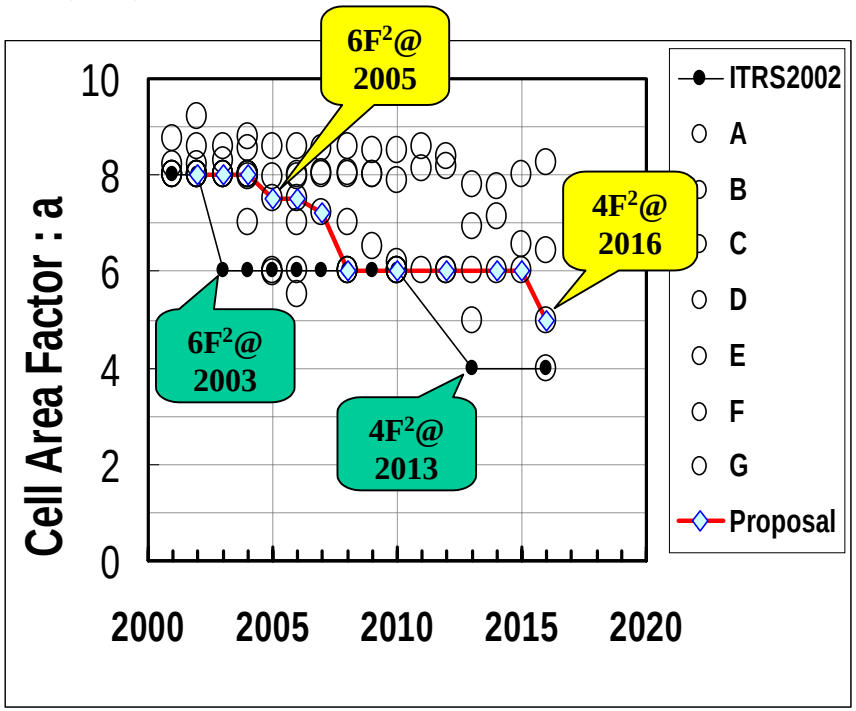


■一社のみがITRS 2002より早い計画
■2社目は、ほぼITRSと同じ

提案
2002-2011　　1年遅れ
2012-　　2-3年遅れ

アンケート結果と提案（2）

（3） Cell area factor



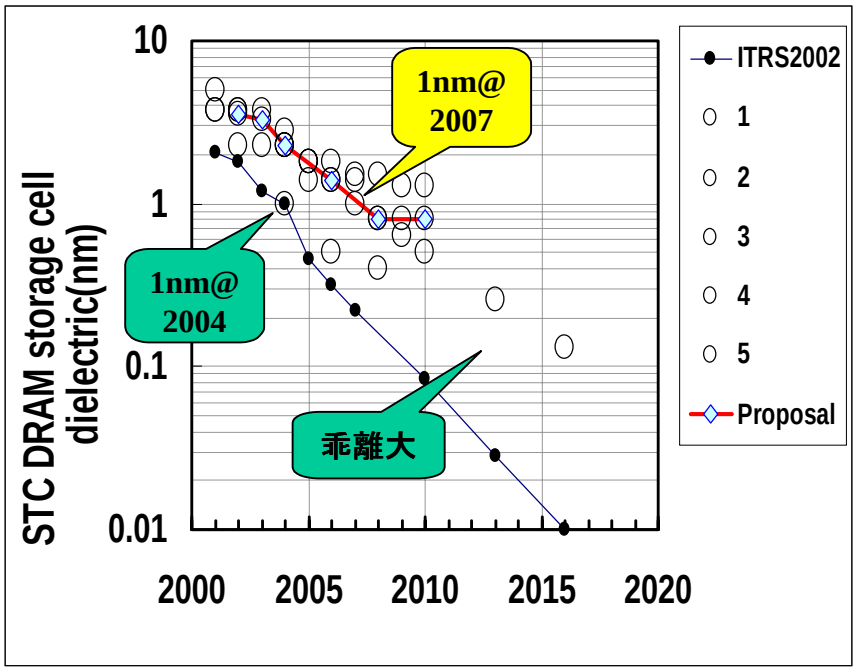
6F²の導入

ITRS2002	提案
2003年	2005年（2年遅れ）

4F²の導入

ITRS2002	提案
2013年	2016年（3年遅れ）

（4）Capacitor絶縁膜厚



Teff 1nm以下の絶縁膜の導入

ITRS2002	提案
2004年	2007年（3年遅れ）

Teff 0.2nm以下の技術は不透明

STRJ WS: March 4, 2003, WG6

PIDSからの2003年版DRAM-RMへの提案

- DRAM ハーフピッチ
  - 2008年までは、2002年版を踏襲
  - 2010年以降は、1～2年遅延
- セルサイズ& セルエリアファクタ
  - $6F^2$の登場は2年の遅れ

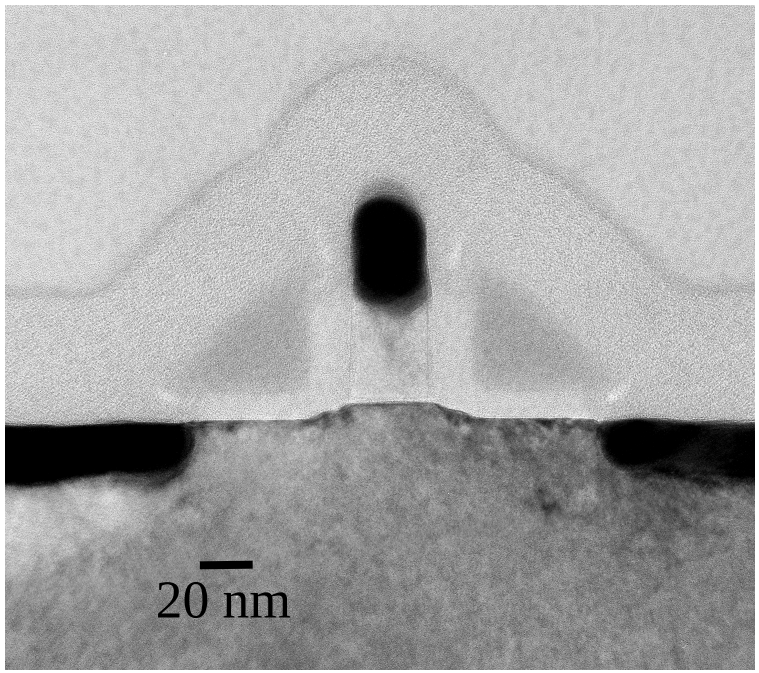
  ⇒セルサイズ大　⇒チップサイズ大
- Capacitor絶縁膜厚
  - 1nm以下の絶縁膜導入は2007年（3年遅れ）
  - 0.2nm以下絶縁膜導入は不透明

  ⇒　セルサイズのシュリンクシナリオの遅れの要因

  （Cs 25fF確保困難）

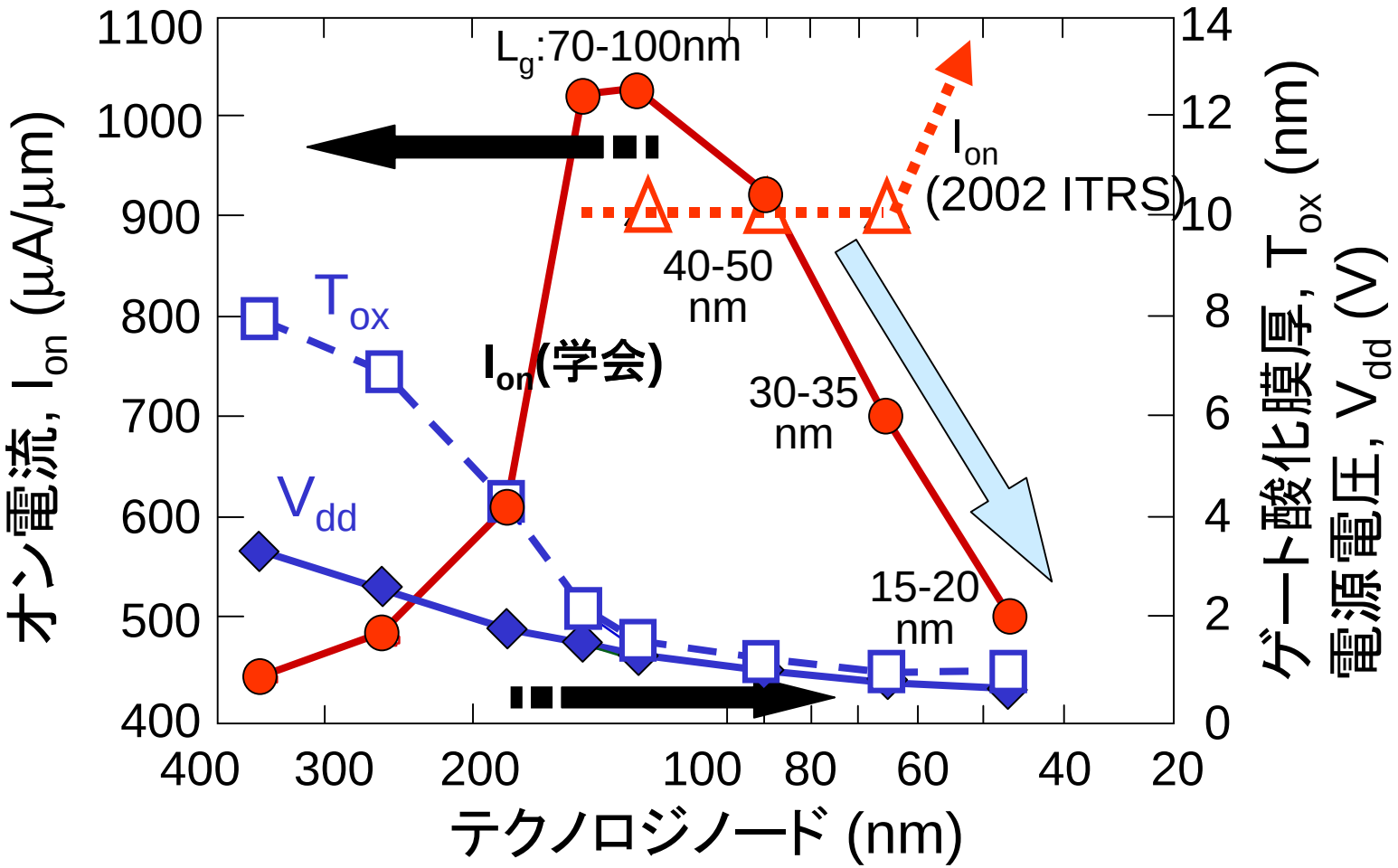
今後のスケーリングの課題について調査

- トランジスタ特性:
  → オン電流の低下
- 混載SRAM:
  → しきい値バラツキの増大
- アナログ混載:
  → ノイズの増大
- ソフトエラー:
  → 中性子Soft Error Rateの増大



スケーリングの課題:オン電流が減少

今後は新材料/構造/効果の導入へ



［学会発表から抽出］

STRJ WS: March 4, 2003, WG6

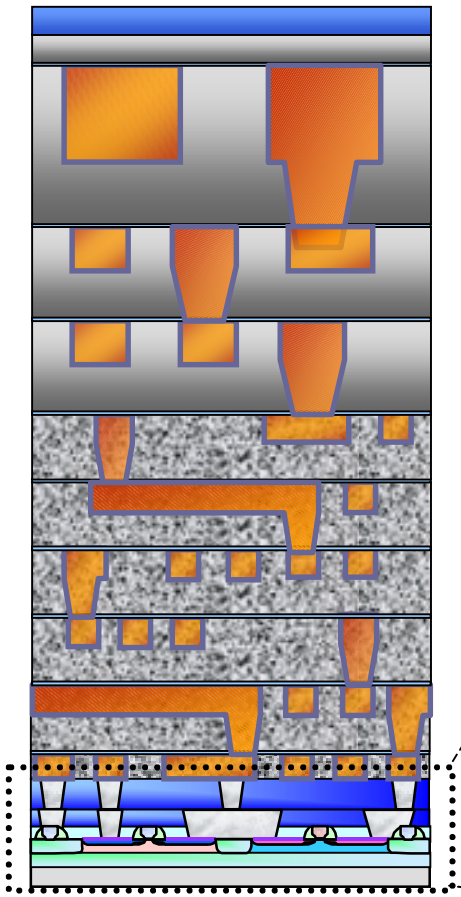
スケーリング以外の新規テクノロジで オン電流増大を図る試みが重要

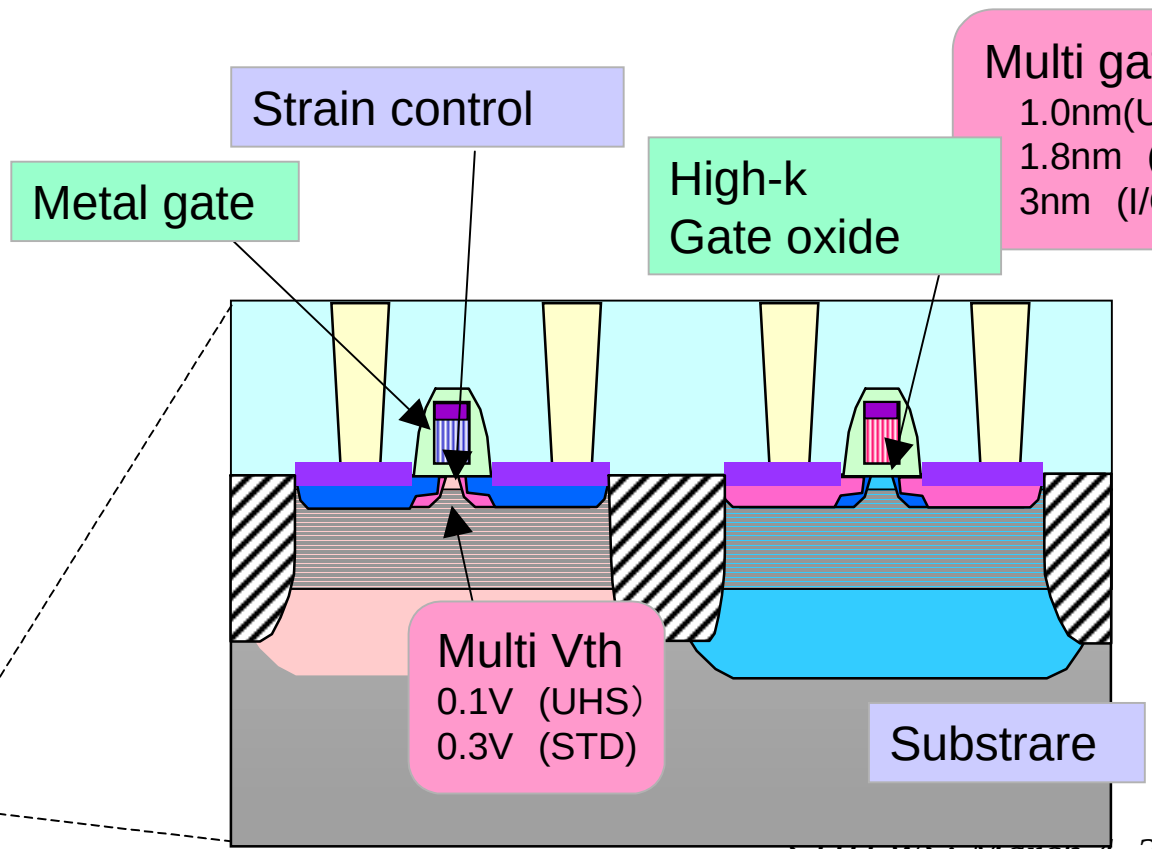
オン電流 ∝ （Vs）x（1/Tox）x（Vdd - Vth - ΔV）

Substrate
Strain control

Multi-Tox
High-k
Metal gate

Multi-Vth





例1） 基板面方位によるオン電流増大

●電流の流れる結晶方位によるキャリア速度の改善

◎目的

・結晶内のキャリア流れる方位による速度向上の活用を図る

◎結晶方位の使い方の分類

・主面の面方位 ： （100）、（110）、（111）

・オリフラの方位（ウエハ面内での回転） ： ＜110＞、 ＜100＞

●1999年、三菱よりオリフラの回転の結果を報告

●2001年、東北大学大見研より（110）面ウエハの活用を報告

●2002年、東芝より（110）面ウエハでGmの向上を報告

●2002年、富士通より＜100＞オリフラStrained SiGeの報告

例2） Tox薄膜化によるオン電流増大

◎目的

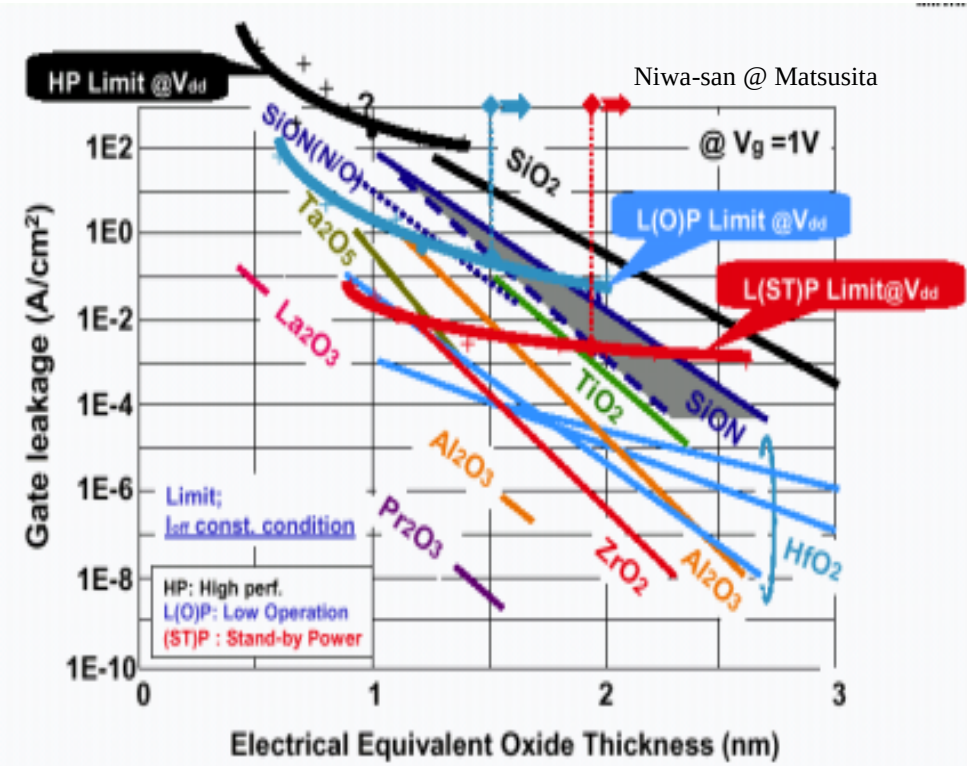
・薄膜化によるゲートリークを抑えながらゲート容量の増大を図る

◎比誘電率の大きい材料の導入

・酸化膜から窒化酸化膜へ
・さらにhigh-k材料の導入へ

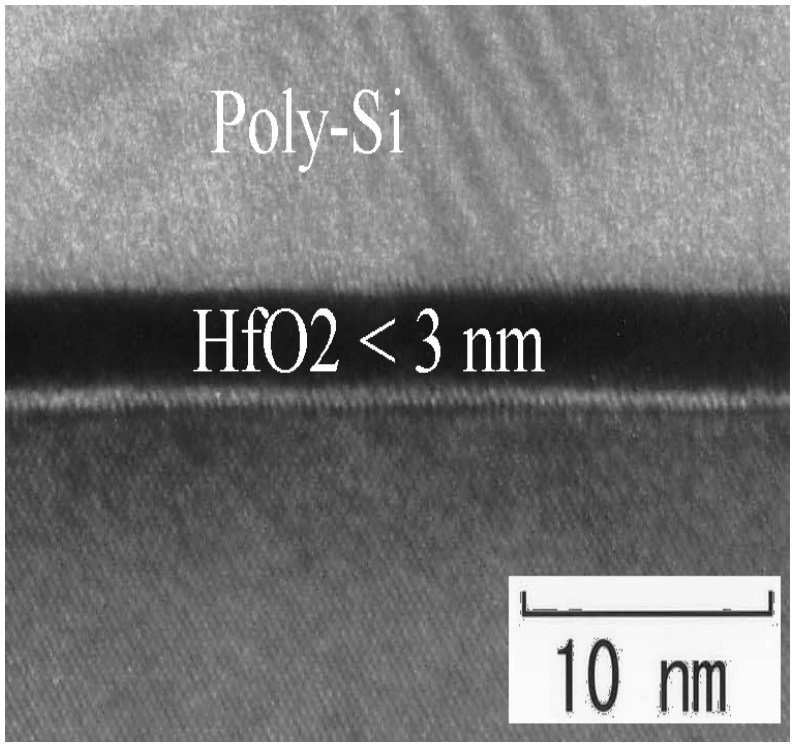
◎課題

・窒化によるNBTI信頼性の低下
・high-k材料導入による移動度の低下
・high-k材料とSiとの反応を抑える
　界面層の制御
・high-k材料の耐熱性

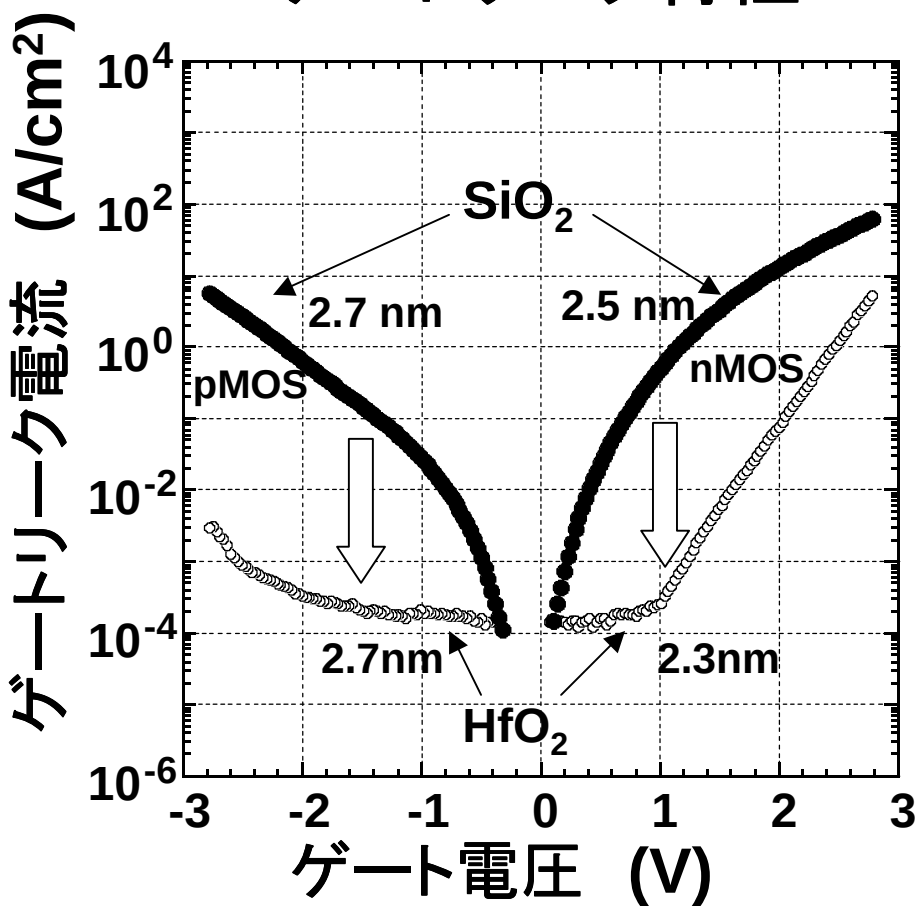


ハイkによるゲート絶縁膜の薄膜化

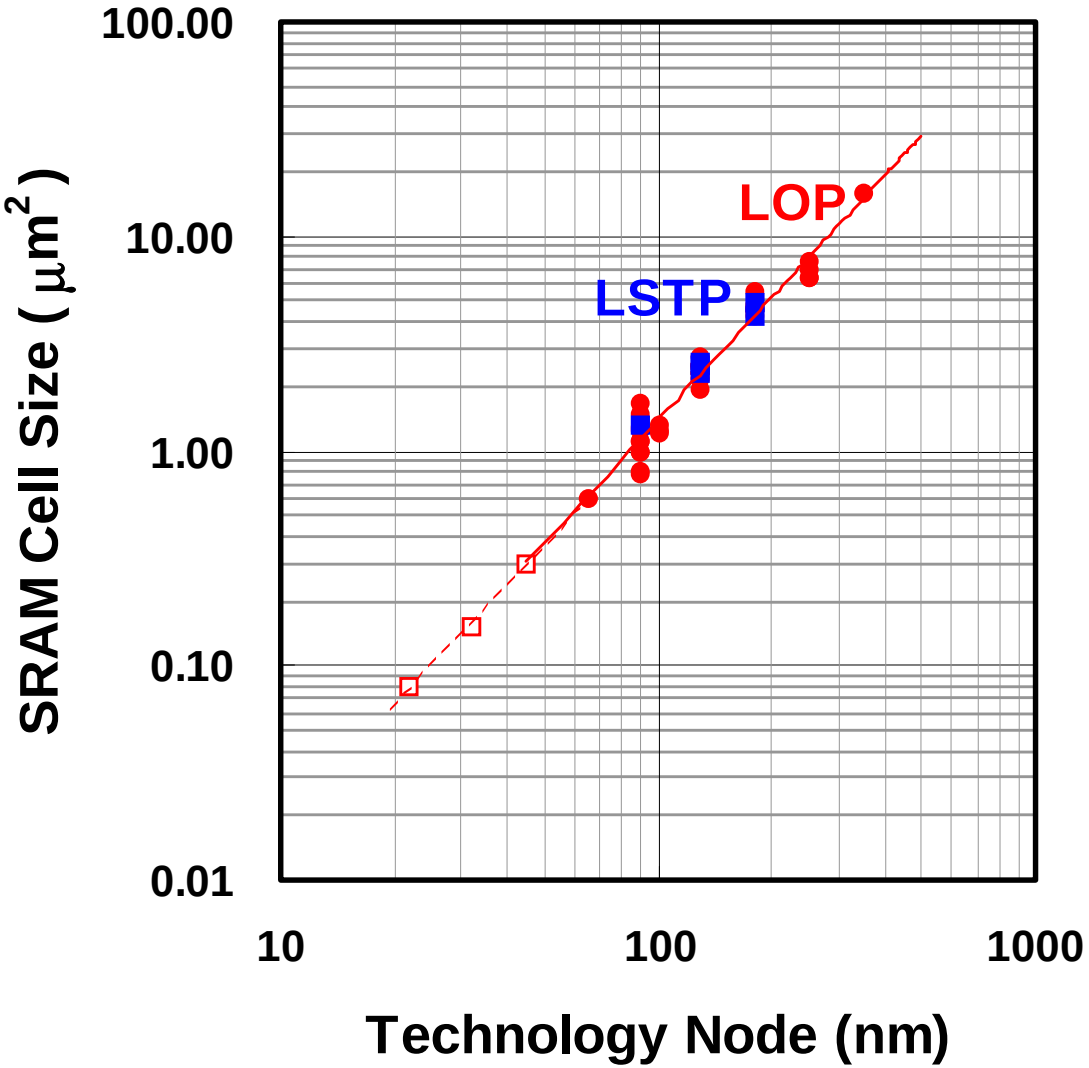
断面TEM像 (Poly-Si/HfO2/Si-sub.)

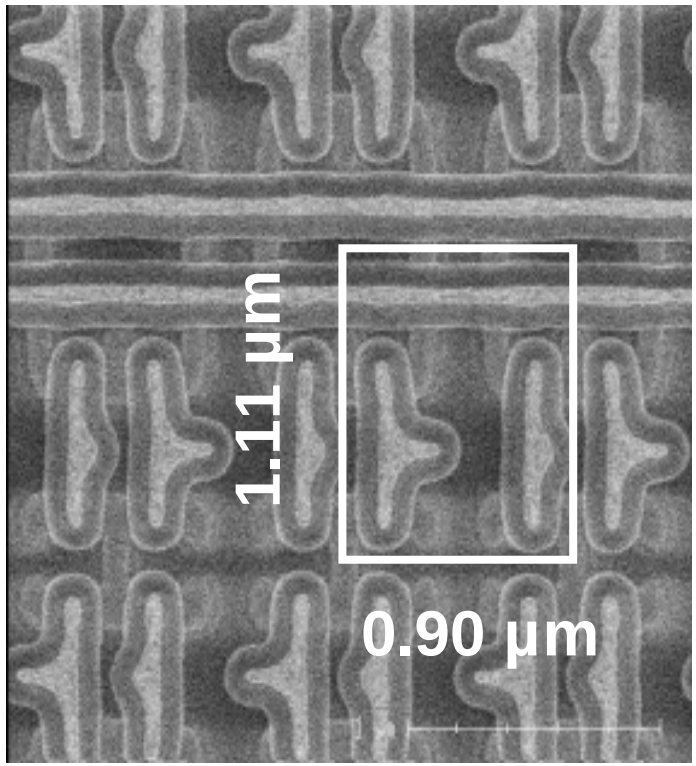


ゲートリーク特性



混載SRAMセルサイズのトレンド





Sub-1μm^2 SRAM Cell for 90 nm node

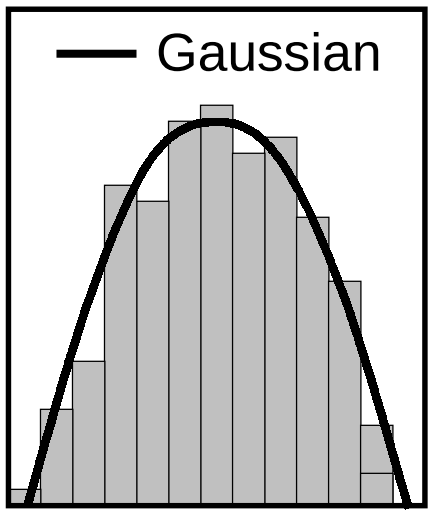
スケーリングの課題：V_{th}バラツキの増大

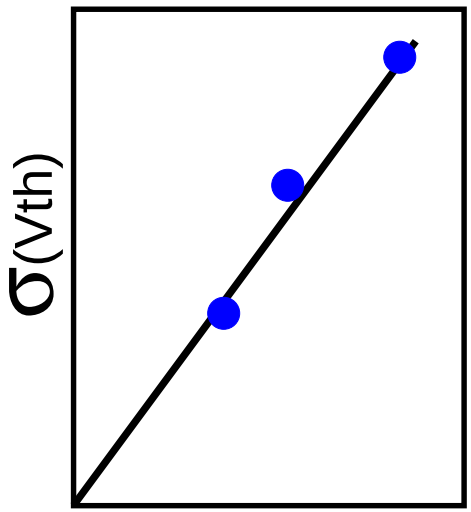
近接トランジスタ（Tox・L・Wが同一と仮定）においても
チャネル不純物分布のゆらぎによってVth差が生じる[1]

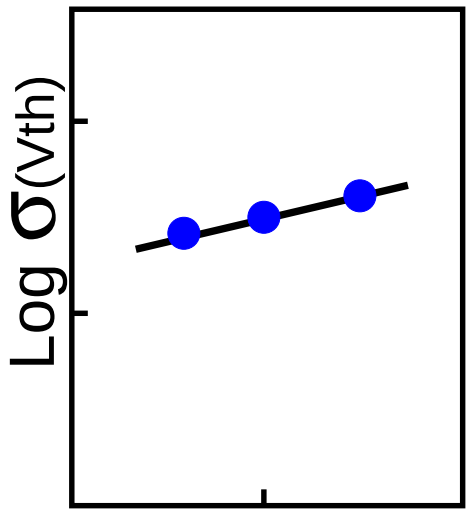
[1]T.Mizuno, et al, IEEE T-ED vol.41, p.2216, 1994.

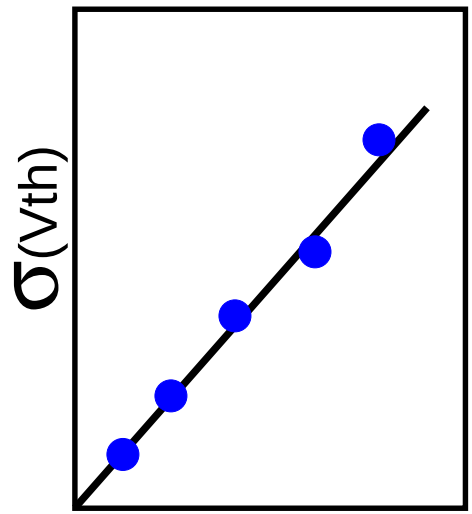
$$\sigma(Vth) = \frac{1}{\sqrt{2}} q^{0.75} \cdot \varepsilon_{Si}^{0.25} \cdot \varepsilon_{ox}^{-1} \cdot \phi_B^{0.25} \cdot T_{ox} \cdot N^{0.25} \cdot (L_{eff} \cdot W_{eff})^{-0.5}$$

（電界一定スケーリングファクタ：$k^{-1} \cdot k^{0.25} \cdot k^{1} = k^{0.25}$）









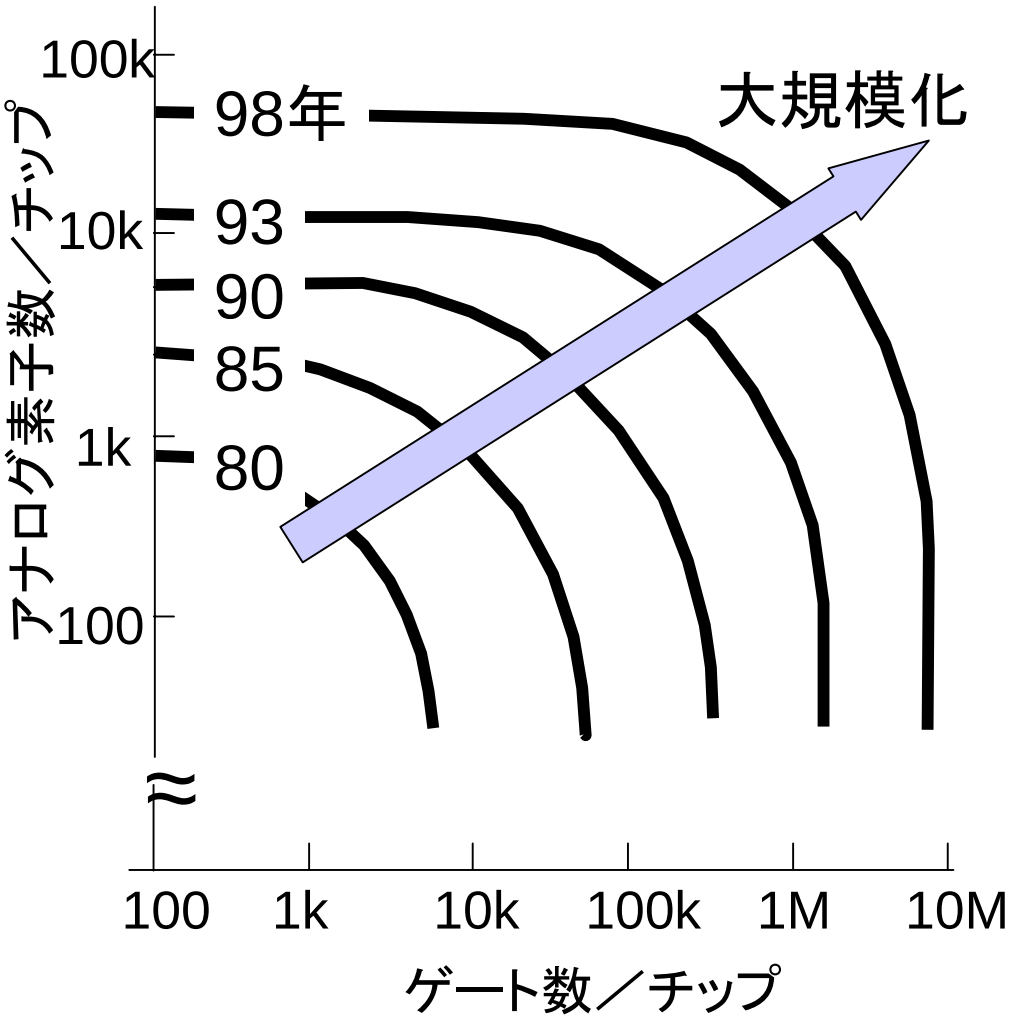
SRAM セルTrのV_{th}バラツキの予測

Node	nm	130	90	65	45	32	22
V_{dd}	V	1.2	1	0.9	0.8	0.7	0.6
$(L \cdot W)^{-0.5}$	μm^{-1}	7	10	14	20	28	40
A	$mV \cdot \mu m$	4.6	4.3	4.1	4	4	3.9
$4\sigma_{exp.}(V_{th})$	mV	129	172	230	320	448	624

$$\sigma_{exp.}(Vth) = A \cdot (L \cdot W)^{-0.5}$$

スケーリングの課題：ノイズの増大

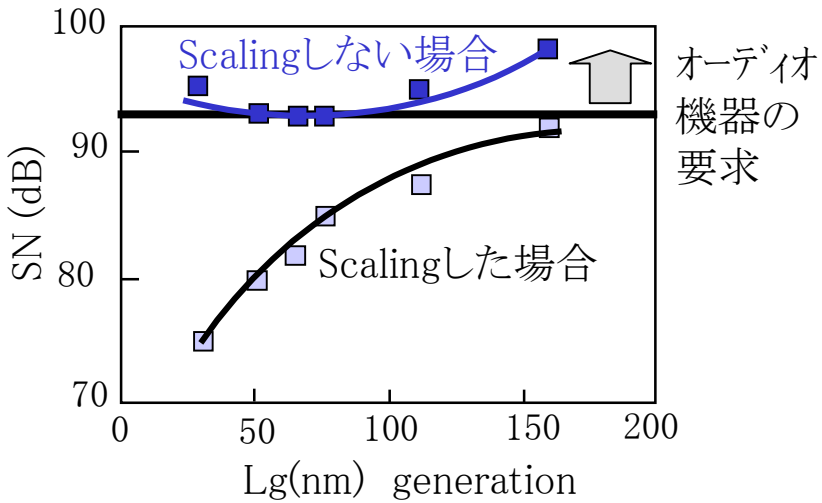
アナログ混載SoCの規模推移



アナログ混載SoCのスケーリングの問題点

- アナログ回路に影響する主要ノイズ
  - フリッカノイズ（1/f ノイズ）
  - 熱雑音
  - 基板ノイズ

⇒ SN劣化

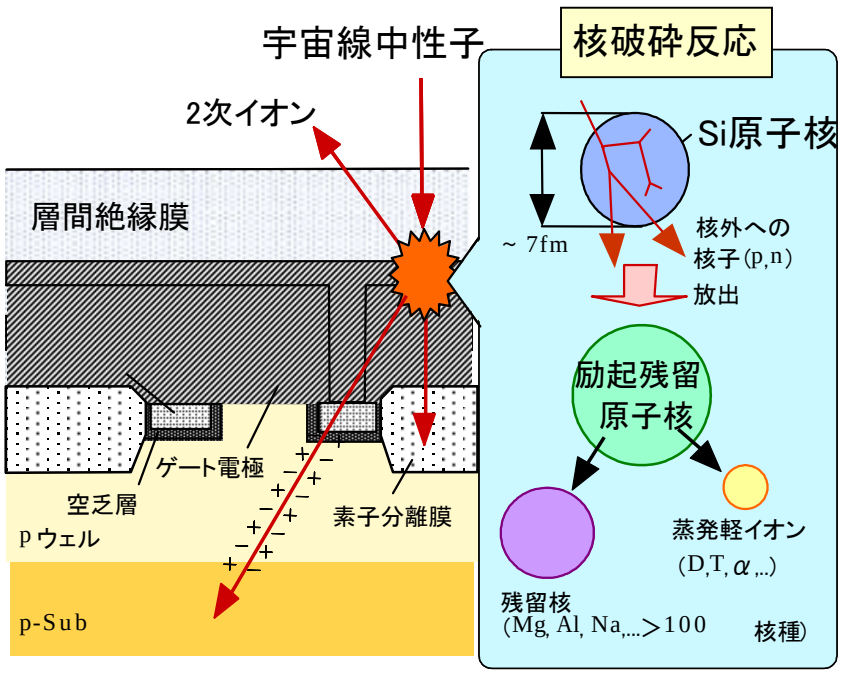


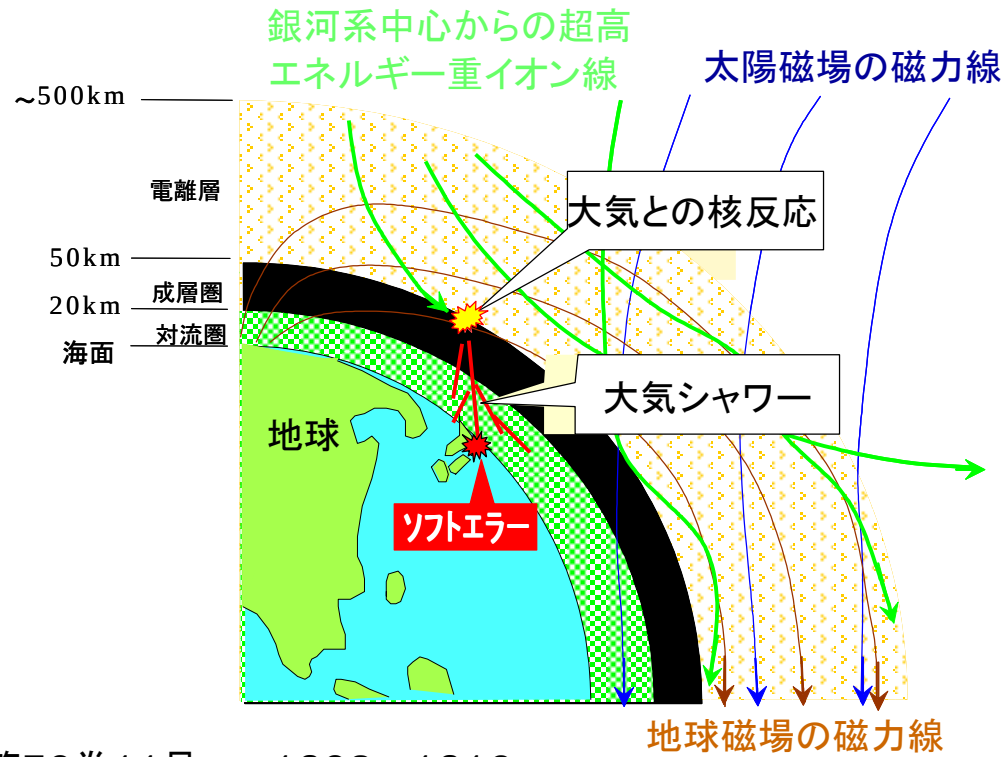
スケーリングの課題：中性子SERの増大

ソフトエラーを引き起こす放射線：

1）α線
2）熱中性子（B^{10}の捕獲反応）
} プロセスでの改善可能

3）高エネルギー中性子 → ？





伊部　他：　応用物理　第70巻11号　p. 1308－1312

SERに対するスケーリングインパクト

スケーリング：　微細化、低電圧化

＋要因　メモリサイズ縮小による実効断面積減少

－要因　臨界電荷量減少
2次イオンによるマルチビット不良
メモリ集積度増大
オンチップメモリの使用比率増大

中性子SERに関する定量データ不足
高精度高能率な試験方法標準化必要
スケーリングに関わる精査必要

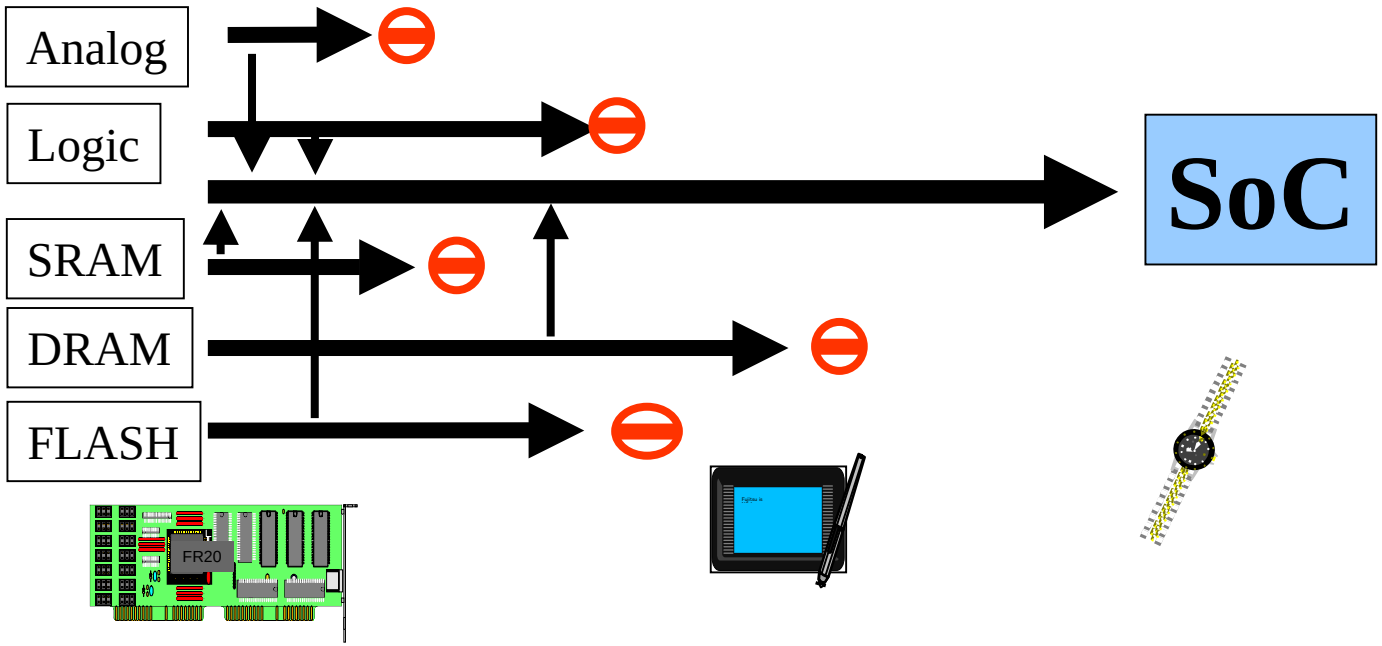
まとめ： PIDSの展望

スケーリング/新材料/新構造フェーズ → 混載フェーズ

個々のデバイスの高性能化で
システムを高性能化

高機能化で
システムを高性能化

CMOSベース
のデバイス



新探求
デバイス

新概念で高機能化

新探究デバイス
--- Emerging Research Devices (ERD) ---

平本俊郎
東京大学生産技術研究所

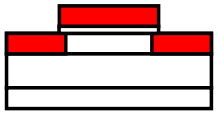
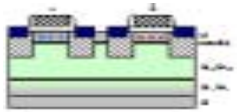
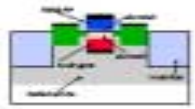
- 目的：ロードマップの延長上あるいはロードマップを越える
  新概念の研究・発明を加速
- 状況：2002年Updateでは変更なし.
  現在2003年版に向けて活動中
- 分類：ノンクラシカルCMOS
  メモリ/ストレージ
  新ロジックデバイス
  新アーキテクチャ

ERDの検討状況

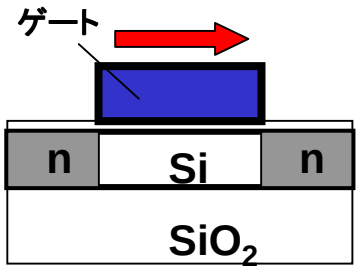
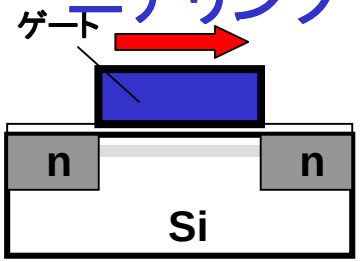
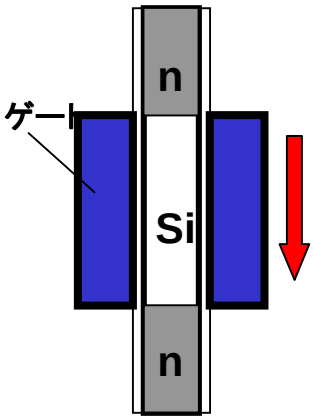
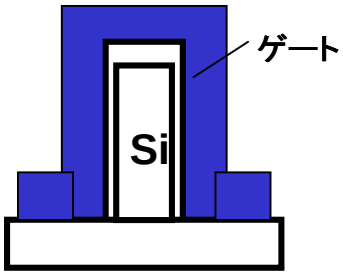
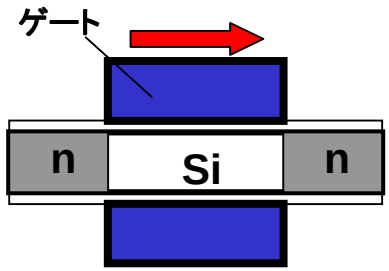
1. Short Term (2011 – 2016)
   - ノンクラシカルCMOS
   - メモリ&ストレージ
     → S値，移動度，IonなどのTr.の特性改善
     →それぞれに技術の性能を数字で表す．
2. Long Term (2016 – 2050)
   - Logic and Architecture (Non-CMOS)
     →ポテンシャルを考慮．課題と弱点を明記

3. ワイヤレス技術（RF/アナログ，化合物半導体を含む）
   - ロジック，メモリに次ぐテクノロジードライバー

ノンクラシカルCMOS（2001年版）

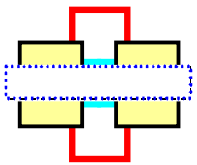
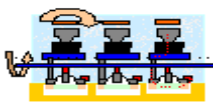
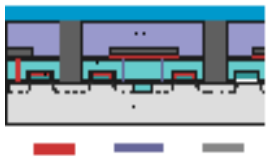
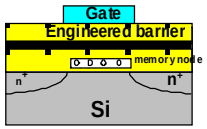
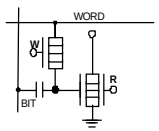
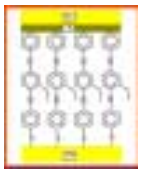
					
Device	*Ultra-Thin Body SOI*	*Band-Engineered Transistor*	*Vertical Transistor*	*FinFET*	*Double-Gate Transisto*
Concept	**Fully depleted SOI**	**SiGe or Strained Si channel; bulk Si or SOI**	**Double-gate or surround-gate structure (No specific temporal sequence for these three structures is intended)**		
Application/driver	**Higher performance, Higher transistor density, Lower power dissipation**				
Advantages	**-Improved subthreshold slope –V_t controllability**	**-Higher drive current -Compatible with bulk and SOI CMOS**	**-Higher drive current Lithography independent L_g**	**-Higher drive current -Improved subthreshold slope -Improved short channel effect -Stacked NAND**	**-Higher drive current -Improved subthreshold slope -Improved short channel effect -Stacked NAND**
Scaling Issues	**-Si film thickness -Gate stack -Worse short channel effect than bulk CMOS**	**-High mobility film thickness, in case of SOI -Gate stack -Integration**	**-Si film thickness -Gate stack -Integrability -Process complexity -Accurate TCAD including QM**	**-Si film thickness -Gate stack -Process complexity -Accurate TCAD including QM effect**	**-Gate alignment -Si film thickness -Gate stack -Integrability -Process complexity -Accurate TCAD including QM effect**
Design Challenges	**-Device characterization -Compact model and parameter extraction**	**-Device characterization**	**-Device characterization -PD versus FD -Compact model and parameter extraction -Applicability to mixed signal applications**		
Maturity	**Development**				
Timing	**Near Future** →				

ノンクラシカルCMOS（2001年版）

	極薄膜SOI	バンドエンジニアリング	縦型	FinFET	ダブルゲート
デバイス					
コンセプト	完全空乏型SOI	SiGe, ひずみSi (バルク，SOI)	ダブルゲートまたはサラウンドゲート		
利点	S値	電流駆動力 CMOS互換プロセス	電流駆動力 リソに依存しないLg	電流駆動力 S値 短チャネル効果	電流駆動力 S値 短チャネル効果
課題	SOI膜厚 ゲート電極	薄膜の膜厚 ゲート電極	ゲート電極 複雑なプロセス	ゲート電極 複雑なプロセス	上下ゲート整合 SOI膜厚など

→ 電子の流れ

新メモリデバイス（2001年版）

記憶メカニズム	MRAM	相変化メモリ	ナノ浮遊ゲートメモリ	単電子・少数電子メモリ	分子メモリ
						
デバイスタイプ	巨大磁気抵抗	磁気トンネル接合	OUM	トンネルバリアナノクリスタル	SET	分子MEMS双安定スイッチ
導入時期	- 2004	- 2004	> 2005	> 2007	> 2010	
導入時期	不揮発性 高速 Endurance 非破壊読出し	不揮発性 低消費電力 非破壊読出し	不揮発性 高速	高集積 消費電力	高集積，電力 3D集積, Defect Tolerannt	

STRJ WS: March 4, 2003, WG6

新ロジックとアーキテクチャ（2001年版）

新ロジックデバイス

共鳴トンネルFET，単電子トランジスタ，単一量子磁束，

量子セルオートマトン，分子デバイス

新アーキテクチャ

三次元集積，量子セルラオートマタ，Defect Tolerant，

分子アーキテクチャ，非線形セルラネットワーク，量子計算

2003年版ERDデバイスのエントリー

エントリーの変更

- ノンクラシカルCMOS
  - 別章へ：FDSOIとひずみSi (Ultra-Thin Body SOIは残す)
- メモリ(PIDS and FEP)
  - 別章へ： MRAMとPhase Change Memory
  - 新規：キャパシタレス1T DRAMと量子メモリ
- ロジック
  - 新名称：1-Dimensional Structure? (CNTなどを含む）
- アーキテクチャ
  - 新名称：スピントロニクス（RSFQを含む）
  - 別章へ：ウェハボンディングによる3D集積化

ERDデバイスの評価基準

Proposed Technology Evaluation Summary Table

Device	Perform-ance	System concept	Thermo stability	CMOS compat-ability	Operating Temp	Gain	Statistical Variation	Scalability	Risk
Spin									
1D-channel									
SET									
QCA									
Molecular									
Optical									