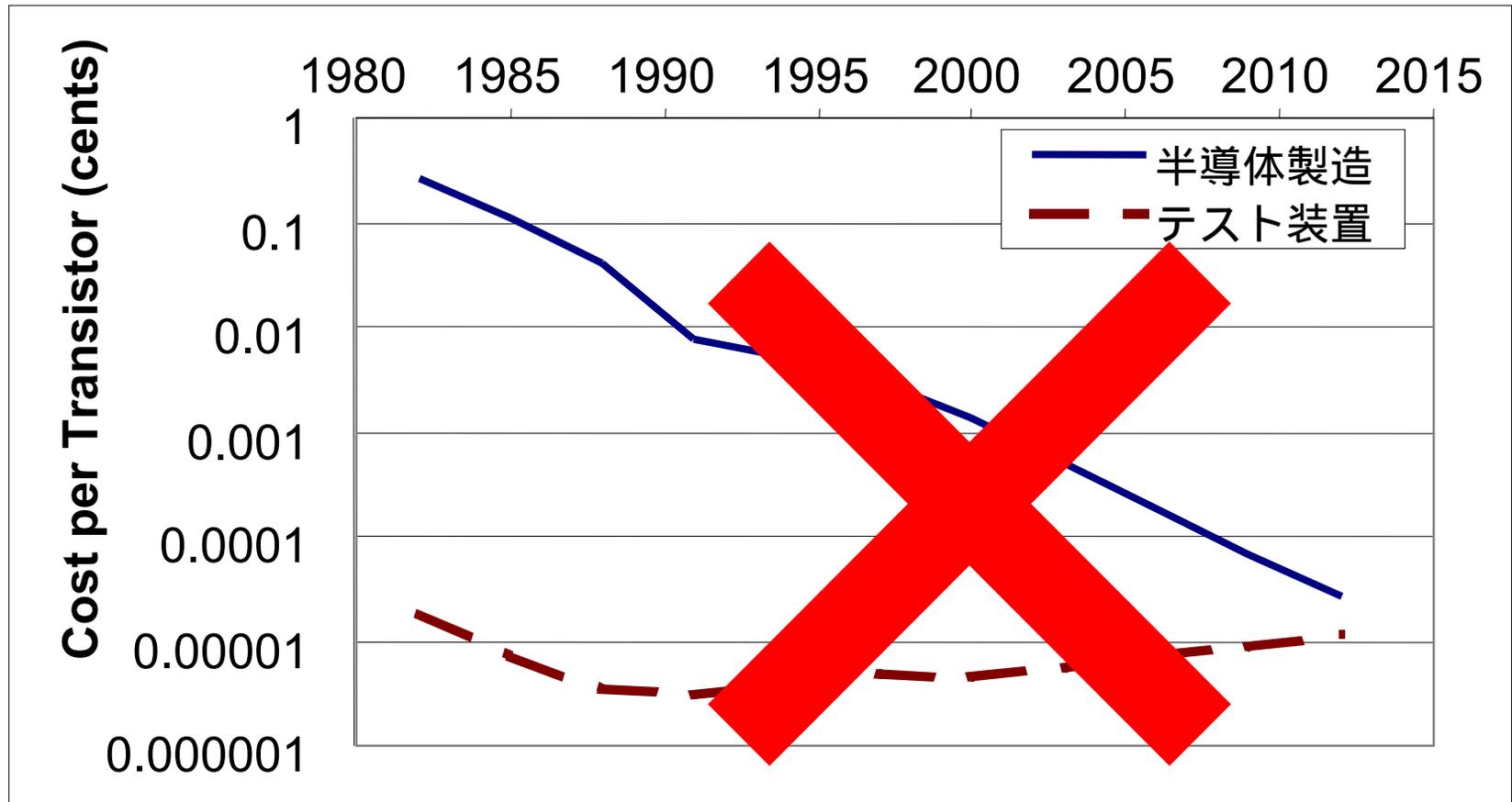


テストコスト抑制のための技術課題 - DFTとATEの観点から -

WG2(テスト)主査
畠山 一実(日立)

テストコストは増大しない？



ITRS 2002 Update Conference資料に基づく

テストコストを増大させない技術が必要 DFT, ATE

2002年度の活動体制

STRJ-WG2(テスト)(23名)

— DFT-SWG(9名)

委員 : 富士通 日立 松下 三菱 NEC 沖 東芝 ローム
特別委員 : 都立大

— ATE-SWG(14名)

委員 : 富士通 日立 松下 三菱 NEC シャープ 東芝
特別委員 : SEAJ(6名) イノテック
アドバンテスト 横河電機(2名)
シバソク 日本マイオニクス
東京エレクトロン

2002年度の活動のポイント

DFT-SWG

- **SoCテスト技術**
SoCにターゲットを絞った技術課題の見直し

ATE-SWG

- **Low Costテスト技術**
DFTテスト，構造可変テスト，オープンアーキテクチャ
- **テスト周辺技術**
プローブカード，ソケット／ハンドラ
- **将来技術課題**の検討

外部講師招聘(合同，個別)

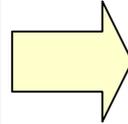
- **新規テスト技術**に関連する知識を拡大
故障解析，仮想テスト，構造可変テスト，SI，SIP等

SoCテストの技術課題

・技術分野ごとに課題を抽出

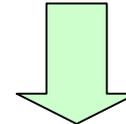
(ITRS2001:Supplementary Material)

- ・ Fault Model
- ・ Test Method
- ・ DFT
- ・ BIST
- ・ Standardization
- ・ Test Cost
- ・ Failure Analysis



・関連性を考慮して分類

- ・ SoCテスト技術課題
Test Method, DFT,
Standardization
- ・ SoCテスト関連技術課題
Fault Model, Test Cost,
BIST, Failure Analysis

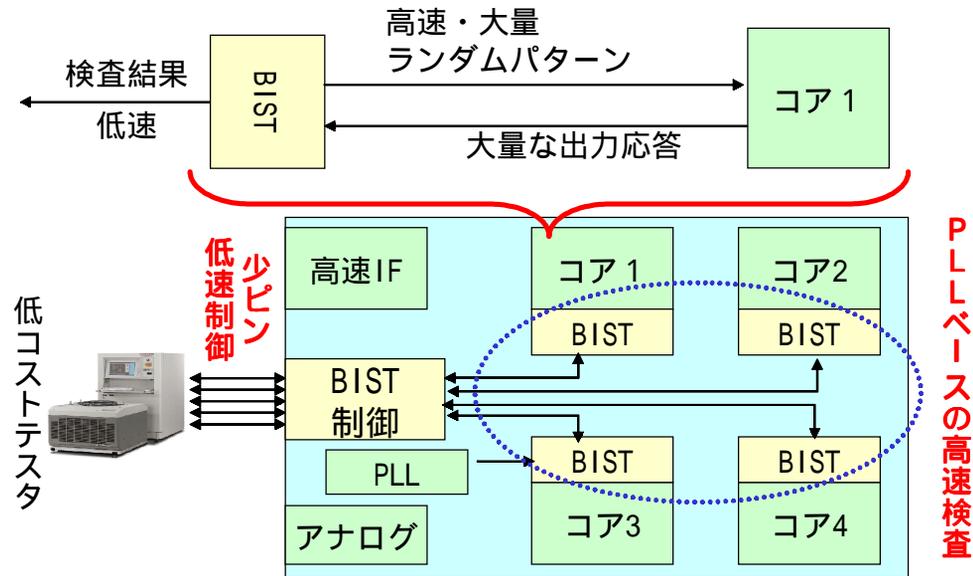


・SoCのイメージに沿った分類に見直し中(ITRS2003に向けて)

- ・ Embedded Cores : Logic , Memory , Analog , Others
- ・ Core Access
- ・ SoC Level Testing
- ・ Manufacturing

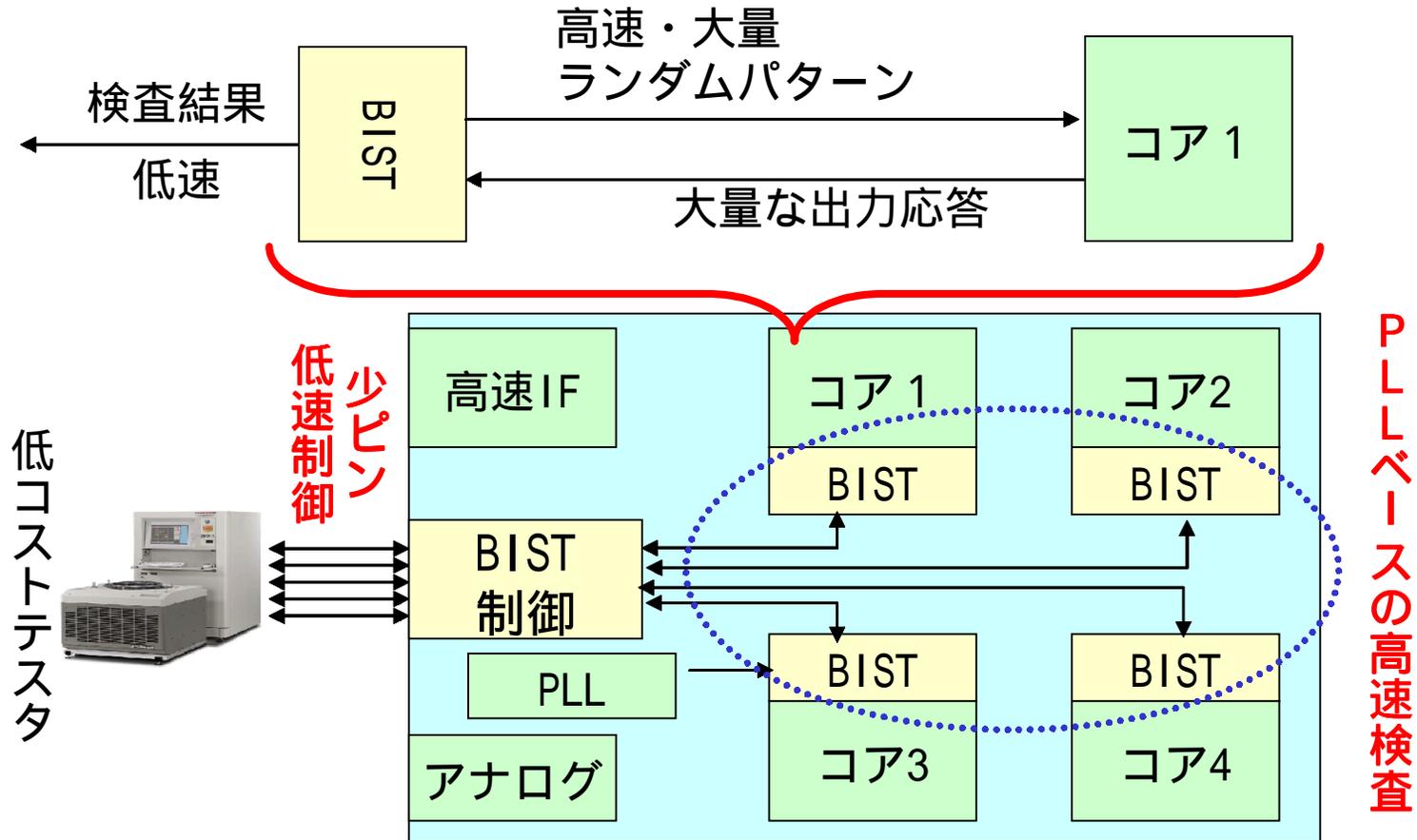
テスト手法

- 低速（低コスト）テスタによる高速SoCのテスト技術が必要
- テスト戦略の自動化を要求



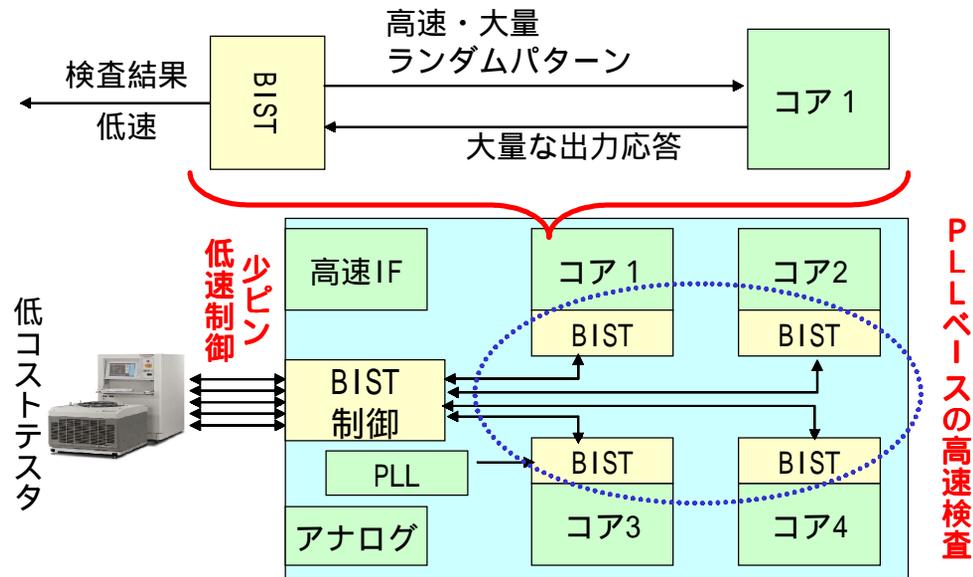
Year of Production	2002	2003	2004	2005	2006	2007-
<i>Test Method</i>						
High Speed Test Using Low Speed Tester (on chip clock generator, test circuit on tester board)	restricted use	practical use	practical use	practical use	practical use	practical use
Test Strategy for IP Core-based Design (test control integration, test scheduling)	manual	partially automated	partially automated	fully automated	fully automated	fully automated
Low Power Consumption Test Technique (test pattern adjustment, test scheduling)	manual	partially automated	partially automated	partially automated	fully automated	fully automated
Max Frequency Validation with Low Speed ATE	No	No	No	◇ Yes	◇ Yes	◇ Yes

テスト手法



テスト手法

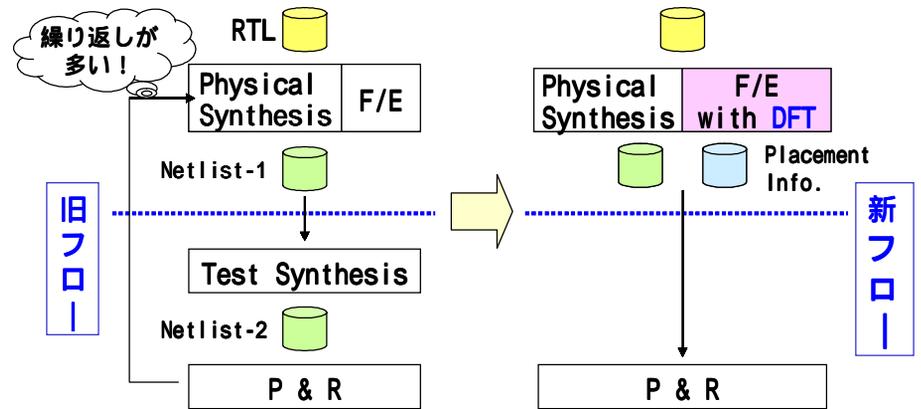
- 低速（低コスト）テスタによる高速SoCのテスト技術が必要
- テスト戦略の自動化を要求



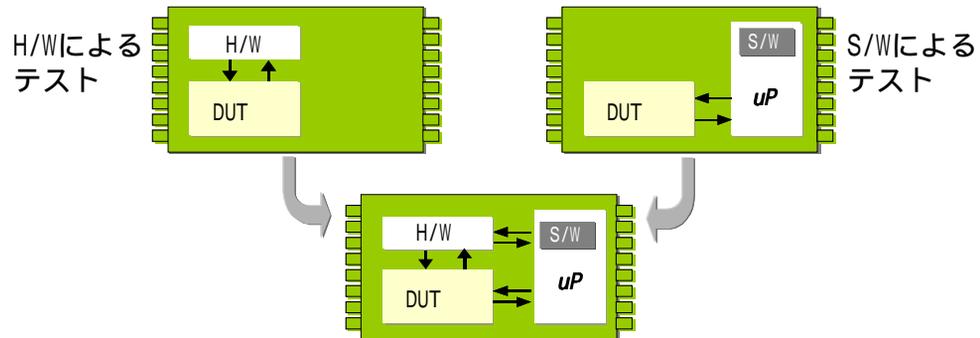
Year of Production	2002	2003	2004	2005	2006	2007-
<i>Test Method</i>						
High Speed Test Using Low Speed Tester (on chip clock generator, test circuit on tester board)	restricted use	practical use	practical use	practical use	practical use	practical use
Test Strategy for IP Core-based Design (test control integration, test scheduling)	manual	partially automated	partially automated	fully automated	fully automated	fully automated
Low Power Consumption Test Technique (test pattern adjustment, test scheduling)	manual	partially automated	partially automated	partially automated	fully automated	fully automated
Max Frequency Validation with Low Speed ATE	No	No	No	◇ Yes	◇ Yes	◇ Yes

DFT (Design for Testability)

- Physical Synthesisの導入
RTL設計段階での早期の
テストビリティ解析,
DFTオーバーヘッド見積り

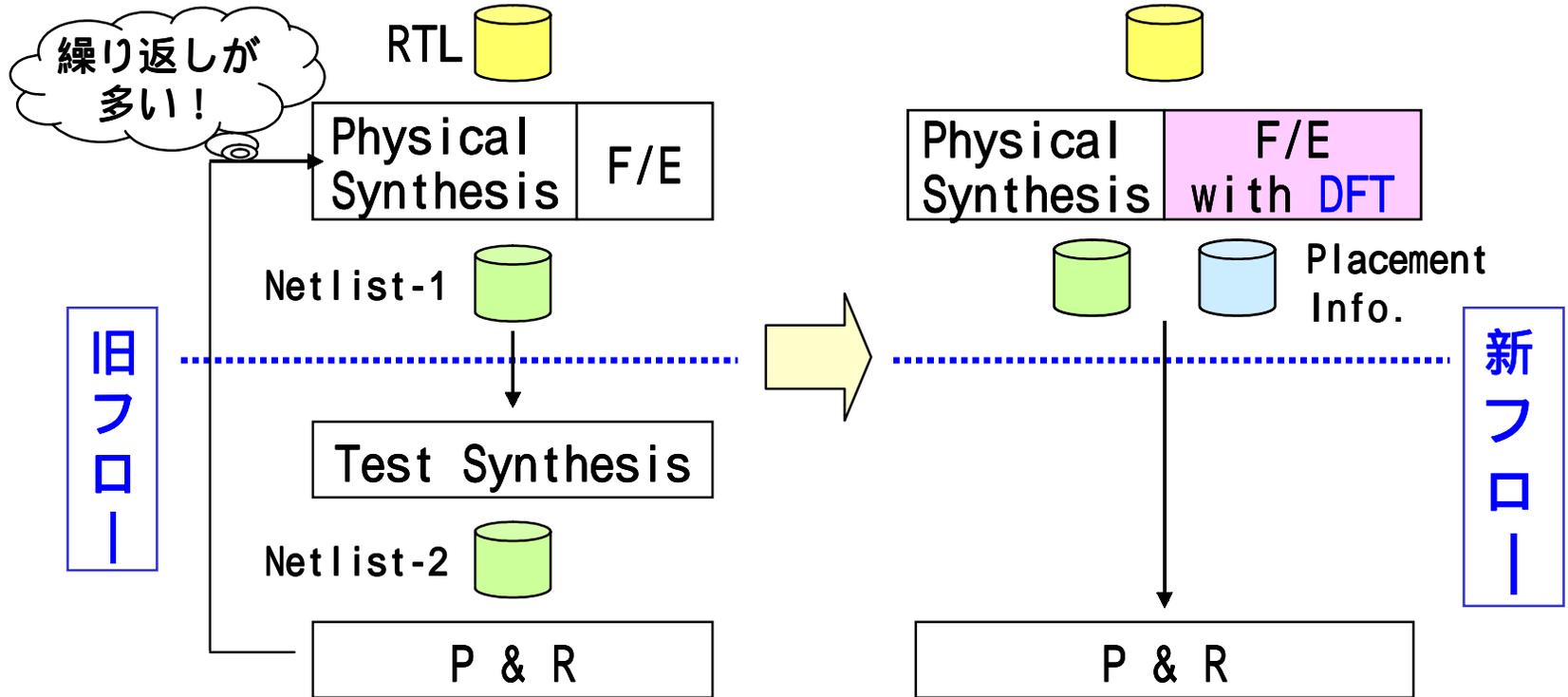


- HW/SWの協調設計の普及
HW/SWを用いたテスト最適化



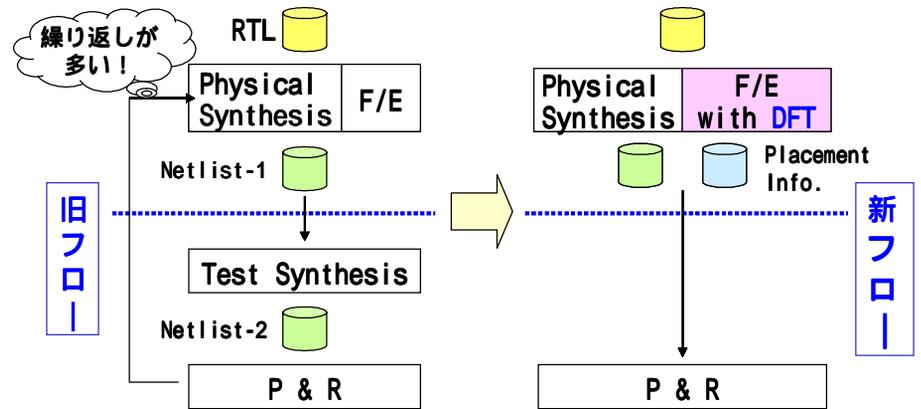
Year of Production	2002	2003	2004	2005	2006	2007-
<i>DFT</i>						
Test logic insertion at RTL Design	partially	partially	partially	fully	fully	fully
Testability analysis and overhead estimation at RTL Design	partially	partially	fully	fully	fully	fully
DFT at Higher Level Design (behavior level, HW/SW co-design, high level synthesis with testability analysis)	No	No	No	Yes	Yes	Yes

DFT(Design for Testability)

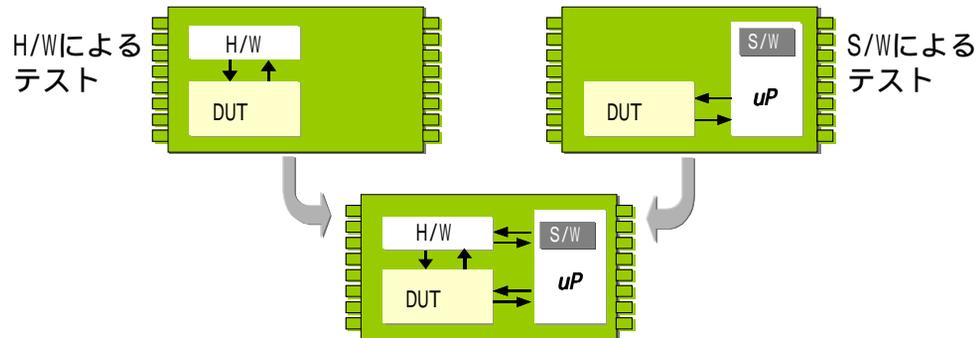


DFT (Design for Testability)

- Physical Synthesisの導入
RTL設計段階での早期の
テストビリティ解析,
DFTオーバーヘッド見積り

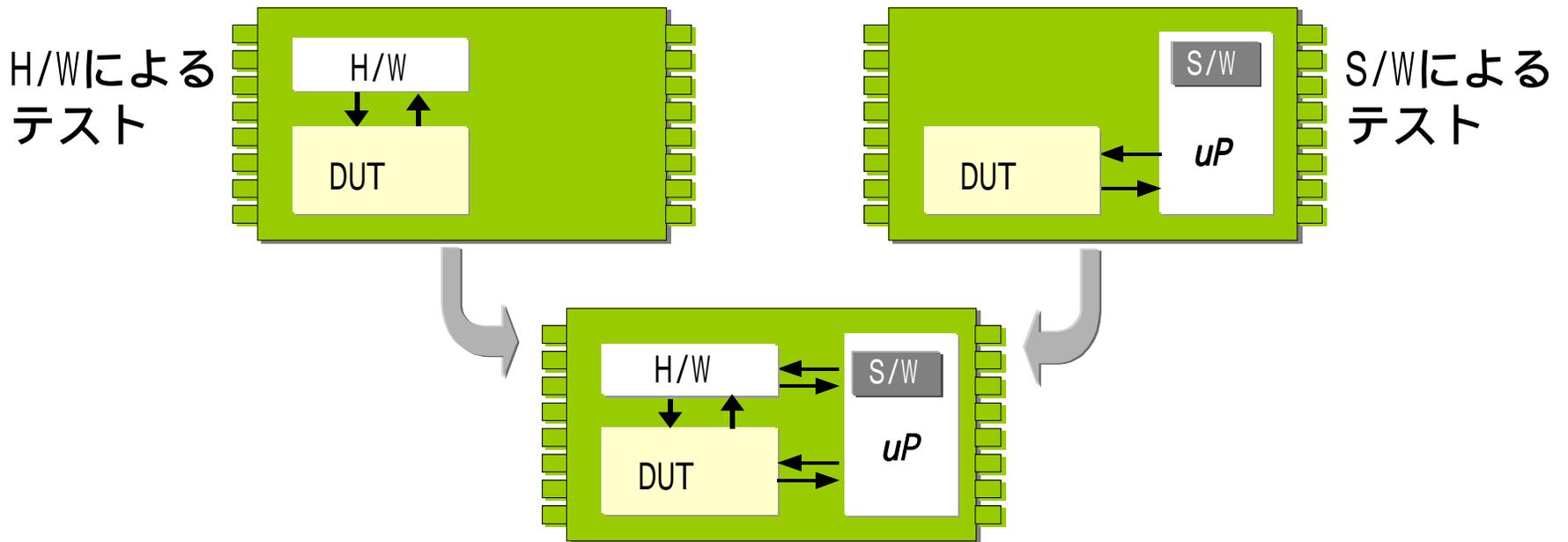


- HW/SWの協調設計の普及
HW/SWを用いたテスト最適化



Year of Production	2002	2003	2004	2005	2006	2007-
<i>DFT</i>						
Test logic insertion at RTL Design	partially	partially	partially	fully	fully	fully
Testability analysis and overhead estimation at RTL Design	partially	partially	fully	fully	fully	fully
DFT at Higher Level Design (behavior level, HW/SW co-design, high level synthesis with testability analysis)	No	No	No	Yes	Yes	Yes

DFT(Design for Testability)

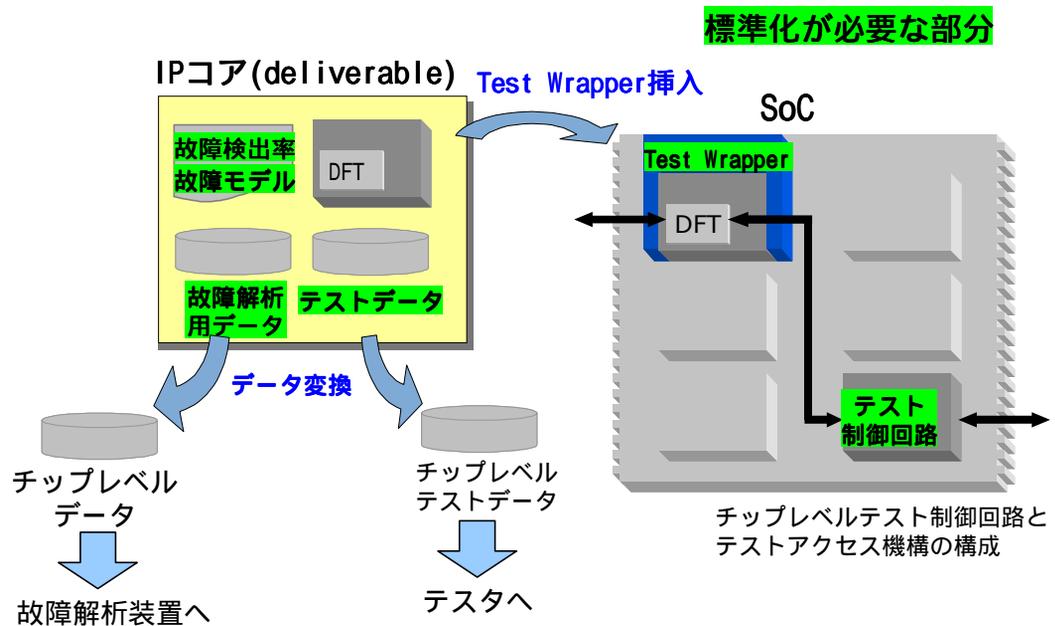


HW/SWを用いたテスト最適化

標準化

SoCのためのテスト標準化

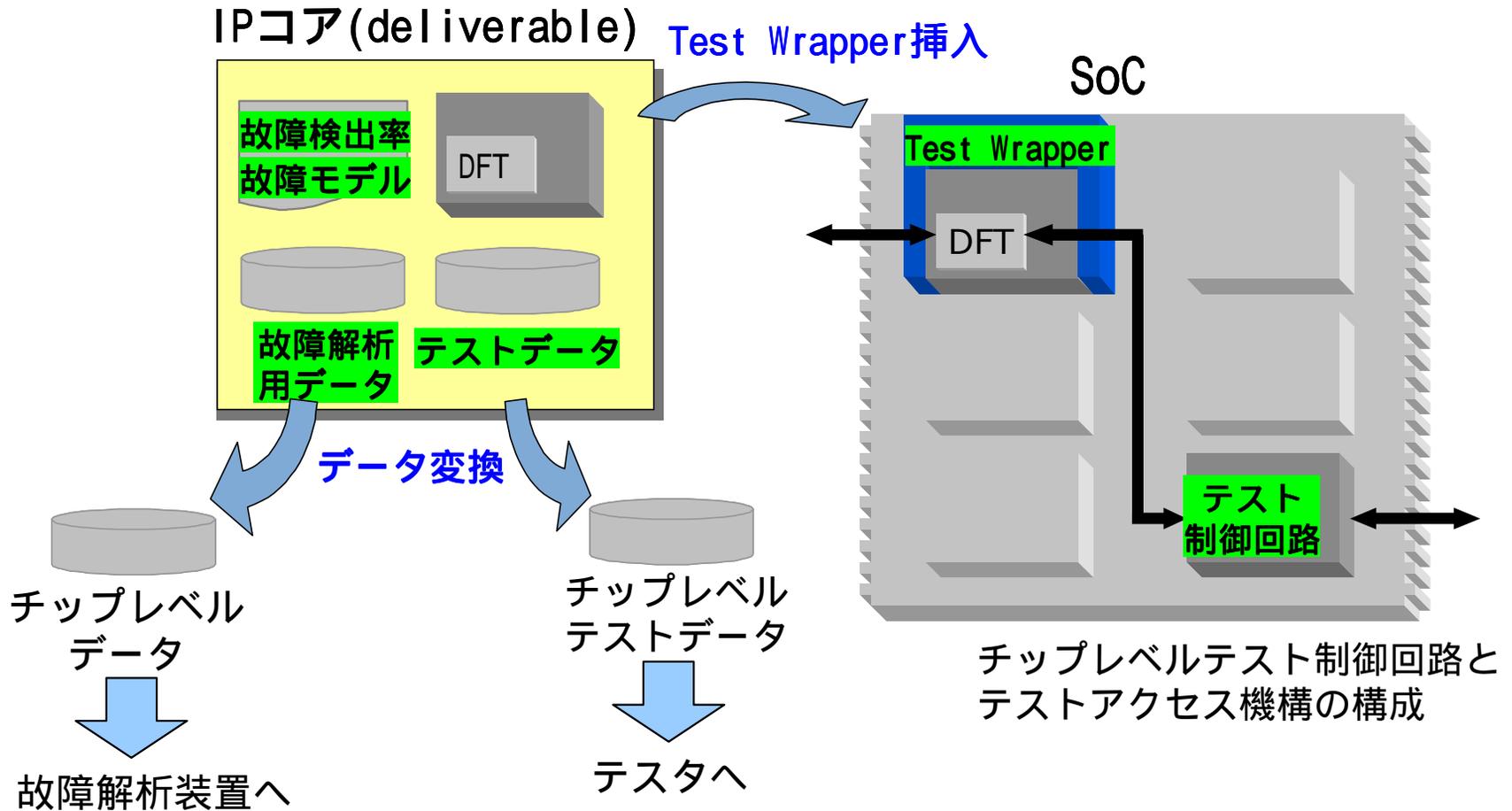
- ・ テストデータ
- ・ テストインタフェース (Test Wrapper)
- ・ 故障モデル / 故障検出率
- ・ 故障解析用データ / インタフェース



Year of Production	2002	2003	2004	2005	2006	2007-
<i>Standardization</i>						
Test Data	Standard Format on EDA/ATE	Standard Format on EDA/ATE	Standard Format on EDA/ATE	Standard Format on EDA/ATE	Analog data	Analog data
Test Method/Test Interface	Standard Methods on IP core	Standard Methods on IP core	Standard Methods on IP core/ EDA	Standard Methods on IP core/ EDA	Automated SOC test integration	Automated SOC test integration
Fault Model/Fault Coverage	Single Stuck-at Fault Model / Transition	Single Stuck-at Fault Model / Transition	Standard fault models, SOC level coverage	Standard fault models, SOC level coverage	New standard fault model, its coverage	New standard fault model, its coverage
Diagnosis Interface / Data	Standard Format and Methods on IP core	Standard Format and Methods on IP core	Standard Format and Methods on IP core	Standard Format and Methods on IP core	Automated SOC Diagnosis	Automated SOC Diagnosis

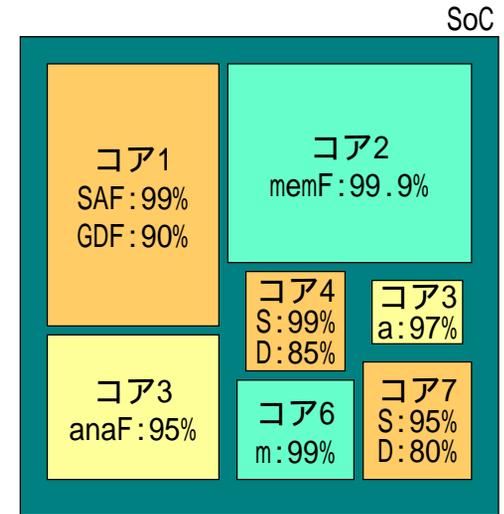
標準化

標準化が必要な部分



故障モデル

- より現実の欠陥をベースにした故障モデルが必要
- クロストーク故障：
 - 当面は設計で回避
 - 将来は回避不可のため対応が必須
- SoC全体のテスト品質評価：
 - 種々のコアを搭載した場合の全体としてのテスト品質の評価が必要
 - (多様な欠陥タイプの考慮も必要)

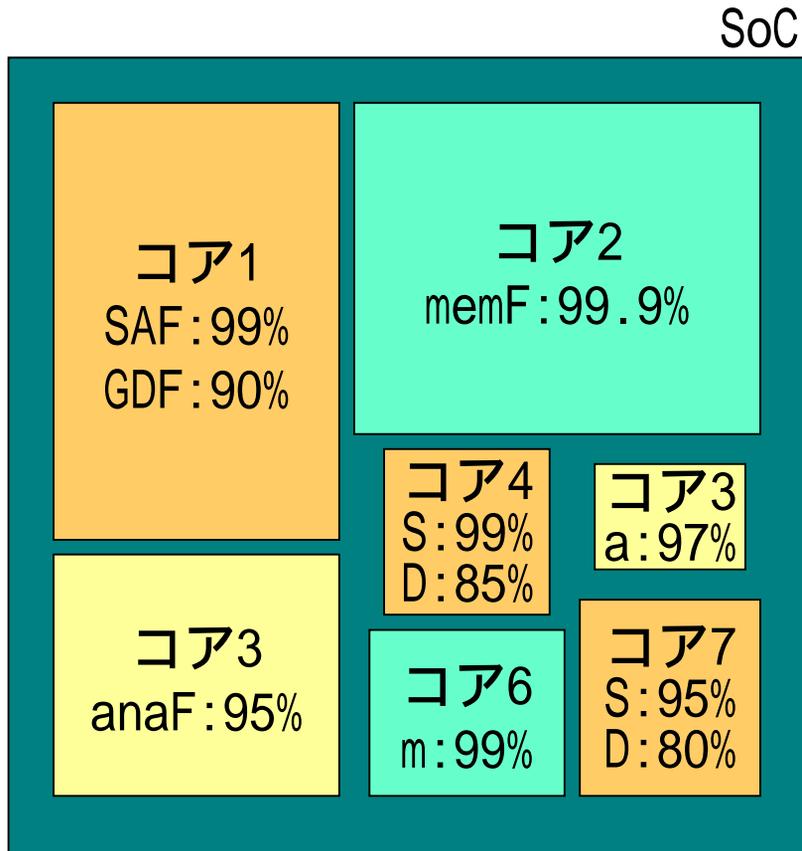


SoC全体のテスト品質は？

- 個々の検出率の整合化？
- 欠陥を考慮した重み付け？

Year of Production	2002	2003	2004	2005	2006	2007-
<i>Fault Model</i>						
Static Fault Model	single stuck-at	single stuck-at	single stuck-at	single stuck-at	single stuck-at / general	single stuck-at / general
Dynamic Fault Model	gate / path delay	gate / path delay	path delay for whole chip			
Fault Model for IDDQ Test / Alternative Method	toggle / pseudo-stuck-at	pseudo-s.-a. / open/short				
New Fault Model (crosstalk etc.)	No	◇ Yes	◇ Yes	◇ Yes	Yes	Yes
New Fault Model (universal fault model)	No	No	No	No	Yes	Yes

故障モデル

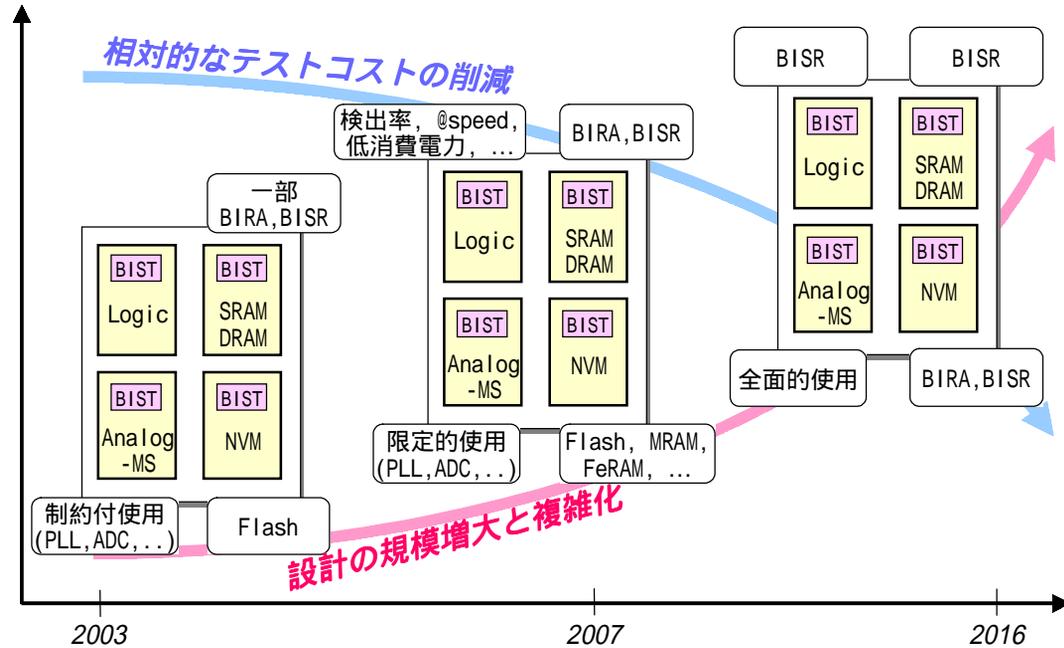


SoC全体のテスト品質は?

- 個々の検出率の整合化?
- 欠陥を考慮した重み付け?

BIST

- SRAM/DRAMのBISTは確立済み
- NVメモリのBIST技術は立上げが必要
 - Flashは既にSoCに搭載
 - 新デバイス (MRAM/FeRAM等) への対応検討が必要

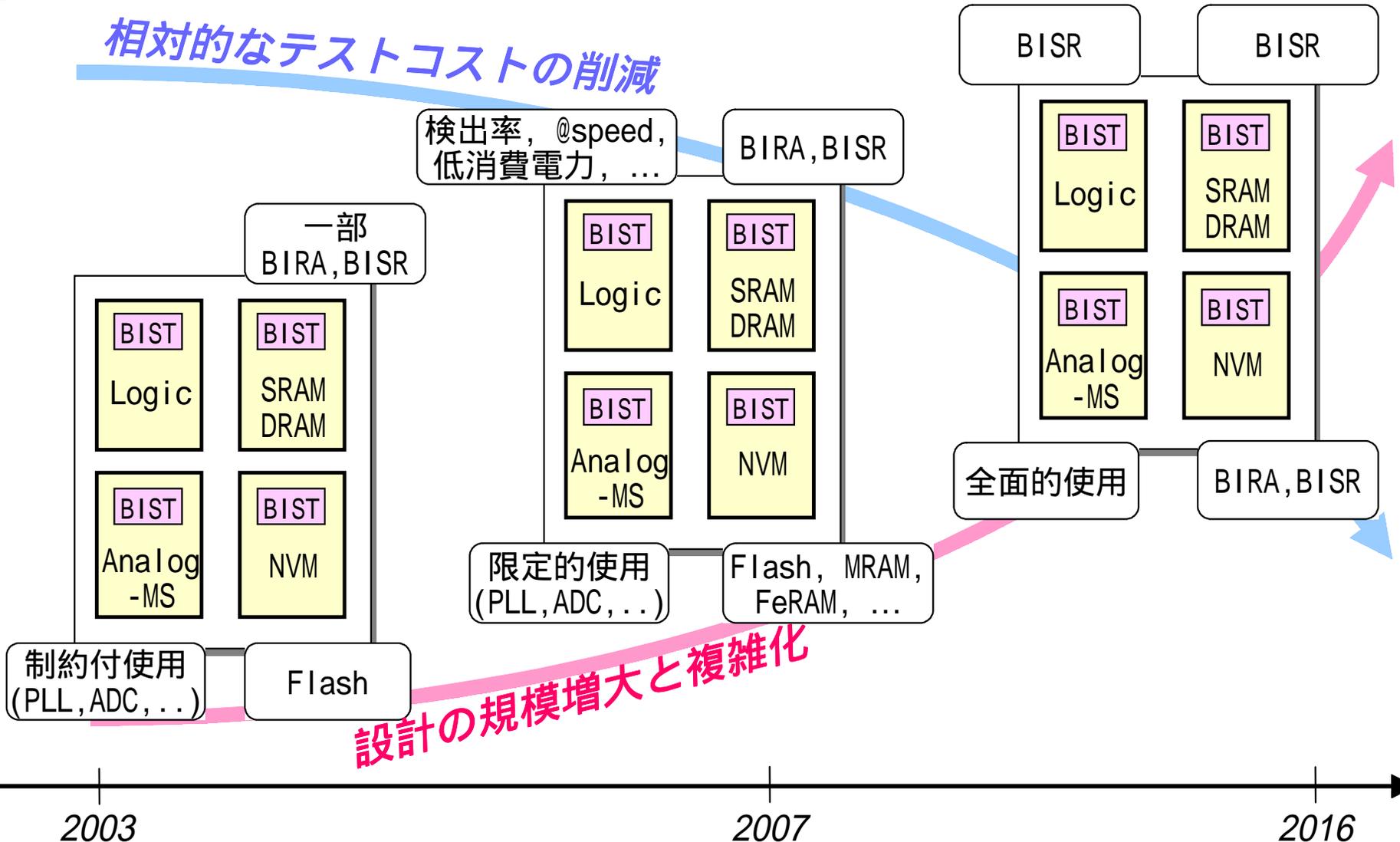


Year of Production	2002	2003	2004	2005	2006/2007	2010-
BIST						
Embedded Non-volatile Memory BIST		Yes	Yes	Yes	Yes	Yes
Embedded Memory BIST (redundancy, self repair)		partially BISR	partially BISR	BISR	BISR	BISR
Logic BIST	Yes [*]	Yes [*]	Yes [*]	Yes [*]	Yes [*]	Yes [*]
Analog/Mixed Signal BIST	restricted use (PLL, ADC, etc.)	restricted use (PLL, ADC, etc.)	limited use (PLL, ADC, etc.)	limited use (PLL, ADC, etc.)	full use	full use
Others						tester on chip, logic BISR

*: high fault coverage, at-speed test on system operation, test time restraint, low power, low area overhead

BIST

相対的なテストコストの削減



設計の規模増大と複雑化

2003

2007

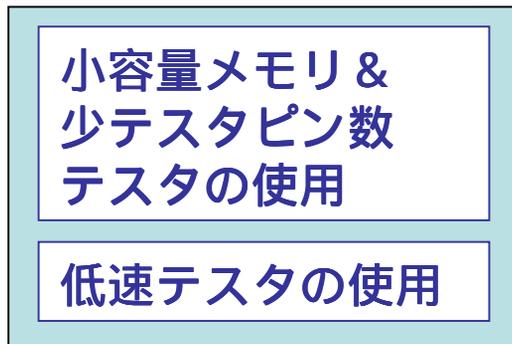
2016

テストコストを低減するための技術

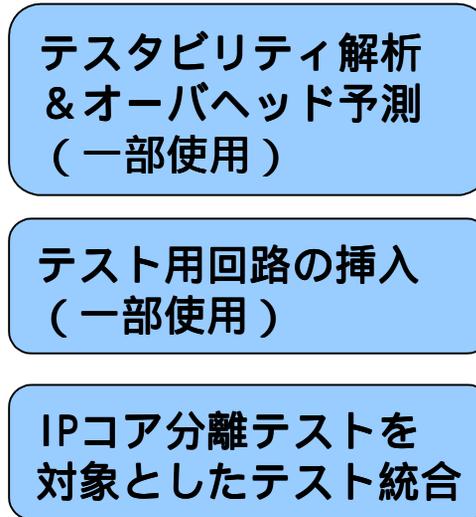
テスト設計TATの低減



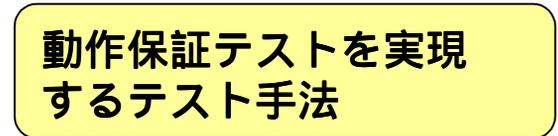
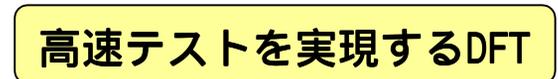
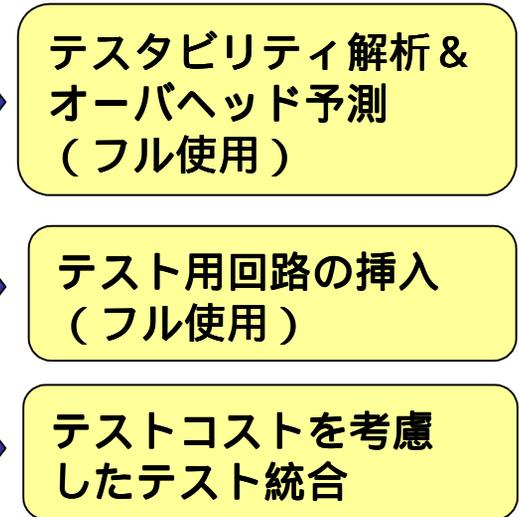
テストコストの低減



(現状)



(将来)



次世代故障モデルの検討

- ・ 微細化により新たに発生する故障とそのモデリングについて整理

(DMD研究会と協同)

	stuck-at	short	open	delay	X-talk
EM					
X-talk					
IR-drop					
EMI					

テストコスト抑制のための基本的考え方 (ATEからの観点)

テストコスト抑制にはATEコスト低減、既存ATE有効利用やテスト開発TATの短縮等の観点がある

< ATEコスト低減 >

- * DFTテスト デバイスにDFT機能を組み込みテストハードの物量削減
- * 構造可変テスト デバイステストに必要な機能を抽出しテストを再構築
- * ATEオープンアーキテクチャ
モジュールインタフェースを規定しマルチベンダでテストを構成

< 既存ATE有効利用 >

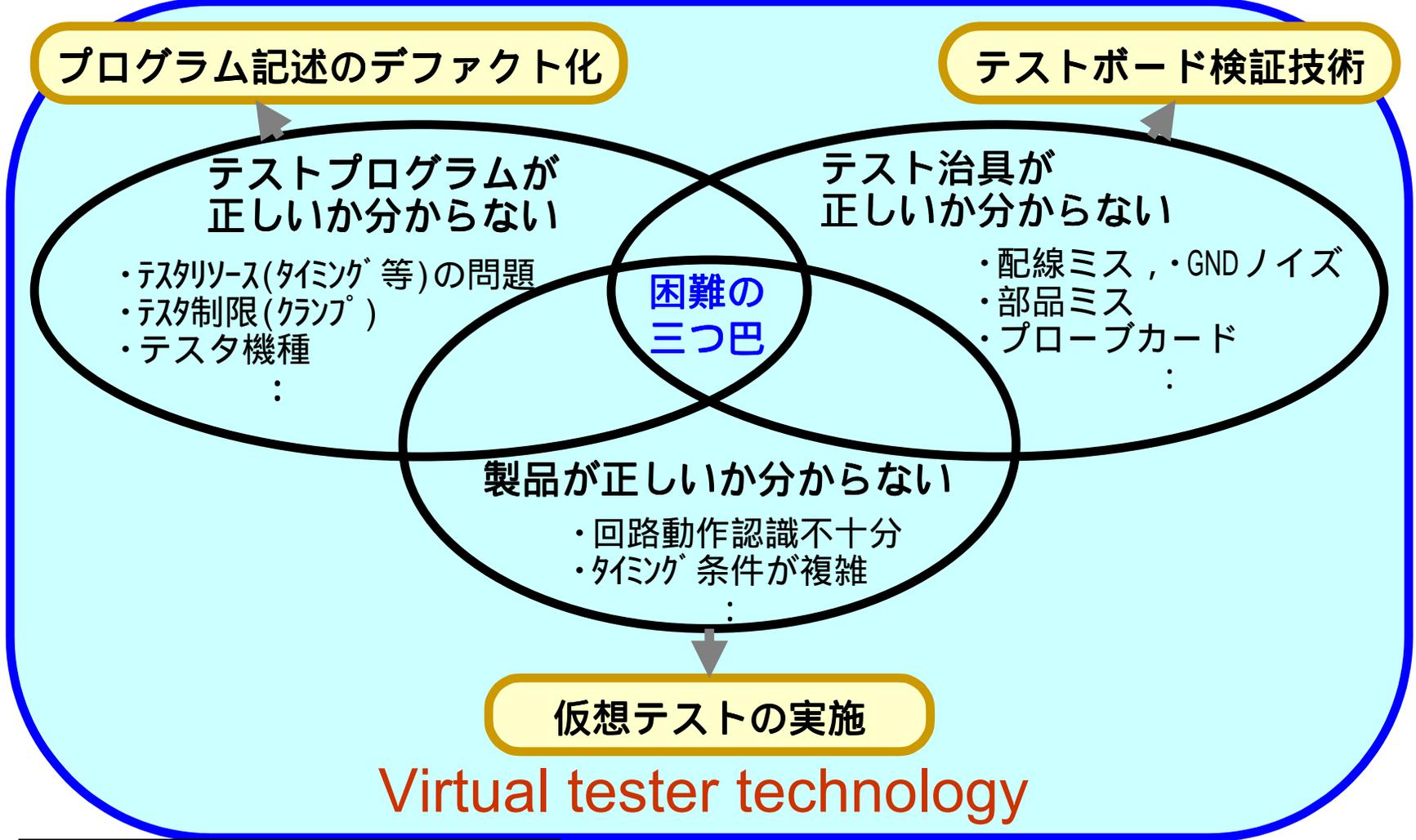
- * 2パス (メモリ + ロジック) / 3パス

< テスト開発のTAT短縮 >

- * テスト言語の標準化
- * ボードの共通化
- * 仮想テストでの製品試作前デバッグ

新テスト技術

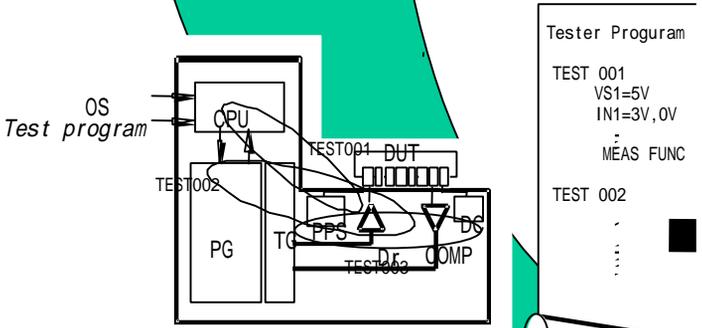
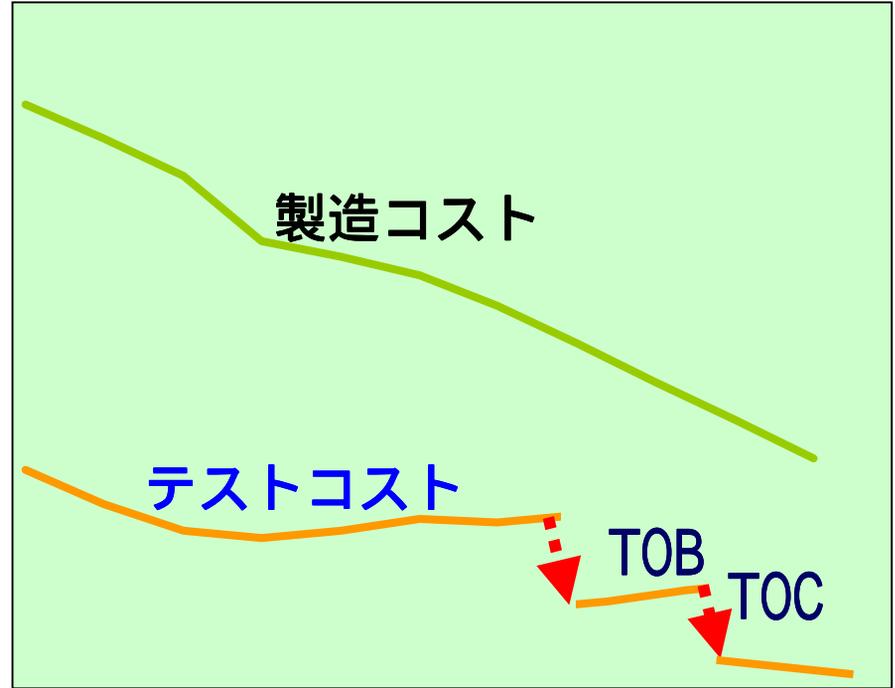
設計テストティングの難しさと仮想テスト技術



テストコスト抑制のための一つのソリューション (構造可変テスト)

テスト構造表現言語

セント/Tr



テスト技術のパラダイムシフト

テストコスト抑制のもう一つのソリューション

▶▶ ATEオープンアーキテクチャ ◀◀

デバイス・テストの課題

テスト検出能力の向上
テスト開発TATの短縮
テストコストの低減

デバイス・テストの現状

テストマージンの減少

テスト技術者に対する
技術要求の増大

テスト技術の習得に
時間が掛かる

多岐に渡る
テスト要求

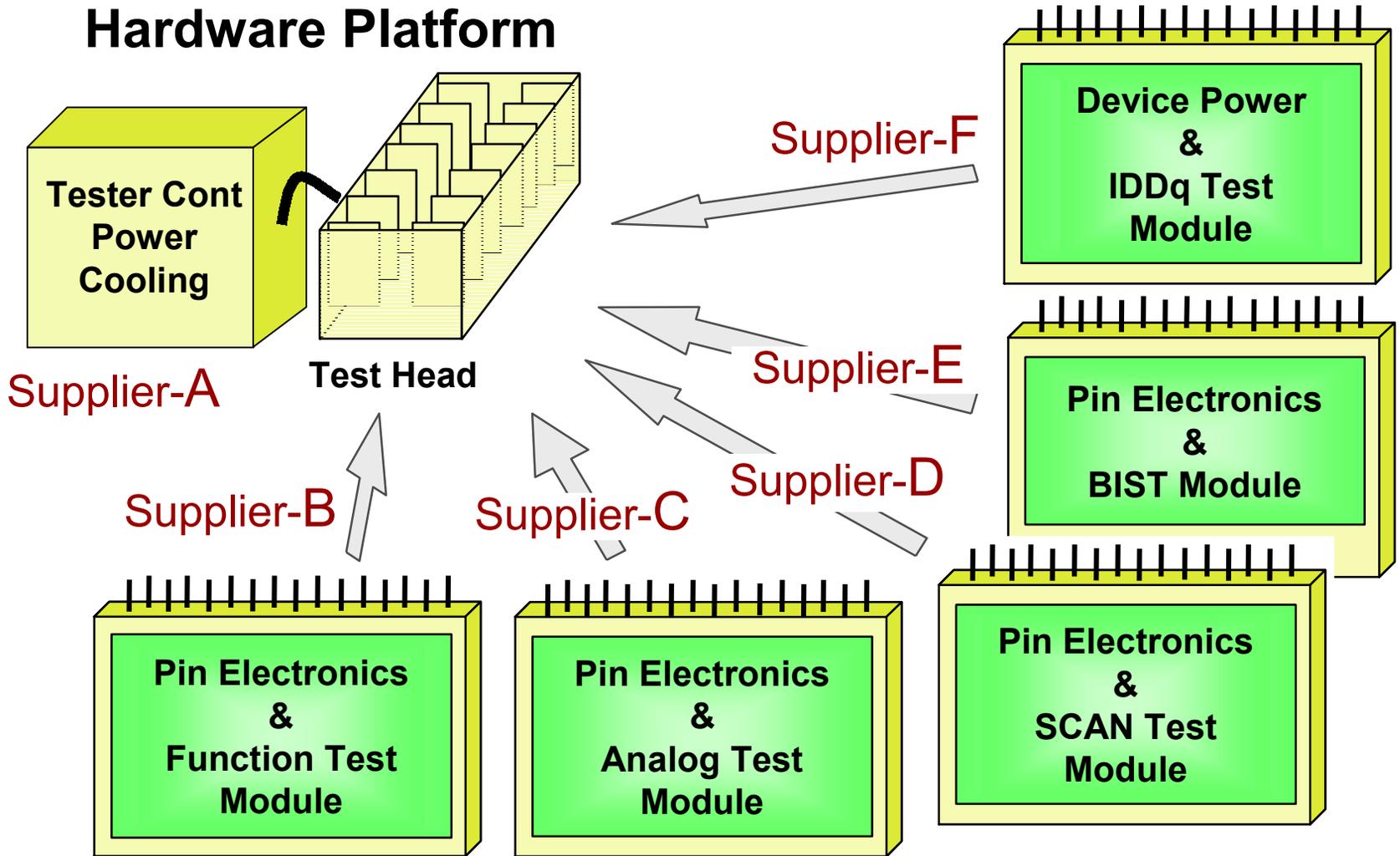
高性能化 & 多機能化するデバイスの進歩
デバイス生産形態の多品種変量化

テストコストの削減
に時間が掛かる

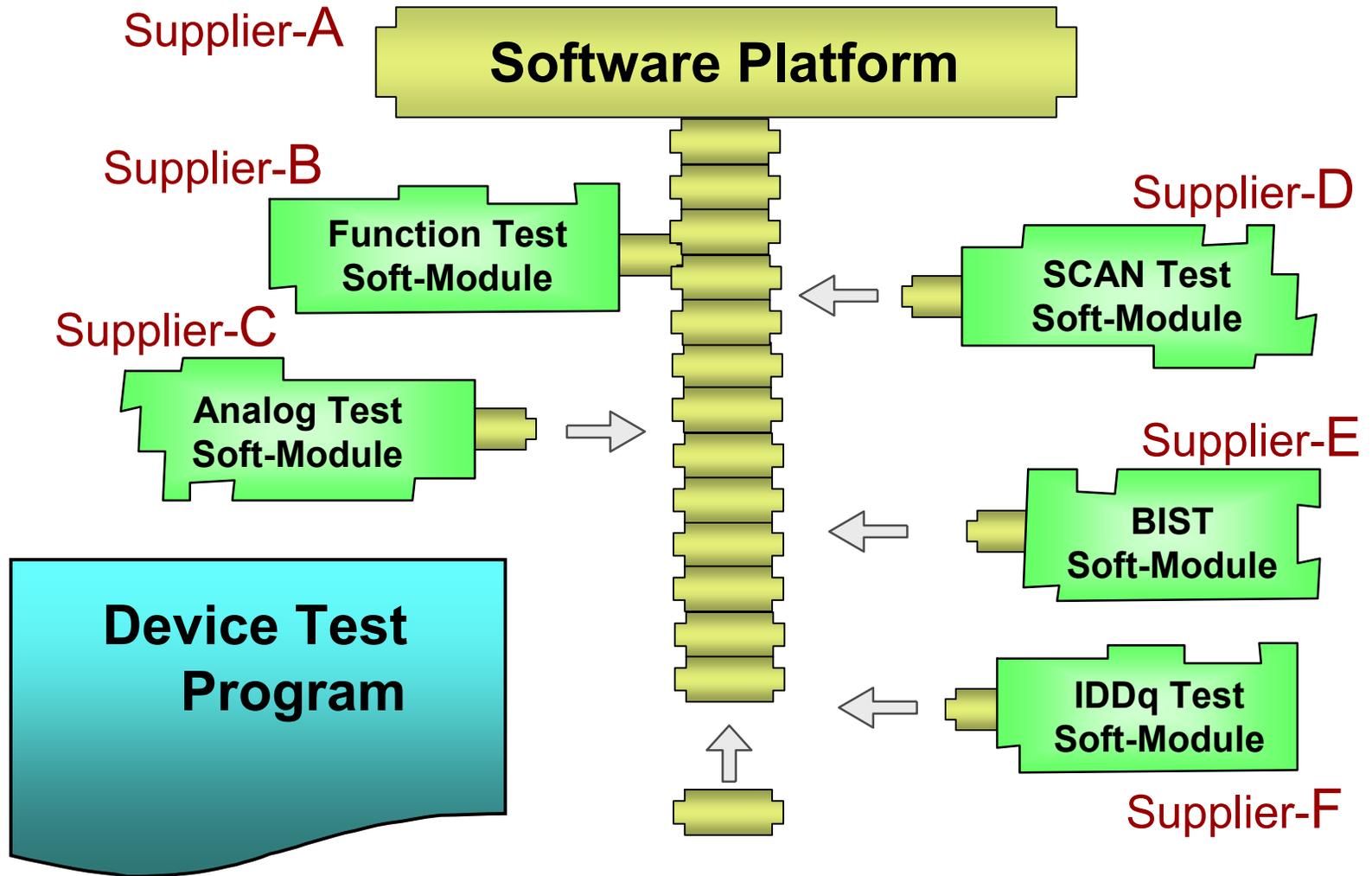
テスト投資の
回収期間が短い

ATEが陳腐化する
リスクの増大

ATEオープンアーキテクチャ (ハードウェア)



ATEオープンアーキテクチャ (システム・ソフトウェア)



ATEオープンアーキテクチャで期待される効果

テスト検出能力の向上

テスト内容に応じたテスト機能をフレキシブルに構築

テスト開発TATの短縮

ハード/ソフト・プラットフォームの標準化でテスト技術者の負担が軽減

テストコストの低減

モジュール単位のサプライヤ選択でコスト・パフォーマンスが向上

今後の討議課題

各種モジュールと親和性があるテスト・プログラム言語
アナログテストにおける各種ノウハウのモジュール化
モジュール変更に伴う DUT-I/F の互換性と安全性
ハンドラ/プローバ接続の標準化
EDA を含むテスト開発環境の標準化

ITRS2003への提案予定

～ 2002年度のATEサブWG活動を踏まえて ～

日本からのロードマップ発信

< 従来トレンド：ITRSからの日本への期待 >

- * プローブカード
- * ソケット/ハンドラ

< 新テスト技術トレンド：キーワード >

【ATEトレンド】

- DFTテスト
- 構造可変テスト
- ATEオープンアーキテクチャ

【テスト手法トレンド】

- ロジック救済
- IDDスペクトル手法

【テスト開発トレンド】

- テストプログラム作成TAT

2002年度活動のまとめ

テストコスト削減のソリューションとしての検討

- * DFT関連コスト削減ソリューション
- * ATE関連コスト削減ソリューション

日本からのITRS2003へのロードマップ案の発信

- * SoCテスト技術課題
- * プローブカード, ソケット / ハンドラ
- * 新テスト技術トレンド

合宿でのフランクな討議による現状打破案

- * 日本のテストエンジニア統合(テストピア構想)