

WG4/WG11クロスカット活動報告

WG4(配線技術)主査
(株)半導体先端テクノロジーズ
小川 真一

WG4/WG11 Crosscut Activity

ボイドとポア計測が, Cu/Low-k配線の将来を決める

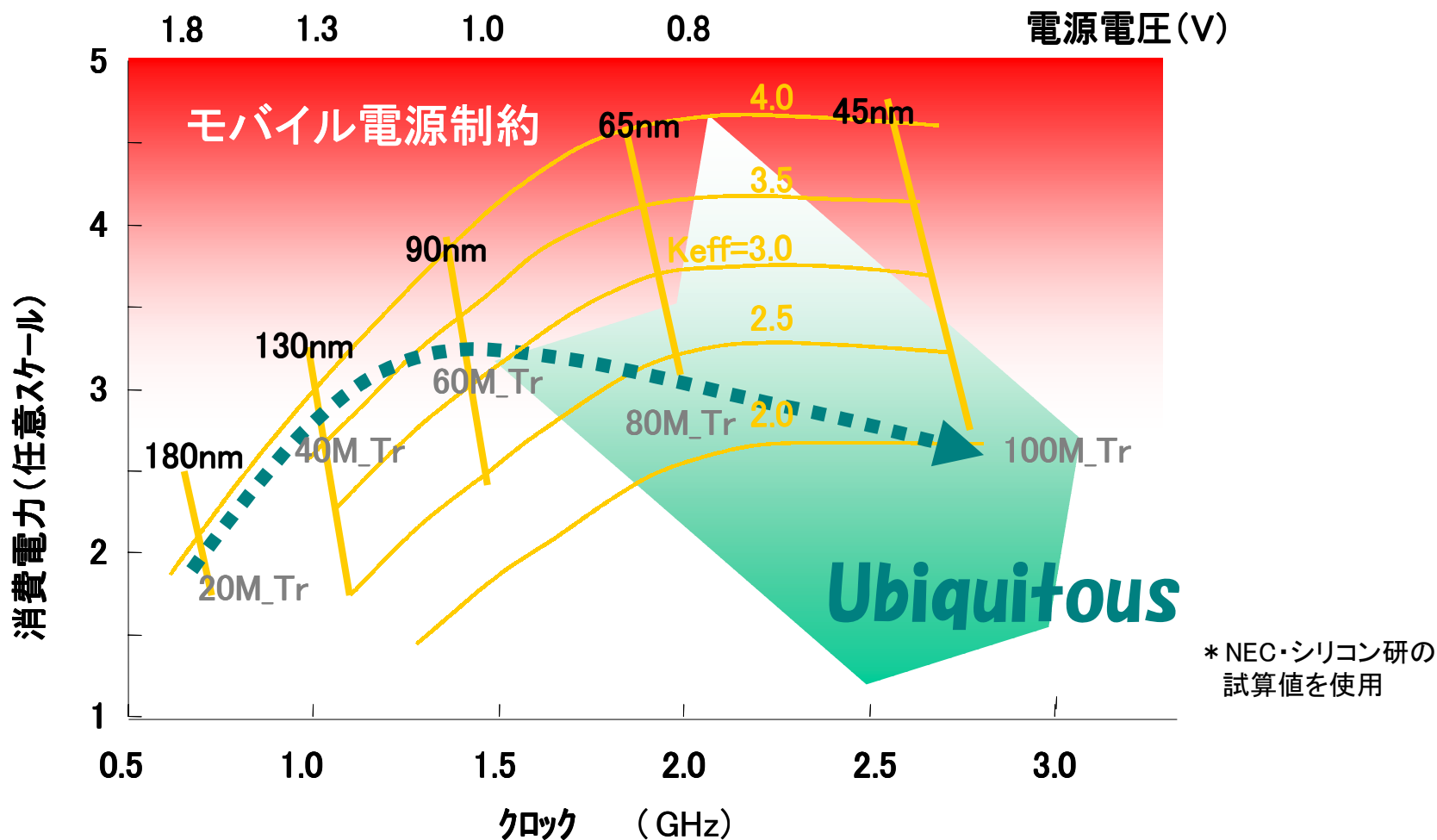
Table 101a Interconnect Metrology Technology Requirements—Near Term

Year of Production		2001	2002	2003	2004	2005	2006	2007	Driver
DRAM ½ Pitch (nm)		130	115	100	90	80	70	65	
MPU / ASIC ½ Pitch (nm)		150	130	107	90	80	70	65	
MPU Printed Gate Length (nm)		90	75	65	53	45	40	35	
MPU Physical Gate Length (nm)		65	53	45	37	32	28	25	
Was	<i>Void size for 1% voiding in copper lines</i>	32.5	28.75	25	22.5	20	17.5	16.25	
Is	<u>Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1% or more of total metal level conductor volume of copper line and 5% of vias. [B]</u>	87	73	61	52	46	42	37	MPU
Was	<i>Detection of killer pore at (nm) size</i>	6.5	5.75	5	4.5	4	3.5	3.25	MPU
Is	<u>Detection of killer pore in ILD at (nm) size</u>	7.5	6.5	5.35	4.5	4	3.5	3.25	MPU

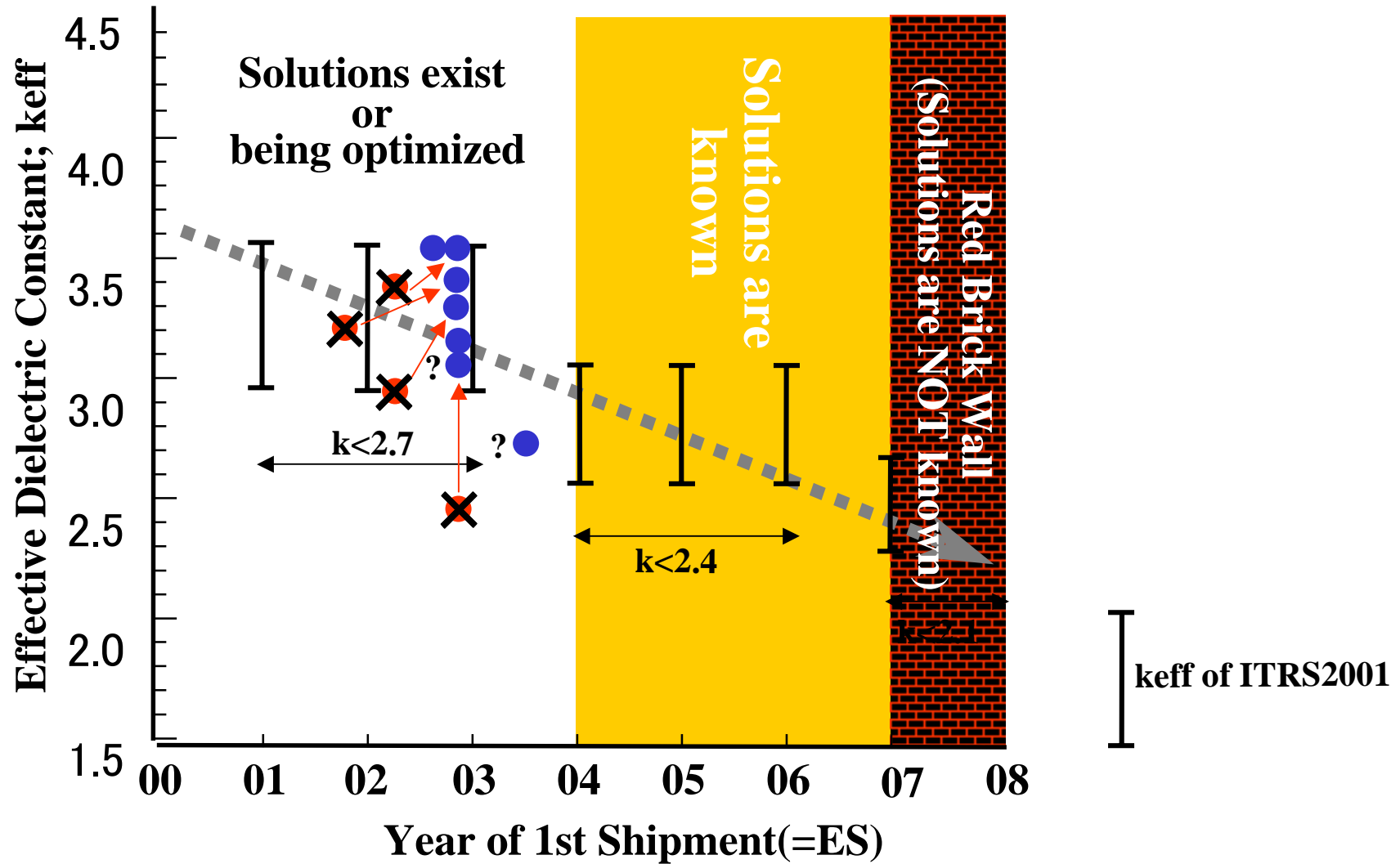
2002 UpdateでRed Brick Roadではなくなったが...

Ubiquitousには Cu/Low_k が欲しい

電源電圧スケーリングだけではコマ不足

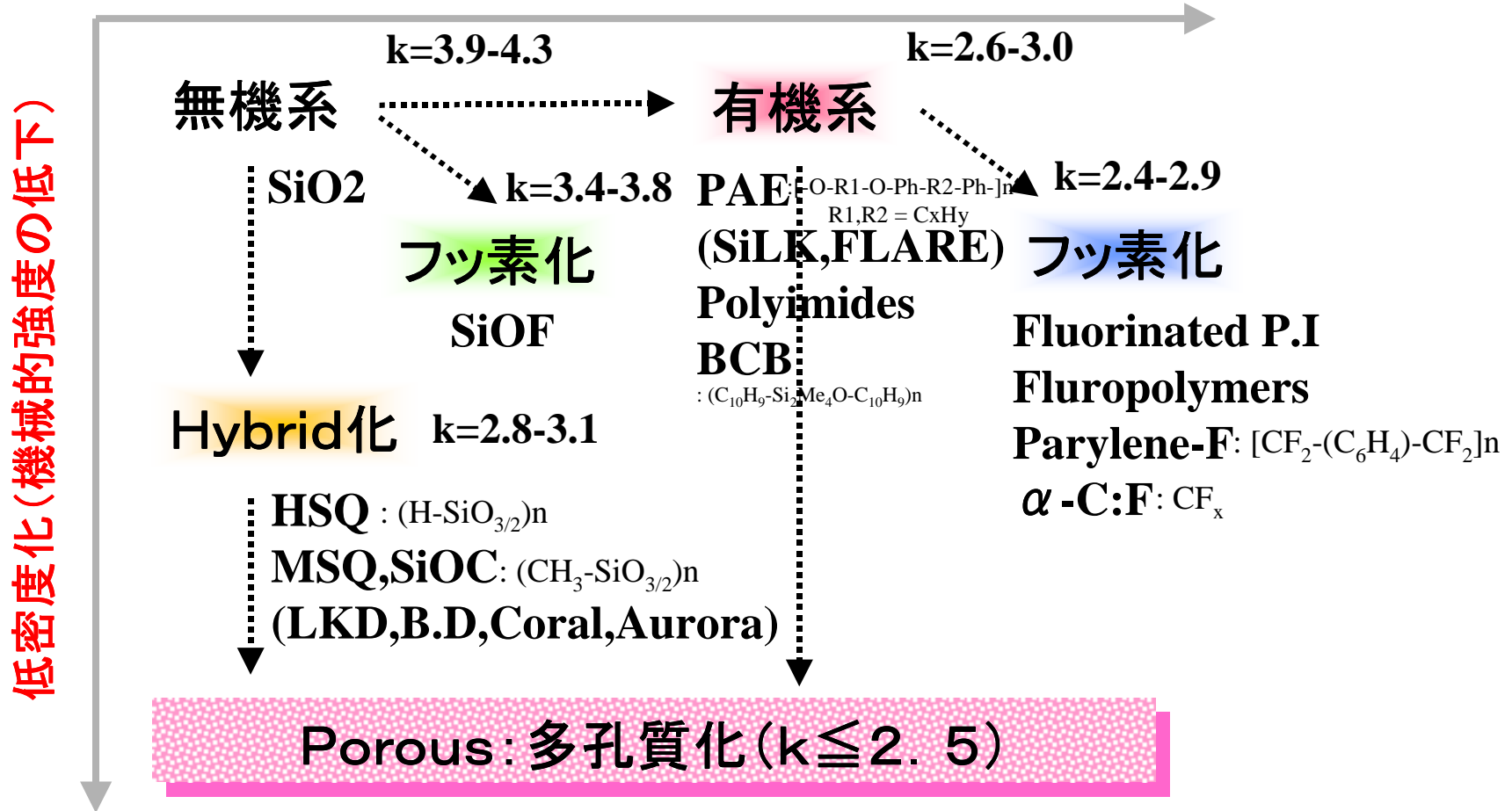


ITRS2001と各社ターゲットkeff



Low-kはPorousに至る

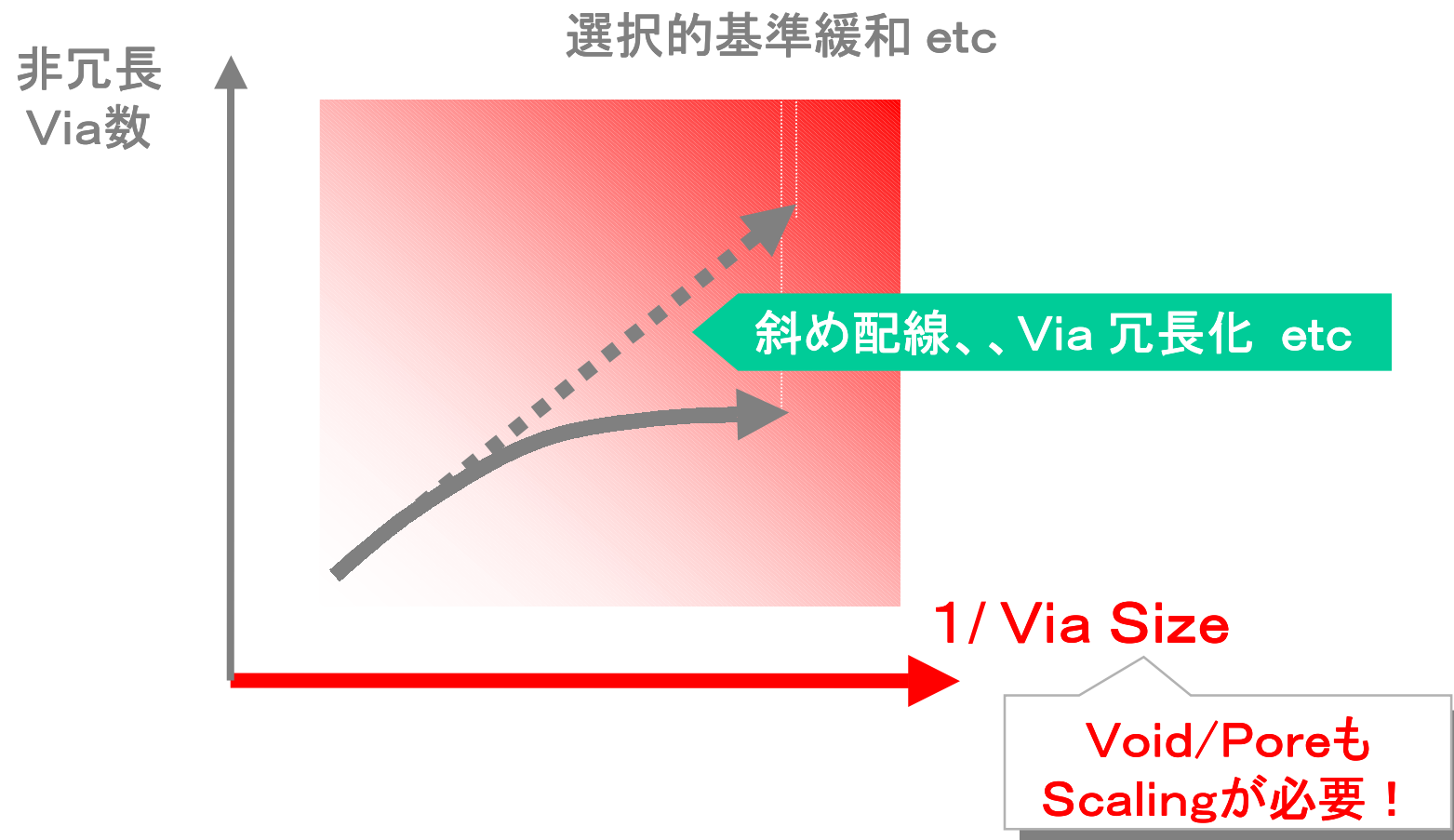
低分極化(熱的安定性の低下)



注) Honeywellセミナー2000予稿集(低誘電率層間絶縁膜の機械強度の評価解析:ASSET 青井信雄氏)を参考に作成

DFMは微細化に無力

ex. Via数増は、設計上の対策で削減可能だが...



Cu/Low-kプロセスの課題

<不良モード>

STP/Cu界面剥がれ

STP/ILD界面剥がれ

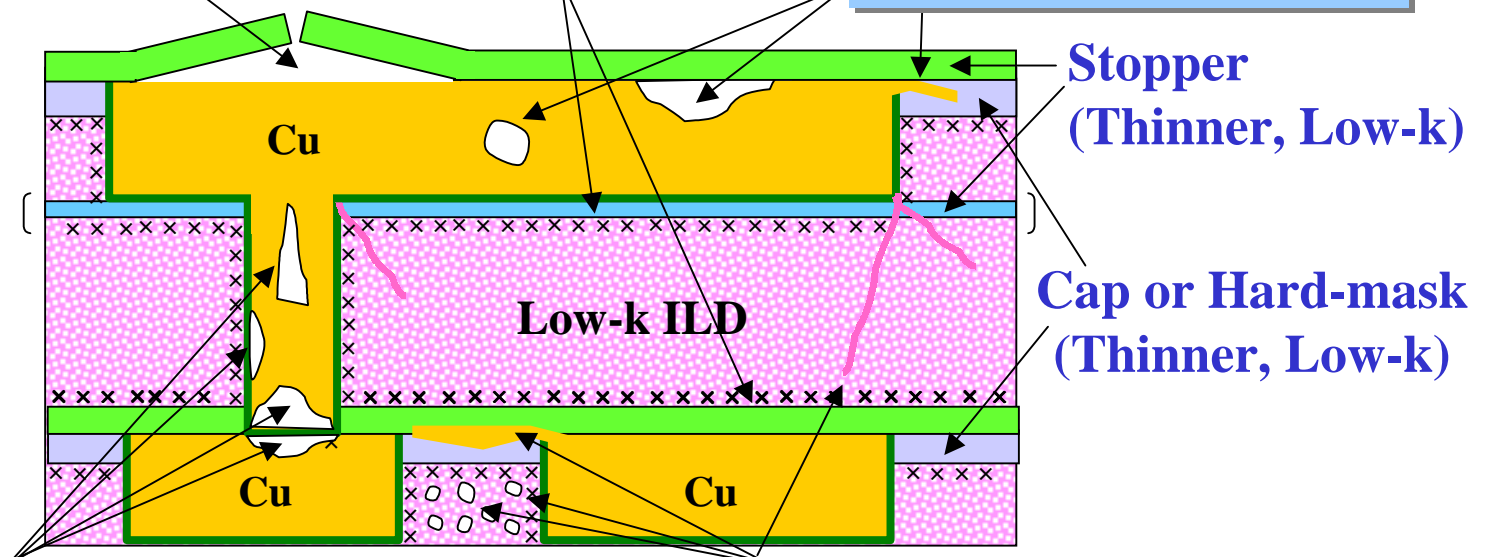
EM信頼性不良

<プロセス要因>

- ・密着性不良
- ・Cu上異物残留
- ・CMP後処理不足
- ・脱ガス
- ・応力不整合

- ・Low-k ILDへの変質層形成
- ・STP/ILD応力不整合
- ・脱ガス

- ・STP/Cu界面密着性不良
- ・Cuめつき起因Void
- ・脆弱界面へのCu-Extrusion



Via導通不良/SM信頼性不良

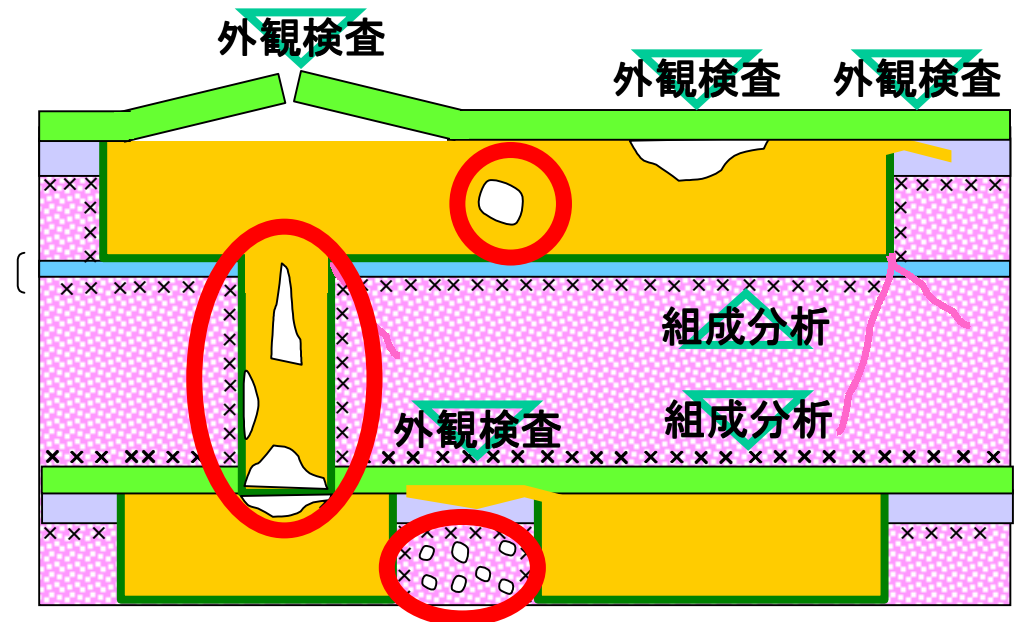
- ・Cu埋め込み不良
- ・Via加工不良 (Etch-Stop、Bowing)
- ・Cuめつき膜質 (Tensile Stress起因Pull-out)
- ・BM/Cu密着性不良/表面凹凸
- ・ILD 応力変化大、Young率小

配線層間リーク増大、ショート

- ・ILDへの変質層形成と吸湿
- ・Low-k ILD Void形成
- ・脆弱界面へのSTP/Cu-Extrusion
- ・Low-k ILD機械的強度不足

各プロセス要因の可計測性

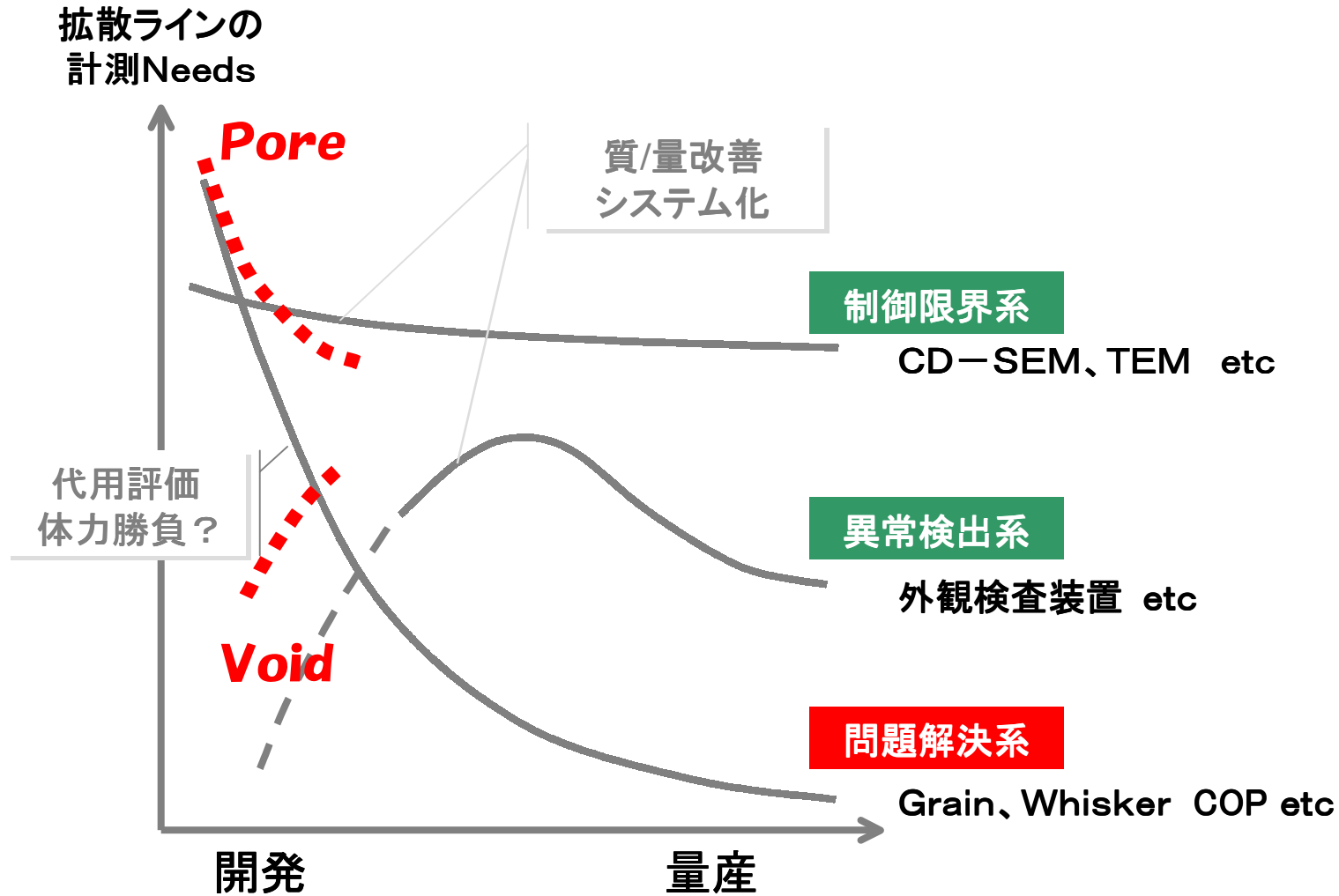
素材中の微小欠陥は、検出/計測が困難



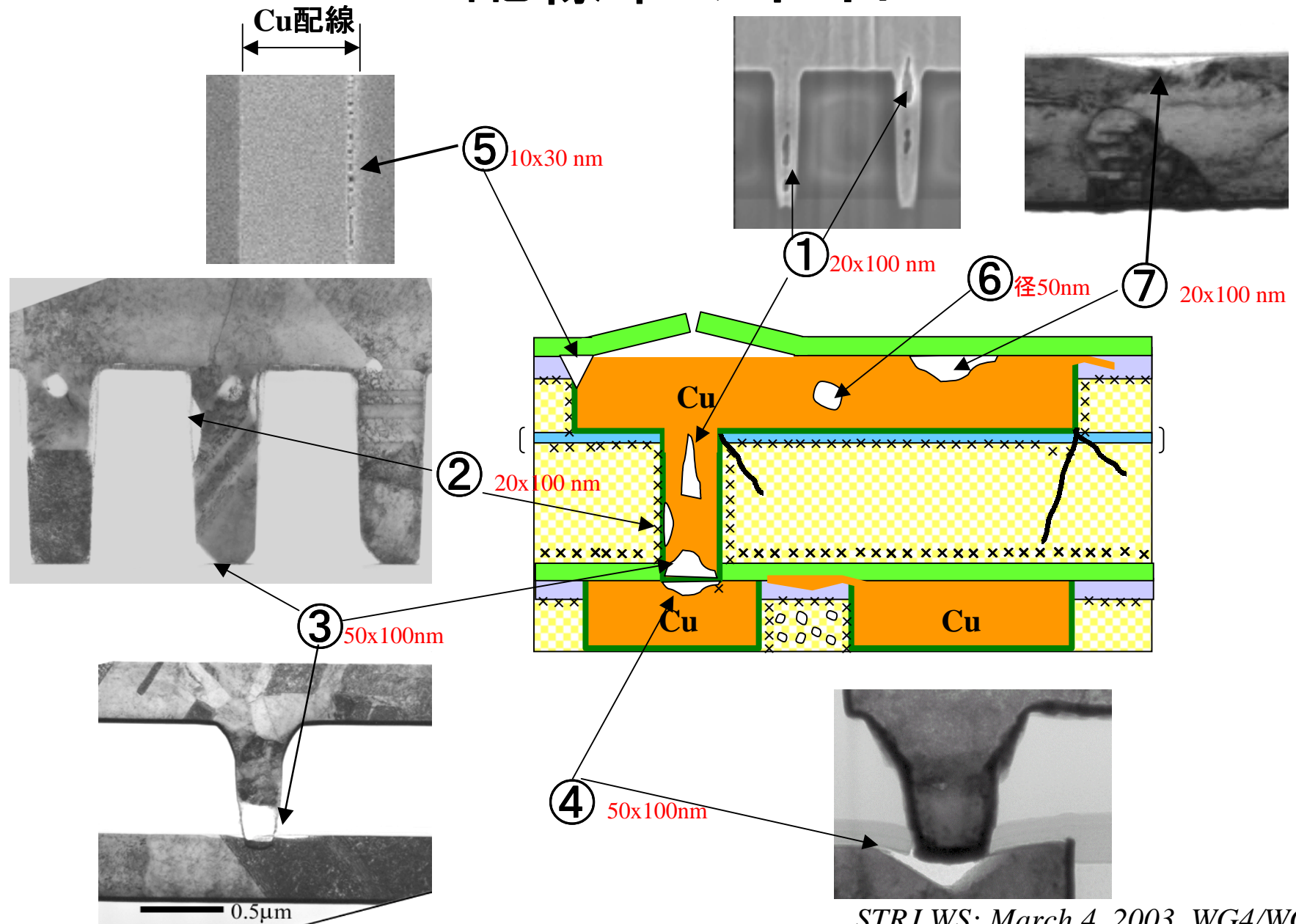
工程内での電気的特性チェックを活用出来ないか？

計測技術開発の経済性

開発費回収性 vs. Showstopper?

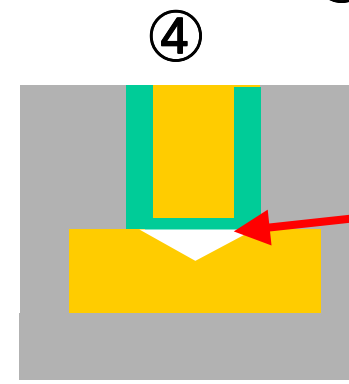
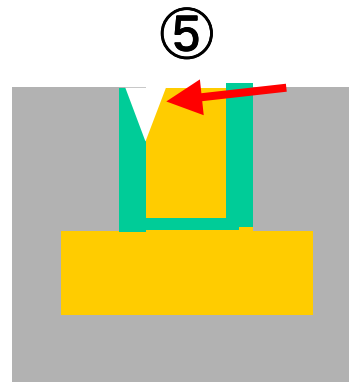
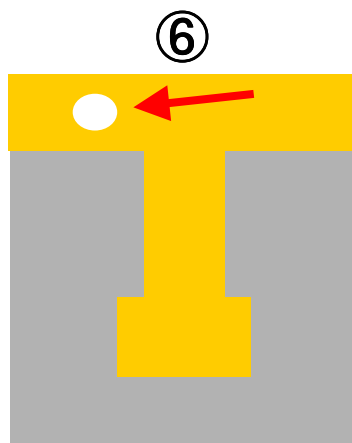
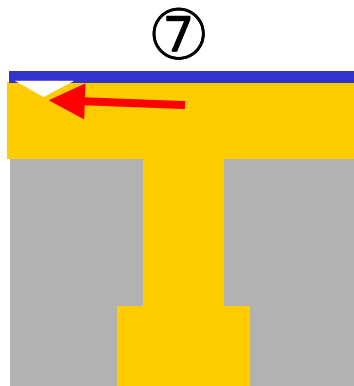
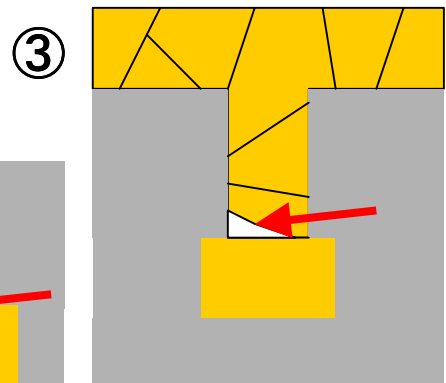
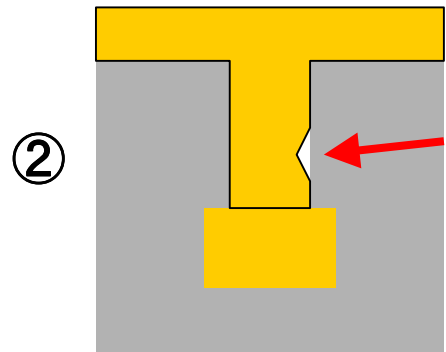
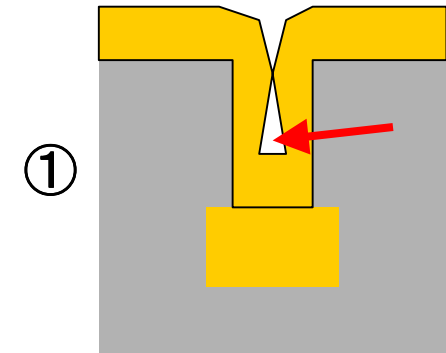


Cu配線中のボイド



ボイドの発生要因

発生する工程	ボイドの特徴 図No.	サイズ	要因
Cuめっき	① シーム状	20 x 100 nm	ボトムアップ不足
	②ビア、配線側壁	20 x 100 nm	シード被覆不良
	③ビア底	50 x 100 nm	埋め込み不良
	⑥トレンチ内、球状	径 50 nm	埋め込み不良
CMP後の 表面処理	⑤配線、BM/Cu界面	10 x 30 nm	局部電池
インプロセス 熱処理	②粒界3重点、楔状	20 x 100 nm	密着不良
	③ビア底、Cu低指数面	50 x 100 nm	Cu粒成長、SIV
	⑥トレンチ内、球状	径 50 nm	Cu粒成長
信頼性試験 EM, SM	③、④ ビア底	50 x 100 nm	Stress Induced Void
	⑦Si(N,C)/Cu界面	20 x 100 nm	Electro-Migration



ボイド計測技術：必要性

1. デバイスの動向

- ・微細化、ビア個数の増加、材料起因の信頼性問題

2. 開発の効率化

- ・形状、バリアメタル成膜、めっき条件、熱処理条件の最適化
- ・ボイド発生状態の非破壊・短時間検出⇒開発の効率化

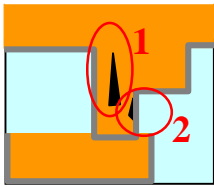
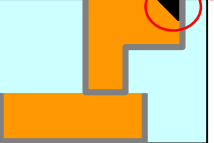
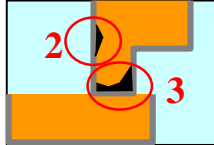
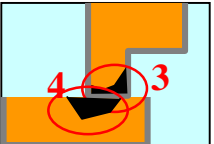
3. 生産管理、装置管理

- ・装置、プロセスのゆらぎに起因するボイドをインプロセスで検出

4. 不良解析の効率化

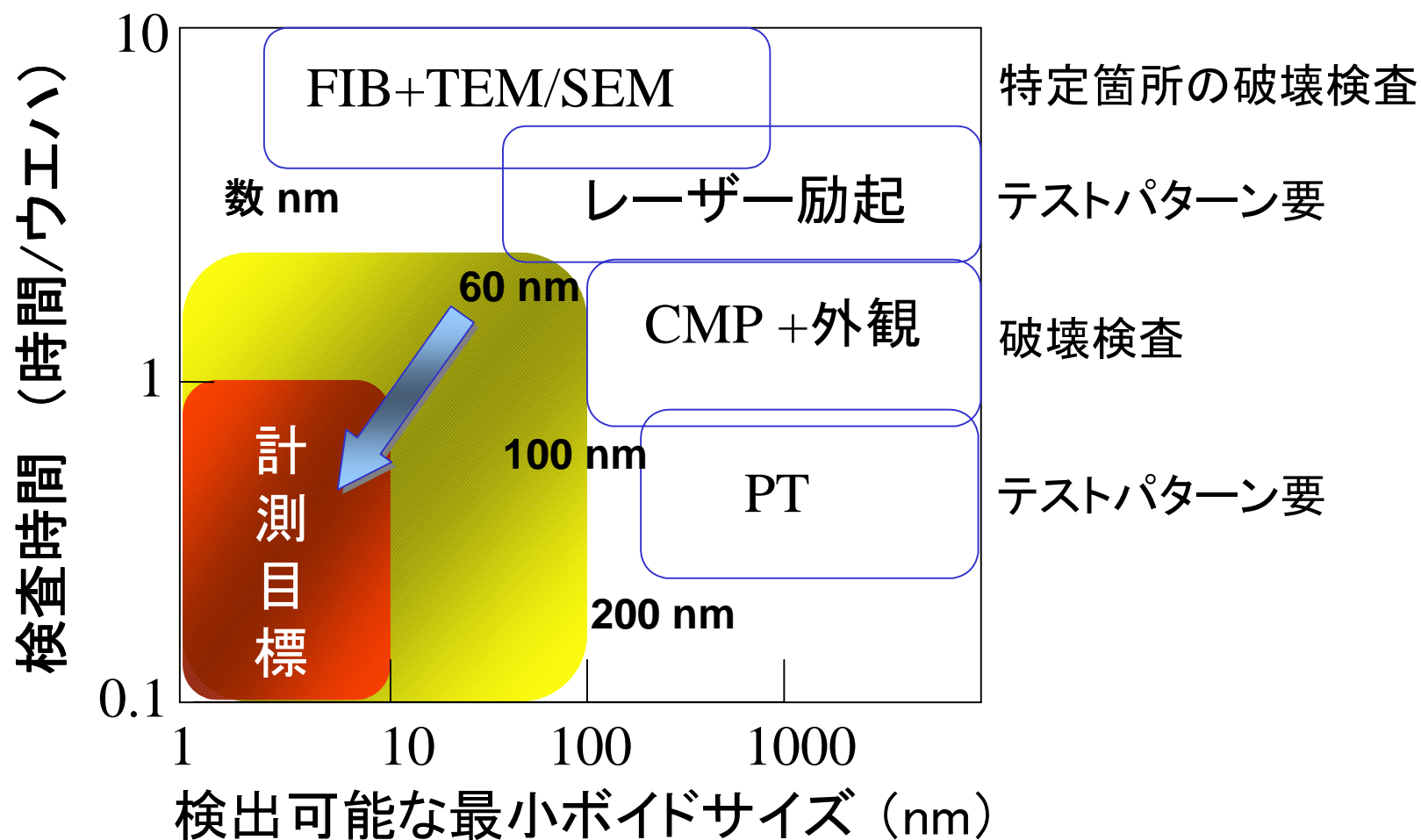
- ・電氣的な不良原因を迅速に解析

ボイド計測に対する要求性能

工程	発生要因/形態	ボイド計測			
		目的	計測サイズ	計測領域	計測時間
Cuめっき	ホトムアップ不足 シート被覆不良 	プロセス開発 装置管理 生産管理	10nm～ 100nm	ウェハの 中心と端 Via : 数10ヶ をサンプリング	<1hr/枚
CMP	局部電池・腐食 	プロセス開発 生産管理	～100nm	ウェハ 全領域	<0.5hr/枚
インプロセス 熱処理	Cu粒成長, ストレス 密着力不足 	プロセス開発 生産管理	10nm～	ウェハの 中心と端 Via : 数10ヶ をサンプリング	<1hr/枚
信頼性試験 SM,EM	エレクトロマイグレーション ストレスマイグレーション 	不良解析	10nm～	故障箇所と 特定された ビア、配線	<3hr/ヶ

○ 計測したい対象

Cu 中ボイドの計測目標と現行の検査技術



レーザー励起を用いた Cuボイド検出技術

< 原理 >

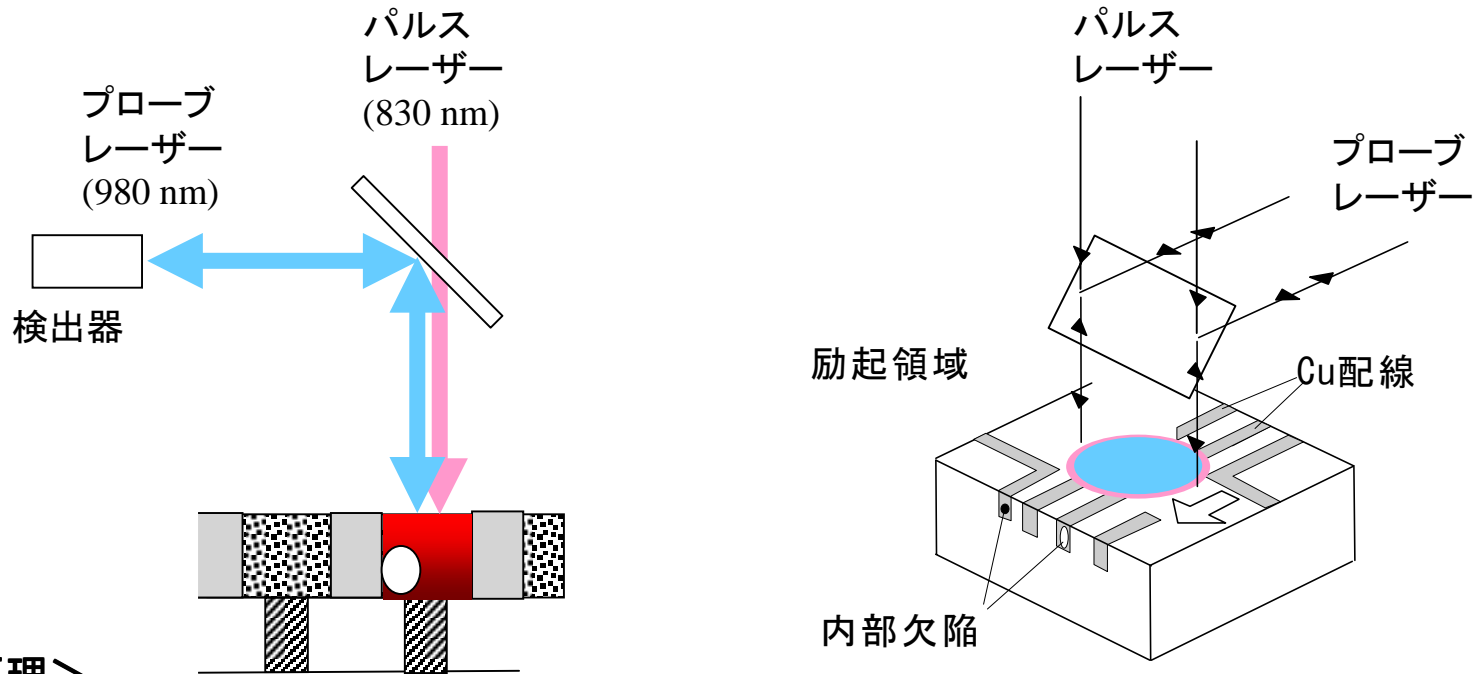
パルスレーザー光照射に依る局部・極短時間加熱と、加熱部の電気伝導 / 熱膨張率変化の観測に依り、ボイドの有無を検出する。

< 問題 >

検出可能なボイドサイズが大きく、プロセスニーズに答えきれていない。

レーザー 励起 Cu ボイド検出装置の構成例

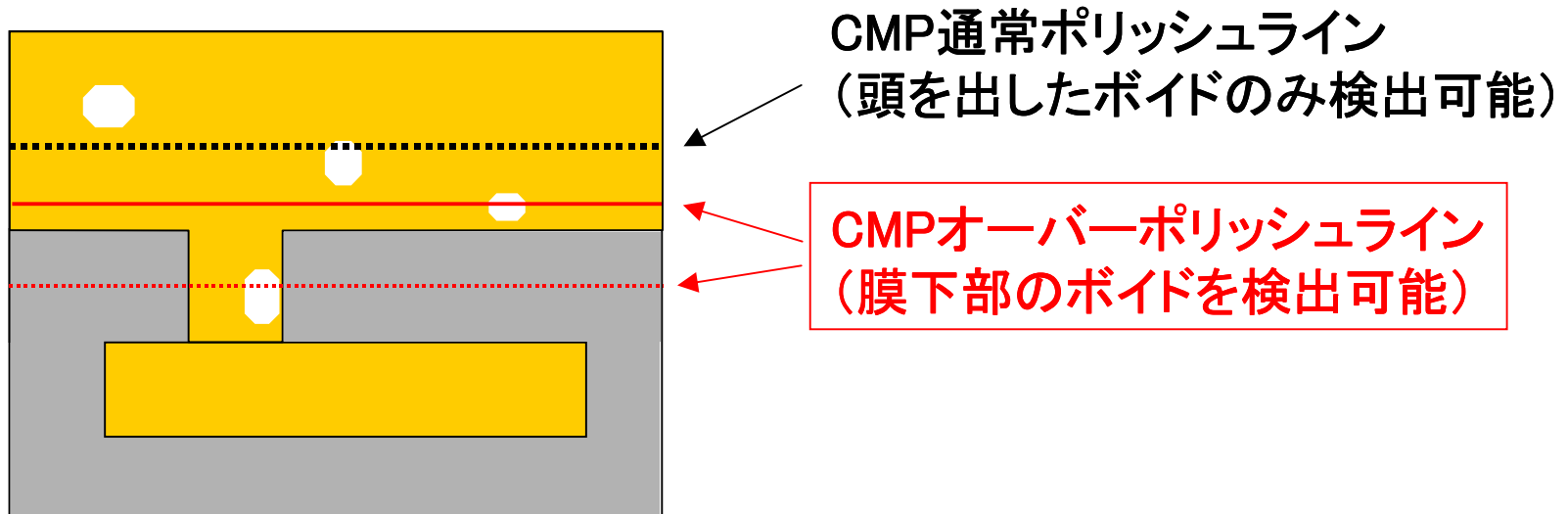
(Photothermal resistance measurement: Boxer Cross BX-30)



<検出原理>

- パルスレーザー光(ポンピングレーザー: 830 nm)を照射して試料表面を加熱し、プローブレザー光(980nm)の反射率変化を測定する。
- 光反射率が表面温度に依存し、表面温度はCu配線の電気抵抗すなわちボイドの有無に依存することを利用。
- ボイドがあると、熱伝導が悪く表面温度が上昇し、プローブレザーの反射率が高くなる。
- スポットサイズは約2 μm 。配線・ビア中のボイドを検出可能。280 nm 配線でのデータ有り。

CMP+外観検査に依る Cu ボイドの検出 (破壊検査)

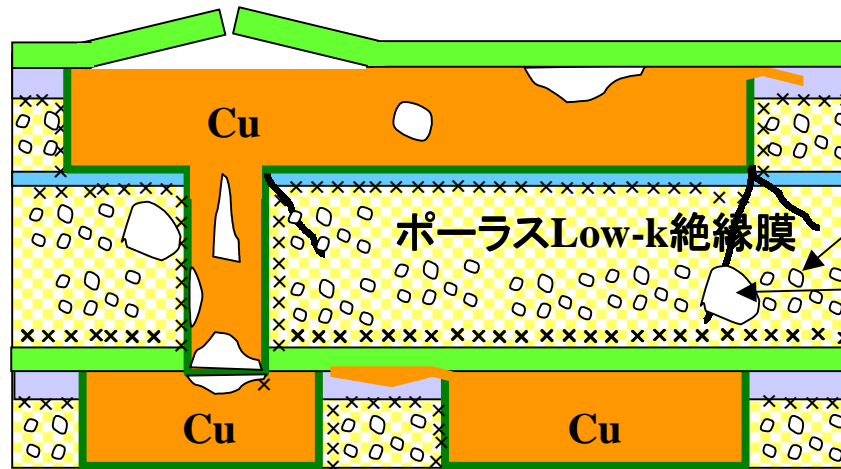


- Cu-CMPでオーバーポリッシュをかけ、最表面に現れたボイドを像比較方式の外観検査装置で検出する。
- 外観検査の代わりに、配線構造TEGを工夫することで、電氣的にボイドを検出する方法もある。

まとめ：ボイド検出工程と計測方法

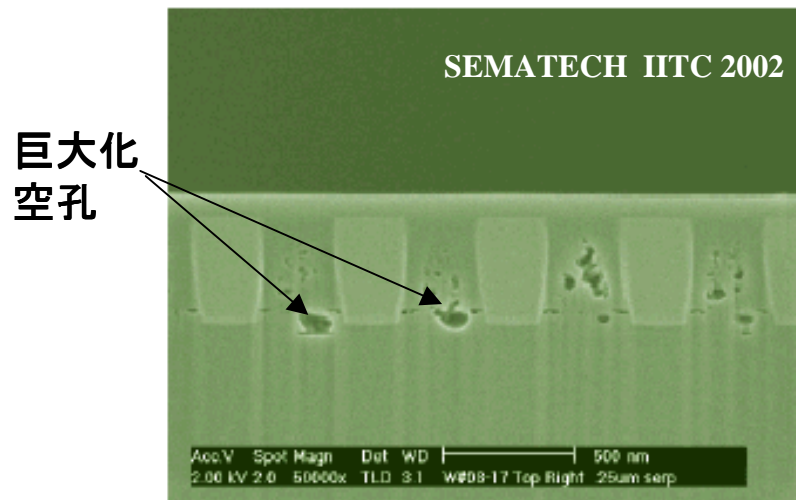
計測工程	ボイドサイズ (nm)	領域	計測方法	目的	メリット／デメリット
めっき／ アニール後	<10 10～100	ウエハの 中心と端	・CMP+像比較 ・レーザ励起 ・FIB+SEM/TEM	装置管理 プロセス開発	デ: 検出感度不足
CMP後	10～100	ウエハ全面 特定の パターン	・CMP+像比較 ・レーザ励起 ・PT+FIB ・FIB+SEM/TEM	装置管理 プロセス開発 生産管理	デ: 検出感度不足 デ: PTの検出感度不足 メ: 外観検査可能
絶縁膜形成後 (熱処理後)	10～100		・CMP+像比較 ・レーザ励起 ・FIB+SEM/TEM	プロセス開発	メ: ボイドが成長することによる、実質的 検出感度向上
ウエハプロセス 完了後	10～ ビアサイズ	特定箇所	・CMP+像比較 ・レーザ励起 ・PT+FIB	不良解析	メ: ボイド更に成長 PTをチップのGO/ NGOにも使用可
信頼性試験後	ビアサイズ	特定箇所	・FIB + TEM/SEM	不良解析	

Low-k絶縁膜中の空孔



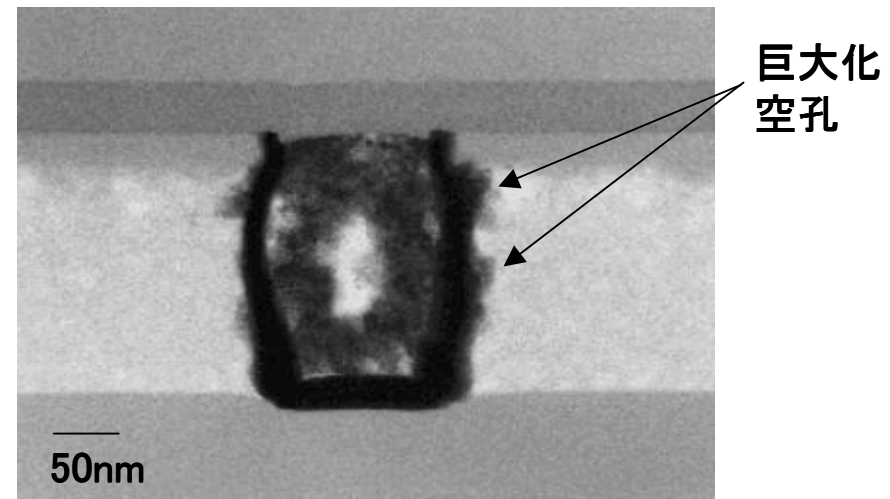
空孔: 善玉
(0.5 ~ 10nm)

巨大化空孔: 悪玉
(キラーポア)
(10 ~ 100nm)



巨大化
空孔

ドライエッチ/洗浄/めっきによる
空孔の巨大化 (10 ~ 100nm)



巨大化
空孔

巨大化空孔へのCu拡散

Low-k絶縁膜中の空孔計測技術：必要性

1. デバイスの動向

- ・ Low-k化実現のための絶縁膜への空孔導入（多孔質化）
絶縁膜材料の機械的強度劣化
強度劣化にともなうデバイスの信頼性劣化

2. 開発の効率化

- ・ より正確な空孔計測結果と機械的強度の相関把握
- ・ 空孔制御（形状/分布）によるLow-k絶縁膜機械的強度向上
- ・ 空孔の非破壊/短時間検出

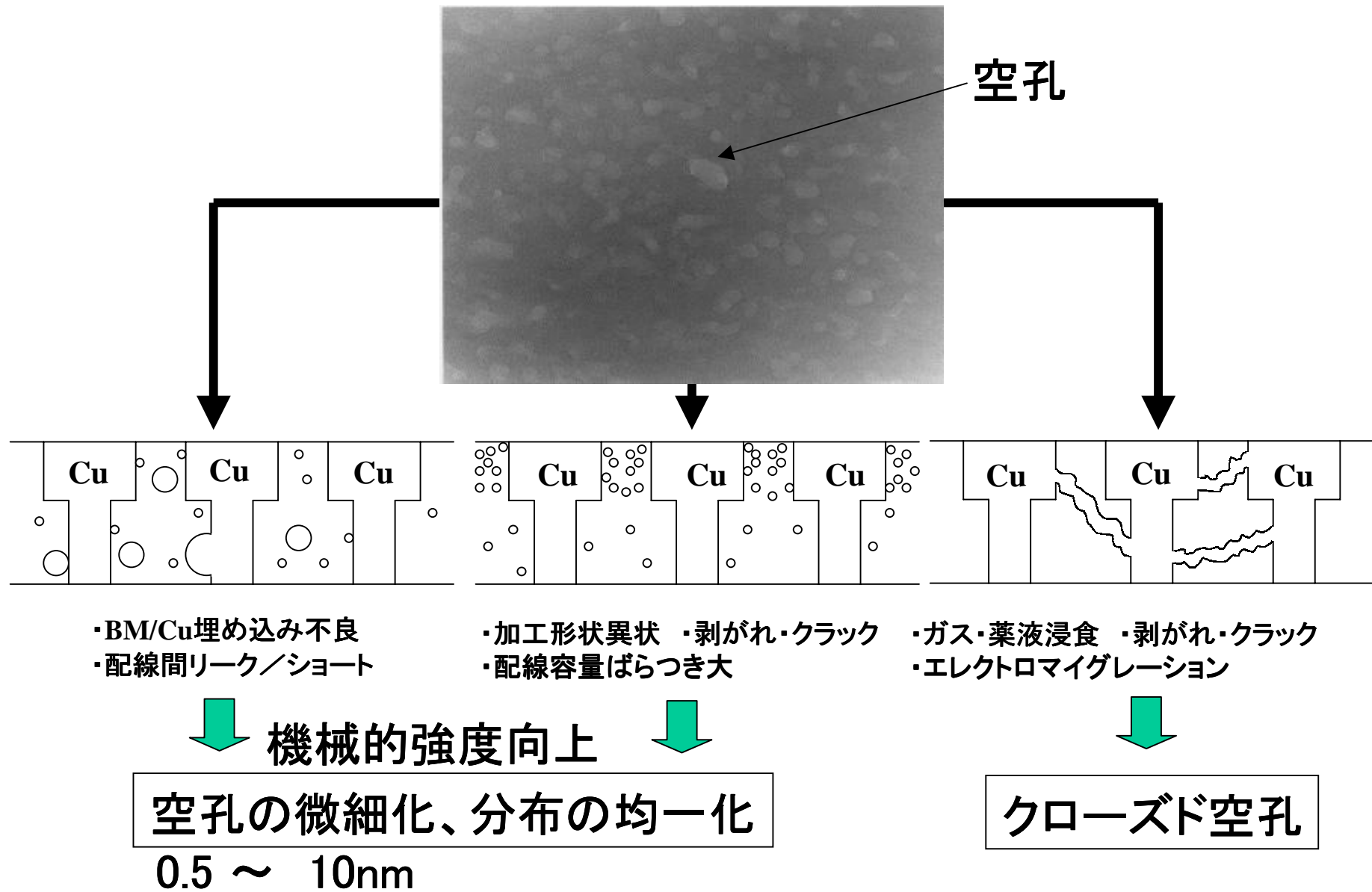
3. 生産管理、装置管理

- ・ 材料、装置、プロセスのゆらぎに起因した空孔変化をインプロセスで検出

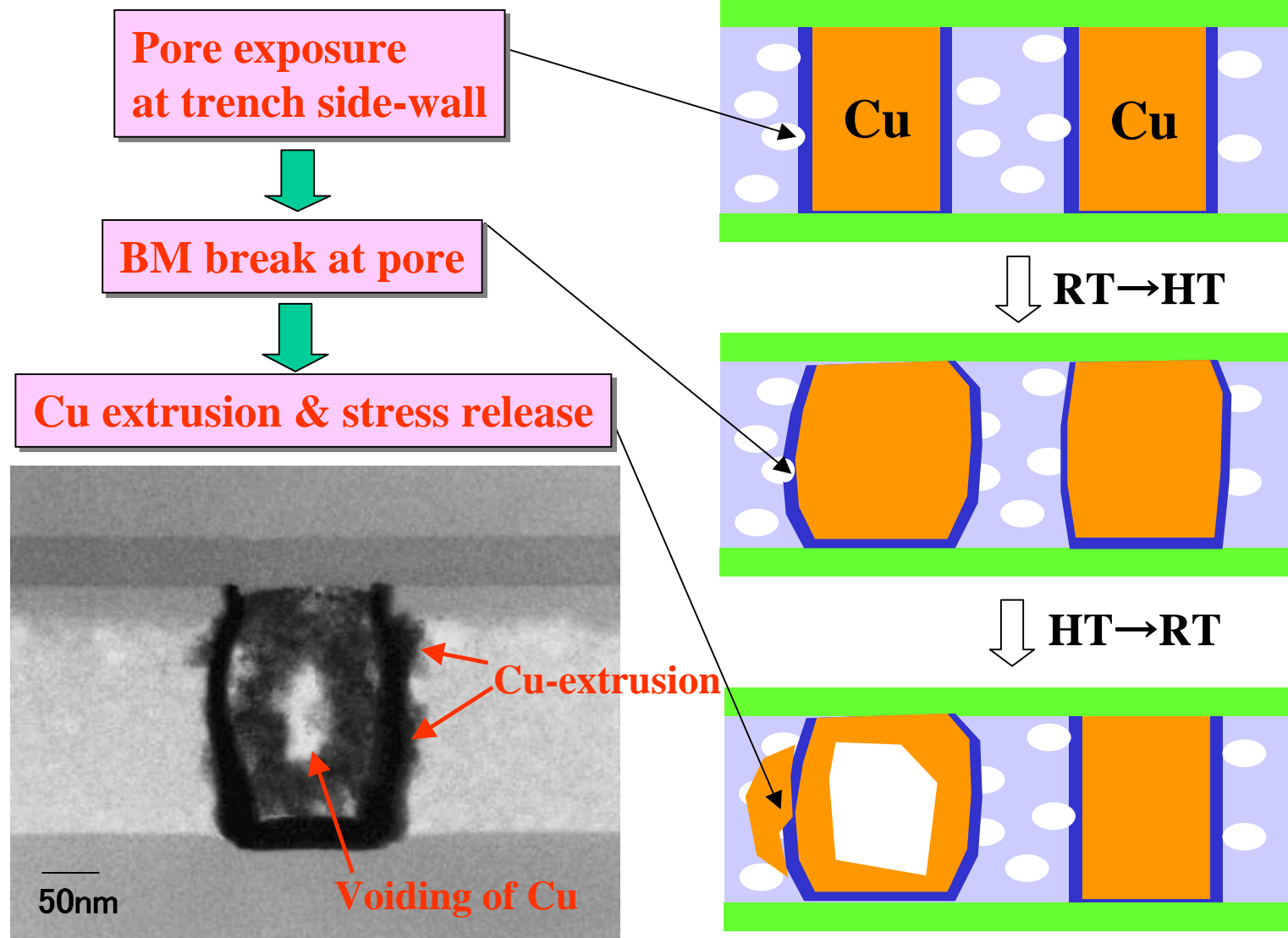
4. 不良解析の効率化

- ・ 空孔変化による電氣的な不良原因を迅速に解析

多孔質Low-k絶縁膜に対する要求



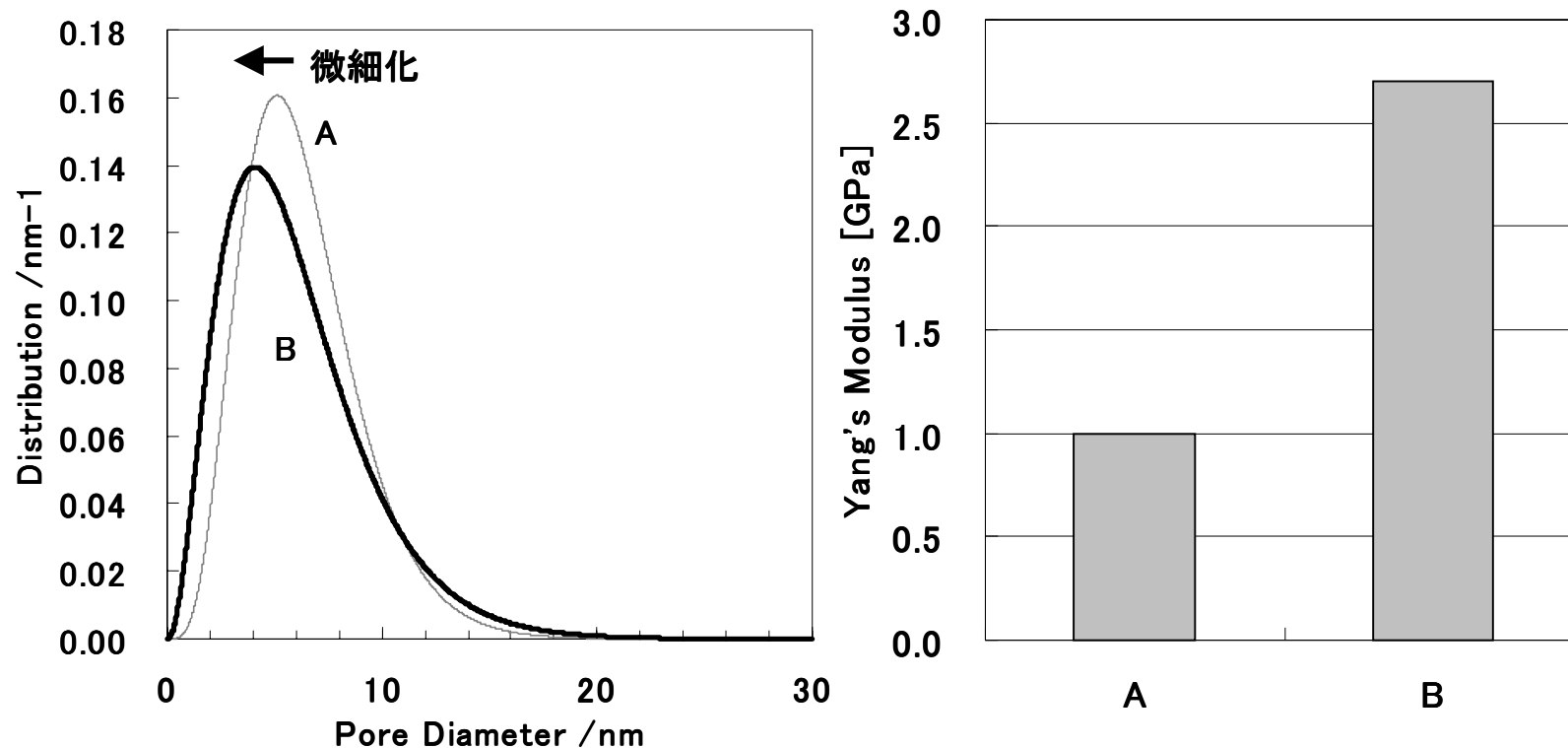
キラープォアによるCu配線断線不良



→ 空孔の微細化が必要

空孔制御によるLow-k膜の強度向上

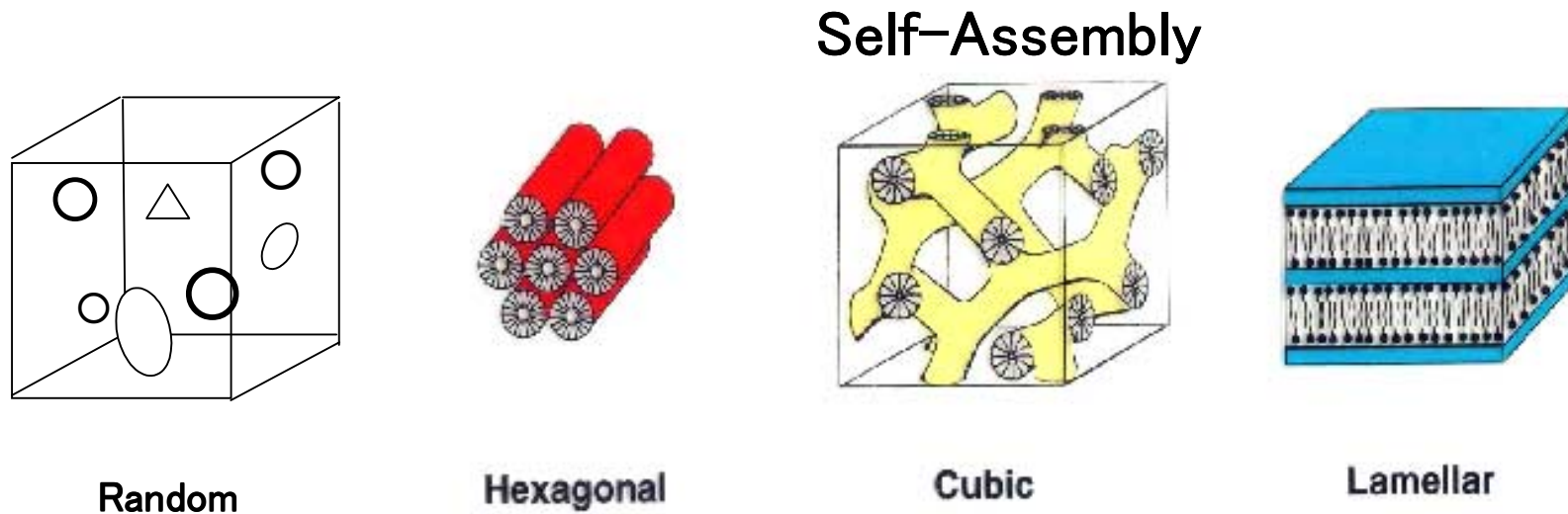
例：空孔の微細化 → 同一材料で強度向上



現状、空孔形状を球と仮定した計測

- 空孔の真の形状、Low-k膜内分布の計測必要
- 空孔制御による強度向上技術の確立

Low-k膜中の空孔制御技術動向



(H. Fan et al, 2002 Low-k Workshop)

2 ~ 20nm \longrightarrow 0.5 ~ 2nm

規則性、微細化

空孔評価手法

手法	長所	短所
X線散漫散乱	非破壊 測定容易 装置面積小	空孔と粒子の区別不可能 空間位置分解能：mmオーダー
中性子散乱	非破壊 測定容易	装置面積大(中性子線源) 空孔と粒子の区別不可能 空間位置分解能：mmオーダー
ガス吸着	測定容易 装置面積小	破壊 オープンポアのみ 検出限界 0.7nm 空間位置分解能：cmオーダー
エリプソ	非破壊 測定容易 装置面積小	オープンポアのみ 検出限界 2nm 空間位置分解能：mmオーダー
陽電子消滅	オープンポア/クローズドポア分離可能	破壊 装置面積大(陽電子線源) 空間位置分解能：mmオーダー
TEM/SEM	真の形状評価可能 空間位置分解能：TEM 1nm以下、SEM:10nm	破壊 像不鮮明、定量可難

TEM/SEM以外は空孔形状を球形など特定形状を仮定して計算

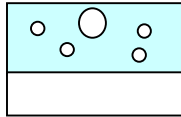
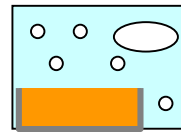
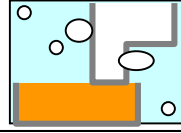
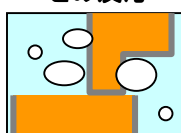
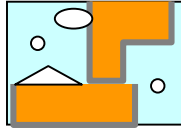
要求性能： 空孔の真の形状、空間分布評価可能

デバイス構造で評価可能

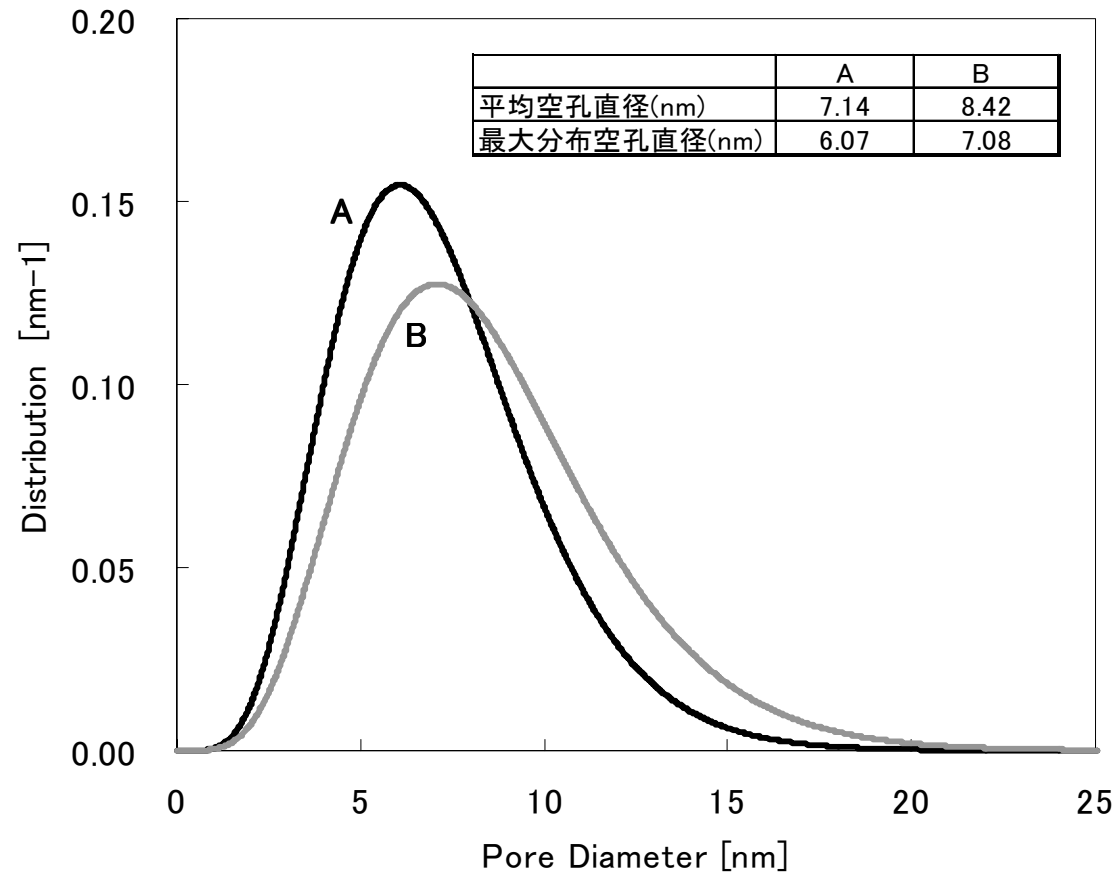
→ 空間位置分解能 : 100nm以下

空孔計測に対する要求性能

多孔質Low-k絶縁膜技術は材料/プロセス共に開発中で課題は未知

技術段階	工程	発生要因/形態	空孔計測				
			目的	インパクト	計測サイズ	計測領域	計測時間
材料開発	Low-k成膜	形成ばらつき 	材料合成	K値ばらつき 機械的強度	0.5nm~100nm	ウエハの 中心と端	<0.5hr/枚
		プロセス開発 装置/生産管理					
デバイス 開発	Low-k成膜	形成ばらつき 	プロセス開発 装置管理 生産管理	K値ばらつき CMP耐性 エッチング耐性 耐薬品特性 パッケージ耐性	0.5nm~100nm	ウエハの 中心と端	<0.5hr/枚
	エッチング / 洗浄	ガス、薬液との反応 	プロセス開発 生産管理	Cu埋込み特性 K値ばらつき リーク電流	5nm~	ウエハ 全領域 ビア/配線 近傍部数 10ヶ所をサ ンプルング	<1hr/枚
	Cu埋込み / CMP	めっき液、スラリー材 との反応 	プロセス開発 生産管理	剥がれ、クラック K値ばらつき リーク電流			
	パッケージング	機械/熱応力 	プロセス開発 生産管理				
	信頼性試験		不良解析			特定された 故障箇所	<3hr/ヶ

同一Low-k膜材料のX線散漫散乱法による空孔分布測定 - 測定機関(2件)依存性 -



空孔径計算の物理モデル、パラメターの妥当性検討
異なる場、異なる評価手法でのラウンドロビンなど必要

今後の課題

(1) 空間位置分解能を有する空孔計測手法の開発

- デバイス構造での空孔計測が必要 -

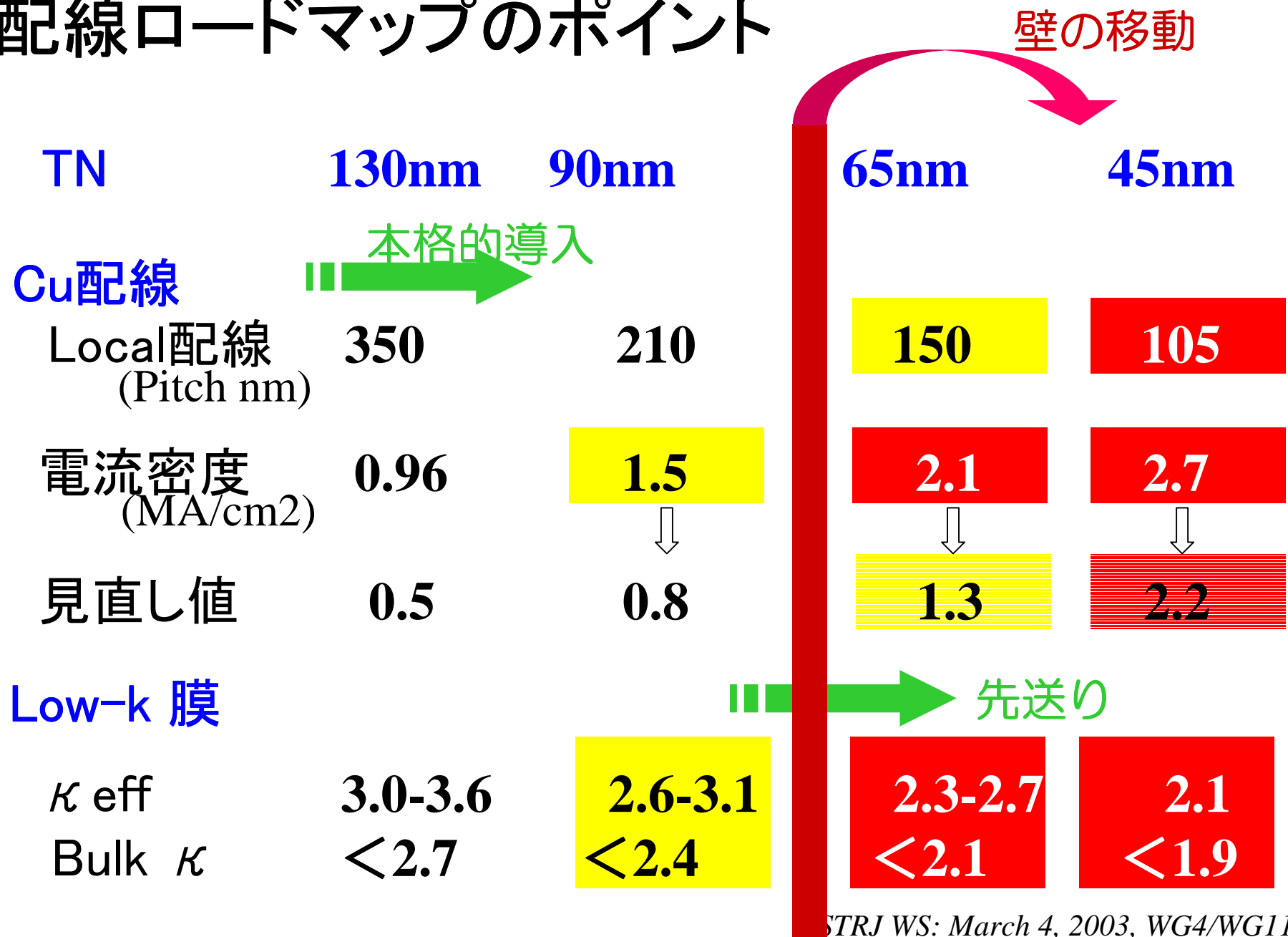
- ・空孔の真の形状観察
- ・空間位置分解能: 100nm以下
- ・検出サイズ : 0.5 ~ 100nm

→ 現状、計測手法はブランケット膜では見えているが、デバイス構造では見えていない...

(2) ブランケット膜での各種計測手法結果の場依存性、 各種計測手法結果の相関関係把握

- ・ラウンドロビンの実施

配線ロードマップのポイント

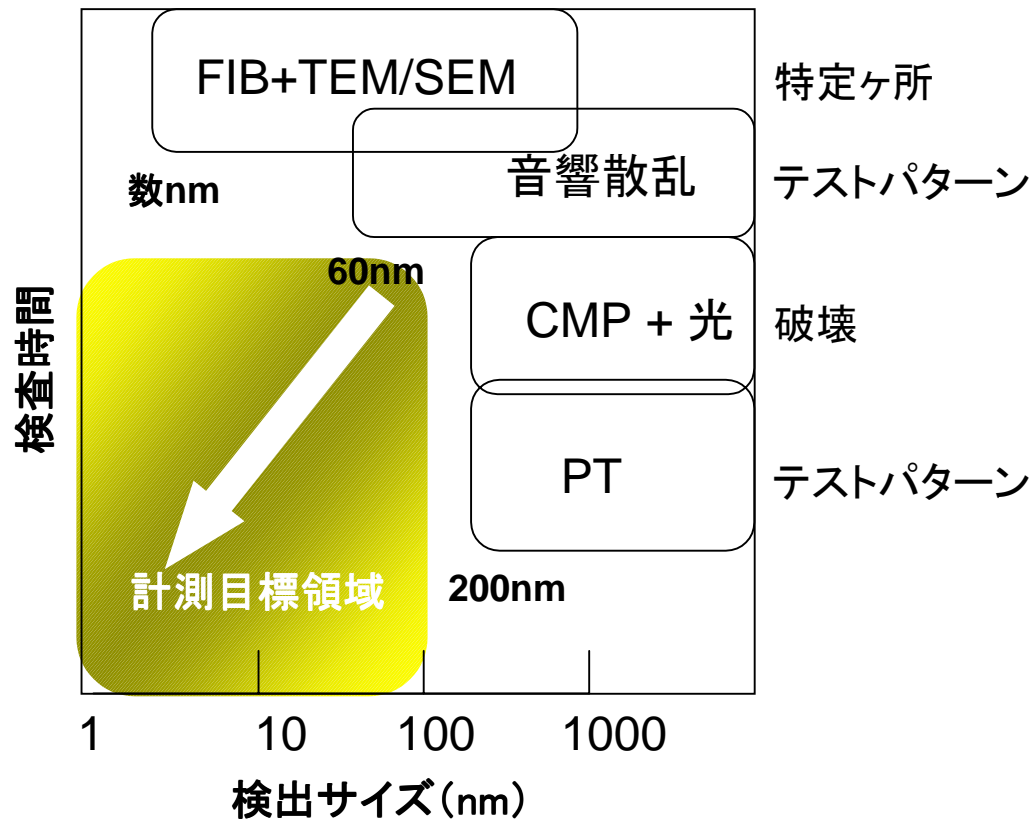


配線は新技術というよりも信頼性技術

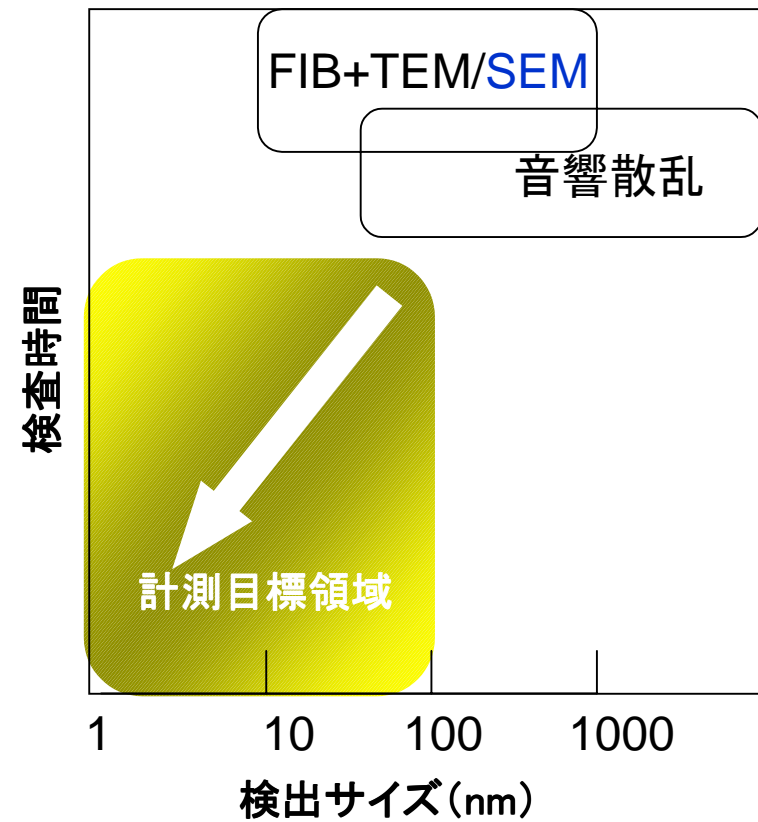
1. ボイドやキラー・ポアの発生防止と空孔サイズの制御による信頼性向上が必須となる。
2. ボイド、空孔の計測が開発段階だけでなく、
量産工程で不可欠となる。
3. 原理・原則の通りに行かず、応用・適用の段階で発生する課題を解決しなければならない。
この計測を含めた配線関連技術は日本の面目躍如の一つとなる可能性が大いにある。
4. 今後も先送りになる可能性の高いLow-k膜の開発は、先陣争いではなく、
デバイス・材料メーカーが一致協力できる体制が望まれる。

検査目標

Cu中ボイド



Low-k膜中空孔 (絶縁材料)



配線計測技術に関する具体的な提言

1. Cu配線のボイドは工程の様々な段階で発生、成長しうるので最表面から観察できるとは限らず、10–100nmのサイズのボイドが非破壊で計測できる方法は今後も継続して有効である。
2. Low-k膜中の空孔は、通常1nm程度であるが、これより十分大きなキラールポア(具体的なサイズは企業秘密)が、ある確率で発生するので、量産における工程管理に不可欠となる。
3. 空孔だけでなく、ボイドも発生メカニズムを解明するためにも1–10nmのサイズが計測できる計測技術の開発が必須となる。
4. Low-k膜は、今後も材料選択が重要で、このための計測技術を確立する必要があり、コンソーシアム等でのラウンドロビンは今からでも開始すべきである。