

デジタル家電を支える 低電力SoCのロードマップ

設計TF主査
日立製作所 内山

設計TFの委員構成

- 内山邦男(主査)、日立製作所
- 浅田善己(副主査)、STARC
- 石橋孝一郎(国際対応)、STARC
- 岡野伸洋、シャープ
- 古野慎治、沖電気工業
- 小野眞司、ルネサステクノロジ
- 朝重浩喜、松下電器産業
- 金谷賢仁、三洋電機
- 木下善彦、ソニー
- 上村卓三、ローム
- 塩田哲義、富士通研究所
- 抜山知二、NEC Electronics
- 原浩幸、東芝

今年度の設計TFの活動内容

- SoCに必要不可欠な組込みメモリについて
動向を調査
- メモリ混載 vs SIPの観点での検討
- 昨年度のクロスカットでの検討結果の数値を、
最新の2003年ロードマップに従って更新

昨年度のクロスカットの活動内容

低電力SoCのロードマップ作成と

問題点、技術課題の明確化

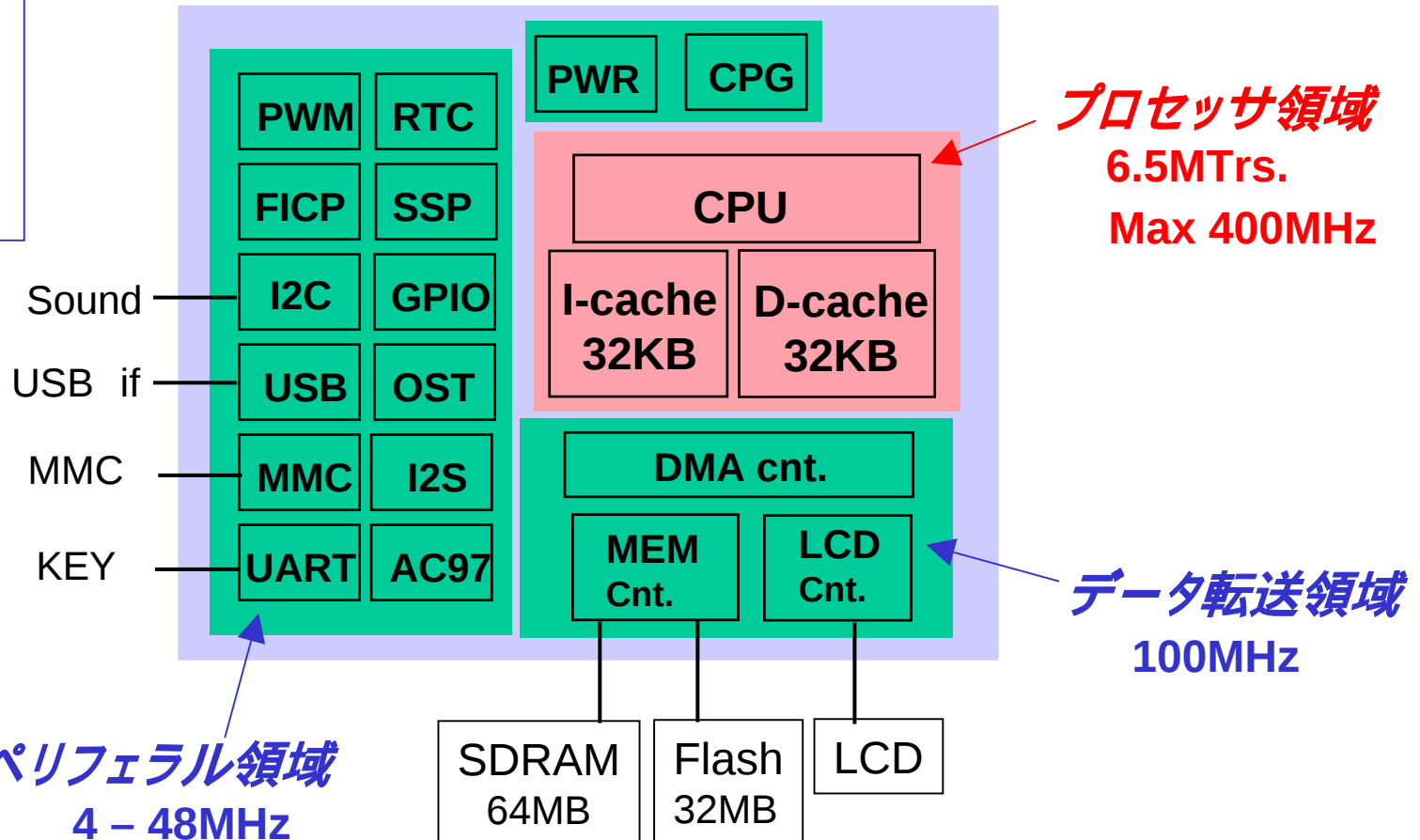
- (1) モバイルマルチメディアの動向調査
- (2) 現状(0.18um)の低電力SoCの分析
- (3) 低電力SoC設計モデルの作成
(初期モデル、集積度トレンドの設定)
- (4) 設計モデルとHP、LOP(-HS、-UHS)、LSTP
デバイスモデルを用いた設計パラメータの検証
(動作周波数、消費電力の確認)

PDA向けSoCの例

機器仕様

- ・使用時間
6-10Hr
- ・MMアプリ
MP3
JPEG
簡易動画

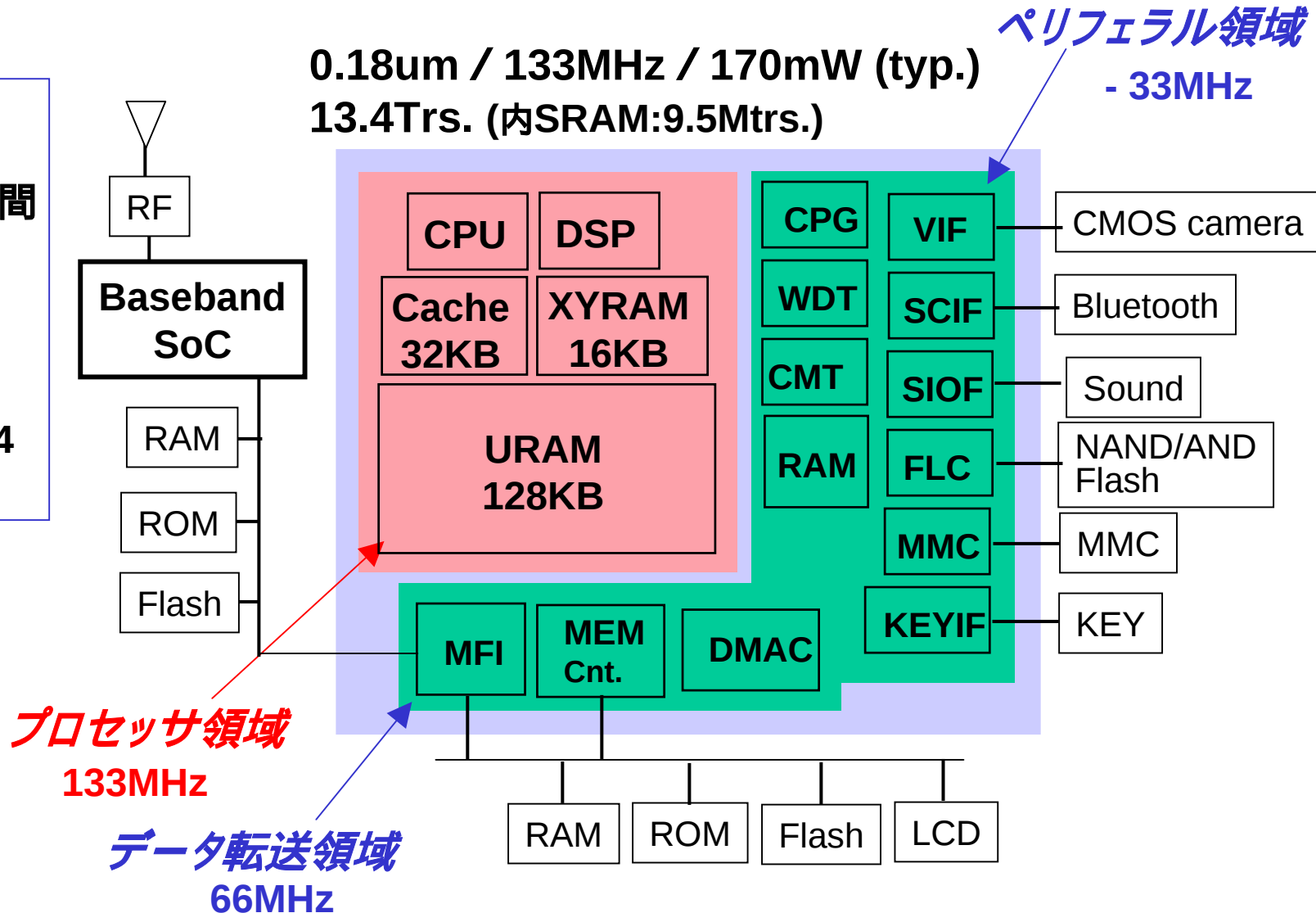
0.18um / 400MHz / 470mW (typ.)



携帯電話向けSoCの例

機器仕様

- ・通話時間
140min.
- ・待受け時間
200Hr
- ・MMアプリ
MP3
JPEG
MPEG4
Java

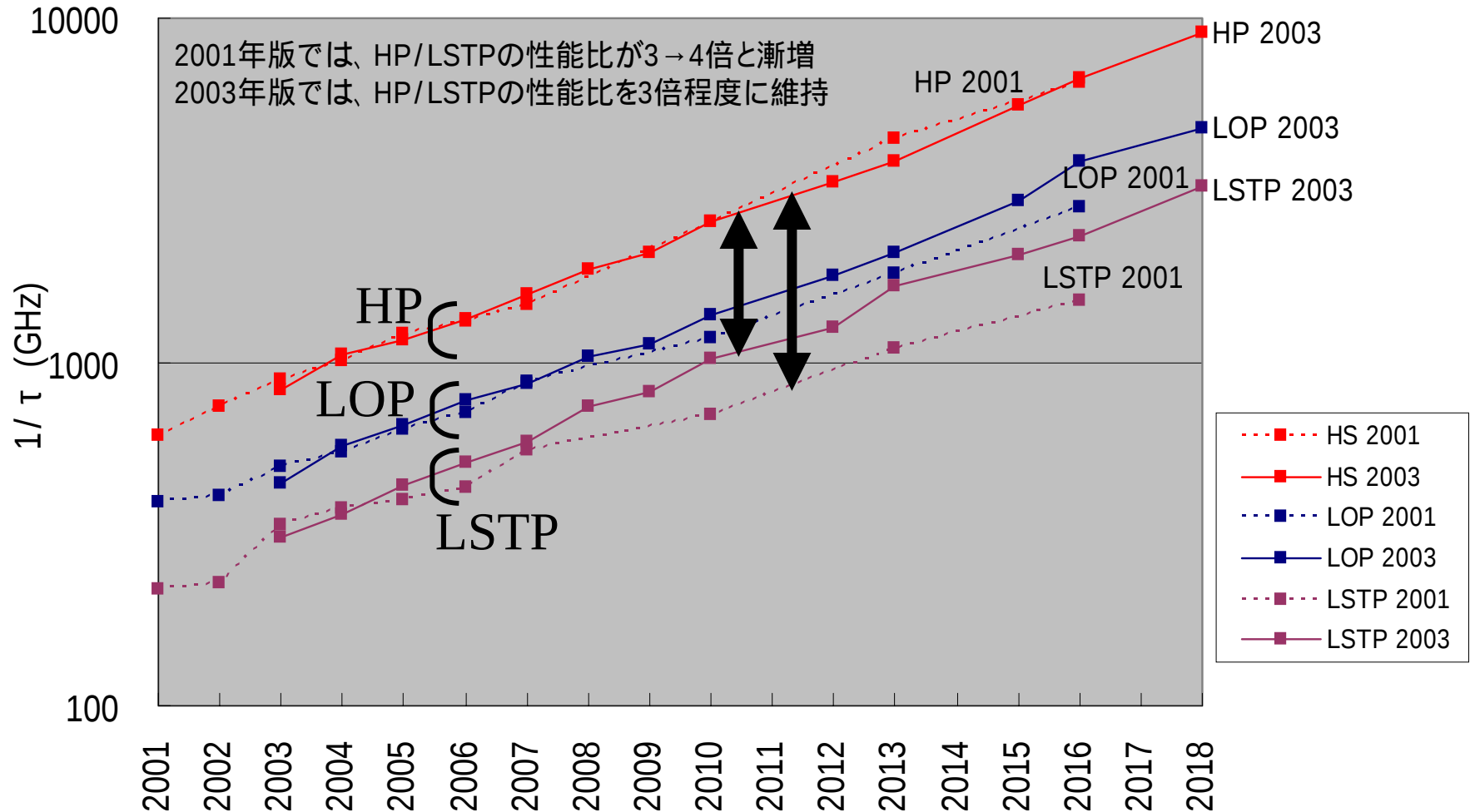


低電力SoCのロードマップの再検討

- 2003年版ロードマップ(2001年版との比較)
 - 2003年版のITRSロードマップのPIDS関連で、トランジスタ特性に大幅な変更
 - Embedded Memoryに関する記載がSystem Driverの章に追加
 - 集積度に関するパラメータには大きな変化なし

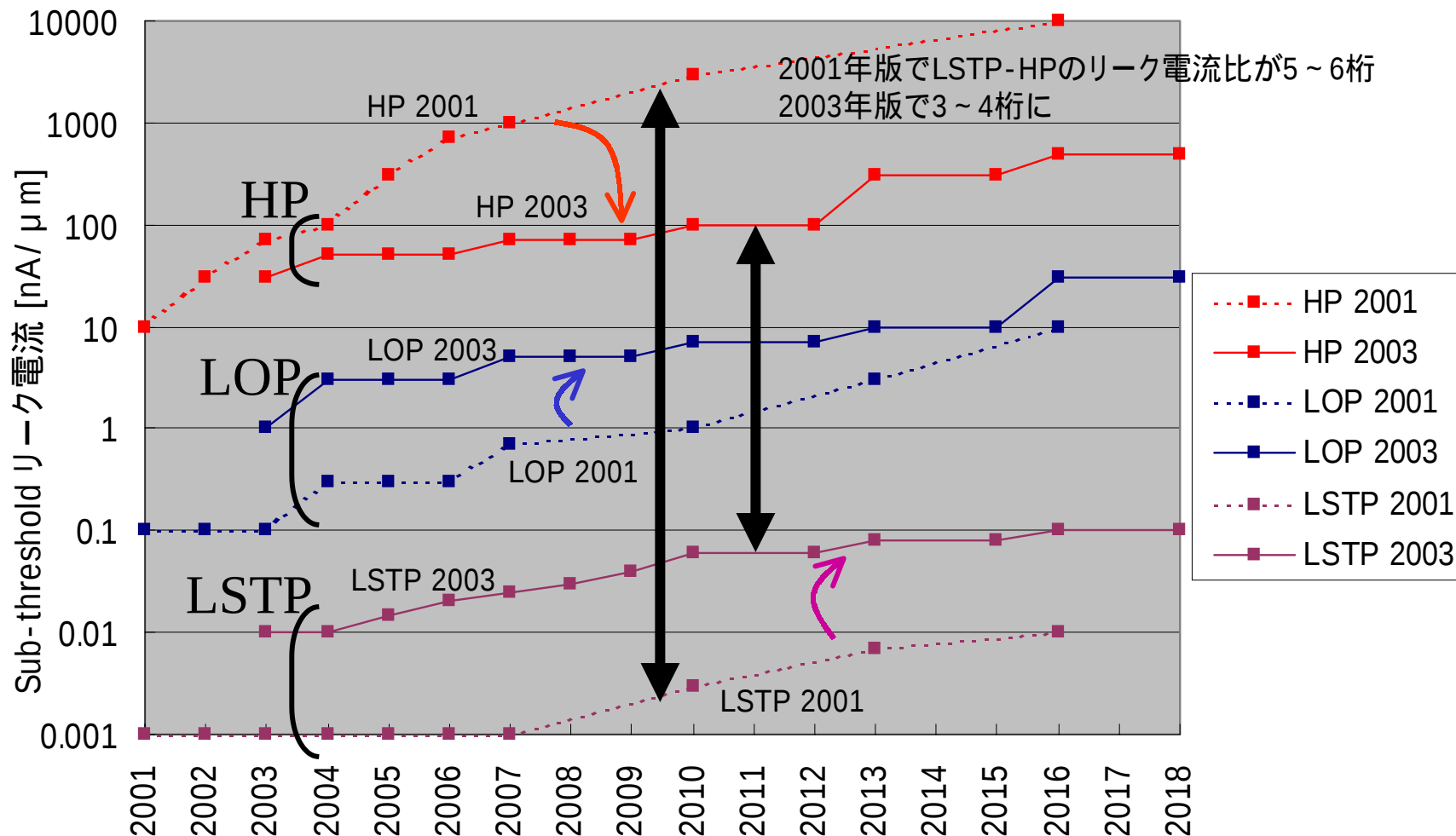
トランジスタ特性の変更点 (1)

- 2001年版では、HP/LSTPの性能差が年次につれて増加
- 2003年版では、HP/LSTPの性能差を3倍程度にKeep



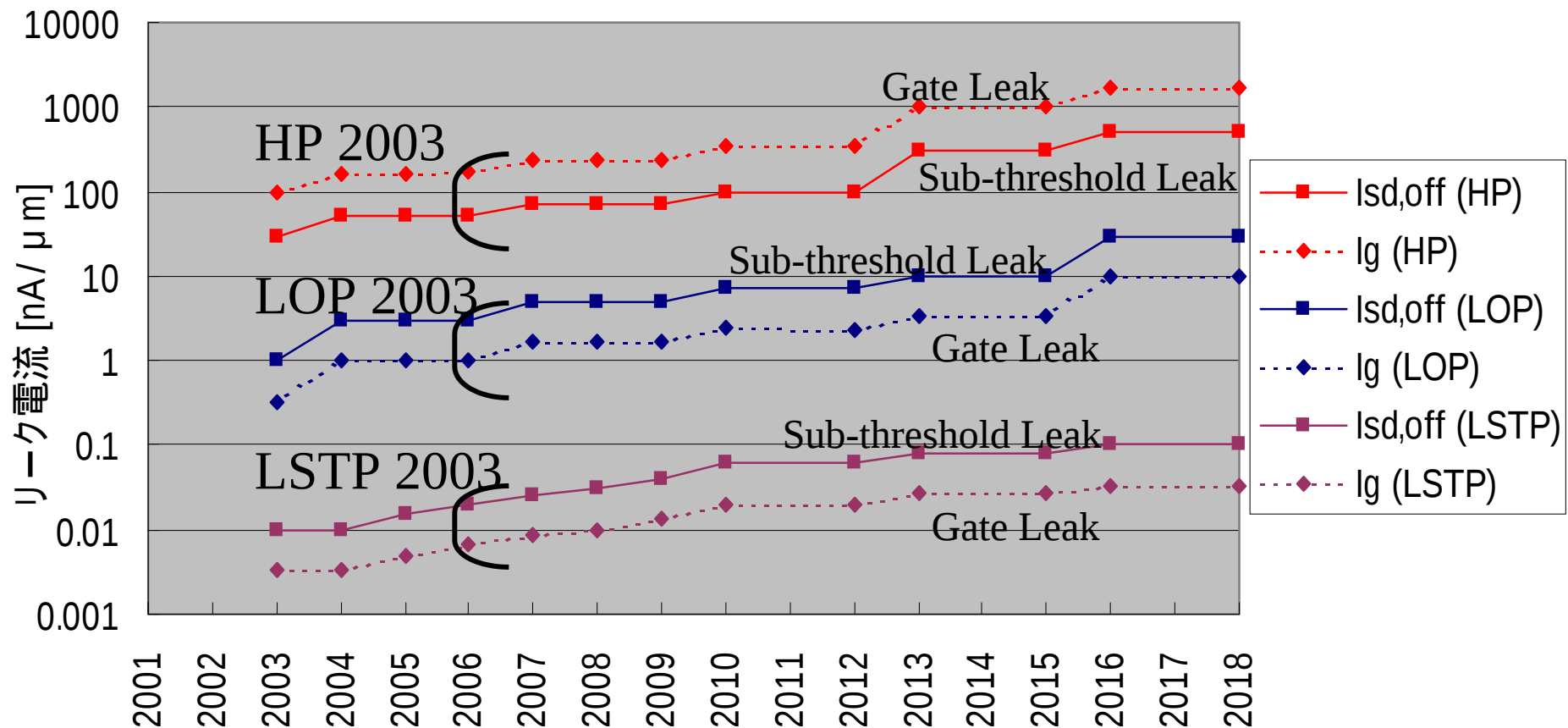
トランジスタ特性の変更点 (2)

- LOPとLSTPのSub-threshold Leakを妥当な値に見直し
- HPについて、Sub-threshold Leakを抑制



トランジスタ特性の変更点 (3)

- 2003年版でGate Leakの項を導入(Normal gate leakage current limit)
2001年版では、Gate Leakが無視できると設定
- Gate Leakは、Sub-threshold Leakとの比較で、抑え込むべき水準として設定



Ig計算値とLimit値の関係 (LOP)

- 2003年版ITRSロードマップのPIDS部分から引用
- $J_{g,simulated}$: oxy-nitride膜のトンネル電流の計算値
 $J_{g,limit}$: $I_{sd,off}$ との関係で抑え込むべき水準

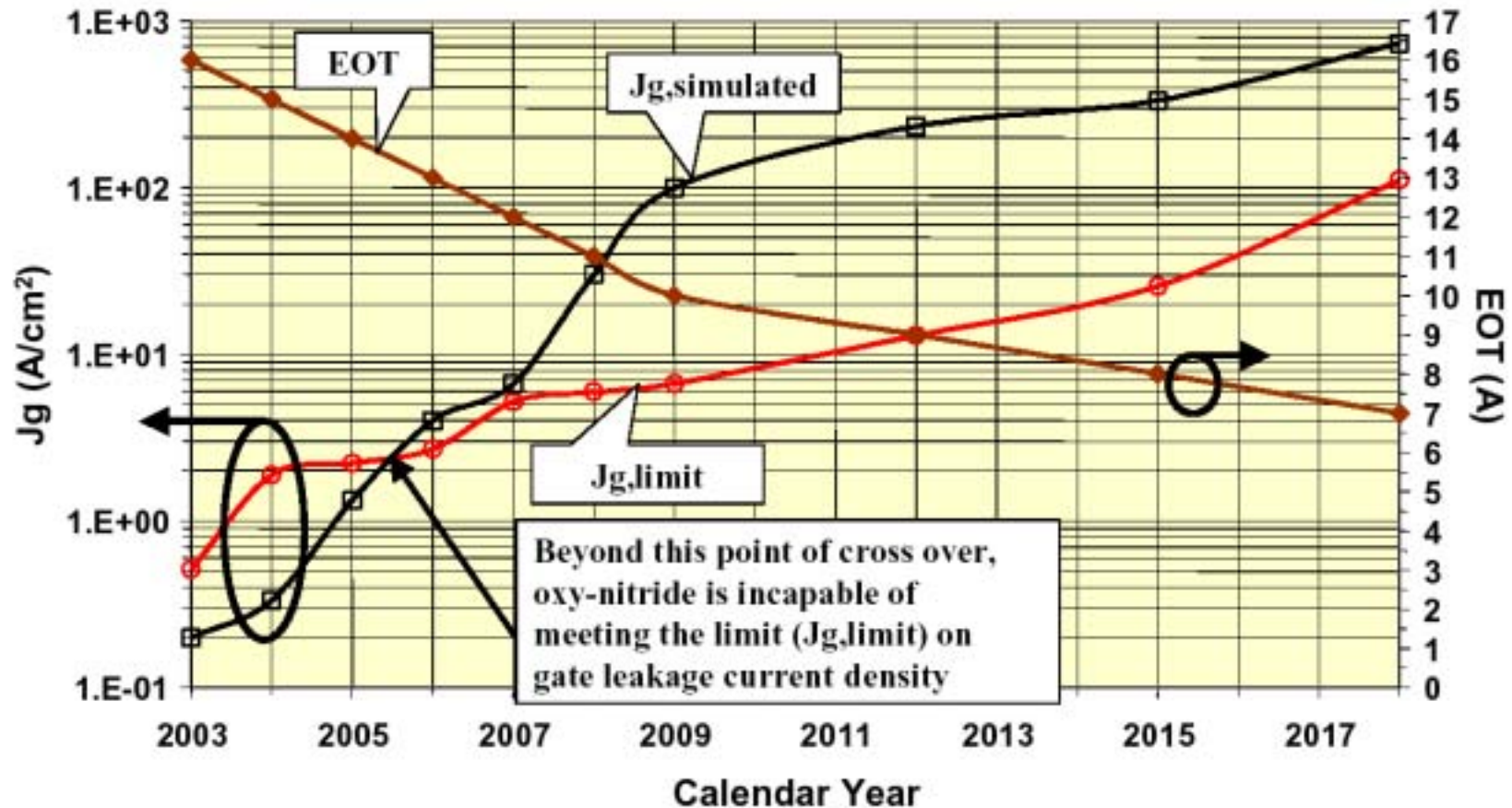
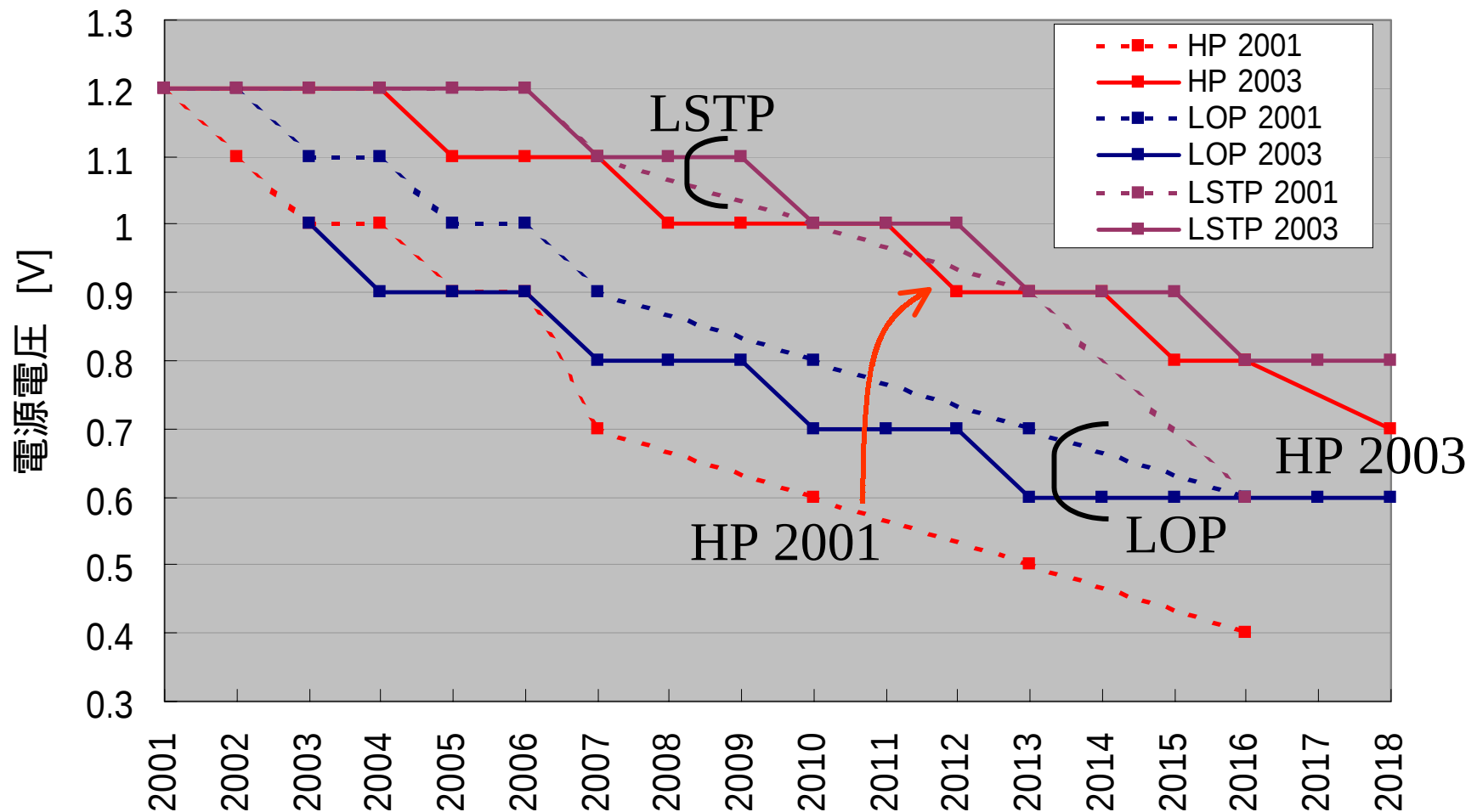


Figure 24 LOP Logic Scaling-up of Gate Leakage Current Density Limit and of Simulated Gate Leakage due to Direct Tunneling

トランジスタ特性の変更点 (4)

- HPにおいて、電源電圧の低下が緩やかに
(2016年近傍のHPトランジスタに注目すると、
2001年版で0.4Vであるのに対し、2003年版で0.8V)



低電力SoCの設計モデル

	論理部	メモリ部
	トランジスタ数: $TL = TL_h + TL_l$	トランジスタ数: $TM = TM_h + TM_l$
高周波領域		
動作周波数: F_h	$F_h TL_h$ CPU, FPU, DSP, Media Proc. HW accelerator, Config. Arrays, ..	$F_h TM_h$ Cache, XY memory, Work memory, ...
低周波領域		
動作周波数: F_l	$F_l TL_l$ Memory cnt., DMAC, Graphic eng., Peripheral module, .. (Ser., Par., Comm.,)	$F_l TM_l$ 2 nd -Cache, 2 nd - work mem., Global mem., Temp. buffer,

低電力SoC設計モデルの初期値 (@130nm)

**39.7Mtrs.
/ 64mm²**

論理部

11.5Mtrs.

メモリ部

28.2Mtrs.

高周波領域

F_h : 180MHz (LSTP)
330Hz (LOP)
620MHz (HP)

4.7Mtrs.

8.6Mtrs.

低周波領域

$$F_l = F_h / 4$$

6.8Mtrs.

19.6Mtrs.

集積度のロードマップ (1)

- 配線のLine/Space、トランジスタの加工寸法は、2001/2003年版のロードマップで同等
- 低電力SoCの集積度のロードマップは昨年度と同等

チップ面積: 64mm^2

Tr数増加率: $\times 1.26/\text{year}$ ($\times 2/3\text{year}$)

M-Trs.

1200

1000

800

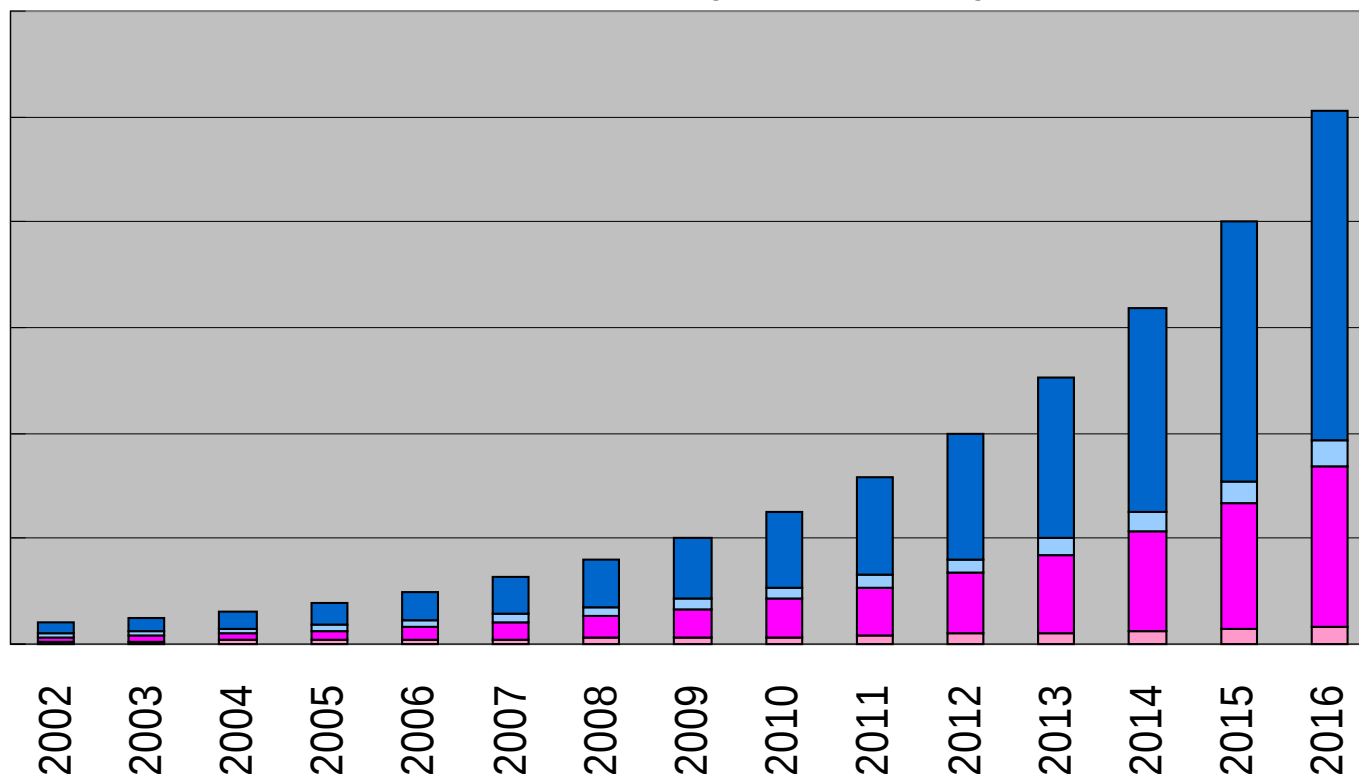
600

400

200

0

トランジスタ数



- メモリ (低周波)
- 論理 (低周波)
- メモリ (高周波)
- 論理 (高周波)

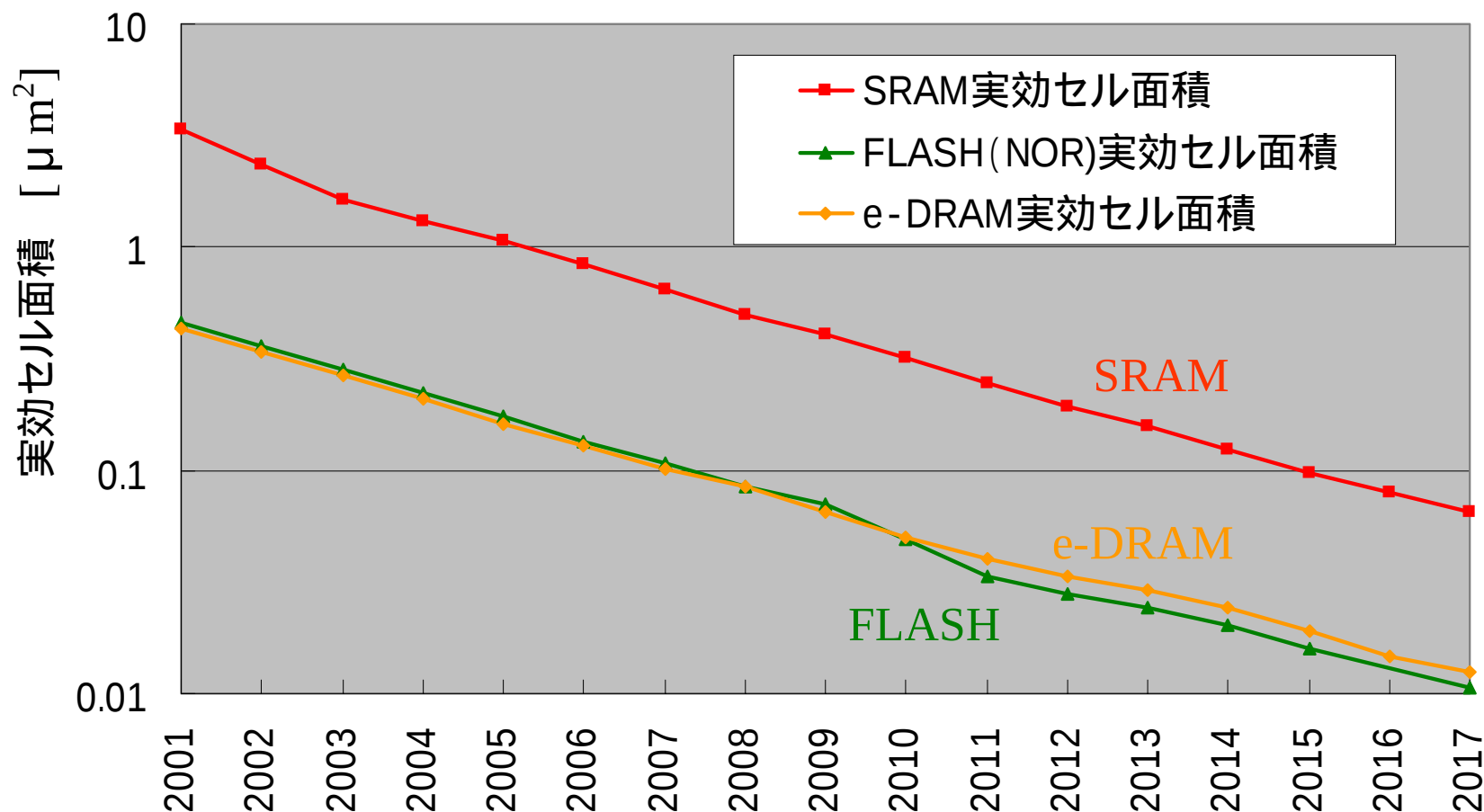
集積度のロードマップ (2)

■ SoC組込みメモリのロードマップ ~ 2003ITRSから導入

Year of Production	2003	2004	2007	2010	2012	2015	2018
Technology Node		<i>hp90</i>	<i>hp65</i>	<i>hp45</i>			
SRAM: CMOS SRAM Technology Node [nm], Feature Size -F	130	90	65	45	35	25	18
6T bit cell size (F ²)	140F ²	140F ²	140F ²	140F ²	140F ²	140F ²	140F ²
Array efficiency	0.7	0.7	0.7	0.7	0.7	0.7	0.7
NOR FLASH: Embedded Non-Volatile Memory Technology Node [nm] Feature Size -F	180	130	90	65	45	35	25
Cell size (F ²)	10F ²	10F ²	10F ²	10F ²	10F ²	10F ²	10F ²
Array Efficiency	0.6	0.6	0.6	0.6	0.6	0.6	0.6
e-DRAM: Embedded DRAM, Technology Node [nm]	130	130	90	65	45	35	25
1T1C bit cell (F ²)	12F ²	12F ²	12F ²	12F ²	12F ²	12F ²	12F ²
Array Efficiency	0.6	0.6	0.6	0.6	0.6	0.6	0.6

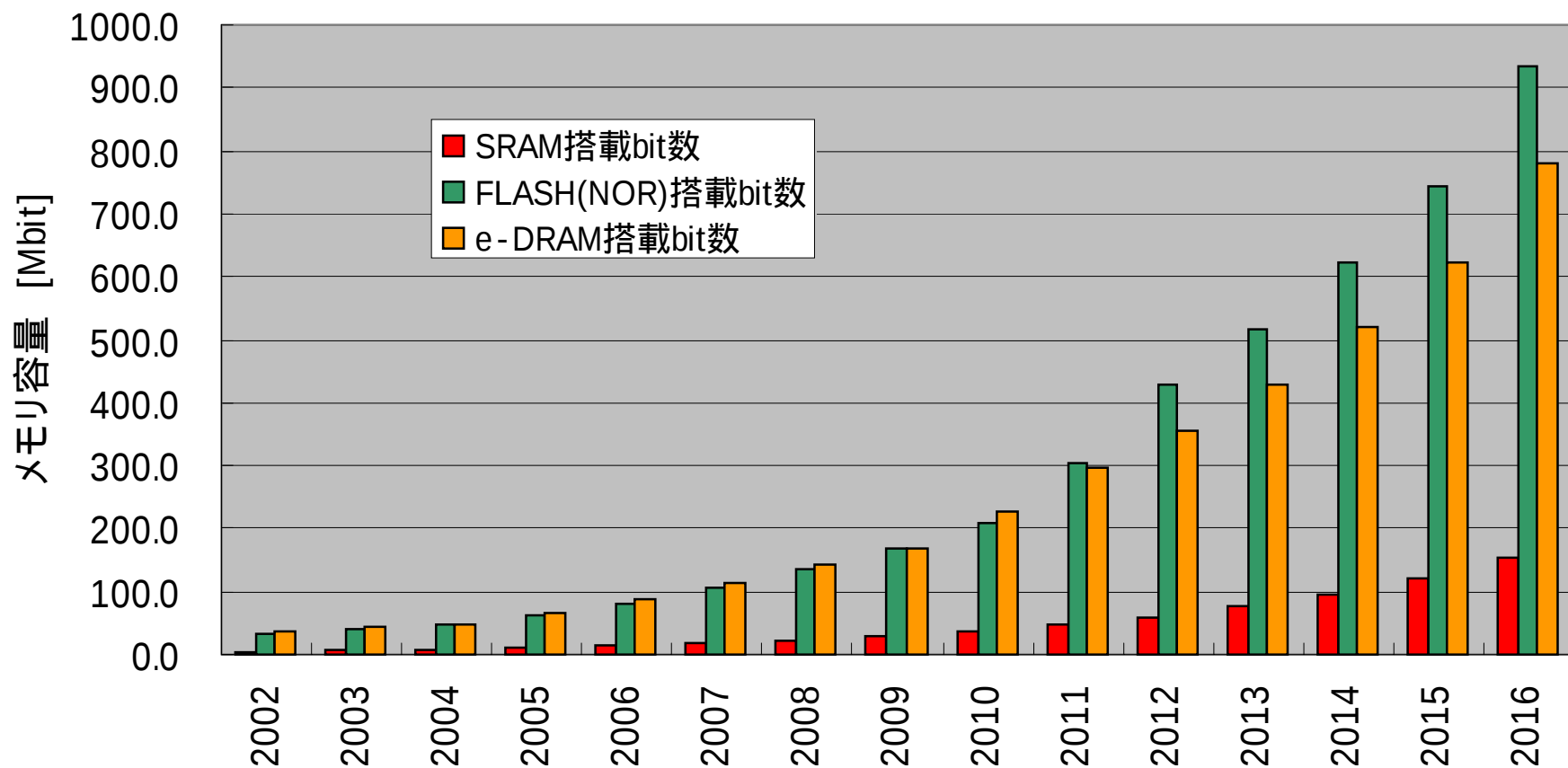
集積度のロードマップ (3)

- SoC組込みメモリのセルサイズのロードマップ
(メモリセルアレイ周辺部のオーバヘッドを含む)
- 集積度のロードマップ(2)の表より計算

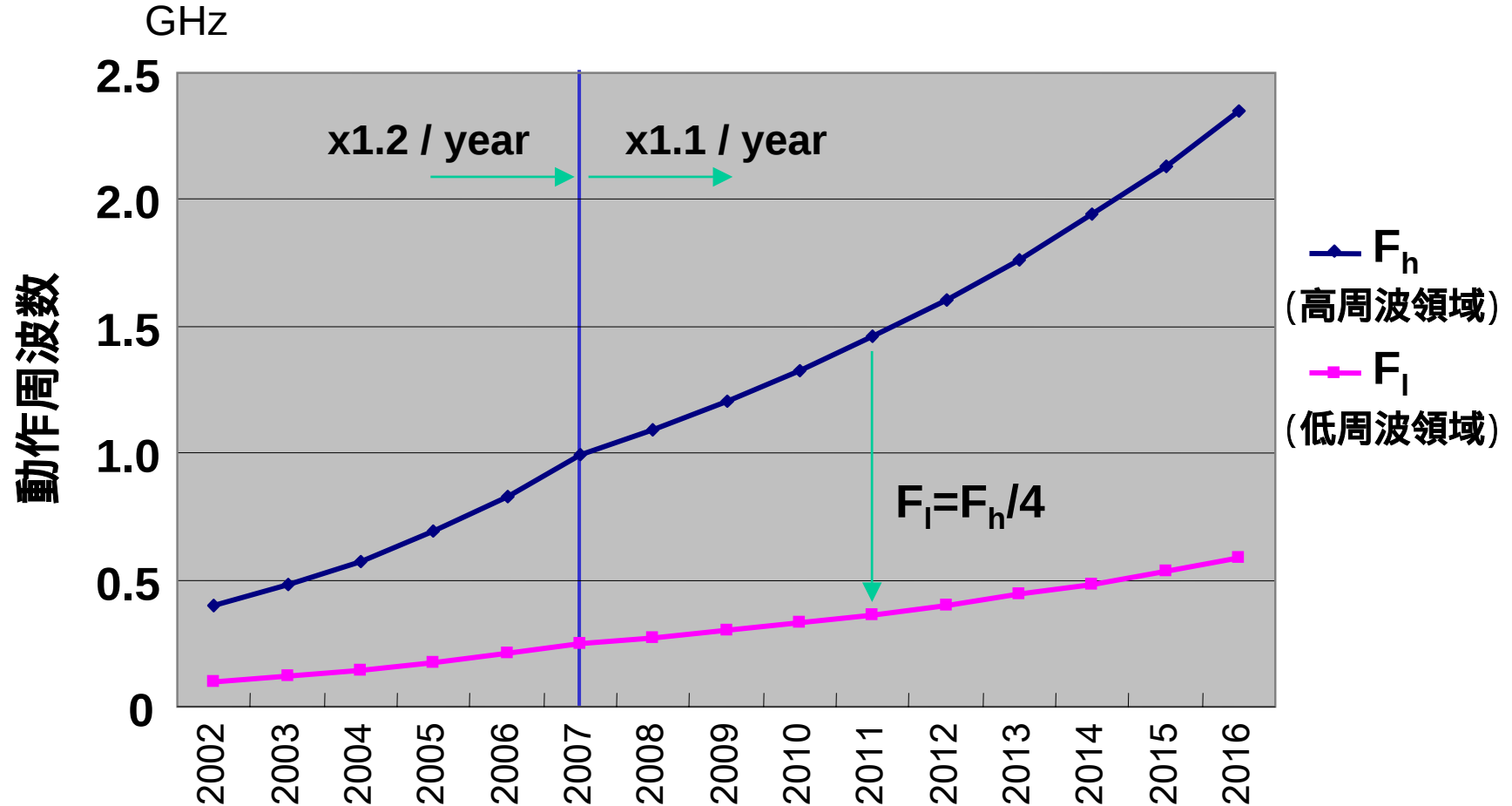


集積度のロードマップ (4)

- SRAMの面積分を、FLASH あるいはe-DRAMに換算して、搭載メモリ容量を計算
(メモリアレイ部周辺のオーバヘッド込み)

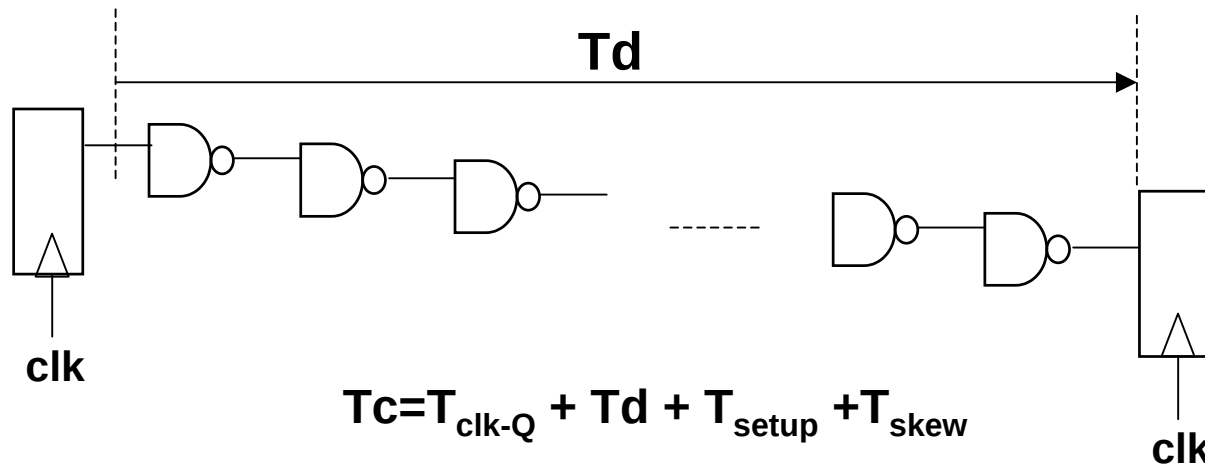


動作周波数の設計目標



動作周波数の算出モデル

$$F_{\text{next}}/F_{\text{now}} = Td_{\text{now}}/Td_{\text{next}} \cdot Cg_{\text{now}}/Cg_{\text{next}} \cdot V_{\text{now}}/V_{\text{next}} \cdot Ids_{\text{next}}/Ids_{\text{now}} \\ (C \cdot V/I)_{\text{now}} / (C \cdot V/I)_{\text{next}}$$

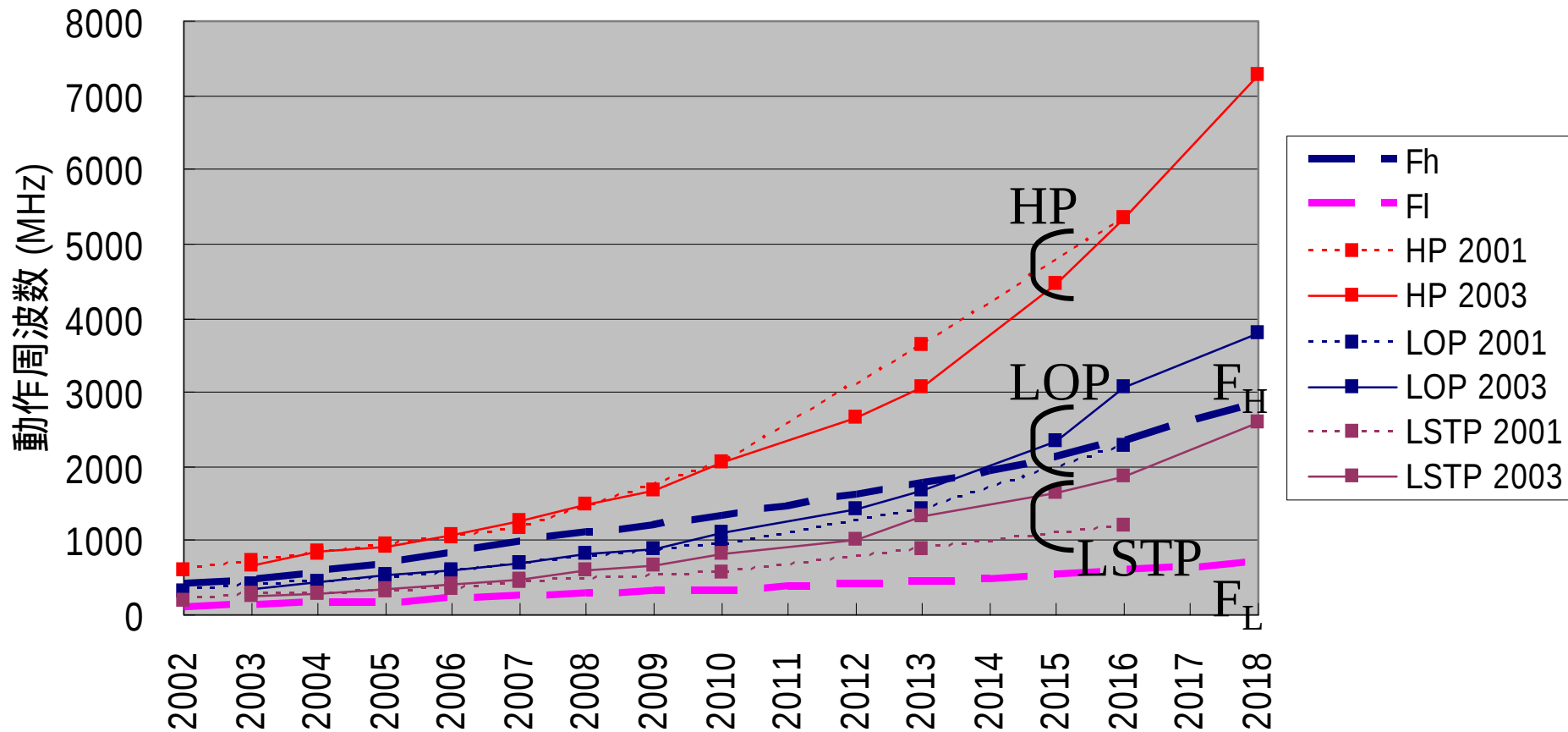


動作周波数の見積り

■ 2003 vs 2001

LOP: 性能が若干向上 (2010以降)

LSTP: 性能向上 (2008以降)



消費電力の算出モデル

■ 消費電力

$$P = \underbrace{p \cdot f \cdot C \cdot V_{dd}^2}_{\text{ダイナミック電力}} + \underbrace{p \cdot I_{SC} \cdot \Delta t_{SC}}_{\text{貫通}} \cdot V_{dd} \cdot f + \underbrace{I_{LEAK} \cdot V_{dd}}_{\text{リーク電力}} + \underbrace{I_{DC} \cdot V_{dd}}_{\text{直流}}$$



■ $C_{NEXT} = C_{NOW} \times k \times B$ と設定

k: スケーリング係数

B: 素子数増加率

■ Tr当たりの消費電力

Logic:Memory=4.4:1

■ Logic部のLeak電流

$$9.63 \cdot L_g \cdot \text{ゲート数} \cdot I_{sd,off}$$

$$5.25 \cdot L_g \cdot \text{ゲート数} \cdot I_g$$

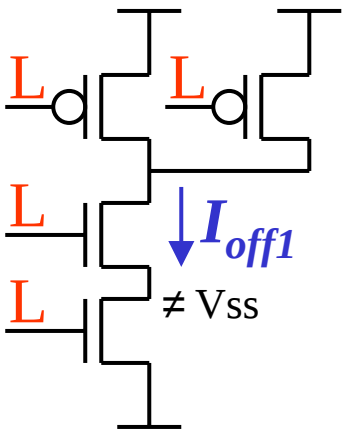
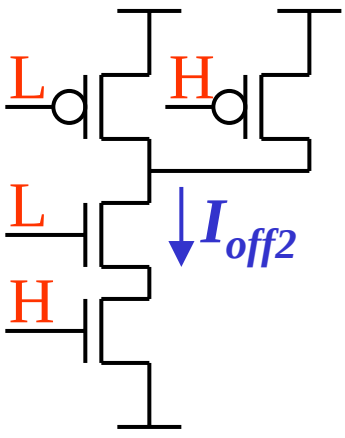
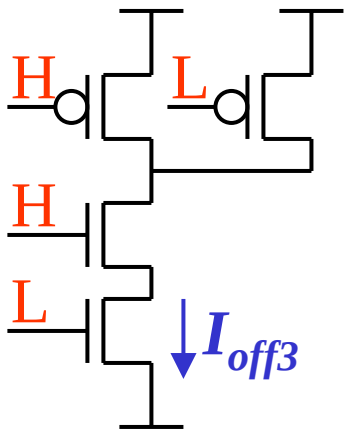
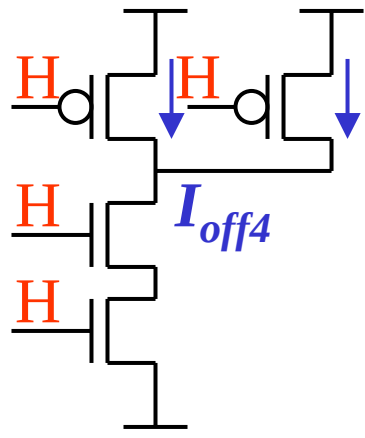
■ RAM部のLeak電流

$$6 \cdot L_g \cdot \text{ゲート数} \cdot I_{sd,off}$$

$$2 \cdot L_g \cdot \text{ゲート数} \cdot I_g$$

基本回路の簡易リークモデル (1)

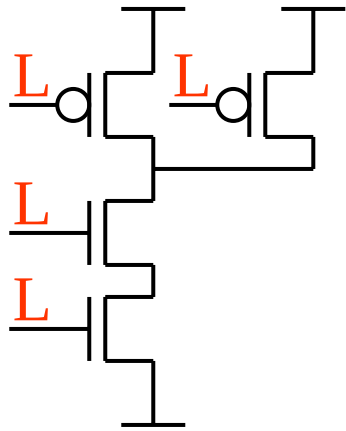
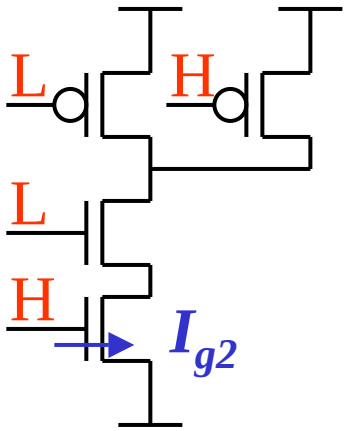
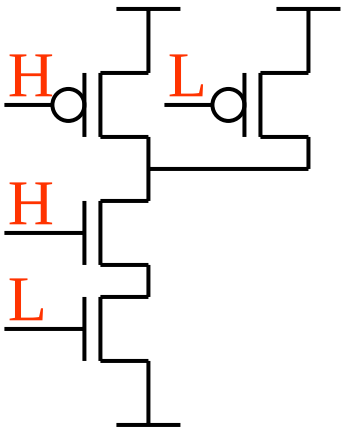
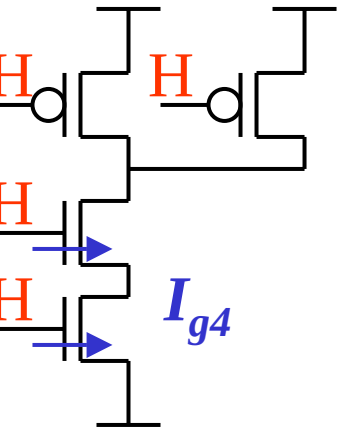
■ 2入力NANDゲートのSub-threshold Leakのモデル

			
$0.5 \cdot W_n \cdot I_{sd,off-n}$ と設定	$W_n \cdot I_{sd,off-n}$	$W_n \cdot I_{sd,off-n}$	$2 \cdot W_p \cdot I_{sd,off-p}$ $= 2 \cdot 1.5 \cdot W_n \cdot I_{sd,off-n}$

- 各状態が平均的に存在するとして、
NANDゲートのSub-threthold Leakは $1.375 \cdot 7 \cdot L_g \cdot I_{sd,off-n}$
- ただし、 $W_n = 7 \cdot L_g$, $W_p = 1.5 \cdot W_n$, $I_{sd,off-p} = I_{sd,off-n}$ と
設定して計算

基本回路の簡易リークモデル (2)

■ 2入力NANDゲートのGate Leakのモデル

			
~ 0	$W_n \cdot I_{g-n}$	~ 0	$2 \cdot W_n \cdot I_{g-n}$

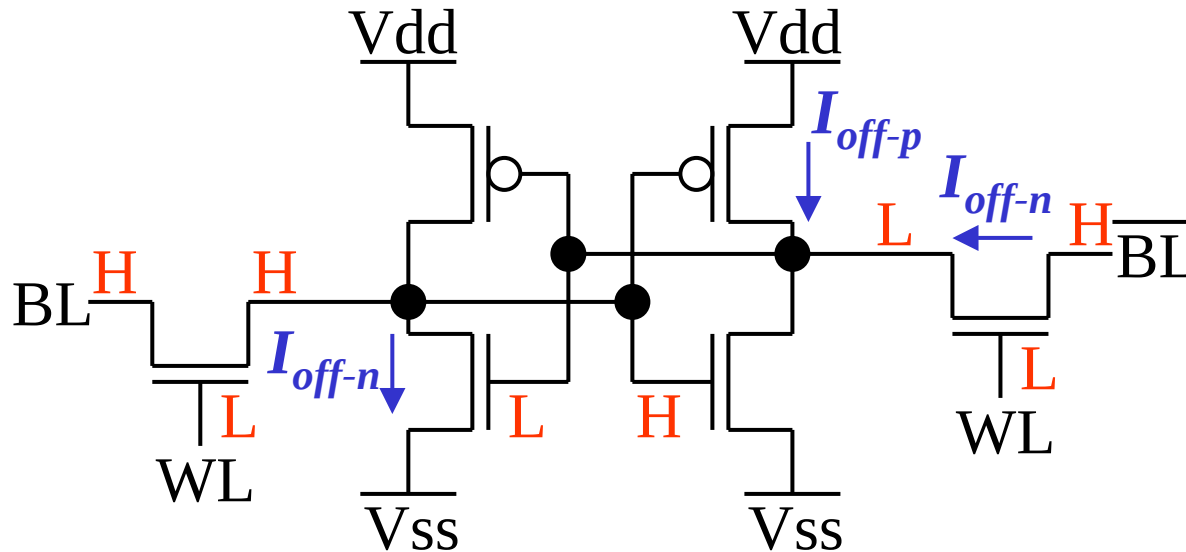
■ 各状態が平均的に存在するとして、
NANDゲートのGate Leakは、 $0.75 \cdot 7 \cdot L_g \cdot I_{g-n}$

D.Lee, et al., “Analysis and Minimization Techniques for Total Leakage Considering Gate Oxide Leakage” Proc. DAC, 2003と同じ設定をして

$I_{g-n(ON)} \gg I_{g-p(ON)}$, $I_{g-n(ON)} \gg I_{g-n(OFF)}$, $W_p = 1.5 \cdot W_n$ として計算

基本回路の簡易リークモデル (3)

■ RAMセルのSub-threshold Leakのモデル

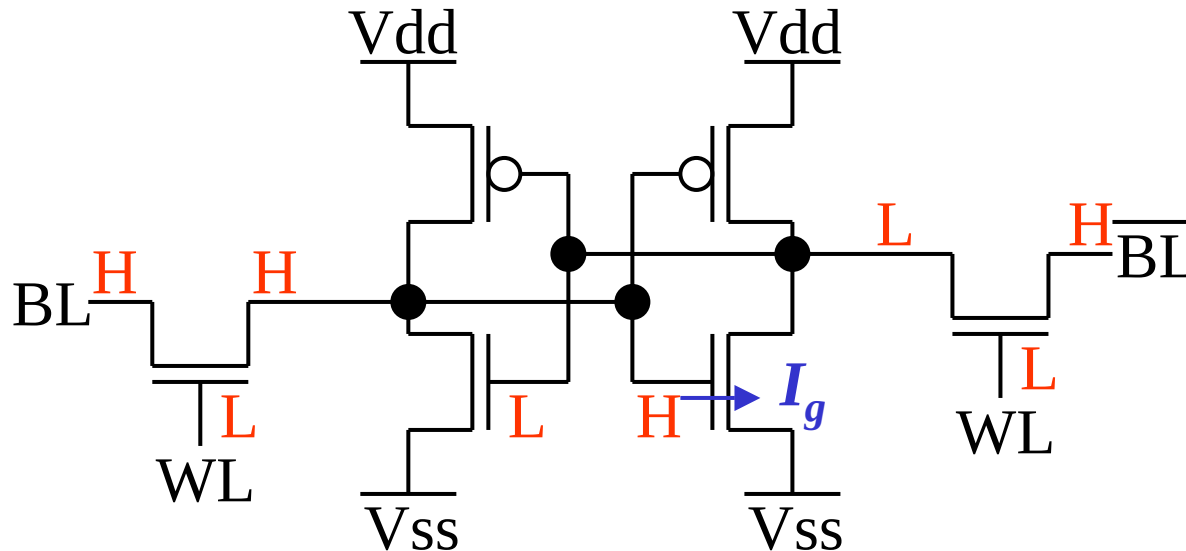


■ RAMセルのSub-threthold Leakは $3 \cdot 2 \cdot L_q \cdot I_{sd, off-n}$

■ ただし、 $W_n = W_p = 2 \cdot L_g$, $I_{sd,off-p} = I_{sd,off-n}$ と設定して計算

基本回路の簡易リークモデル (4)

■ RAMセルのGate Leakのモデル



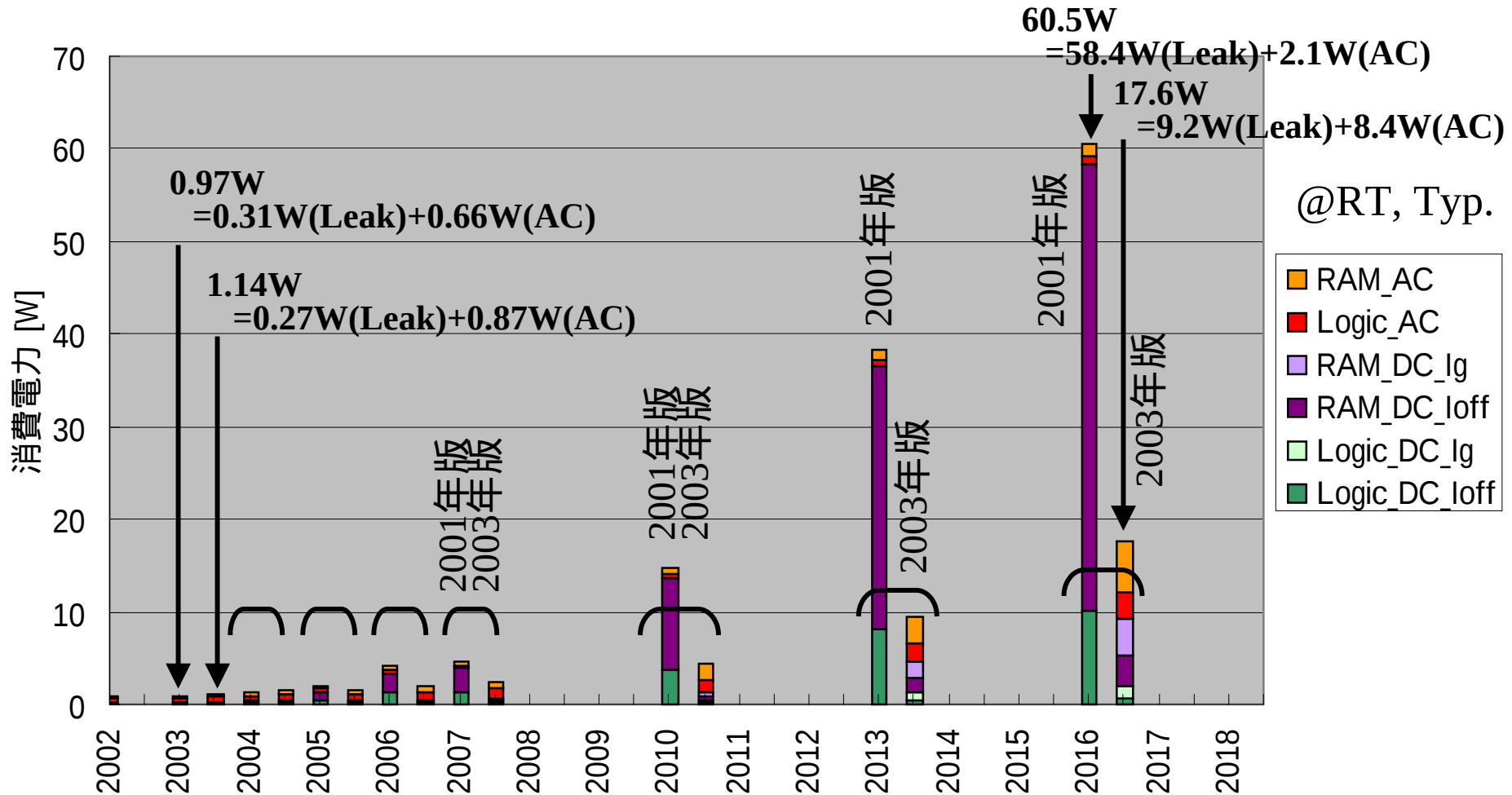
■ RAMセルのGate Leakは $2 \cdot L_g \cdot I_{g-n}$

D.Lee, et al., “Analysis and Minimization Techniques for Total Leakage Considering Gate Oxide Leakage” Proc. DAC, 2003と同じ設定をして

$$I_{g-n(ON)} \gg I_{g-p(ON)}, \quad I_{g-n(ON)} \gg I_{g-n(OFF)}, \quad W_n = 2 \cdot L_g \quad \text{として計算}$$

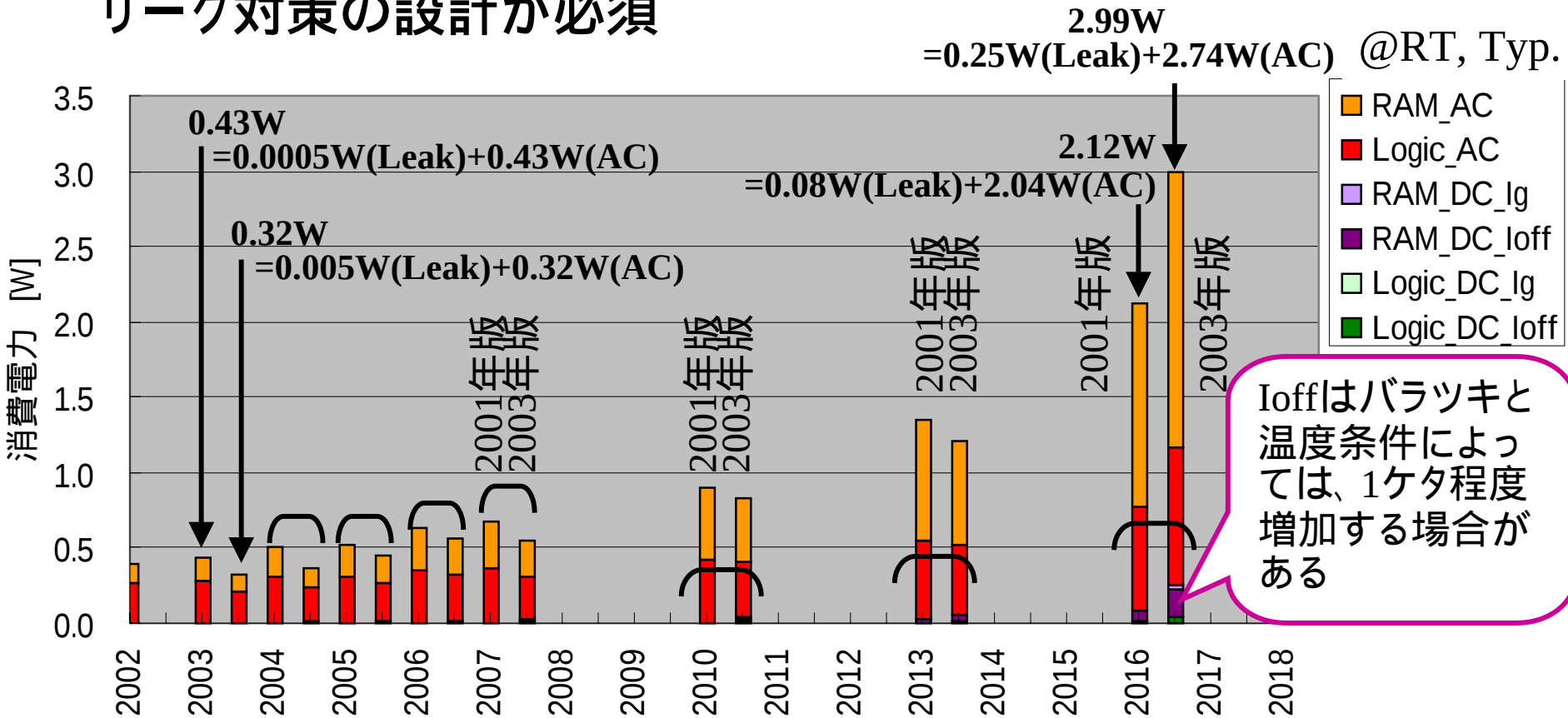
消費電力の見積り (HPモデル)

- 2003年版で、リーク電流は大幅に減少
- 一方、電源電圧が下がらず、2016年にAC電力は約4倍に増大



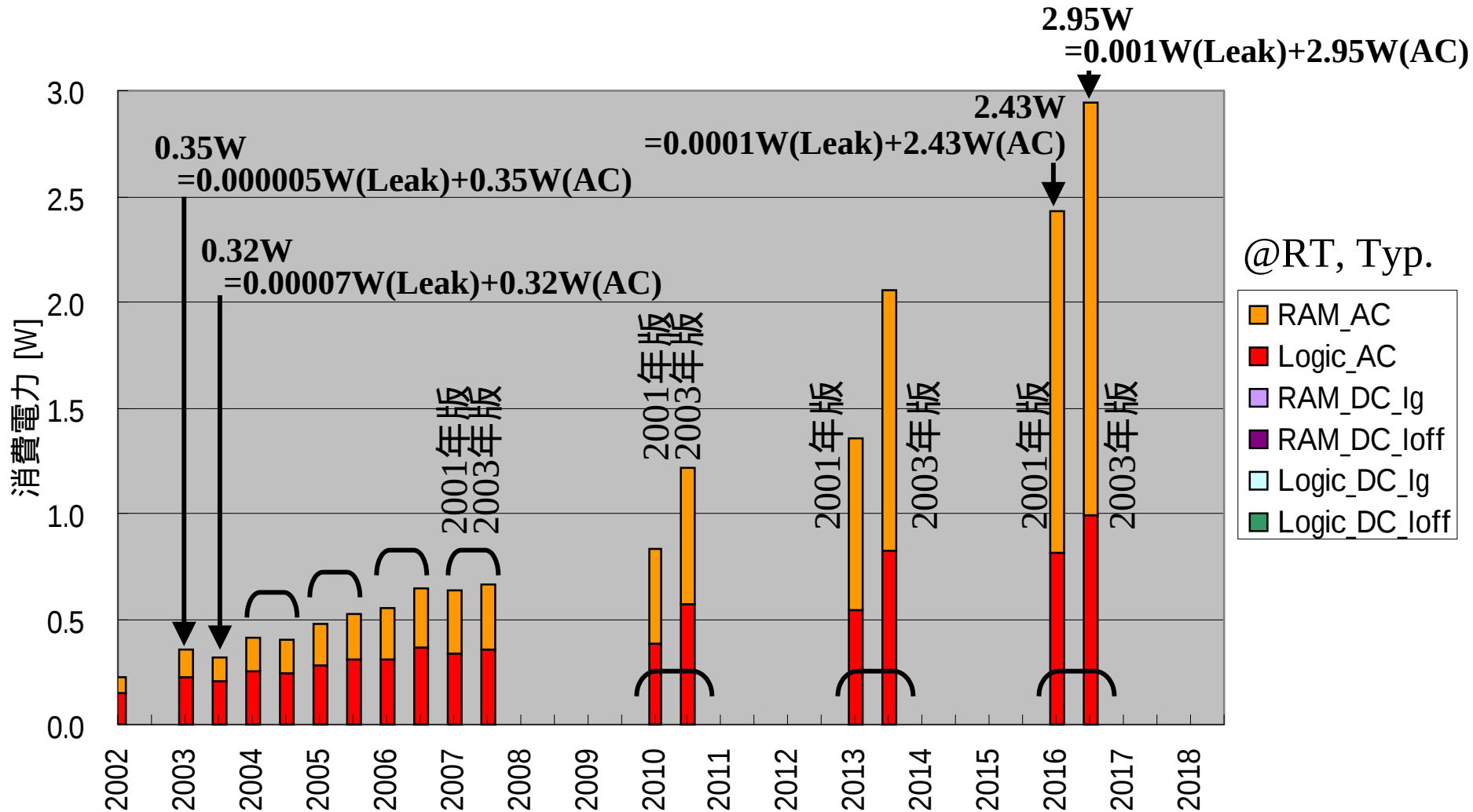
消費電力の見積り (LOPモデル)

- 2001年版と2003年版ではほぼ同等の電力レベル
AC電力の差は、主に動作周波数と電源電圧の違いによる
- 2003年版でリーク電流が増加
リークのバラツキと温度上昇によりリーク増大が見込まれるので、
リーク対策の設計が必須



消費電力の見積り (LSTPモデル)

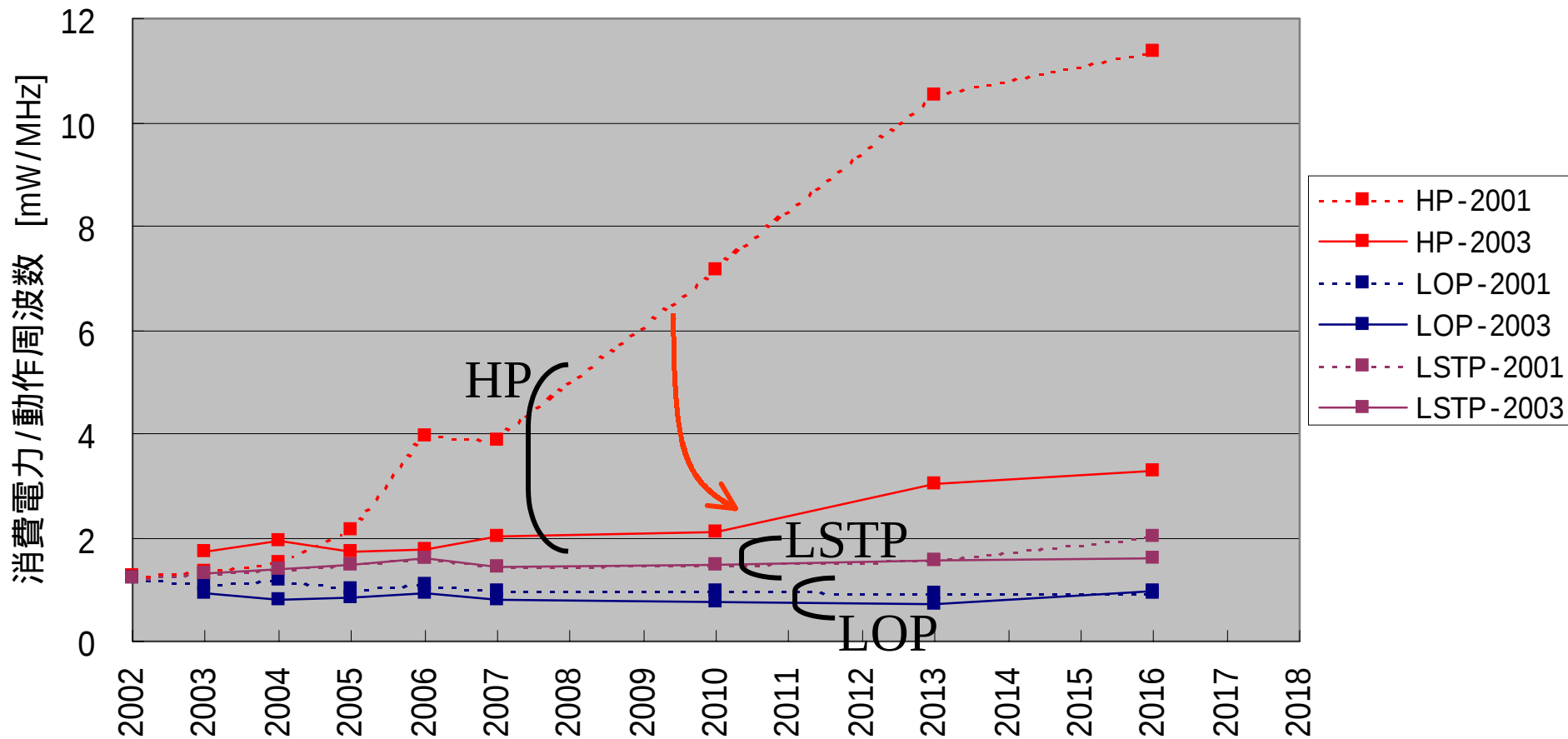
- 2001年版と2003年版でほぼ同等の電力レベル
動作周波数が向上した分、若干AC電力が増加



消費電力 / 動作周波数の比較

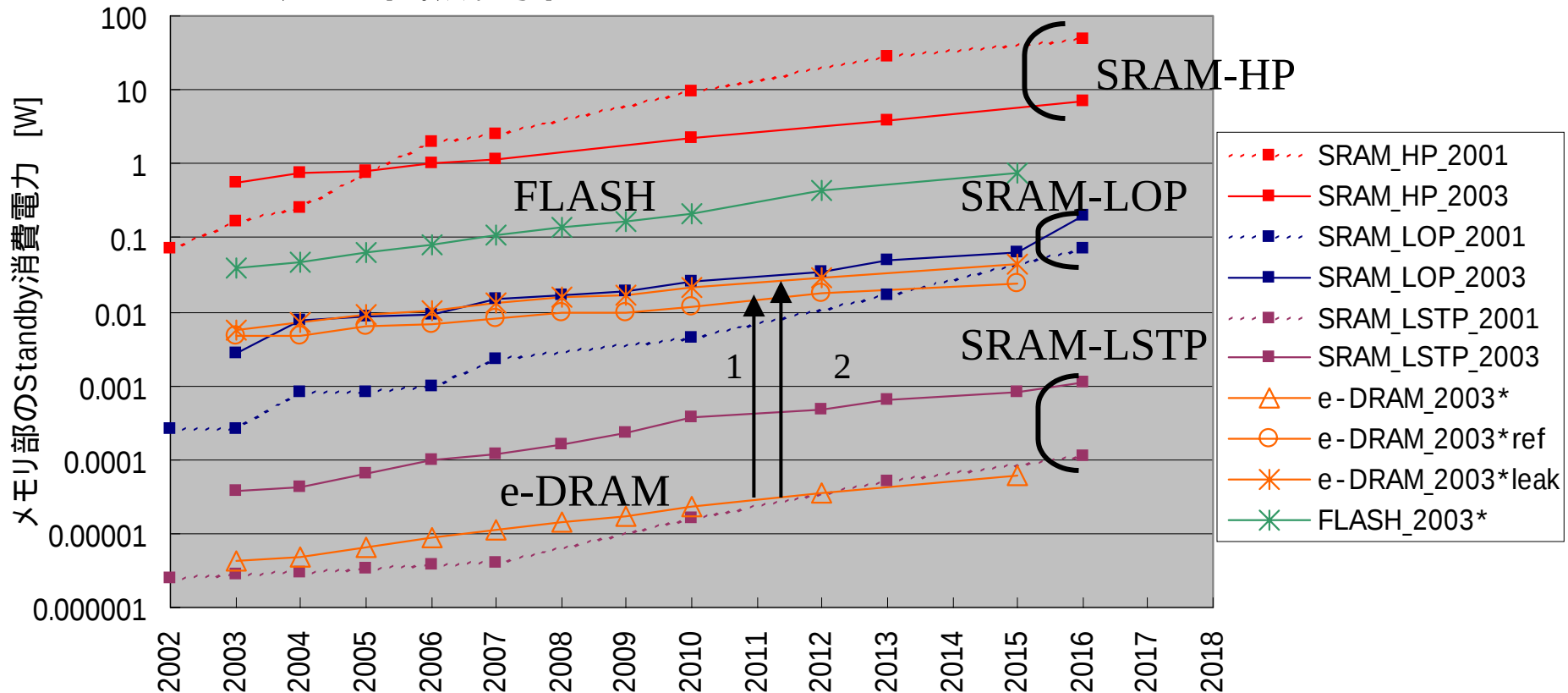
■ $LOP < LSTP < HP$

■ HPは大幅に改善



メモリ部のリーク電力の比較

- e-DRAMのセルアレイ部のリークは極めて小
アレイ周辺部のリークやRefreshに伴うAC電力が支配的
- FLASHは電源切断ができ、使い方によっては、2桁程度、実効
リーク電力を低減可能



1: e-DRAMセルリークにRefresh電力を加算

2: e-DRAMセルリークにRefresh電力、周辺回路リークを加算(周辺はLOPトランジスタで構成と設定)

まとめ

- 従来の低電力SoCの設計モデルを見直し、
特に、リーク計算モデルについては改訂
- 2003年版HP, LOP, LSTPデバイスモデルを用いて、
設計パラメータを検証
- 低電力SoCの設計において、
 - (1) HP:設計困難(2001) → 検討の余地あり(2003)
 - (2) LOP: 低電力SoC設計の中心モデル、リーク対策は必要
 - (3) LSTP: 動作可能周波数が低いが、低リーク
 - (4) 電力周波数比(mW/MHz): LOP < LSTP < HP
- 組込みメモリとして、e-DRAMとFLASHのリークを試算
 - e-DRAMのメモリセルアレイ部のリークは極めて小さいが、Refresh電力を考慮するとSRAM-LOPと同等

今回の見積りは、ゲートトンネル電流をHigh-k材料の導入などで抑制できるとして設定された数値に基づいている。このため、リーク電流の今後の動向に注目する必要がある