

設計現場からの課題抽出と提言 なぜ開発は遅れるか？その解決策は？

半導体技術ロードマップ専門委員会
デザイン・ワーキング・グループ(WG1)
03年度・活動報告

WG1:設計 委員構成

- 山本 一郎(リーダー)
沖電気工業
- 柏木 治久(サブリーダー)
NECエレクトロニクス
- 樋渡 有(国際対応)
東芝
- 山田 明宏(幹事)
トッパン・テクニカル・デザインセンター
- 古井 芳春
ソニーセミコンダクタ九州
- 上村 卓三 ローム
- 坂井 篤 三洋電機
- 高井 啓之 シャープ
- 隅谷 三喜夫 松下電器産業
- 塩月 八宏 ルネサステクノロジ
- 石河 久美子 富士通
- 柿本 勝 ソニー
- 横溝 幸一 早稲田大学
- 小野 信任 ジェダット・イノベーション
- 今井 正治 大阪大学
- 小澤 時典 STARC
- 村岡 道明 STARC

目次

- **WG1の役割と活動内容**
 - ▶ **国際活動 (ITRS活動)**
 - ↪ Design章とSystem Drivers章
 - ↪ 今年度注力活動
 - ▶ **国内活動**

- **設計遅れ起因の分析と提言**
 - ▶ **設計遅れに着眼した背景**
 - ↪ SoC開発の遅れ状況
 - ↪ 初回試作の成功率
 - ▶ **調査・検討方法**
 - ▶ **カテゴリ別、設計ボトルネック分析結果**
 - ↪ 設計マネジメント起因の課題
 - ↪ EDA技術起因の課題
 - ↪ 設計スキル起因の課題
 - ▶ **提言とまとめ**

■ Design章 (主に、WG1が担当)

▶ 目的: 設計技術に対する課題と要求の提示

▶ 技術領域:

Design process, System-level design,
Logical/physical/circuit design, Design verification,
Design for test

■ System Drivers章 (主に、設計TFが担当)

▶ 目的:

↻ System Drivers章 + ORTC = ITRSにおける技術要求の枠組み定義

▶ 内容:

•ORTC =Overall Roadmap Technology Characteristic

↻ 製造技術および設計技術をドライブするLSI商品を、SoCを中心に定義

- SoCの定義: Multi-Technology、High-Performance、Cost-Driven
- 構成要素: Processor、Mixed-Signal、Memory
- SoCトレンド: Low Power PDAモデル、消費電力

Canonical Design Flowの定義

2003年版ITRS (US/EU担当分、最終原稿)のレビュー

■ Canonical Design Flow (規範[基準]設計フロー)

▶ 概要

- 〜 現在及び将来のSoC設計フローを定義する図及び解説
- 〜 WG1の提唱により2003年版のITRSに新規追加

▶ 内容

- 〜 一般的に理解されている設計フロー ITRS論議のために明確化

▶ 目的

- 〜 設計技術ロードマップの基本背景の提示
- 〜 設計コストに関する議論の基盤の提示

▶ 解決課題例

- 〜 設計生産性における技術革新の定義を明確化
 - 従来:
 - » 技術革新に対する用語や定義が不統一
 - Canonical Design Flow:
 - » 「RTL合成」、「SW/HW協調合成」として定義

System Requirement Analysis

System Requirement Specification

System Function Design

System Architecture Design

Full/Semi-Automated

Handcraft

Files, Documents

HW Specification

SW Specification

Micro Architecture Design(Block Partition)

Block Level Specification

RTL Design

Modeling

Verification

RTL Models & Constraints

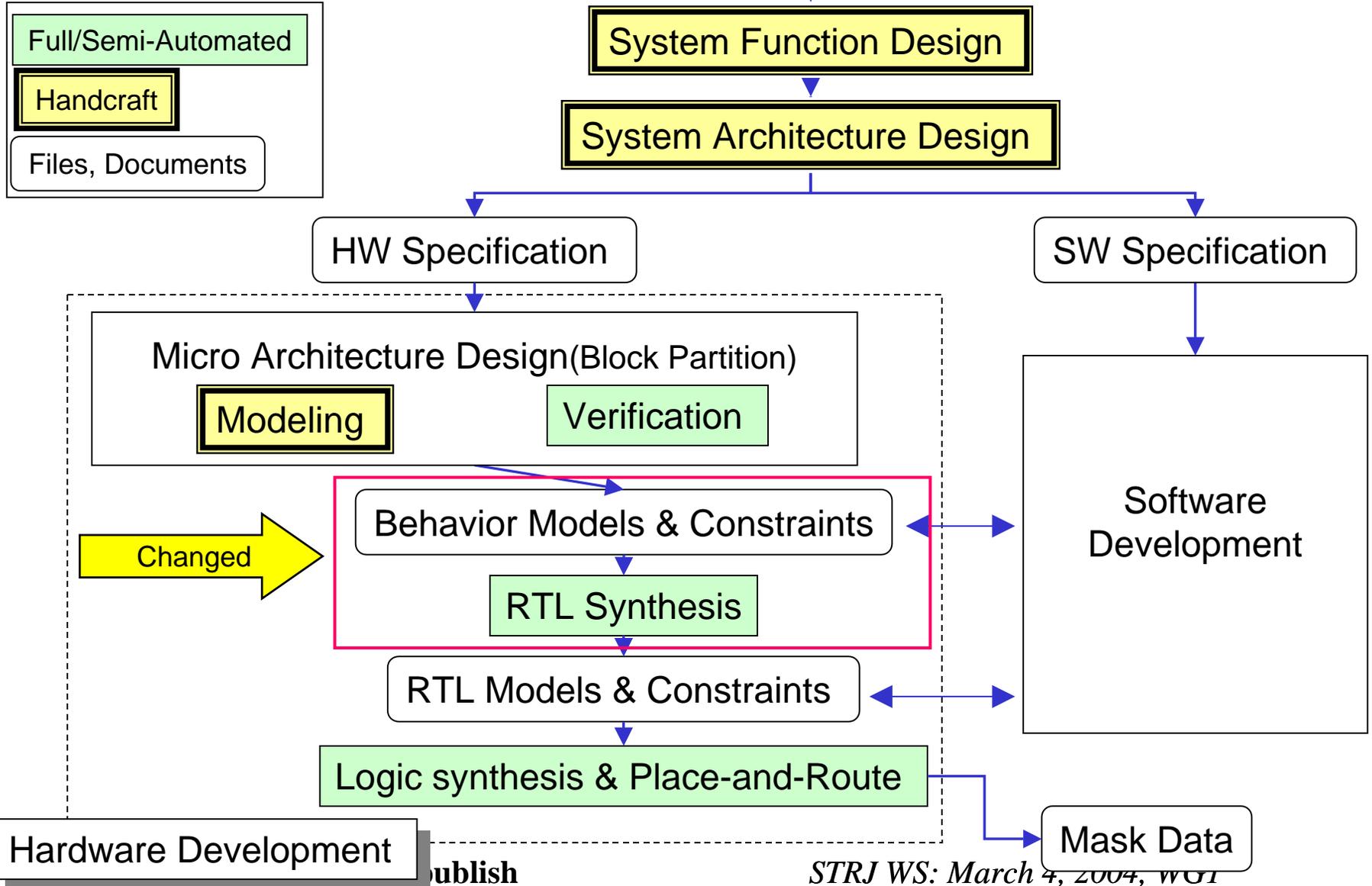
Logic synthesis & Place-and-Route

Software Development

Hardware Development

Mask Data

RTL合成導入後



Full/Semi-Automated
Handcraft
Files, Documents

System Requirement Analysis

System Requirement Specification

System Function Design
Modeling Verification

System Behavior Model, Design Constraint
HW/SW Co-Synthesis

Changed →

Behavior Models & Constraints
RTL Synthesis
RTL Models & Constraints
Logic synthesis & Place-and-Route
Hardware Development

SW Source Code
Software Development

Mask Data

WG1の役割と活動内容(国内活動)

■ WG1の役割:

▶ 設計技術ロードマップの策定

- ↻ 設計技術における課題を時間軸をもって定量的に分析し、解決策を提案
- ↻ 過去には、設計生産性や、低消費電力化設計を検討

▶ SoCの要求性能と製造技術の両ロードマップの関係を横断的に解析

- ↻ 過去には、配線とSoC性能の関係を分析、検討
- ↻ 今年度は休眠したが、2003年にITRSがメジャーアップデート
来年度の注力活動テーマ候補

■ 今年度注力活動:

▶ 設計技術ロードマップ検討の一環として、「設計遅れの課題分析」に注力

- ↻ **設計現場**で発生した設計遅れ課題を分析
SoC商品のTime-To-Marketを短縮するための提言

目次

■ WG1の役割と活動内容

▶ 国際活動 (ITRS活動)

↪ Design章とSystem Drivers章

↪ 今年度注力活動

▶ 国内活動

■ 設計遅れ起因の分析と提言

▶ 設計遅れに着眼した背景

↪ SoC開発の遅れ状況

↪ 初回試作の成功率

▶ 調査・検討方法

▶ カテゴリ別、設計ボトルネック分析結果

↪ 設計マネジメント起因の課題

↪ EDA技術起因の課題

↪ 設計スキル起因の課題

▶ 提言とまとめ

以下では、
国内活動における調査検討結果、
及び、
導き出した提言に関して報告します

設計遅れに着眼した背景

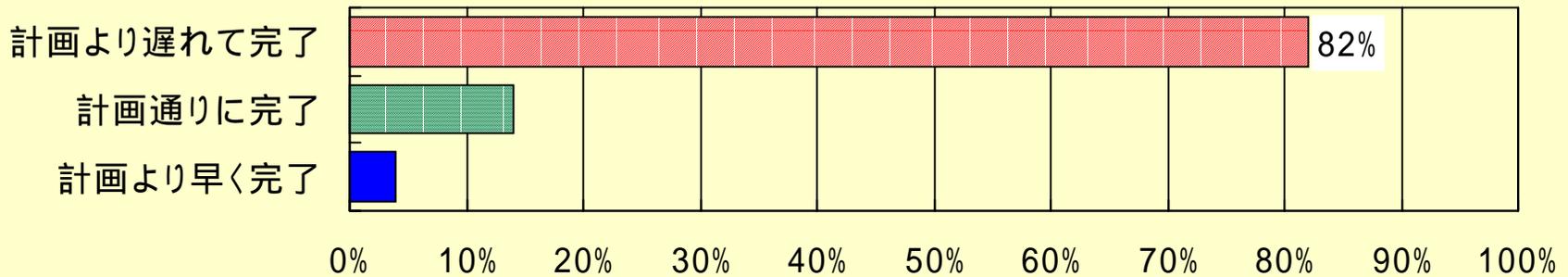
- 「遅れは深刻化の一方であり、Time-To-Marketの短縮には、設計技術の向上のみならず、設計マネジメント・設計スキルの成熟が必須」

開発遅れ原因を深刻化させる要因

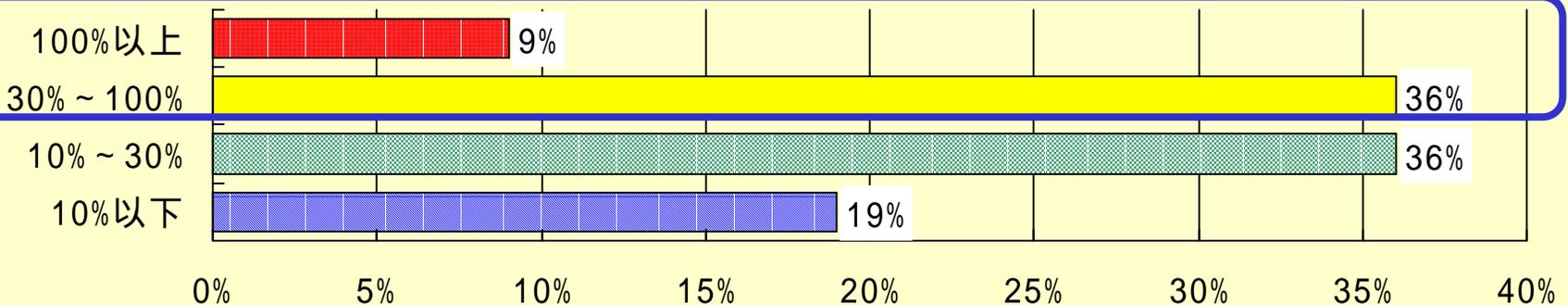
- 開発対象物 (SoC) の巨大化
 - ▶ 微細化に伴い年々回路規模が巨大化
- プロジェクト参画者の多様性拡大
 - ▶ 原因: 複数の先端技術の混載、社外から導入する開発スタイルが増加
 - ▶ 参画者
 - 顧客
 - ハードウェア設計者 (デジタル + アナログ + メモリ)
 - ソフトウェア設計者
 - 製造 (テスト + ウェハ・プロセス + パッケージ)
 - 開発協力会社、IP供給会社、製造会社、EDAツール供給会社
- 開発費用 / 期間の増大
 - ▶ 仕様変更 / バグ発見の解決に要する費用 / 期間は、後工程になるほど急激に増加
- 人的要素による影響大
 - ▶ 技術力のバラツキ、要員確保
- 提案型ビジネスへのシフト
 - ▶ 提案と仕様まとめに、顧客との交渉 / 討議能力が必要

- SoC開発プロジェクトのうち、**82%**は計画よりも遅延、45%は**3割以上**の期間増加
- 従来からの「技術革新による設計生産性を向上」に加え、「**SoC開発の計画期間内完了率の向上**」が重要

SoC開発の遅れ頻度



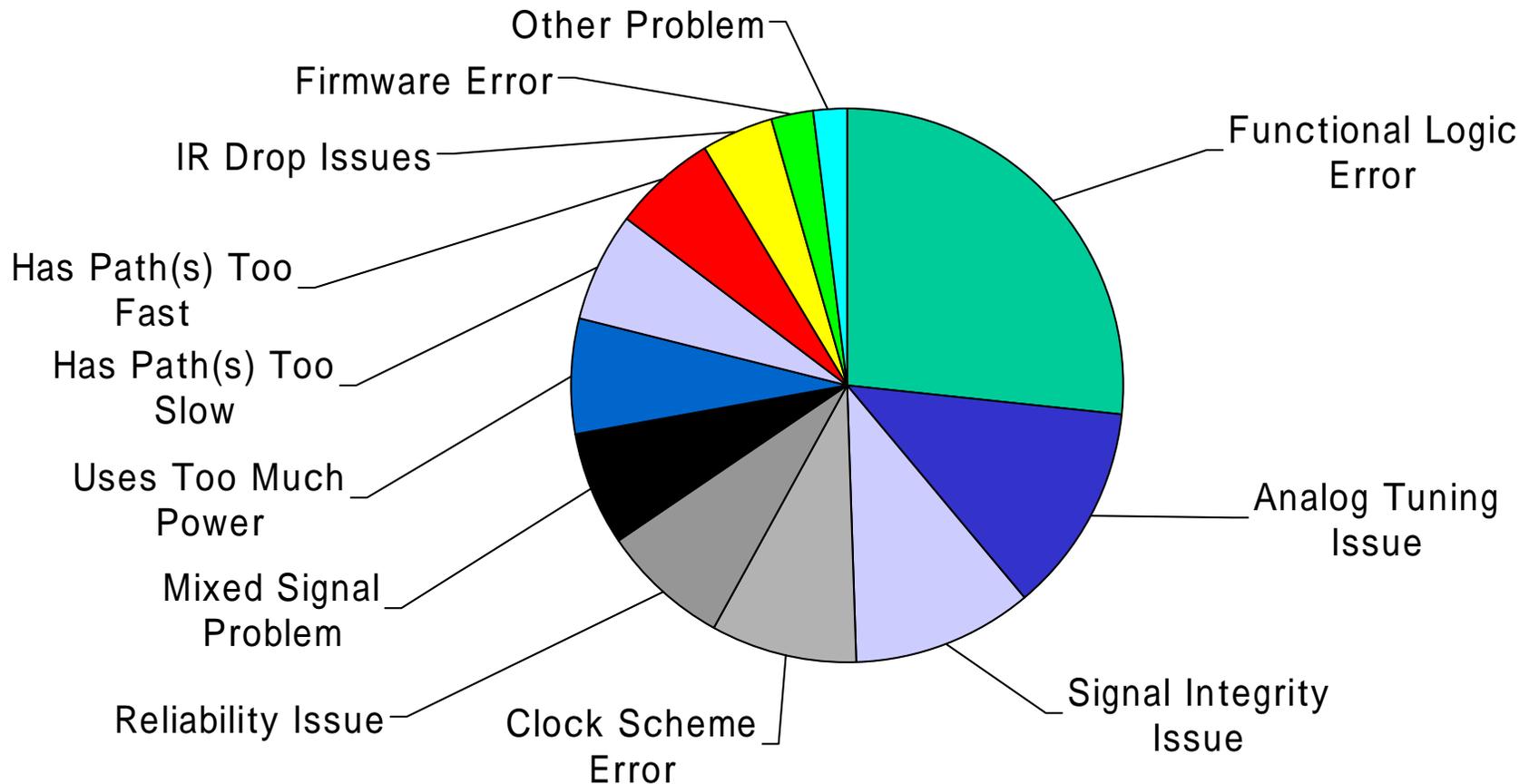
SoC開発における期間増加量 (計画期間に対する比率)



出典: R. Collett, 「プロジェクト管理・経験と勘に頼った管理手法から脱却」、日経マイクロデバイス、01年11月号

初回試作の成功率

- 初回試作の成功率は、わずか39% 「SoC開発の計画期間内完了率の向上」が重要
- 検証の重要性は認識するが、原因深掘りが必要
真原因候補: 検証ツールの能力不足、検証項目漏れ、仕様理解ミス、不適切な設計マージン



Source: Aart de Geus, Chairman & CEO of Synopsys, 2003 Boston SNUG keynote address

調査・検討方法

開発遅れ事例をWG1委員が関与したSoC開発から収集
各事例の深掘り分析による課題抽出から提言を策定

■ 開発遅れ事例の収集

- ▶ 委員が関与したSoC開発(設計現場)から、開発遅れ事例を収集
- ▶ 事例数は88件
 - ↪ 統計的に十分な意味を持つ個数

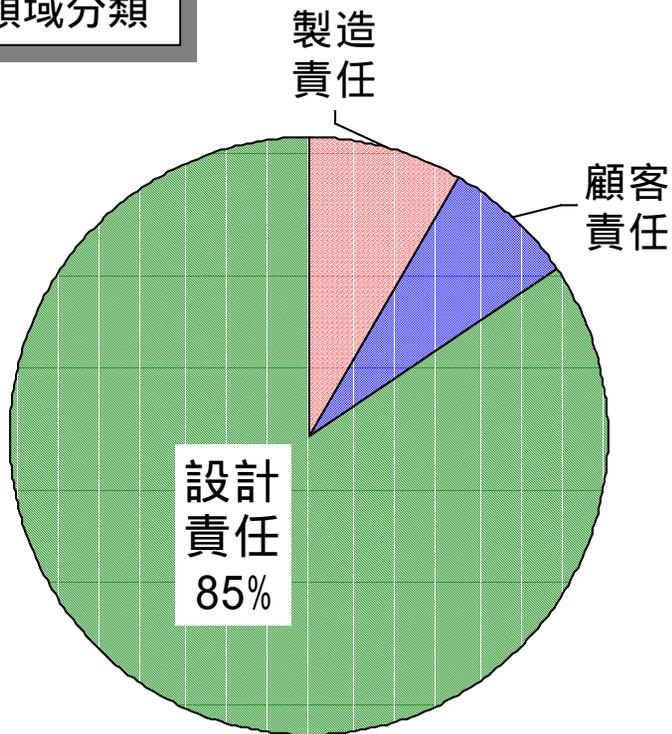
■ 深掘り分析と課題抽出

- ▶ 開発遅れ事例を1件ずつ吟味
 - 開発遅れにおける課題を抽出
 - ↪ 1件の遅れ事例から複数の課題を抽出
- ▶ 抽出した課題をカテゴリ分類 解析、提言の策定
 - ↪ カテゴリ: 設計マネジメント、設計スキル、設計メソドロジー、IP、EDAツール

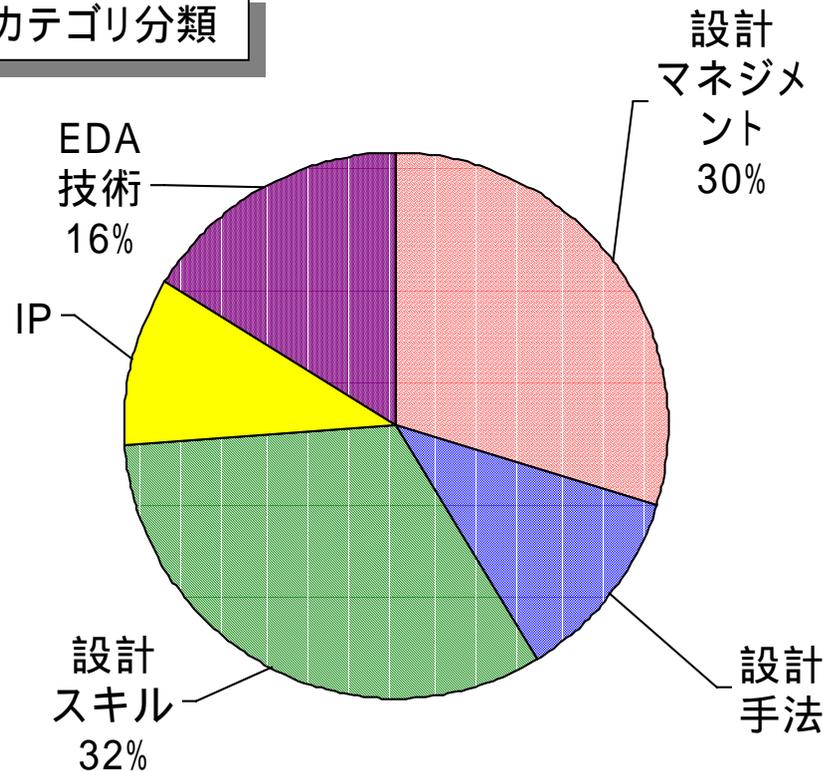
課題分析: 「責任領域分類」と「カテゴリ分類」

- 責任領域別分類
 - 大多数(85%)は設計責任
 - 製造責任の課題比率が少
 - カテゴリ分類
 - 設計スキル、設計マネジメント、EDA (CAD)技術の向上が、遅れ防止の鍵
- 商品の大多数は既存プロセスを利用と推定

責任領域分類



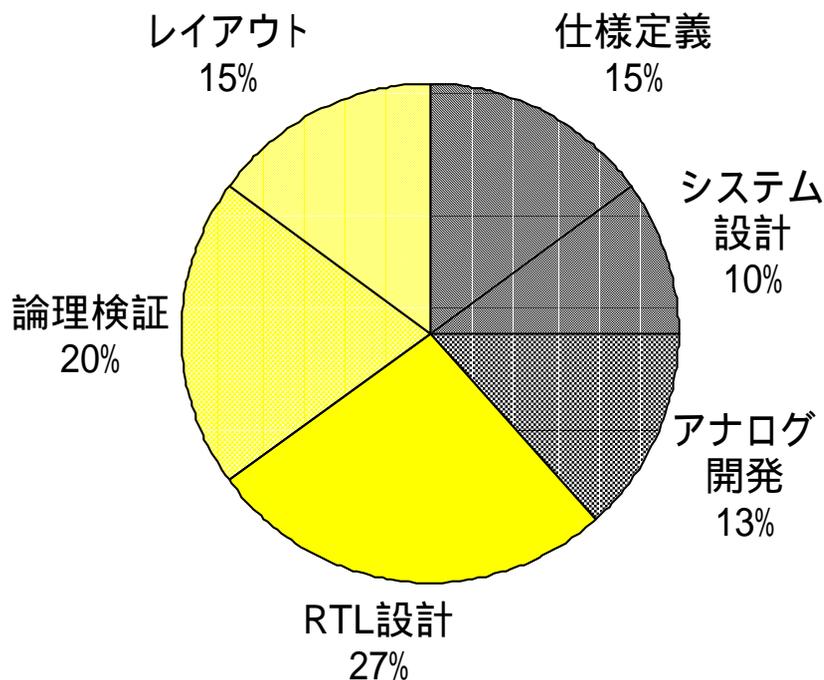
カテゴリ分類



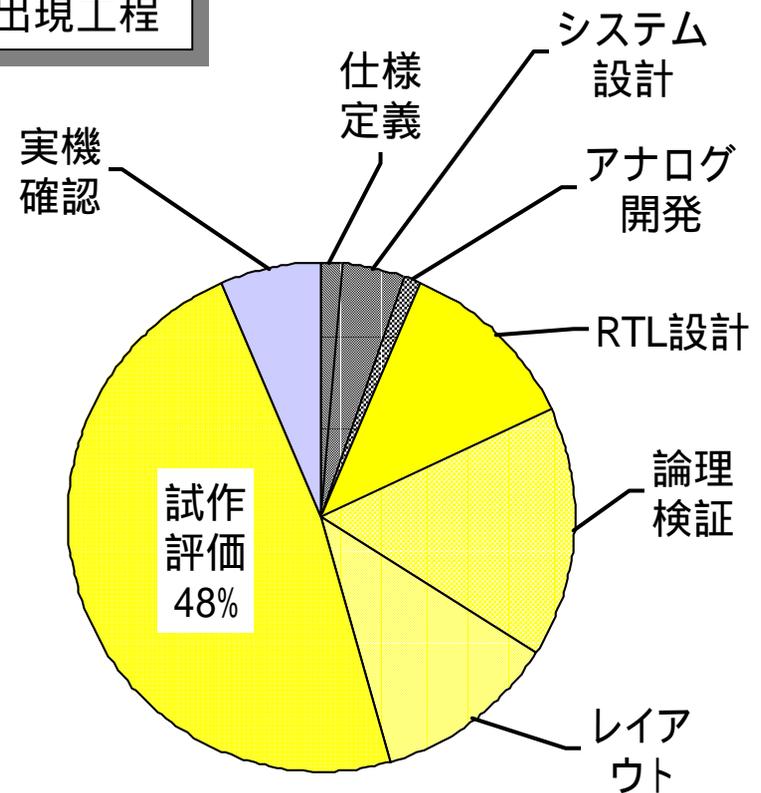
課題分析: 「作り込み工程」と「出現工程」

- 作り込み工程: 課題の作り込みは、各設計工程に分散
 - 補足: 「論理検証での作り込み」= 「検証で見付けるべき課題の検出漏れ」
- 出現工程: 試作評価で発現した課題が、遅れの起因の約半数
 - マスク作成前でのトラブル防止が重要と再認識

作り込み工程



出現工程



目次

■ WG1の役割と活動内容

▶ 国際活動 (ITRS活動)

↪ Design章とSystem Drivers章

↪ 今年度注力活動

▶ 国内活動

■ 設計遅れ起因の分析と提言

▶ 設計遅れに着眼した背景

↪ SoC開発の遅れ状況

↪ 初回試作の成功率

▶ 調査・検討方法

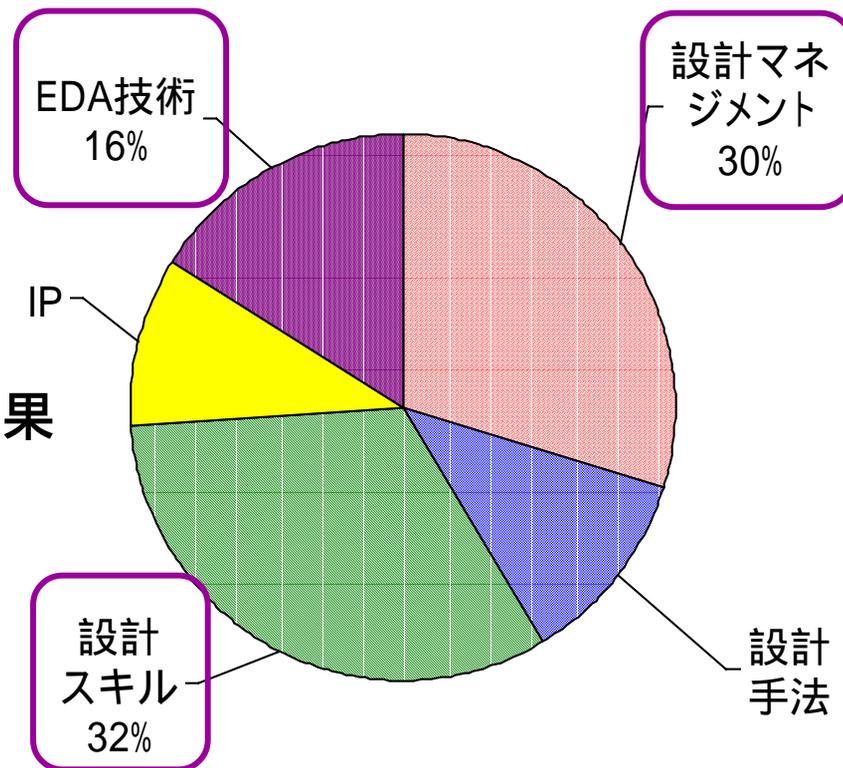
▶ カテゴリ別、設計ボトルネック分析結果

↪ 設計マネジメント起因の課題

↪ EDA技術起因の課題

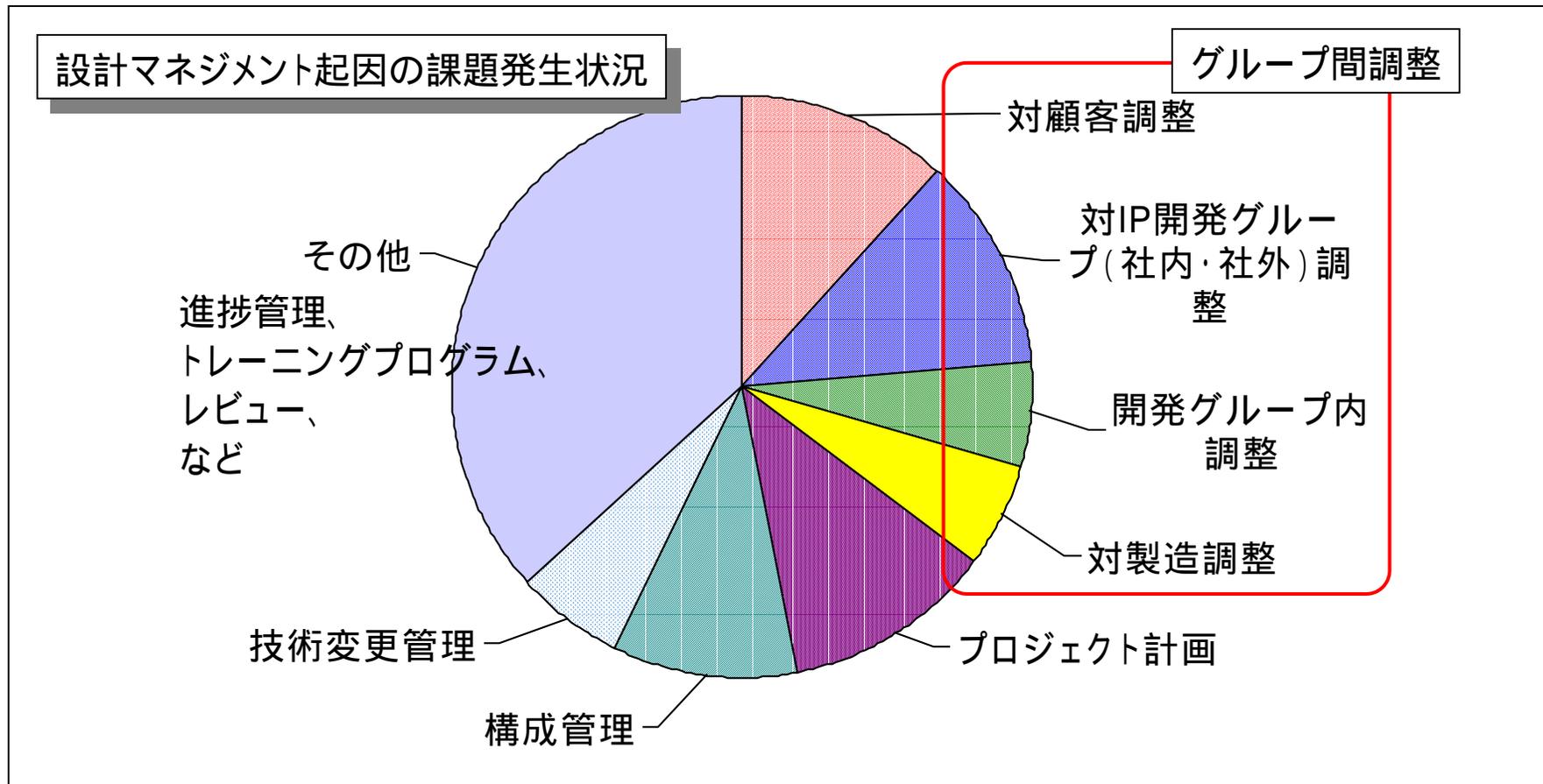
↪ 設計スキル起因の課題

▶ 提言とまとめ



設計マネジメント起因の課題

- 「グループ間調整」、「プロジェクト計画」、「構成管理」の改善が必要
グループ間調整の対象 = 顧客、IP開発グループ（社内外）、開発グループ内、製造



設計マネジメント: グループ間調整

■ グループ間調整のゴール

- ▶ 顧客要求に対する合意
- ▶ グループ間のコミットメントに対する合意
- ▶ グループ間の課題特定し、進捗を確認しつつ解決



■ 発生課題例

▶ 顧客要求に対する合意が不十分

- ↪ “仕様が決まらない”、または、“決められない”。

仕様決定へのまとめ、整理、調整等の力量が不十分。

- ↪ 仕様上の曖昧な点に関して、顧客との確認を十分に取らず、思い込みのまま開発。
- ↪ 顧客が開発担当した回路の受け取り条件が曖昧。
受領後の作業量が当初予測を大幅超過。

▶ グループ間のコミットメントに対する合意が不十分

- ↪ 複数組織にまたがる設計プロジェクトにおいて、マネジメントに関する理解に差異
プロジェクトが遅延。

設計マネジメント:プロジェクト計画

■ プロジェクト計画のゴール

- ▶ 計画策定・進捗管理に用いる見積りの実施
- ▶ 作業、コミットメントの計画作成
- ▶ グループおよび個人が、各自のコミットメントに同意



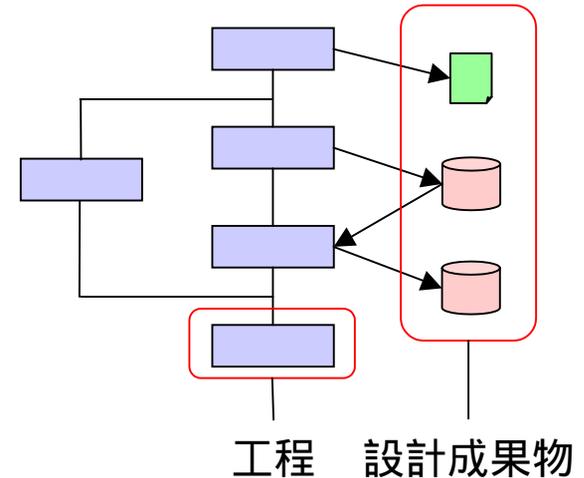
■ 発生課題例

- ▶ 見積りの精度、または文書化が不十分
 - ↪ 初期段階での回路規模見積りが甘く、許容面積を超過
 - ↪ ソフトウェア処理の負荷見積もりが甘く、LSIのアーキテクチャの見直しが発生

設計マネジメント: 構成管理

■ 構成管理のゴール

- ▶ 各工程での設計成果物を定義
- ▶ 成果物に対する管理方法を明確化し、実行
 - ⌘ 命名則(ファイル名、ディレクトリ構造、など)
- ▶ 成果物に対する変更方法を明確化し、実行
 - ⌘ 変更の周知、など



■ 発生課題例

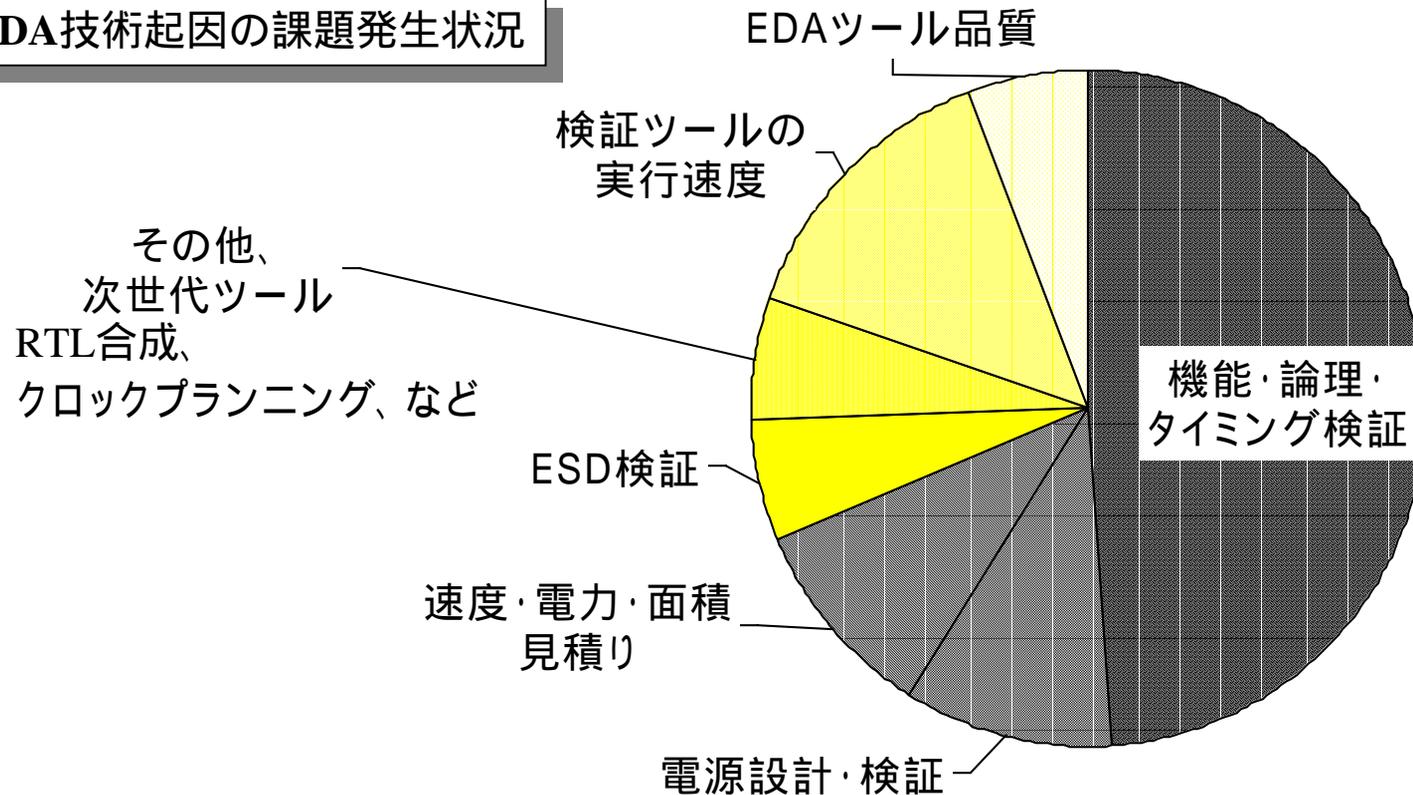
- ▶ 成果物の変更管理が不十分
 - ⌘ LSI開発と使用マクロの改良を並行実施したが、検証前のマクロを組み込んだため、不具合発生
 - ⌘ レイアウトする際、うっかりミスで最終検証前の回路を使用
- ▶ 成果物の変更周知が不十分
 - ⌘ 回路設計 - レイアウト設計グループ間の連絡ミスにより、使用するIPのバージョンに誤り



EDA (CAD) 技術起因の課題

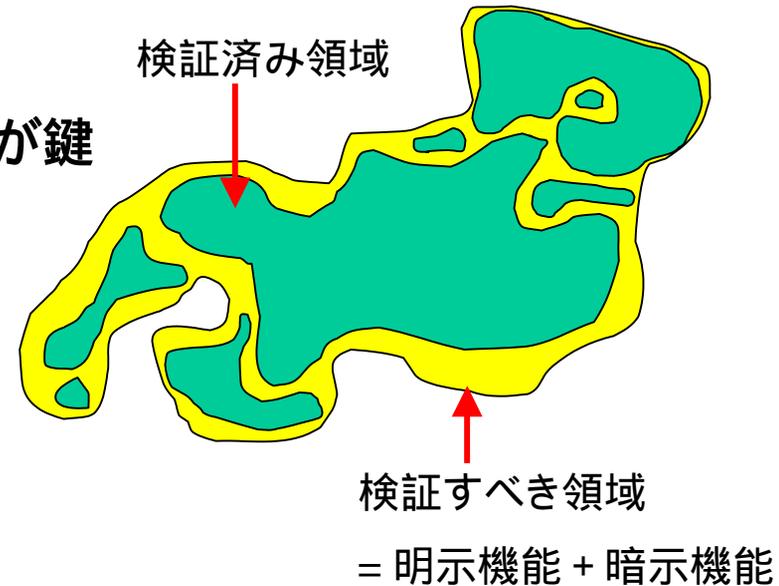
- 機能面での最大課題 = 「機能・論理・タイミング検証」
- 品質性能面での最大課題 = 「検証ツールの実行速度」
 - EDA技術の領域では、「検証」が最も改善すべき領域

EDA技術起因の課題発生状況



■ 課題

- ▶ 検証網羅性を如何に100%に近づけるかが鍵
- ▶ 課題領域
 - ㊦ デジタル回路における機能・論理の検証
 - ㊦ 非同期回路におけるタイミング検証
 - ㊦ アナログ・RF回路における特性確認



■ 発生課題例

- ▶ デジタル回路における機能・論理の検証が不十分
 - ㊦ 回路の大規模化に伴い、検証パターン作成工数が増大
 - ㊦ マイナー・モードに対する検証漏れ / ミス
- ▶ 非同期回路におけるタイミング検証
 - ㊦ 非同期のI/F回路で、それなりにケアして多くのテストパターンで検証したが、それでも検証漏れで誤動作
- ▶ アナログ・RF回路における特性
 - ㊦ 読み切れていなかった配線間容量を起因する誤動作が発生

EDA技術: 検証ツールの実行速度

■ 課題

- ▶ 如何にして、現実的な時間内で検証を完了させるかが鍵
- ▶ 課題領域
 - ↪ 組み込みソフトの検証
 - ↪ LSI(機能・論理・タイミング)の検証
 - ↪ アナログ回路の検証

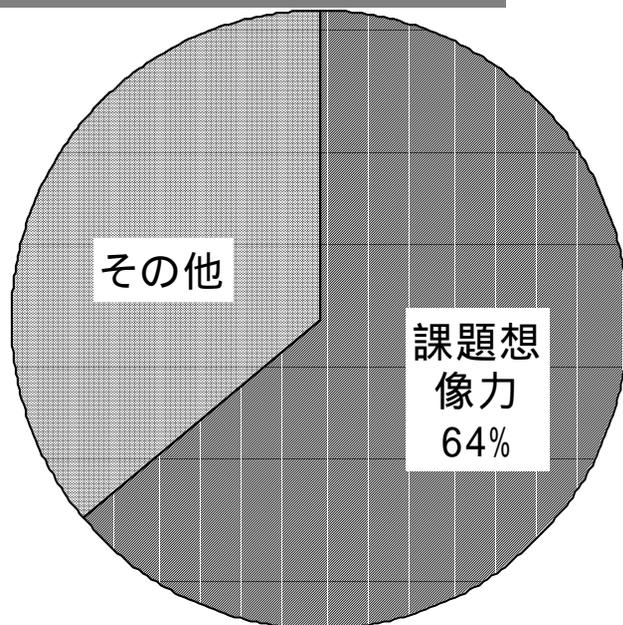
■ 発生課題例

- ▶ 組み込みソフト
 - ↪ 複雑さ・規模の増大 ソフトウェア開発が収束しない。
 - ↪ LSIがでる前にリアルタイムで検証できるEDAツールが望まれる。
- ▶ LSI(機能・論理・タイミング)
 - ↪ LSIの機能が増大 検証ツールのスピードがネック
- ▶ アナログ回路
 - ↪ シミュレーション時間が長大化 マスク発注後に検証

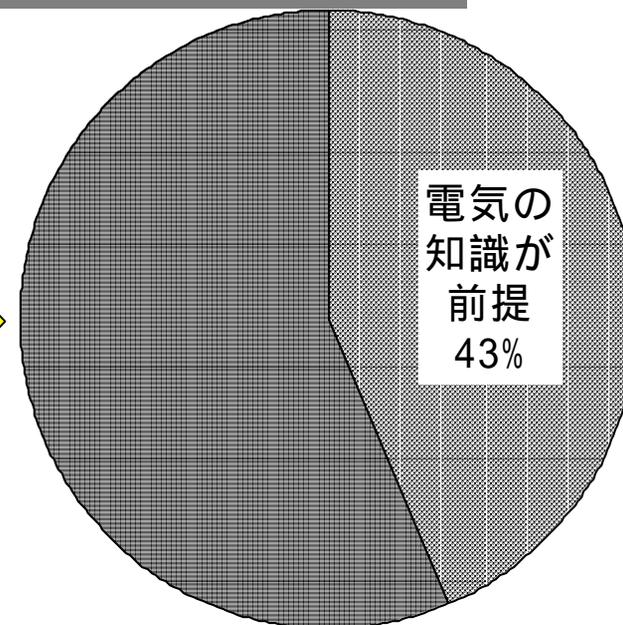
設計スキル起因の課題

- 課題想像力(考慮すべき事項を考え出す力)が重要
- 課題想像力を起因とする課題の約半数が、電気(物理現象)に関する知識を前提

設計スキル起因の課題発生状況



電気の知識を前提とする割合



設計スキル:課題想像力

■ 課題想像力:

- ▶ 考慮すべき事項を考え出す力
- ▶ 電気の知識を前提とするケースが、課題の半数

■ 発生課題例

▶ 電気の知識を前提

- ↪ 多電源LSIにおける、部分回路の電源のオンオフ
- ↪ 電源ノイズによる誤動作
- ↪ クロストーク
- ↪ 微細プロセス(新規課題、バラツキ)

▶ その他

- ↪ 機能・論理検証項目の抽出漏れ
- ↪ 見積り時の配慮項目漏れ

目次

- **WG1の役割と活動内容**
 - ▶ **国際活動 (ITRS活動)**
 - ↪ Design章とSystem Drivers章
 - ↪ 今年度注力活動
 - ▶ **国内活動**

- **設計遅れ起因の分析と提言**
 - ▶ **設計遅れに着眼した背景**
 - ↪ SoC開発の遅れ状況
 - ↪ 初回試作の成功率
 - ▶ **調査・検討方法**
 - ▶ **カテゴリ別、設計ボトルネック分析結果**
 - ↪ 設計マネジメント起因の課題
 - ↪ EDA技術起因の課題
 - ↪ 設計スキル起因の課題
 - ▶ **提言とまとめ**

提言:設計マネジメント

- SoC設計の特徴を踏まえた、マネジメント技術の調査と確立
- マネジメント技術を普及させるために、テキスト作成と資格認定制度を確立

進め方案

SoC設計マネジメント技術の第1次案作成

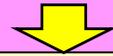
- SoC設計マネジメント有識者+ソフトウェア工学の専門家で構成する体制で実施
- 有識者の経験+ソフトウェアにおけるマネジメント技術(CMM等) = 1次案



CMM = The Capability Maturity Model

SoC設計企業の実態調査

- マネジメント技術案に基づき、設計企業の実態を、第3者機関に依頼して調査
- 実態調査によりマネジメント技術案の改善点抽出 使用可能レベルまで向上



展開推進

- SoC設計マネジメントのテキスト作成
- 大学教育講座、企業人向け講座に発展
- 資格認定制度の確立

提言: EDA (CAD) 技術

- EDA技術で実現すべき機能を明確化(ロードマップ化)し、EDAベンダに要求
- 半導体ベンダ内のEDA技術者に、ツール評価者に変化する傾向あり
 - ツール評価担当から、次世代技術を提示・ドライブする技術者への変革が必須

1985年

EDAの自主開発

- 半導体ベンダ内で、ツールの仕様決定と開発を実施
- 内製EDAツールが差別化技術(特に、ASIC)

- EDAの動作原理を主導的に開発
- EDAに対する技術要求を把握

1995年

EDAベンダとの協調

- EDAベンダが、ツール開発を担当
- EDA技術者は、次世代ツールの要求機能を定義

- EDAの動作原理を把握
- EDAに対する技術要求を把握

現在

ツール評価

- EDAベンダが、ツール開発を担当
- EDA技術者は、ツールのバク出しと、利用方法調査を担当

- EDAツールの中身はブラックボックス
- どのボタンを押せば、どうなるかを、実験データで把握

Next

復活?

要注力領域

- 検証
(機能・論理・タイミング)
- 電源配線・検証
- 見積り
- ESD検証

提言: 設計スキル

- 電気(物理現象)の把握と、潜在課題を抽出する能力の育成 大学教育に期待
- 教育ツール:
電気(物理現象)のテキスト、 トラブル事例集、 課題抽出の方法論

電気(物理現象)のテキスト

- 電源オンオフ(電源分離)における CMOS回路の振る舞い
- クロストーク
- IRドロップと遅延
など

トラブル事例集

- 過去のトラブルを、潜在課題の抽出を学ぶための教材として収集
 - 回路A(サブ回路Xは、別電源)
 - 回路Bに、機能Cを追加

課題抽出の方法論

グループ討議、実験、訓練



トラブル事例集を題材に、グループ討議、実験、訓練等の、自身の活動を通じて学習

分業化が進むSoC設計において、全体まとめ役としての成長を期待

まとめ役

工程A専門家

工程B専門家

工程C専門家

工程D専門家

まとめ

■ WG1の役割と活動内容

- ▶ 国際活動(ITRS活動)及び、国内活動におけるWG1の役割と、今年度の注力活動について報告

■ 設計遅れ起因の分析と提言

- ▶ 設計技術ロードマップ検討の一環として、「**設計遅れの課題分析**」に注力
- ▶ 設計現場で発生した遅れの起因を抽出・分析し、SoC開発における、計画期間内完了率の向上ための提言を検討
- ▶ 遅れの主原因
 - ↪ 設計マネジメント
 - ↪ EDA技術
 - ↪ 設計スキル
- ▶ **設計マネジメント**および**設計スキル**は、従来は着目度の低い領域
しかし、もっとも注力すべき領域