

2003年版ロードマップの背景 ~ Share The Pain ~

Process Integration, Developments, and Structures (PIDS) WG

2004年3月4日

富士通(株)
杉井 寿博

東京大学
平本 俊郎

PIDS-WGメンバー

リーダー: 杉井寿博(富士通)

サブリーダー: 井上靖朗(ルネサス)

幹事: 井田次郎(沖)

委員: 澤田静雄(東芝)、笠井直記(セリート)、今井清隆(NEC EL)

長島直樹(ソニー)、久本大(日立)、中村孝(ローム)

只木芳隆(日立)、田原修一(NEC)、堀敦(松下)

周藤祥司(三洋)、白田理一郎(東芝)

特別委員: 平本俊郎(東京大学)、芝原健太郎(広島大学)

高木信一(東京大学)、吉見信(西華産業)

Wireless担当委員: 亀井孝浩(沖)、清田幸弘(ソニー)

青柳秀雄(ローム)、久本大(日立)

内容

1. PIDSの構成
2. 2003年版ITRSと特徴、技術課題など
(ロジック、DRAM、NVM)
3. 技術課題の解決に向けた開発状況
4. Emerging Research Devicesについて

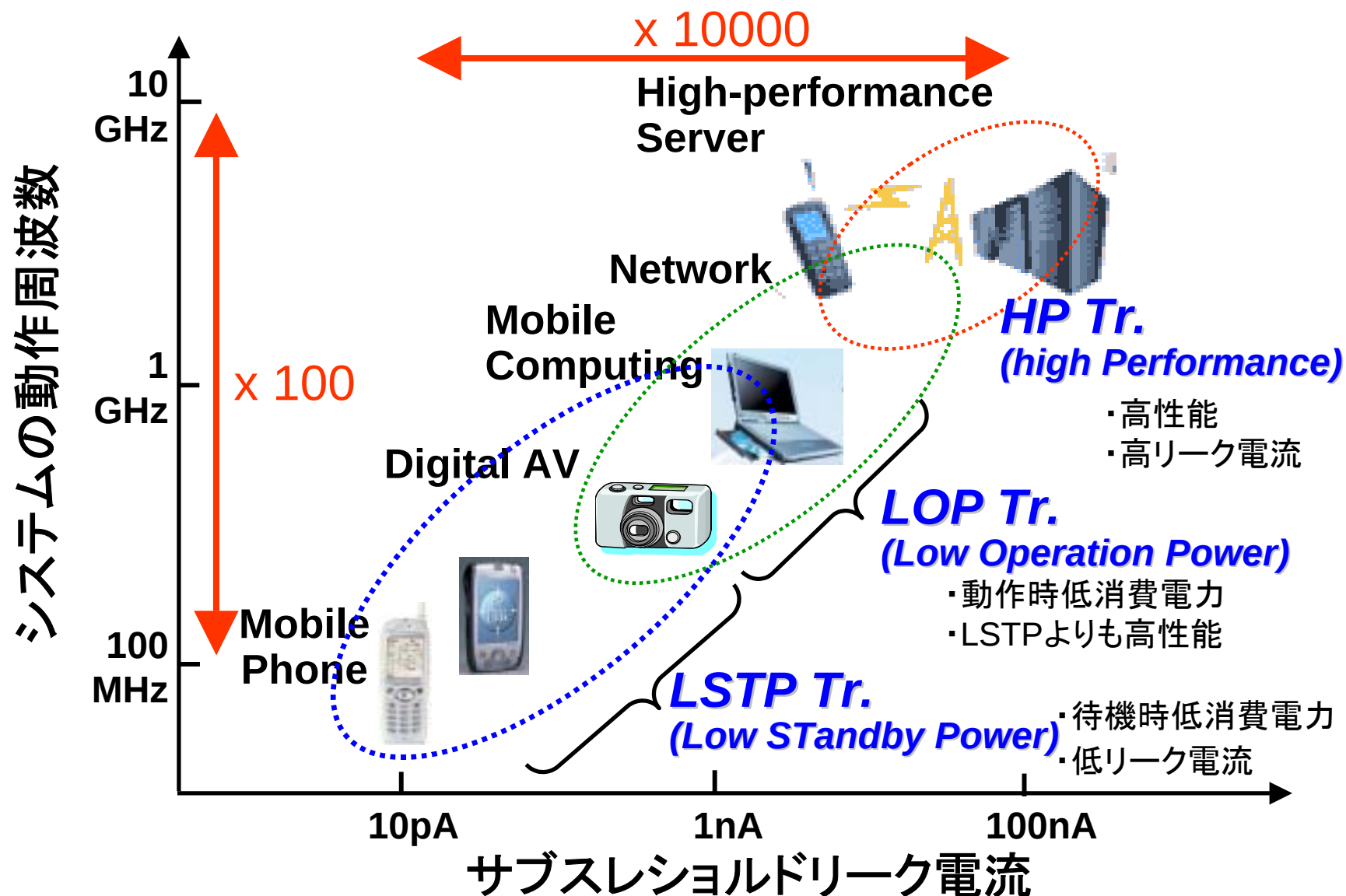
PIDSの構成

- ロジック, メモリ, 信頼性
 - ロジック: 高性能タイプと低消費電力タイプ
 - メモリ: DRAMと不揮発性メモリ
 - 信頼性: チップとパッケージ
- 新探求デバイス(Emerging Research Devices)
 - 2009年以降のデバイスが対象
 - 2001 ITRSから
- ワイアレス通信用RFとミックストシグナル/アナログ技術
 - 2003 ITRSから

内容

1. PIDSの構成
- 2. 2003年版ITRSと特徴、技術課題など
(ロジック、DRAM、NVM)**
3. 技術課題の解決に向けた開発状況
4. Emerging Research Devicesについて

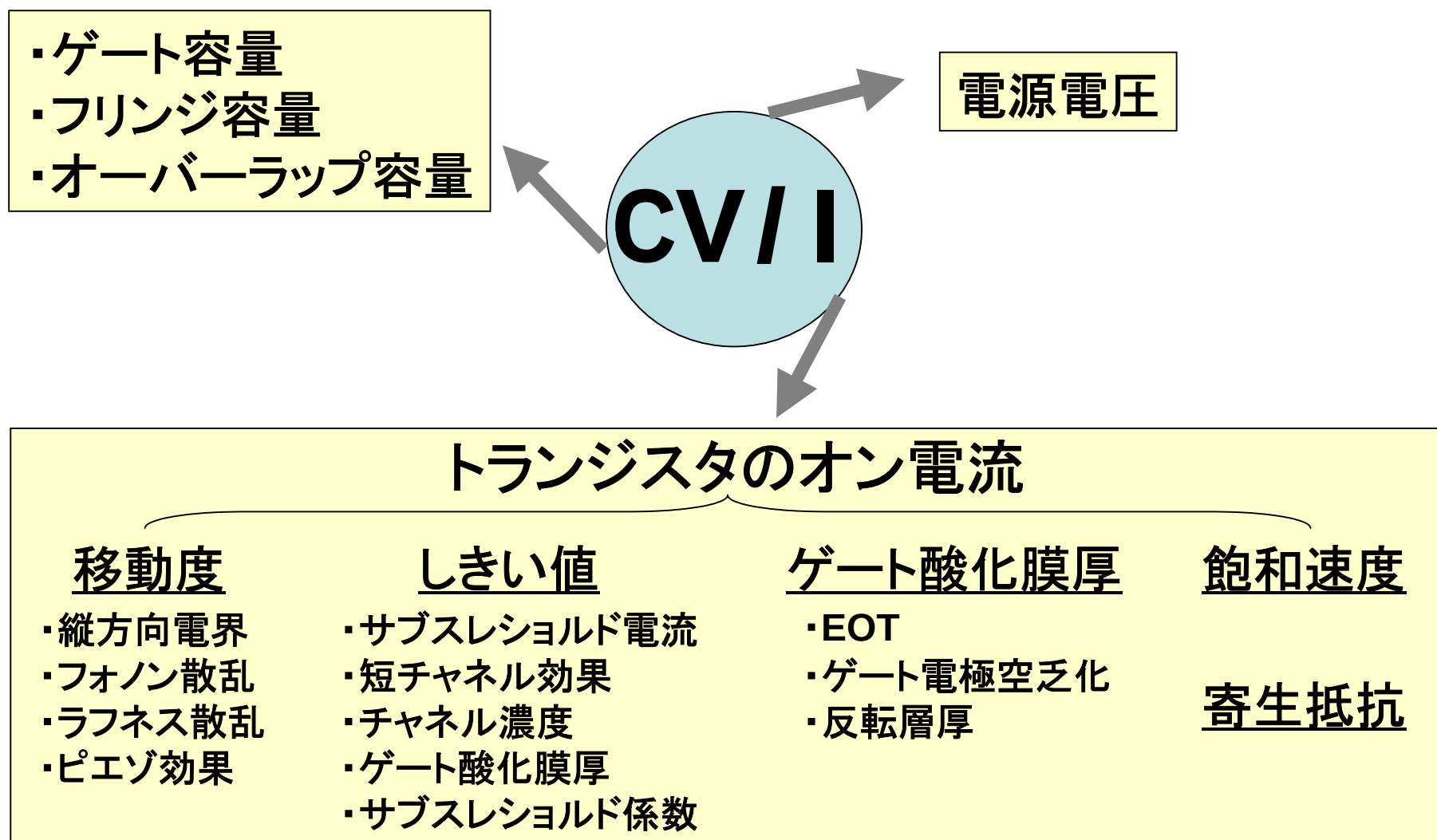
ロジック用トランジスタの分類



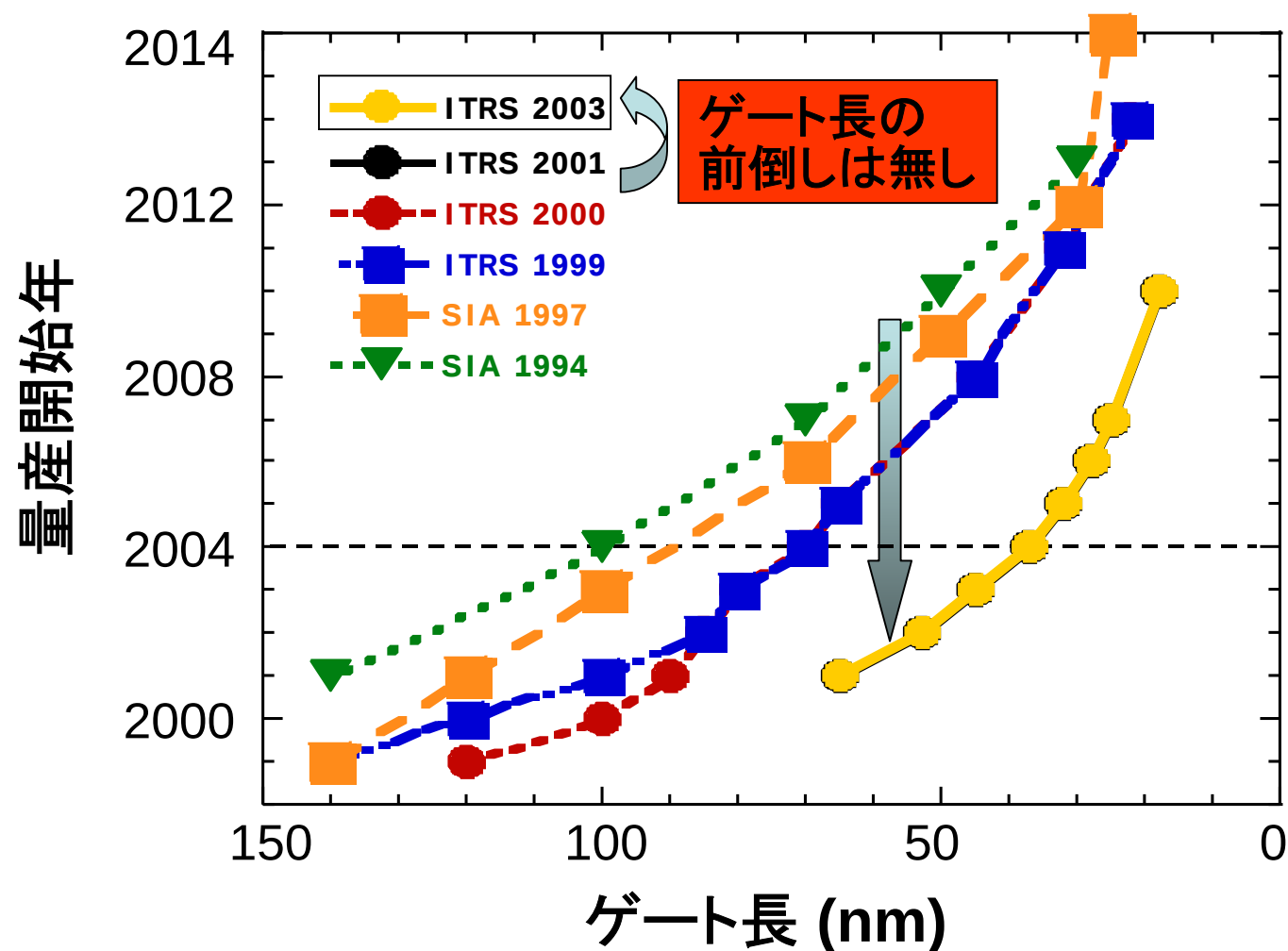
ロジック用トランジスタロードマップ 作成の基本方針

- CV/I (C:各種容量、V:電圧、I:オン電流)で年率17% (過去のトレンド)の性能向上が目標値
 - 提供可能な値のロードマップではなく、目標を達成するために必要な要求値のロードマップ
- 目標達成に向けた方針
 - 多くの技術選択枝の中で **“Share The Pain”**
- コンパクトモデルを駆使して要求値を算出
 - プロセス技術にフィードバックできる物理モデルの採用

CV/I算出において考慮した効果、パラメータ



半導体ロードマップ：修正の軌跡



HPトランジスタ技術要求のポイント

- ・待機時消費電力の増大→サブスレシヨルドリーク($I_{sd,leak}$)電流を低減
- ・電源電圧(V_{dd})を増大、オン電流($I_{d,sat}$)を見直し

	<i>Year of Production</i>	2003	2004	2005	2006	2007	2008	2009
Add	<i>Metal 1 (M1) ½ Pitch (nm)</i>	120	107	95	85	76	67	60
Was	<i>Physical gate length (nm)</i>	45	37	32	28	25		
Is	<i>Physical gate length (nm)</i>	45	37	32	28	25	22	20
Was	<i>Power supply voltage (V)</i>	1	1	0.9	0.9	0.7		
	Is <i>Power supply voltage (V)</i>	1.2	1.2	1.1	1.1	1.1	1.0	1.0
	Was <i>NMOS sub-threshold leakage current (nA/um)</i>	70	100	300	700	1000		
	Is <i>NMOS sub-threshold leakage current (nA/um)</i>	30	50	50	50	70	70	70
	Was <i>NMOS saturation drive current (uA/um)</i>	900	900	900	900	900		
	Is <i>NMOS saturation drive current (uA/um)</i>	980	1110	1090	1170	1510	1530	1590

高性能(HP)トランジスタの主な技術要求

量産年	単位	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
ゲート長	nm	45	37	32	28	25	22	20	14	10	7
Equivalent Oxide Thickness (EOT)	Å	13	12	11	10	9	8	8	7	6	5
ゲート空乏化、反転層厚	Å	8	8	7	7	4	4	4	4	4	4
最大ゲートリーク電流	A/cm ²	2.2E+02	4.5E+02	5.2E+02	6.0E+02	9.3E+02	1.1E+03	1.2E+03	2.4E+03	1.0E+04	2.4E+04
サブスレシヨルドリーク電流	nA/um	30	50	50	50	70	70	70	100	300	500
サブスレシヨルド特性調節係数		1	1	1	1	1	0.8	0.7	0.5	0.5	0.5
移動度増大係数		1	1.3	1.3	1.4	2	2	2	2	2	2
飽和速度増大係数		1	1	1	1	1	1	1	1.1	1.3	1.3
相対性能		1.00	1.26	1.39	1.60	1.86	2.20	2.49	4.05	6.80	10.77

“Share the pain”
Technology
Booster導入時期

●-----▶ 歪Si

●-----▶ メタルゲート、ハイk

●-----▶ FD-SOI、マルチゲート
●-----▶ 速度飽和

LSTPトランジスタ技術要求のポイント

- ・ゲート長スケーリングはHP-Trの3年遅れ
- ・EOTスケーリングを緩和、・サブスレシヨルドリークを緩和

	<i>Year of Production</i>	2003	2004	2005	2006	2007	2008	2009
Add	<i>Metal 1 (M1) ½ Pitch (nm)</i>	120	107	95	85	76	67	60
	<i>MPU Physical Gate Length (nm)</i>	45	37	32	28	25	22	20
Is	<i>Physical gate length (nm)</i>	75	65	53	45	37	32	28
Was	<i>Equivalent Oxide Thickness (EOT) (nm)</i>	2.0-2.4	1.8-2.2	1.6-2.0	1.4-1.8	1.2-1.6		
Is	<i>Equivalent Oxide Thickness (EOT) (nm)</i>	2.2	2.1	2.1	1.9	1.6	1.5	1.4
Add	<i>Gate leakage current density limit (at 25 °C) (A/cm²)</i>	4.4 E-3	5.1 E-3	9.4 E-3	1.5 E-2	2.3 E-2	3.1 E-2	4.8 E-2
Was	<i>Power supply voltage (V)</i>	1.2	1.2	1.2	1.2	1.1		
Is	<i>Power supply voltage (V)</i>	1.2	1.2	1.2	1.2	1.1	1.1	1.1
Was	<i>NMOS sub-threshold leakage current (pA/mm)</i>	1	1	1	1	1		
Is	<i>NMOS sub-threshold leakage current (pA/mm)</i>	10	10	15	20	25	30	40

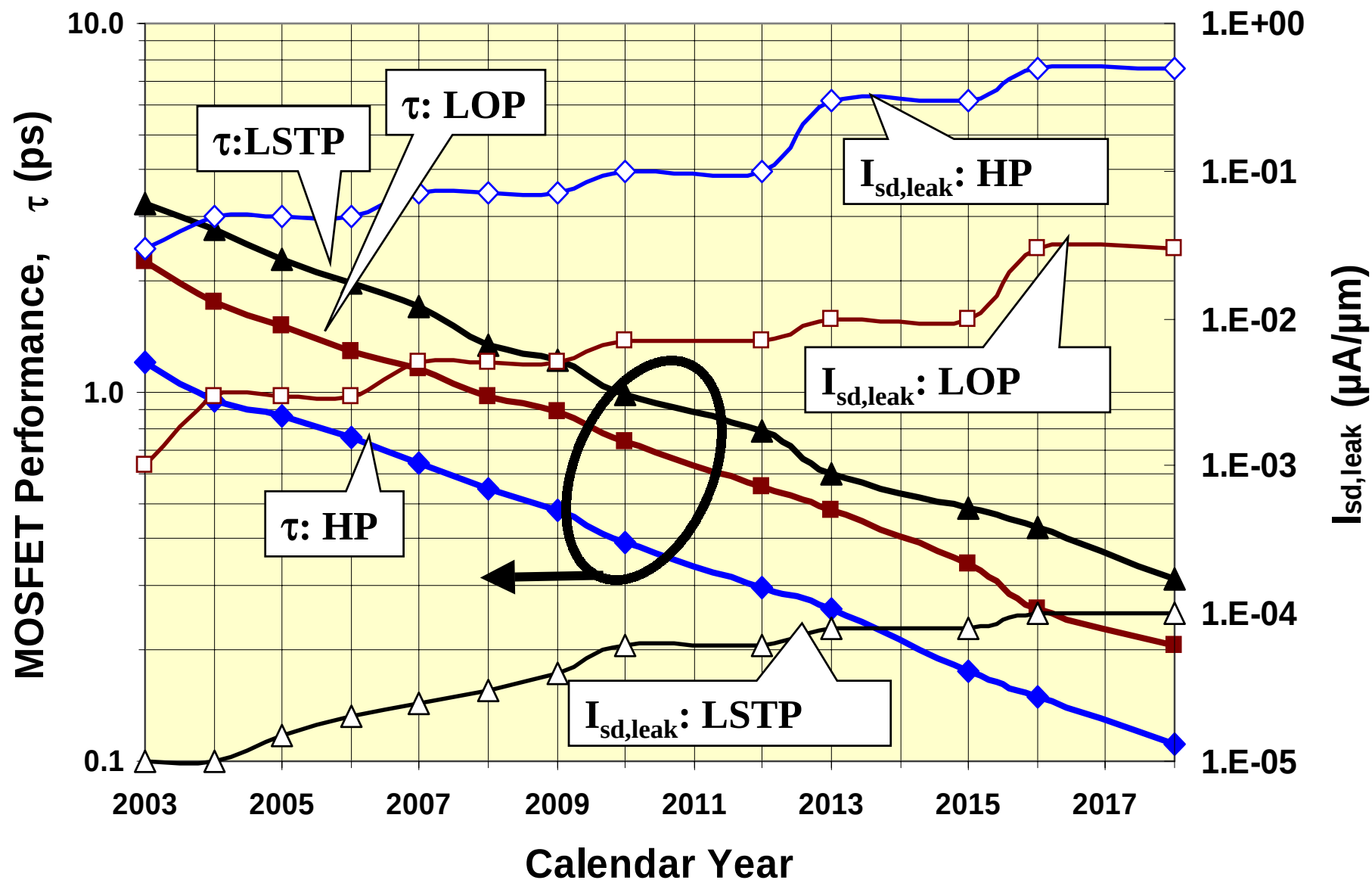
待機時低消費電力(LSTP)トランジスタ の主な技術要求

量産年	単位	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
ゲート長	nm	75	65	53	45	37	32	28	20	14	10
Equivalent Oxide Thickness (EOT)	Å	22	21	21	19	16	15	14	12	10	9
ゲート空乏化、反転層厚	Å	8	8	7	7	7	4	4	4	4	4
最大ゲートリーク電流	A/cm ²	4.4E-03	5.1E-03	9.4E-03	1.5E-02	2.3E-02	3.1E-02	4.8E-02	1.0E-01	1.9E-01	3.3E-01
サブスレシヨルドリーク電流	pA/um	10	10	15	20	25	30	40	60	80	100
サブスレシヨルド特性調節係数		1	1	1	1	1	1	1	0.8	0.5	0.5
移動度増大係数		1	1	1	1	1	1.3	1.3	1.3	1.3	2
飽和速度増大係数		1	1	1	1	1	1	1	1	1	1.3
相対性能		1.00	1.17	1.42	1.64	1.88	2.39	2.64	4.10	6.61	10.36

“Share the pain”
Technology
Booster導入時期



トランジスタ性能とリーク電流



ロジックトランジスタの主な課題

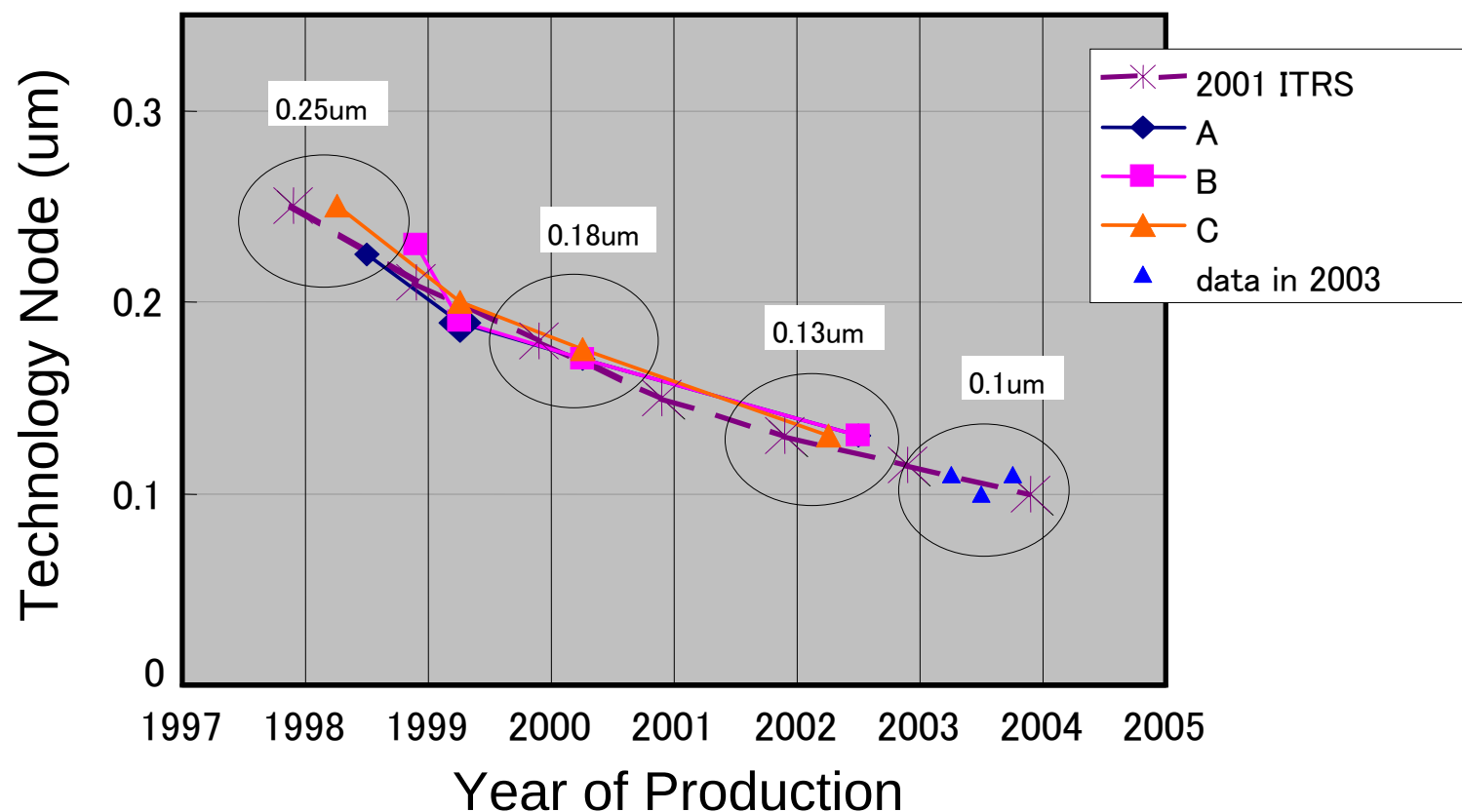
- “Technology Booster”のタイムリーな実用化
- 高性能用トランジスタ(HP)で高リーク電流
→ 待機時消費電力の増大
- 待機時低消費電力用トランジスタ(LSTP)の
スケーリングと低リーク電流の両立
- 短チャネル効果の抑制
→ ノンクラシカルCMOSの必要性

内容

1. PIDSの構成
2. **2003年版ITRSと特徴、技術課題など**
(ロジック、**DRAM**、NVM)
3. 技術課題の解決に向けた開発状況
4. Emerging Research Devicesについて

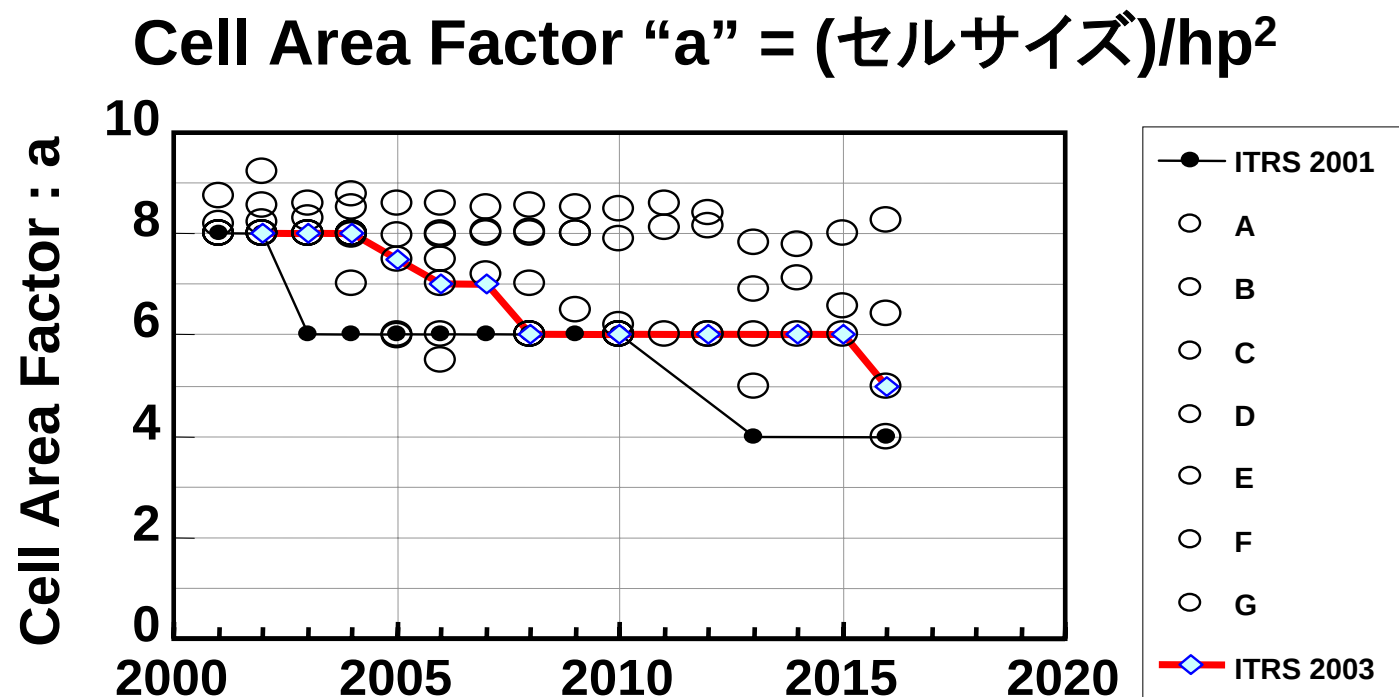
DRAMロードマップの過去の状況

2001版ITRSのテクノロジノードとDRAMの量産開始時期は一致
→ ハーフピッチ(hp)のRMは2001版を維持



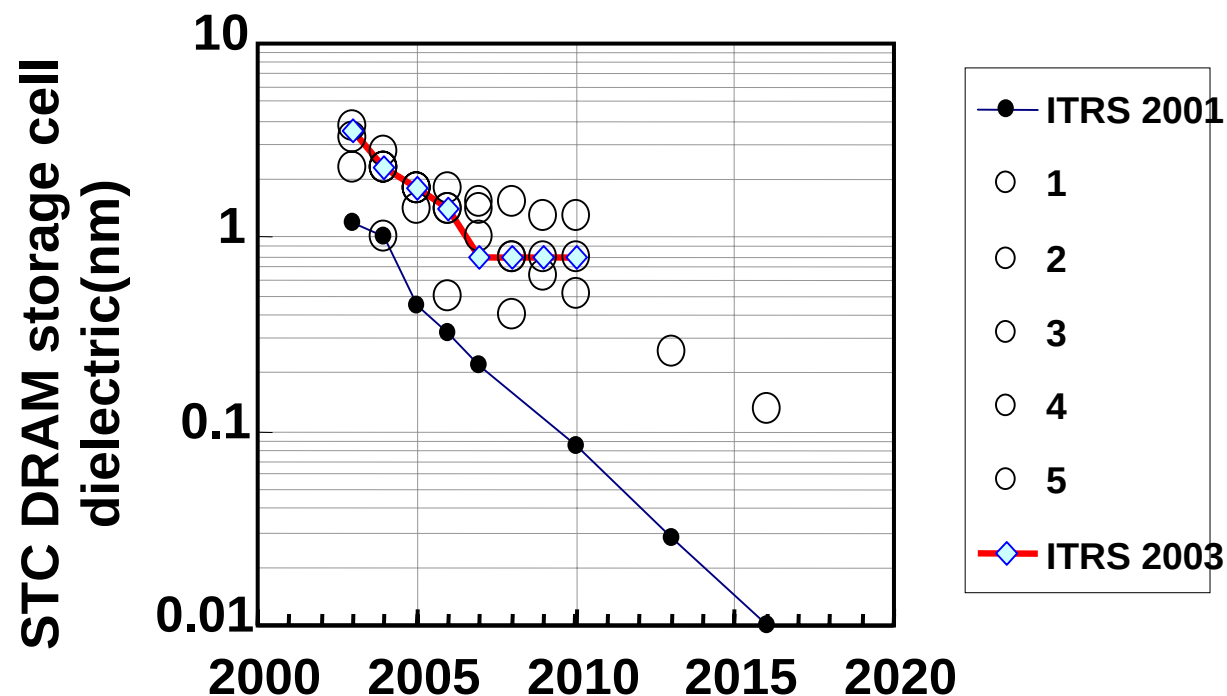
2003年版DRAMロードマップ

(PIDSが行ったDRAMメーカーへのアンケートを元に作成)



	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016
ITRS 2001	6	6	6	6	6	6	6	6			4			4
ITRS 2003	8	8	7.5	7	7	6	6	6	6	6	6	6	6	6

キャパシタ用絶縁膜厚



	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016
ITRS 2001	1.20	1.00	0.45	0.32	0.22			0.084			0.028			0.010
ITRS 2003	3.5	2.3	1.8	1.4	0.8	0.8	0.8	0.8						

2003年版DRAMロードマップのまとめ

- DRAM hp
 - 2001年版からの変更無し
 - 2003年の量産開始データを使い判断
- Cell Area Factor “a”
 - 8未満の“a” の導入は2年遅れ
 - “a”=“6”@2003年→“7.5”@2005年
- Cell Capacitor insulator
 - 実効膜厚の薄膜化計画は~3年遅れ
 - “1nm”@2004年→“0.8nm”@2007年

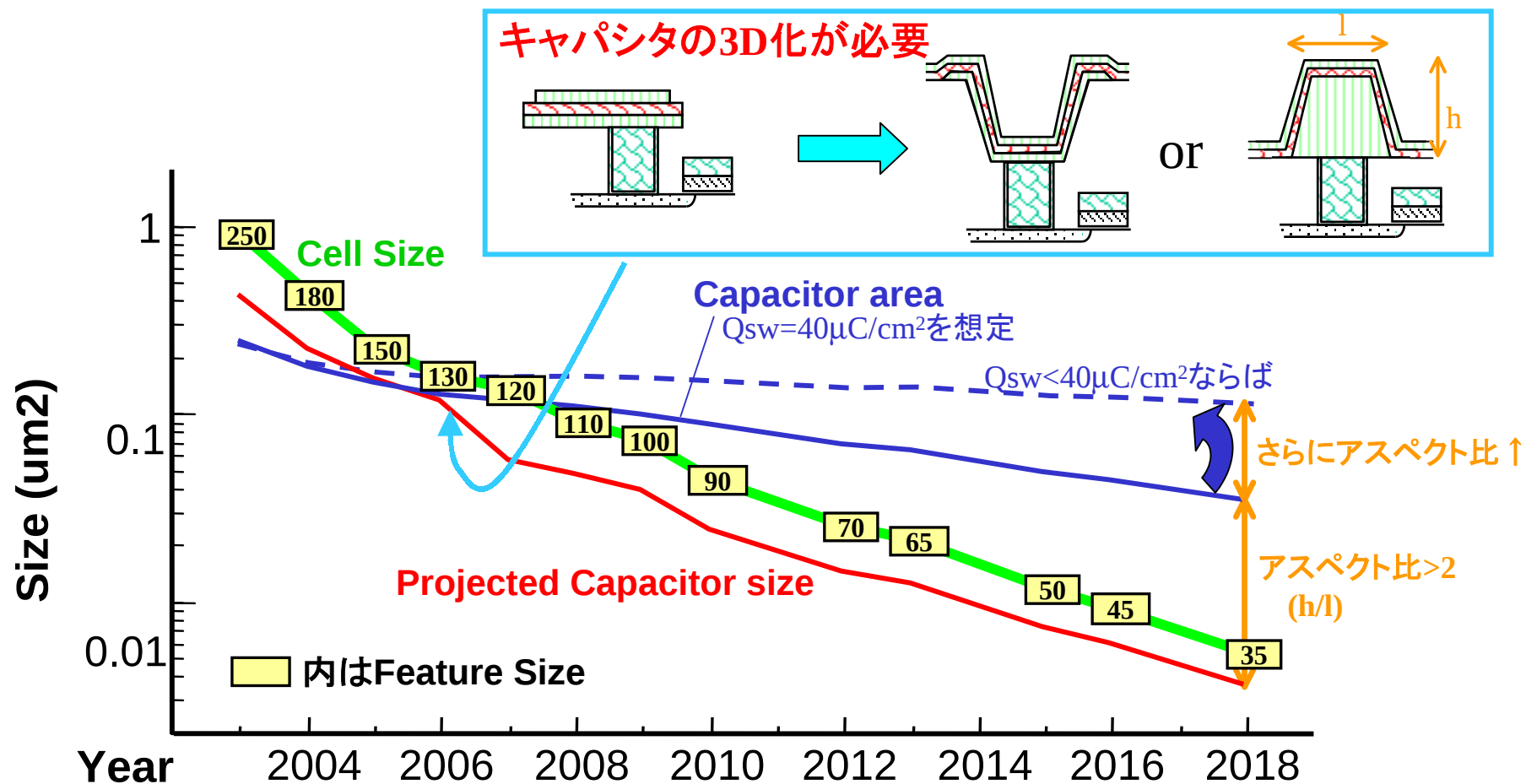
内容

1. PIDSの構成
- 2. 2003年版ITRSと特徴、技術課題など
(ロジック、DRAM、NVM)**
3. 技術課題の解決に向けた開発状況
4. Emerging Research Devicesについて

不揮発性メモリ (Non Volatile Memory)

- **Flash: NORとNAND**
 - スケーリングはDRAMハーフピッチに追随する
 - インターポリ絶縁膜やトンネル絶縁膜のスケーリングがトレードオフに
- **FeRAM**
 - スケーリングはFlashに対して著しく遅れている
 - スイッチング電荷量の不足
- **SONOS**
 - 2003年版からPIDSに登場 (transferred from 2001 ERD)
 - スケーリングはFlashの2年遅れ
 - ONO膜の物性が主な課題
- **MRAM**
 - 2003年版からPIDSに登場 (transferred from 2001 ERD)
 - スケーリングはSONOSと同様
 - 磁性体の物性とLSIプロセスに対する感度が主な課題

2003年版FeRAMロードマップ



Ferro. Material	PZT, SBT, BLT	PZT, SBT, BLT, New Materials
Deposition Methods	PVD, CSD, MOCVD	MOCVD, New Methods

FeRAMのスケーリングのための問題点

➤ スイッチング電荷量の不足。

→ 2006年頃からキャパシタの3D化が必要となる。

→ 側壁へのキャパシタ形成必要。

→ さらにセルサイズ縮小をするにはキャパシタの高アスペクト化が問題。

解決策

- ・ MOCVDなど側壁への電極, 強誘電体成膜法を導入
- ・ 強誘電体のスイッチング電荷量を増大させる。

(現状) PZT: 約35uC/cm²、バルク値>90uC/cm²

SBT: 約15uC/cm²、バルク値=不明

BLT: 約20uC/cm²、バルク値=不明

➤ 低電圧化。

→ 2010年頃から動作電圧が1.0V以下へ。

(現状) PZT: 1.5~1.8V程度

SBT: 1.1~1.5V程度で動作報告

解決策

- ・ 薄膜化による低電圧化 → 背反としてリーク増大、Q_{sw}減少
- ・ 抗電圧の低い材料の開発

内容

1. PIDSの構成
2. 2003年版ITRSと特徴、技術課題など
(ロジック、DRAM、NVM)
3. 技術課題の解決に向けた開発状況
4. Emerging Research Devicesについて

“Technology Booster”の開発状況調査

「要求は出したが、タイムリーな実現は可能か？」

- キャリア移動度増大

HP: 2004 (90 nm node)、LOP & LSTP: 2008 (57 nm node)

- キャリア飽和速度の増大 (quasi-ballistic transport)

HP: 2012 (35 nm node) 、LOP: 2015 (25 nm node) 、LSTP: 2018 (18 nm node)

- ハイkゲート絶縁膜

LSTP and LOP: 2006 (70 nm node)、HP: 2007 (65 nm node)

- メタルゲート電極

HP: 2007 (65 nm node)、LOP & LSTP: 2008 (57 nm node)

- ノンクラシカルMOSFETs: FDSOIその後、multiple-gate structures

HP : 2008 (57 nm node) 、LOP & LSTP : 2012 (35 nm node)

微細MOSFETのオン電流関係式

$$I_{on} = Q_{inv}(x_0) \cdot V(x_0)$$

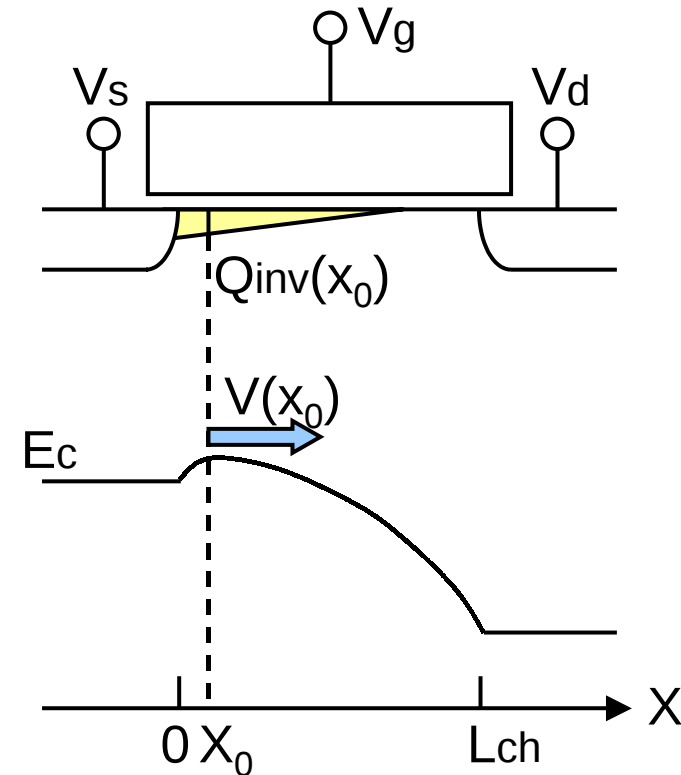
$Q_{inv}(x_0)$: ソース端の反転層電荷密度

$V(x_0)$: ソース端のキャリア注入速度

キャリア速度 $V(x_0)$ の最大値:

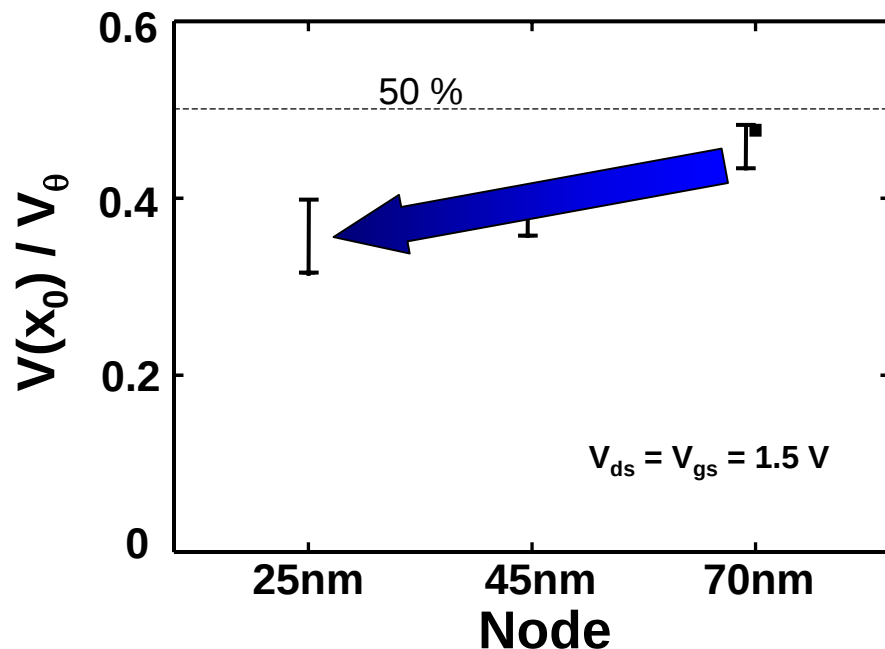
Thermal velocity V_{θ} (ballistic limit)

- K. Natori, J. Appl. Phys. 76 (8), 15 Oct. p. 4879, 1994
- M. Lundstrom, Electron device Lett., p.361, 1997
- D. A. Antoniadis, VLSI Symposium, p. 5, 2002



微細MOSFETにおけるキャリア速度

現実の微細MOSFETのキャリア注入速度 $V(x_0)$ と V_θ の比較



- $V(x_0)$ は、 V_θ の0.5~0.4程度
- スケーリングとともに $V(x_0)$ は低下原因)
ハロー、チャネルの高濃度化
ゲート酸化膜の薄膜化
寄生抵抗増大

D. A. Antoniadis, VLSI Symposium, p. 5, 2002

$V(x_0)$ を V_θ に近づける
ためには →

1. ゲート長の微細化
 - $L_g \sim$ 平均自由工程(λ)
 - 不純物濃度に頼らない方法
2. チャネル領域での散乱の抑制
 - 移動度向上

キャリア移動度向上技術

キャリア移動度向上技術の分類

A) Si基板キャリアの流れ方向の変更

- ・(100)面内でキャリアの流れる向きを変更
- ・(110)面など他の面方位を利用

B) Si基板チャネル領域へのストレス印加

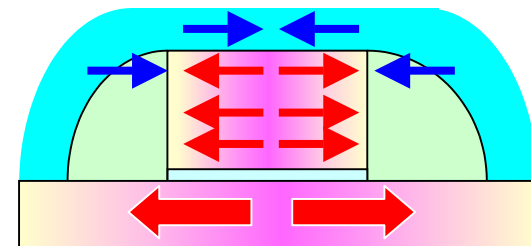
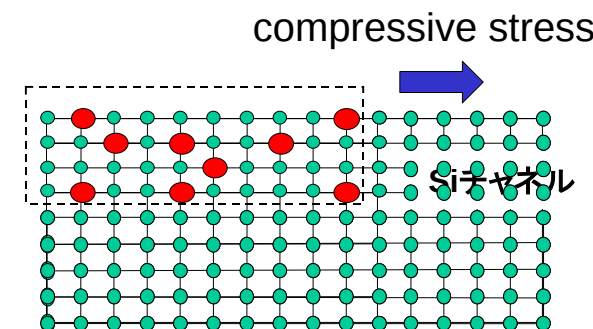
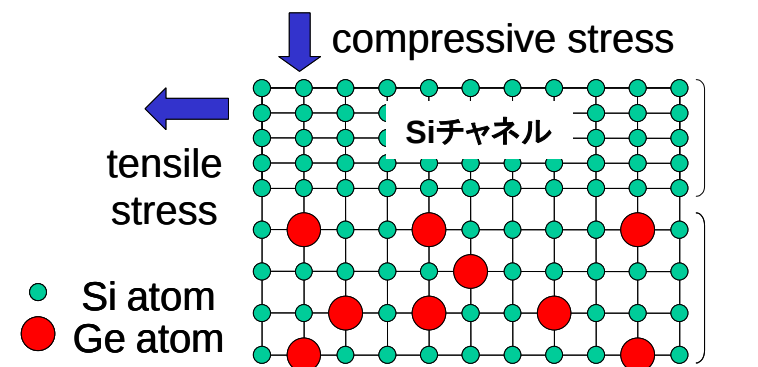
- ・Strained Si (格子定数のミスマッチを利用)
- ・プロセス起因のストレス応用
(膜ストレスの利用)

C) チャネル部の不純物散乱低減

- ・閾値をWork-functionで制御した
non-doped FD-SOI
- ・Ballistic Carrier Transport MOS

D) 基板材料の変更

- ・Ge、SiGeなど



キャリア移動度向上技術実用化への課題

● キャリア移動度向上技術の現状

- ・各種手法による高移動度を実現する研究が進められており、歪シリコンでは2倍弱の駆動能力の向上が確認されている。

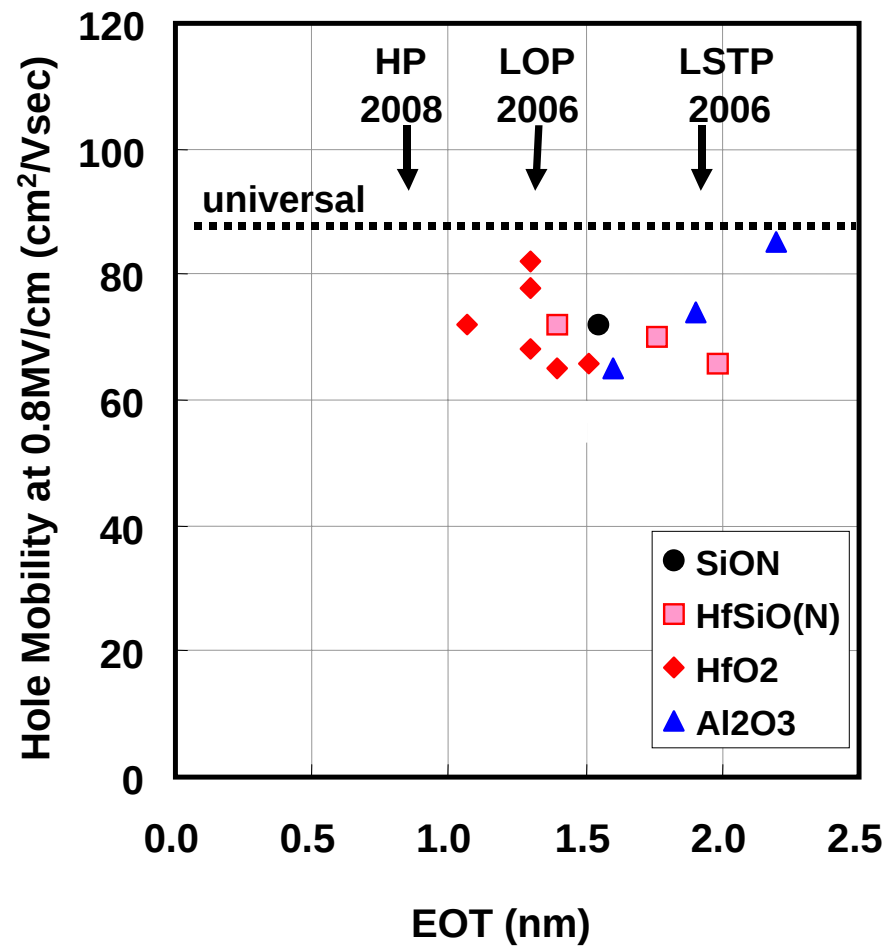
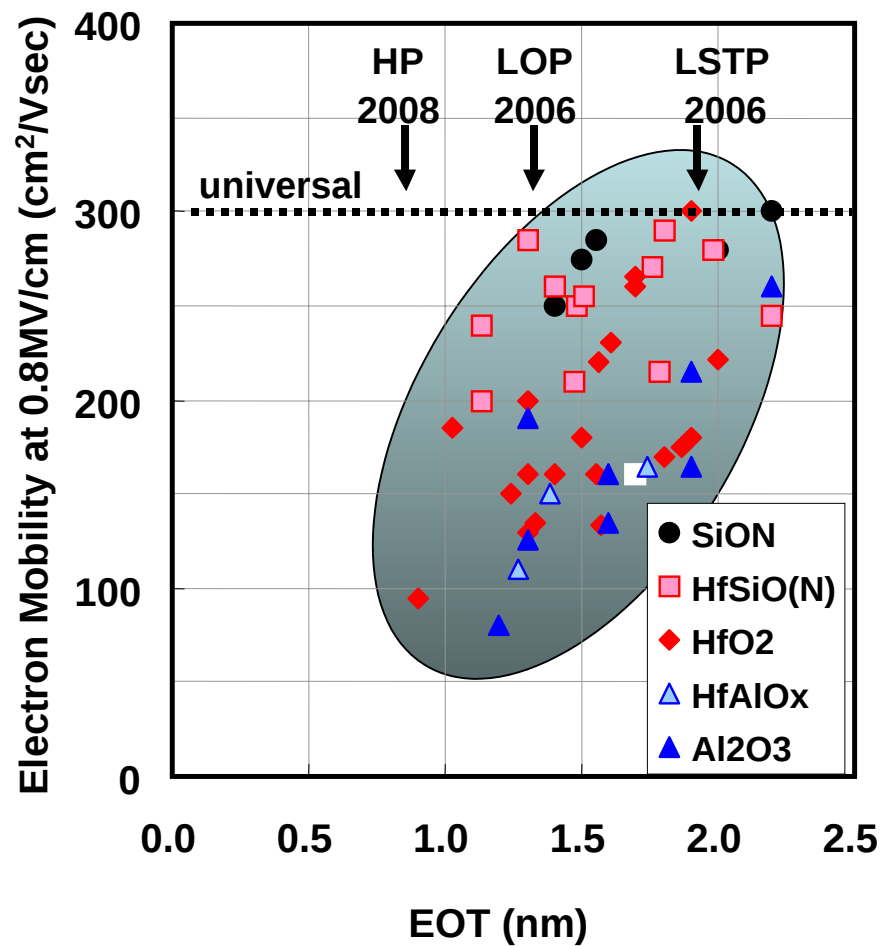
● キャリア移動度向上技術の課題

- ・量産性/ばらつきを含めた実用性/信頼性の確認
- ・既存技術の整合性
 - 設計面(既存CADツールの活用性など)
 - プロセス面(Ge汚染など)
- ・キャリアの移動度と飽和速度の関係から、実際の効果は？

ポリSiゲート電極／ハイkゲート絶縁膜の現状

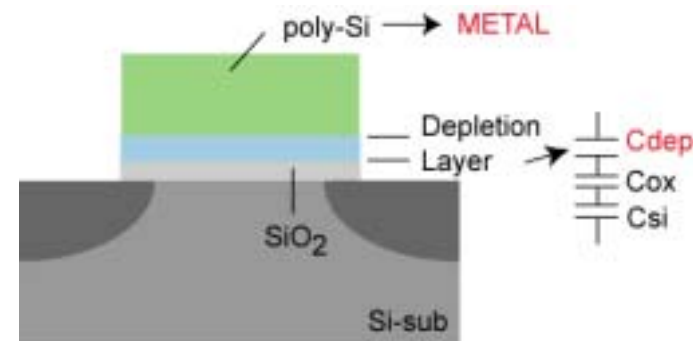
		HfSiOx	HfO2	HfAlOx	Al2O3
EOT (nm)		1.2～	1.0～	1.3～	1.6～
ゲートリーク		SiON の 1/100			
C-Vヒステリシス		< 10mV	< 10mV	< 50mV	< 10mV
B 突き抜け		無 (膜窒化・SiNキャップ膜)			
空乏化 n		0.5～	0.5～	0.5～	
Tinv-EOT(nm) p		1.0～	1.0～	1.0～	
移動度 n		80～95%	～60%	～50%	～60%
(対SiON) p		80～95%	80～95%		80～95%
VFBシフト n		+0.3V		+0.6V	+0.4V
(Si電極) p		-0.6V		-0.3V	

移動度劣化の現状(ポリSiゲート電極)



メタルゲートへの期待

- ・ゲート空乏化によるEOT増大の解決のため
- ・ゲート薄膜化に伴う移動度低下対策
- ・high-k導入のための代替え材料、Vtシフト問題
- ・メタル材料の大半は仕事関数がSiのMidgap 相当



→仕事関数変調可能でないと広汎な導入は困難

Mo への窒素添加法: UCB, 広島大, Philips

フルシリサイド化NiSiへの不純物添加法: IBM, AMD

HP:

FDSOI移行後は狭い範囲の仕事関数変調でOK
のため導入は容易な方向

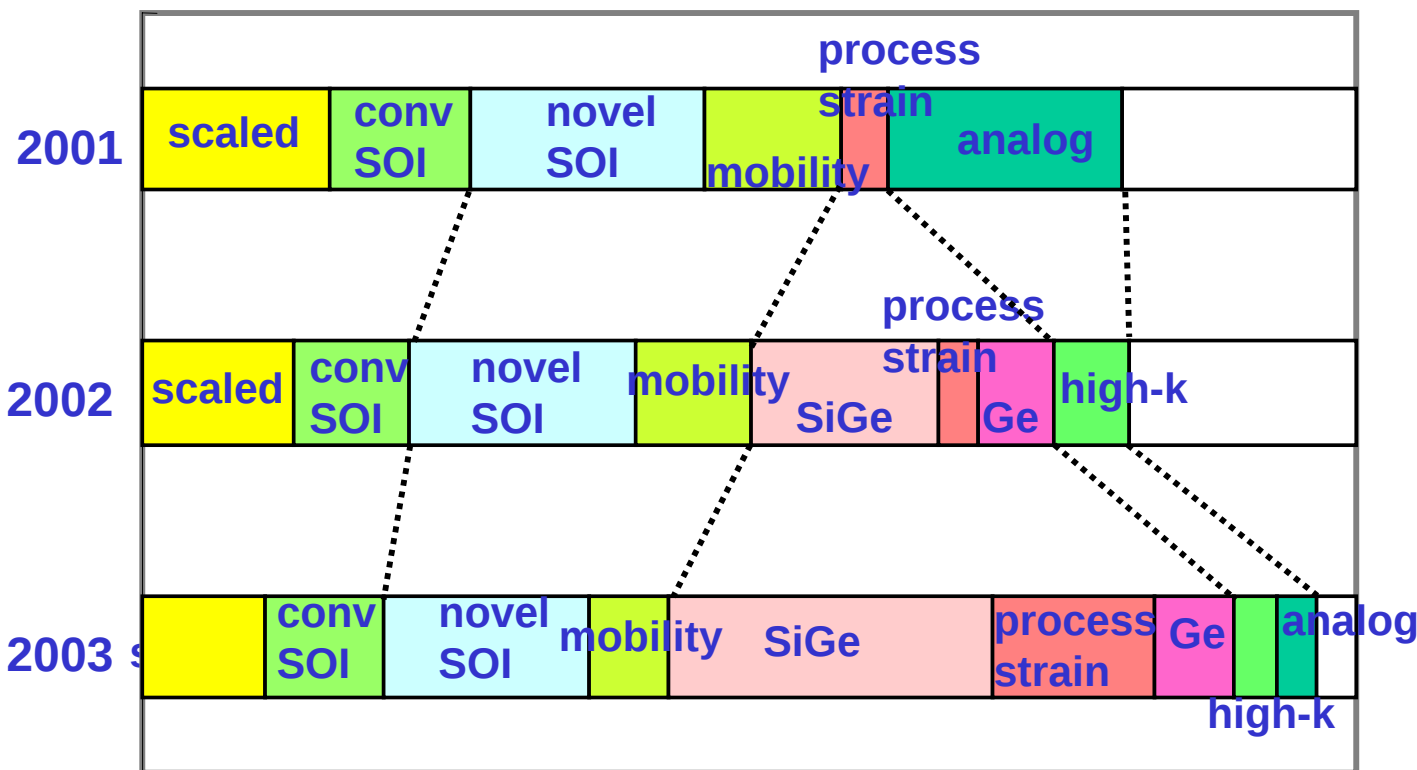
LSTP&LOP:

SiのEg相当の広い範囲の仕事関数変調が必要。
これは現状では未解決。

2003 ITRS		
	LSTP LOP	HP
High-k	2006	2007
Non-classical FET FDSOI, DG...	2012	2008
Metal gate	2008	2007

ノンクラシカルMOSFETの開発動向

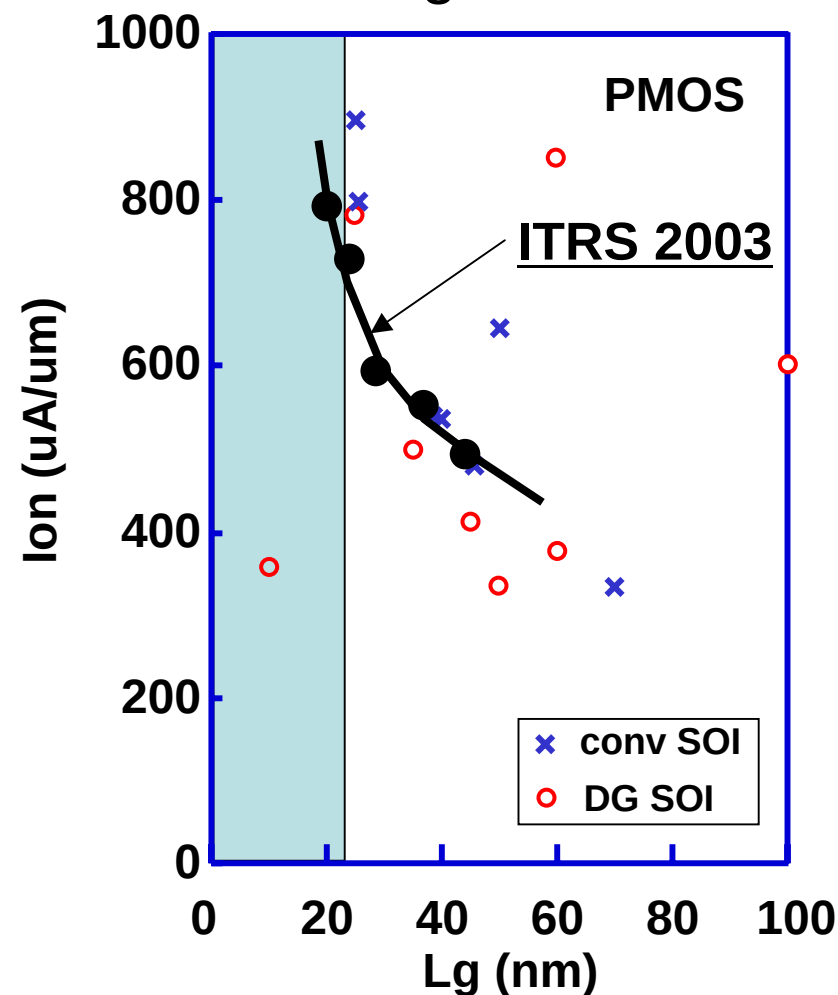
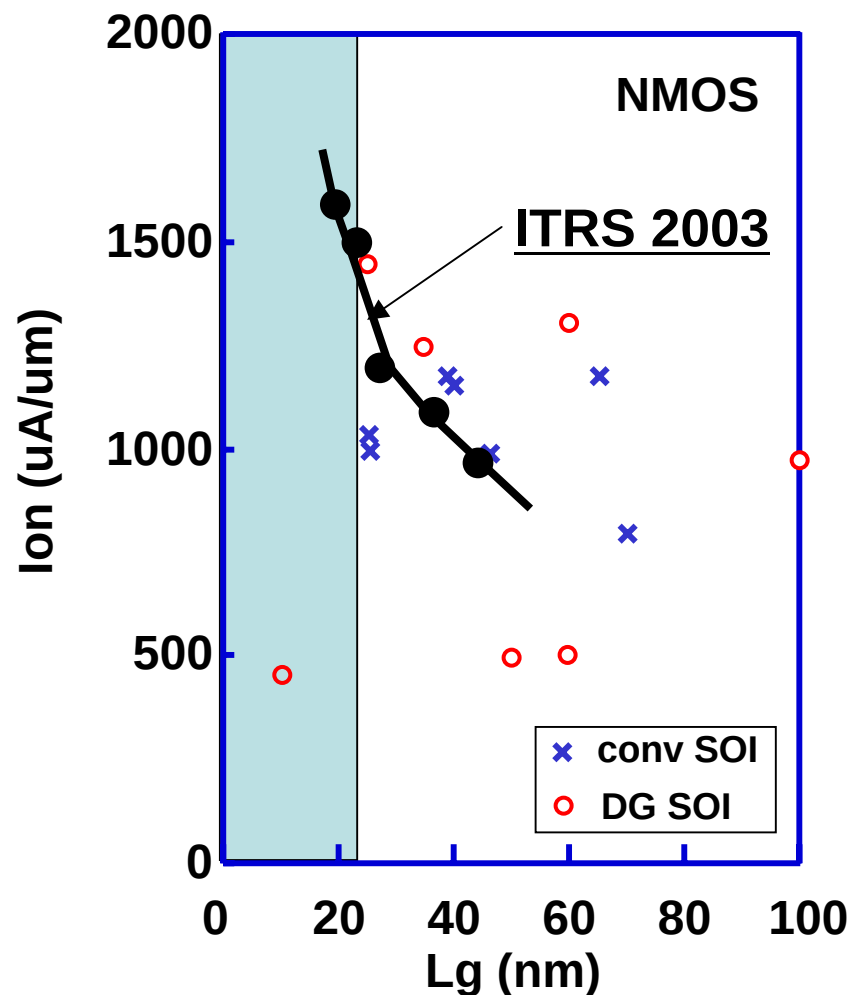
IEDM*のCMOSセッションにおけるテーマ別推移



*IEDM: IEEE International Electron Devices Meeting

学会発表でのオン電流とゲート長 (SOI-CMOS)

FD-SOI、マルチゲートの導入: 2008年 @ $L_g = 22\text{nm}$



2003年版ITRSのまとめと課題の調査

- ロジック-R.M.
 - 高性能用途ロジックは性能重視
 - 低消費電力用途は低リークと低電源電圧重視
 - タイムリーなキーテクノロジー開発がポイント: 歪Si, ハイk/メタルゲート, FD-SOI, マルチゲートなど全てが2010年までに必要
- NVM-R.M.: SONOSとMRAMを追加
- 信頼性: 上記新材料、新構造の信頼性確保
- DRAM-R.M.: サーベイを反映させて、2001 ITRSよりも緩やかなスケーリングに
- Technology Boosterの開発状況調査

新探究デバイス (Emerging Research Devices)

目的： 将来の情報処理デバイス&アーキテクチャ技術を
読者に広く紹介

候補： 可能性を議論．確立されていない技術も紹介

評価： 現在のCMOS技術との比較を定量的に議論 (new)

1．ノンクラシカルCMOS

2．新メモリ

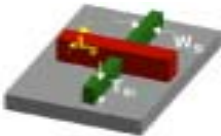
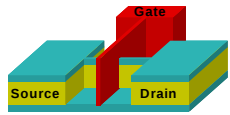
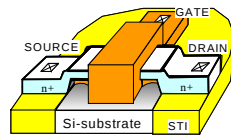
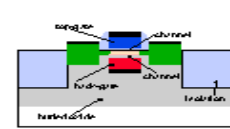
3．新ロジックデバイス

4．新アーキテクチャ

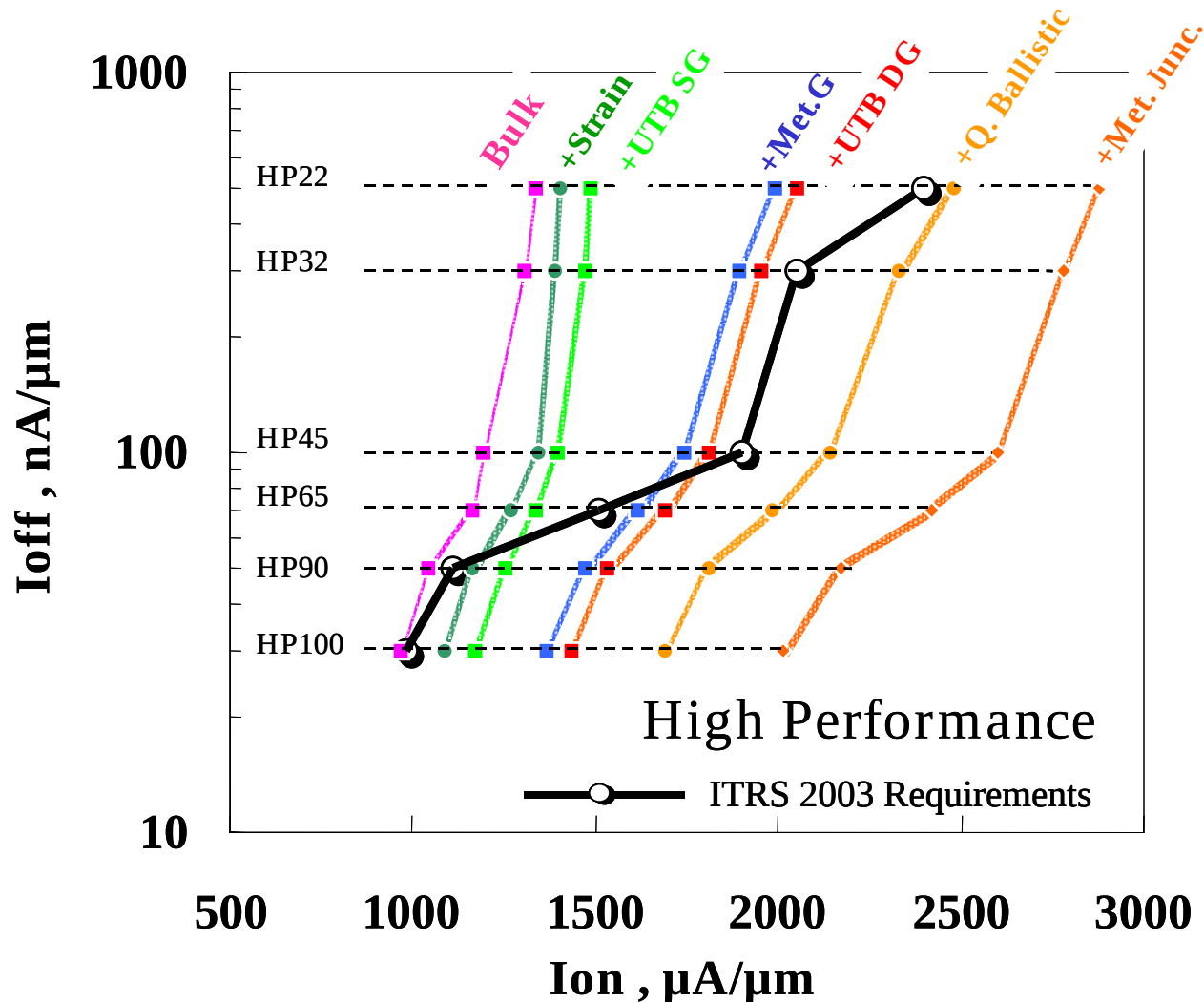
(注) ノンクラシカルCMOSはPIDSの章と強いリンク
2005年版ではすべてPIDSに移る予定

######

ノンクラシカルCMOS(マルチゲート)

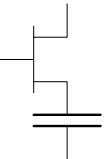
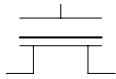
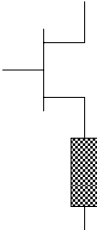
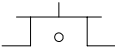
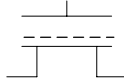
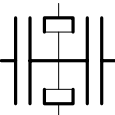
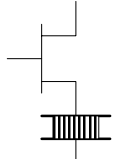
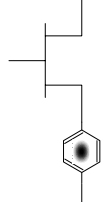
デバイス	マルチゲートFET				
	NゲートFET (N>2)	ダブルゲートFET			
					
コンセプト	連結ゲート (ゲート数>2)	FinFET 側壁伝導	プレーナー型 ダブルゲート	独立した2つ のゲート	縦型FET
アプリケーション	HP, LOP, and LSTP CMOS	HP, LOP, and LSTP CMOS	HP, LOP, and LSTP CMOS	LOP and LSTP CMOS	HP, LOP, and LSTP CMOS

Technology Enhancement技術



Calculations performed using MASTAR – ST Microelectronics – T. Skotnicki

新探究メモリ

Storage Mechanism	現在の技術		相変化メモリ	浮遊ボディ DRAM	ナノ浮遊ゲートメモリ	単一・少数電子メモリ	抵抗変化メモリ	分子メモリ
								
Device Types	DRAM	NOR Flash	OUM	1TDRAM eDRAM	Engineered tunnel barrier or nanocrystal	SET	MIM oxides	Bi-stable switch Molecular NEMS
Availability	2004	2004	~2006	~2006	~2006	>2007	~2010	>2010
Cell Elements	1T1C	1T	1T1R	1T	1T	1T	1T1R	1T1R

新探究メモリデバイス

性能とリスクの評価

メモリ技術 (ポテンシャル/リスク)	性能	アーキテクチャの 互換性	安定性 と信頼度	CMOSと の互換性	動作温度	エネルギー効 率	パラメータ感度	スケーラビリティ
浮遊ボディ DRAM	2.3/2.3	3.0/3.0	2.0/2.7	3.0/3.0	3.0/3.0	2.0/3.0	2.3/2.9	2.8/2.7
相変化メモリ	2.6/2.9	2.2/3.0	2.3/2.2	2.2/3.0	3.0/3.0	1.8/2.7	2.1/2.1	2.7/2.2
ナノ浮遊ゲートメモリ	3.0/2.2	2.9/3.0	2.0/2.7	3.0/3.0	3.0/3.0	2.1/2.8	1.6/2.0	2.4/2.0
抵抗変化メモリ	2.4/2.1	2.7/2.7	2.2/2.4	2.1/2.8	3.0/2.9	2.8/2.0	2.1/2.0	2.7/2.4
分子メモリ	1.6/1.2	1.8/2.0	1.8/1.4	1.9/2.1	2.8/2.3	2.3/1.9	2.1/1.7	2.6/2.2
単一・少数電子メモリ	1.1/1.3	1.9/1.3	1.1/1.0	2.4/1.9	1.3/1.3	2.4/1.2	1.3/1.0	2.6/1.4

ロジックとアーキテクチャ

新ロジックデバイス

(一次元, 共鳴トンネル, 単電子, RSFQ, スピン, 分子, QCA)

新アーキテクチャ

(セルラーアレー, ディフェクトトレラント, バイオ, 量子計算)

新探究アーキテクチャ

性能とリスクの評価

ロジック技術	性能	アーキテクチャの互換性	安定性と信頼性	CMOS互換性	動作温度	エネルギー効率	パラメータ感度	スケーラビリティ
1D 構造	2.3/2.2	2.2/2.9	1.9/1.2	2.3/2.4	2.9/2.9	2.6/2.1	2.6/2.1	2.3/1.6
RSFQ 素子	2.7/3.0	1.9/2.7	2.2/2.8	1.6/2.2	1.1/2.7	1.6/2.3	1.9/2.8	1.0/2.1
共鳴トンネルデバイス	2.6/2.0	2.1/2.2	2.0/1.4	2.3/2.2	2.2/2.4	2.4/2.1	1.4/1.4	2.0/2.0
分子デバイス	1.7/1.3	1.8/1.4	1.6/1.4	2.0/1.6	2.3/2.4	2.6/1.3	2.0/1.4	2.6/1.3
スピントランジスタ	2.2/1.7	1.7/1.6	1.7/1.7	1.9/1.4	1.6/2.0	2.3/2.1	1.4/1.7	2.0/1.4
単電子素子	1.1/1.2	1.7/1.2	1.3/1.1	2.1/1.4	1.2/1.8	2.6/2.0	1.0/1.0	2.1/1.7
QCA 素子	1.4/1.3	1.2/1.1	1.7/1.8	1.4/1.6	1.2/1.4	2.4/1.7	1.6/1.1	2.0/1.4

新探究デバイスまとめ

- Emerging Research Material WGの新設
- 2005年版に向けて, 特にメモリデバイスについて集中的に議論.