

STRJワークショップ「半導体技術ロードマップ専門委員会」第一部
『ITRS 2003に見る今後のLSI技術の方向性』2004.3.4. ホテルフロラシオン青山

トランジスタ・チャネル構造の 今後の方向性

東京大学 工学系研究科
半導体MIRAIプロジェクト
新構造トランジスタ及び計測解析技術グループ
高木 信一

内容

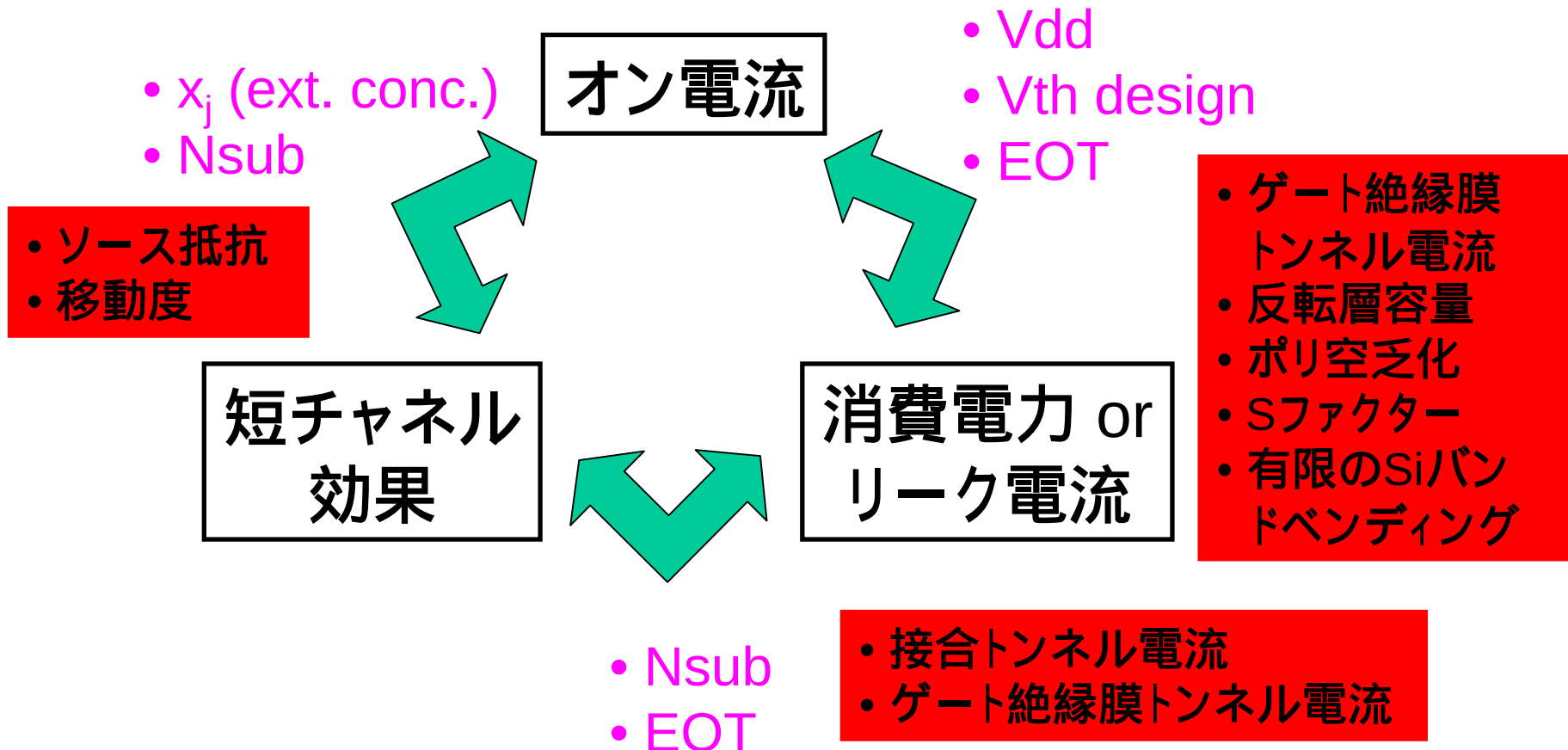
- サブ100nmCMOSの課題とチャネルエンジニアリングの必要性
- チャネル移動度向上技術
 - ひずみSi、ひずみSOI CMOS
- 立体構造素子と極薄SOIチャネルの電氣的性質
- バリスティック輸送下でのMOSFETの特性とチャネル構造による変調効果
- CMOSチャネルエンジニアリングの今後の方向性
- まとめ

サブ100nmCMOSの課題と チャネルエンジニアリングの必要性

スケーリングにおけるtrade-off 要因と物理限界

Sub 100 nm 世代のCMOSスケーリング

物理(材料・構造)限界による素子特性 trade-off 関係顕在化
スケーリングだけでは、トランジスタの全ての要求を満足できない状況



高性能微細CMOS実現のための 3つのデバイス・エンジニアリング

スケーリングに加え、トランジスタの用途に合わせたsomethingが必要
→ 材料・構造の変更を伴う多様なデバイス・エンジニアリングの必要性
→ デバイス進歩の非連続性 → 技術の適切な見極めが極めて重要

ゲートスタックエンジニアリング

ソースエンジニアリング

極浅接合形成・ソース寄生抵抗・ショットキーS/D

キャリア注入速度

横方向不純物急峻性

ゲート支配力、短チャネル効果

ポリSiGe、メタルゲート

移動度、速度、バリスティック性

ひずみSi、SiGe

EOT

high k

反転層厚さ
(2次元量子効果)

SOI

チャネルエンジニアリング

バックゲート、Fin構造、ダブルゲート、ゲートオールアラウンド etc.

新チャネル構造の狙い

プレーナ・
バルクMOSFET



素子動作
高速化

- 高移動度
- 低寄生容量

ひずみSi、SiGe、
Geチャネル

PD-SOI

SOI

FD-SOI

超薄膜化

短チャネル
効果抑制

ゲート電極の
支配力向上

立体構造ゲート
(ダブルゲート, FinFET,
縦型、GAA etc.)

List of (Column IV) High Mobility Channels applicable to MOSFETs

n-MOSFET (high electron mobility)

- strained Si on relaxed $\text{Si}_{1-x}\text{Ge}_x$ virtual sub.
- pure Ge channel ?
(Ge $\rightarrow$ problem in MOS interface $\rightarrow$ high k / Ge MIS ?)

p-MOSFET (high hole mobility)

- strained Si on relaxed $\text{Si}_{1-x}\text{Ge}_x$ virtual sub.
 - strained $\text{Si}_{1-x}\text{Ge}_x$ on Si sub.
($\text{Si}_{1-x}\text{Ge}_x \rightarrow$ buried channel $\rightarrow$ problems in C_g , SCE etc.)
 - pure Ge channel ?
- $\Rightarrow$ strained-Si channel for CMOS application
(surface channel SiGe pMOS and pure Ge
CMOS under new gate insulator technology)

ITRSの駆動力算出に使われている Technology Booster Factors

ASIC HP (High Performance) 版 (ITRS 2003 Edition)

テクノロジーノード(nm)	130	90	65	45	32	22
MOSFETゲート長 (nm)	65	37	25	18	13	9
Mobility Improve F.	1x	1.3x	2.0x	2.0x	2.0x	2.0x
Velocity Improve F.	1x	1x	1x	1.1x	1.1x	1.3x
Eeff reduction F.	1x	1x	1x	0.6x	0.5x	0.5x
Device Structure	Bulk	Bulk	Bulk	SOI	DG	DG

$$I_{dsat0} = \frac{1}{2} \mu_{eff} C_{ox_el} \frac{W}{L} V_{gt} V_{dsat}$$

$$\mu_{eff} = K_{mu} \cdot \mu_{eff0} : \text{mobility imp. F.}$$

$$V_{dsat} = \frac{1}{\frac{1}{L E_c} + \frac{1+d}{V_{gt}}} \quad E_c = \frac{2v_{sat}}{\mu_{eff}}$$

$$v_{sat} = K_{Vs} \cdot v_{sat0} : \text{velocity imp. F.}$$

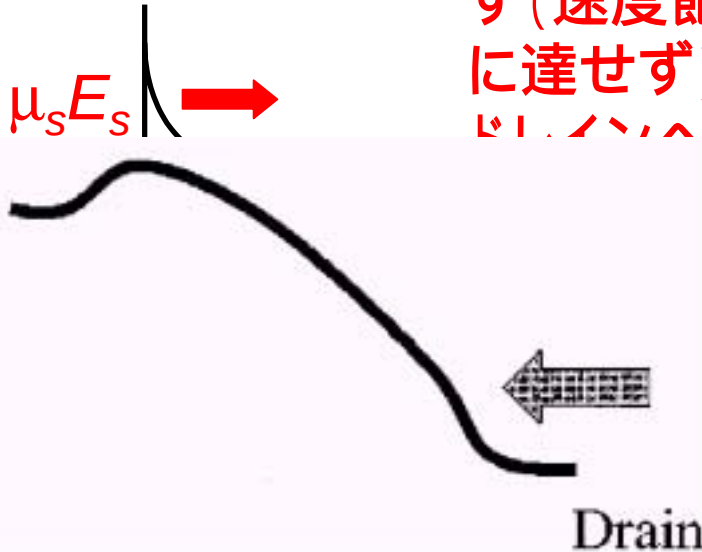
微細チャネル素子における移動度の重要性

V_s : ソース端での
キャリア速度

十分散乱され
ず(速度飽和
に達せず)に、
ビーム

$$V_s = \mu_s E_s$$

Source



Drain

一果

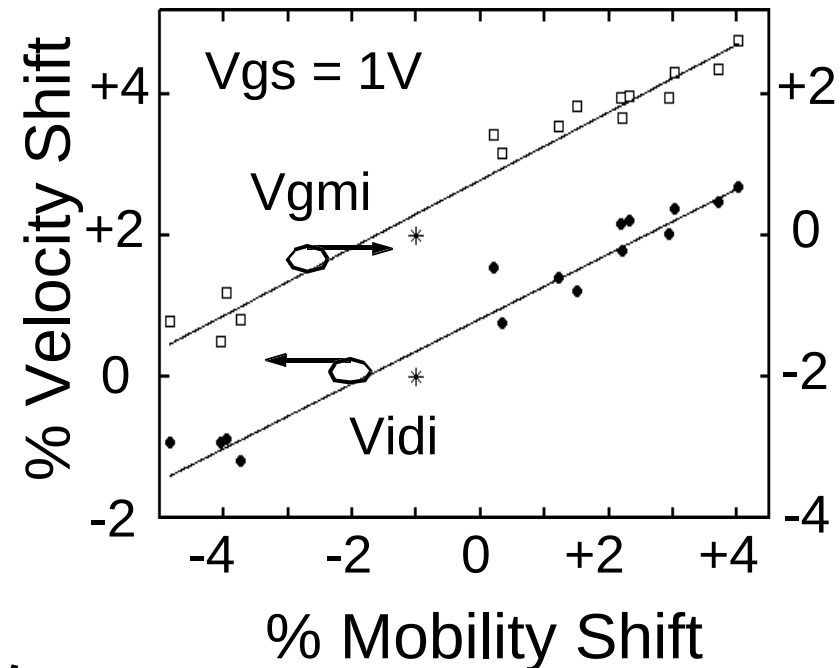
実際の特性は、移動度律速と速度飽和律速の中間の特性を示す

→ 微細素子でも、移動度はまだ重要な役割を果たす

およそ $I_{sat} \propto \sqrt{\mu}$ (at L_g of sub 100 nm)

Work in Progress - Do not publish

Lochefeld et al., EDL(2001)591

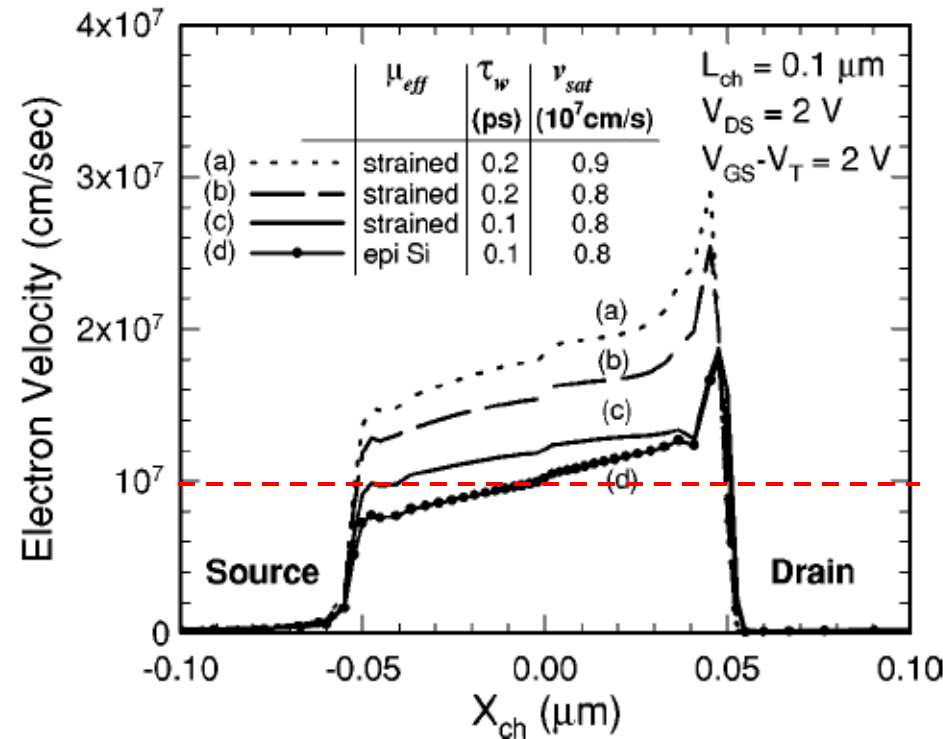
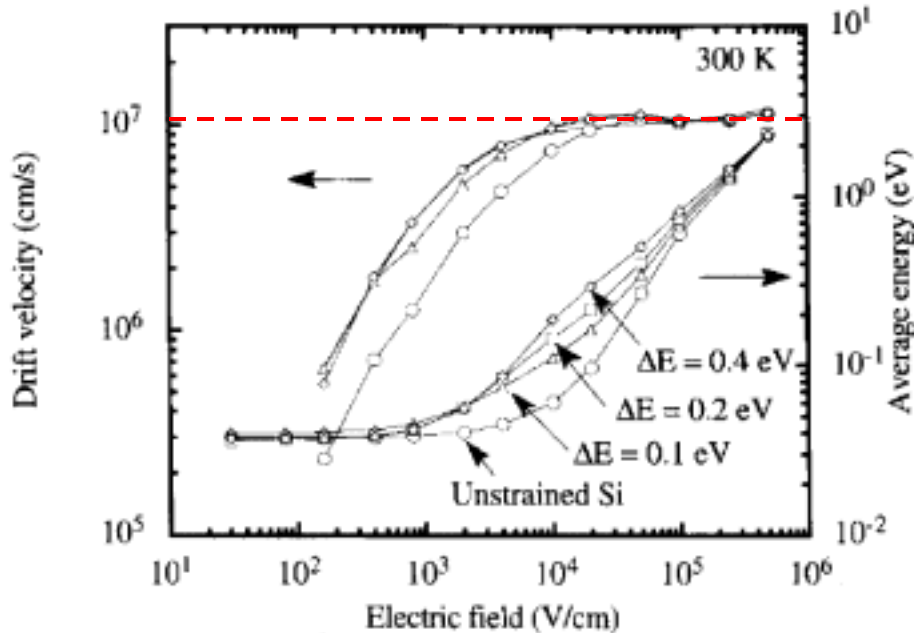


Velocity vs. mobility shift for 45-nm NFET under applied uniaxial strain, $\delta v/\delta \mu = 0.45-0.50$

STRJ WS: March 4, 2004, WG6

ひずみSiにおける飽和速度とソース端速度

Yamada et al TFD(1994)1513



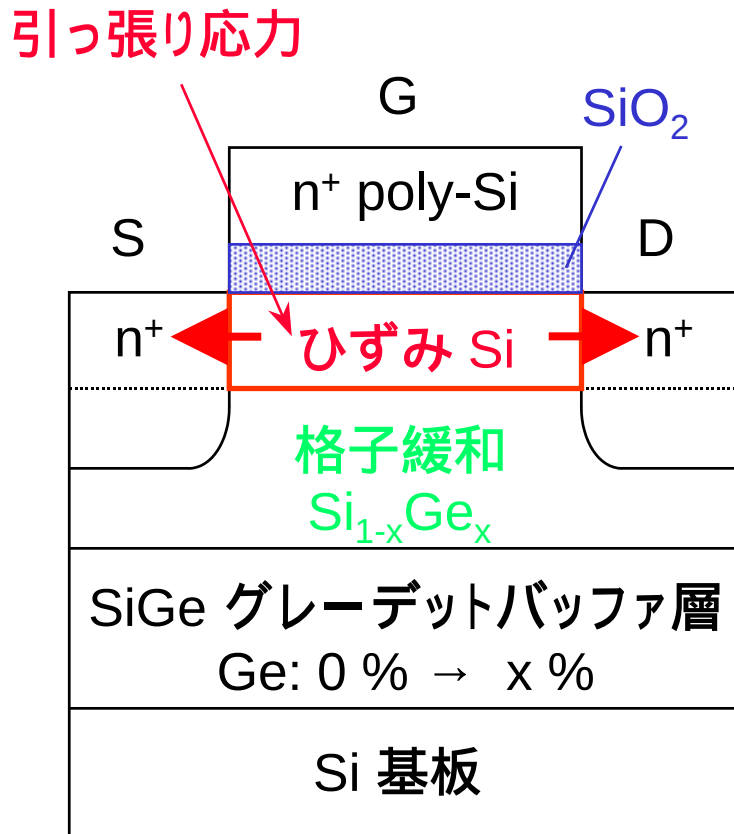
- (計算によれば) 飽和速度そのものはひずみでは殆ど変化しない
- 短チャネル素子のソース端速度は、移動度とエネルギー緩和時間(τ_w)が増大すれば、向上する(非定常輸送効果)
- ソース端でのキャリア散乱を抑制して、速度オーバーシュート(擬バリスティック輸送)効果を利用することで、ソース端速度(オン電流)の向上が可能

チャネル移動度向上技術

- ひずみSi、ひずみSOI CMOS

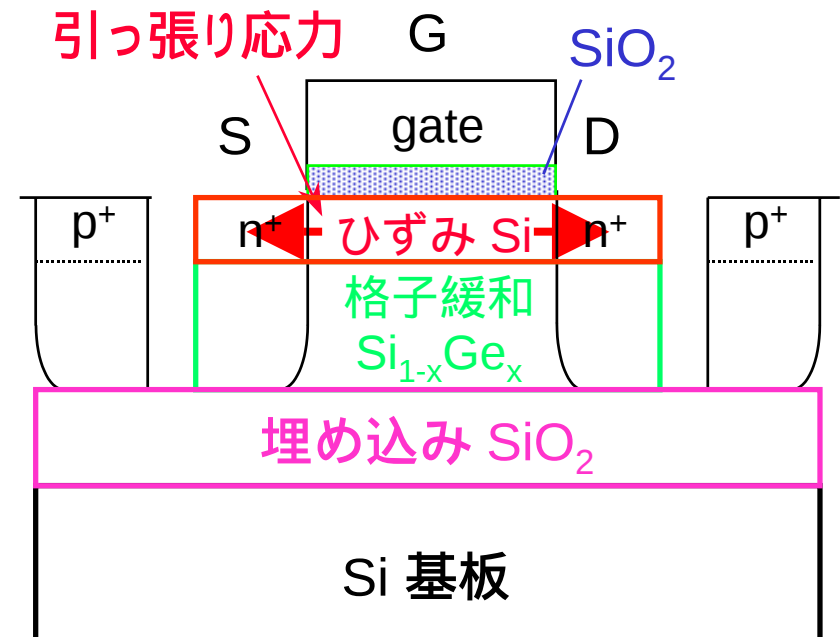
緩和SiGe層を基板にもつひずみSi MOSFET

バルク構造



J. Welser et al., IEDM(1992) 1000

SOI構造



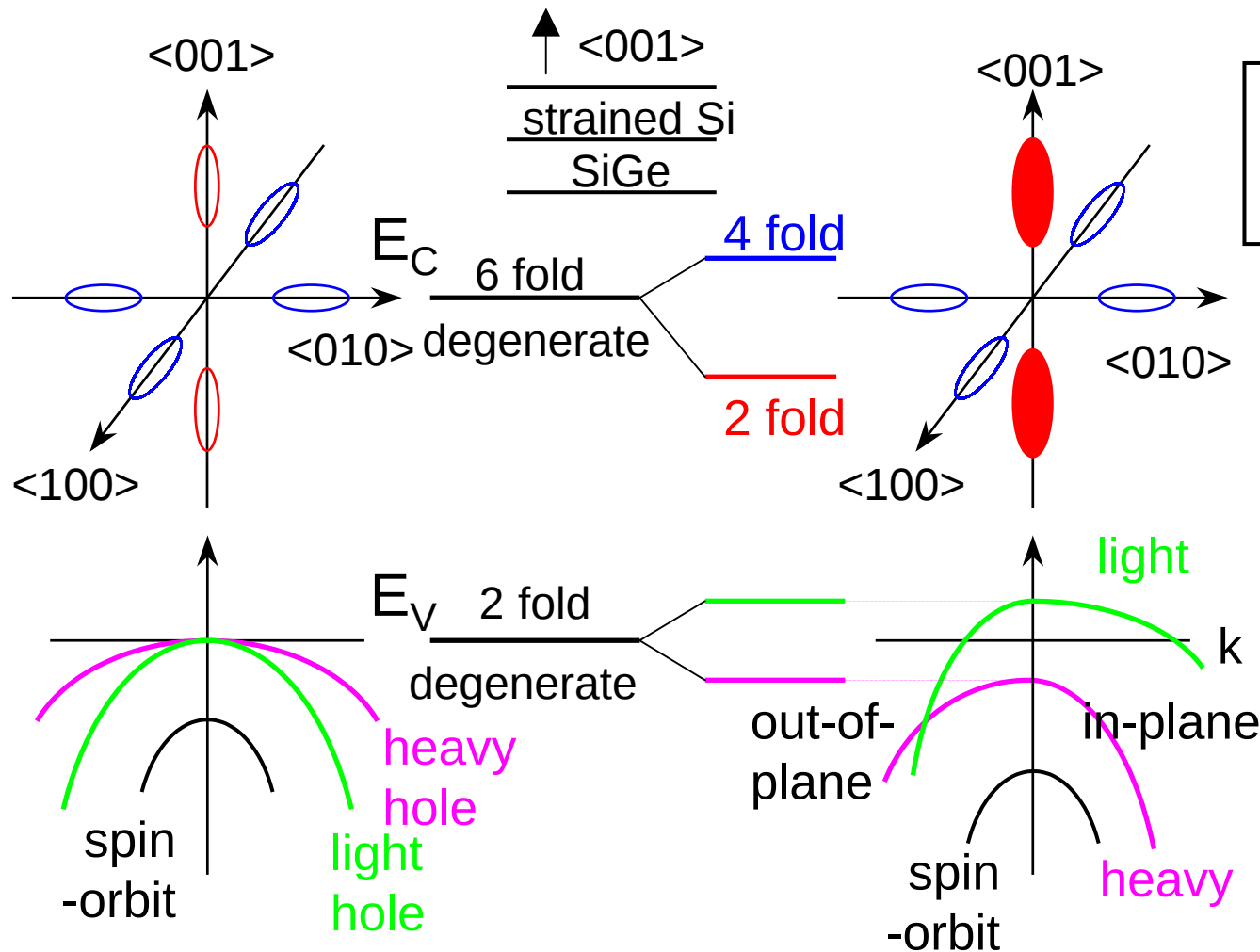
Mizuno et al., IEDM(1999)934

Mizuno et al., EDL-21(2000)230

Takagi, IJHSES-10(2000)155

Takagi, IEICE, E85-C(2002)1064

Influence of Strain on Conduction and Valence Band Structures



mobility enhancement

- reduction in (averaged) conductivity mass
- suppression of inter-valley scattering

without strain

tensile strain

Methods for Preparing Strained-Si Layers

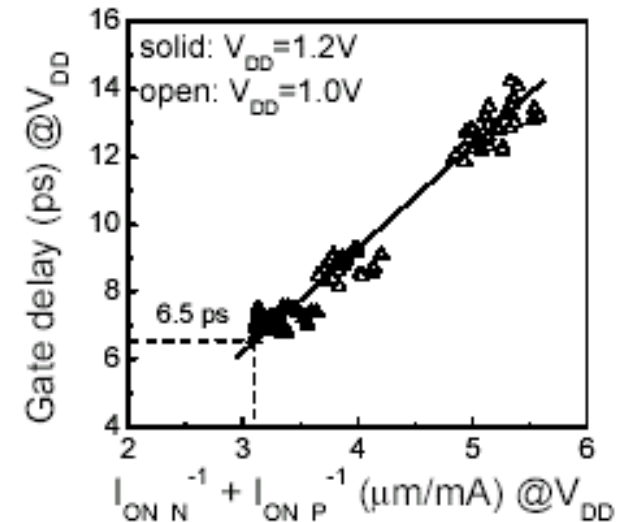
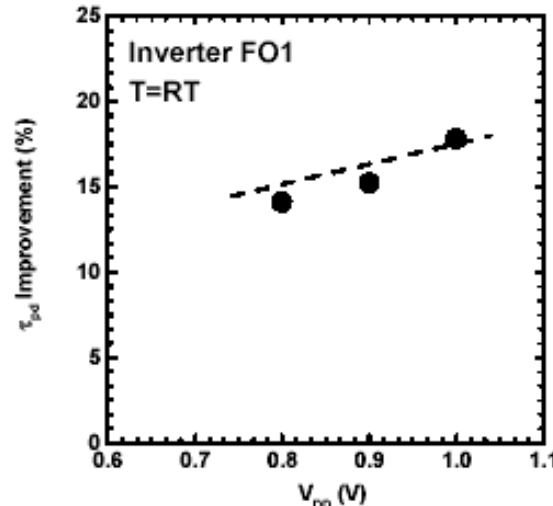
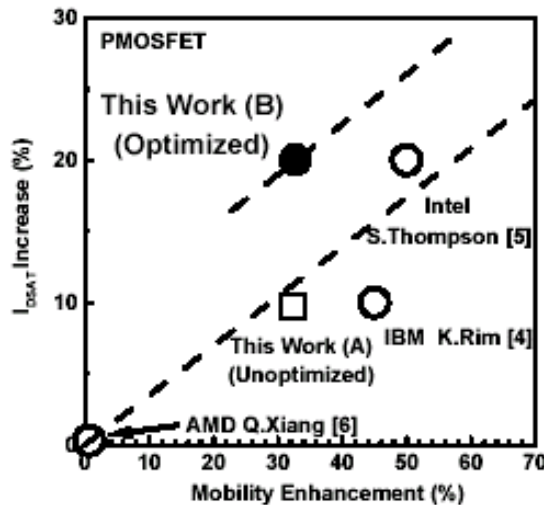
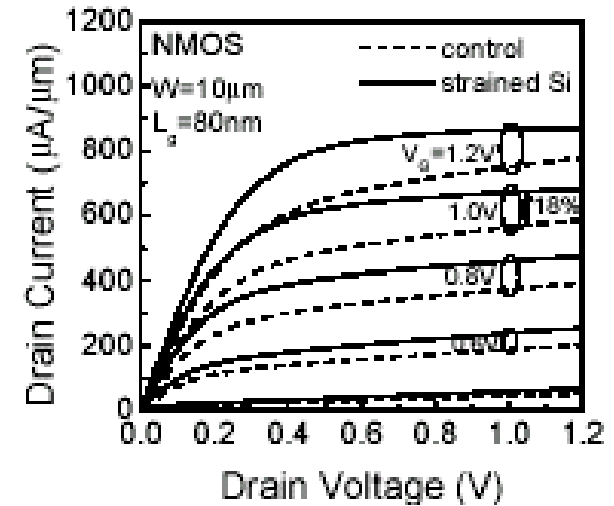
- Bulk relaxed SiGe buffer technology
 - SiGe graded buffer technique
 - other techniques (low temperature buffer, SiGe buffer including damaged layer etc.)
- Relaxed SiGe-On-Insulator (SGOI) technology
 - Wafer bonding
 - Thermal melting of SiGe/SOI
 - SIMOX for SiGe/Si substrates
 - Ge condensation due to oxidation
- Single-layer strained-SOI technology
 - Wafer bonding
- Other technologies
 - Use stressors (STI, capping layer(s), SiGe S/D, silicides, poly-Si gate etc.)

バルクひずみSi基板を用いたCMOS集積化技術

課題 (現在、最適化進行中)

- サブ100nmでの回路性能向上
- ひずみ均一性、素子ばらつき、信頼性、歩留まり等のデータが不足
- nMOS閾値低下に伴う高基板濃度化による性能劣化
- ひずみSi厚さのtrade-off

15-25 % Ion-Ioff improvement



(Wang et al., IEDM2003, p. 61)

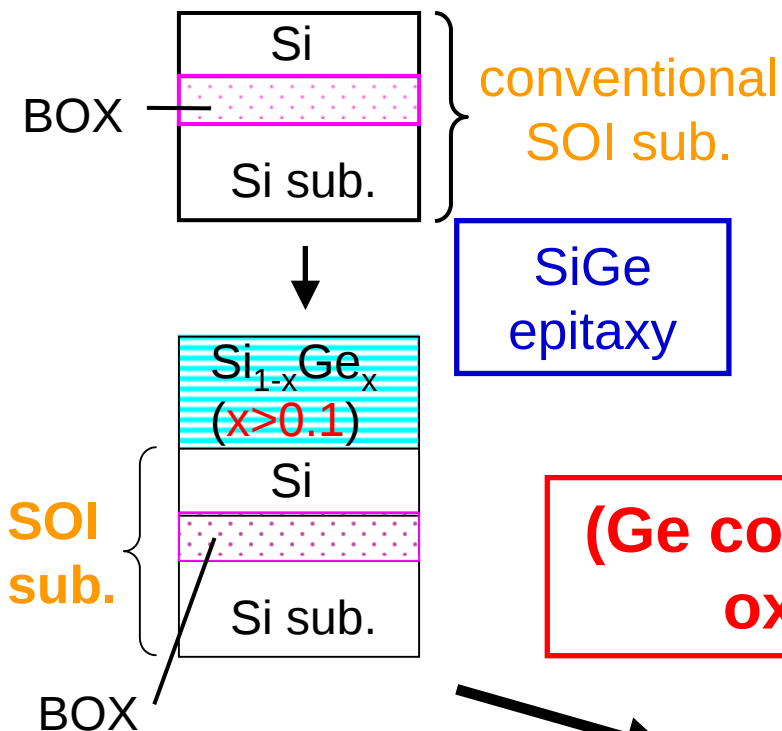
(T. Sanuki et al., IEDM2003, p. 65)

Work in Progress - Do not publish

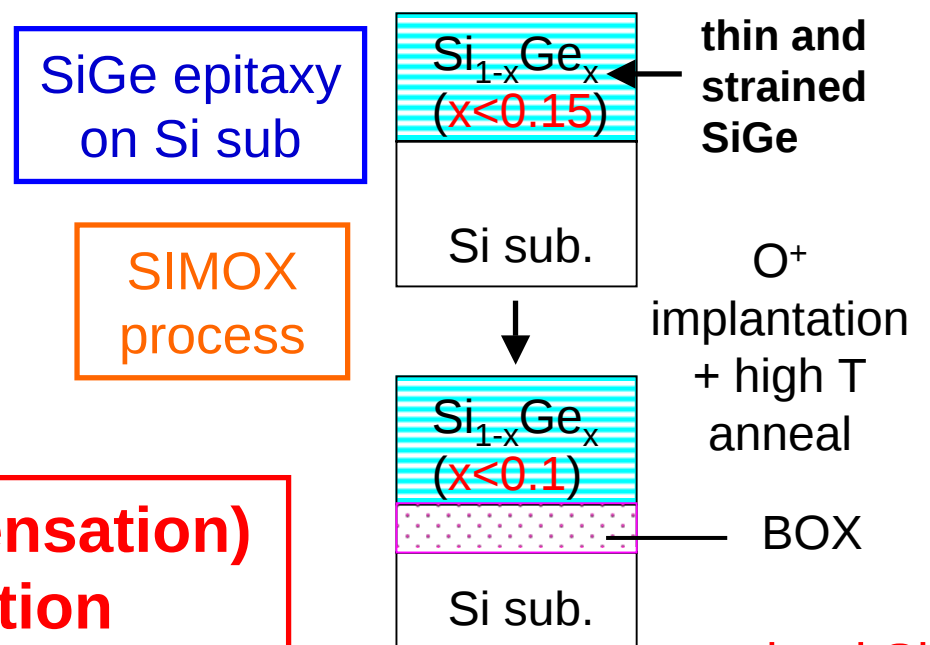
STRJ WS: March 4, 2004, WG6

酸化濃縮法によるひずみSOI基板作製プロセス

SOI substrates



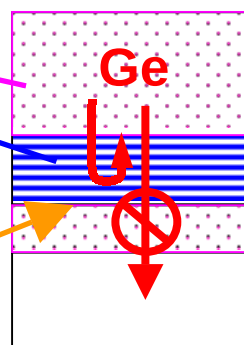
SiGe/Si substrates



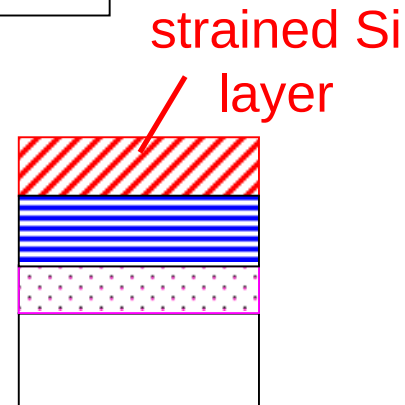
(Ge condensation) oxidation

Oxide (SiO₂)
Higher Ge content
Si_{1-x}Ge_x (x > 0.3)

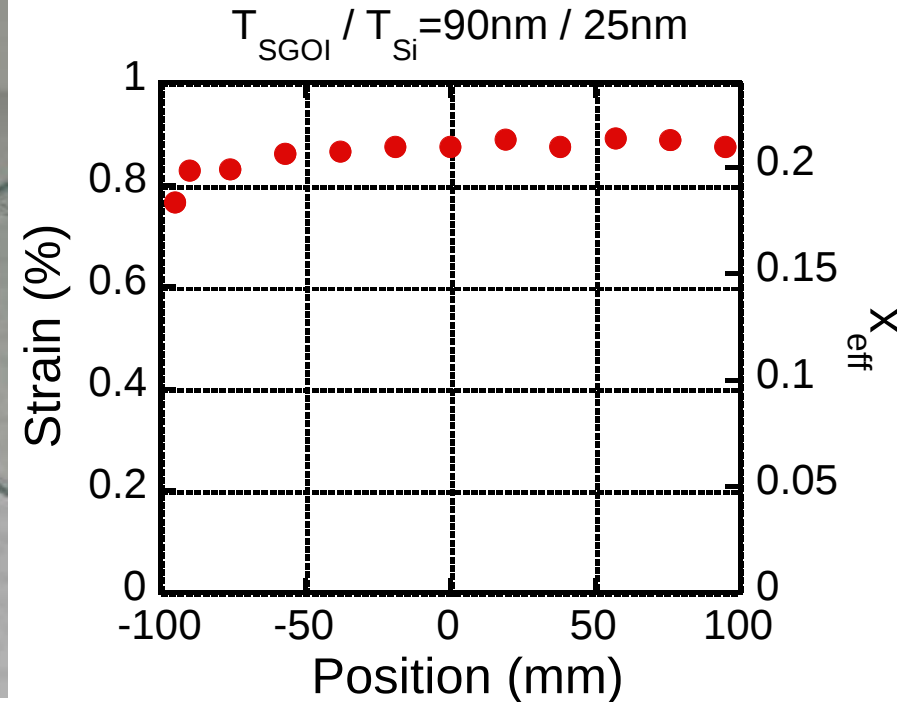
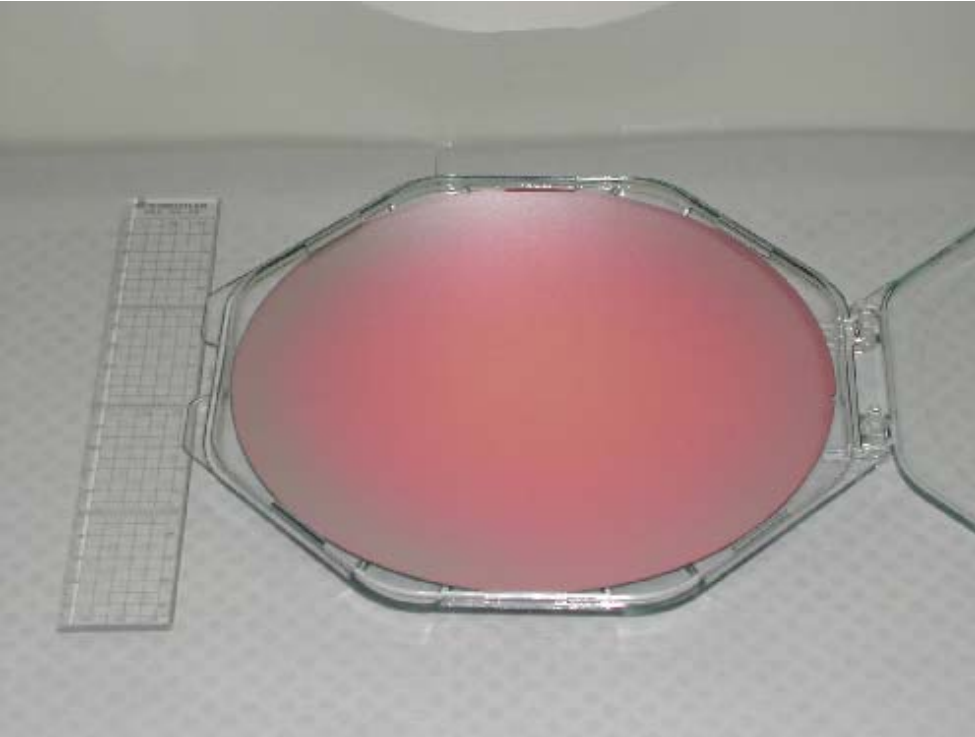
slip



Strained-Si
epitaxy



200 mm strained SOI wafer



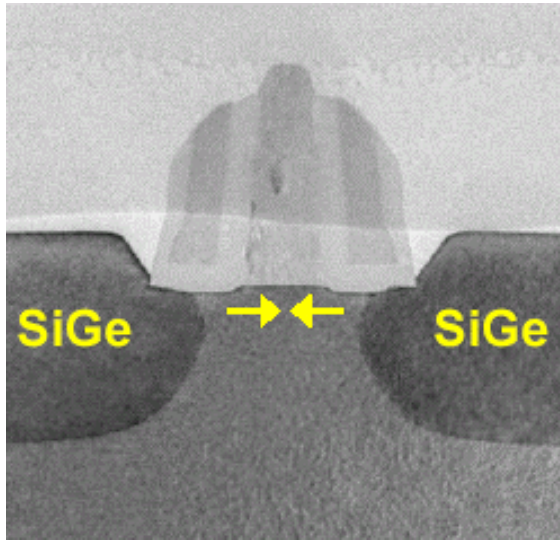
Ge condensation for SiGe/SOI
+ regrowth of strained Si

- $T_{\text{Strained Si}} / T_{\text{SGOI}} = 25\text{nm} / 90\text{nm}$
- effective Ge content: 21%

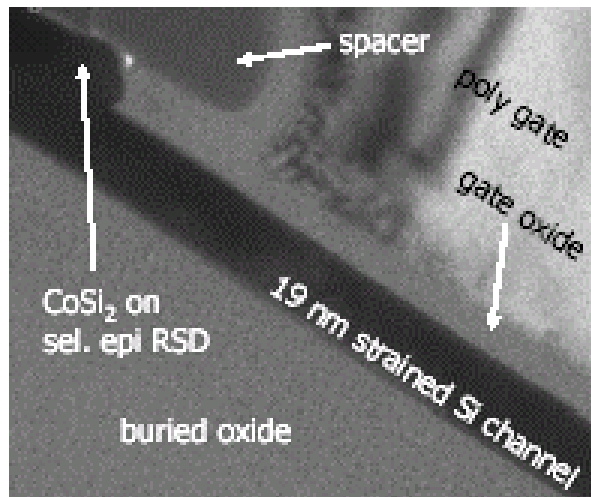
Variation in strain

- Uniform in wafer scale
- Void free

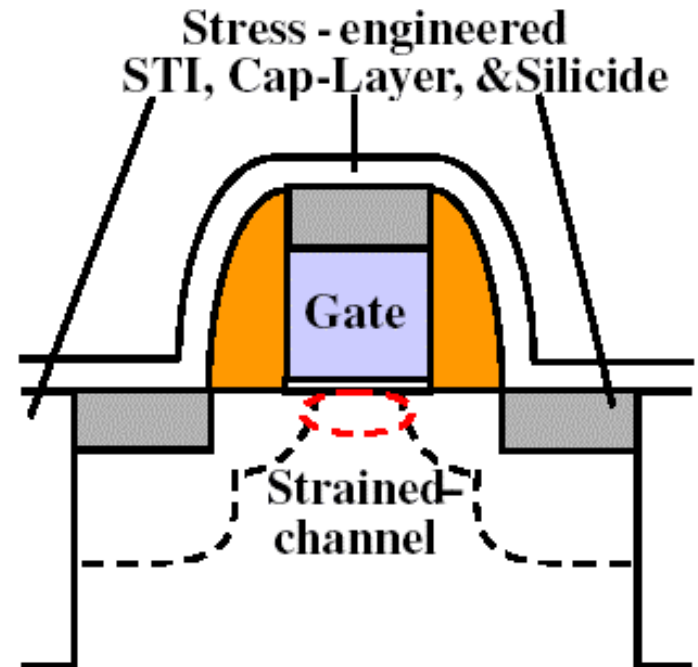
外部印加ひずみを利用したひずみSi MOSFET



SiGe S/Dによる圧縮ひずみを印加したpMOS
(Intel, IEDM02, 03)



ひずみSi単層の貼り合わせ
ひずみSOI MOSFET
(IBM, Princeton, 03)

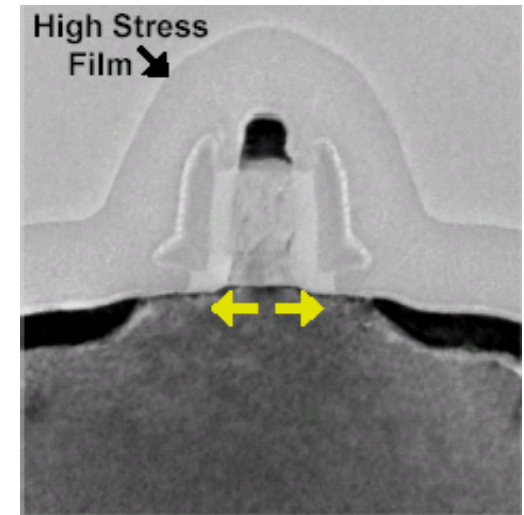


STI, capping layer, silicideなどからの応力制御によるひずみ印加(日立(IEDM01)、三菱(02)、富士通、Intel、TSMC、AMD、IBM (IEDM03))

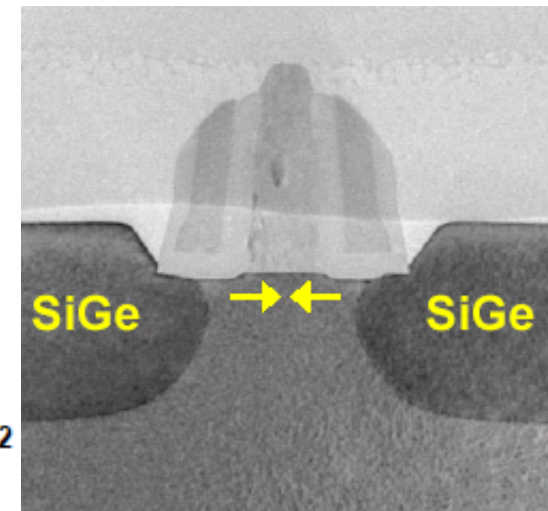
Application of Strained-Si FET into 90 nm TN (Intel)

(S. Thompson et al., IEDM2002, p. 61,
T. Ghani et al., IEDM2003, p. 978)

- high hole mobility enhancement of 50 % even in high E_{eff} at 17% of Ge content
- 20 % Ion improvement for both nMOS and pMOS
- **pMOS** ← compressive strain due to SiGe S/D
- **nMOS** ← tensile strain due to SiN films



nMOS



pMOS

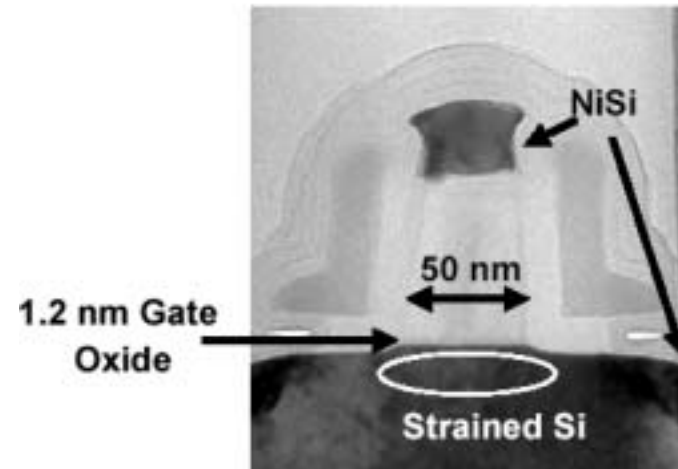
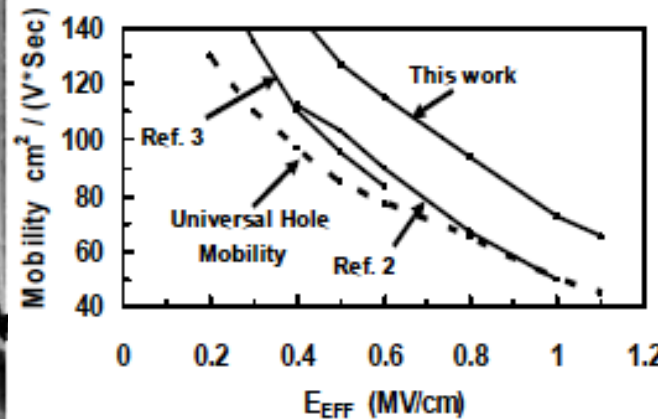


Figure 2: TEM of 50nm transistor.



pMOS mobility vs E_{eff}

Strained-Si Directly-On-Insulator MOSFET

(K. Rim et al., IEDM (2003) p. 49)

- Fabrication of bonded single strained-SOI sub. by smart cut
- Demonstration of n- and p-MOSFETs with L_g of 60 nm

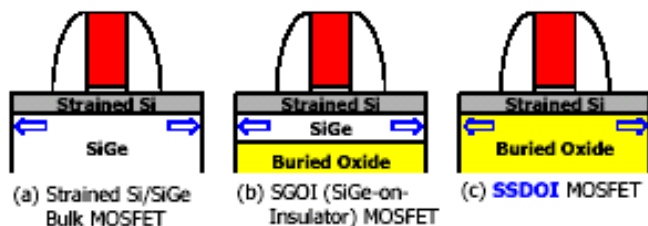


Fig. 1. Comparison of strained Si MOSFET structures. (a) Bulk MOSFET on Strained Si/SiGe, (b) Strained Si MOSFET on SGOI, (c) Ultra-thin body MOSFET on strained Si directly on oxide (SSDOI), where strain in Si is supported by buried oxide.

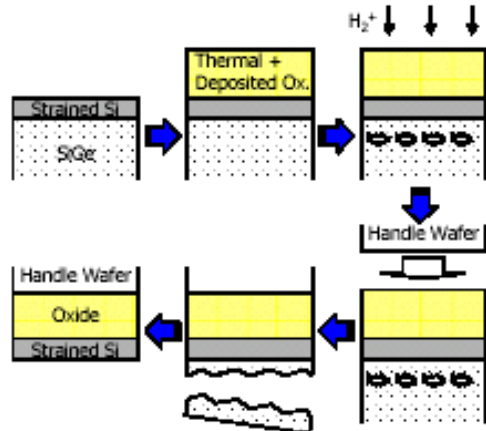
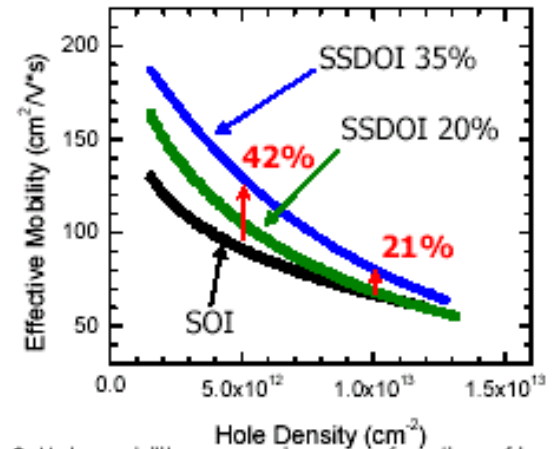
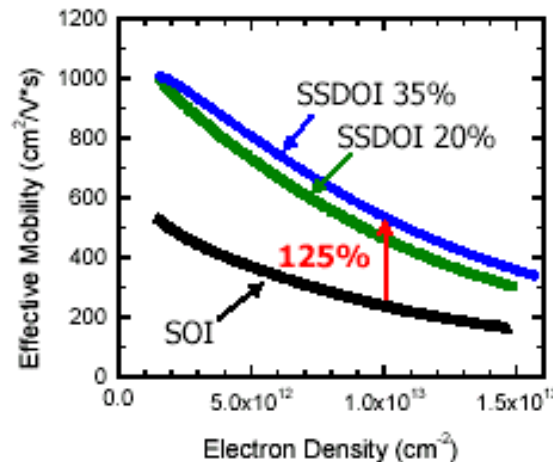


Fig. 2. Fabrication of SSDOI by layer transfer and selective SiGe etch.

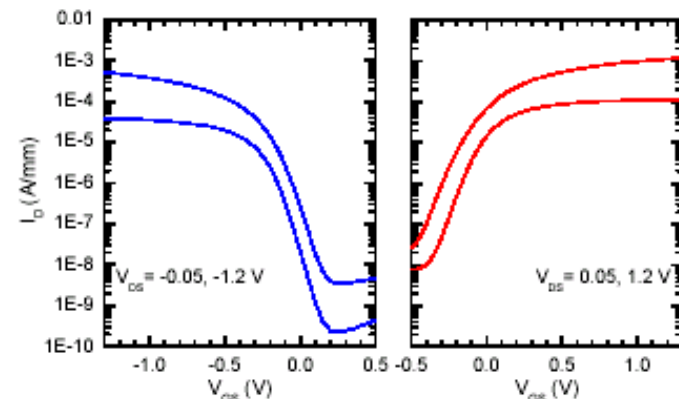
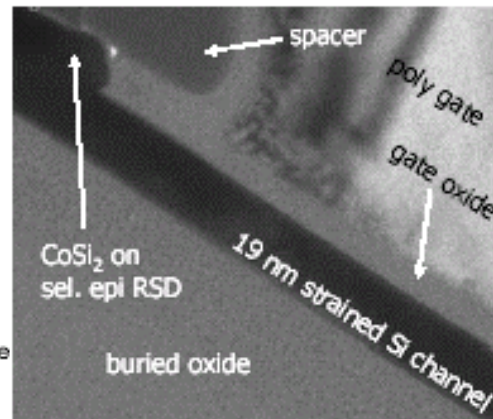
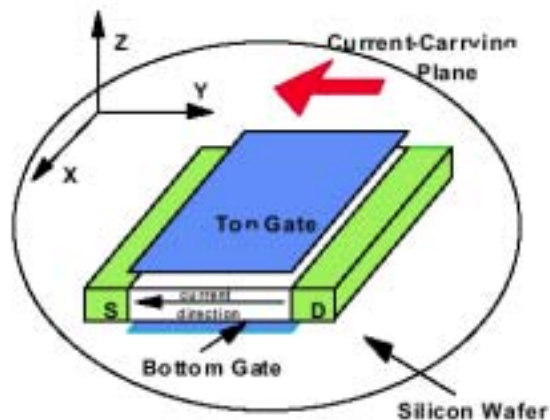


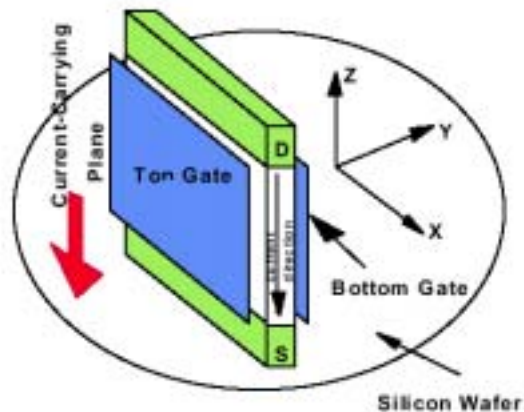
Fig. 15. Subthreshold characteristics of 60 nm SSDOI FETs. Strain-induced band offset lowers NFET V_T by ~ 150 mV.

立体ゲート構造MOSFETと 極薄SOIチャネルの電気的性質

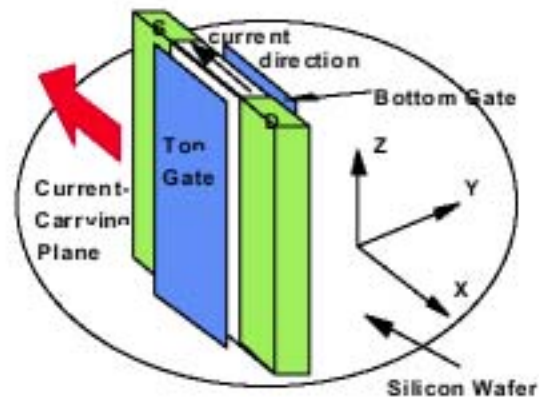
立体ゲート構造MOSFET



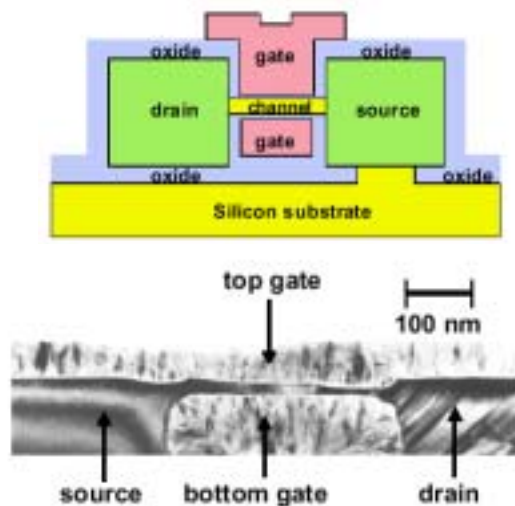
(a) Planar



(b) Vertical pillar

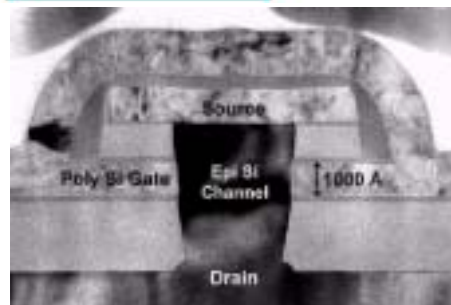
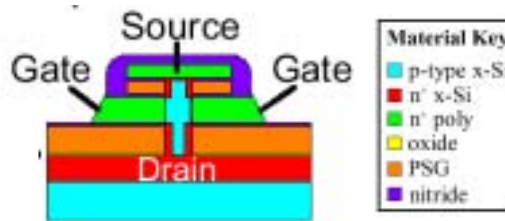


(c) Vertical

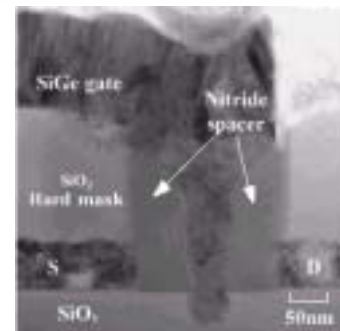
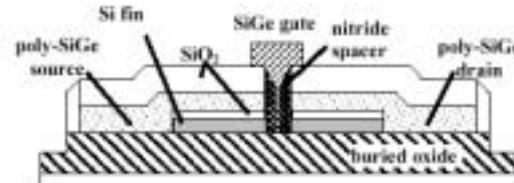


Wong et al, IEDM 1997

Lee et al, IEDM 1999



Hergernrother et al, IEDM 1999



Hisamoto et al, IEDM 1998,

Huang et al, IEDM 1999

STRJ WS: March 4, 2004, WG6

短チャネル効果抑制のために必要なSOI膜厚

立体ゲート構造による短チャネル効果抑制

→ 超薄膜SOI層が前提

- ・ FD SOI (single gate)

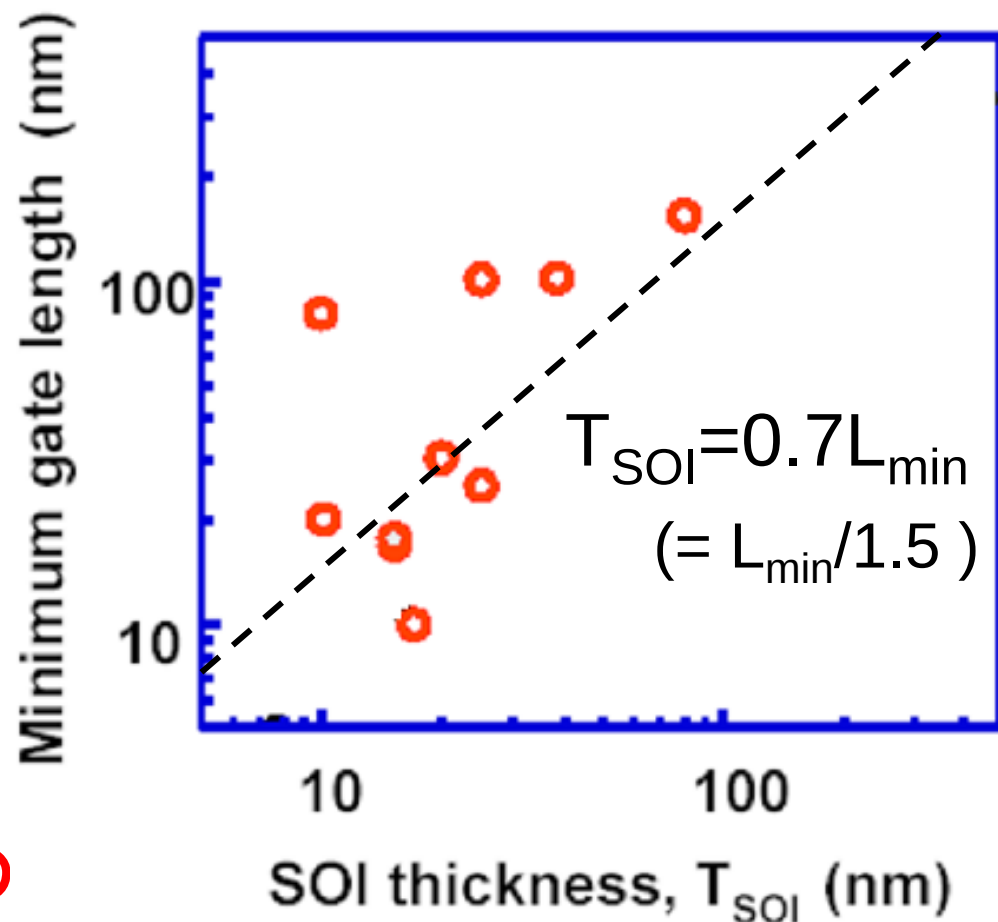
$$T_{\text{SOI}} \sim L_g/4 - L_g/3$$

- ・ FinFET (double gate)

T_{SOI} (Fin幅に相当)

$$T_{\text{SOI}} \sim L_g/2 - L_g/1.5$$

→ **超薄膜SOIチャネルの電気特性の正確な理解と制御が、今後必須**



D. Hisamoto,
IEDM short course (2003)8

SOI膜厚超薄化によるサブ10nmMOSFET

B. Doris et al., IEDM2002, p. 267

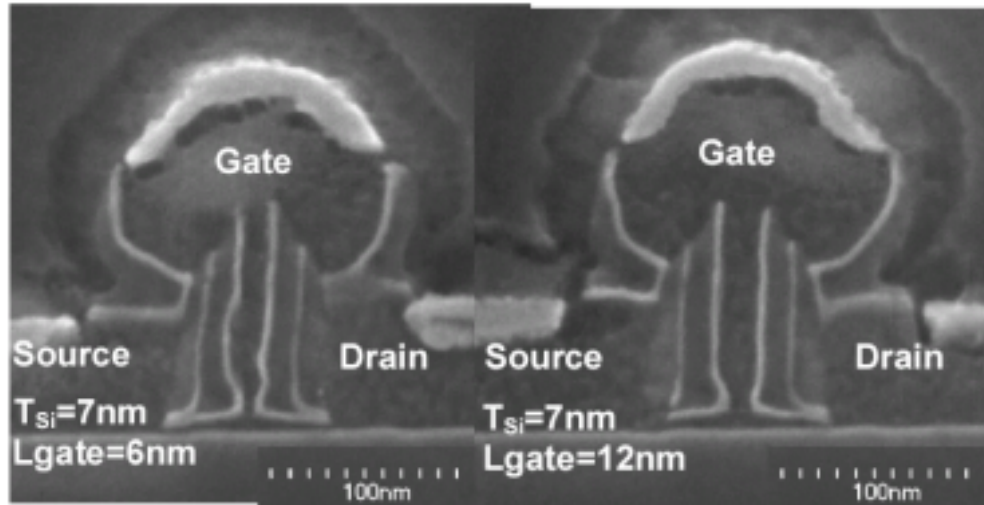
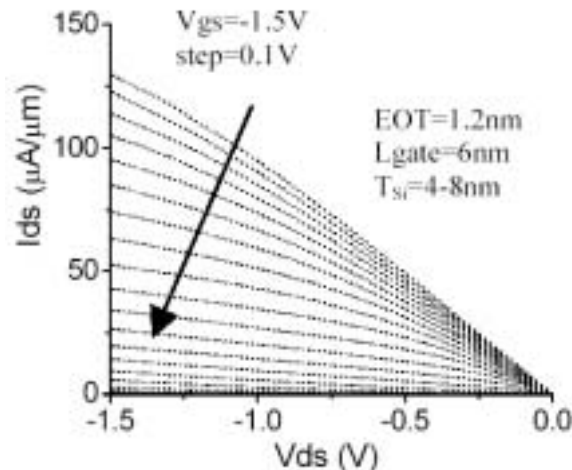


Fig.17: SEM cross-section of ultra-thin silicon channel pFETs with 6nm and 12nm gate lengths



$-g = 6nm, 12nm$

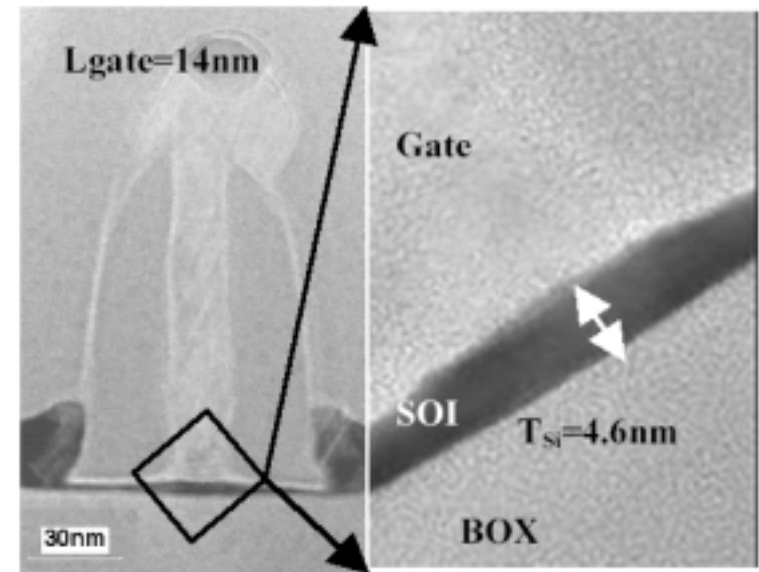
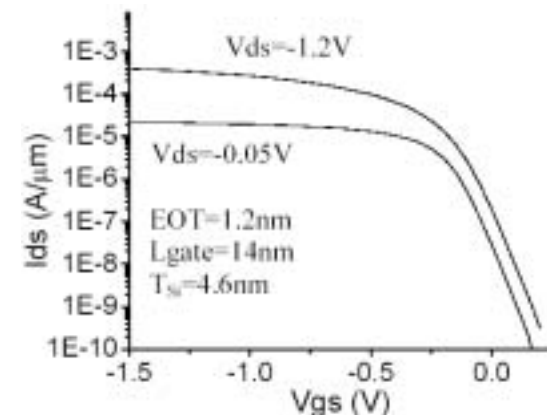


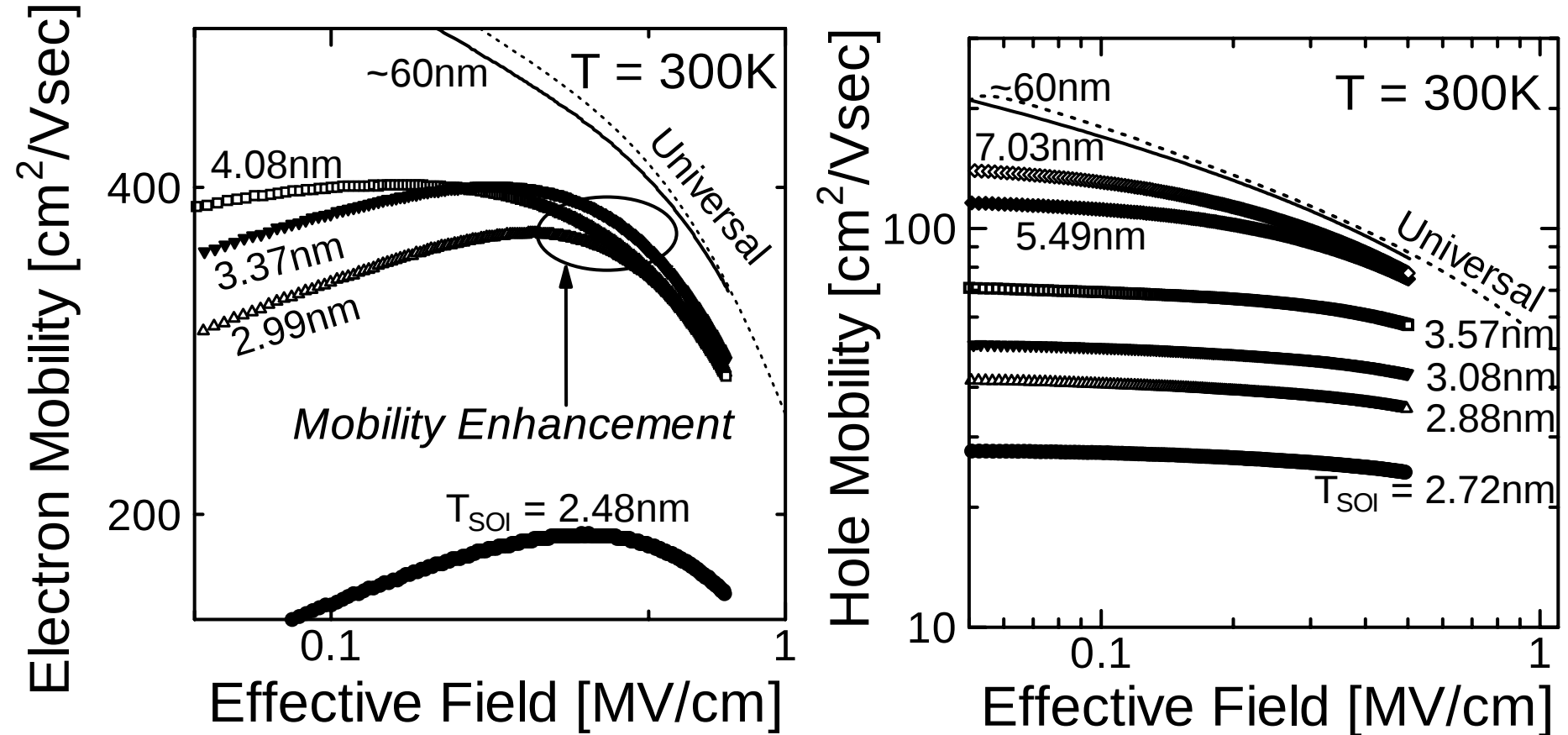
Fig.13: TEM cross section of a pFET with $L_{gate}=14nm$ and $T_{Si}=4.6nm$



: 14 nm

超薄SOI MOSFETの移動度特性

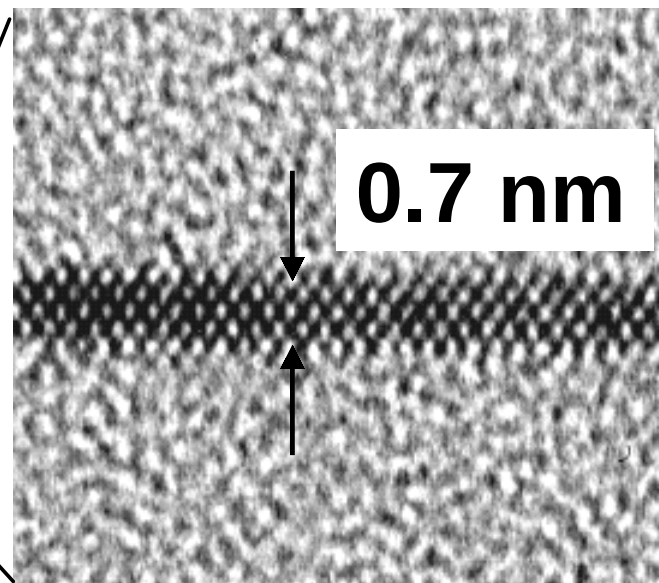
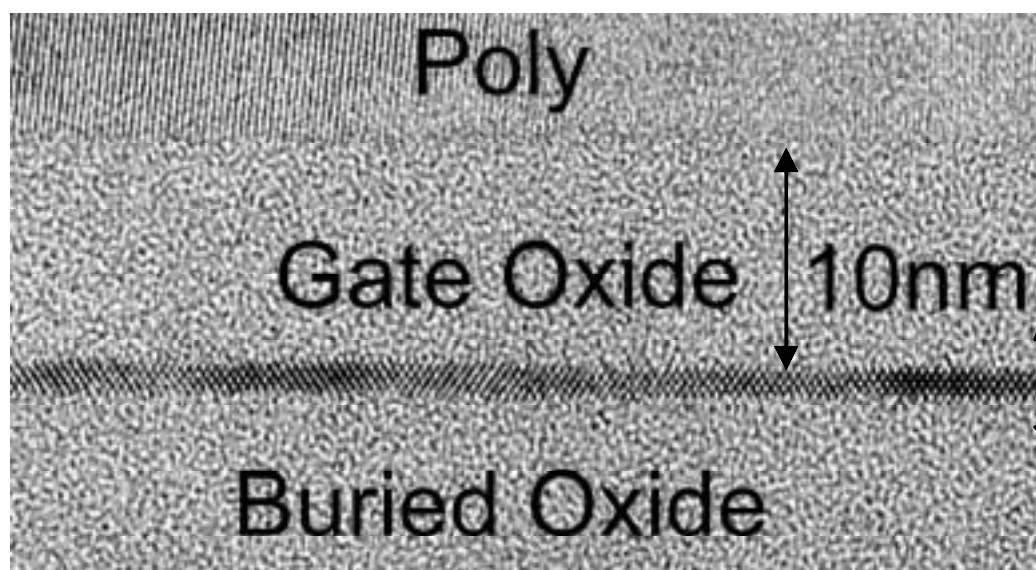
(K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata and S. Takagi, IEDM(2002) 47)



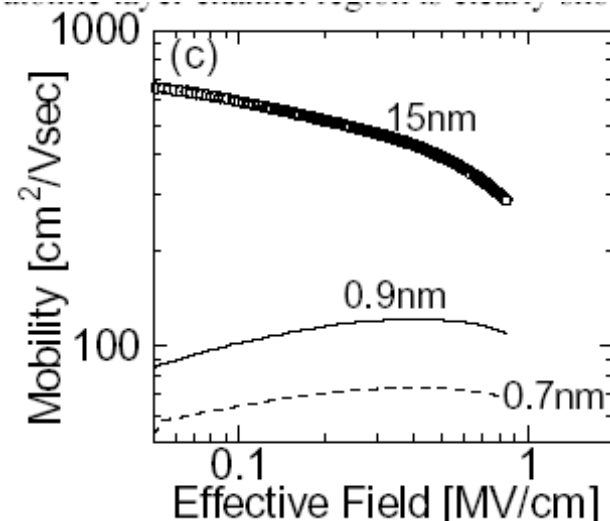
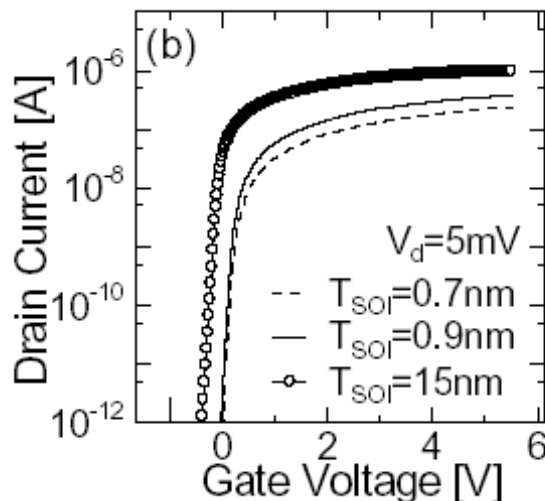
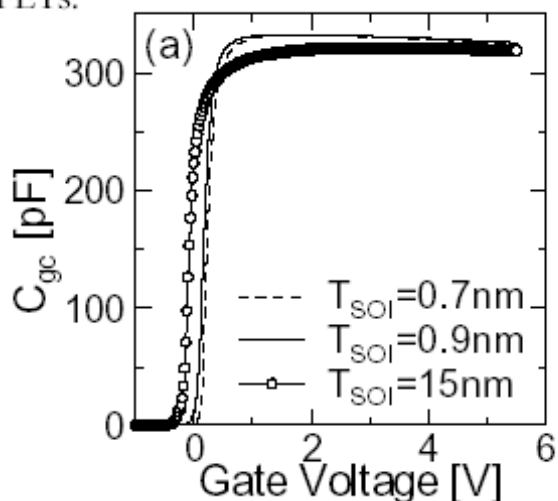
SOI膜厚減少とともに、電子移動度・正孔移動度も低下

Electrical Properties of sub-1 nm Extremely-thin SOI

(K. Uchida, J. Koga, and S. Takagi, IEDM (2003) p. 805)



5FETs.

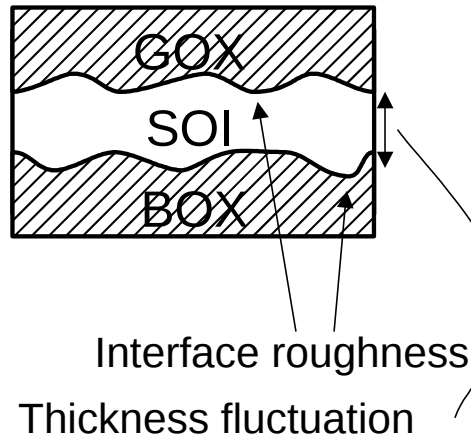


Work in Progress - Do not publish

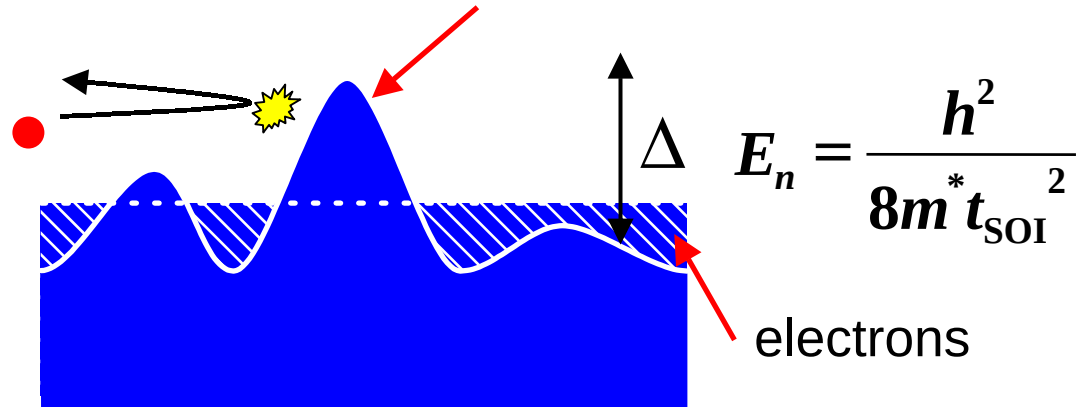
SIKJ WS: March 4, 2004, WGo

薄膜SOI固有の新散乱機構～ 膜厚ゆらぎ散乱

K. Uchida et al., IEDM (2002)47



potential barrier due to quantum confinement effect



Potential fluctuation ΔV

$$\Delta V = \left[\frac{\partial E_n}{\partial T_{\text{SOI}}} \right] \cdot \Delta = - \frac{h^2}{4m^* T_{\text{SOI}}^3} \cdot \Delta$$

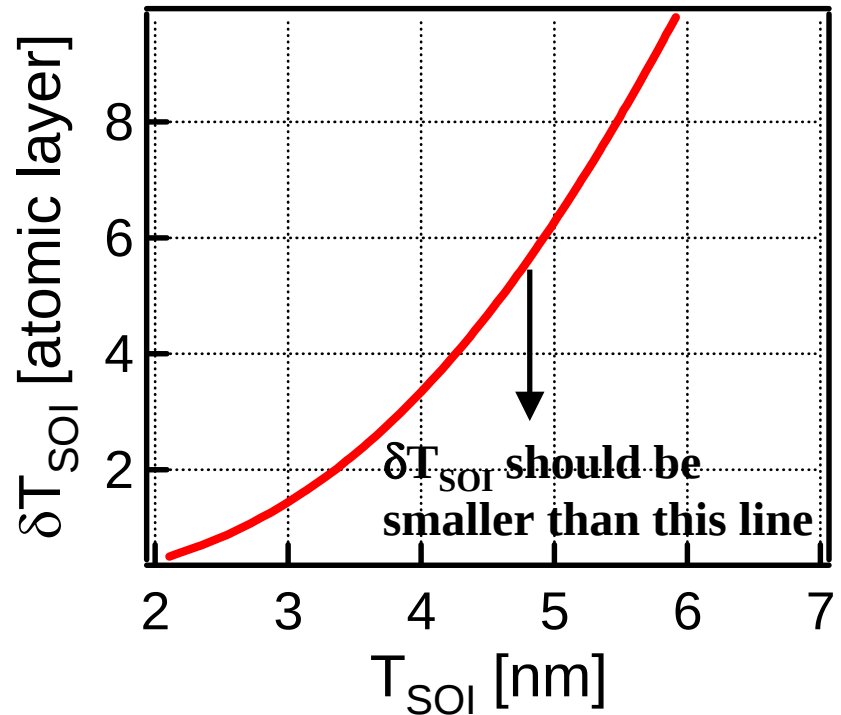
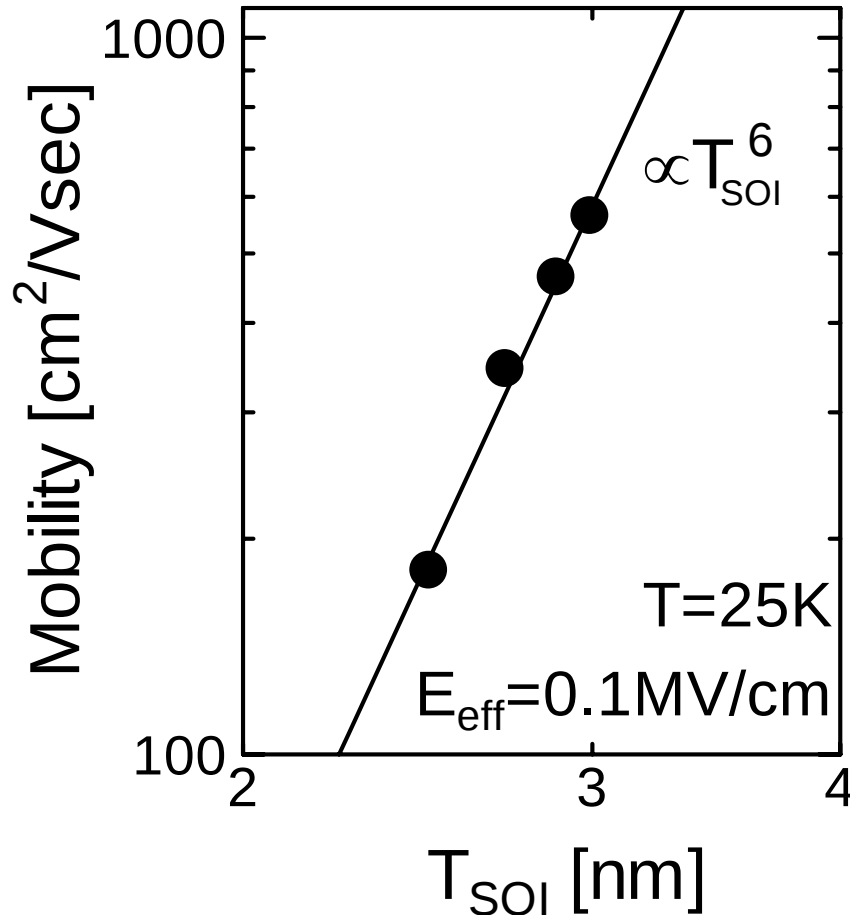
δT_{SOI} -limited mobility μ_r

$$\mu_r \propto \left[\frac{1}{\Delta V} \right]^2 \propto T_{\text{SOI}}^6$$

Si/SiGe; A. Gold, Phys. Rev. B35 (1987)723
GaAs/AlAs; H. Sakaki et al., APL (1987)1934

SOI膜厚の変化がサブバンド固有エネルギーの空間的ゆらぎを引き起こして、チャネル中のキャリアの散乱源となる

膜厚ゆらぎ散乱の実験的証拠と SOI膜厚ゆらぎの許容度

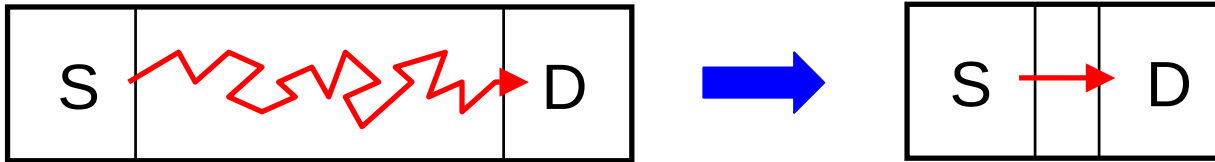


SOI膜厚ゆらぎによる T^6 の極めて強いSOI膜厚依存性を観測

SOI膜厚4nm以下のMOSFETで、膜厚ゆらぎ散乱の影響を抑えるためには、SOI膜厚3原子層程度以下にする必要あり

バリスティック輸送下でのMOSFETの 特性とチャネル構造による変調効果

極微細MOSFETにおけるBallistic輸送の重要性

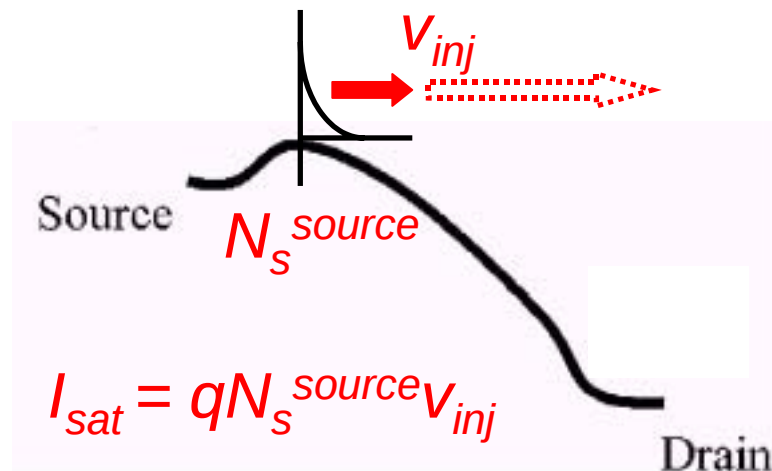


CMOSチャネル長の急速な短縮 → チャネル中のキャリアの
平均自由工程に接近 → Ballistic 輸送現象の支配

Ballistic Efficiency:

0.4 - 0.7 for L_g of 40-24 nm (Natori, SSDM2002, p.17)

0.4 - 0.5 for L_g of 50 nm (Antoniadis, VLSI Symp.2002, p.2)



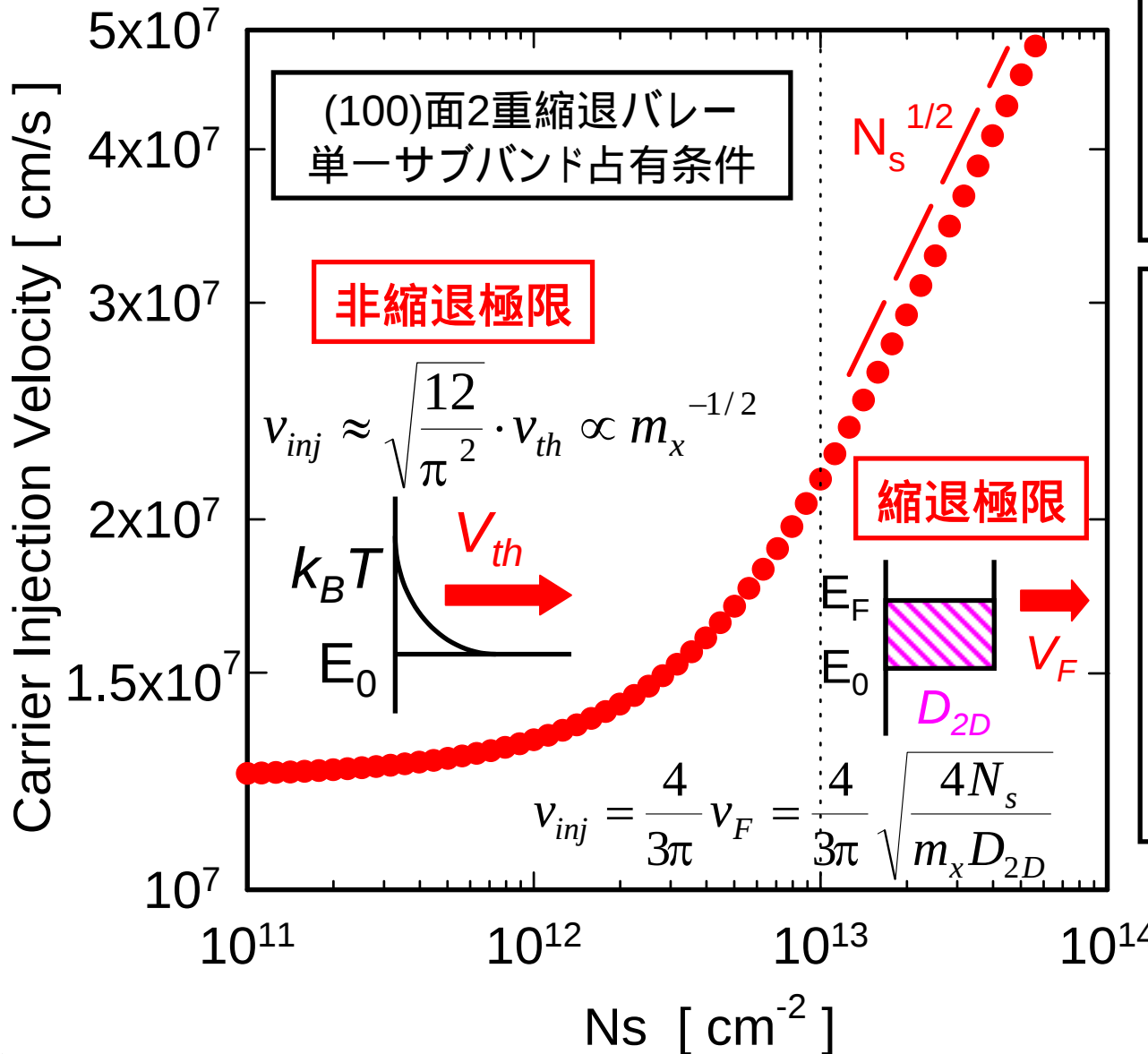
Ballistic極限 →

飽和電流はソース端のキャリア
密度と注入速度で決定

→ チャネル長には依存しない

→ 移動度はもはや意味がない

Ballistic MOSFETにおけるキャリアの注入速度



Ballistic極限でのソース端キャリア注入速度
K. Natori,
JAP76 (1994) 4879

キャリア注入速度を
高めるには？

- (i) 非縮退極限
チャネル方向の有効質量を下げる
- (ii) 縮退極限
2次元状態密度 (DOS)
とチャネル方向の有効質量を下げる

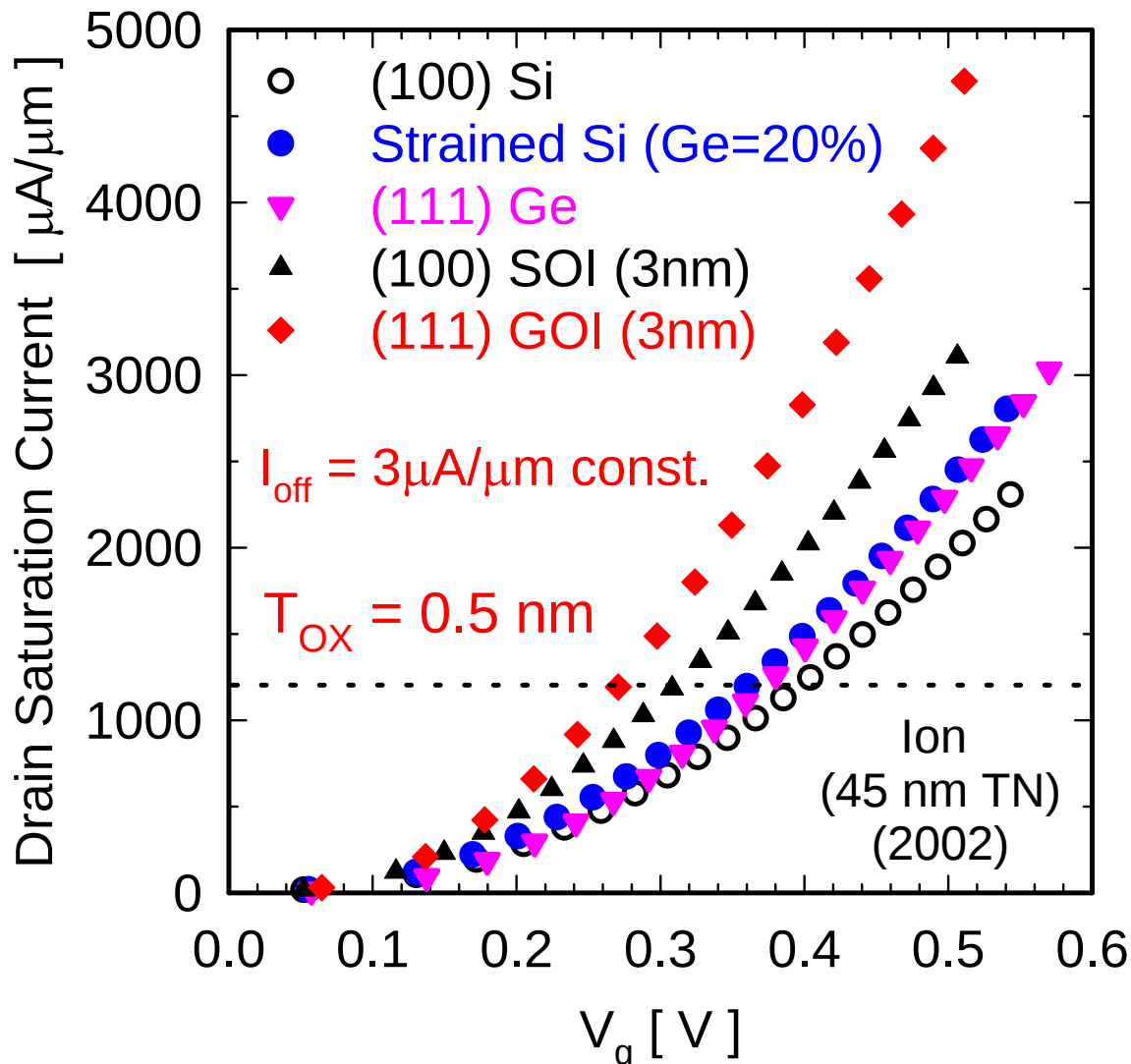
$$D_{2D} = \frac{M_v}{\pi \hbar^2} \sqrt{m_x m_y}$$

M_v : 谷縮退度

STRJ WS: March 4, 2004, WG6

I-V curves under full ballistic transport

(S. Takagi, VLSI Symp. (2003) 115)

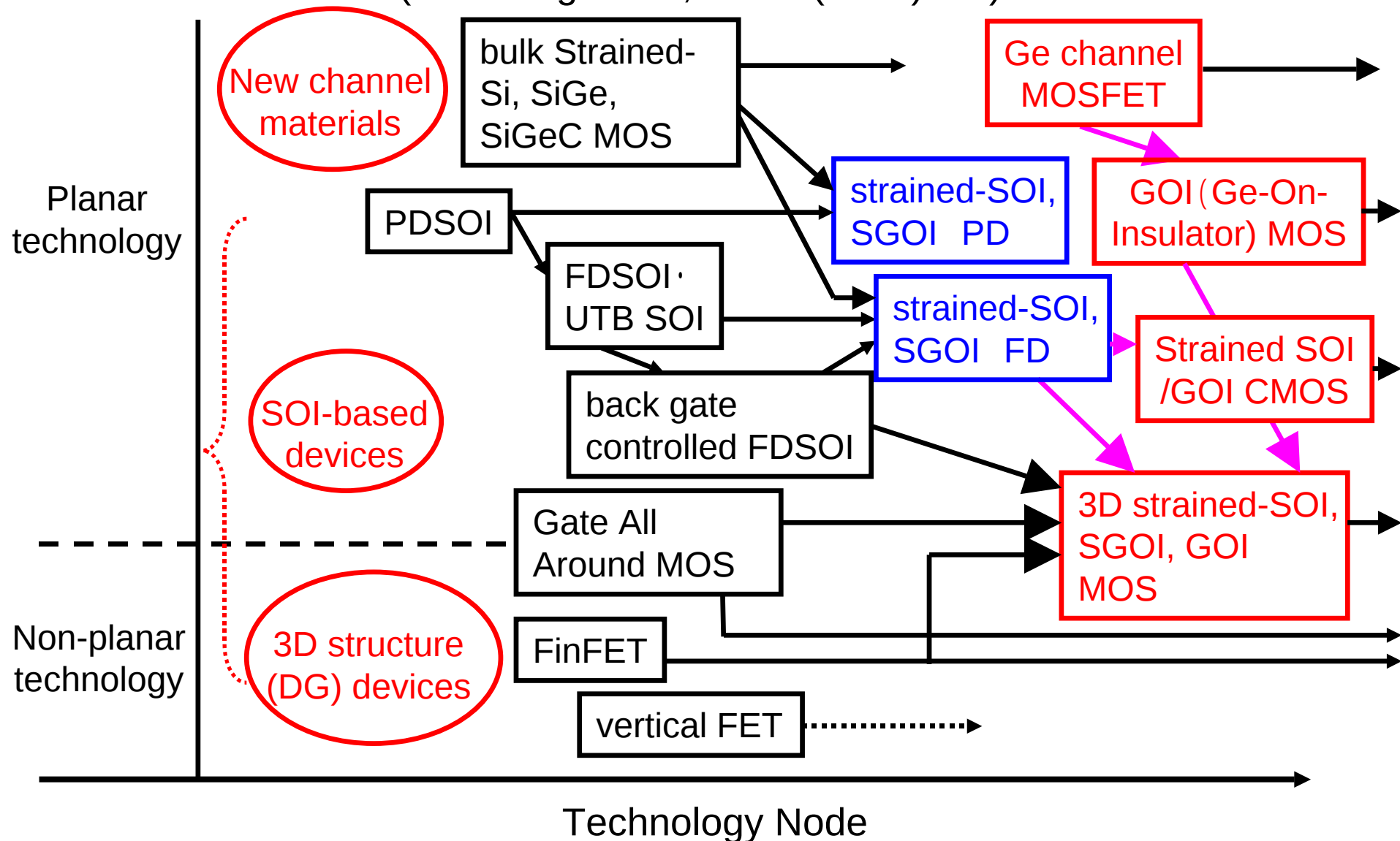


- Even under ballistic transport, SOI, **strained Si**, **Ge**, and **GOI** can provide higher current drive, because of **higher injection velocity**
- **Ultra-thin GOI MOSFET** is one of the most promising device structures beyond 45 nm TN

CMOSチャネルエンジニアリング の今後の方向性

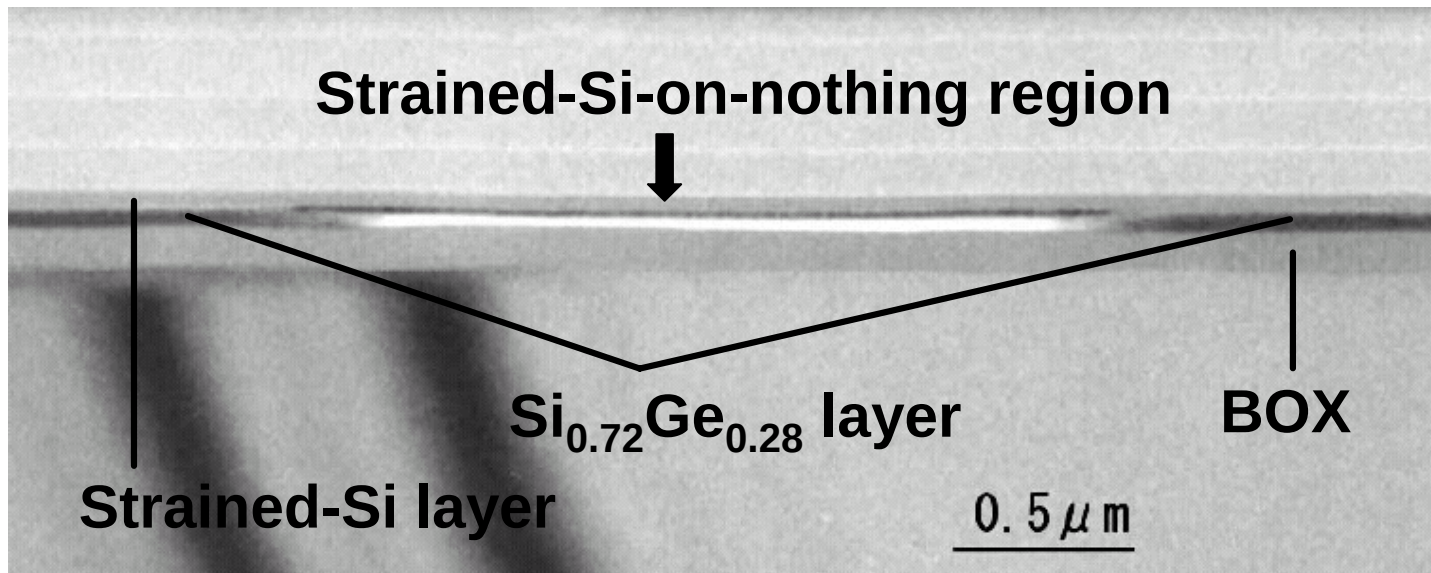
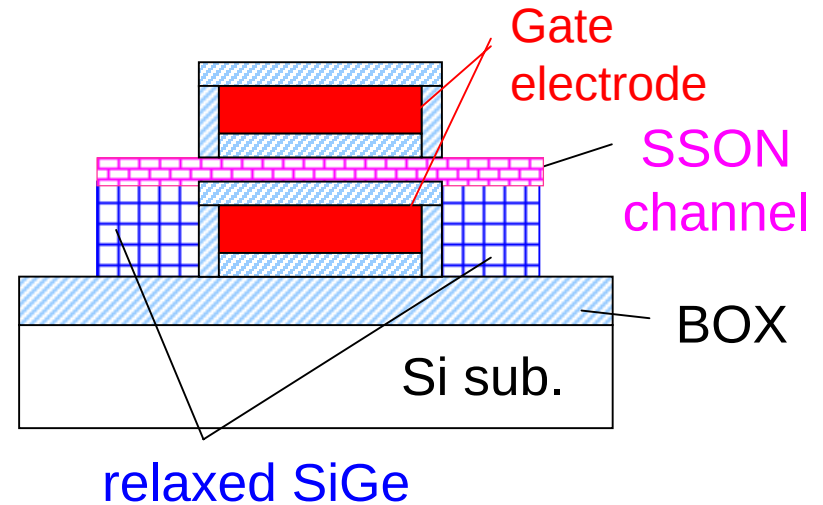
Future New Channel Structure Families

(S. Takagi et al., IEDM (2003) 57)



Strained-Si on nothing (SSON) Structure

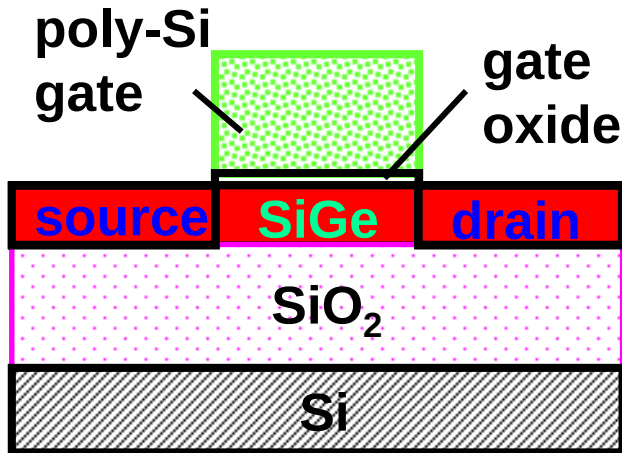
- Strained-Si on nothing (SSON) structure → applicable to DG strained-Si MOSFET
- Confirm strain of 90-40 % in SSON region by nano-ED (electron diffraction) method



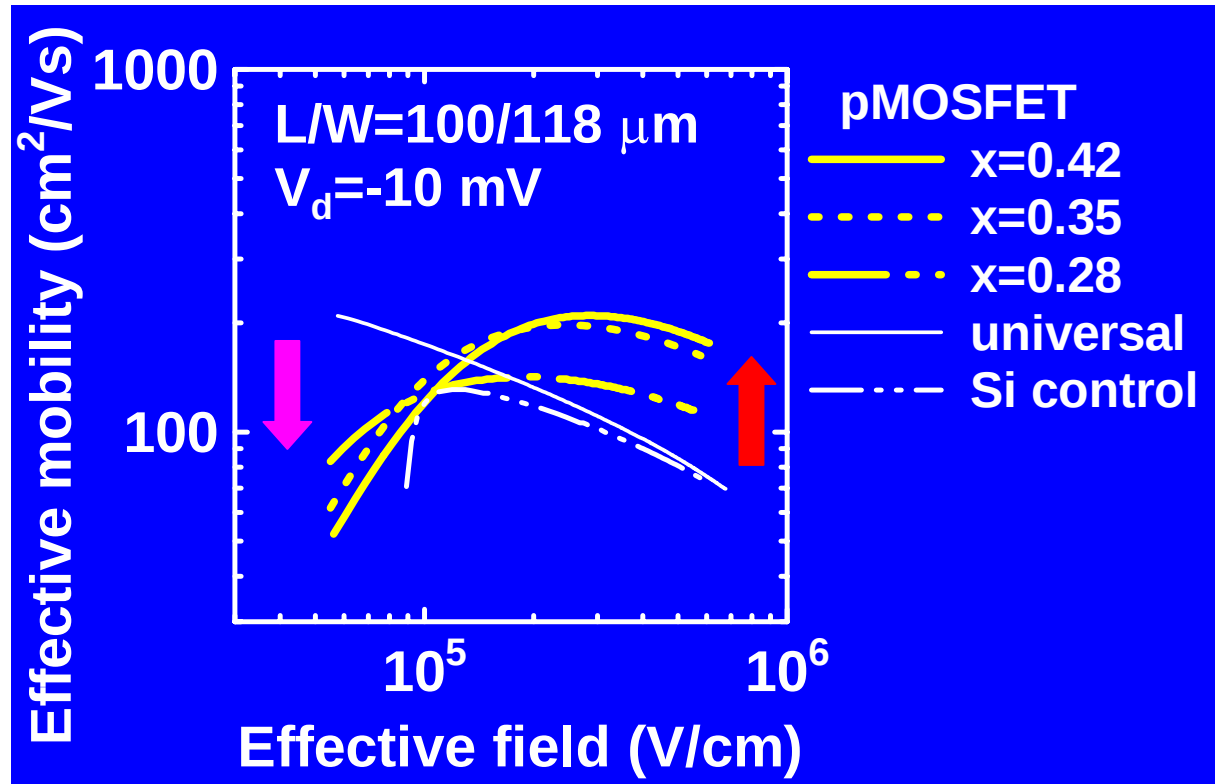
K. Usuda et al.,
SOI
conference
2003, p. 138

Hole Mobility in SiGe-On-Insulator p-MOSFET

- Strained-SiGe channel p-MOSFET → **~ 2.3 time higher μ_{eff}**
- Surface channel structure (SiO_2/SiGe interface) → **higher N_{ss}**
- Fully-depleted operation ($T_{\text{SiGe}} \sim 20 \text{ nm}$)

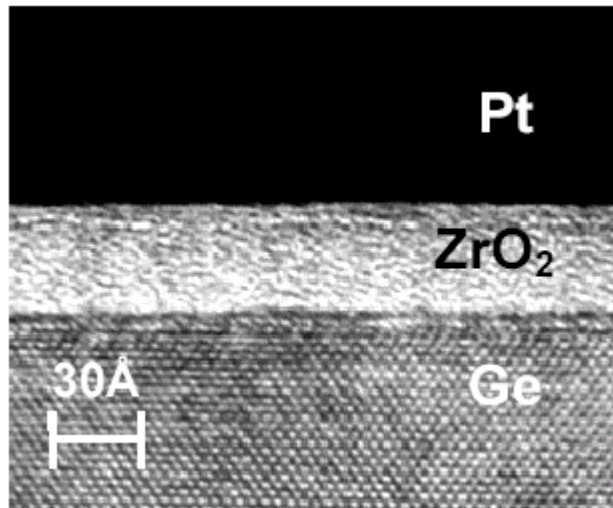


T. Tezuka, N. Sugiyama,
T. Mizuno and S. Takagi,
IEDM (2001) p. 946



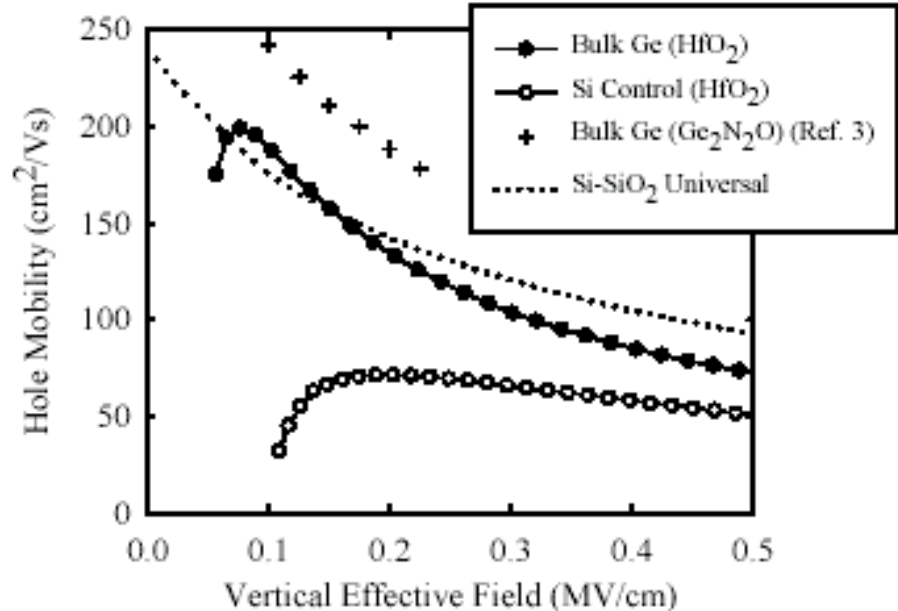
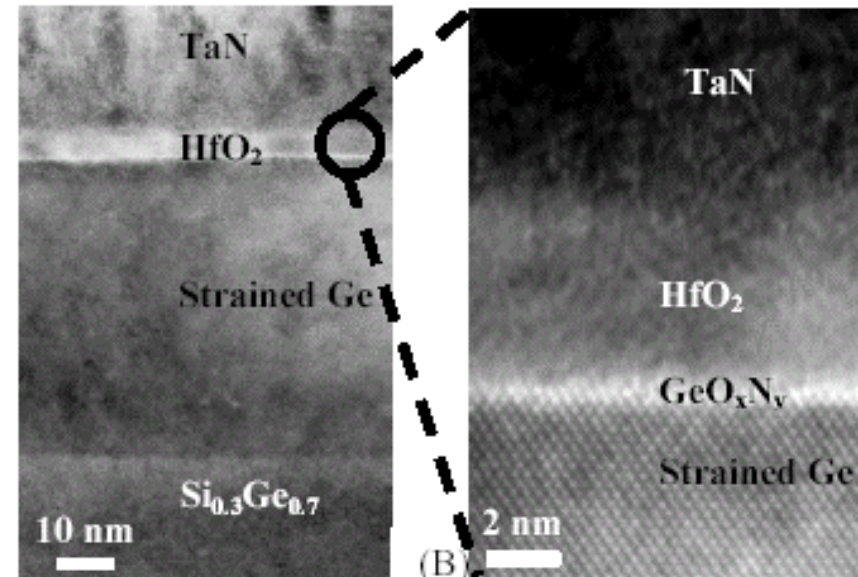
- Improvement and understanding of SiO_2/SiGe interface **properties** are important

High k / Ge MISFETs

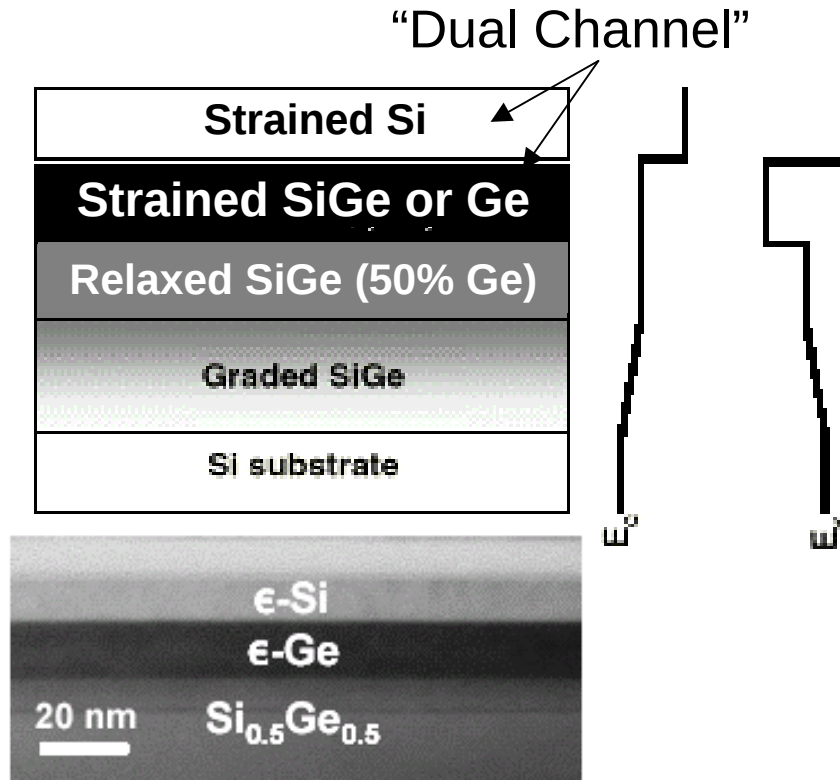


C.-O. Chui et al., IEDM (2002) 437
A. Ritenour et al., IEDM (2003) 433

- high k / Ge MIS界面には、
界面遷移層ができにくいと言う
報告が有る
- 移動度の十分高い high k /
Ge MISFETは、まだ実現され
ていない



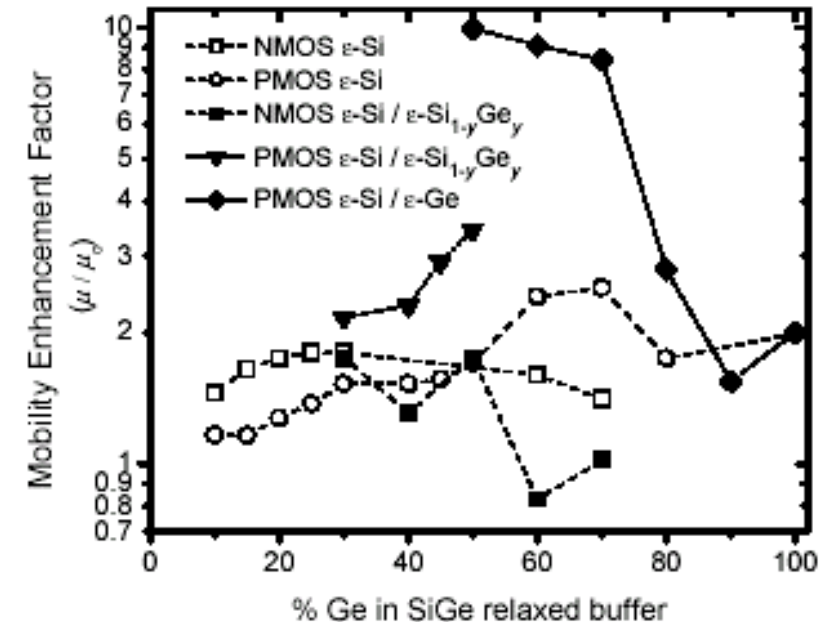
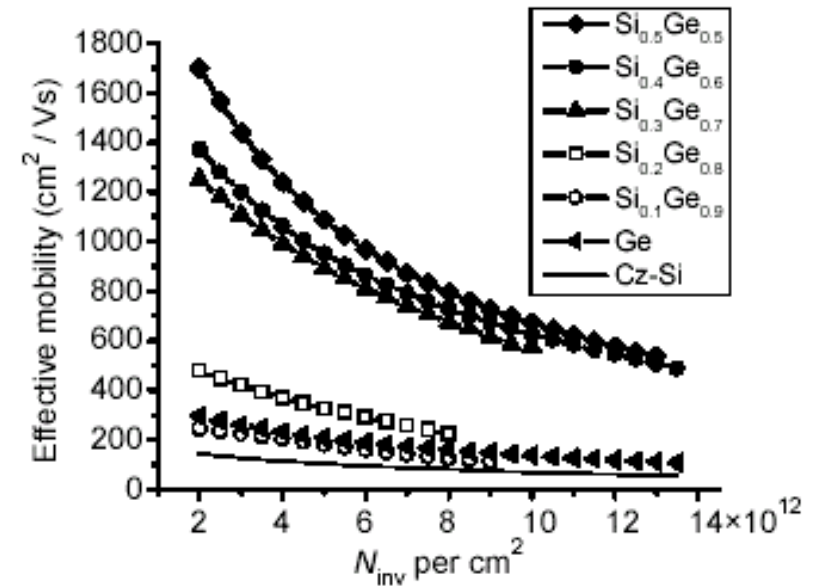
Dual channel CMOS using pure Ge pMOS



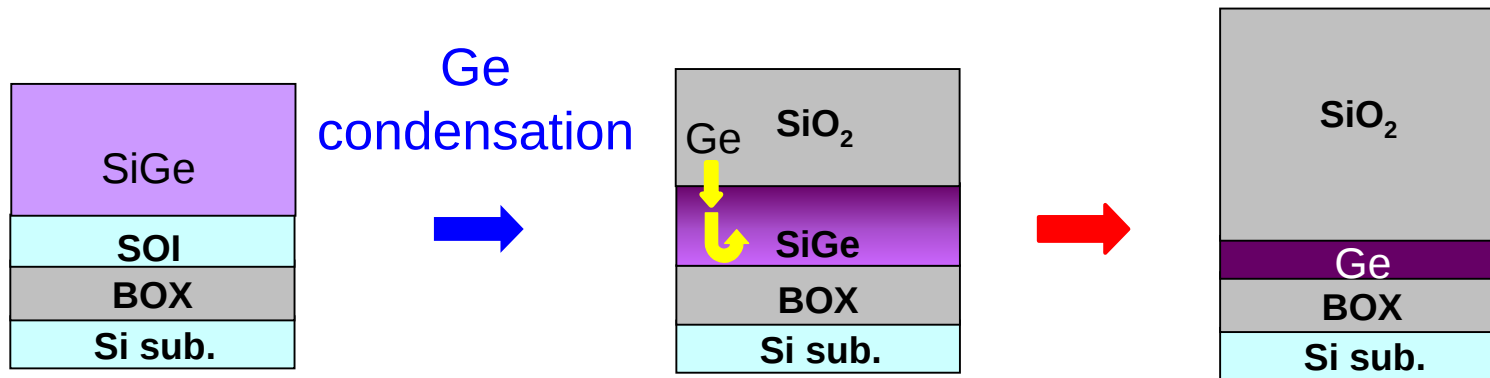
C.W. Leitz et al., MRS Proc. 686(2002)113

M.J. Lee et al., IEDM (2003) 429

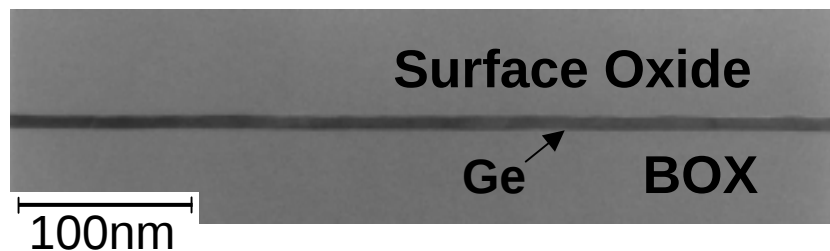
- Very high hole mobility can be obtained for strained-SiGe p-MOSFETs with high Ge contents



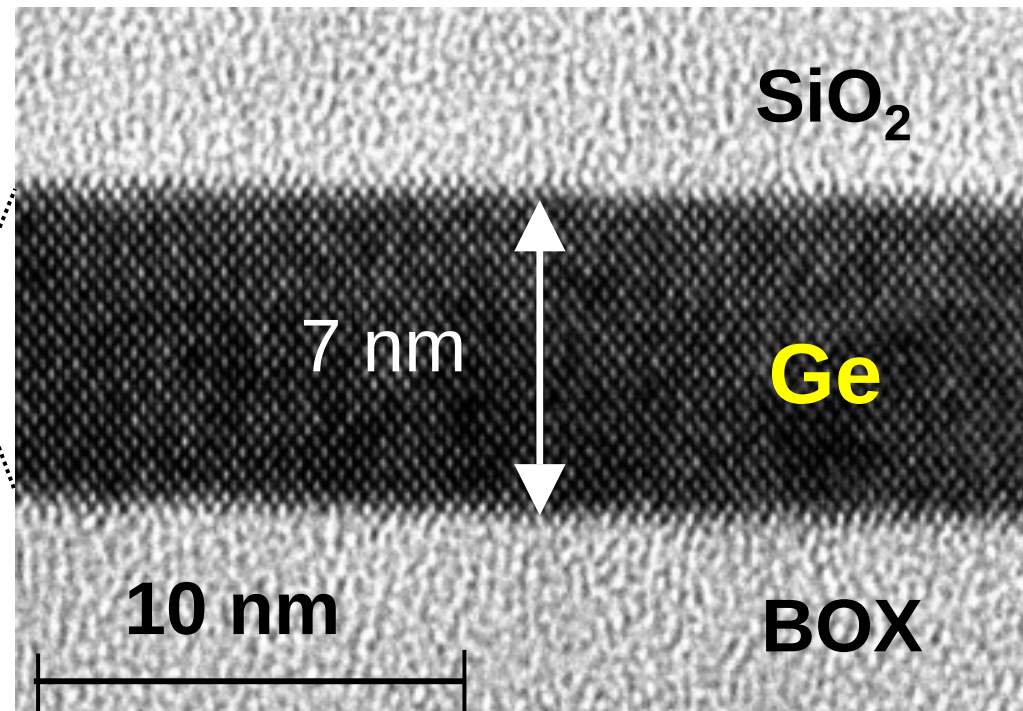
GOI (Ge-On-Insulator) Structure fabricated by Ge Condensation Technique



Cross-sectional TEM



Residual Si conc. < 0.01 %



まとめ

- サブ70nm世代の高性能CMOSを実現するためには、スケーリングに加えて、材料・構造の変更を伴う種々のチャネルエンジニアリングが必要となると予想される
- ひずみSiチャネルは、現行のSi MOSの工程を大きく変えずに、性能向上が図れる点で、near term での導入が期待できる。このため、現在、多様なひずみ印加方法が探索されている。ひずみSOI CMOSは、バルク基板上のひずみSi CMOS技術のもつ課題を解決できる可能性があり、更に次世代の素子として期待できる
- 短チャネル効果抑制のためには、平面型・立体型問わず、極薄SOIチャネルが必要である一方、SOI膜厚ゆらぎによる移動度劣化・ばらつき増大には十分留意が必要である
- 将来的には、高移動度チャネルと立体構造の両立が課題となる
- 極薄SOI、ひずみSi、GOIなどのチャネル構造のエンジニアリングは、バリスティックMOSFETにおいても有用であり、有効質量と状態密度の低減による注入速度の増大のため性能向上が図れる

本講演で紹介した研究結果の一部はNEDOにより委託され実施したものである