

STRJ WS

フロントエンドプロセスの今後の動向 ～最近の学会報告から～

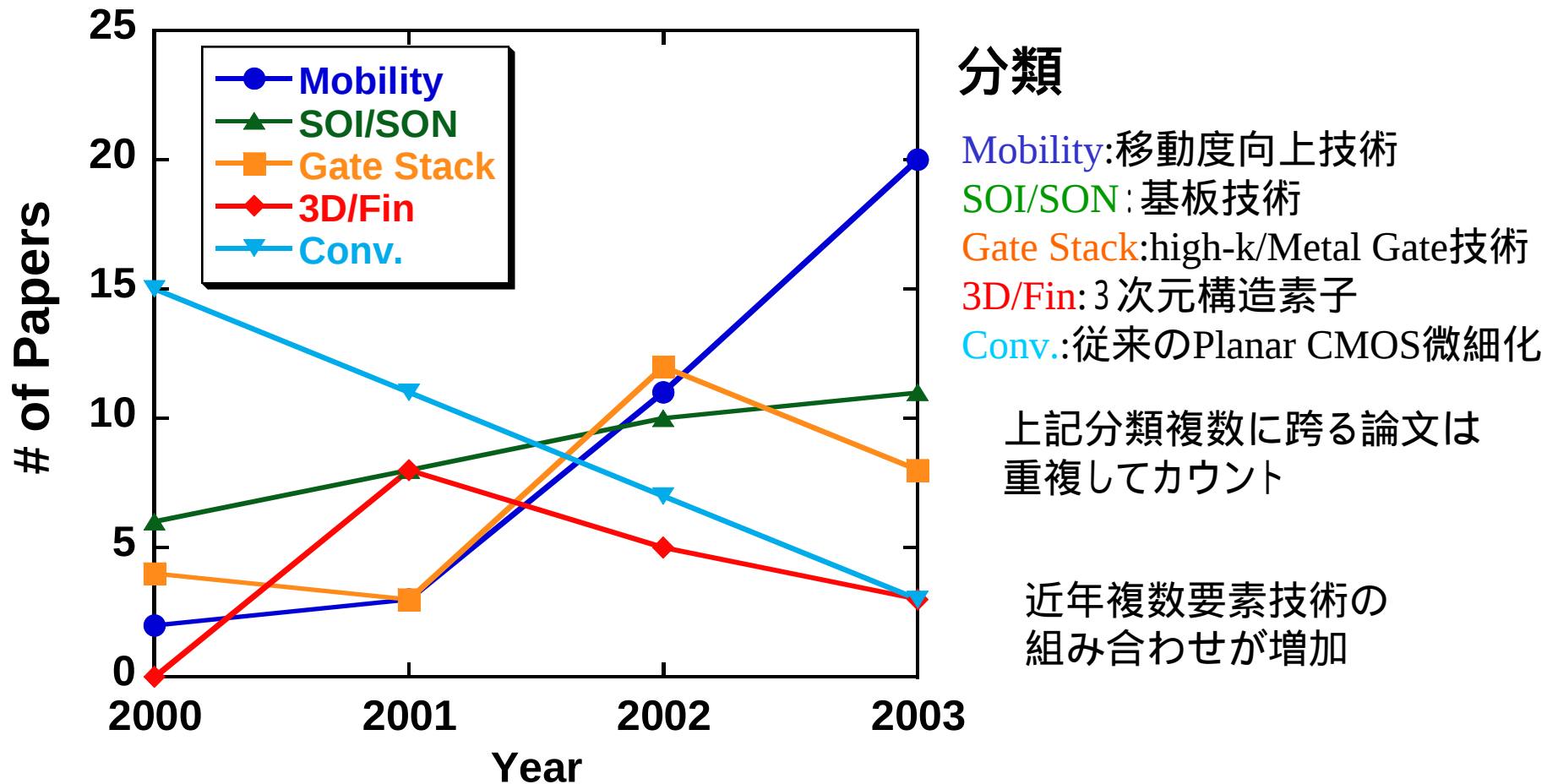
2004/03/04

(株)東芝 セミコンダクター社

SoC研究開発センター

石丸一成

IEDM論文傾向(CMOS Devices)

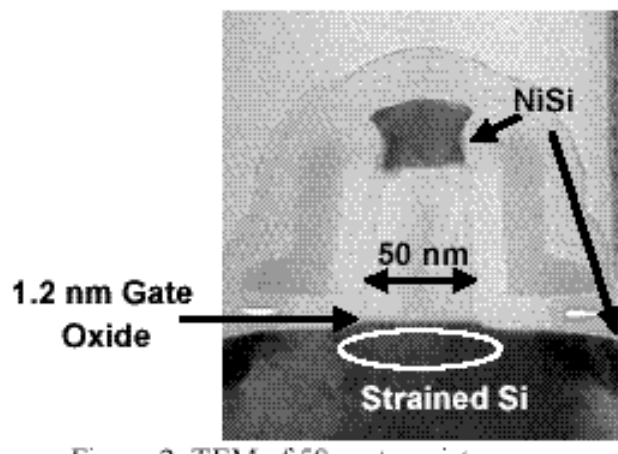


最小ゲート長は10nm以下になっており、量産より12年以上先行

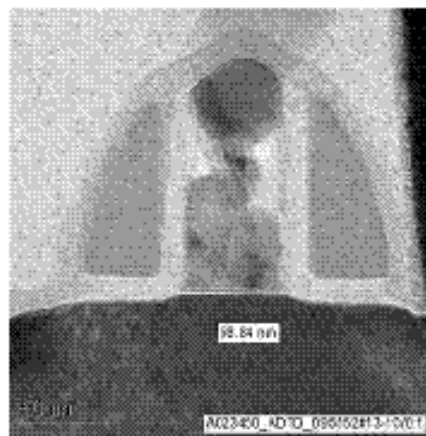
IEDM'02 各社90nm MOSFET比較

Company	Lg(nm)	EOT(nm)	Vdd(V)	Ion(uA/um)	Mobility
Intel	50	1.2	1.0	960/460(@40nA) 1260/630(@1.2V)	+10-20%
TSMC	45/50	<1.4	1.0	830/380(@75nA)	0
Samsung	50	1.3	1.0	850/360(@90nA)	0
旧ITRS	45	0.9-1.4	1.0	900(@100nA)	0

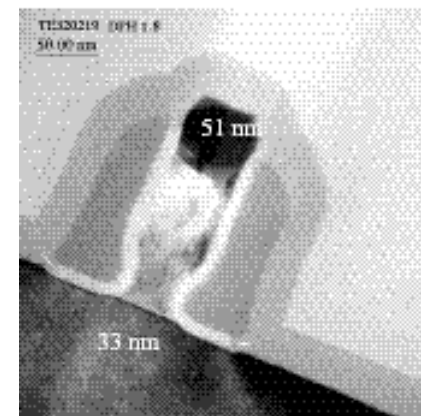
ITRS'03 37 1.2 1.2 1110(@50nA) +30%



Intel



TSMC



Samsung

各社旧ターゲットをほぼ達成。Intelのみ2003年版Targetをクリア

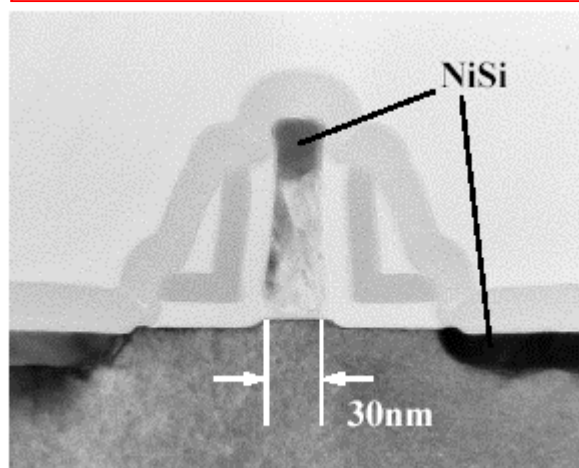
各社65nm世代MOSFET比較

Company	Lg(nm)	EOT(nm)	Vdd(V)	Ion(uA/um)	Ioff(nA/um)	Mobility
富士通	35	1.1(Tphy)	0.85	650	70	Yes
NEC	43	1.3	0.9	680	30	?
東芝	40	1.4	0.9	710	40	No

LOP@2006

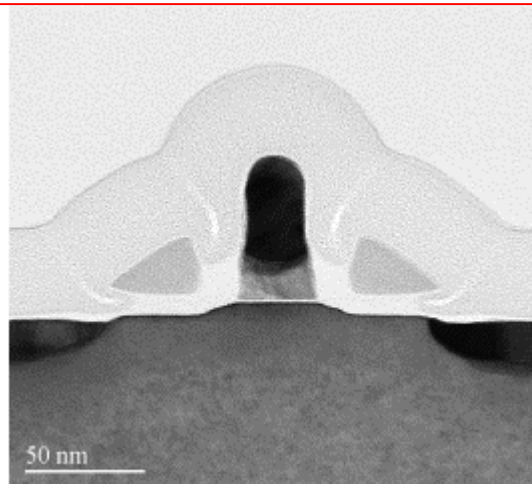
ターゲットに対しIoff 1桁低減必要

ITRS'03	37	1.3	0.9	610	3	No
---------	----	-----	-----	-----	---	----



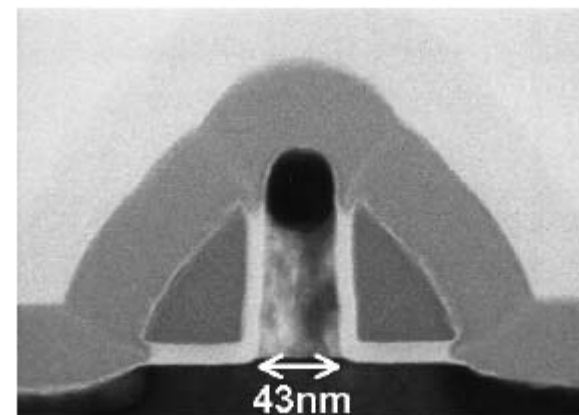
東芝

N. Yanagiya, et. al. IEDM'02



富士通

K. Goto, et. al. VLSI'03



NEC

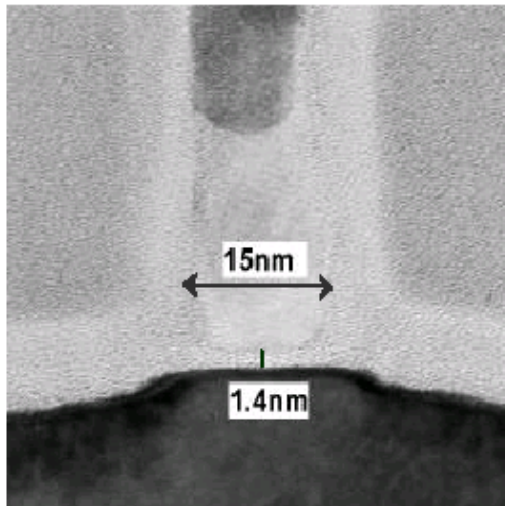
T. Fukai, et. al. VLSI'03

Sub-20nm Gate MOSFET

Company	Lg(nm)	EOT(nm)	Vdd(V)	Ion(uA/um)	Ioff(nA/um)	Mobility
AMD	15	0.8	0.8	615	500	No
東芝	14	1.1	0.8	640	300	No

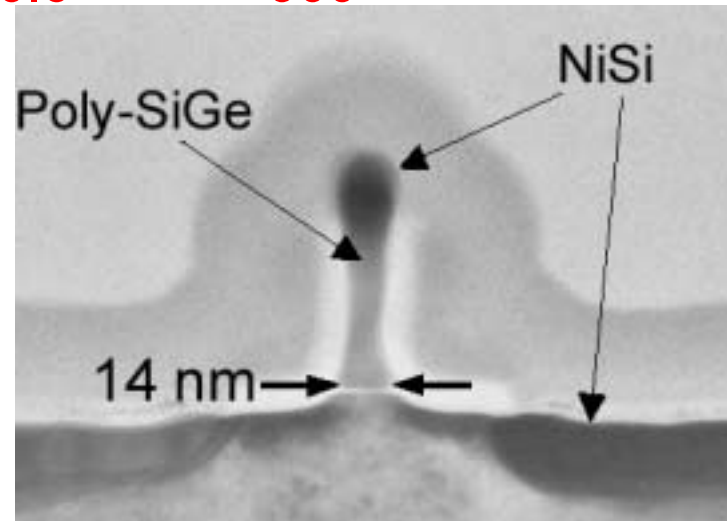
形が出来たのみ。性能は遠く及ばない。今後10年近く掛けて性能改善。

HP@2012	14	0.7	0.9	1790	100	2
LOP@2015	13	0.8	0.6	900	10	2



AMD

B. Yu, et. al. IEDM'01

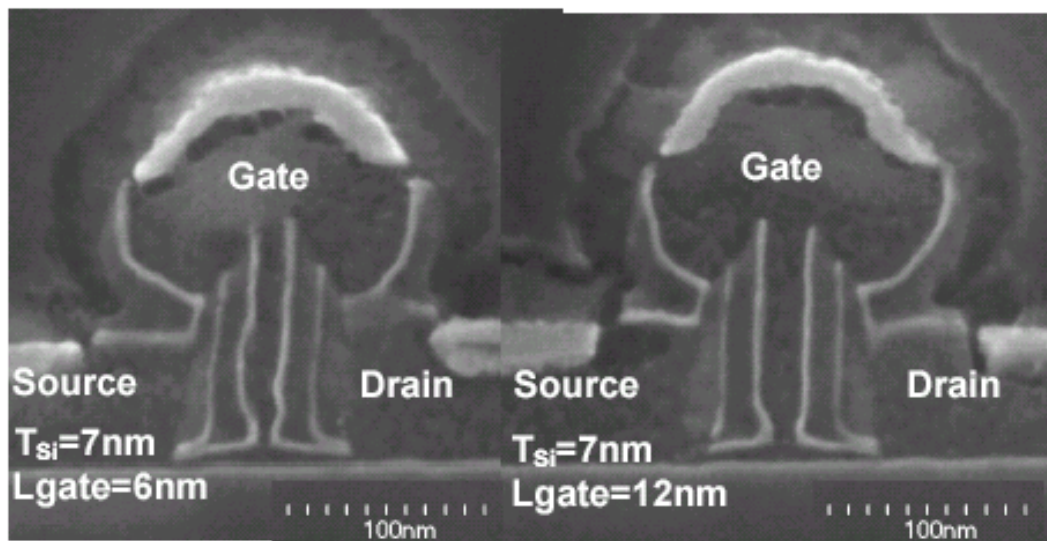


東芝

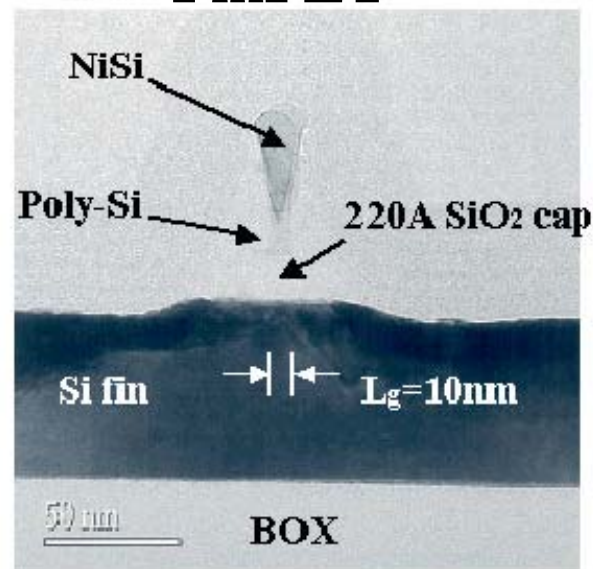
A. Hokazono, et. al. IEDM'02

Sub-10nm Gate MOSFET

FD-SOI



FinFET

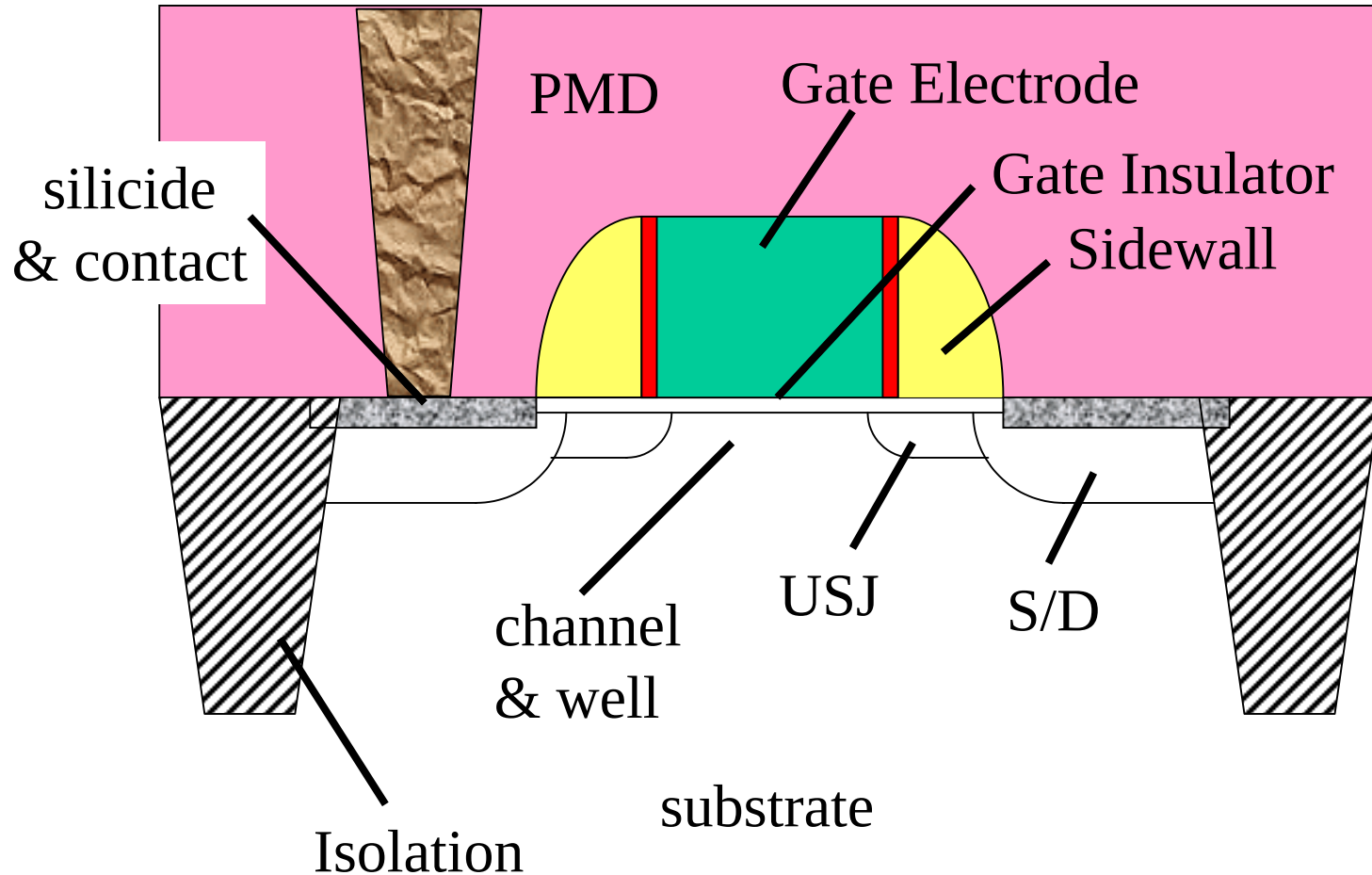


IBM:B.Doris et.al., IEDM'02

AMD:B.Yu et.al., IEDM'02

従来のPlanarとは異なるアプローチ必要か？

FEOL Key Components

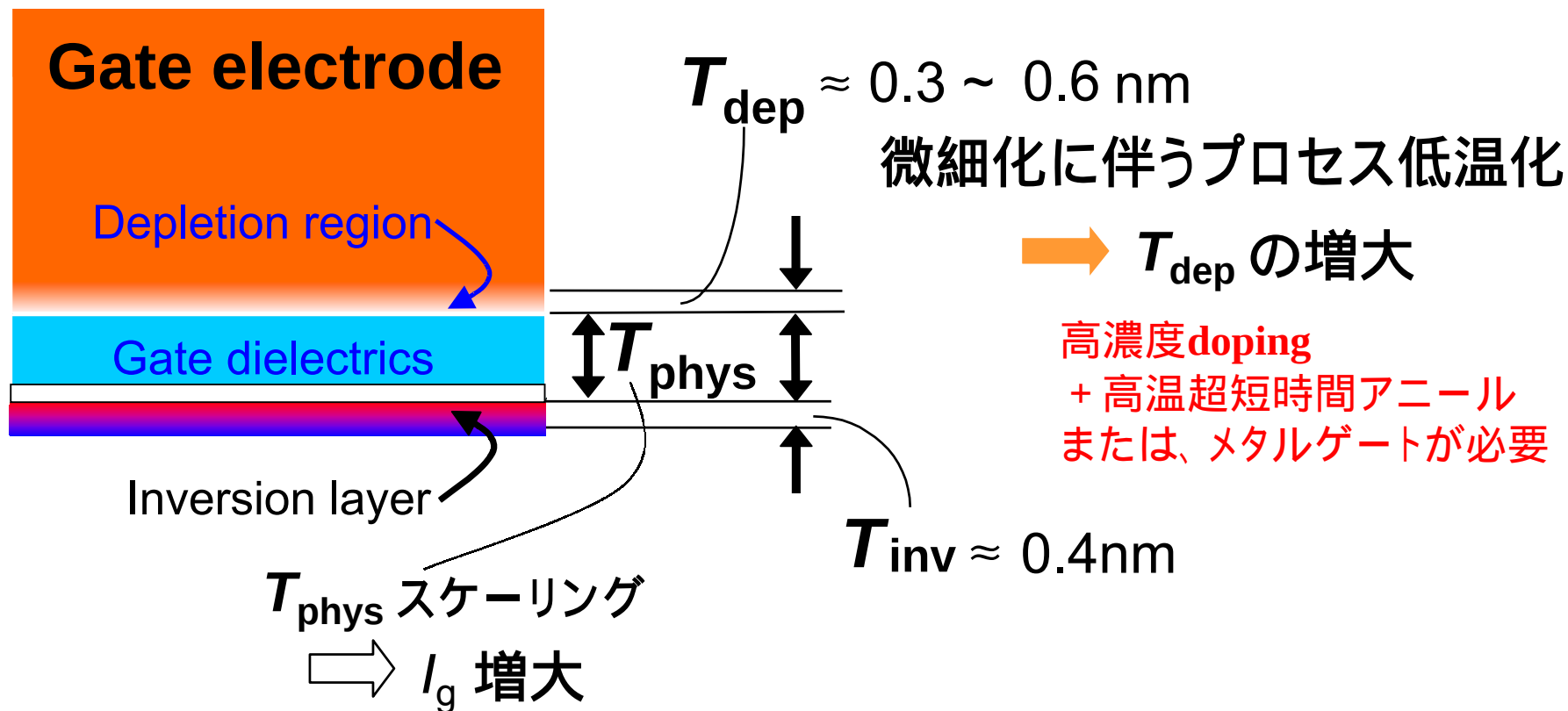


Outline

- Gate Stack (high-k/metal gate)
- USJ (doping/annealing)
- Mobility Enhancement
- High Density Memory
- Others
- Conclusion

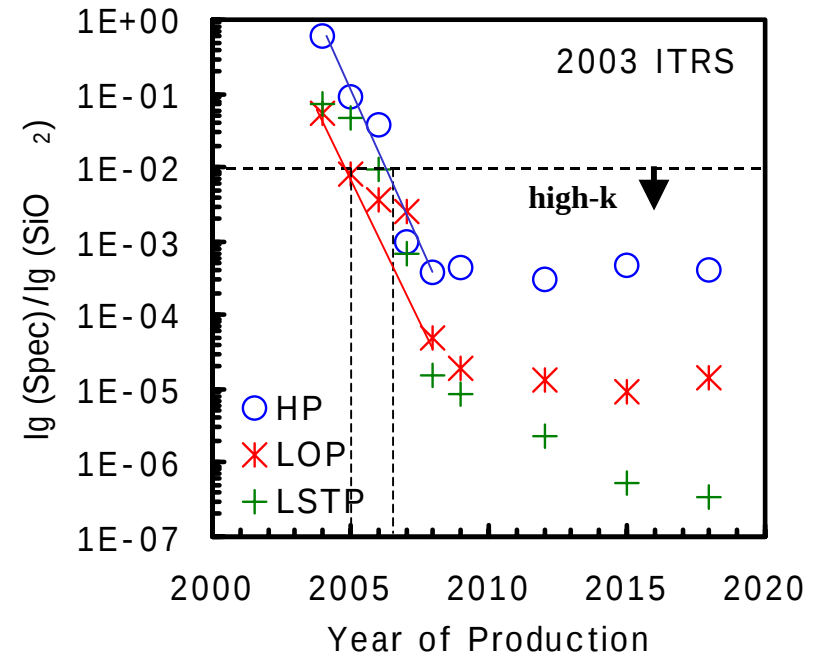
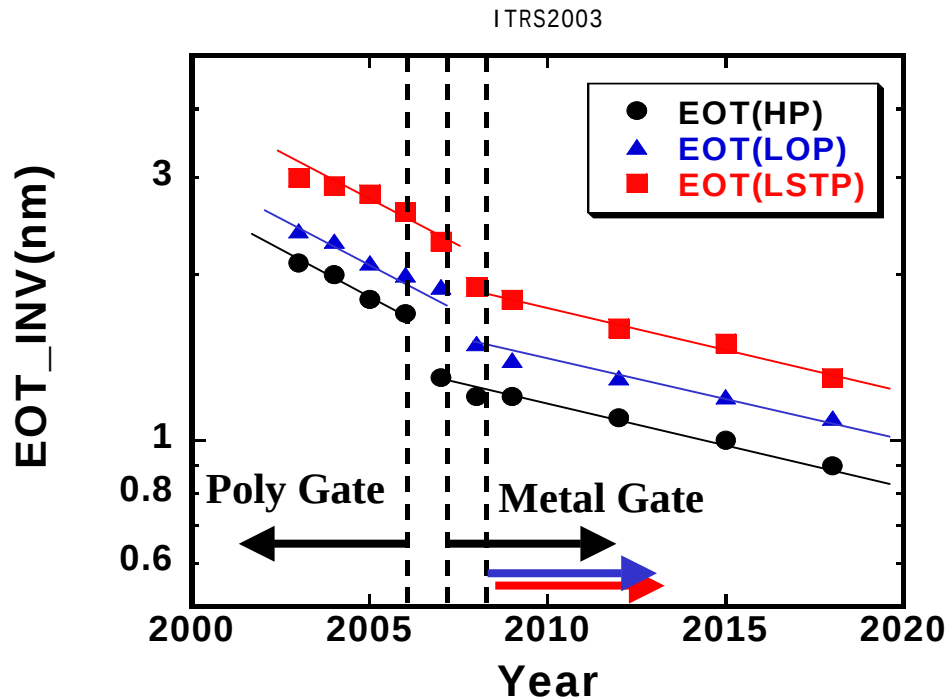
Gate Stack

ゲート電極・絶縁膜の最適化



トンネル電流低減には、物理膜厚増大が必須。
high-k化は必然であるが、界面酸化膜の影響無視できない。
移動度を考慮した最適化が重要。

Metal Gate/High-k導入時期

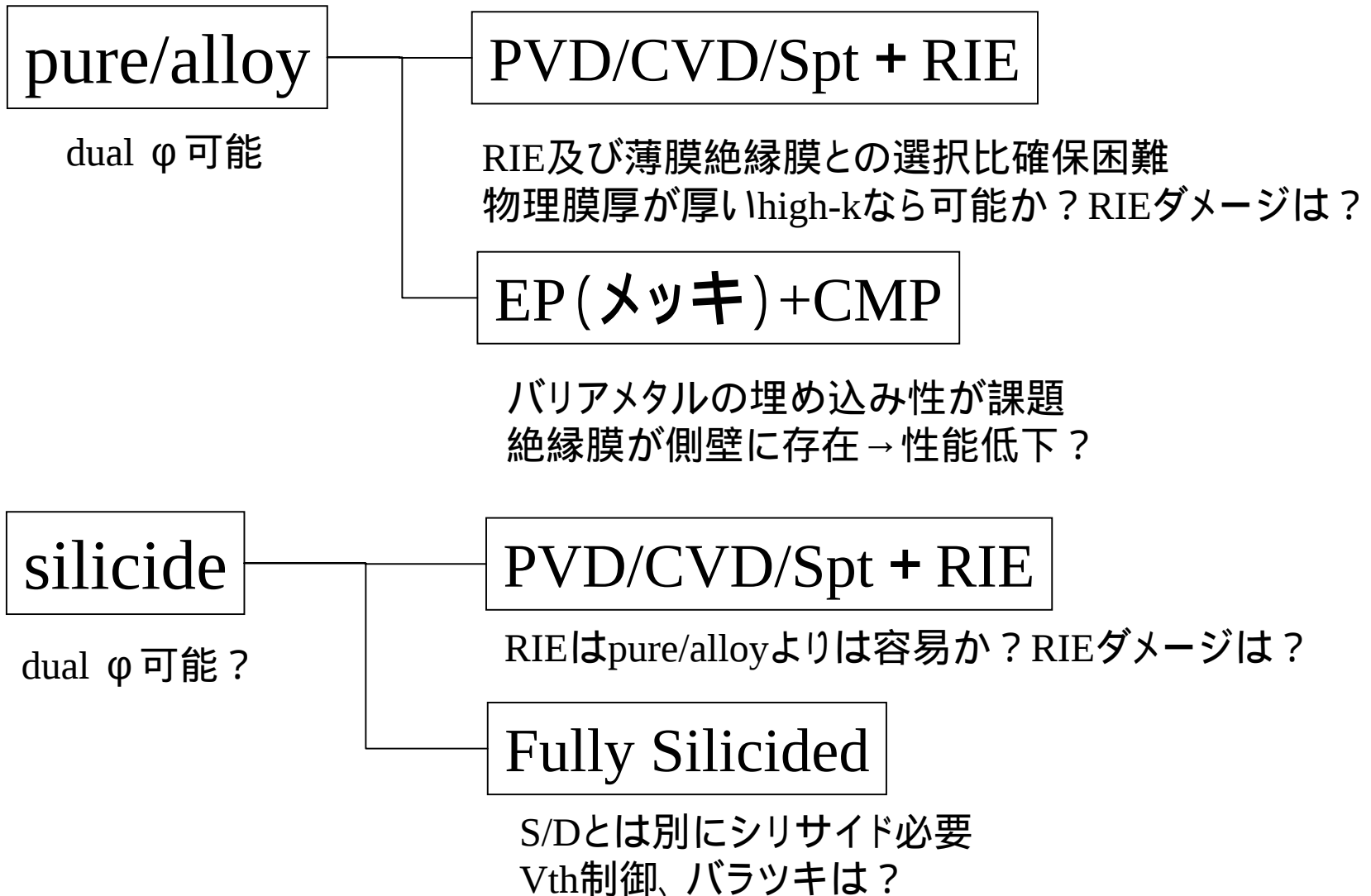


High-kと同時導入か一方を先に導入するか？
2年以内に信頼性含め量産レベルに持っていけるか？

可能性のある選択肢は

(1) SiON+Fully Silicided (2) High-k+Fully Silicided (3) High-k+Metal

メタルゲート形成プロセス



IEDM 2003

Session 13: Process Technology - Metal Gate Technology

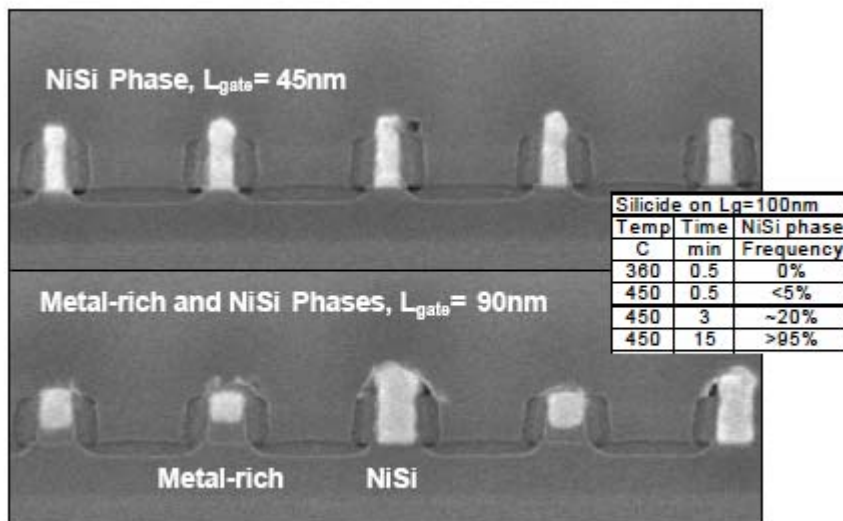
"Click on above link for Session Outline"

Co-Chairs: Toyoji Yamatomo, NEC

Jakub Kedzierski, IBM

- ☐ Fermi Level Pinning with Sub-Monolayer MeOx and Metal Gates
- ☐ Performance Comparison of Sub 1 nm Sputtered TiN/HfO₂ nMOS and pMOSFETs
- ☐ Threshold Voltage Control in NiSi-Gated MOSFETs through Silicidation Induced Impurity Segregation (SIIS)
- ☐ Fully Silicided NiSi and Germanided NiGe Dual Gates on SiO₂/Si and Al₂O₃/Ge-On-Insulator MOSFETs
- ☐ Compatibility of Dual Metal Gate Electrodes with High-K Dielectrics for CMOS
- ☐ Performance Improvement of MOSFET with HfO₂-Al₂O₃ Laminate Gate Dielectric and CVD-TaN Metal Gate Deposited by TAIMATA

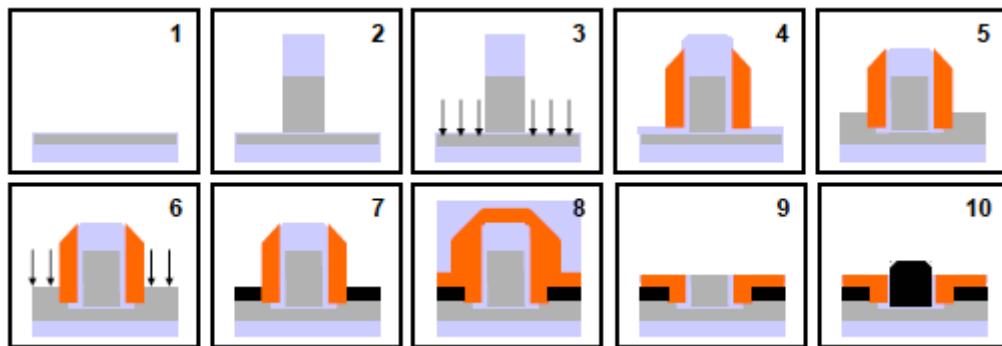
Fully Silicided Metal Gate



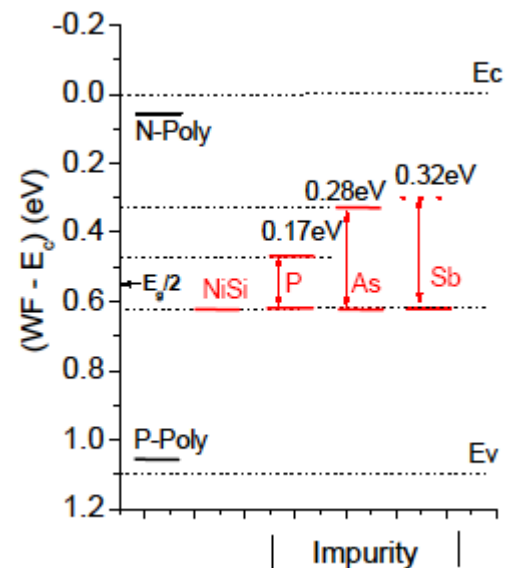
S/Dとは別にシリサイド化必要
 V_{th} 制御範囲が狭い、制御性？



ch dopingによる V_{th} 合わせ込みでは
 短チャネル特性が劣化
 high-kとの組み合わせ不明

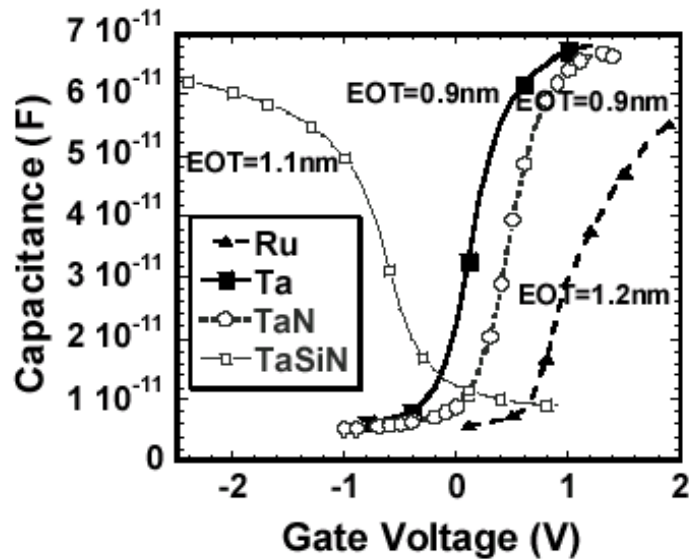


(J. Kedzierski, et. al., (IBM)IEDM'03)



SiON系絶縁膜と組み合わせメタルゲート実現までの繋ぎ？

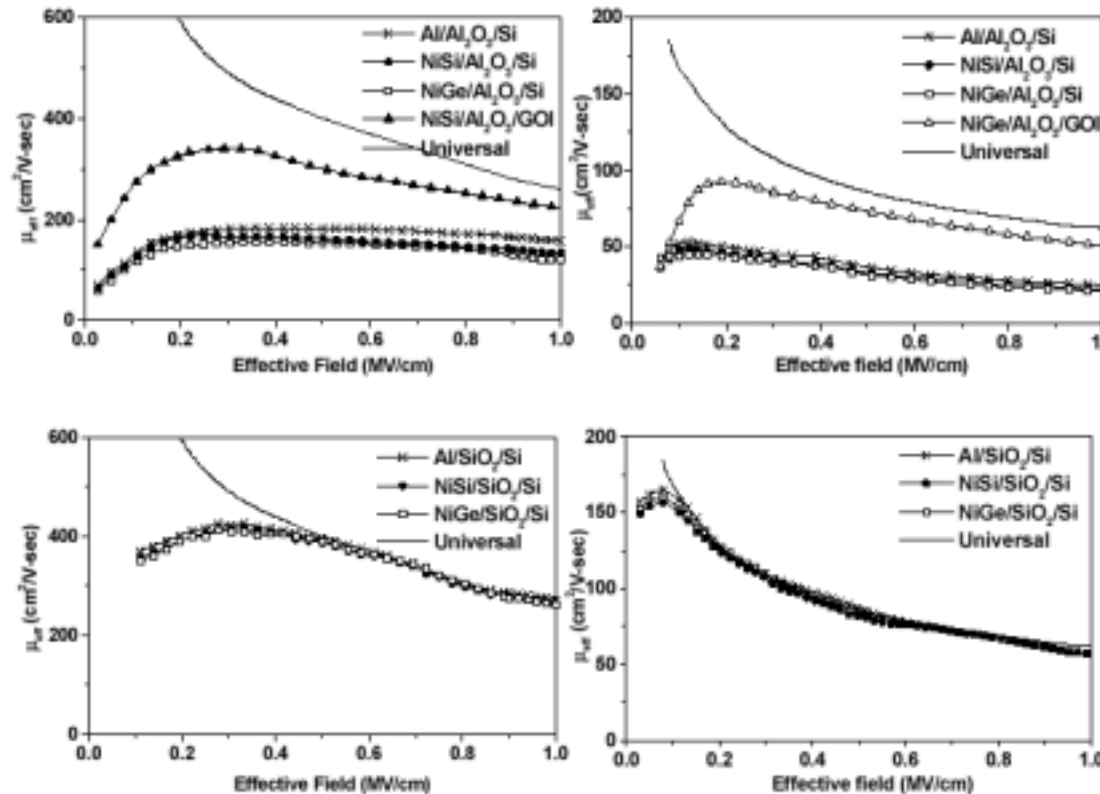
High-k/Metal Stack



JH. Lee et. al., (NCSU)IEDM'03

HfO₂(PVD)+Sptで形成
Fermi Pinningは見られない

CMOS実現プロセスは？



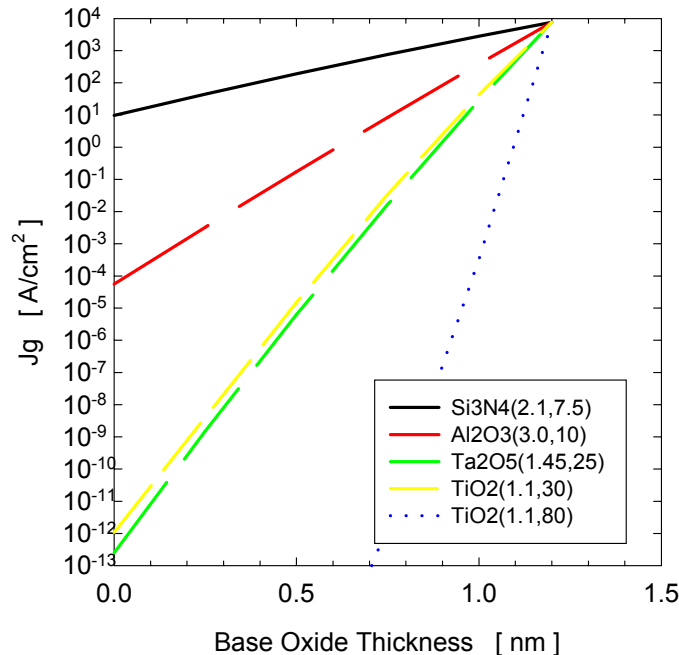
C.H. Huang et. al., (NCTU)IEDM'03

NiSi:4.55eV

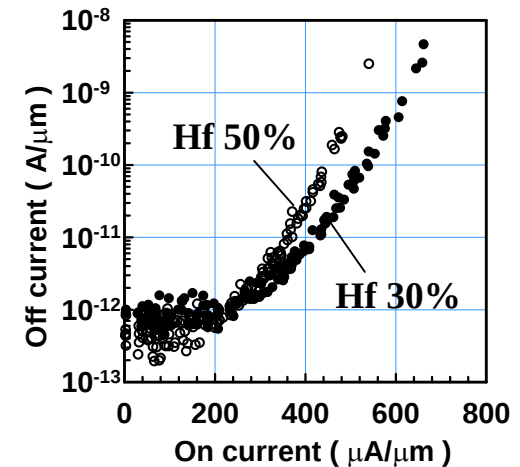
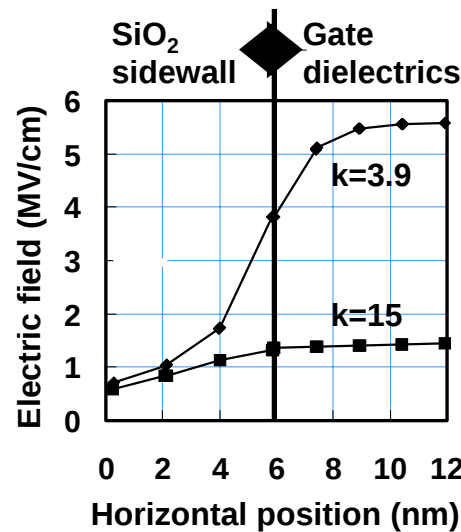
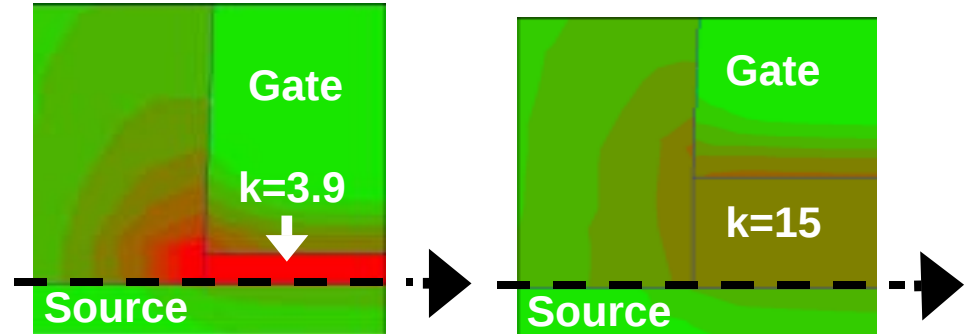
NiGe:5.2eV

High-k材料選定と最適化

Jg vs. Base Oxide Thickness for EOT=1 nm
(@Eox=4.5 MV/cm, Vdd=0.8 V)



単にkを増大させることによる
リーク電流低減は可能。
MOSFET性能を考慮した最適な
kの選択が重要。
DRAM MIM-capはどうするか？



T. Watanabe, et. al., (Toshiba)VLSI'03

いたずらに高いkは性能低下を招く

耐熱性、B突き抜け、移動度等課題多い
Vfbシフト問題解決できなければメタルゲート必須

IEDM 2003

Session 4: Process Technology - Hf-based Gate Dielectrics

"Click on above link for Session Outline"

Co-Chairs: Glen Wilk, ASM America

Bich-Yen Nguyen, Motorola

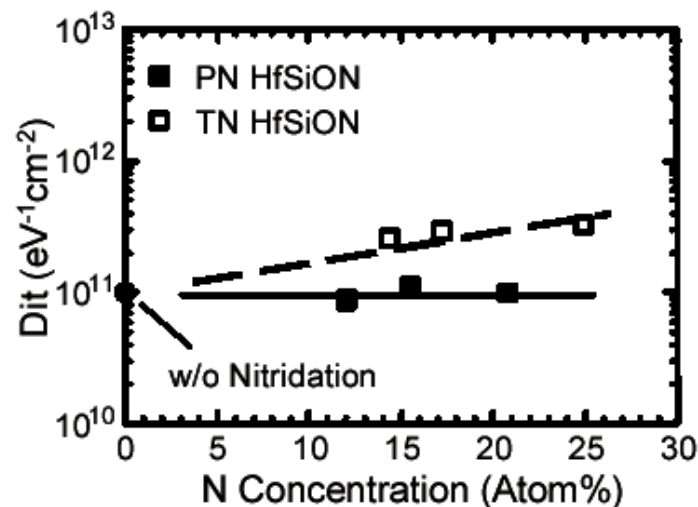
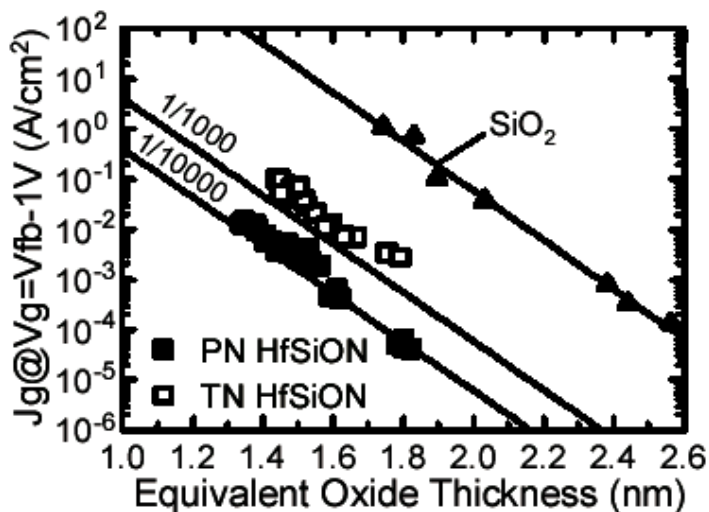
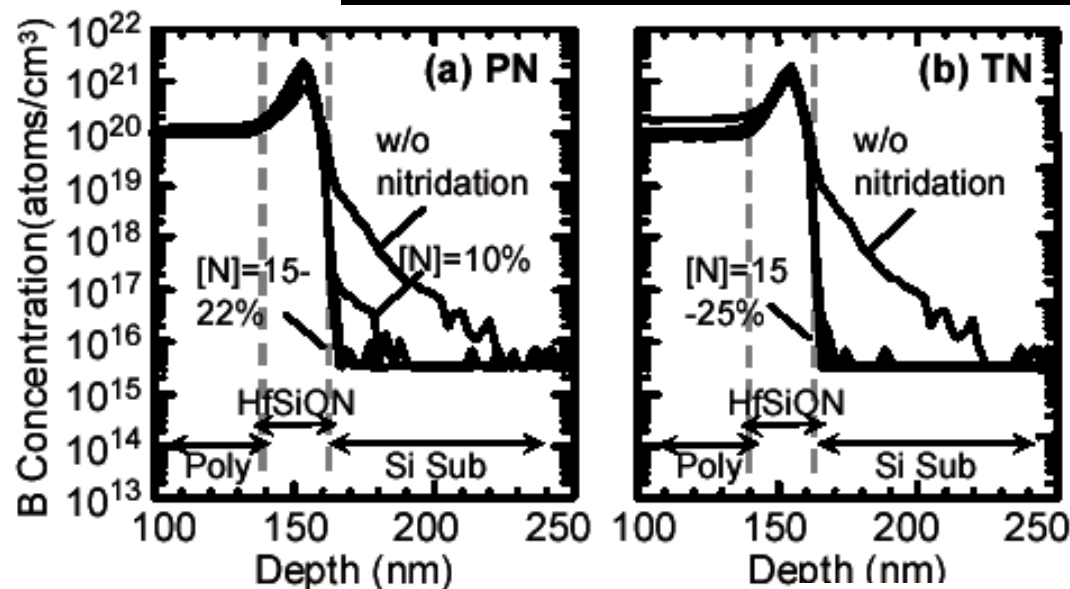
- ☐ ALD HfO₂ Using Heavy Water (D₂O) for Improved MOSFET Stability
- ☐ The Impact of Sub Monolayers of HfO₂ on the Device Performance of High-k Based Transistors
- ☐ Problems with Metal-Oxide High-k Dielectrics Due to 1/t Dielectric Relaxation Current in Amorphous Materials
- ☐ High-K Dielectrics and MOSFET Characteristics
- ☐ Thermally Robust High Quality HfN/HfO₂ Gate Stack for Advanced CMOS Devices
- ☐ Nitrogen Profile Control by Plasma Nitridation Technique for Poly-Si Gate HfSiON CMOSFET with Excellent Interface Property and Ultra-Low Leakage Current
- ☐ Effect of Hf-N Bond on Properties of Thermally Stable Amorphous HfSiON and Applicability of this Material to Sub-50nm Technology Node LSIs

材料はHf系に絞られている

成膜プロセス最適化

HfSiON

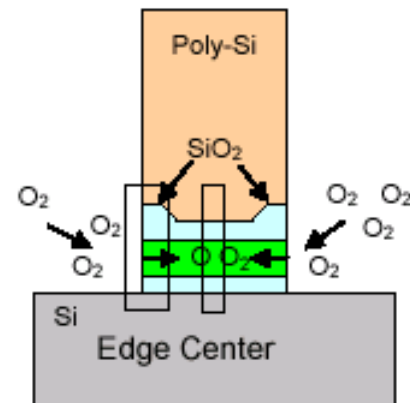
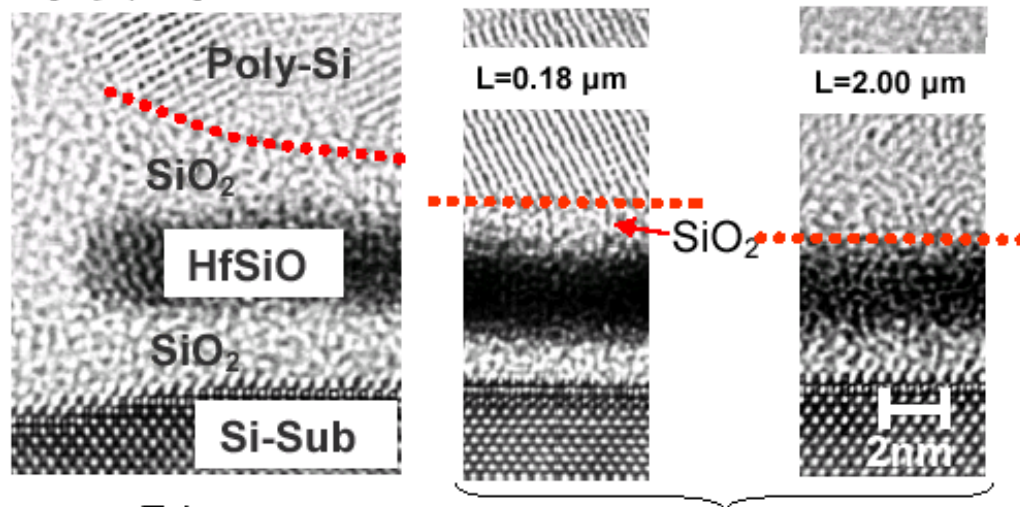
膜質の窒化プロセス依存
プラズマ窒化が有効



K. Sekine et. al., (Toshiba)IEDM'03

後酸化による特性劣化

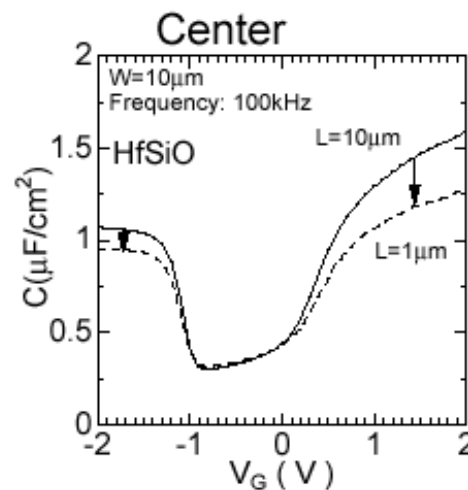
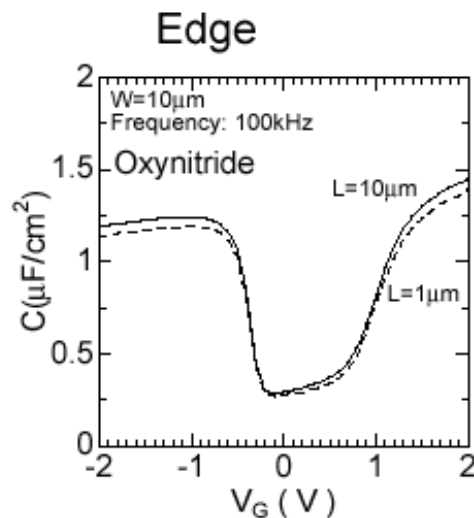
$\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ sidewall was observed.



側壁からの O_2 侵入
抑制が必要

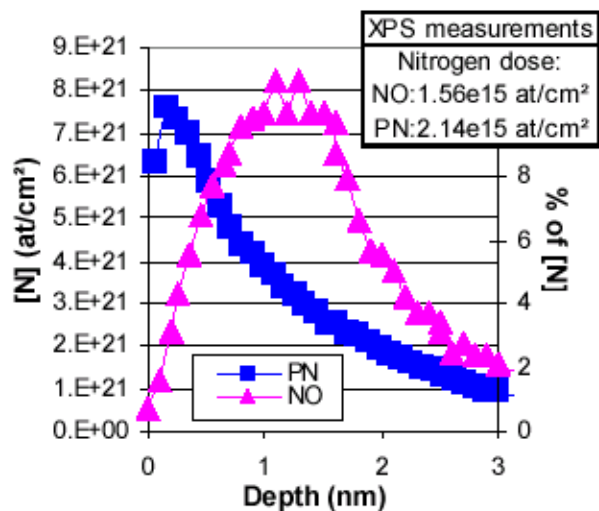
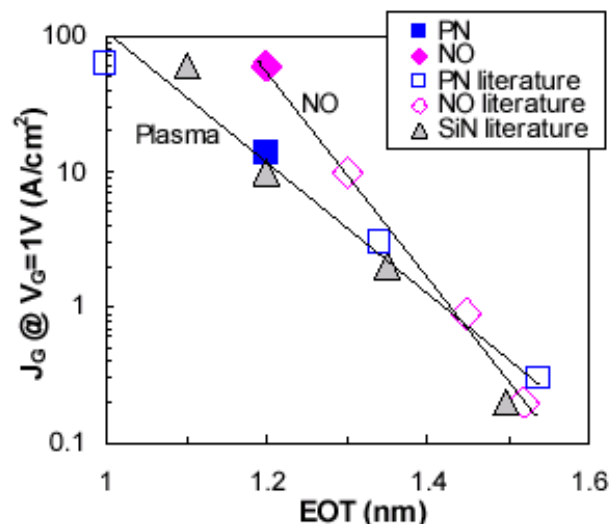


SiN側壁直付け構造

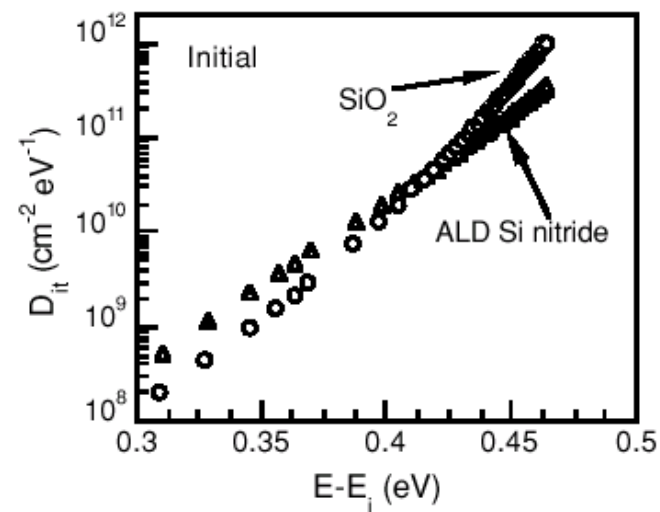
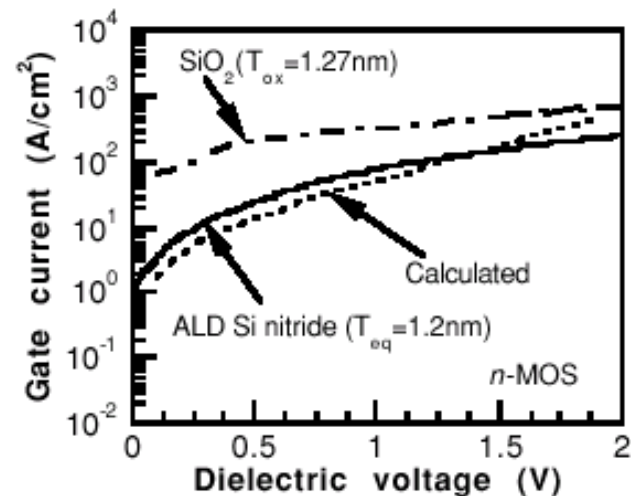


T. Iwamoto, et. al., (NEC)IEDM'03

SiON/SiN系の延命



B. Tavel, et. al., (Philips)IEDM'03

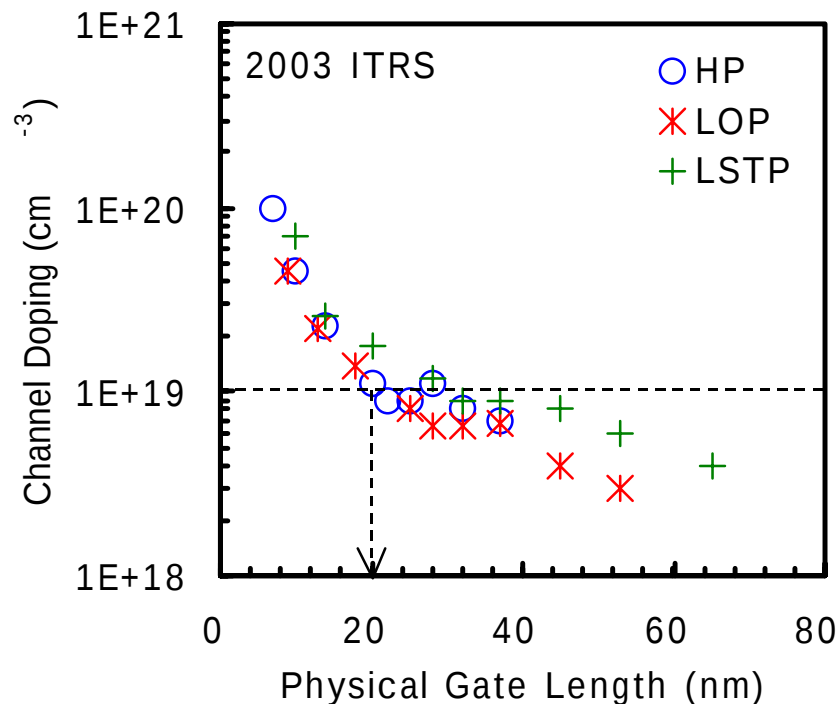
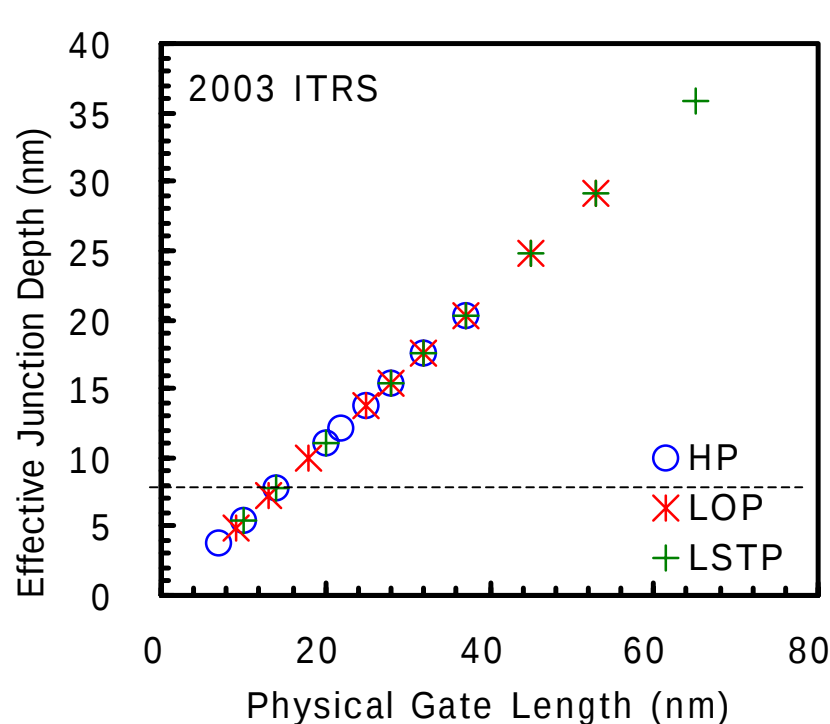


A. Nakajima, et. al., (Hiroshima Univ.)'IEDM'03

High-kのcontingencyとして検討は続けられている

Ultra Shallow Junction

接合深さ・チャネル濃度のスケーリング

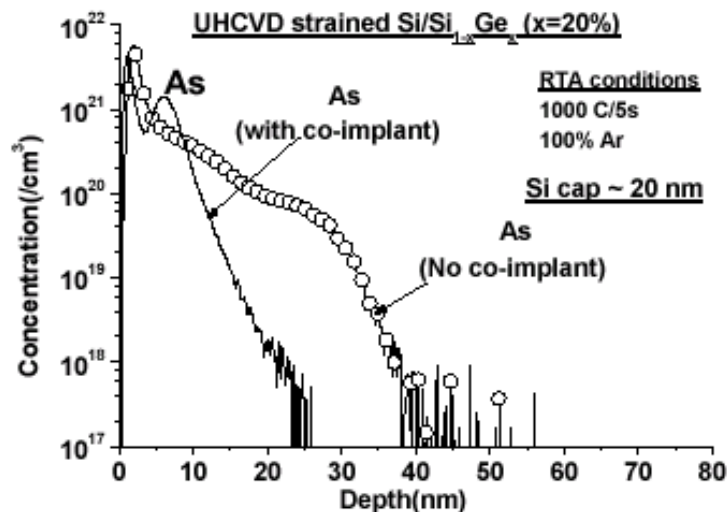


- Extension $X_j = 0.55L_g$

イオン注入 + 拡散を伴わない
アニールでは困難

- $L_g < 20 \text{ nm}$ で実効チャネル濃度 $> 1\text{E}19 \text{ cm}^{-3}$
トンネルリークの懸念

co-implantによる浅接合

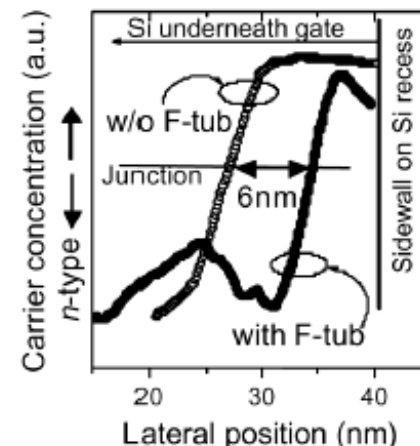
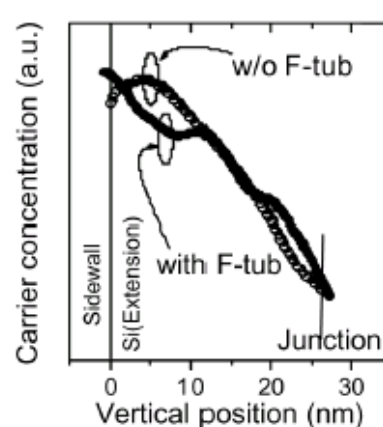
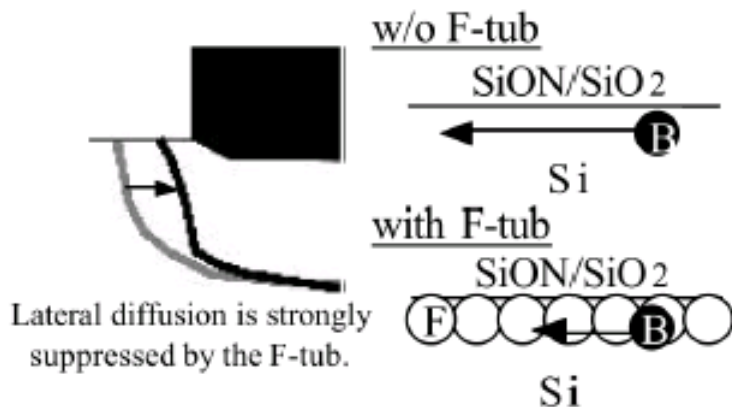


co-implaにより歪みSi/SiGe中のAs拡散を抑制

Spikeアニールとの組み合わせで65nm世代はクリアできるか？

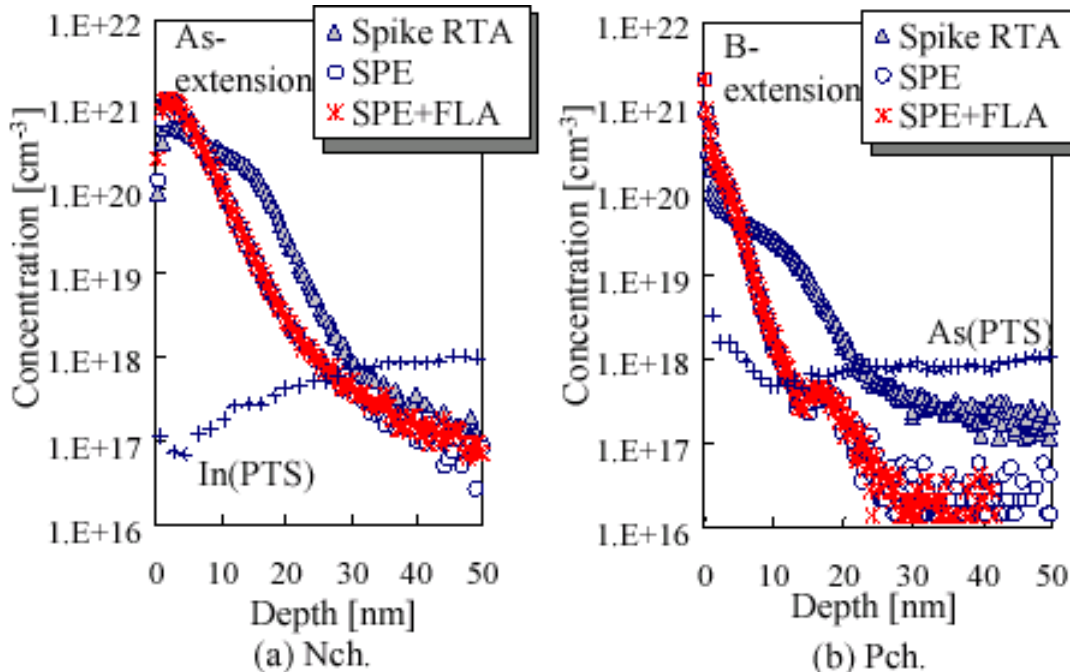
K.L. Lee et. al., (IBM)IEDM'03

FによるBの横方向拡散抑制



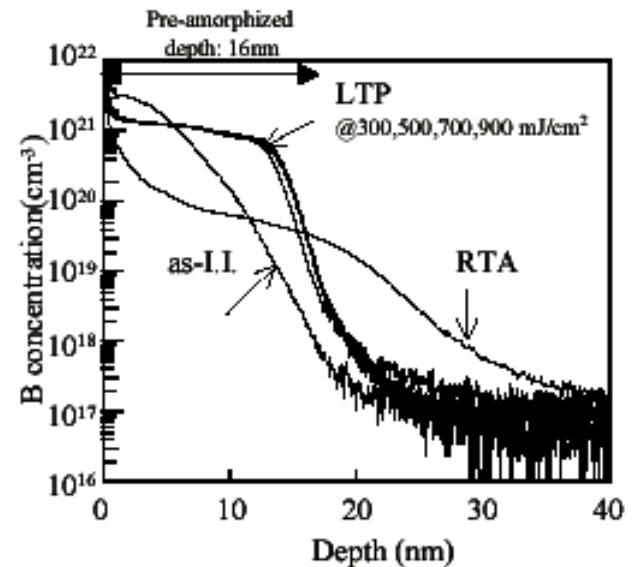
H. Fukutome, et. al., (Fujitsu Lab.)IEDM'03

アニール技術による拡散抑制



F. Ootsuka, et. al., (Selete)IEDM'03

SPE+FLAにより拡散を抑制

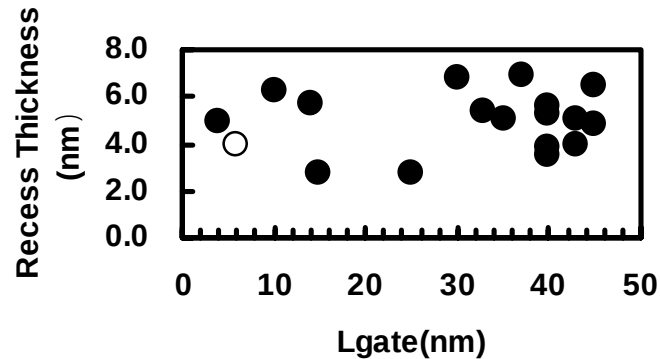


A. Shima, et. al., (Hitachi)IEDM'03

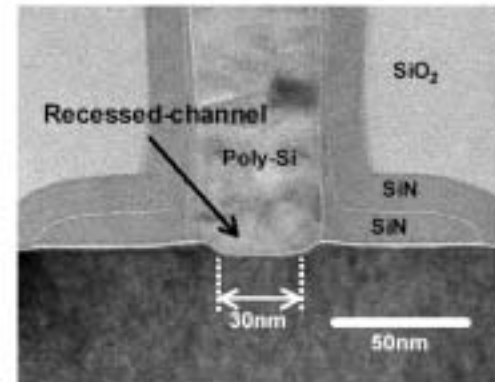
Laserメルトによる
BOXプロファイル

45nm世代では必須と考えられる

Elevate構造による性能改善

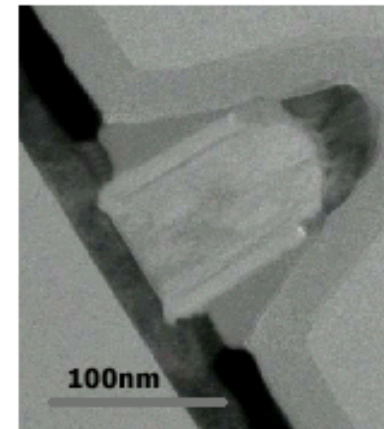
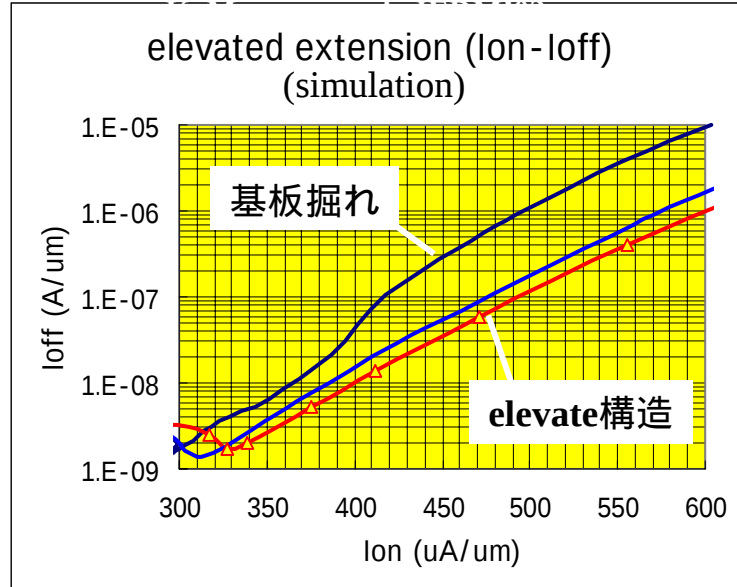


過去3年学会にて報告された
微細MOSFETの基板掘れ量



チャンネルをリセス

K. Matsuo, et. al., (Toshiba)IEDM'02



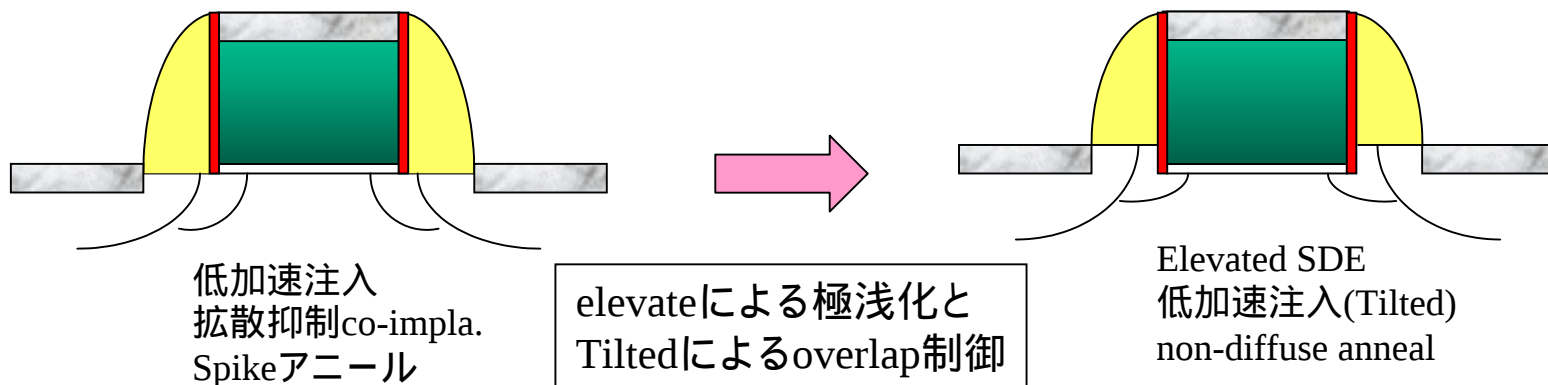
SDE, SDの持ち上げ

C.B. Oh, et. al., (Samsung)IEDM'03

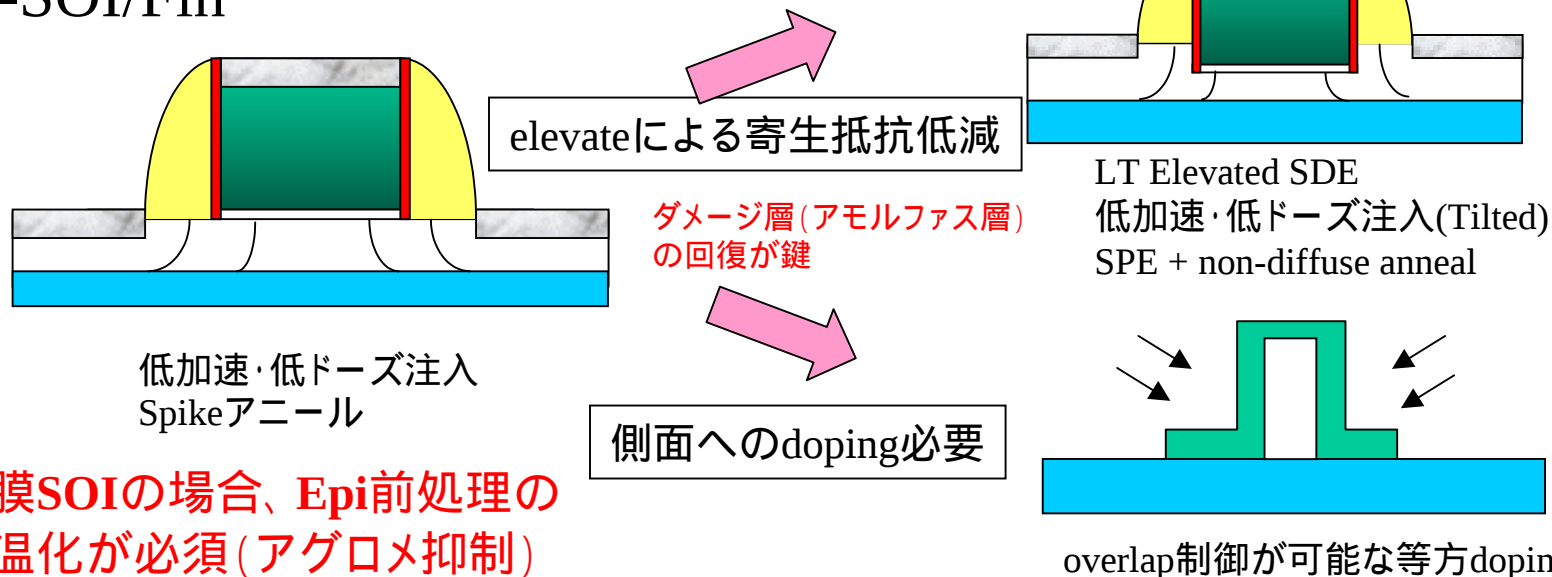
掘れ量低減だけでなく持ち上げが必要

極浅接合形成技術

Bulk/PSOI



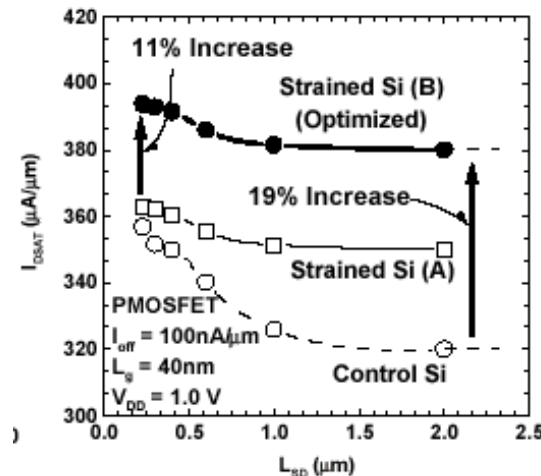
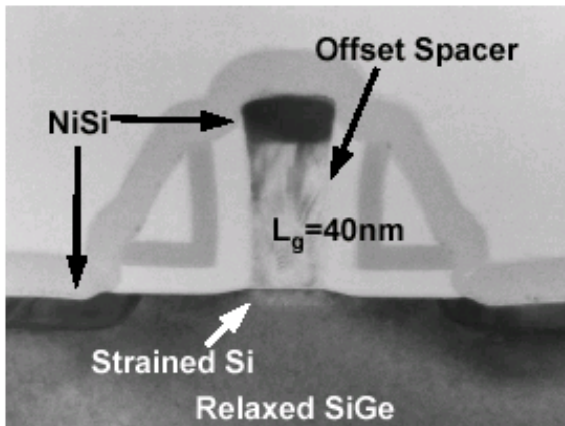
FD-SOI/Fin



薄膜SOIの場合、Epi前処理の
低温化が必須(アグロメ抑制)

Mobility Enhancement

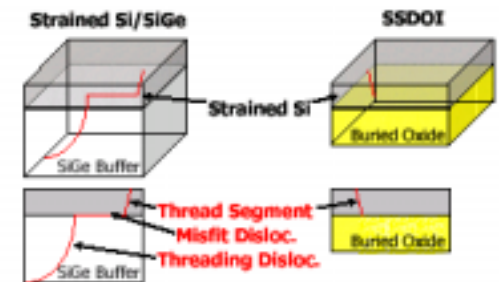
歪み基板による移動度向上



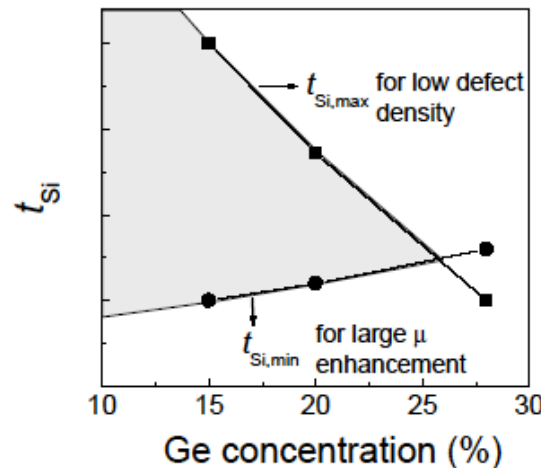
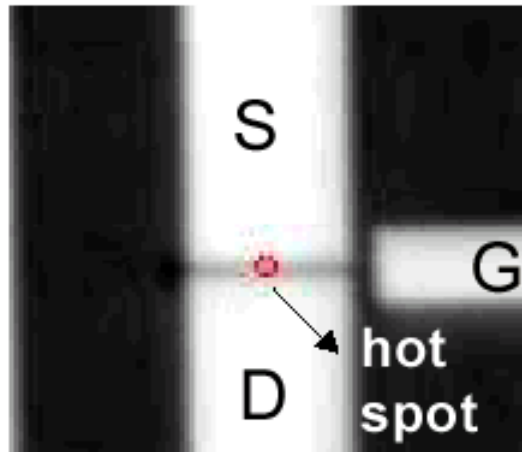
基板の特徴を生かした
pMOSの性能向上

T. Sanuki, et. al., (Toshiba)IEDM'03

狭い Process Window
1E5/cm2<の欠陥密度



K. Rim et. al., (IBM)IEDM'03
SSOIが実現可能性高いか？

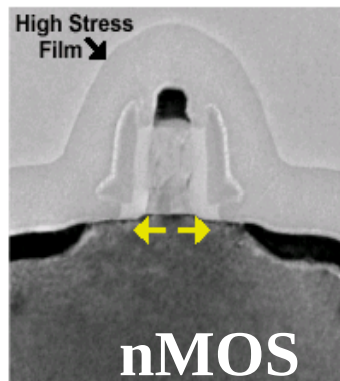


H. Wang, et. al., (TSMC)IEDM'03

STRJ WS: March 4, 2004

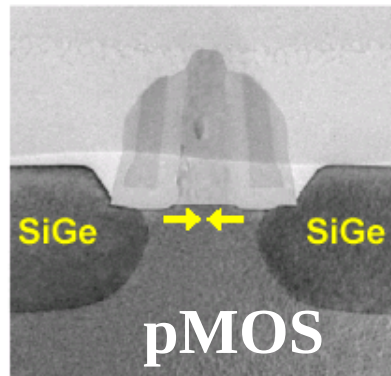
応力導入プロセス(移動度向上)

外部からの応力導入

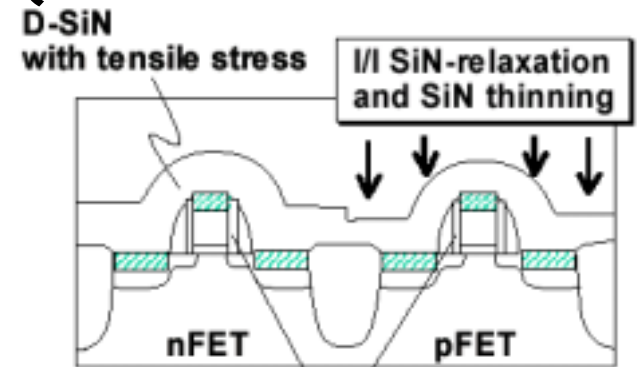


高Stress膜堆積

T. Ghani, et. al., (Intel)IEDM'03

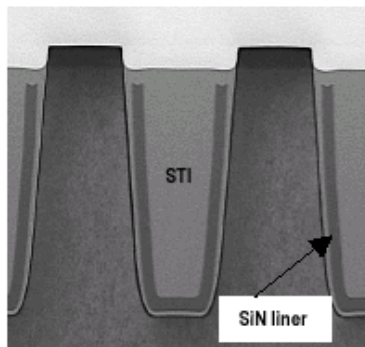


異種材料による圧縮Stress



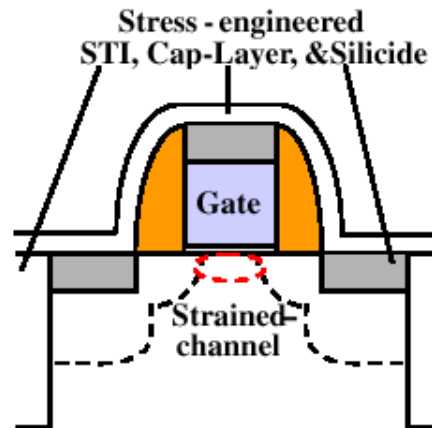
pMOSのみstress解放

Y. Nakahara, et. al., (NEC)IEDM'03

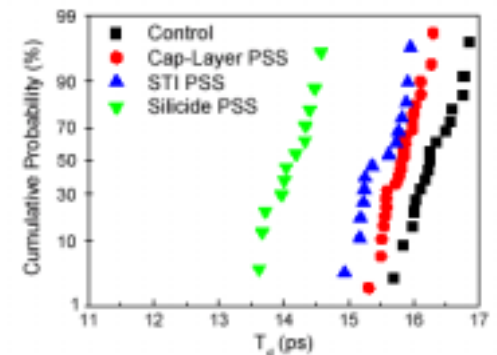


STI応力制御

K. Goto, et. al., (Fujitsu)VLSI'03



C. Ge, et. al., (TSMC)IEDM'03



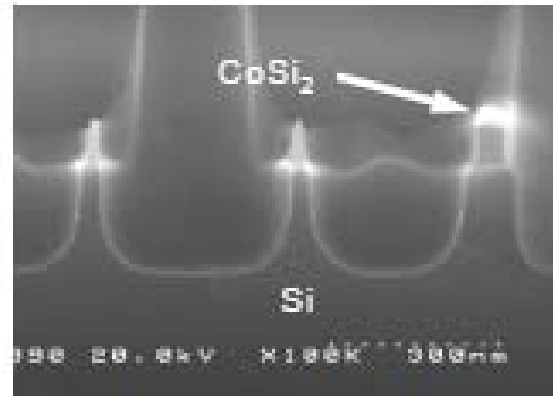
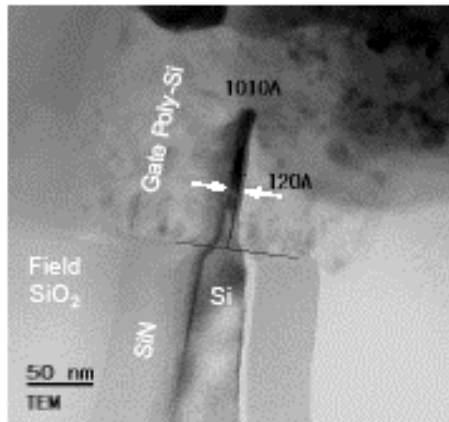
Silicide Stress

スケーラビリティ(プロセス温度、膜厚etc)が鍵

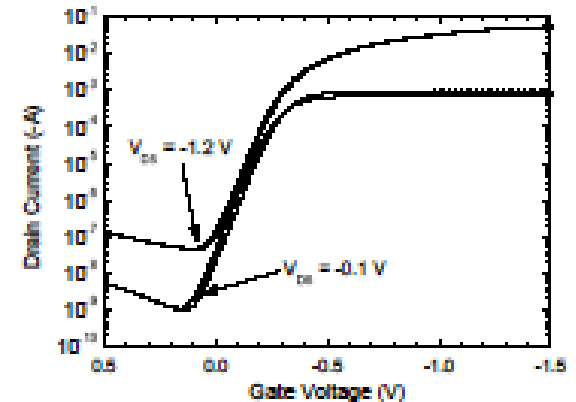
High Density Memories

3D-MOSFETのメモリ素子適用 (SRAM)

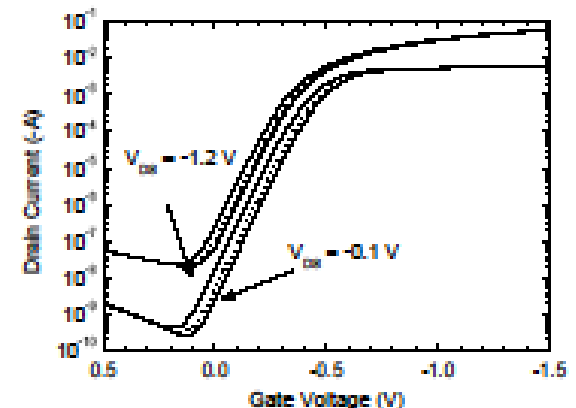
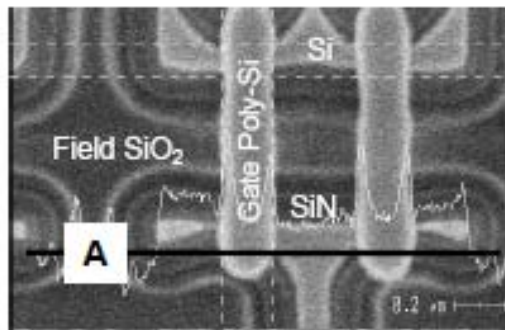
(T. Park, et. al., (Samsung)IEDM'03)



(a) Cross-section across Fins



(a) 3D PMOSFET



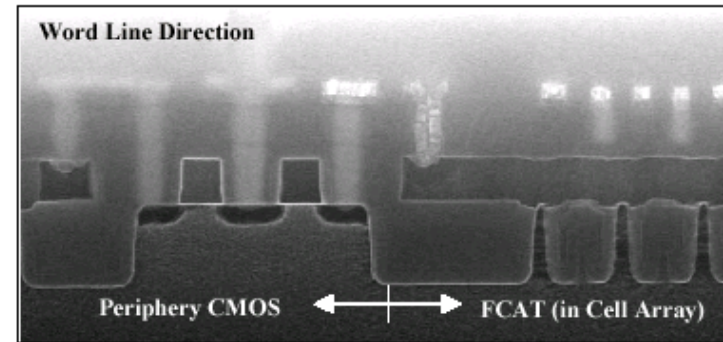
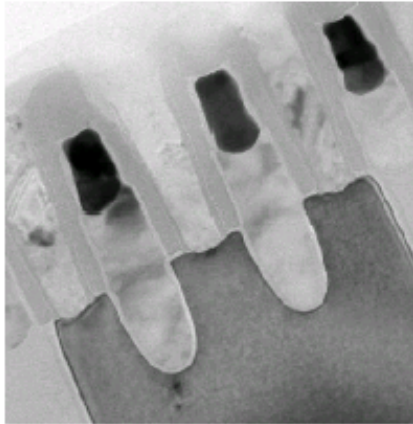
(b) Planar PMOSFET

SRAM動作とDIBL低減を確認

ゲート電極加工時にOver Etching量を増やす必要有 (~ +90%)

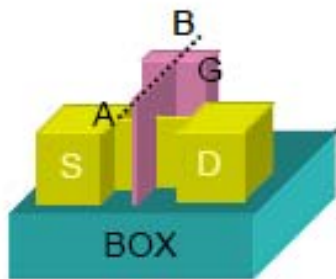
3D-MOSFETのDRAM/NVRAM適用

Recess Channel(80nm DRAM) Fin Channel(70nm DRAM)
(H.S. Kim, et. al., (Samsung)IEDM'03) *(D.H. Lee, et. Al., (Samsung)IEDM'03)*

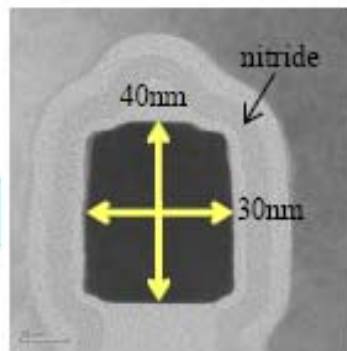


MOSFET微細化に伴うDIBL対策

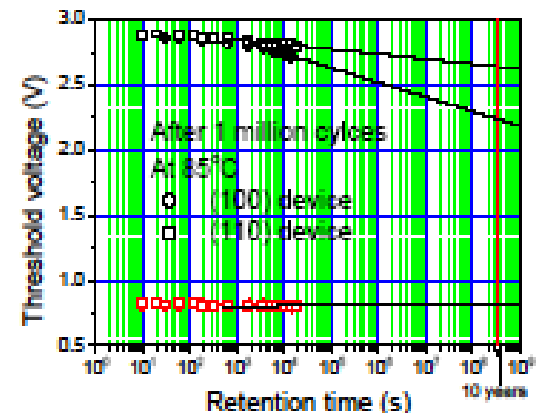
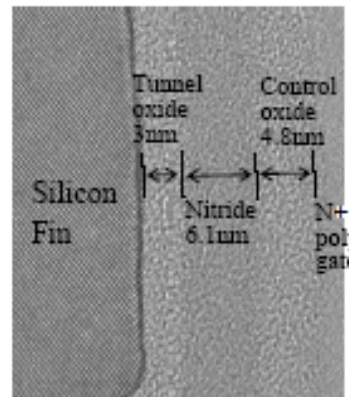
Fin-FET SONOS *(P. Xuan, et. al., (UCB)IEDM'03)*



(a)

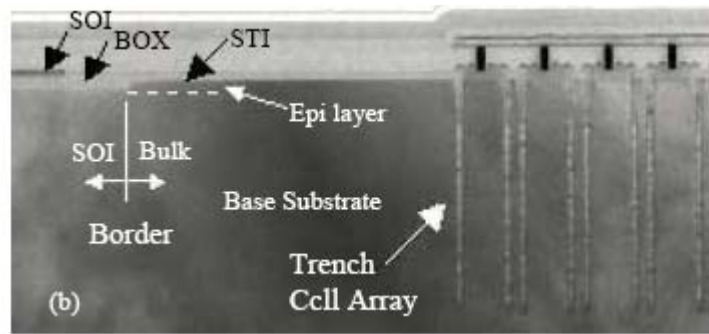


(b)



L~40nm程度まではスケーリング可能

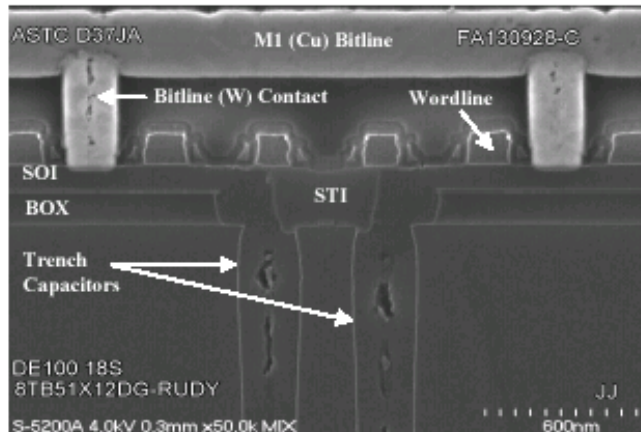
SOI+Trench-Cap. DRAM



部分SOIで作り分け
Logic:SOI
DRAM:Bulk

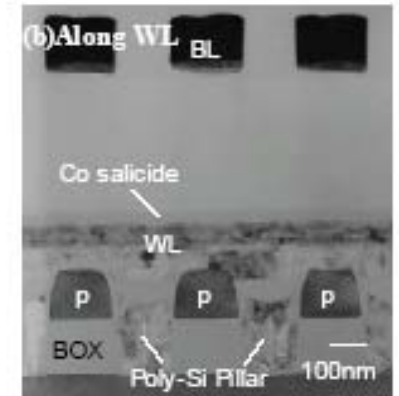
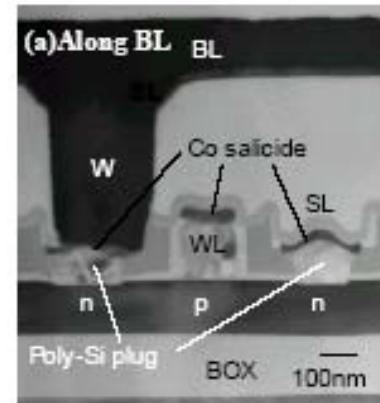
T.Yamada, et.al. (Toshiba)VLSI '02

混載は可能



M. Kumar, et. al. (IBM)IEDM'03

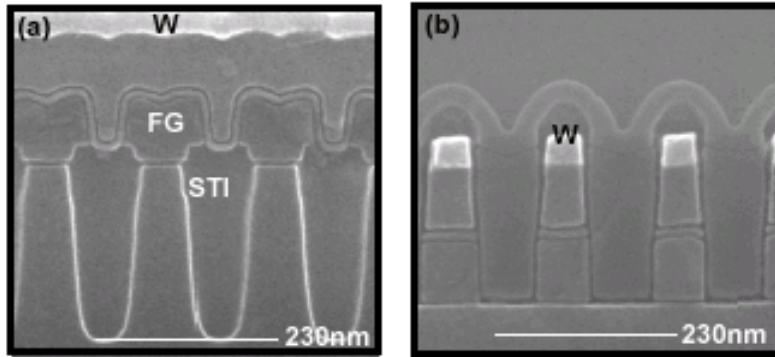
BOXを貫通してTrench-capを形成



K. Inoh, et.al. (Toshiba)VLSI '03

SOI-FETをDRAMセルとして使用

大容量NVRAM



4Gb NAND (Y.S. Yim, et. al., (Samsung) IEDM'03)

リソ解像度上げるためレジスト膜厚低減

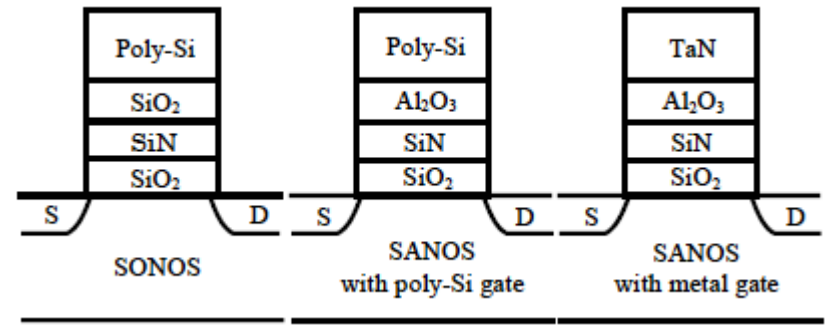


Wsix膜厚薄膜化必要(エッチング耐性)



Wsixに替えてWを使用(薄膜、低抵抗)

- 将来はシリサイド化へ進むか？
- セル間干渉を低減するにはPMDのLow-k化も必要か？



High-k/Metal Gate SONOS

(C.H. Lee, et. al., (Samsung) IEDM'03)

- High-k/Metal Gate 共用し Logic とコンパチビリティ確保出来るか？
- FeRAM はキャパシタ形成プロセスの低温化 PVD → CVD が鍵

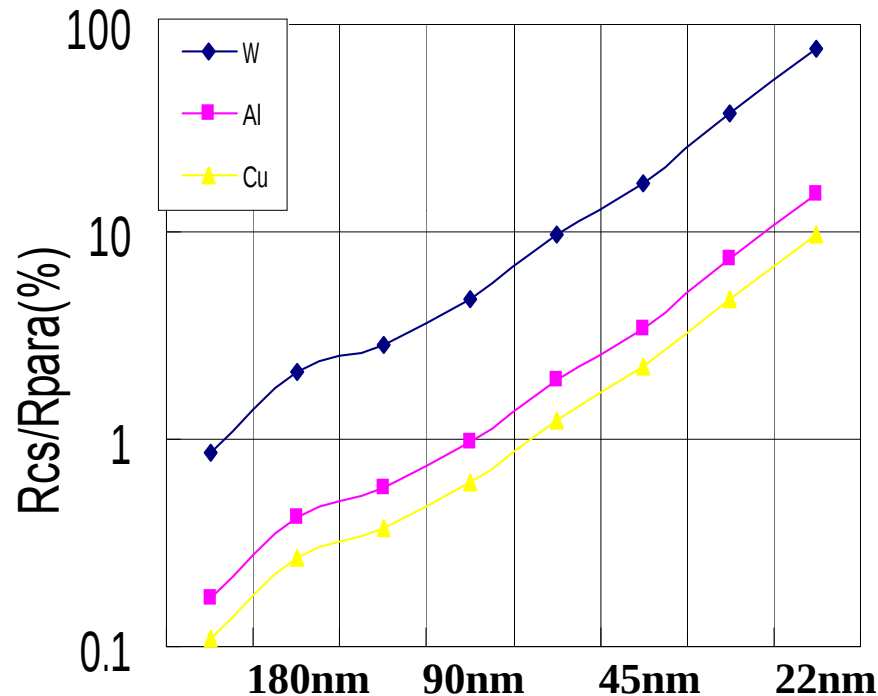
先端Logic要素技術と共通点が増える

メモリ部、ロジック部のアニールを独立して制御できれば混載の可能性は広がる

Others

寄生抵抗低減施策(プラグ抵抗)

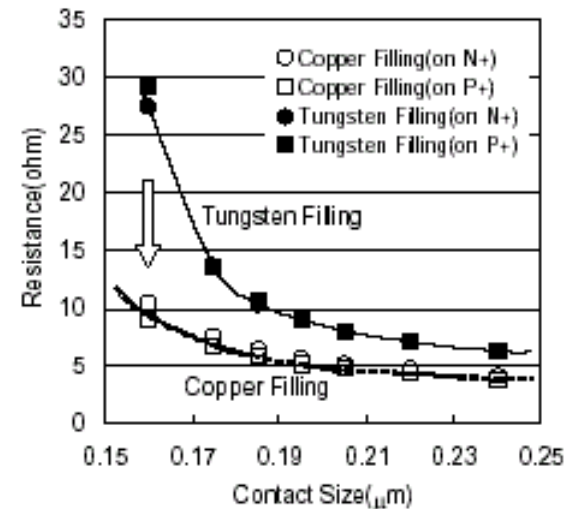
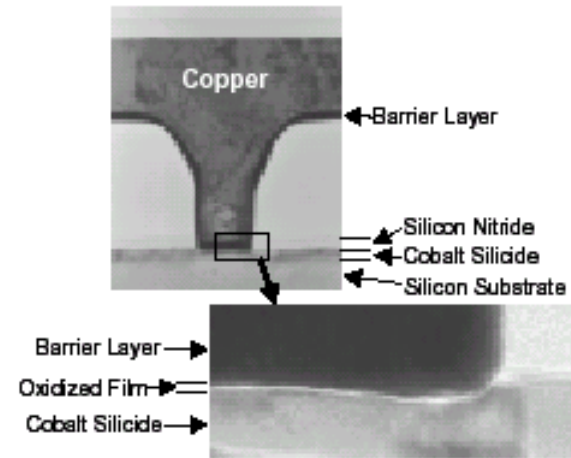
nMOSの場合の見積もり



コンタクト径の縮小による抵抗増大

微細コンタクトの低抵抗金属による埋め込み
技術が必要

界面抵抗低減にはシリサイドのdual化も必要か？

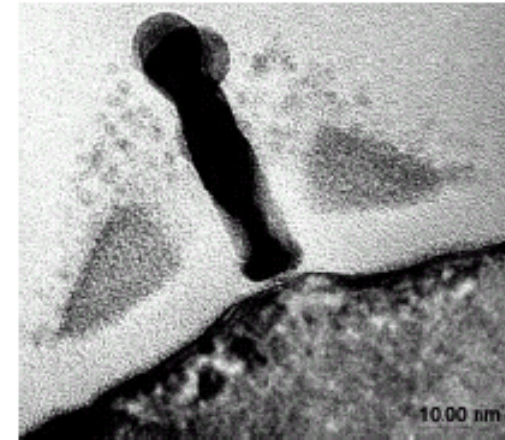
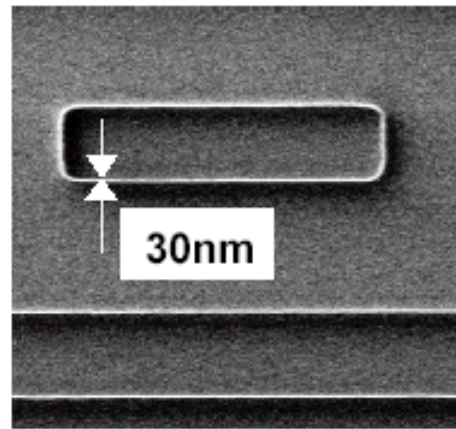
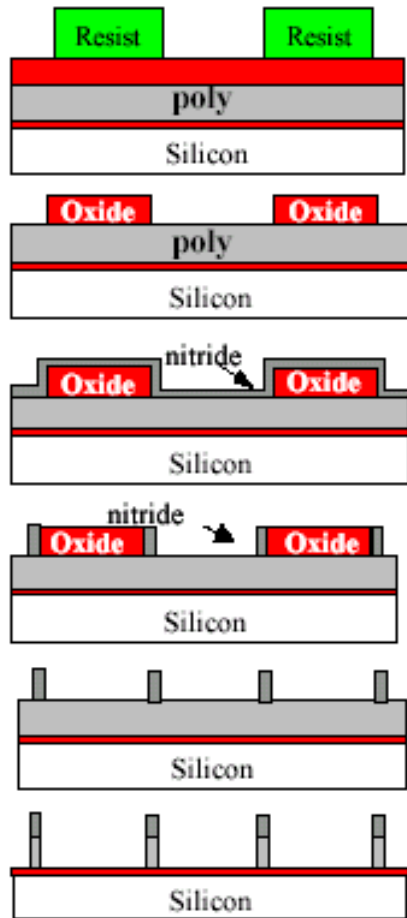


M. Inohara, et. al., IEDM'01

STRJ WS: March 4, 2004

リソに依存しない微細パターン形成技術

B. Doyle, et. al., Intel Technology Journal Vol.6 Issue 2



ダミーパターン発生はレベンソンと同様
LERはレジストより低減可能

ダミーパターン形状が鍵

問題点:

ゲート長バリエーション、OPC、デザイン制約

メモリ素子なら適用可能か？

将来必要技術(1)

	Bulk/PD SOI	SG FD SOI	DG FD
基板	歪みSi SiGe、Ge 欠陥密度低減必須	SOI/BOX厚制御 歪みSOI SiGe、Ge 部分SOI	SOI/BOX厚制御 部分SOI 面方位設定
チャネル構造	SSRCP エピチャネル	均一不純物濃度	
ゲート絶縁膜	極薄SiON、Mid/High k		
ゲート電極	Poly-Si(Ge)、デュアルφメタル		
Offset Spacer	薄膜TEOS、SiN CVD 基板掘れ量低減		

将来必要技術(2)

	Bulk・PD SOI	SG FD SOI	DG FD
S/D Extension	極低加速I/I、 Raised Extension		斜め極低加速I/I プラズマドーピング
ゲート側壁	低温TEOS、 SiN CVD		
S/D	低加速I/I、 低温エピタキシャルプロセス (Raised S/D)		
活性化アニール	拡散を伴わないで 高活性化	拡散、アモルファス化を伴わないで 高活性化	
シリサイド	NiSi、デュアルシリサイド		
コンタクトプラグ	低温後工程(シリサイドのアグロメ対策) PMD薄膜化 } 寄生抵抗低減 Metalプラグ }		

まとめ

- High-k/Metal Gateは時間軸を考えるとSiON+Fully Silicidedが繋ぎの技術として可能性有り(用途は限定的)。最終的にはHigh-k/Metal(Dual)の組み合わせになるが、材料選定とプロセス構築(Multi-Ox等)に課題が多い。
- 極浅接合は、Co-implaによる拡散抑制が当面の候補。不純物拡散を伴わないアニールが実用化されれば、overlap制御の為角度注入が必要。SOI/3Dはダメージ回復が鍵。
- elevate技術は、Bulk、SOIに関わらず必須の技術である。今後プロセス最適化(ファセット制御、低温前処理等)が必要。
- MOSFET性能向上のための外部応力導入技術は必須。プロセス低温化、微細化対応が今後重要。歪み基板は欠陥が低減できないと導入難しい。SSOIならば可能性有るか？
- 先端Logicプロセスと大容量メモリの混載は今後も可能であり、プロセス/材料の共通化をうまく行えば低コスト化も有り得る。
- 寄生抵抗低減の為の低抵抗コンタクトプロセス、LER低減可能な微細パターン形成プロセスも今後重要になってくると考えられる。
- 不純物、プロセスのバラツキ制御が今後さらに重要となるが、現時点で具体的な動きは見られていない。何らかの施策が必要。