



STRJ-WG7 (実装WG)

パッケージの 小型薄型化と3次元化

春田 亮
(株) ルネサステクノロジ

WG7メンバ

リーダー：春田 亮 (ルネサス)

サブリーダー：白井 優之 (ASET)、植垣 祥司 (京セラ)

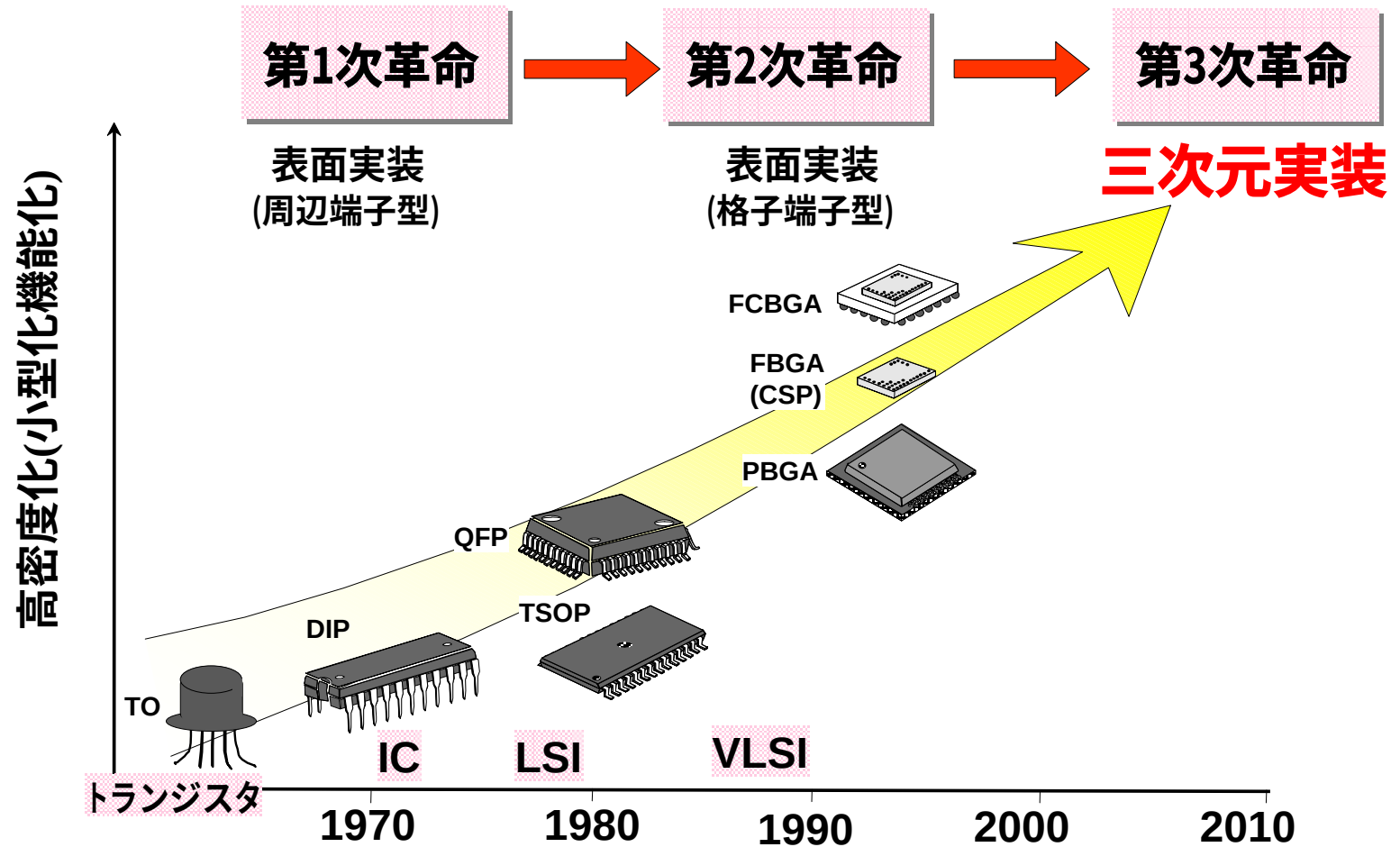
国際対応：宇都宮 (ICT)、植垣 兼務

幹事：白井 兼務

委員：藺 陸郎 (富士通)、木村 通孝 (ルネサス)、
高田 隆 (松下)、春日 壽夫 (NECエレクトロニクス)、
田中 里佳／木村 光 (NECエレクトロニクス)、
春口 秀哉 (シャープ)、高橋 邦明 (東芝)、
小林 治文 (沖)、上田 茂幸 (ローム)

特別委員：今井 玲 (SEAJ; カイジョー)

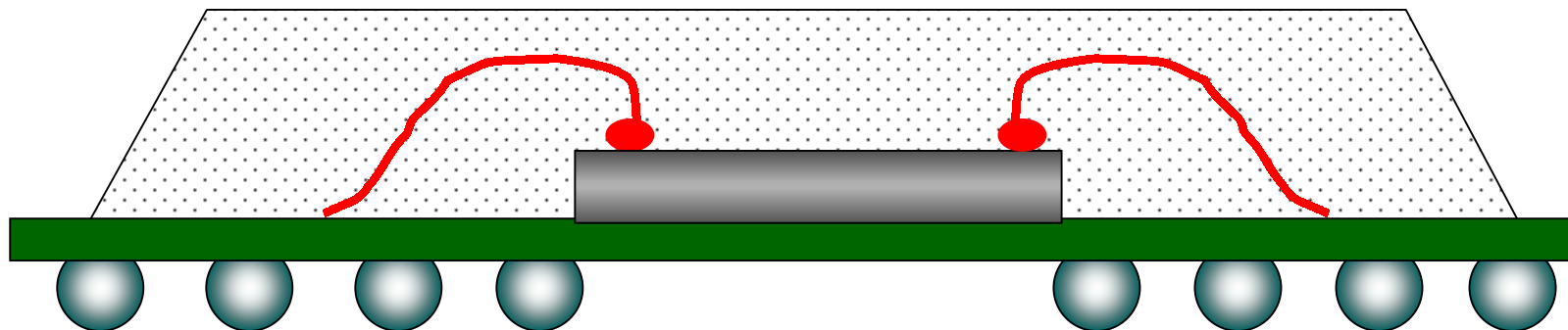
半導体パッケージの動向



出典: 「JEITA 2003年度版日本実装技術ロードマップ」

P-BGAの動向

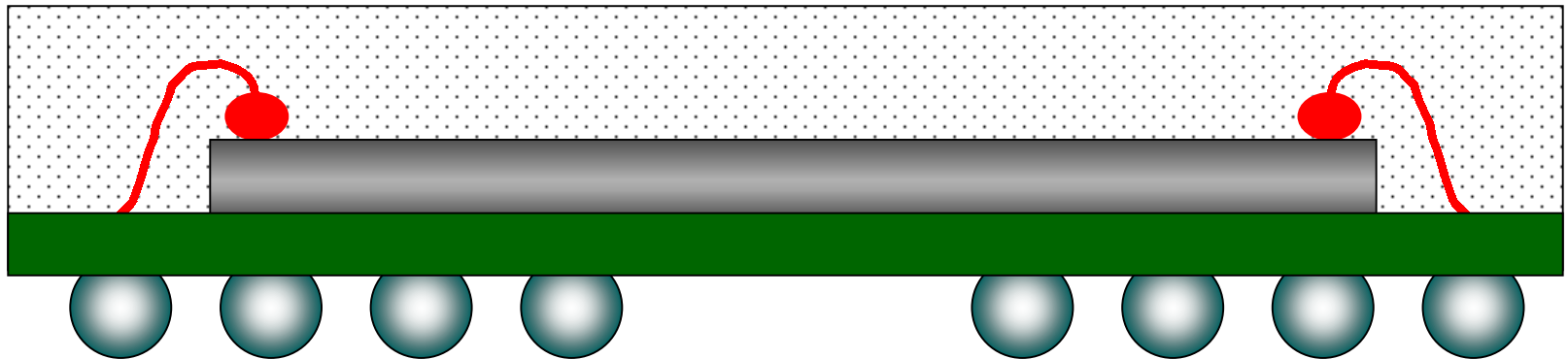
	2002	2004	2006	2008	2010	2012
最小ピンピッチ (mm)	1.0	1.0	0.8	0.8	0.65	0.65
最大ピン数	2000	2000	3000	3000	4200	4200
最小取付高さ (mm)	2.3	1.7	1.4	1.4	1.2	1.0



出典：「JEITA 2003年度版日本実装技術ロードマップ」

FBGAの動向

	2002	2004	2006	2008	2010	2012
最小ピンピッチ (mm)	0.5	0.4	0.3	0.2	0.15	0.15
最大ピン数	400	500	600	720	840	1000
最小取付高さ (mm)	1.0	0.8	0.8	0.65	0.65	0.5



出典：「JEITA 2003年度版日本実装技術ロードマップ」

FBGA (CSP)

ITRS2003

Year of Production	2003	2004	2005	2006	2007	2008	2009
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50
FBGA area array pitch (mm)	0.4	0.4	0.3	0.3	0.2	0.2	0.2
FBGA size (mm/side)	4-21	4-21	4-21	4-21	4-21	4-21	4-21

Year of Production	2010	2012	2013	2015	2016	2018
DRAM 1/2 Pitch (nm)	45	35	32	25	22	18
FBGA area array pitch (mm)	0.15	0.15	0.15	0.15	0.1	0.1
FBGA size (mm/side)	4-21	4-21	4-21	4-21	4-21	4-21

携帯機器を始めとして、高密度実装で主流。

コスト低減が課題。

FBGAのサブストレート

ITRS2003

Year of Production	2003	2004	2005	2006	2007	2008	2009
FBGA solder ball pitch (nm)	0.4	0.4	0.3	0.3	0.2	0.2	0.2
Pad size (um)	160	160	120	120	80	80	80
Line width (um)	48	48	36	36	24	24	24
Line spacing (um)	48	48	36	36	24	24	24
Number of rows accessed	3	3	3	3	3	3	3

Year of Production	2012	2015	2018
FBGA solder ball pitch (nm)	0.15	0.15	0.1
Pad size (um)	60	60	40
Line width (um)	18	18	12
Line spacing (um)	18	18	12
Number of rows accessed	3	3	3

ワイヤボンディング技術

	2002	2004	2006	2008	2010	2012
ボンディング方式	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ
最小パッドピッチ (μm)	50	40	35	30	20	20
最小ワイヤ径 (μm)	23	20	17	15	10	10
ワイヤ材料	Au	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金
パッド材料	Al	Al	Al,Cu	Al,Cu	Al,Cu	Al,Cu
総合位置精度 (μm)	±3.5	±3.0	±2.0	±1.5	±1.0	±1.0
L/F最小ピッチ (μm)	140	140	120	120	100	100
基板リードピッチ (μm)	100	100	80	60	50	50

出典：「JEITA 2003年度版日本実装技術ロードマップ」

フリップチップ技術

	パッド配置	2002	2004	2006	2008	2010	2012
最大パッド数	Peri	500	700	1000	1400	2000	2000
	Area	3200	3600	4200	4800	5400	6400
最小パッドピッチ (μm)	Peri	70	55	40	30	20	20
	Area	180	150	100	80	70	70
最小バンプ径 (μm)	Peri	30	25	20	15	10	10
	Area	75	65	50	40	35	35
バンプ材料	Peri	Au, Sn-Pb	Au, Sn-Ag	Au,Cu Sn-Ag	Au,Cu Sn-Ag	Au,Cu Sn-Ag	Au,Cu Sn-Ag
	Area	Au, Sn-Pb	Au, Sn-Ag	Au, Sn-Ag	Au, Sn-Ag	Au, Sn-Ag	Au, Sn-Ag

Peri : Peripheral, Area : Area array

出典：「JEITA 2003年度版日本実装技術ロードマップ」

接続技術

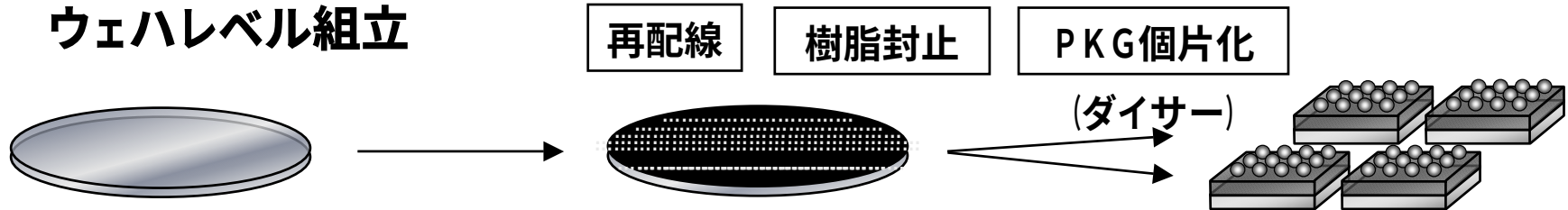
ITRS2003 Chip Interconnect Pitch (um)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Wire bond - ball	40	35	30	25	25	20	20
Wire bond - wedge	30	25	20	20	20	20	20
TAB	35	35	30	30	25	25	25
Flip chip area array	150	150	130	130	120	110	100
Peripheral flip chip	60	60	40	40	30	30	20

Year of Production	2010	2012	2013	2015	2016	2018
Wire bond - ball	20	20	20	20	20	20
Wire bond - wedge	20	20	20	20	20	20
TAB	20	20	20	15	15	15
Flip chip area array		90		80		70
Peripheral flip chip	20	20	20	15	15	15

Wafer Level Packaging技術

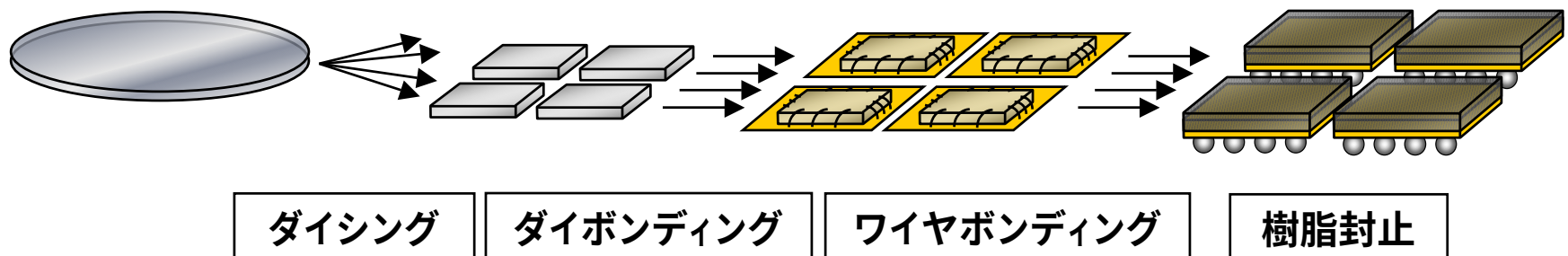
ウェハレベル組立



組立フロー

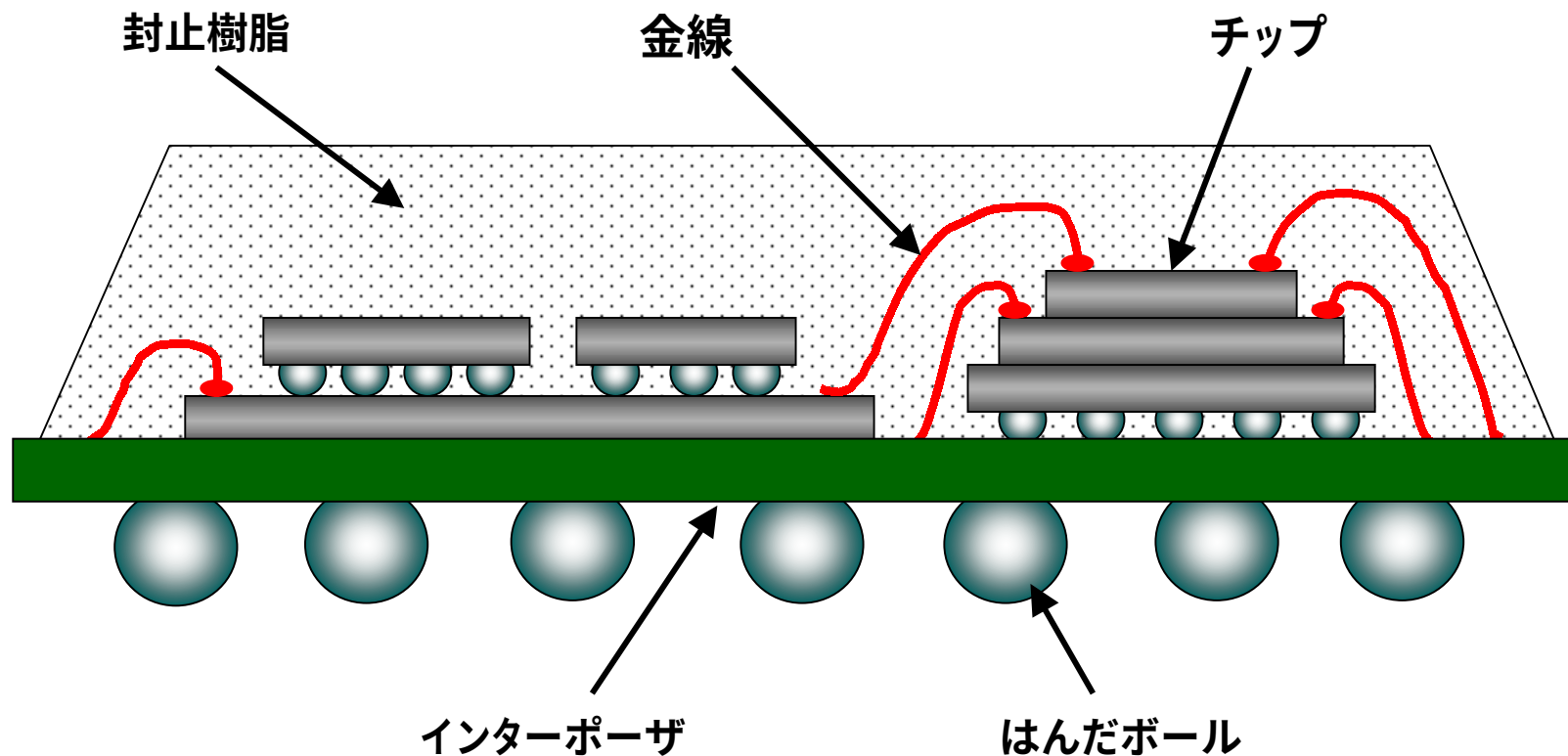


ダイレベル組立



出典：「JEITA 2003年度版日本実装技術ロードマップ」

3次元MCP



用途: SiP (System-in-a-Package)

出典: 「JEITA 2003年度版日本実装技術ロードマップ」

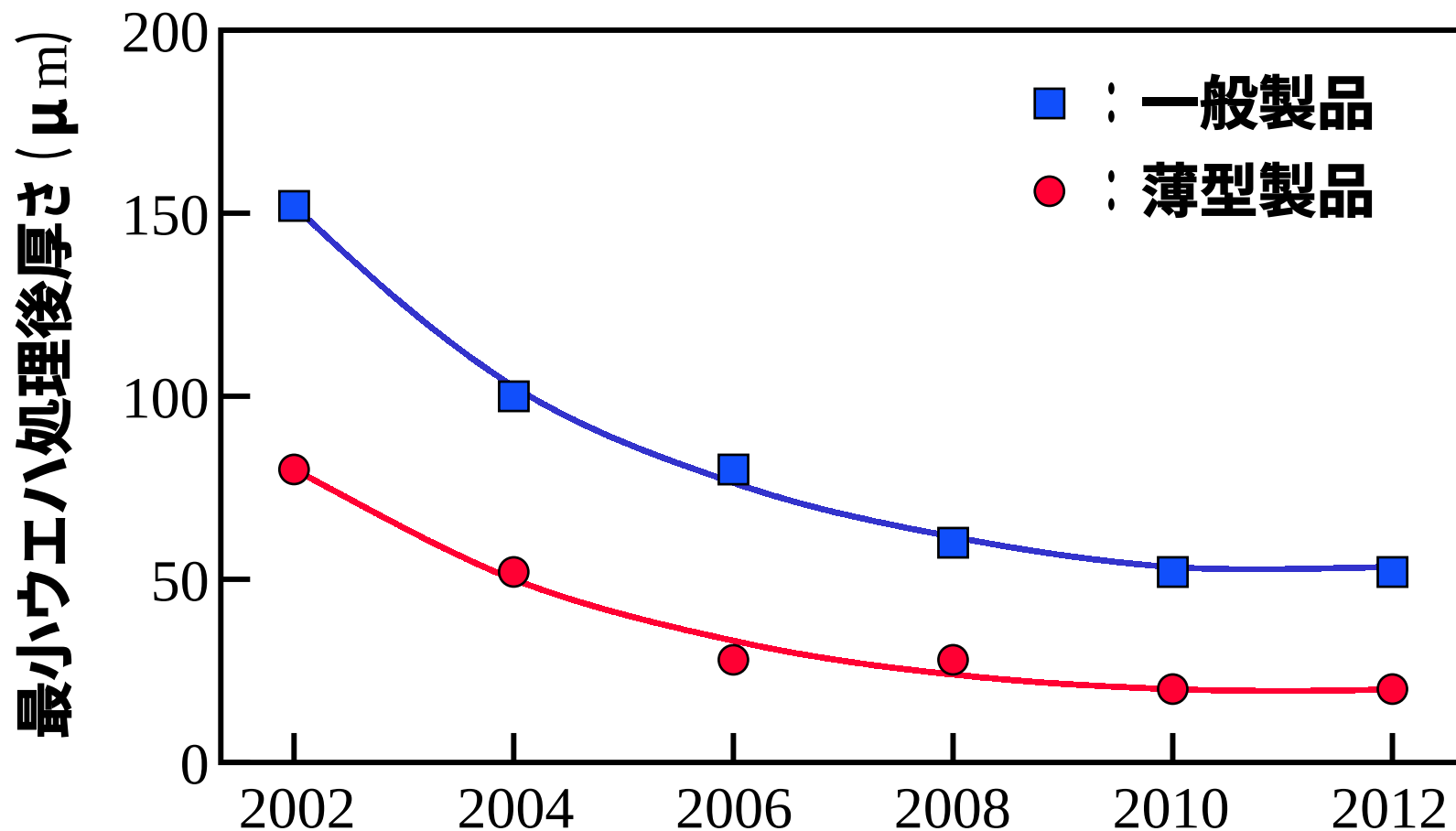
SiP/MCP

ITRS2003 System-in-a-Package Requirements

Year of Production	2003	2004	2005	2006	2007	2008	2009
Maximum body size (mm SQ)	40	50	52	52	52	52	52
Number of stack die maximum	4	5	5	5	5	5	5
Number of die in SiP maximum	8	10	10	10	10	8	8
Minimum components size (in.)	0201	0201	0201	0105	0105	0105	0105
Embedded passives	Few	Yes	Yes	Yes	Yes	Yes	Yes

Year of Production	2010	2012	2013	2015	2016	2018
Maximum body size (mm SQ)	52	52	52	52	52	52
Number of stack die maximum	5	5	5	5	5	5
Number of die in SiP maximum	8	6	6	6	6	6
Minimum components size (in.)	0105	0105	0105	0105	0105	0105
Embedded passives	Yes	Yes	Yes	Yes	Yes	Yes

ウエハ薄型化の動向



出典: 「JEITA 2003年度版日本実装技術ロードマップ」

バックグラインド技術の動向

項目		2002年	2004年	2006年	2008年	2010年	2012年
最小ウエハ処理厚さ <一般製品> (nm)		150	100	80	60	50	50
最小ウエハ処理厚さ <薄型製品> (nm)		80	50	30	30	20	20
表面保護方法		テープ	テープ、 ガラス	テープ、 ガラス、 テープレス	テープ、 ガラス、 テープレス	テープ、 ガラス、 テープレス	テープ、 ガラス、 テープレス
表面保護 テープ	基材 テープ	PO, PVC, PET, EVA	PO, PVC, PET, EVA	PO, PVC, PET, EVA	PO, PVC, PET, EVA	PO, PVC, PET, EVA	PO, PVC, PET, EVA
	接着剤	弱粘着、 UV	弱粘着、 UV	弱粘着、 UV	弱粘着、 UV	弱粘着、 UV	弱粘着、 UV
ハンドリング方法		真空吸着	真空吸着	真空吸着、 治具貼付	真空吸着、 治具貼付	真空吸着、 治具貼付	真空吸着、 治具貼付

PO:Poly Olefin, PVC:Poly Vinyl Chloride, PET:Poly Ethylene Terephthalate, EVA:Ethylene Vinyl Acetate,

出典:「JEITA 2003年度版日本実装技術ロードマップ」

ウエハ薄型化の課題

1. 低ダメージのウエハ薄型化技術の開発。
 - ・低ダメージのバックグラインド技術または代替技術（例えば、エッチング等）の開発。
2. 低ダメージのウエハダイシング技術の開発。
3. 極薄ウエハの低反り対応技術の開発。
4. 極薄ウエハのハンドリング技術の開発。
5. 低ダメージのチップピックアップ技術の開発。
6. 低ダメージのダイボンディング技術の開発。
7. 低ダメージのフリップチップ技術の開発。

3次元MCPの今後の課題

■ KGD

- ・特性と信頼性が保証されたチップの供給

■ 極薄チップの多層積層化技術

■ 高放熱技術

- ・多数チップによる発熱を如何に放熱するか？

■ テスト・解析技術

- ・システムとしてのテストと不良チップの解析

■ シリコン基板

- ・微細接続に対応した安価なシリコン基板

Difficult Challenges Near Term

ITRS2003

◇ 有機サブストレートの改善

- ・高Tg、低tan δ 、低反り、低吸湿、部品内蔵、低コスト

◇ フリップチップ用アンダーフィルの改善

- ・熱的整合性、狭隙対応、高密度バンプ対応

◇ チップ、パッケージ、実装基板の協調設計を実現する 設計ツールとシミュレーション技術

◇ Cu/Low k材へのパッケージングへの影響

◇ 高電流密度パッケージ

- ・エレクトロマイグレーション、ウィスカ、熱放散

Difficult Challenges Long Term

ITRS2003

- ◇ チップよりも高いパッケージコスト
 - ・ピン数の増加によりパッケージコスト大
- ◇ 多ピン、高消費電力、高周波対応の小チップ
- ◇ 高周波用チップ
 - ・高基板配線密度、低 $\tan \delta$ (10GHz以上)
- ◇ シリコン技術を活用したサブストレート技術
- ◇ チップ、受動素子、基板を含めた統合設計技術
- ◇ 新パッケージング技術を必要とする新デバイス
 - ・有機デバイス、ナノ構造デバイス、生体デバイス

まとめ

1. 接続端子の狭ピッチ化により小型化が推進されるが、テストソケットやインターポーザ・マザーボード等のインフラの開発が必要である。
2. チップ／パッケージの電極接続技術においてはワイヤボンディングの狭ピッチ化が課題。Auワイヤやプローブ等のインフラ開発が必要。
3. MCMやカード用途に、チップの薄型化が推進される。薄型化技術の他に、低ダメージのハンドリング技術や接続技術が必要。
4. さらに、短期・長期の各種ディフィカルトチャレンジがあり、部材メーカを含めた開発が必要。