論理的根拠に基いた合理的かつ現実的な配線技術ロードマップ

2004. 3. 5

STRJ WG4 柴田英毅 (東芝)

主査:小川 (Selete)、副主査:大崎 (ルネサス)、
国際対応:上野 (NECEL)、
委員:中村 (富士通)、青井 (松下)、影山 (沖)、
谷本 (三洋)、山崎 (シャープ)、青山 (SONY)、中尾 (ローム)
特別委員:辻村 (荏原)、五戸 (アルバック)

Outline

1）ITRS2002 MPU Interconnect Roadmapの課題

2）Low-k(k及びkeff値) R.Mの改訂

3）配線実効比抵抗（ρeff値) R.Mの改訂

4）配線層数R.Mの改訂

5）配線/Via最大電流密度（Jmax及びImax値) R.Mの改訂

6）改訂のまとめ

7）2004年度の活動方針

ITRS2002 MPU Interconnect Roadmap（抜粋版）

Year of 1st Product shipment	2001	2004	2007	2010	2013	2016
Technology Node(nm)	130	90	65	45	32	22
Power supply voltage(V)	1.2	1.0	0.8	0.6	0.5	0.4
Clock frequency(GHz)	1.7	2.9	4.3	6.1	8.6	12.2
Band width(Gbyte/sec.)	1.6	1.9	2.3	2.7	3.2	3.8
Max. power consumption(W)	70.0	94.1	104.2	93.1	121.3	137.9
Logic transistors(M/cm2)	89	267	801	2404	7212	21635
Max. chip size(mm2)	310	310	310	310	310	310
Number of metal levels	8	9	10	10	11	11
Local wiring pitch(nm)/A.R	350/1.6	210/1.7	150/1.7	105/1.8	75/1.9	50/2.0
Intermediate wiring pitch(nm)/A.R	450/1.6	265/1.7	195/1.8	135/1.8	95/1.9	65/2.0
Global wiring pitch(nm)/A.R	670/2.0	460/2.1	290/2.2	205/2.3	140/2.4	100/2.5
Intermediate wire ρeff(μΩcm)	2.2	2.2	2.2	2.2	2.2	2.2
Barrier/cladding thickness(nm)	16	10	7	5	3.5	2.5
Interlevel metal insulator keff	3.0-3.6	2.6-3.1	2.3-2.7	2.1	1.9	1.8
k(bulk)	<2.7	<2.4	<2.1	<1.9	<1.7	<1.6
Jmax/Imax(E5A/cm2/mA@105C)	9.6/0.32	15/0.24	21/0.18	27/0.10	33/0.07	39/0.04

ITRS2002 MPU Interconnect Roadmapの課題

□ Low-k (k及びkeff値)

- k値導出の論理的な根拠が不明である
- Low-k材料のデバイス導入実態を鑑みると現実との乖離が大きい
- Low-k Roadmapと言いながら母材のk値及びkeff値の記述しかない
  (実際のILD構造ではCu直上のEtching stopperやCap(or Hard mask)
  材料が使われているが、これらに関する検討がなされていない)

□ 配線実効比抵抗 (ρeff値)

- 世代を通してIntermediate配線の実効比抵抗 (ρeff) を2.2μΩcmと
  記述されているが、実測データとの乖離が益々大きくなってきており
  この設定は非現実的である

□ 配線層数

- 配線層数を導出した論理的な根拠が不明である

□ 配線/Via最大電流密度 (Jmax及びImax値)

- 配線に流せる最大電流密度(Jmax)の数値は現実のCu配線の
  EM信頼性から見積もられる値との乖離が極めて大きい
- モデル及びパラメータを更新して現実に即した数値への見直しが必要
- Viaを流れる電流値はVia複数取りが標準であるために表から削除すべき

Low-k Roadmapの変遷（1999→2001）

＜ITRS1999＞

Technology Node(nm)		180	130	100	70
1st Shipment year(ES)		1999	2002	2005	2008
Local wiring	**pitch(nm)**	450	325	230	165
	A/R	1.4	1.5	1.7	1.9
Intermediate wiring	**pitch(nm)**	560	405	285	210
	A/R	2.0	2.2	2.4	2.5
Via-hole A/R		2.1	2.1	2.2	2.3
Effective dielectric const.(keff)		3.5-4	2.7-3.5	1.6-2.2	1.5

180×0.72　130×0.77　180×0.70=91

＜ITRS2001＞

90×0.70=63

Technology Node(nm)		100	90	80	70	65
1st Shipment year(ES)		2003	2004	2005	2006	2007
Local wiring	**pitch(nm)**	245	210	185	170	150
	A/R	1.6	1.7	1.7	1.7	1.7
Intermediate wiring	**pitch(nm)**	320	265	240	215	195
	A/R	.7	1.7	1.7	1.7	1.8
Via-hole A/R		5	1.5	1.5	1.6	1.6
Effective dielectric const.(keff)		6	2.6-3.1	2.6-3.1	2.6-3.1	2.3-2.7
	k		2.4	2.4	2.4	2.1

Bulk k値を併記するとともにkeff値を大幅に緩和

比誘電率低減化の手法

$$k(\varepsilon r) = \frac{1 + (4\pi\alpha\rho / M)}{1 - 4\pi\alpha\rho / 3M} \qquad \frac{1 + 4\pi\alpha\rho / M}{}$$

α：分極率、ρ：原子密度

低分極化（熱的安定性の低下）

低密度化（機械的強度の低下）

無機系 k=3.9-4.3

SiO2

Hybrid化 k=2.8-3.1

HSQ : $(H\text{-}SiO_{3/2})n$

MSQ(LKD) : $(CH_3\text{-}SiO_{3/2})n$

SiOC(B.D, Coral, Aurora) : $(CH_3\text{-}SiO_{3/2})n$

フッ素化 k=3.4-3.8

SiOF

有機系 k=2.6-3.0

PAE: [-O-R1-O-Ph-R2-Ph-]n
R1,R2 = CxHy
(SiLK,FLARE)

Polyimides

BCB
: $(C_{10}H_9\text{-}Si_2Me_4O\text{-}C_{10}H_9)n$

フッ素化 k=2.4-2.9

Fluorinated P.I

Fluropolymers

Parylene-F: $[CF_2\text{-}(C_6H_4)\text{-}CF_2]n$

α-C:F: CF_x

多孔質化（k≦2．5）

注）Honeywellセミナー2000予稿集（低誘電率層間絶縁膜の機械強度の評価解析：ASSET　青井信雄氏）を参考に作成

Low-k膜が量産されるまでの開発ステップ

＜Step-0＞：成膜プロセス

・膜特性（k値、機械強度、応力、吸湿性、再現性、均一性、安定性 etc）
ライン導入（汚染、Dust、剥がれ）

＜Step-1＞：1層Cu配線インテグレーション／信頼性確保

・配線溝のDry Etch（加工性、Plasma耐性）及びWet処理（薬品耐性）、
Barrier Metal/Seed-Cu（被覆性、反応性、密着性）、Cu電解めっき/アニール
（埋め込み性、耐熱性）、Cu-CMP（Erosion、密着性）、拡散防止絶縁膜（k値、密着性）etc

＜Step-2＞：2層Cu配線インテグレーション／信頼性確保

・DD(or SD)構造形成（加工性、Plasma耐性、多層Resist Patterning、Via Etch/界面処理）、
Via特性（導通歩留まり、熱的安定性、Q-time依存性etc）、
信頼性（EM、SM, TDDB, TCT etc）

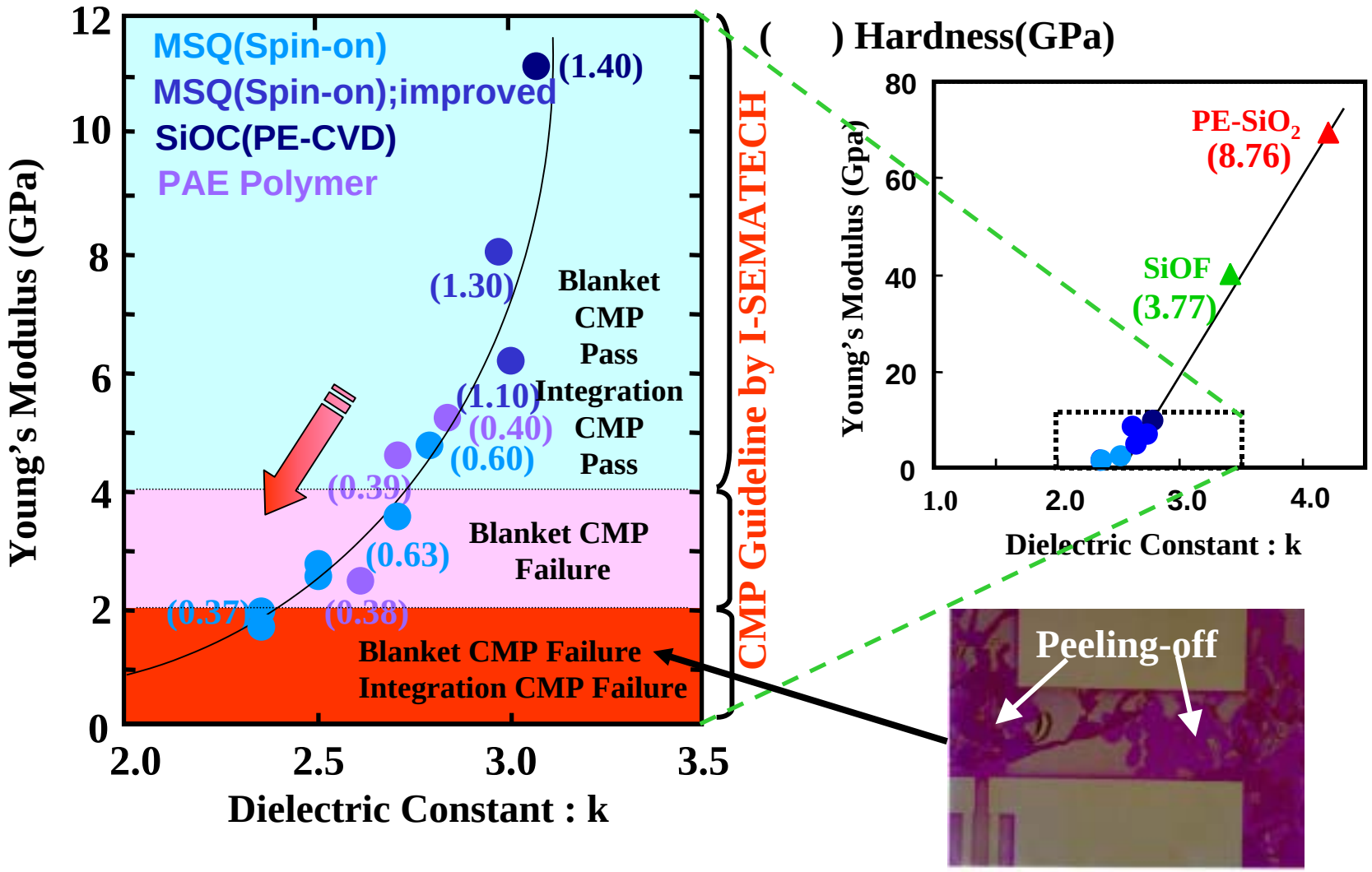
＜Step-3＞：多層（6-8層）化／後工程との整合取り

・多層（6-8層）化（熱的安定性、密着性etc）、後工程（熱的安定性、機械強度、密着性etc）

＜Step-4＞：量産化

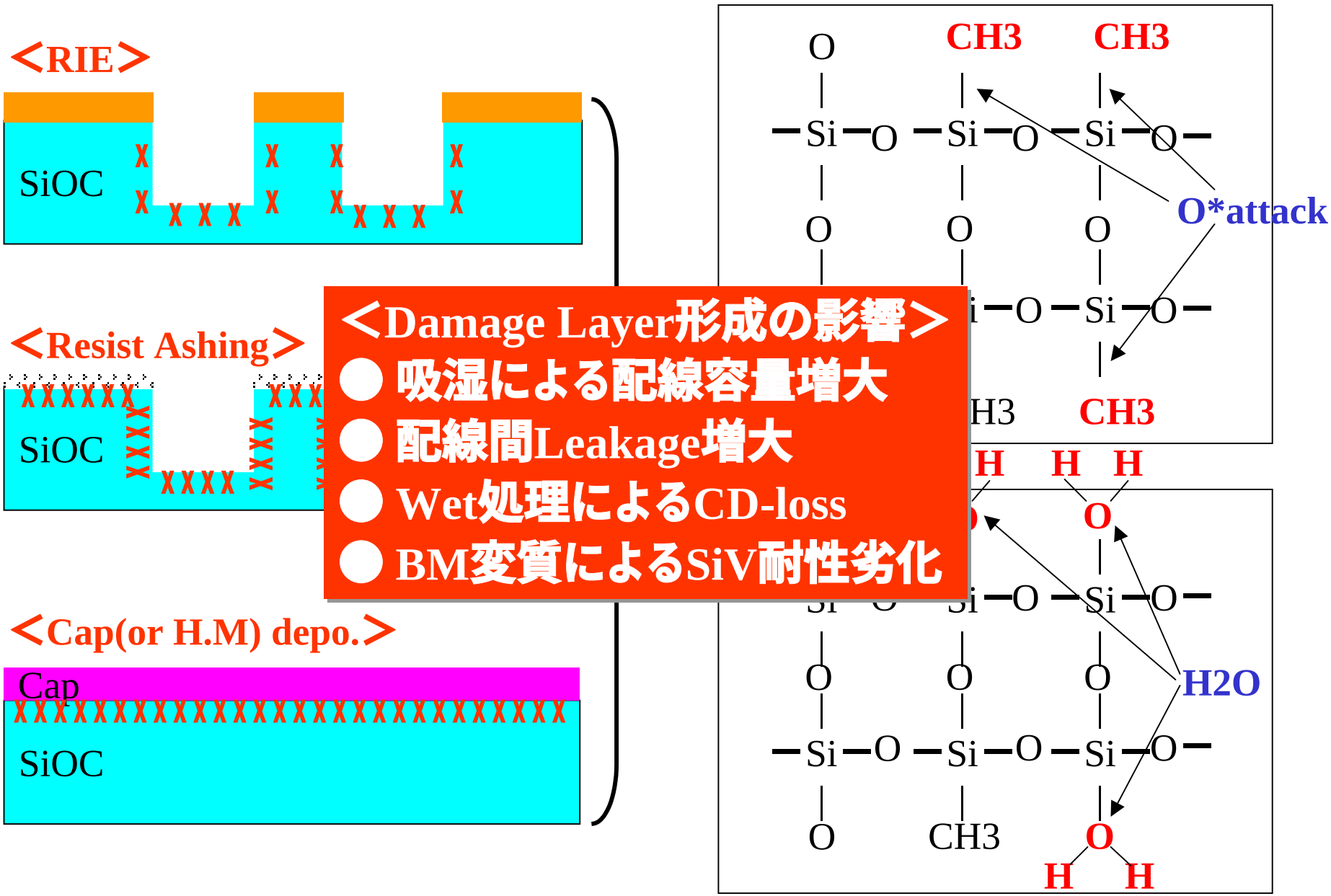
・装置完成度（安定性、稼働率etc）、歩留まり、品質管理 etc

Low-k材料の機械的強度とCMP耐性



Low-k材料の機械的強度はk低減と共に急激に低下していく

Low-k SiOC系材料へのDamage Layer形成工程



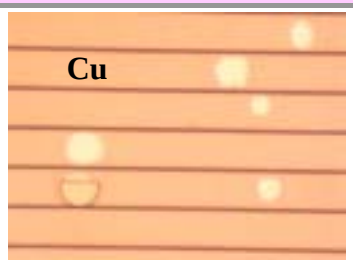
Cu/Low-k配線プロセスインテグレーション上の課題

＜不良モード＞

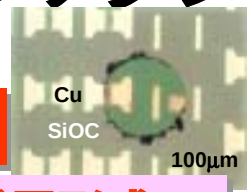
STP/Cu界面剥がれ

＜プロセス要因＞

- 密着性不良
- 変質層からの脱ガス
- 応力不整合 ××
- Cu上異物残留
- CMP後処理不足 ×



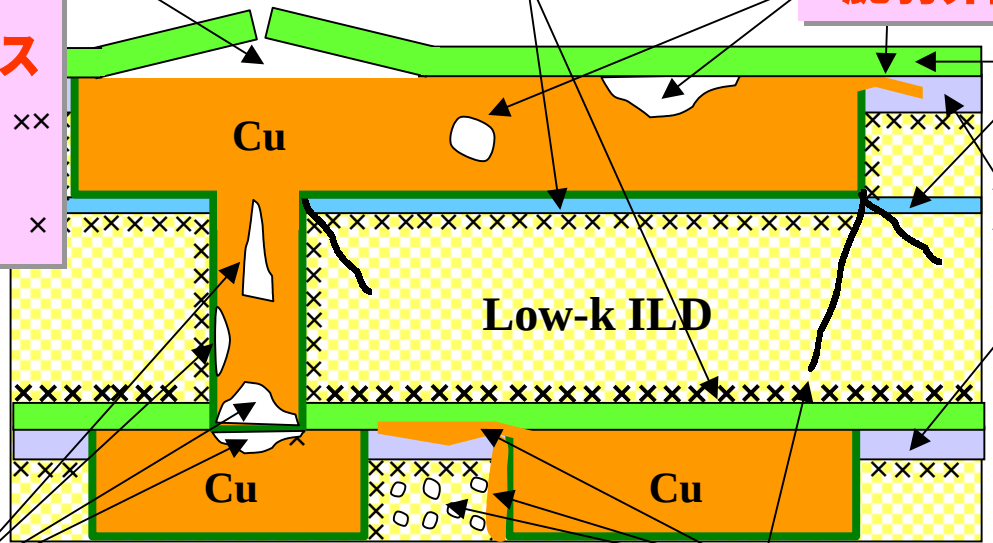
STP/ILD界面剥がれ



- Low-k ILDへの変質層形成
- STP/ILD応力不整合　・脱ガス

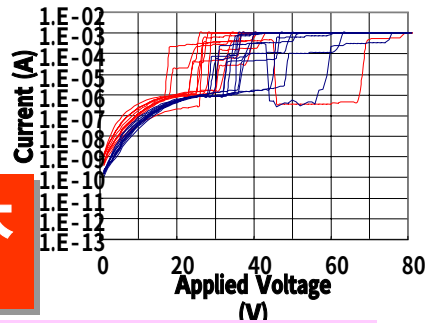
EM信頼性不良

- STP/Cu界面密着性不良
- Cuめっき起因Void
- 脆弱界面へのCu-Extrusion



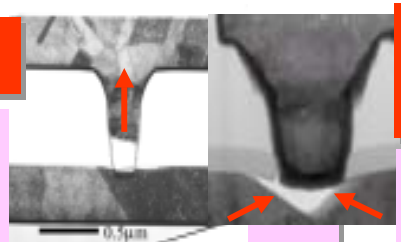
Stopper
(Thinner, Low-k)

Cap or Hard-mask
(Thinner, Low-k)



Via導通不良/SM信頼性不良

- Via加工不良 (形状異常)
- Cu埋め込み不良
- Via加工変質層形成とBM/Cu密着性不良
- ILD 応力変化大、Young率小



配線層間リーク増大
TDDB信頼性不良

- ILDへの変質層形成と吸湿
- 膜中へのF取り込みによるVoid形成
- ILD中へのCu染み出し
- 脆弱界面へのSTP/Cu-Extrusion

Low-k技術の導入遅延の要因

- Low-k材料開発の困難度が大幅Up、開発の遅延
- Low-k材料Vendorによる材料評価Dataだけではその材料のPotentialの見極めができない
- インテグレーションによって露呈したLow-k材料の本質的な課題を解決するための対策期間の長期化

ー機械的強度が1桁以上低い →剥がれ、CMP傷/Erosion
ープラズマ耐性に乏しい →剥がれ、容量･リーク増
ー界面密着性が低い →剥がれ、信頼性の劣化
ー吸湿性が高い →容量･リーク増、剥がれ
ーCTEが大きい、熱伝導率が小さい→信頼性の劣化

- Cu配線/Via-holeの微細化に伴って発生する信頼性不良がLow-k技術との組み合わせによってさらに加速される
- 特に後工程（Bonding, Bump, Packaging）とのインテグレーションのハードルが高い

Low-k Roadmap改訂のポイント

・1999→2001年度にかけてのLow-k Roadmap後ろ倒しは、
材料・装置・デバイスメーカーの開発遅延を反映させたに過ぎない
・本来のRoadmapは、論理的な根拠に基く要求値であるべきで、
かつそれが合理的かつ現実的な目標値であるべき

① 論理的なアプローチによって真に要求されるkeff値を導出する

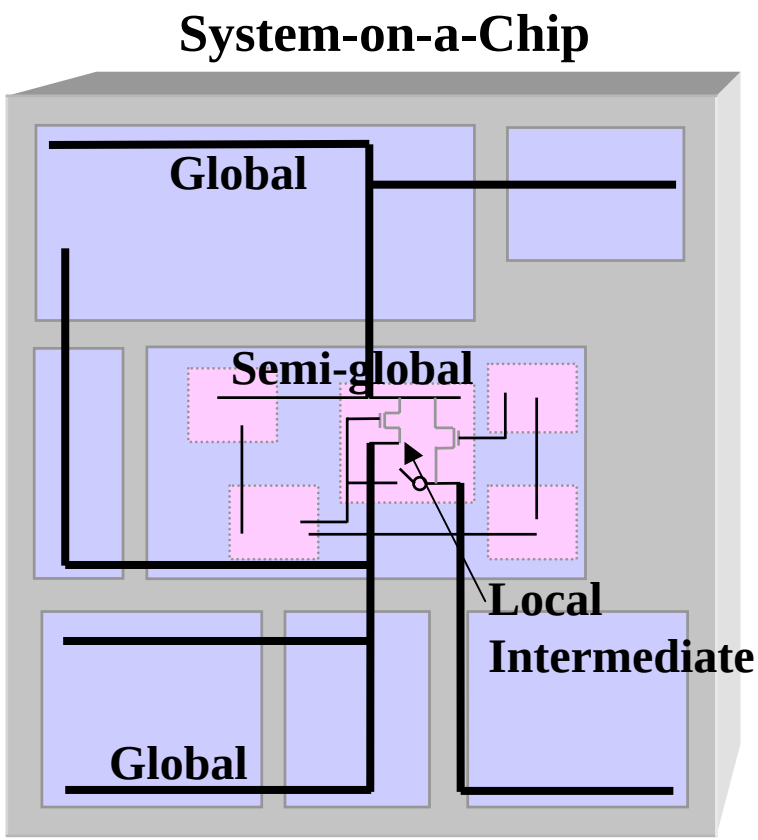
→ 典型的な性能律速経路を想定して、ゲート遅延モデル及び配線長分布を考慮した配線遅延モデルを組み合わせて、世代毎の性能向上率を達成するために必要なR及びCのスケーリングを行う

＋

② 各世代で現実的に入手可能と判断される各種Low-k材料を典型的なILD構造に適用した場合について容量計算を行う

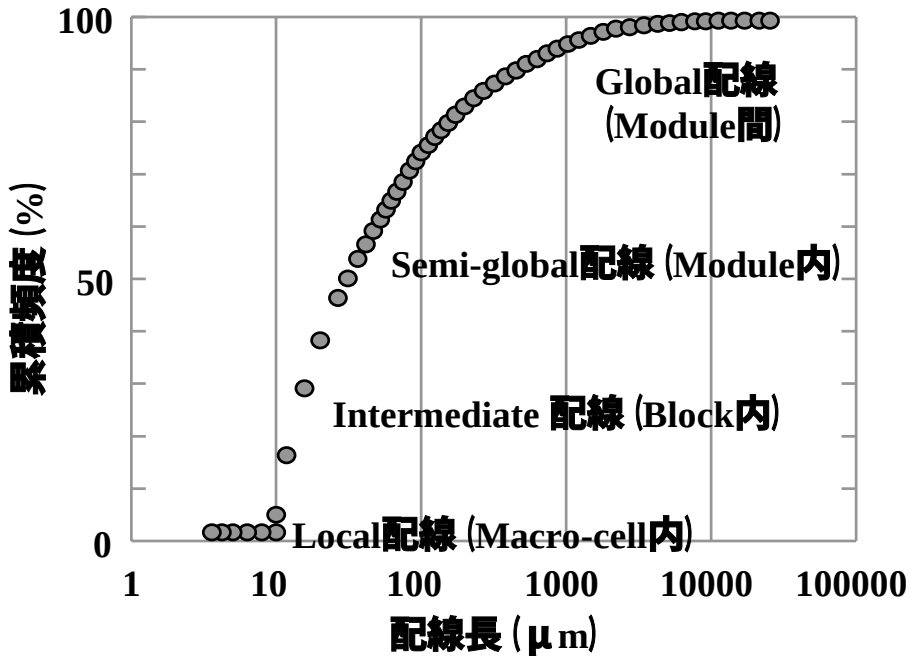
→ 3種類のILD構造について、各世代で想定される配線・Via寸法と膜厚を用いて、Low-k材料を適用した場合の配線容量（keff）を計算する

配線遅延の見積もりに用いたSoC階層構造モデル



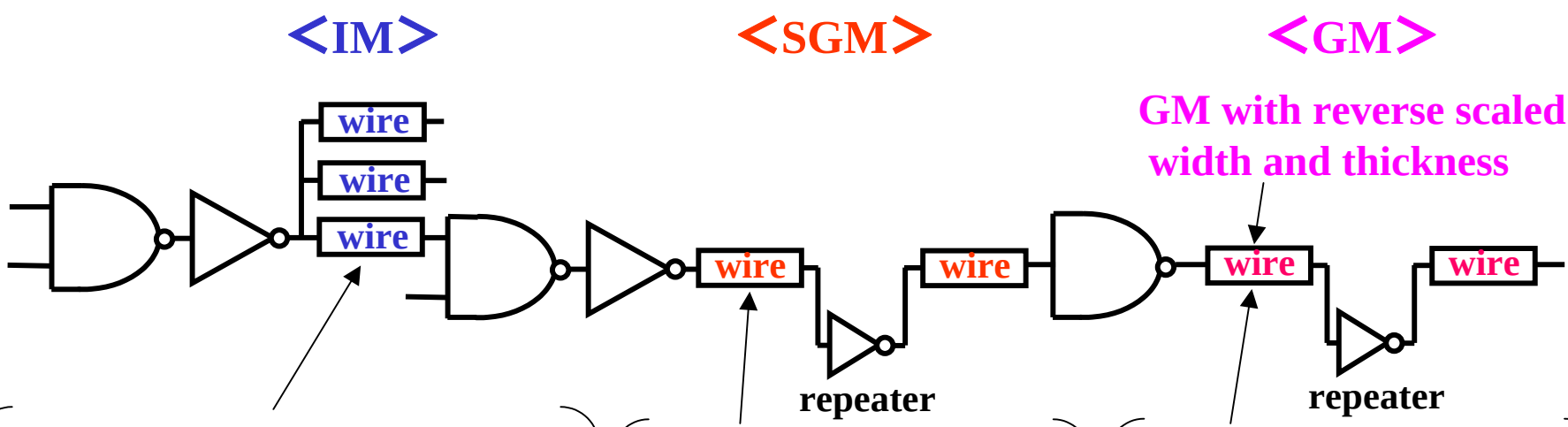
Module
(同期設計を前提とできる最上位階層)

Block
(Moduleを構成する機能単位)



信号線種類	使用配線層	モデル
Macro-cell内	Local	Cell内限定1層使用 (固定)
Block内信号	Intermediate	最長信号距離：50配線-Pitch 駆動能力(W/L):10, Scalingで短距離化
Module内信号	Semi-global	信号距離：Moduleの1/2辺長 駆動能力(W/L):40, 1/4クロックで伝播
Module間信号	Global	最長信号距離：Chip辺長の2倍 駆動能力(W/L):Variable, 1クロックで伝播

高性能SoCの性能律速経路とRCスケーリングの考え方



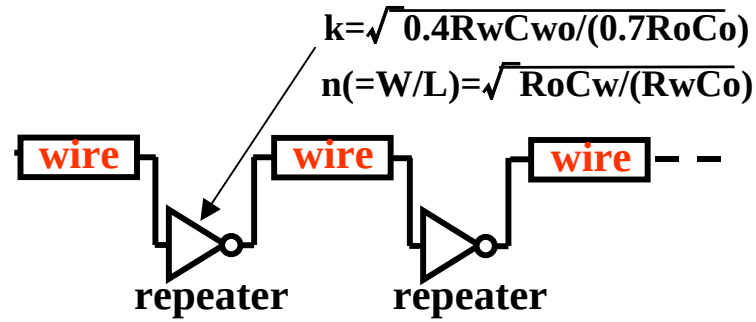
$$\tau_{min}(1/f_{max})=k_1R_TC_W+k_2R_WC_T+2\sqrt{k_3R_WC_WR_TC_T}$$

世代毎に30%の遅延時間（τ_{min}）改善率を達成するように
配線抵抗（R_W）及び配線容量（C_W）をスケーリングする

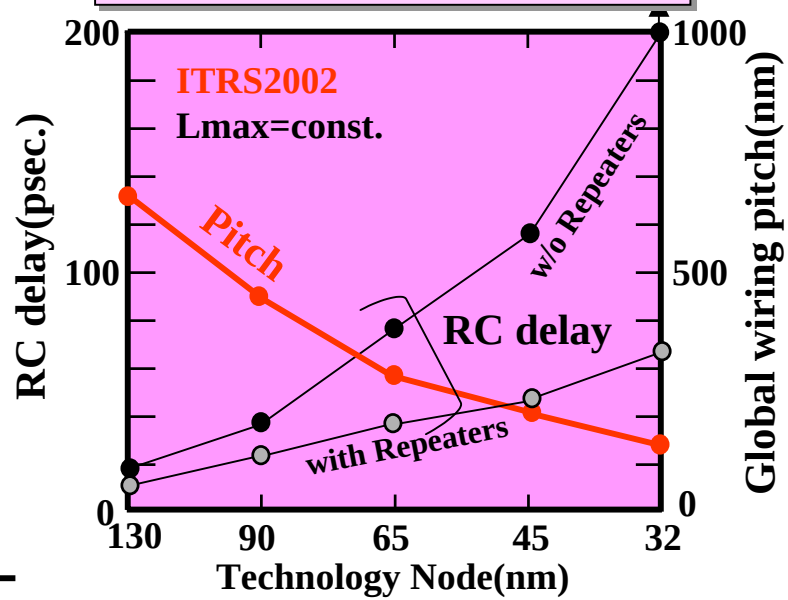
*Global*配線のスケーリング理論と逆スケーリングの必要性

配線パラメータ／特性	配線長：一定 スケーリング	配線長：kc倍 スケーリング
Width (W)	1/k	1/k
Space(S)	1/k	1/k
Length(L)	1 →	kc
Wire thickness (T_I)	1/k	1/k
ILD thickness (T_D)	1/k	1/k
Resistance($R=\rho L/WT_I$)	k^2 →	kck^2
Capacitance(interlevel) ($C_V=\varepsilon WL/T_D$)	1 →	kc
Capacitance(intralevel) ($C_L=\varepsilon T_I L/S$)	1 →	kc
Delay time(τ=RC)	k^2 →	$(kck)^2$
IR drop(ΔV=IR)	k →	kck
Current density(J=I/WT)	k →	kck

＜Repeaterによる配線分割＞



長距離Global配線の
RC遅延低減については、
材料の変革による改善だけでは解なし
↓
逆スケーリング（断面積拡大）が必須



Global配線の逆スケーリングの妥当性

1998年以降にPublishされた学会・論文からGlobal配線のPitchを調査(by H.J Barth)

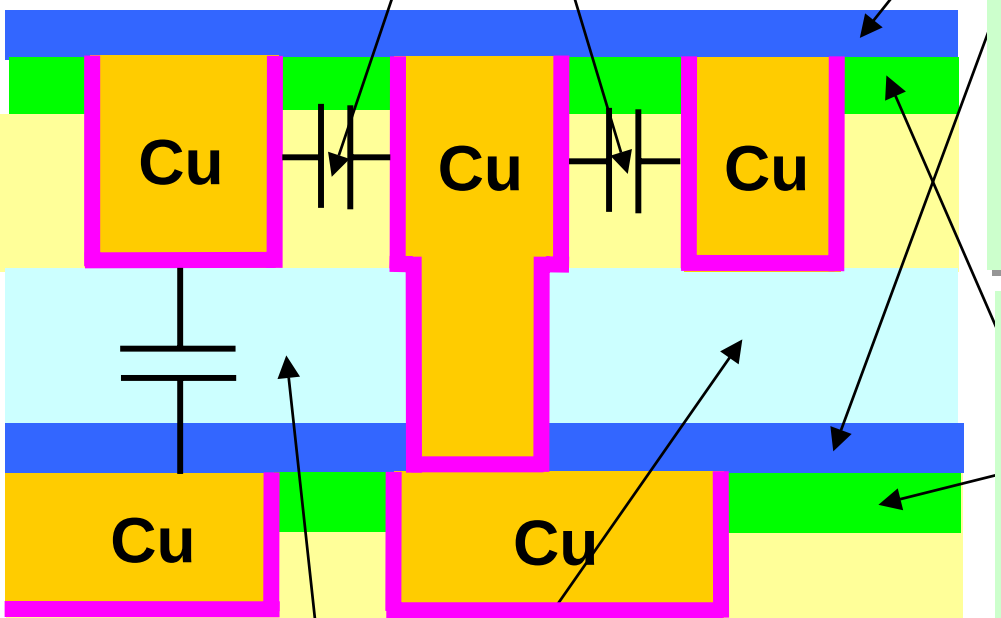
Node	Company	Ratio of GM/IM wire pitch	Reference
130nm	ITRS2001	1.48×	–
	IBM	2.0×	L.K.Han,VLSI2000p.12
	Intel	2.69×	T.Schml,VLSI2001,p.101
	Toshiba	5.0×	H.Yoshimura,VLSI2000,p.144
	Fujitsu	4.0×	Y.Takao,IEDM2000,p.559
	TSMC	2.2×	K.K.Young,IEDM2000,p.563
90(100)nm	ITRS2001	1.74×	–
	IBM	4.0×	S.F.Huang,IEDM2001,p.237
	Toshiba	6.67×	K.Miyashita,VLSI2001,p.11
	Mitsubishi	5.0×	K.Tomita,VLSI2002,p.14
65nm	ITRS2001	1.49×	–
	NEC	8.0×	Y.Nakahara,IEDM2003,p.282
	Toshiba	10.0×	M.Kanda,VLSI2003,p.13
	Fujitsu	4-8×	S.Nakai,IEDM2003,p.285

→ この結果を基にUpdateされたITRS2002記載のGlobal配線のPitch（膜厚はTable記載のA/Rに準拠）を採用

配線パラメータ導出モデルにおける仮定

＜Assumption on Interconnect parameter estimation＞	
Design rule	×0.70/node-scaling, Reverse-scaling for GM
Chip-size	const.(=7mm□) as 1-clock cycle limit
Module-size	×0.70/node-scaling
Repeater	Inserted for SGM and GM wires
Gate density	×2.0/node(based on ITRS2002 MPU-R.M)
Active power density	×0.6/node with average-long IM wire
Logic depth	×0.75/node-scaling
τ min.	×0.70/node-scaling

Cu配線に用いられているLow-k膜とその役割



Cu拡散防止膜(Etch-Stopper)

＜材料例＞

・SiN(k7)→SiC(N)(k5-4)

＜役割＞

・Cuの酸化・拡散防止

・B.L-Via加工時の停止

Hard-Mask(CMP保護層)

＜材料例＞

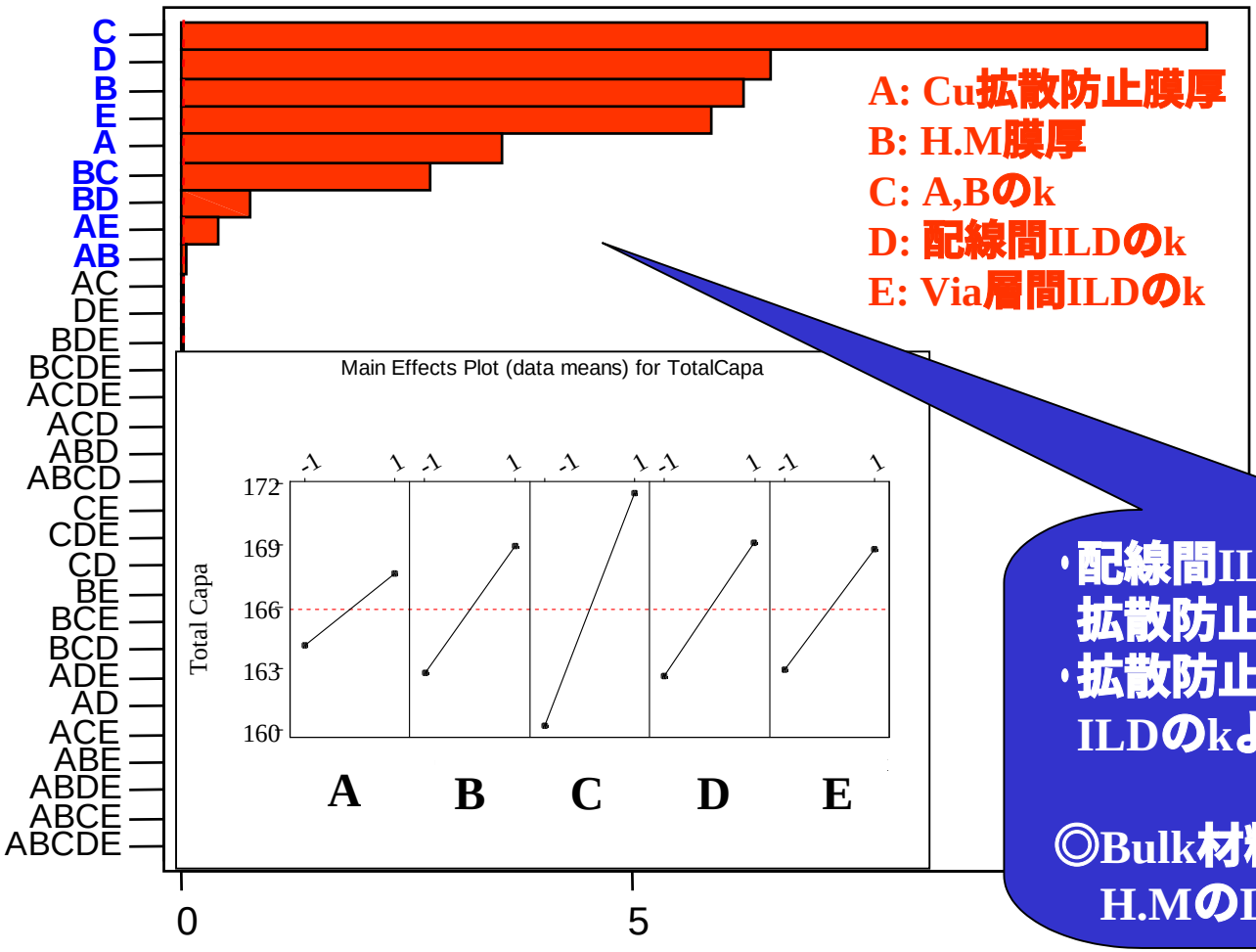
・SiO2(k4)→SiOC(k3)

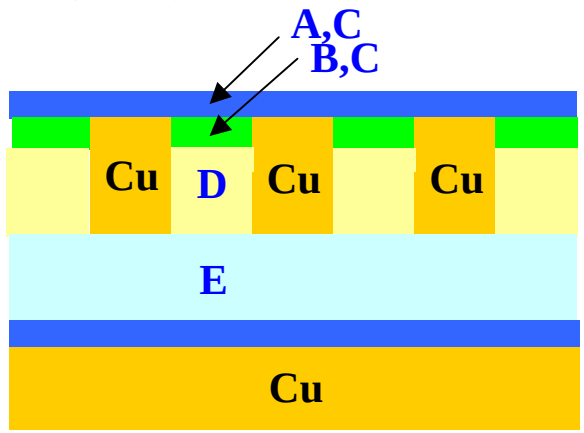
＜役割＞

・Low-k膜の表面保護
(CMP傷防止、吸湿防止)

実際のCu配線構造では、配線間やVia層間に用いるLow-k膜以外に比誘電率の高い絶縁膜を用いる必要があるため、実効k値が高くなる

配線パラメータの容量に対する感度解析結果





Cu拡散防止膜(Etch-Stopper
Hard-Mask(CMP保護層)

・配線間ILDのkよりもH.Mや
拡散防止膜のk が最も感度高い
・拡散防止層の膜厚はVia層間
ILDのkよりも感度が高い

↓

◎Bulk材料同様にCu拡散防止膜の
H.MのLow-k化/薄膜化が重要

＜配線容量と各パラメータとの線形近似モデル化＞

→ $Cap. = \alpha_1$[配線間ILDのk]+ α_2[Via層間ILDのk]+ α_3[H.Mのk]+・・・

計算で導出した最適なILD構造パラメータ

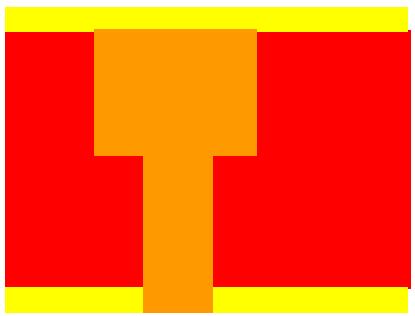
Year of 1st Product shipment	2001	2004	2007	2010	2013	2016
Technology Node(nm)	130	90	65	45	32	22
Minimum dielectric const. keff	3.7	3.3	2.9	2.5	2.0	1.7
k(Trench/Via-ILD)	<3.7	<3.0	<2.4	<1.9	<1.5	<1.2
k(Cu diffusion barrier)	<6.7	<5.0	<3.8	<2.8	<2.1	<1.6
Diffusion barrier thickness(nm)	<75	<60	<48	<38	<31	<25
k(Hard mask)	<5.3	<4.0	<3.0	<2.3	<1.7	<1.3
Hard mask thickness(nm)	<80	<62	<49	<38	<30	<23

上記計算と並行して、
各世代で現実的に入手可能と判断される各種Low-k材料を
典型的なILD構造に適用した場合について容量計算を行う

90nm Node (2004) で想定されるkeffの計算結果

<Homogeneous-type w/o cap>

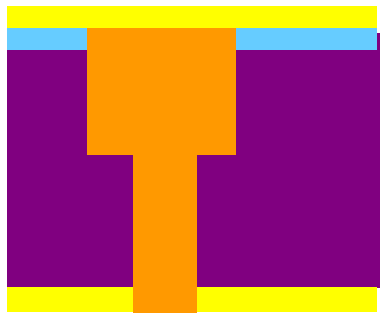
Assumptions
Cu D.B height = 50nm
Hardmask height = NA
Via height = 210nm
Trench height = 230nm
Minimum L/S = 140nm



Assumptions
$K_{(Cu\ D.B)}$ = 5.0
$K_{(Hardmask)}$ = NA
$K_{(via)}$ = 3.0
$K_{(trench)}$ = 3.0
K_{eff} = 3.24

<Homogeneous-type with cap>

Assumptions
Cu D.B height = 50nm
Hardmask height = 50nm
Via height = 210nm
Trench height = 230nm
Minimum L/S = 140nm



Assumptions
$K_{(Cu\ D.B)}$ = 5.0
$K_{(Hardmask)}$ = 4.1
$K_{(via)}$ = 2.65
$K_{(trench)}$ = 2.65
K_{eff} = 3.05

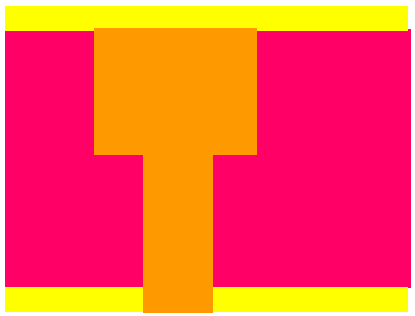
<Hybrid-type with hard mask>

Assumptions
Cu D.B height = 50nm
Hardmask height = 50nm
Via height = 210nm
Trench height = 230nm
Minimum L/S = 140nm

Assumptions
$K_{(Cu\ D.B)}$ = 5.0
$K_{(Hardmask)}$ = 4.1
$K_{(via)}$ = 3.7
$K_{(trench)}$ = 2.65
K_{eff} = 3.54

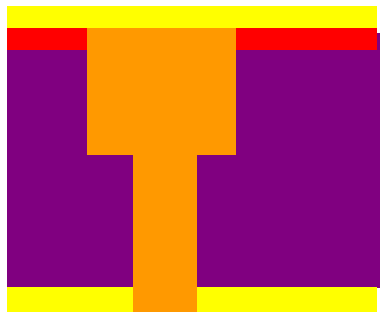
65nm Node (2007) で想定されるkeffの計算結果

Assumptions
Cu D.B height = 35nm
Hardmask height = NA
Via height = 150nm
Trench height = 170nm
Minimum L/S = 100nm



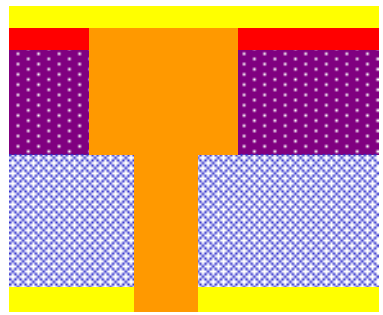
Assumptions
$K_{(Cu\ D.B)}$ = 4.0
$K_{(Hardmask)}$ = NA
$K_{(via)}$ = 2.8
$K_{(trench)}$ = 2.8
K_{eff} = 2.96

Assumptions
Cu D.B height = 35nm
Hardmask height = 35nm
Via height = 150nm
Trench height = 170nm
Minimum L/S = 100nm



Assumptions
$K_{(Cu\ D.B)}$ = 4.0
$K_{(Hardmask)}$ = 3.0
$K_{(via)}$ = 2.65
$K_{(trench)}$ = 2.65
K_{eff} = 2.83

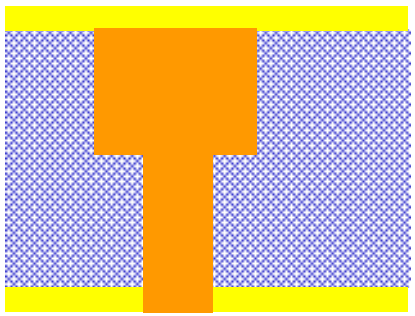
Assumptions
Cu D.B height = 35nm
Hardmask height = 35nm
Via height = 150nm
Trench height = 170nm
Minimum L/S = 100nm



Assumptions
$K_{(Cu\ D.B)}$ = 4.0
$K_{(Hardmask)}$ = 3.0
$K_{(via)}$ = 2.5
$K_{(trench)}$ = 2.4
K_{eff} = 2.71

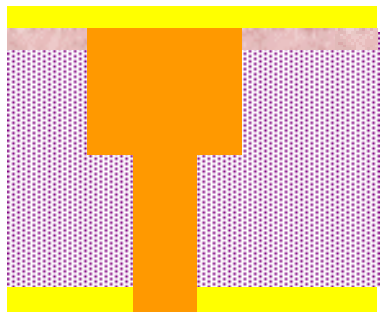
45nm Node (2010) で想定されるkeffの計算結果

Assumptions
Cu D.B height = 25nm
Hardmask height = NA
Via height = 110nm
Trench height = 125nm
Minimum L/S = 70nm



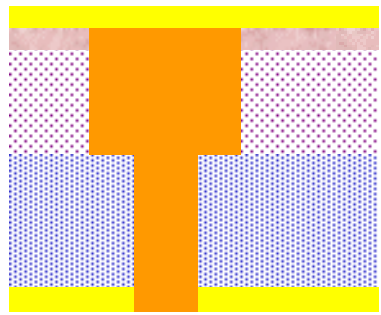
Assumptions
$K_{(Cu\ D.B)}$ = 3.5
$K_{(Hardmask)}$ = NA
$K_{(via)}$ = 2.4
$K_{(trench)}$ = 2.4
K_{eff} = 2.54

Assumptions
Cu D.B height = 25nm
Hardmask height = 25nm
Via height = 110nm
Trench height = 125nm
Minimum L/S = 70nm



Assumptions
$K_{(Cu\ D.B)}$ = 3.5
$K_{(Hardmask)}$ = 2.5
$K_{(via)}$ = 2.2
$K_{(trench)}$ = 2.2
K_{eff} = 2.40

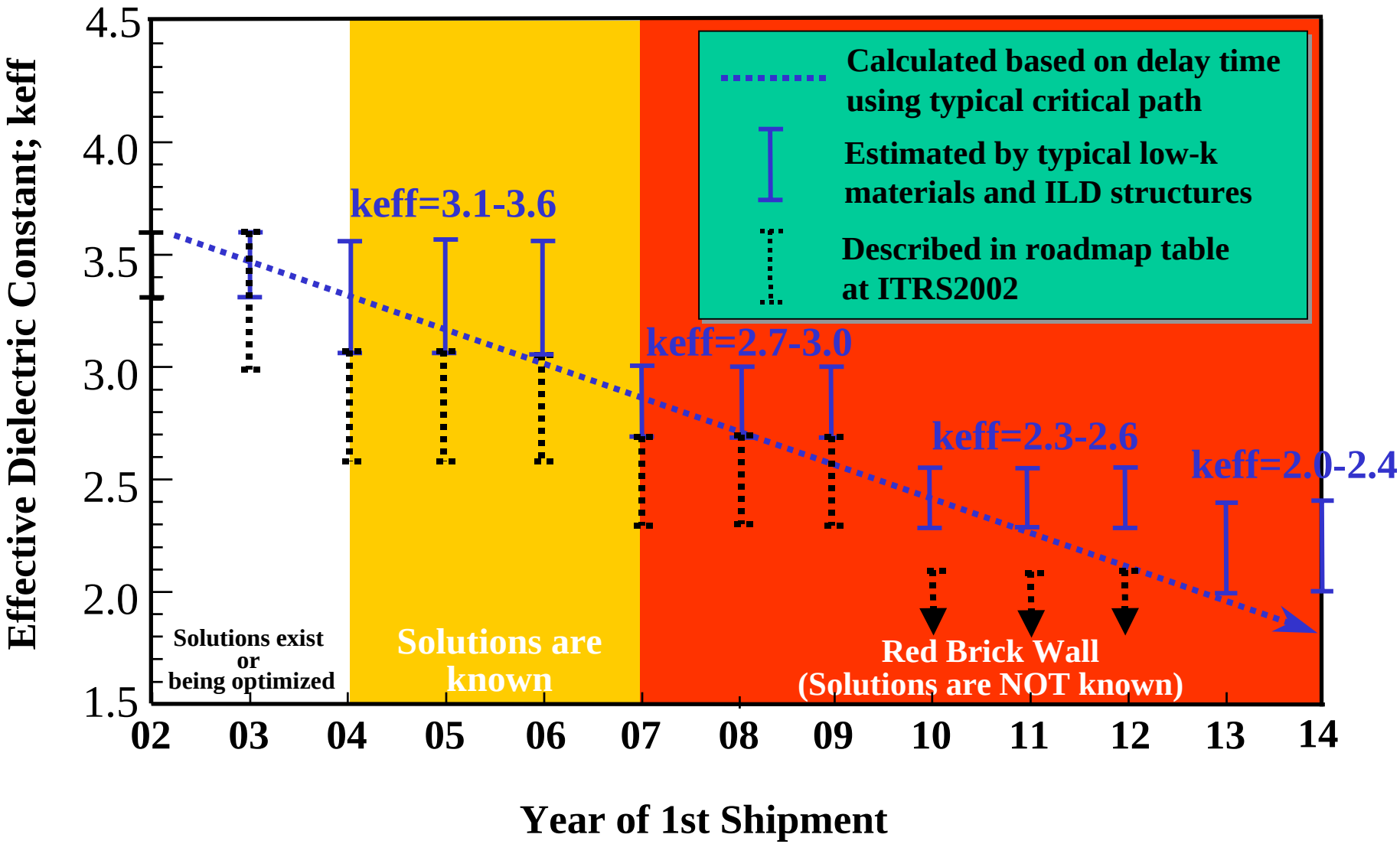
Assumptions
Cu D.B height = 25nm
Hardmask height = 25nm
Via height = 110nm
Trench height = 125nm
Minimum L/S = 70nm



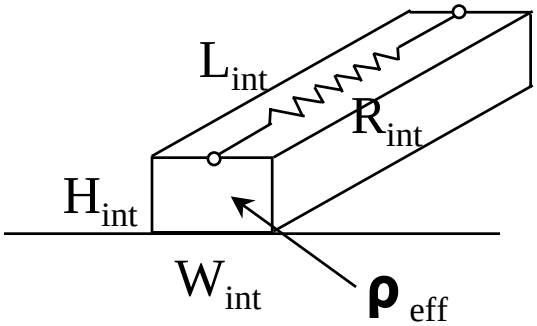
Assumptions
$K_{(Cu\ D.B)}$ = 3.5
$K_{(Hardmask)}$ = 2.5
$K_{(via)}$ = 2.2
$K_{(trench)}$ = 2.0
K_{eff} = 2.31

Work in Progress - Do not publish

ITRS2003 keffロードマップ(昨年度との比較)

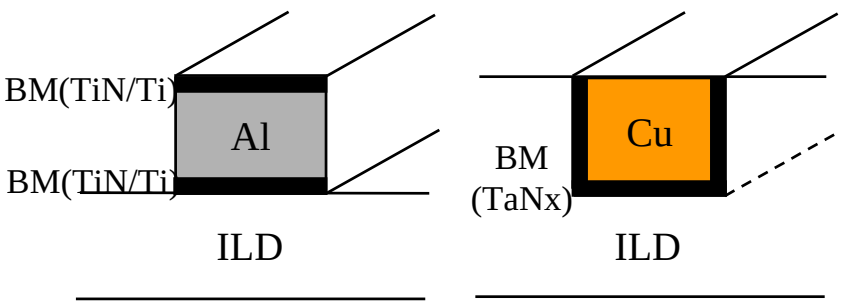


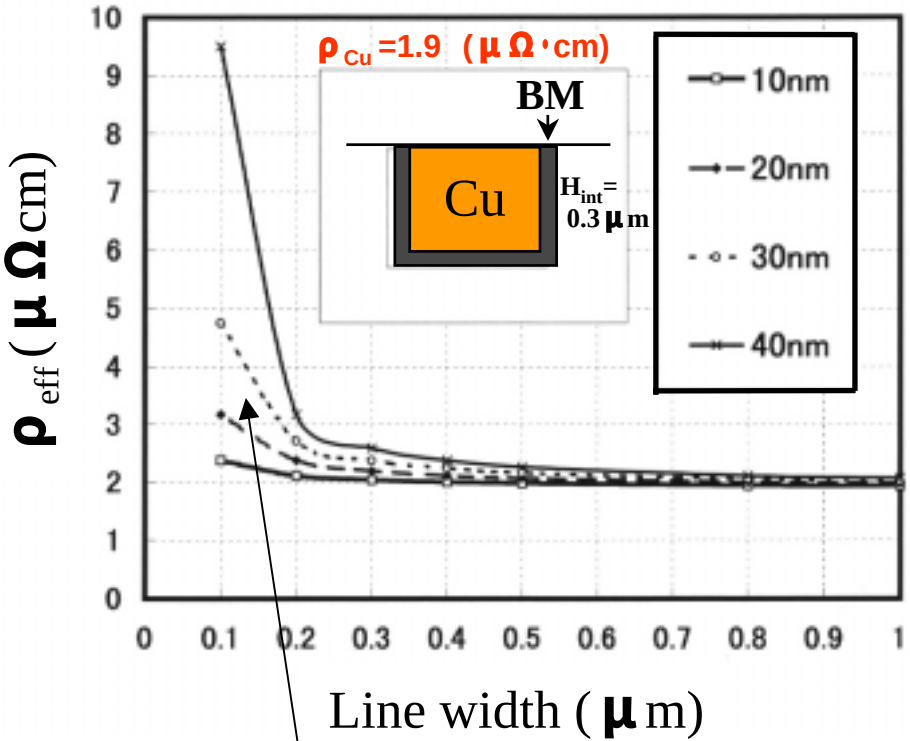
配線抵抗へ及ぼすバリアメタル（BM）膜厚の影響



$$R_{int} = \rho_{eff} L_{int} / (W_{int} H_{int})$$

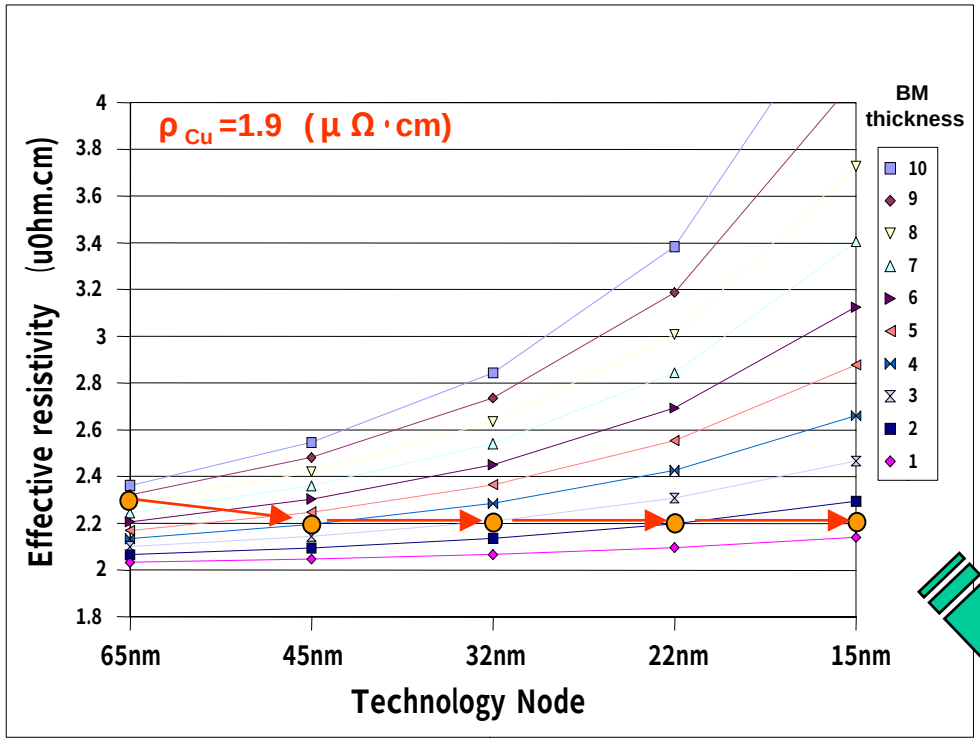
$$\rho_{eff} > \rho\,(bulk)$$





・配線を均一な抵抗体と仮定すると、
配線抵抗は微細化によって確実に増大
k倍@配線長:1/kスケーリング
k^2倍@配線長一定
・BM膜厚が配線幅で同じ比率でスケーリング
できないとさらに増大

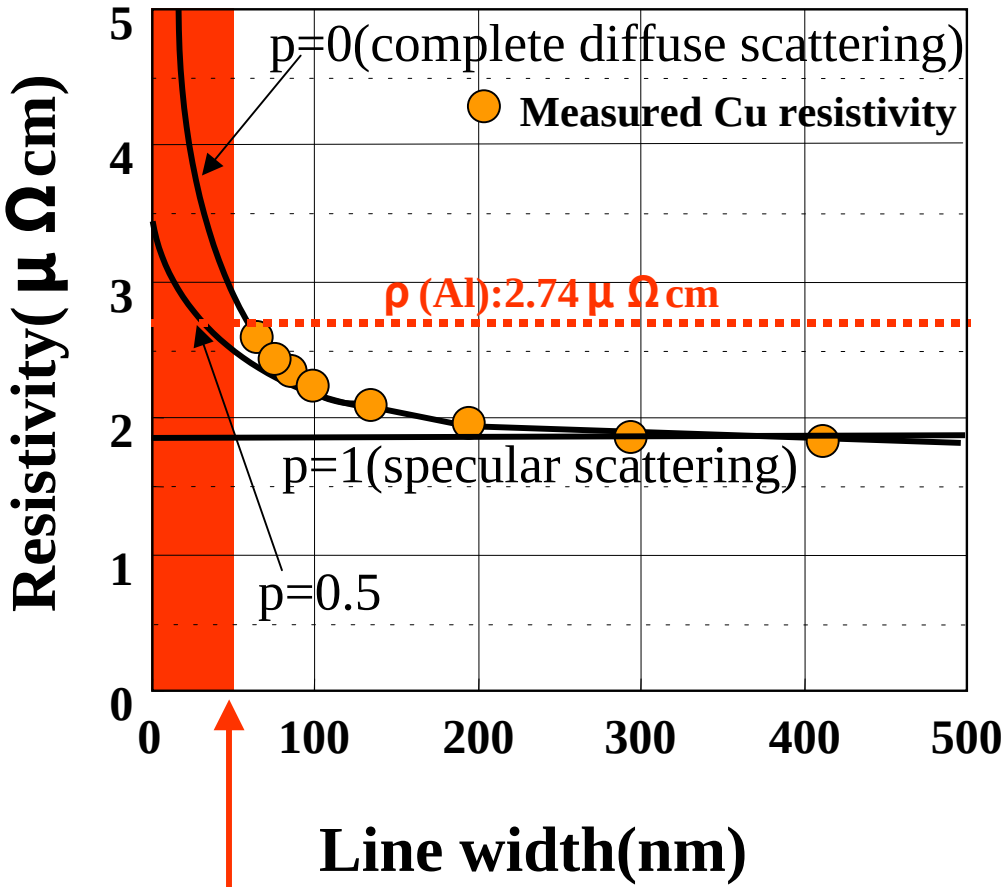
従来のBM膜厚のスケーリングシナリ



＜Required BM Thickness(nm)＞

Technology Node	Wiring Width (nm)	Wiring Height (nm)	Cu Bulk Resistivity (uohm.cm)	@ ρ eff=2.2 const
65nm	100	170	1.9	7
45nm	70	120	1.9	5
32nm	50	83	1.9	3.5
22nm	35	58	1.9	2.5
15nm	24	41	1.9	2

界面での電子散乱による*Cu*比抵抗の上昇



配線幅 <<電子の平均自由行程

↓

表面（界面）散乱が支配的

$\rho(W) = \rho_0 + (C/W)[3/4(1-p)+3/2r/(1-r)]$

ρ o: ρ (phonon散乱)+ ρ (不純物、空孔、転位)

p: 表面（界面）で弾性衝突する電子の割合

r:結晶粒界での電子の反射確率

↓

たとえBM膜厚が“Zero”でも抵抗は上昇する

↓

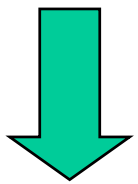
抵抗上昇の程度はBM/Cu界面Roughnessや Cu結晶構造などの影響を強く受ける

Half-pitch≦50nmではAlのρを超える可能性があり、32nm Node以降RBWとして警告を促す

配線実効比抵抗（ρ *eff*）の改訂について

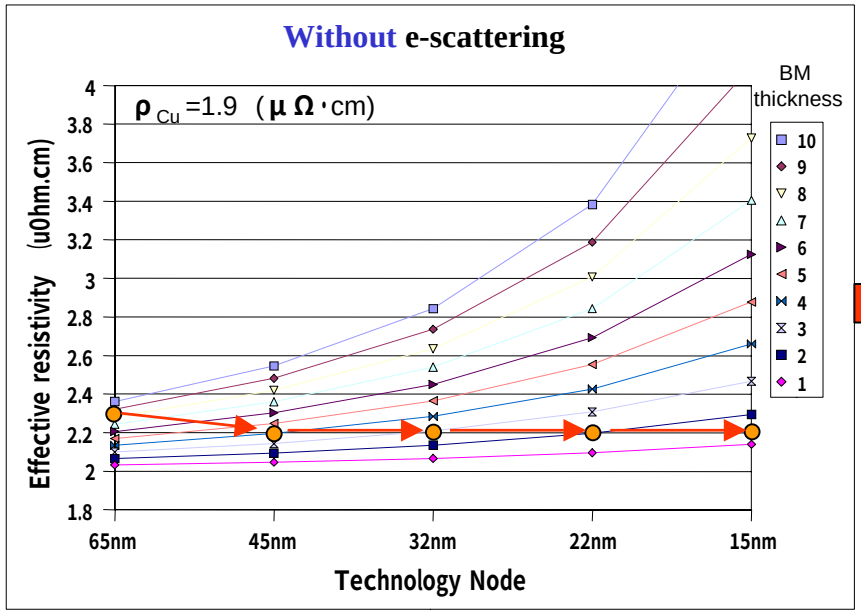
＜Regional TWGメンバーとの議論内容＞

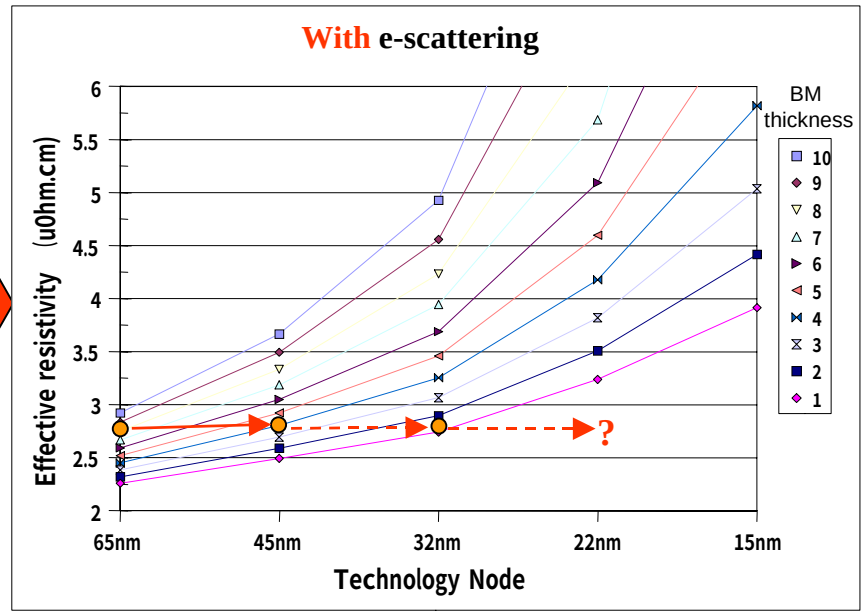
- 界面での電子散乱効果による抵抗上昇は理論的にも実験的にも活発に議論されている（昨年度もSEMATECHより実測データ提示あり）
- 但し、界面RoughnessやCu結晶構造、不純物の影響によって抵抗上昇の程度は変化することが予想される
- Low-kの場合と異なり材料・装置メーカーへのインパクトは小さい



→ ITRS2003では計算結果と実測をAppendixに掲載するに留める
→ 警告を促す意味で32nm Node（IM-Pitch=95nm)以降をRBWへ

*Cu*配線比抵抗の上昇に伴う*BM*膜厚ターゲットの変化



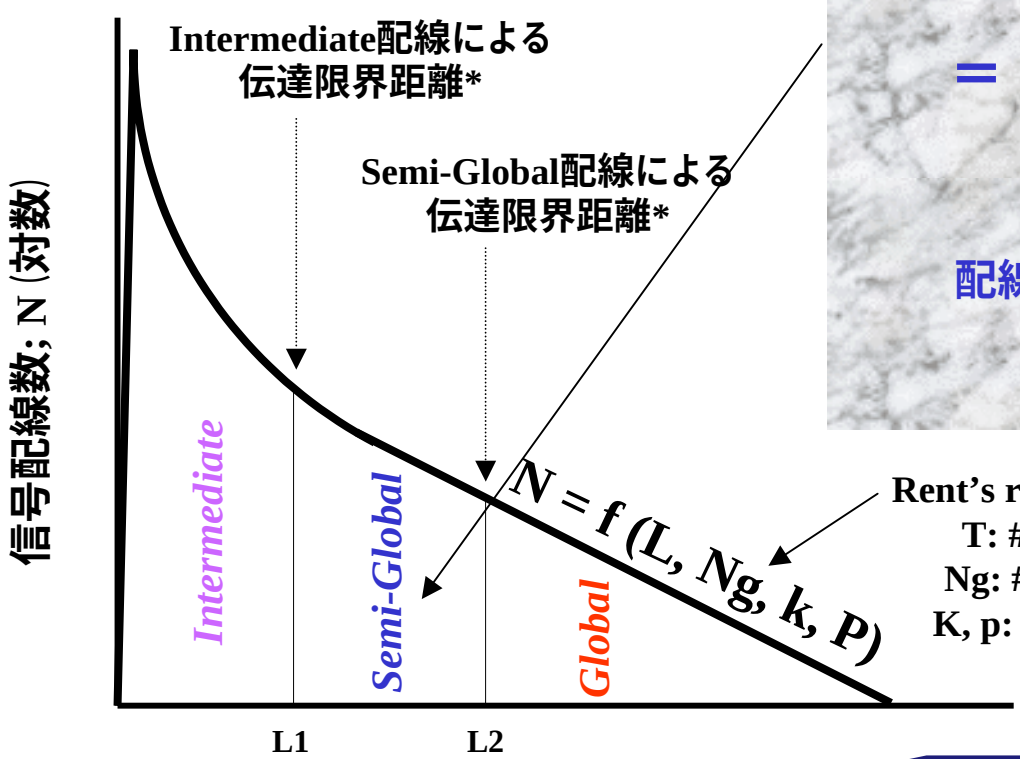


Technology Node	Wiring Width (nm)	Wiring Height (nm)	Cu Bulk Resistivity (uohm.cm) Without/With e-scattering	Required BM Thickness(nm) Without e-scattering @ ρ eff=2.2 const	Required BM Thickness(nm) With e-scattering @ ρ eff=const beyond 65nm node
65nm	100	170	1.9/2.2	7	7
45nm	70	120	1.9/2.4	5	4
32nm	50	83	1.9/2.6	3.5	1
22nm	35		/3.0	2.5	<0
				2	<0

ρ上昇を考慮するとρeff一定を目指したBM膜厚Scalingでは32nm以降破綻することは明らかであり、プロセス努力と並行して設計上の施策（ex.L規定, Repeater挿入,非同期設計）が必須

配線層数の導出モデル

＜Davisの配線長分布モデル＞



Rent's rule($T=kN_g^p$)
T: # of pins
Ng: # of gates
K, p: constants

k=5.0
p=053@90nmを基準に
eDRAM 面積比
で算出
損失割合=0.4

ex. Semi-Global配線の層数：

$$= \frac{\text{総配線信号長}\ (= \sum_{L1}^{L2} \text{信号配線数})}{\text{1層当たりの配線資源量}}$$

$$\text{配線資源量} = \frac{\text{チップ面積}}{\text{配線ピッチ}} (1 - \text{損失割合}^*)$$

**Layout効率、Blockage*

与えられた仕様(Chip-size/Tr数/Clock周波数etc) を満足する配線層数をIM配線及びGM (SGM含む) 配線について算出

* 伝達限界距離：信号が1クロックで伝播出来る距離

配線層数の改訂について

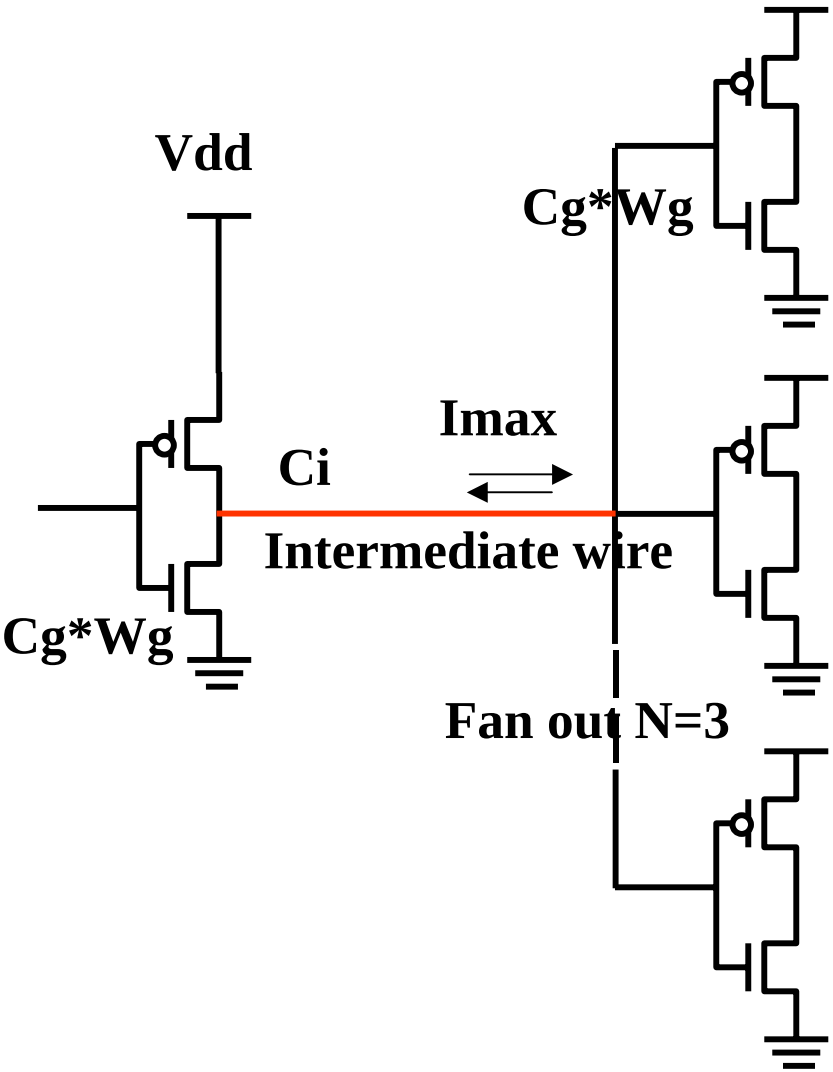
Year of 1st Product shipment		2001	2004	2007	2010	2013	2016
Technology Node(nm)		130	90	65	45	32	22
Number of metal levels	Total	9	10	11	12	12	14
	(ITRS2002)	8	9	10	10	11	11
Local metal wire		1	1	1	1	1	1
Intermediate metal wire		4	4	4	4	4	4
Semi-global metal wire		2	2	3	3	3	4
Global metal wire		2	3	3	4	4	5

＜Regional TWGメンバーとの議論内容＞

- Japan-TWGからの理論的なアプローチによる今回の提案には合意するが、Intel提案の配線層数と異なる
  （→ Intelからの提案とは前提条件：Chip-size, Tr数,Rent指数etcが異なる）
- 結果がGlobal配線の逆スケーリングの程度に依存する
  （→ITRS2002記載のGM/IM配線ピッチ・膜厚比を使用して計算）

→ ITRS2003で配線層数を変更へ、結果的には1-3層増加する

配線最大電流密度（*Jmax*）の計算モデル



左図のような簡単なInv.回路（F.O=3）に接続された信号線を流れる電流密度を計算

- 最小Tr幅（Wmin.）の仮定：
  - NMOS Gate幅=（ASIC Half-pitch）×4
  - PMOS Gate幅=（NMOS Gate幅）×2
- 回路のTr幅（Wg）の仮定：
  - Wg =Wmin.×8
- Gate容量(Cg)はTables 35a and b記載値を使用
- 配線長（Li）はIM配線Pitch×200と仮定
- 配線容量（Ci）はUpdated keff値を使用

※ 信号線（IM配線）を流れる平均電流密度（Jmax）

= f (Cg・Wg・N+Ci)・Vdd/(Wi・Ti)

配線最大電流密度（*Jmax*）の計算結果と改訂内容

Year	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
Technology node	100	90	80	70	65	57	50	35	25	18
MPU/ASIC 1/2pitch	120	107	95	85	76	67	60	42	30	21
Width(nm) @Intermediate	160	137.5	120	107.5	97.5	87	78	55	39	27.5
Height(nm) @Intermediate	272	233.75	204	182.75	175.5	156.6	140.4	104.5	74.1	55
Vdd (V)	1.2	1.2	1.1	1.1	1.1		1	0.9	0.8	0.7
x 1 Gate Width (μm)*	1.284	1.08	0.96	0.84	0.78	0.684	0.6	0.42	0.3	0.216
x 8 Gate width = Wg (μm)	10.272	8.640	7.680	6.720	6.240	5.472	4.800	3.360	2.400	1.728
Physical gate length (μm)**	0.045	0.037	0.032	0.028	0.025	0.022	0.020	0.014	0.010	0.007
Inversion Gate Dielectric Value (nm)**	2.100	2.000	1.800	1.700	1.300	1.200	1.200	1.100	1.000	0.900
Parasitic Fringe/Overlap Cap (fF/μm)	0.240	0.240	0.240	0.230	0.220	0.200	0.190	0.150	0.120	0.080
Cg @ W=1μm(fF/μm)	0.979	0.878	0.853	0.798	0.883	0.833	0.765	0.589	0.465	0.348
Cg x Wg (fF)	10.059	7.588	6.554	5.364	5.513	4.555	3.672	1.979	1.116	0.602
Frequency (MHz)***	3088	3990	5173	5631	6739	8330	9920	16735	25616	35020
Fan out : N	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000	3.000
Wire capacitance (fF/μm)	0.205	0.199	0.199	0.198	0.174	0.174	0.174	0.151	0.120	0.110
Wire length :Pitch*200 (μm)	64.000	55.000	48.000	43.000	39.000	34.800	31.200	22.000	15.600	11.000
Total Wire Cap (fF)	13.109	10.939	9.547	8.509	6.790	6.059	5.432	3.321	1.864	1.212
Total Cap (fF)	43.287	33.704	29.208	24.602	23.328	19.725	16.448	9.259	5.212	3.017
Average Imax(nA)	160405	161373	166202	152385	172929	195671	275254	213460	146026	73967.9
Average Jmax (MA/cm^2)	0.369	0.502	0.679	0.776	1.011	1.436	2.513	3.714	5.053	4.890

＜Regional TWGメンバーとの議論内容＞

- Imax/Jmaxは元来Japan-TWGからの提案で掲載した経緯もあり、今回の改訂に合わせて現実に即した値へ変更することに合意

→ Jmaxの数値変更を行うとともにViaを流れる電流値に関しては今やVia複数取りが標準であるために表から削除

論理的根拠に基いた
合理的かつ現実的な配線技術*Roadmap*の改訂まとめ

□ Low-k（k及びkeff値）

- 性能律速経路における遅延モデルのR,Cスケーリング及び現実的に開発可能なLow-k材料を用いたILD構造の容量計算から導出したkeffへ変更
- 結果的にはITRS2002に比べて約3年後ろ倒し
- 母材のみならずDCLやDPLのk低減や薄膜化が重要であることを明記

□ 配線実効比抵抗（ρeff値）

- 界面での電子散乱効果を考慮した計算結果と実測データを掲載
- 2003年度は警告を促す意味で32nm Node以降をRBWへ

□ 配線層数

- 論理的なアプローチ(Davisの配線長分布モデル）により算出
- 結果的にはITRS2002に比べて1-3層増加

□ 配線/Via最大電流密度（Jmax及びImax値）

- IM信号線を流れる平均電流を最新パラメータを用いて再計算し、現実に即したJmaxへ変更
- Viaを流れる電流値はVia複数取りが標準であるために表から削除

2004年度の活動方針

□ LM及びIM配線ピッチの見直し

- 現状のLocal配線及びIntermediate配線のピッチは、当時の設定値からの単純スケーリングによって決められており、先行デバイスメーカーが採用しているピッチとの調整が必要

□ 配線のρ及びρeffの数値見直し

- 今年度はCu配線抵抗について抵抗上昇データの添付に留めたが、現状の2.2μΩcmはすでに実測値との乖離が大きく、設計側への指針提示の重要性を鑑み来年度は根拠のある数値化を行う

□ Memory対応の配線ロードマップ見直し（from台湾ITWG)

- 台湾メンバーからMemoryに関するロードマップ見直し要求あり。（特にDRAMやFlashにおけるCu導入時期やAl延命について）
  ITRS2004 Update活動において台湾勢を中心に検討予定