

DFTとATEとの更なる融合

テストコスト削減のための
チップ設計からテストイングまで

WG2(テスト)主査
ルネサステクノロジ
西村 安正

報告のアウトライン

1. はじめに
2. 合同活動 (SoC同測)
3. DFT-SWG活動
4. ATE-SWG活動
5. 2004年度活動まとめ
6. 2005年度活動に向けて

2004年度の活動メンバ

STRJ-WG2(テスト)(28名)

DFT-SWG(9名)

委員 : 富士通、ルネサス、松下、NECEL、
沖、東芝、ローム

特別委員 : 都立大、STARC

ATE-SWG(19名)

委員 : 富士通、ルネサス、松下、NECEL、
シャープ、セイコーエプソン、東芝

特別委員 : 徳島文理大

SEAJ
(装置側)と
より一層の
協働の為

: アドバンテスト、横河電機、シバソク、
: 日本マイクロニクス、東京エレクトロン、
: GTI、アジレントテクノロジー、
: 浜松ホトニクス、エアテストシステムズ

2004年度WG2活動方針

“DFTとATEとの更なる融合”

- テストコスト削減のためのチップ設計からテストングまで -

< 運用での留意事項 >

- * メンバの興味に応じた幅広い技術交流の場の提供
- * 月一度の委員会と年一回の合宿との限られた時間制約
議論すべき内容の選択(期首に焦点を絞る)
- * VLSIの技術的困難性増大の中で、時代が熱望する
“テストコスト削減”に、関係者の融合により肉薄したい
(最低でも、課題の明確化)

テストの課題

How can we improve manageability of the divergence between validation and ma
テスト品質の保証 ment?

Can **ATE** instruments catch up and keep up with high speed serial performance trends?

Can **DFT** mitigate analog test cost as it does in the digital domain?

What is the **cost** and capability optimal SOC test approach?

How can we make test of complex SIP designs more **cost** effective?

What happens when high speed serial interfaces
アナログ / 高速IFのテスト

Can **DFT** and **BIST** mitigate the mixed signal tester capability treadmill? What other opportunities exist?

DFTとテストコスト

Will increasing test data volume lead to increased focus on **Logic BIST** architectures? What are the other solutions?

Will market dynamics justify development of next generation functional test capabilities?

短TAT故障診断

+ テスト(BIST etc.)では 良品! だが、実機では 不良!! さて、どうする ??? (by浅田P・東大)

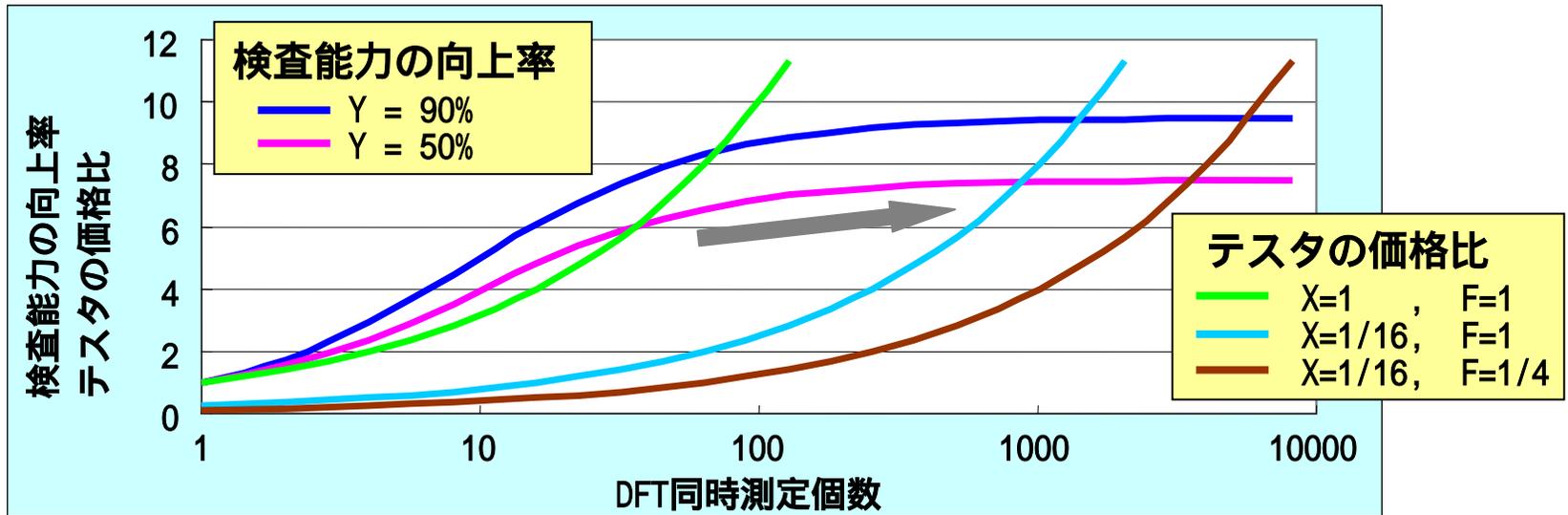
2. 合同活動 (SoC同測)

昨年度のWG2
活動報告より

同測によるテストコスト削減

● 同測によるテストコスト削減には限界 DFTにより拡大可能

➡ DFTとの協調でテストコスト削減を推進しよう



Multiテスト 対 Singleテスト

$$\text{検査能力の向上率} = \frac{(1+Y) \cdot N}{\{1+(N-1) \cdot d\} \cdot \{2-(1-Y)^N\}}$$

Y : 歩留り

N : 同時測定個数

d : 同測オーバヘッド(10%)

DFTテスト 対 Functionテスト

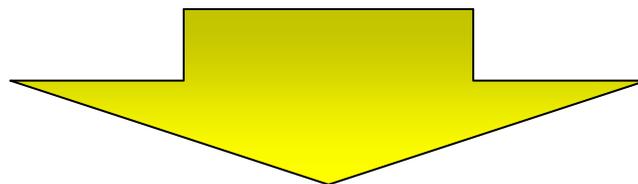
$$\text{テストの価格比} = X^{1/2} \cdot F^{1/2}$$

X : テストピン数比 (DFT / Function)

F : テスト周波数比 (DFT / Function)

SoC向け同測率向上の検討

- ATE制約とDFT手法の擦り合せ
制約事項と最適なDFT手法の検討
 - WLBIも視野に入れて実施



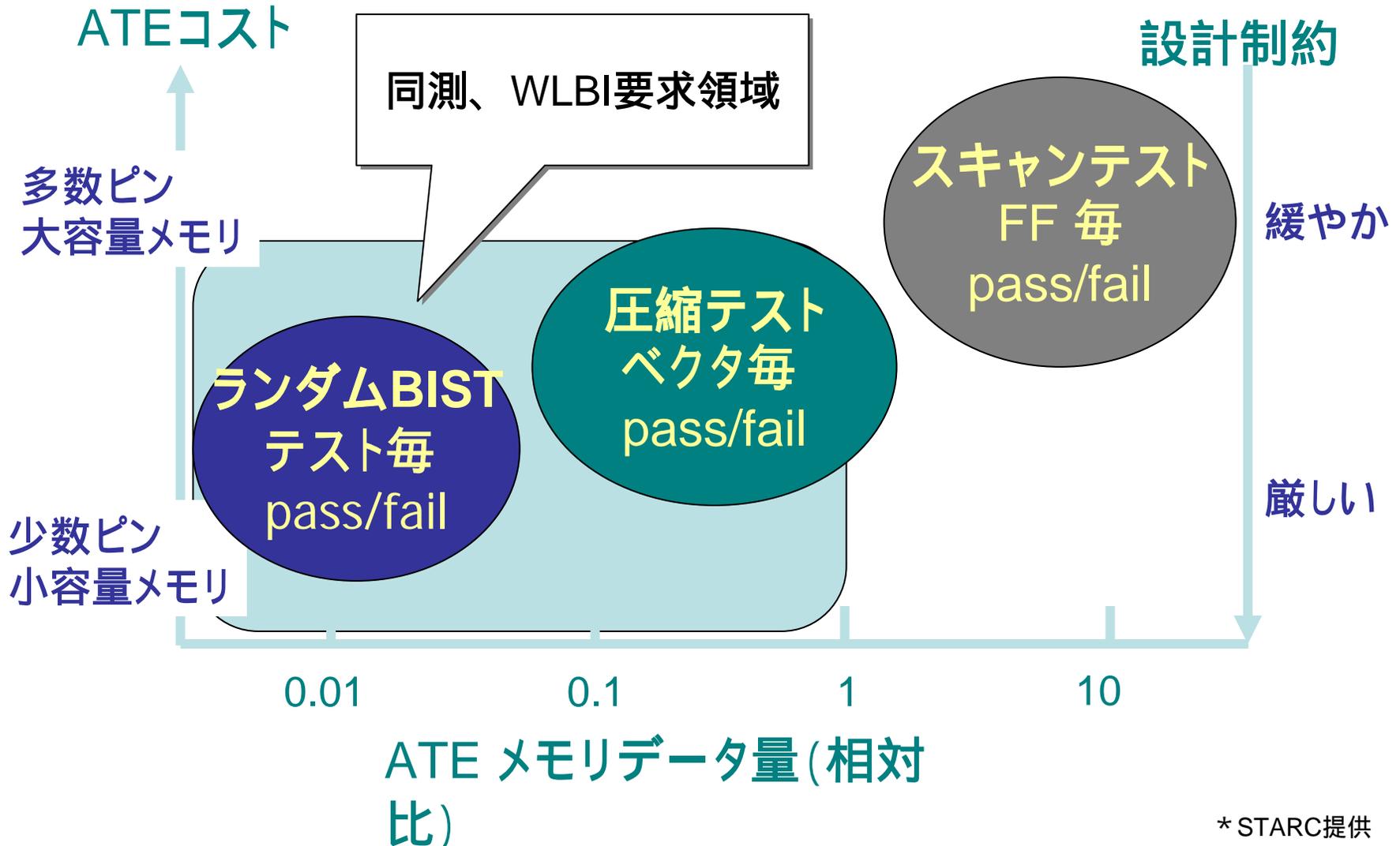
**【圧縮パターンテスト】 / 【ランダムBIST】適用が必須
課題：**

- ATE電源容量不足
- IOテスト(DCパラメトリック)は別に実施必要
- アナログブロックテストは別に実施必要

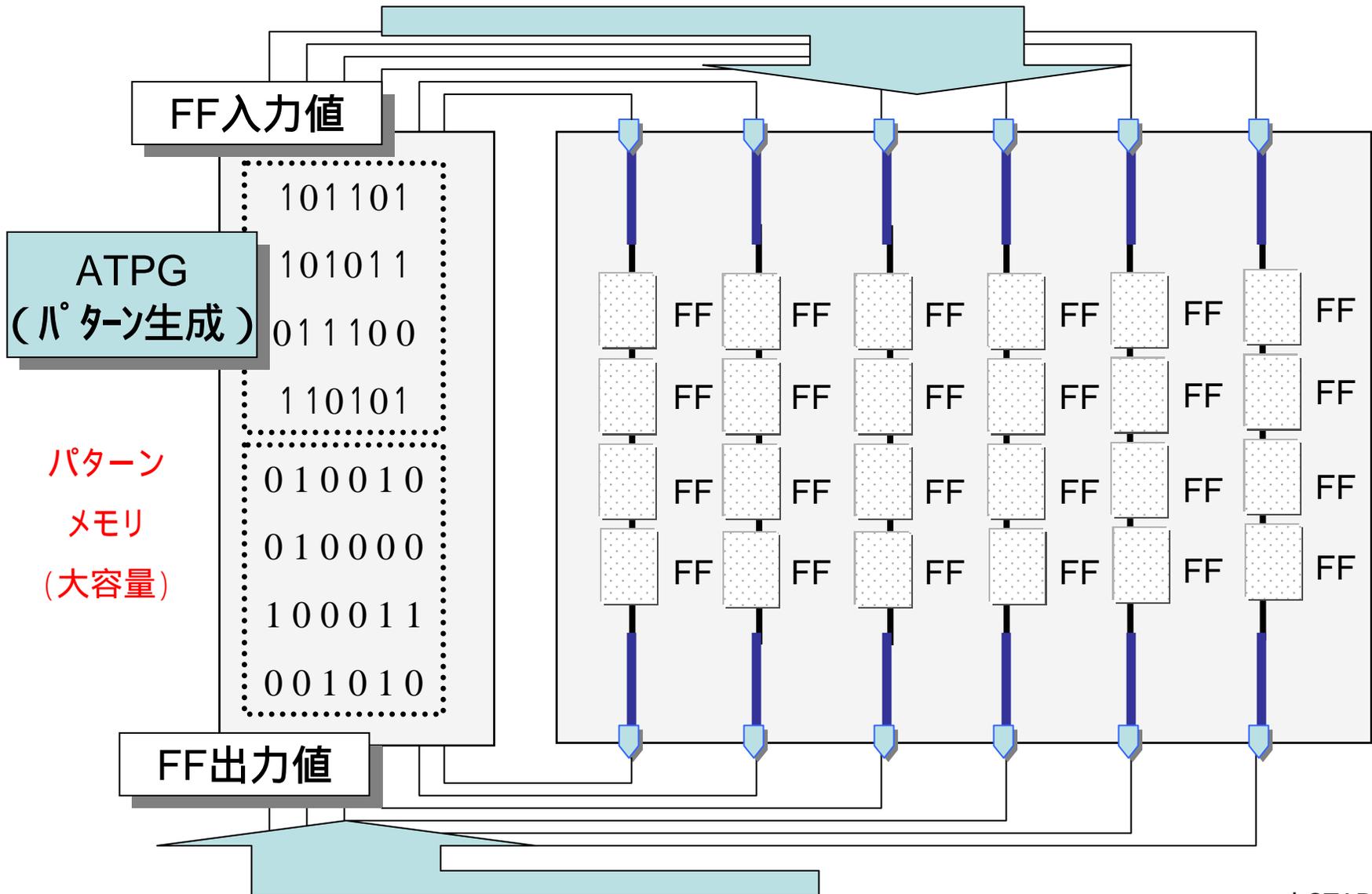
SoC向け同測テストの課題

項目		制約値	ファンクション テスト	スキャンテスト	ランダムBIST	圧縮パターン テスト
信号ピン数		1024 ÷ 同測数	× ~ 制約値以上のチップは適用不可	ピン数とテスト時間のトレードオフ		
				(1)非接触IOピン対策要 例:電位固定/IOラップ (2)DCパラメトリックテスト不可		
電源	電源種類	1 - 4 / DUT	通常テストと同数の電源必須			
	電流容量	2A / 電源	実使用状態以上の電流が流れる			
No/Goテスト		要	アナログブロックは別テスト必要			
パターンメモリ容量		64M アドレス	× 大容量		小容量	中容量
発熱		不明			発熱低減が必要	

DFT手法とその特徴

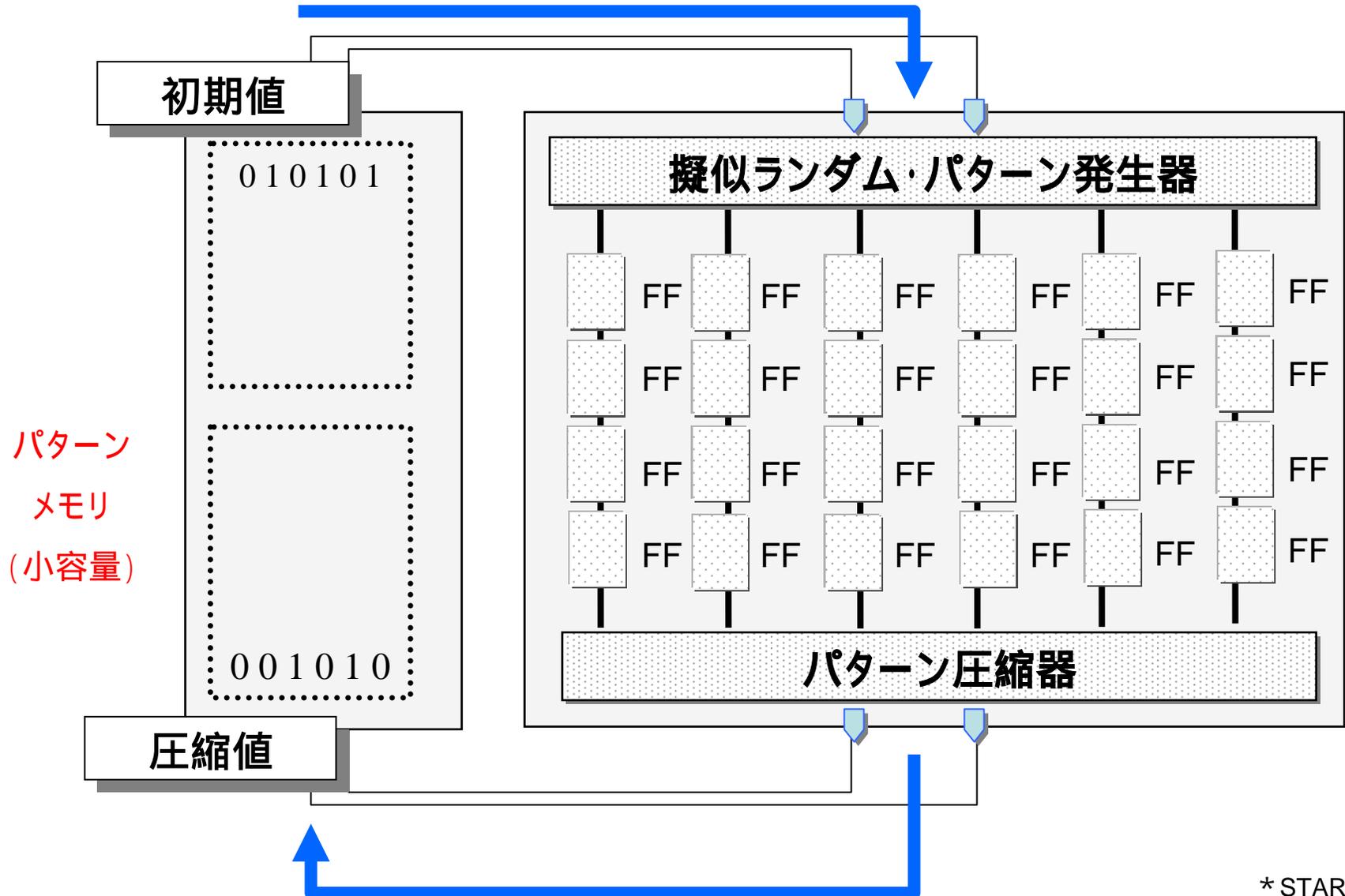


スキャンテストの概念



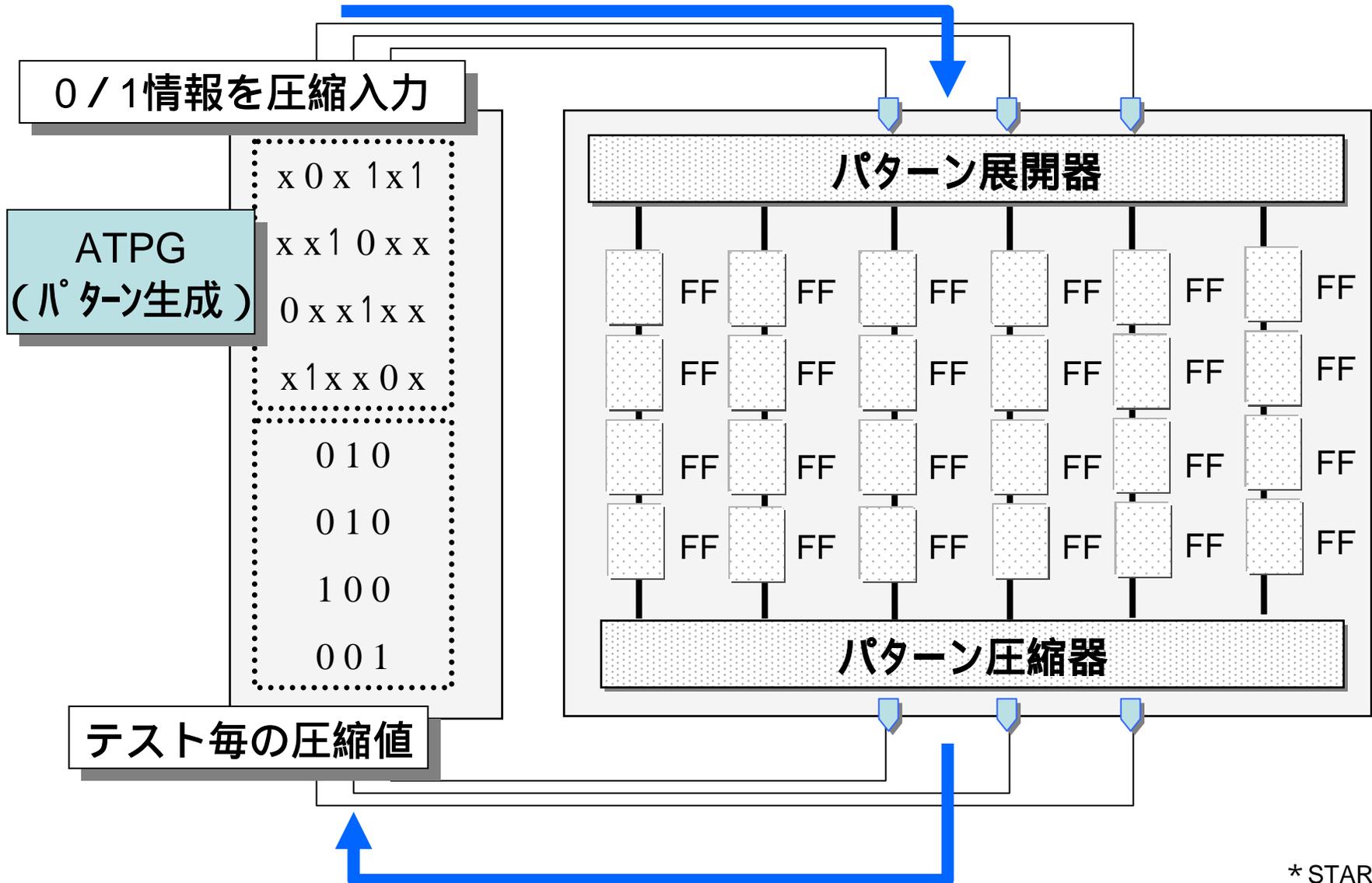
* STARC提供

ランダムBISTの概念



* STARC提供

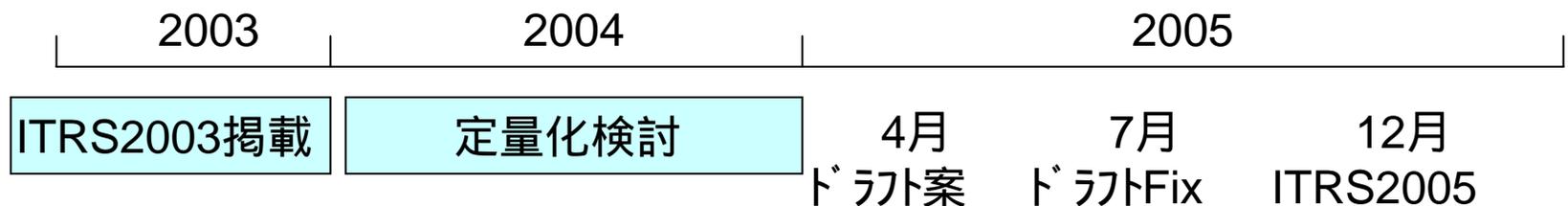
圧縮テストの概念 (一例)



3 . DFT-SWG活動

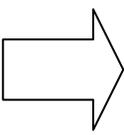
2004年度のDFT-SWG活動内容

- “ DFTとATEの更なる融合 ”
 - テストコスト削減のためのチップ° 設計からテスト° まで -
 - WLBI (Wafer Level Burn-In)、同測テストに向けた議論
- ITRSへの貢献 “ より実践的なSoCテストロード° マップ° を目指して ”
 - 2003年度：ITRS2003のSoCテーブル作成
 - 2004年度：“ ITRS2005を目指したSoCテーブルの定量化 ”
STRJ2003年報告を元にした見直し。
 - 日程：



ITRS2003提案 — SoCテスト

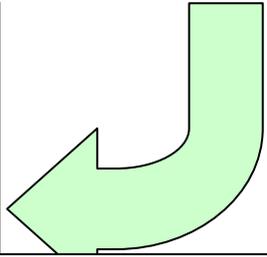
・ 技術分野ごとに課題を抽出
(ITRS2001:Supplementary Material)



・ 関連性を考慮して分類
SoCテスト技術課題/関連技術課題

・ SoCのイメージに沿った分類に見直し(ITRS2003)

- Embedded Cores : Logic , Memory , Analog
- Core Access
- SoC Level Testing
- Manufacturing

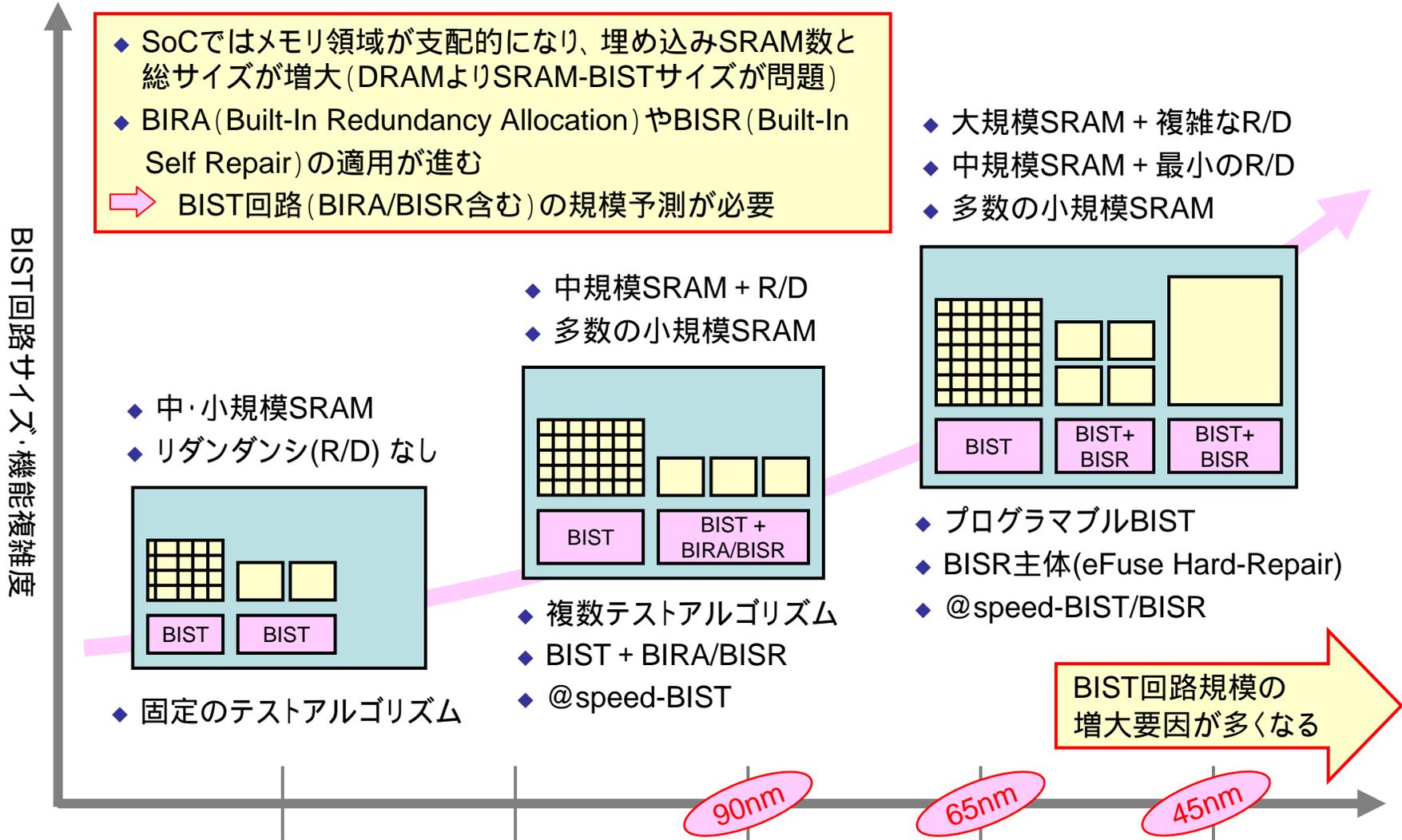


ITRS2005 へ向かって定量化

- 1 . メモリBIST回路規模
- 2 . ランダムBIST回路規模
- 3 . テストパターン数、
テスト時間
(デバイス品質のための
コスト増大への対応)

Year of Production	2003	
<i>Embedded Cores</i>		
Standardization of core test data	Standard format on EDA/ATE	Stand on
<i>Embedded Cores: Logic</i>		
Test logic insertion at RTL design	Partially	F
BISR for logic cores	Minimal	N
<i>Embedded Cores: Memory</i>		
Embedded non-volatile memory BIST	Yes	
<i>SoC Level Testing</i>		
Fault model for SoC level fault coverage	Single stuck-at fault model/ transition	

メモリBIST回路の規模予測



メモリBIST回路規模ロードマップ作成

作成方針:

- ◆ SoCモデルを選定し、ITRSより埋め込みメモリ総サイズ推移を予測(完了)
- ◆ その他DFT手法のロードマップなども考慮し、BIST(BIRA/BISR含む)回路の規模予測を行う

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010
Technology Node		hp90			hp65			hp45
SRAM Technology Node - Feature Size (F) [1]	130	90	90	90	65	65	65	45
6T bitセルサイズ(F ²)[1]	140F ²							
SoC内のメモリ面積割合(%) [2]	65.5	66.8	68.2	69.5	73.7	77.8	82.0	84.3
メモリ総ビット数 (Kbit)	4,293 [3]	9,135	9,326	9,504	19,322	20,397	21,498	46,111
リダンダンシ対応技術	一部BISR	一部BISR	BISR	BISR	BISR	BISR	BISR	BISR
テストアルゴリズム	固定	複数から 選択可	複数から 選択可	複数から 選択可	プログラマ ブル	プログラマ ブル	プログラマ ブル	プログラマ ブル
BIST/BIRA/BISR回路規模	TBD							

メモリ総サイズ見積り
↓
BIST回路規模見積り

[1] ITRS 2003 "System Drivers" Table 11a/b, "Embedded Memory Requirements" より

[2] 同Figure 11, "Power Gap Effect on Chip Composition" より

[3] "設計TF/PIDS/FEPクロスカット活動報告(2002)" より抽出

ロジックテスト回路の規模予測

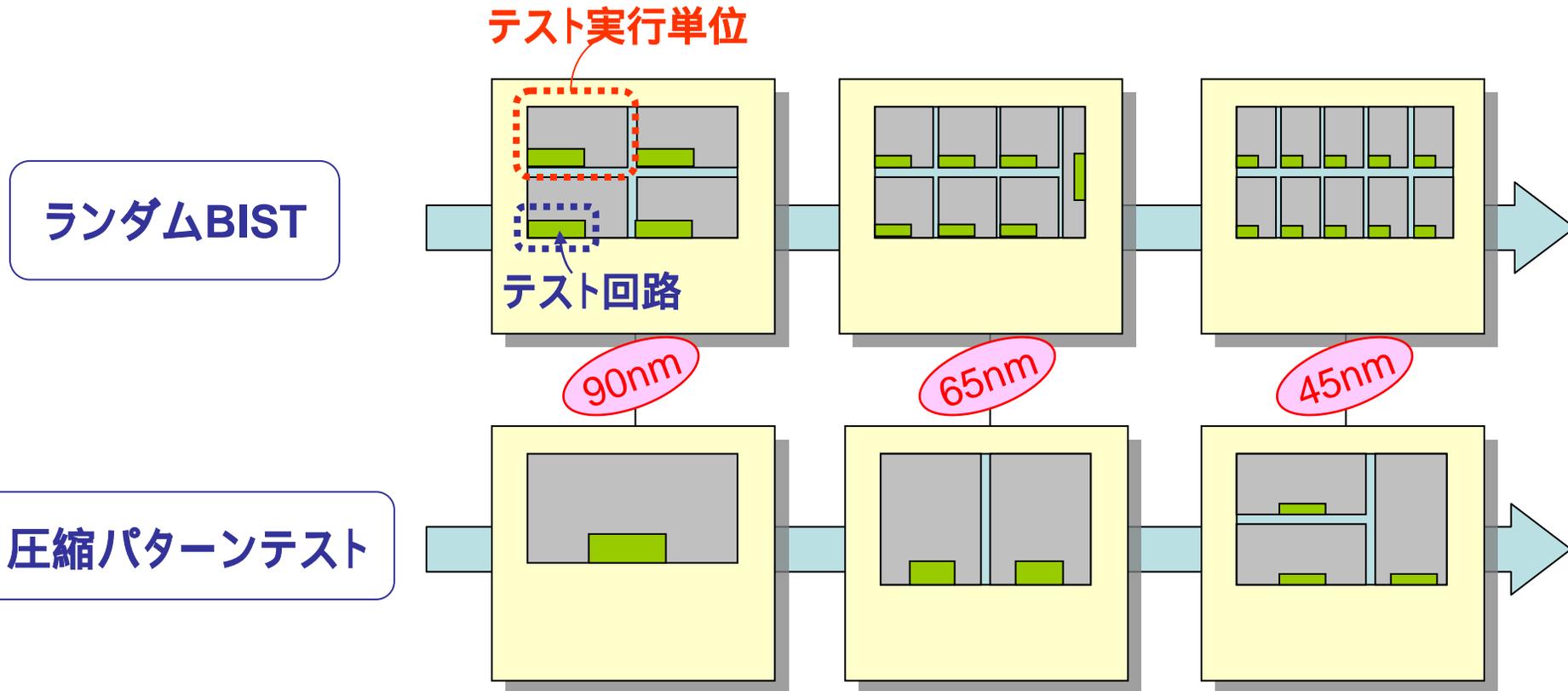
At-speedテスト普及に伴いテスト時消費電力が課題

分割テストの加速

テストの分割数はロジック回路規模に比例

1つのテスト実行単位の回路規模はほぼ一定

テスト回路規模比率も一定

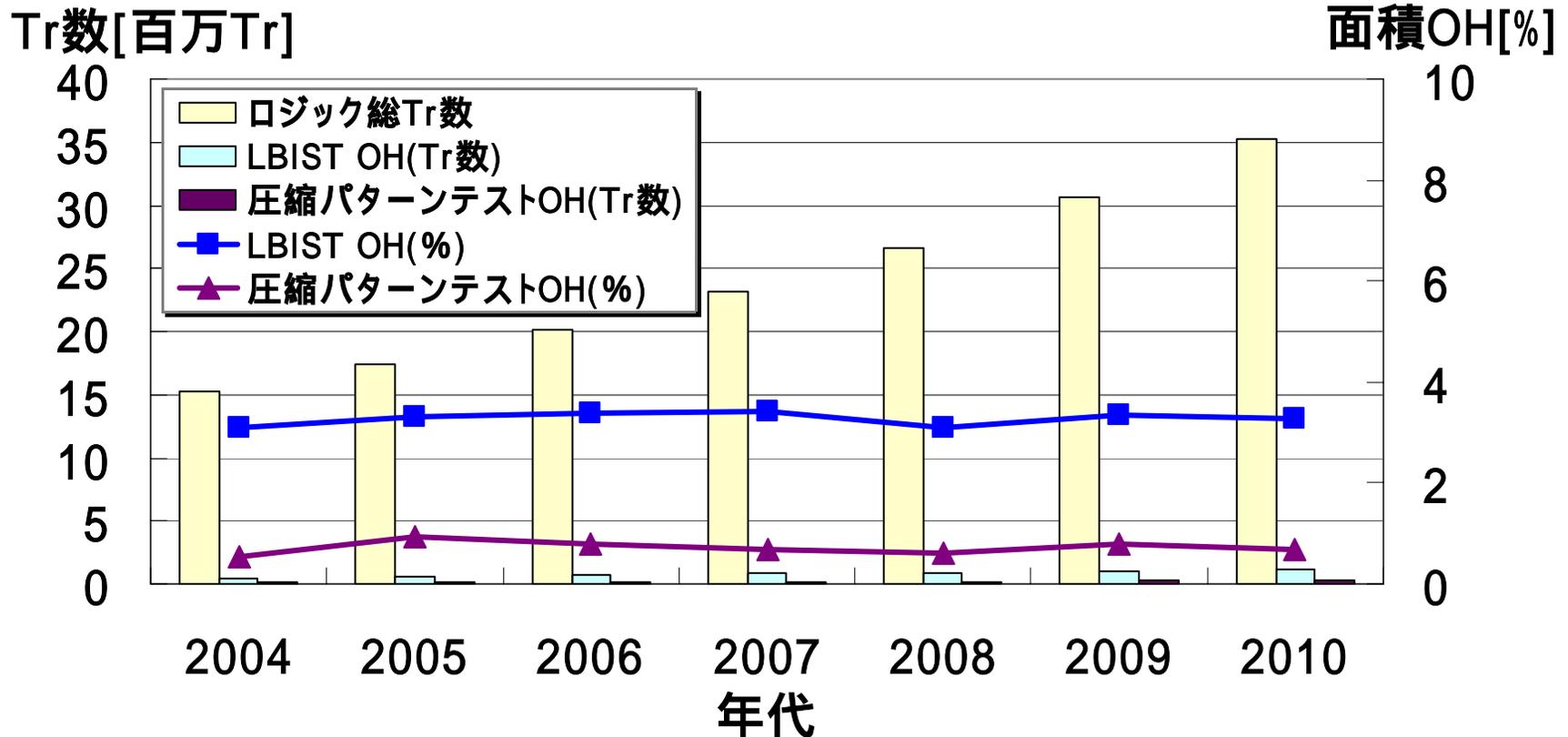


ロジックテスト回路規模ロードマップ作成

作成方針:

- SoCモデルを選定し、各社の現状アンケート結果を元に将来推移を予測
- テスト回路オーバヘッドはスキャン設計に対する増分のみを提示

結果: テスト回路面積オーバヘッドは回路規模に依存せず一定比率



デバイス品質確保のためのコスト増大への対応

プロセス微細化に伴って、

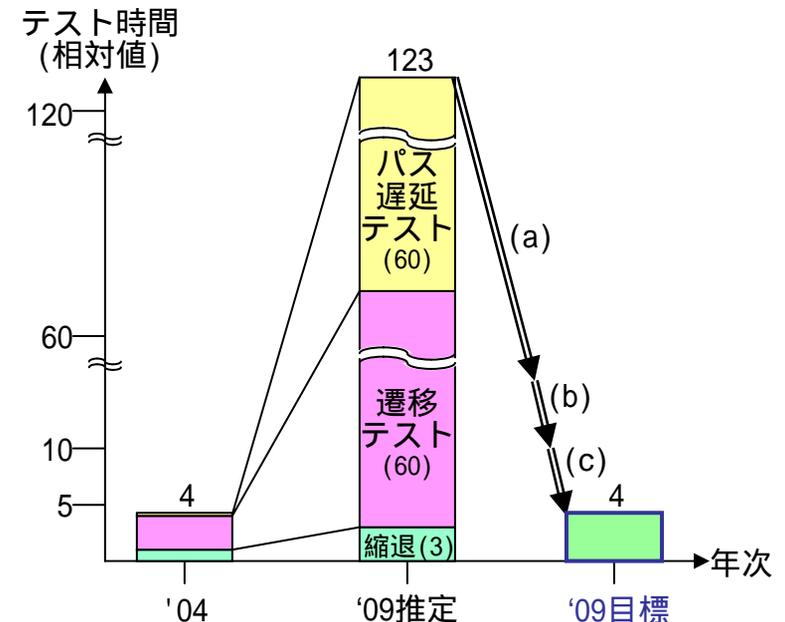
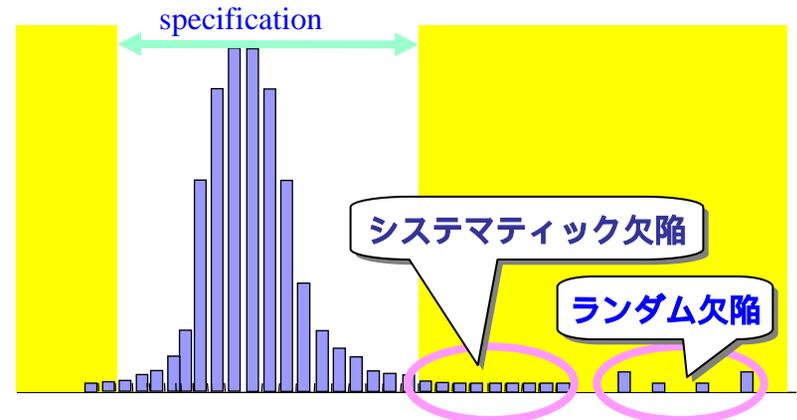
- ・微細なランダム欠陥(ボイド等)の増加
- ・システムティック欠陥(OPC等)の増加

ディレイ系不良のテスト強化が課題

テスト品質確保のためには
テストパターン数増大が必至

大幅なテスト時間短縮が必要

- ・対応策(テスト時間維持)の例
 - (a)パターン数圧縮 : $\times 1/5$
 - (b)スキャン長低減 : $\times 1/3$
 - (c)シフト高速化 : $\times 1/2$
- ・技術課題の例
 - ・高効率パターン圧縮技術?
 - ・高度スキャンチェーン構成技術?



SoCテストテーブル定量化と技術課題

項目	トレンド	技術課題
メモリBIST	テストアルゴリズム 複数化/可変	BIST回路規模予測 BIRA / BISR プログラマブルBIST
ロジックテスト	階層化によりテスト 回路比率一定化	階層DFT 圧縮テスト
テスト品質	ディレイテストパターン数 /テスト時間増大	ディレイテスト圧縮 テスト回路高速動作 (ノイズ・電力制御) ATEメモリ拡張

4 . A T E - S W G 活動

2005活動目標： 真の課題を探求し、
2005年度のRM化に繋げる

5つのテーマについて議論

1. SoC向けDFTテスト
2. WLBI 技術の現状と課題
3. SiPテストのロードマップ検討
4. ハンドラとプローブカードRMの
Update検討
5. NRE削減への提言

4-1 . SoC向けDFTテスト

DFTテストとは???

ITRS 2003 Table 30

DFT-BIST Device Test Requirements

Table 30 DI

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50	
MPU / ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Number of parallel sites	64	64	128	128	256	256	256	Cost
Scan data volume(Giga-pin-vectors available per site)	32	32	64	64	128	128	256	Logic Density
Data capture volume (M bits-per-pin)	64	64	128	128	256	256	256	Scan/BIST debug
Scan pin (available per site / system)	256	256	512	512/4K	512	512	512	Logic Density
Scan vector rate (MT or MHz)	16	16	16	300	300	300	300	Test Time
"Full function" test time (min) per site / system	128/512	128/512	128/512	128/512	128/512	128/512	128/512	Test Time

治具コスト?

テストコスト?

Table30の前提条件は??

@speed?

機能テスト?

テスト時間?

歩留り?

故障モード / DFT技術 / ATE技術

Scan Data Volume?

Vector Rate?

Parallel Sites?

Scan Pins?

SoC向けDFTテストのイメージ作り

—— DFT/ATE合同活動での議論より ——

		ロジック部	メモリ部	アナログ部
同測処理数		1 ~ 32	1 ~ 128	ロジック部と同じ (アナログBISTにより結果出力をGO/NOGO判定)
最大周波数 (データレート)		50 MHz	50 MHz	
ピン数	システム全体	1024	3328	
	DUT当たり	1024 ~ 32 〔1024 I/O ~ 32 I/O〕	72 ~ 26 〔32 Dr + 40 I/O ~ 16 Dr + 10 I/O〕	
	高速クロック	250 MHz 2ピン/DUT	- -	
電源	電源総数	128	256	
	DUT当たり	4 ~ 1	4 ~ 1	
	電流容量	2 A/電源	400 mA/電源	
パターン入力		64 MW	ALPG + 数KW	- -
テスト内容		スキャン, BIST, BOST	M-BIST, BISA, BISR	アナログBIST

SoC向けDFTテストのR M提案

Table 30b

DFT-BIST Device Test Requirements on SoC Production

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	
MPU / ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	
Number of parallel sites	4	8	16	32	32	32	32	Cost
Scan data volume(Giga-pin-vectors available per site)								Logic Density
Data capture volume (M bits-per-pin)								Scan/BIST debug
Scan data volume (M bits-per-pin)								Logic Density
Scan data volume (M bits-per-pin)								Test Time
Scan data volume (M bits-per-pin)								Time
Scan data volume (M bits-per-pin)								Quality

ITRS2004 TokyoMeetingで Table30b
の追加を提案



2005年度活動への継続

課題の共有と言葉 / レベル合わせを進め、コストと品質
を踏まえたロードマップ化で ITRS2005 に貢献

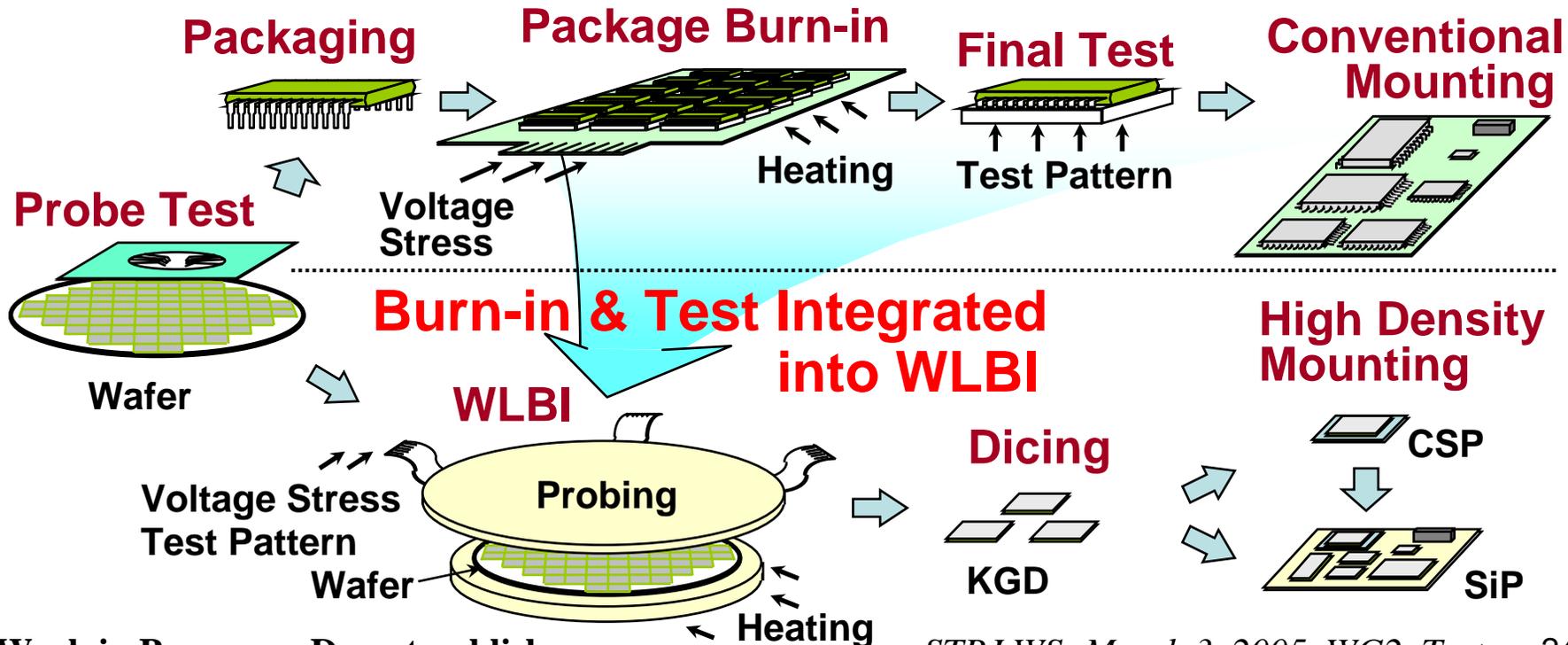
4 - 2 . WLBI 技術の背景と課題

WLBI 要求の背景

プロセスの微細化・新材料の導入
 デバイス電源電圧の低下
 実装形態の多様化
 歩留改善のTAT短縮
 BIコストの低減要求

WLBI 課題

初期不良の増大
 電圧によるスクリーニングが困難
 KGDニーズの増大
 不良情報の早期フィードバック
 無駄なPKGコストの排除



DFT利用のWLB I 技術

—— DFT/ATE 合同活動での議論より ——

		ダイナミック BI	テスト BI
同測処理数		Wafer一括同測 (2K ~ 5K)	Wafer一括同測 (2K ~ 5K)
最大周波数 (データレート)		20MHz	20MHz
ピン数	システム全体	20K ~ 50K	50K
	面積当たり	40 / 50mm ²	40 / 50mm ²
信号数	クロック	10 / Wafer	10 / Wafer
	入力	320 ~ 352	64
	入出力	- -	256 ~ 288
電源	電源総数	1 ~ 4	1 ~ 4
	分割数	256 ~ 1024 / 電源	256 ~ 1024 / 電源
テスト内容	パターン入力	32KW(繰り返し)	32KW(繰り返し)
	ストレス印加	BIST, スキャン利用	BIST, スキャン利用
	結果回収判定	- -	GO / NOGO
プロービング手法		TPS、マイクロポゴピン	TPS、マイクロポゴピン
既知不良チップの除外方式		電源遮断、被膜化	電源遮断、被膜化

WLB! のスケーリング則への対応

Year		2004	2005	2006	2007	2008	2009	2010	2013	2016	2019
消費電力 (W/Wafer)	200mm	1.2k	1.2k	2.5k	2.5k	2.5k	2.5k				
	300mm	2.4k	2.4k	5.0k	5.0k	5.0k	5.0k	10k	10k	10k	10k
ピン数 (Pin/Wafer)	200mm	40k	40k	40k	60k	60k	60k				
	300mm	90k	90k	90k	135k						

テスト機能の向上

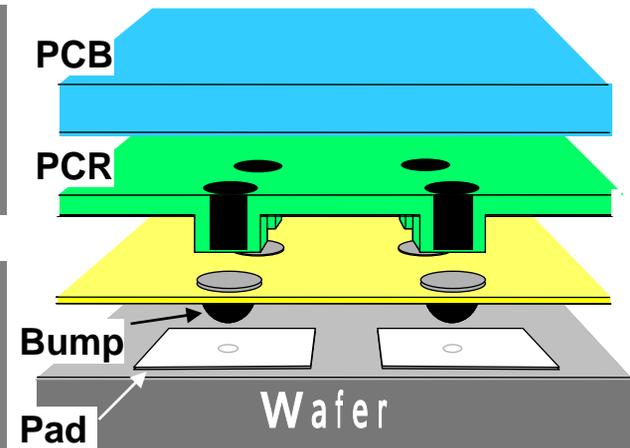
スキャン/ BIST/JTAG利用の推進

消費電力の増大

電源変動の安定化
偏在発熱分布の抑制

ピン数の増大

低加重安定コンタクト
狭ピッチ/高位置精度化



TPSプローピング

WLB I 技術の発信と今後の課題

ITRS2004 TokyoMeetingで WLB I 技術を提案し、
日本発のテーマとしてITRS Test WGで取り上げる
ことに合意

今後の課題：コスト要因の定量化

	WLB I	PKG-BI
歩留りとBI 効率		
DUTサイズとBI 効率		
品種毎イニシャルコスト		
消耗品コスト		

ITRS2005 へのWLB I ロードマップ掲載を目指す

5 . 2004年度活動まとめ

* DFTとATEとの更なる融合

- テストコスト削減のためのチップ設計からテストングまで -との方針の下に月一度の会合と合宿を通してメンバー間で課題に対する深堀が出来た。その結果、WLBI技術とSoC同測技術についてDFTとATE共通の課題にまとめ上げた。

* DFT: ITRS2005を目指したSoCテーブルの定量化

- SoCのDFT技術ロードマップについて実用化を狙った定量化を行った。またWLBI技術とSoC同測技術に関するDFT必要課題をまとめた。

* ATE: 真の課題の探求

- 5つのテーマを議論し、ITRS2005への貢献に向けてATEの課題を洗い出した。

== 6 . 2005年度WG2活動に向け。。。

“DFTとATEとの更なる融合(続)”

- テストコスト削減のためのチップ設計からテストングまで -

テストの目的は？

潜在する不良モードの可視化

課題 LSIの動向(微細化/高集積化/高速化)への対応

不良モード検出のテスト手法を開発し、良品/不良品の選別

課題 テストコストを限りなく低減させる

将来の革新的テスト手法とは？

潜在する不良モードに対応するDFT/ATE技術とは・・・？

現状) Stuck-at: スキャン, @Speed: 内蔵PLL利用

テストコストを限りなく低減するATE/DFT技術とは・・・？

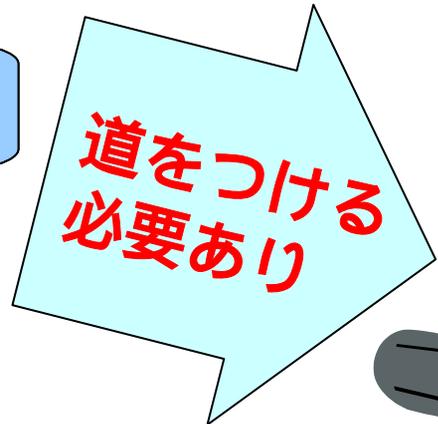
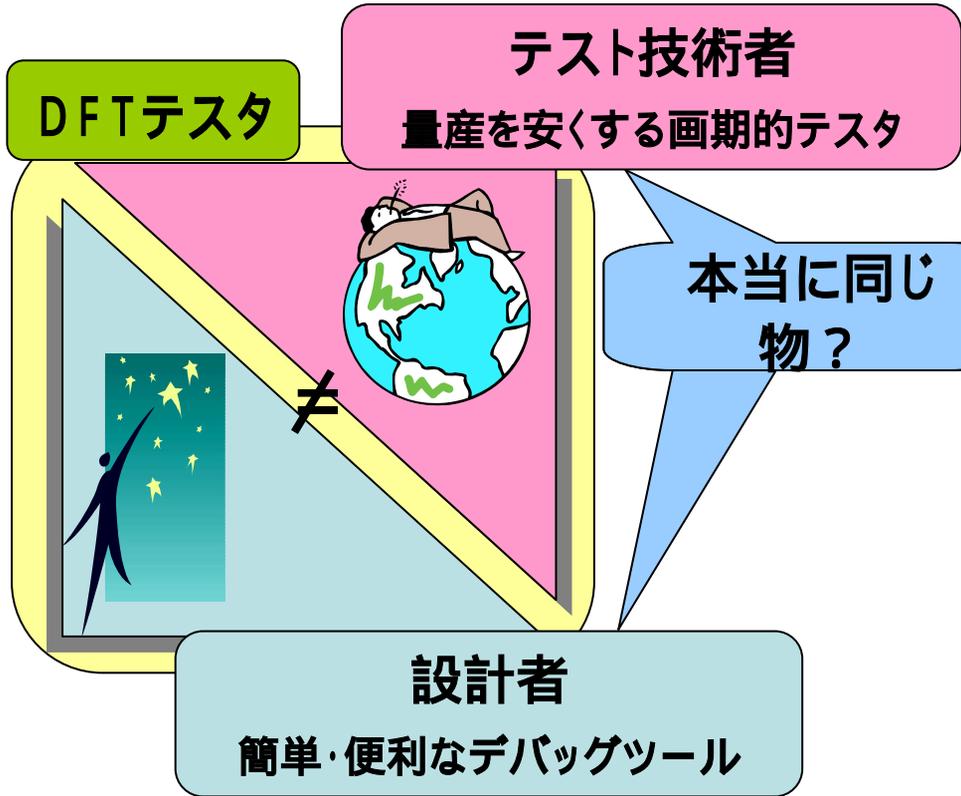
現状) Ch数削減による装置価格の低減

“2004年度議論した結果、、、”

DFTを入れると本当にCost Downになる??
設計インパクト(チップペナルティ)は??

故障モードの予測はWG2だけで可能??

DFTテストってあるけど、それって何??



2005年度活動方針(案)

* DFTとATEとの更なる融合(続)

- テストコスト削減のための
チップ設計からテストイングまで –
と ITRS2005への貢献

* DFT:

ITRS2005を目指したSoCテーブルの定量化(続)

* ATE:

真の課題のロードマップ化課題の共有と
言葉 / レベル合わせを進め、コストと品質を
踏まえたロードマップ化でITRS2005に貢献