

# Emerging Research Devices

## —シリコンベースのナノデバイス技術—

東京大学生産技術研究所  
平本俊郎

# 新探究デバイス (Emerging Research Devices)

目的：将来の情報処理デバイス&アーキテクチャ技術を読者に広く紹介  
候補：可能性を議論．確立されていない技術も紹介

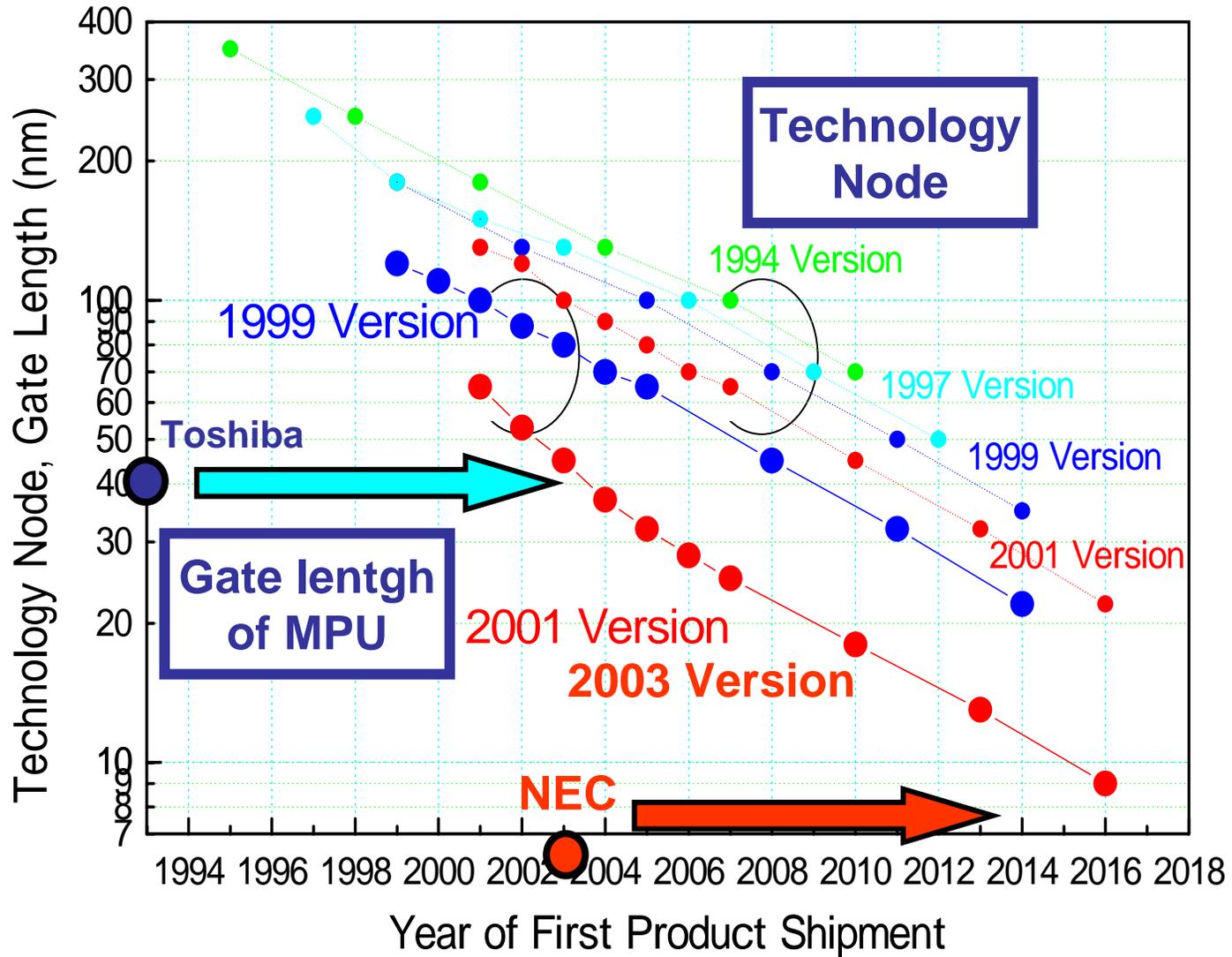
- 1．ノンクラシカルCMOS
- 2．新メモリ
- 3．新ロジックデバイス
- 4．新アーキテクチャ

(注)：ノンクラシカルCMOSはPIDSの章と強いリンク  
2005年版ではすべてPIDSに移る予定

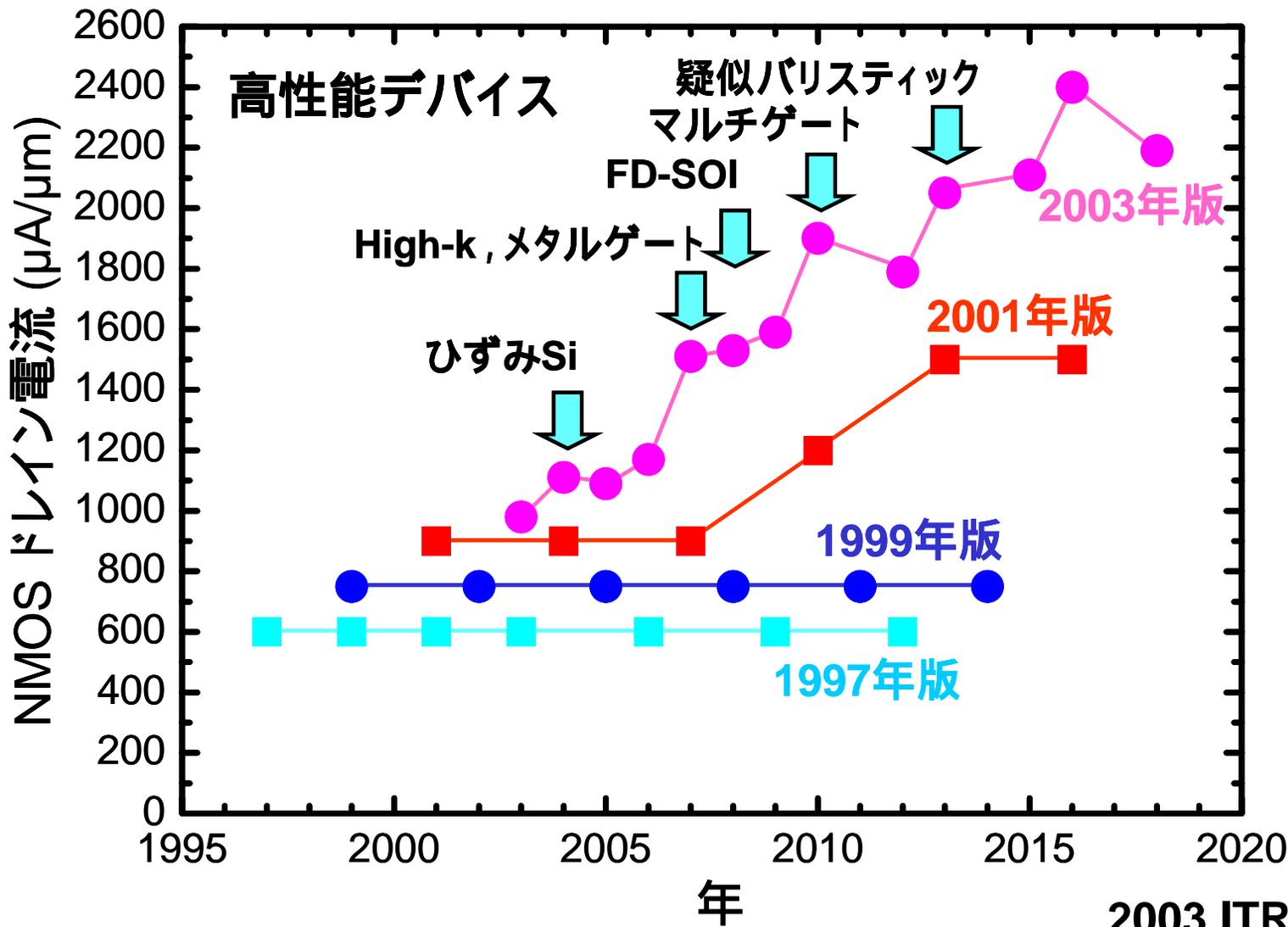
## 講演内容

- 1．ノンクラシカルCMOS
- 2．新ロジック・アーキテクチャ

# 半導体ロードマップにみる微細化

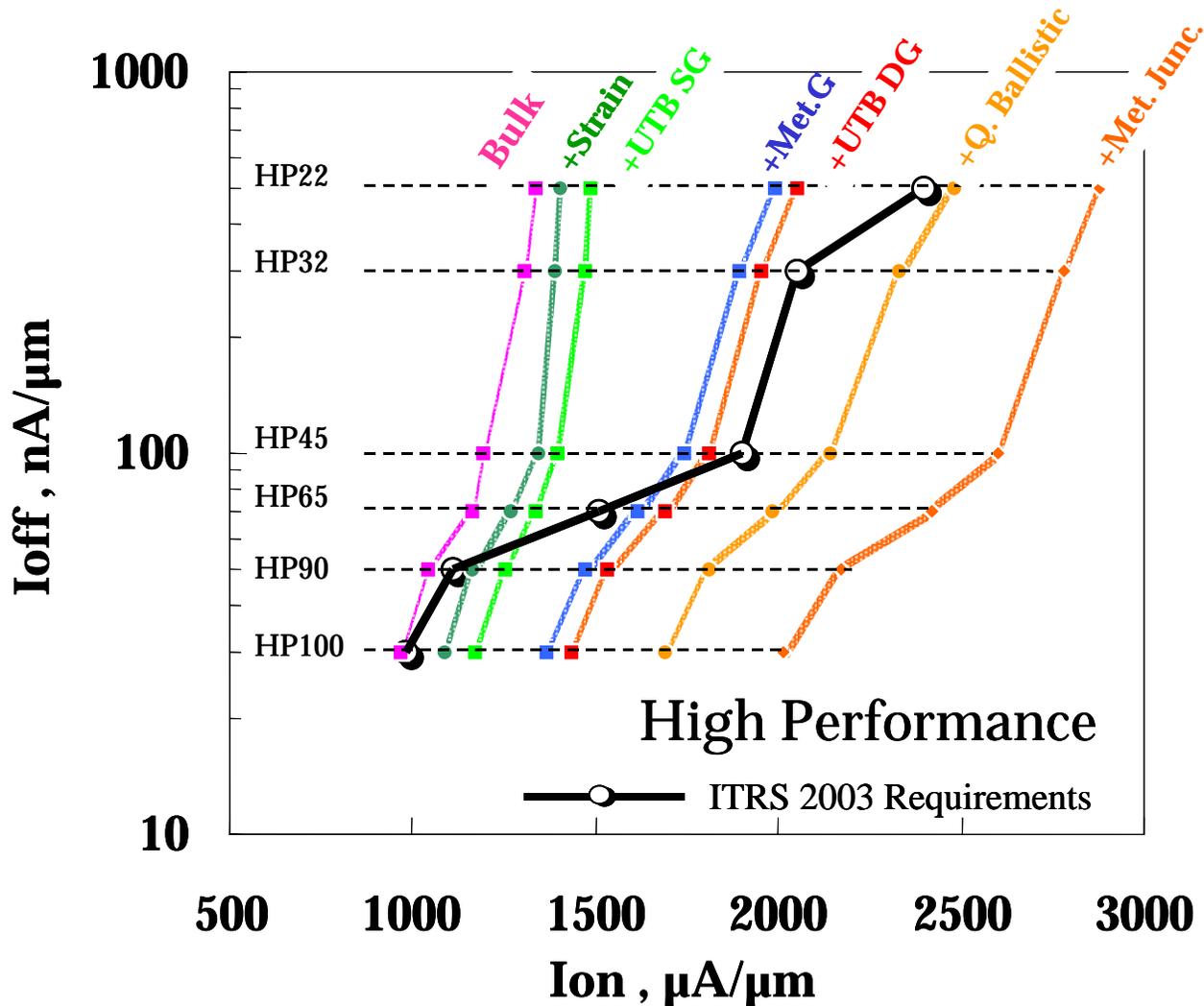


# ITRSにおけるオン電流の予測



2003 ITRS, PIDS

# テクノロジーブースター



Calculations performed using MASTAR – ST Microelectronics – T. Skotnicki

# ノンクラシカルCMOS

ノンクラシカルCMOSは、新しいトランジスタ構造や材料を用いることにより、さらにCMOSを微細化する道筋を与えるもの。

## スケーリングの課題:

- 電源電圧を下げつつドレイン電流を上げる。
- リークパスと短チャネル効果の制御
- チップ内およびチップ間のデバイス特性の制御

## 課題解決のための2つのアプローチ

- 新材料: キャリア伝導特性の向上
- 新構造: MOSFETの静電特性の向上

2003 ITRS, ERD

## さらに重要な課題

- 上記2つのアプローチの組み合わせ
- 消費電力とデバイス特性のPost-Fabrication制御

# ノンクラシカルCMOS (シングルゲート)

デバイス	伝導エンハンス型デバイス	超薄膜ボディデバイス		ソース・ドレインエンジニアード・デバイス	
	<p>Strained Si, Ge, SiGe buried oxide Silicon Substrate isolation</p>	<p>BOX</p>	<p>FD Si film S D Ground BOX (&lt;20nm) Plane Bulk wafer</p>	<p>Bias silicide nFET pFET Silicon Schottky barrier isolation</p>	<p>S D Non-overlapped region</p>
コンセプト	ひずみSi, Ge, SiGe, 面方位変更など	ボディ10nm厚以下の完全空乏型SOI	局所的な超薄膜ボディと薄膜埋込酸化膜	ショットキーソース・ドレイン	ノンオーバーラップソース・ドレイン
アプリケーション	HP CMOS	HP, LOP, and LSTP CMOS	HP, LOP, and LSTP CMOS	HP CMOS	HP, LOP, and LSTP CMOS

2003 ITRS, ERD

# ノンクラシカルCMOS (マルチゲート)

デバイス	マルチゲートFET				
	NゲートFET (N>2)	ダブルゲートFET			
コンセプト	連結ゲート (ゲート数>2)	FinFET 側壁伝導	プレーナー型 ダブルゲート	独立した2つ のゲート	縦型FET
アプリケーション	HP, LOP, and LSTP CMOS	HP, LOP, and LSTP CMOS	HP, LOP, and LSTP CMOS	LOP and LSTP CMOS	HP, LOP, and LSTP CMOS

2003 ITRS, ERD

# ノンクラシカルCMOSにおける $V_{th}$ 制御

1. ナノスケールのCMOSデバイスでは、リーク電流の増大と特性ばらつきが増大は抑えられない

➡ Post-Fabricationの $V_{th}$ 制御が不可欠

2. チップ作製後に $V_{th}$ を制御する唯一の方法は基板バイアス。基板(あるいはウェル)はトランジスタの「第4の電極」として有効

3. ノンクラシカルCMOSも基板バイアス効果の観点から再設計すべき。

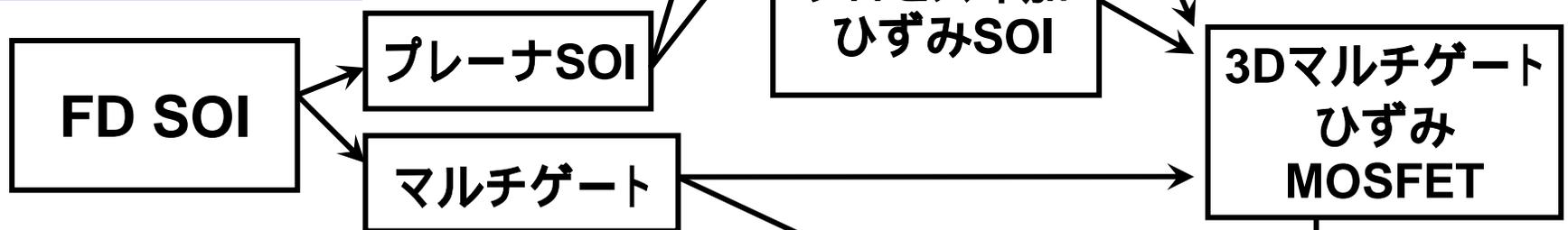
➡ 基板バイアスを意識したデバイス設計

# ノンクラシカルCMOSの進化

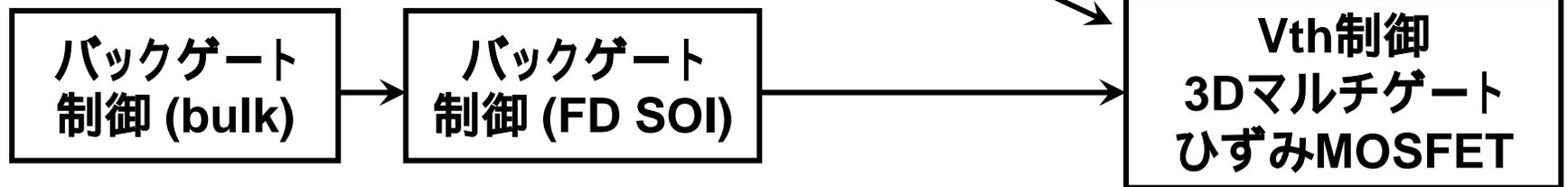
## キャリア伝導特性の向上



## 短チャネル効果抑制



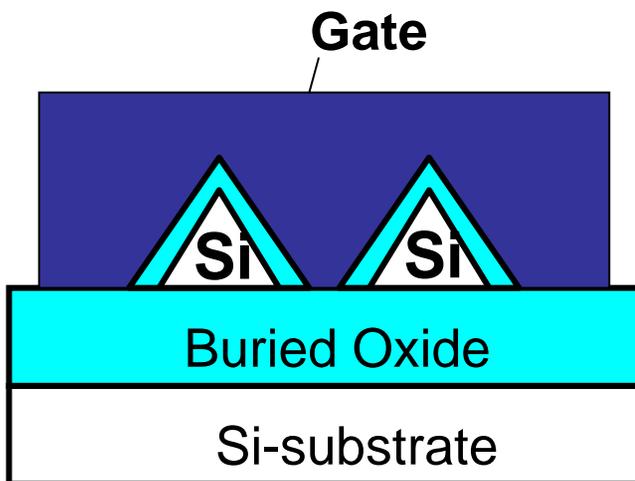
## パラメータ調整



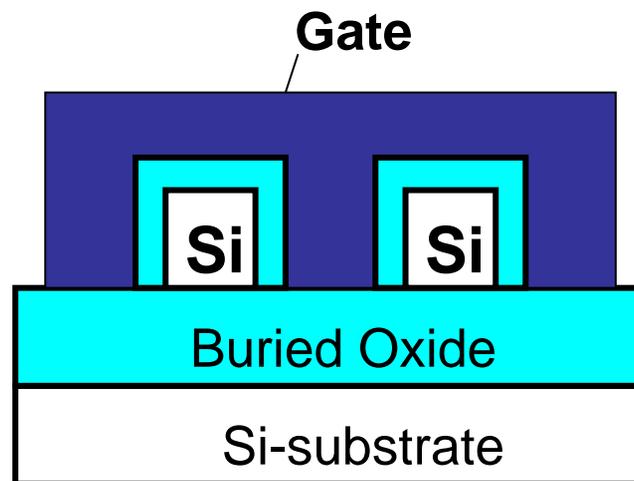
T. Hiramoto, Short Course, VLSI Technology Symposium, 2004.

## セミプレーナー-SOI MOSFET

- プロセス: セミプレーナーゲートプロセス  
短チャネル効果: 三次元ゲート構造  
S係数: 三次元ゲート構造  
基板バイアス効果: 低アスペクト比によるCsubの確保



**Triangular Channel**



**"Low" Fin**

T. Hiramoto et al., Jpn. J. Appl. Phys, Vol. 42, p. 1975 (2003).

# 新ロジックとアーキテクチャ

## 新ロジックデバイス

(一次元, 共鳴トンネル, 単電子, RSFQ, スピン, 分子, QCA)

## 新アーキテクチャ

(セルラーアレー, ディフェクトトレラント, バイオ, 量子計算)

### 1. 一次元デバイス

(1) シリコンナノワイヤ:

- ・FinFET型トランジスタの延長上・原子レベルで形状制御
- ・新アーキテクチャが生まれなければノンクラシカルCMOSの範囲内

(2) カーボンナノチューブ

- ・配線技術応用: 低抵抗ビア, 触媒を用いた選択成長
- ・FET応用: 半導体CNTのみ, gmがシリコンの10倍? バリステック伝導.

### 2. RSFQ (Rapid Single Flux Quantum, 単一磁束量子)

- ・超伝導, ジョセフソン接合, 超低温でのみ動作  
半導体以外で複雑な情報処理が実証されている唯一の素子
- ・ルータ用スイッチ, マイクロプロセッサ (40GHz動作)
- ・2005年版ではERDの対象から外れる? (実用化間近)

# ナノ構造物理を積極利用したシリコンデバイス

## 1. 現状の微細MOSFET研究

- ・ナノサイズのCMOSを従来と同じ原理で動作させる
- ・量子効果等の新物理現象は「悪」
- ・ところが、寄生効果等により従来技術では更なる微細化は困難

## 2. ナノ構造物理を積極利用

- ・微細化は必須・ナノ構造物理の発現も必至
- ・量子ドット, 量子効果, 単電子, , , による**新機能化**
- ・但し, **室温動作**が必須!
- ・3つのステージ
  - (1) CMOSの延長: ノンクラシカルCMOSの範囲内
  - (2) CMOSとの融合: 新機能をもつデバイスをCMOSと集積化
  - (3) CMOSとの決別: 全く新しいアーキテクチャの利用

## 3. 波及効果

- ・従来技術による性能限界・微細化限界の打破!
- ・VLSI技術者がナノの研究を行うことの意義

# シリコン単電子トランジスタ

背景：小さなデバイスサイズ（～5nm）

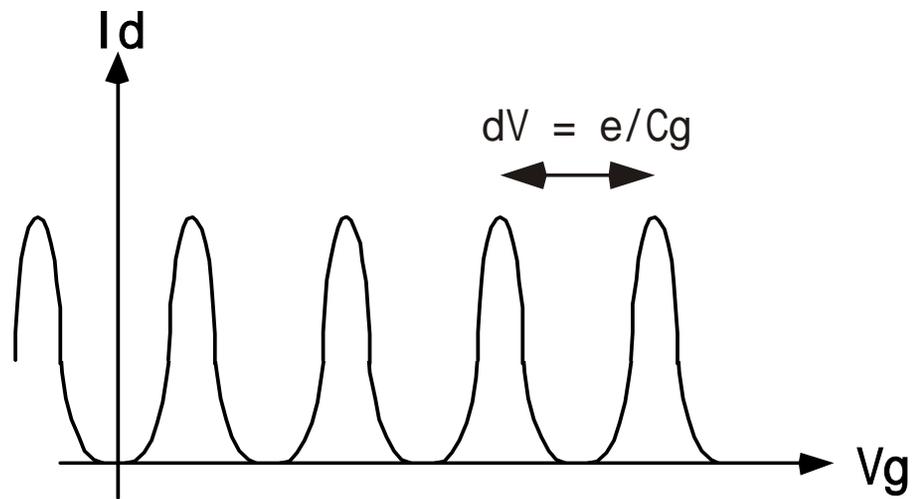
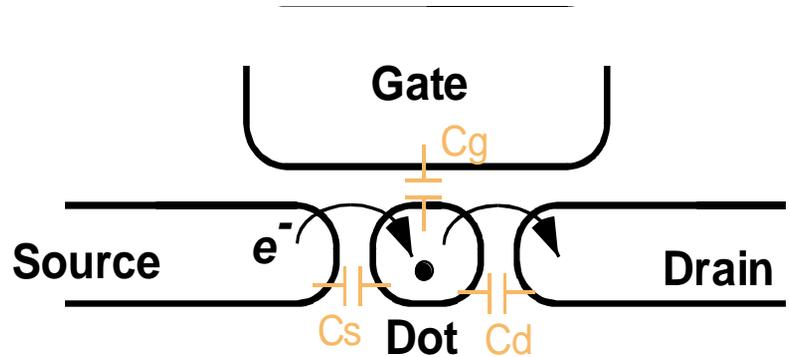
電子1個1個の制御が可能：クーロンブロックード

単電子デバイスは究極の超低消費電力デバイス

目的：VLSIプロセス互換で単電子トランジスタを作製

室温動作，VLSIの微細化限界の打破．

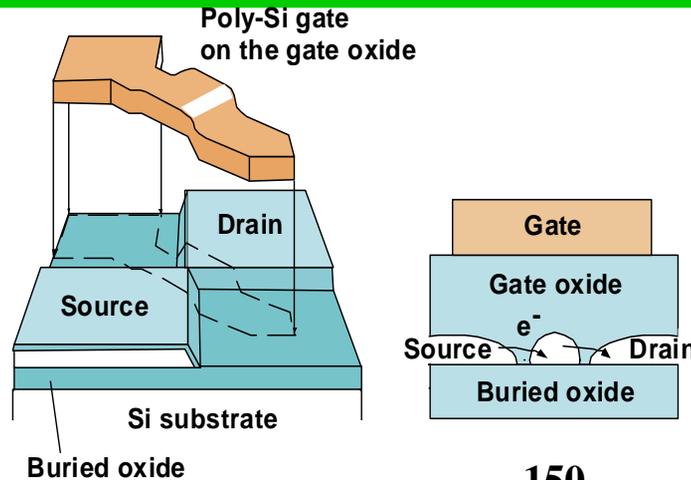
（微細化，低消費電力，ばらつき抑制．．．）



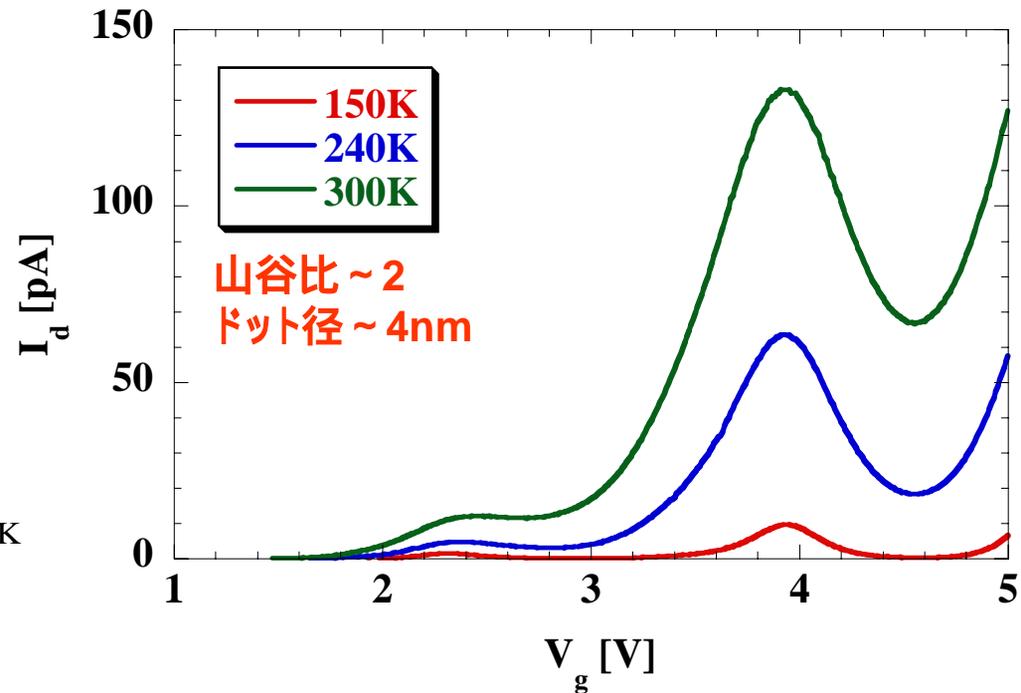
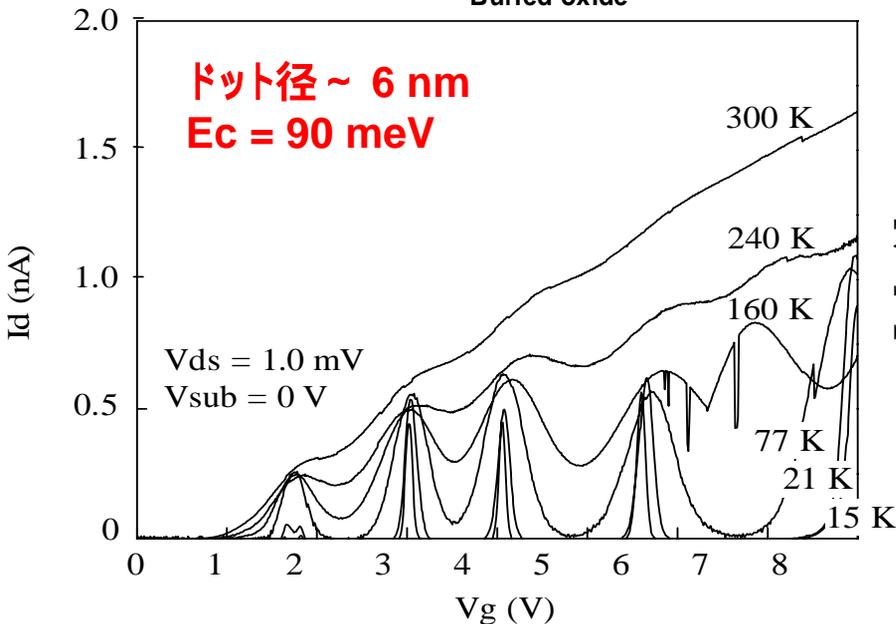
充電エネルギー  $E_c = e^2/C_{total}$

$T < E_c$  (d ~ 10 nm のとき  $E_c \sim 26$  meV)

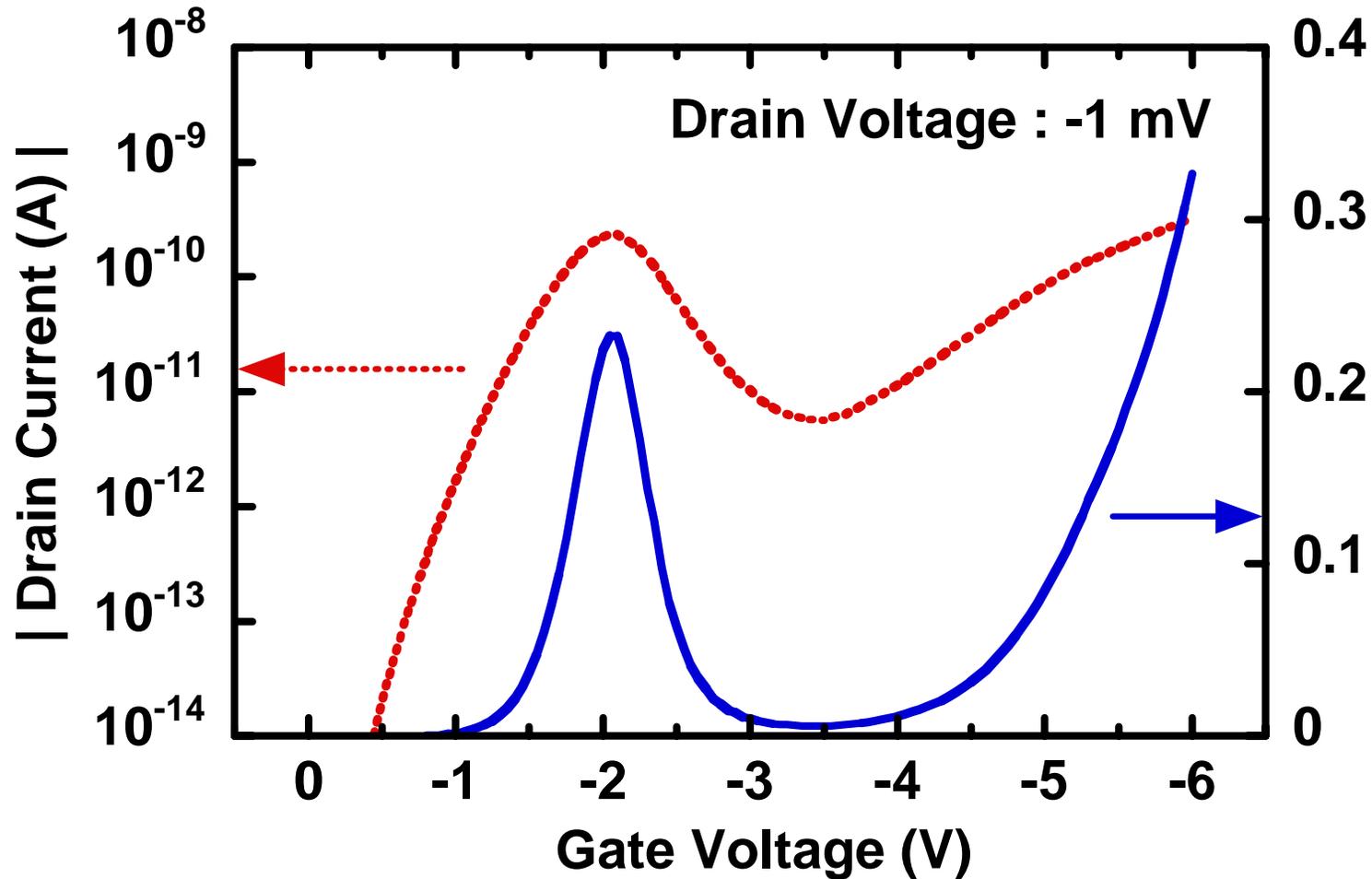
# 室温における振動特性



## ポイントコンタクトMOSFET



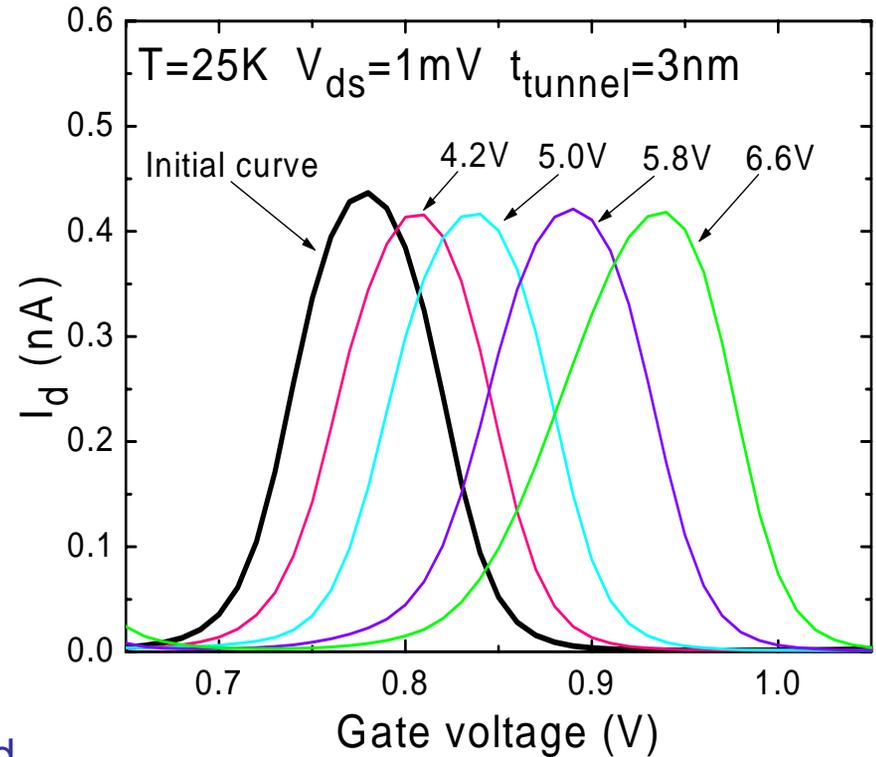
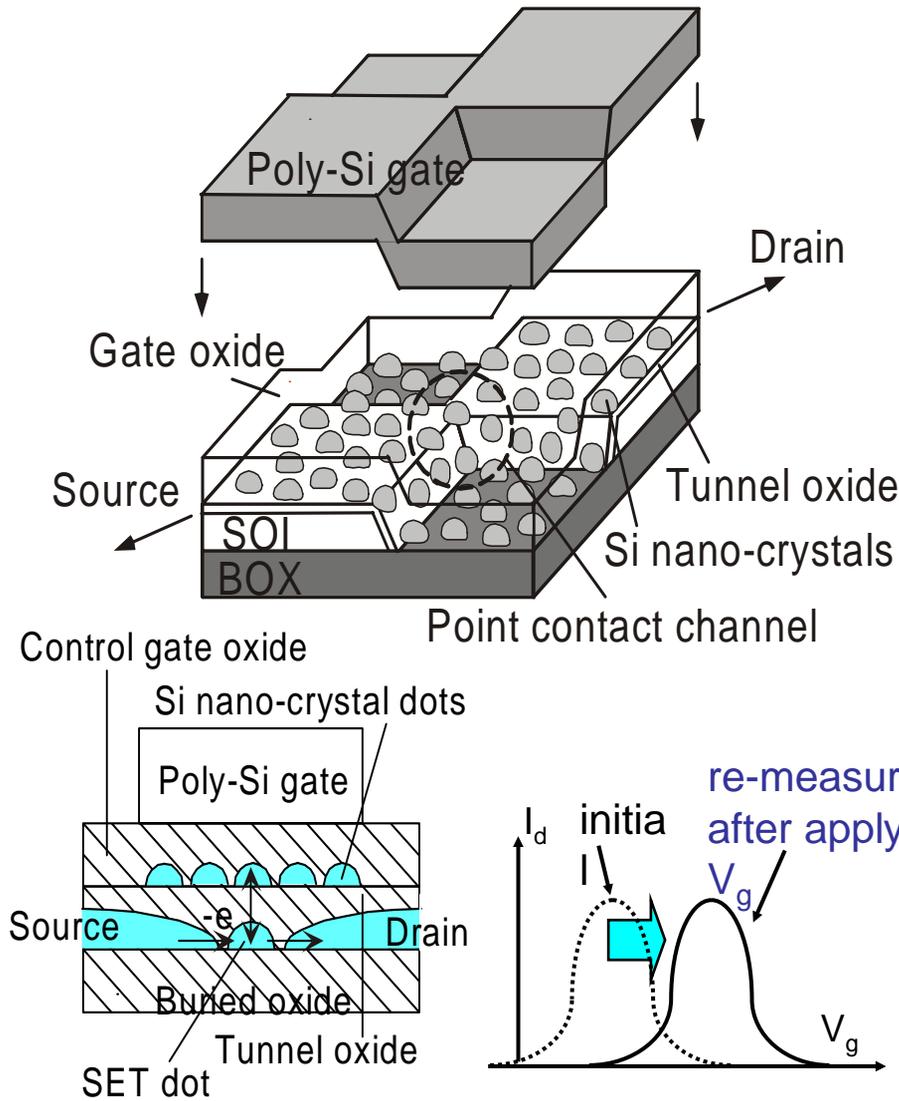
# 室温における振動特性



単一ドット系のシリコンデバイスでは世界最大！

M. Saitoh and T. Hiramoto, IEDM, p. 753, 2003

# さらなる機能化

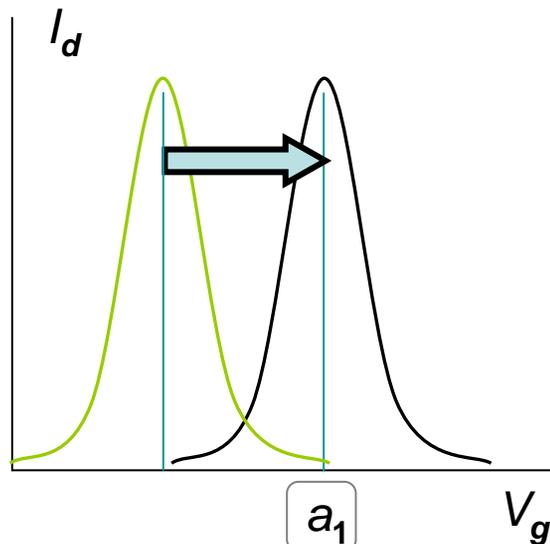


- ・SETとメモリの組み合わせ
- ・ピーク位置の微調整
- ・データの記憶が可能

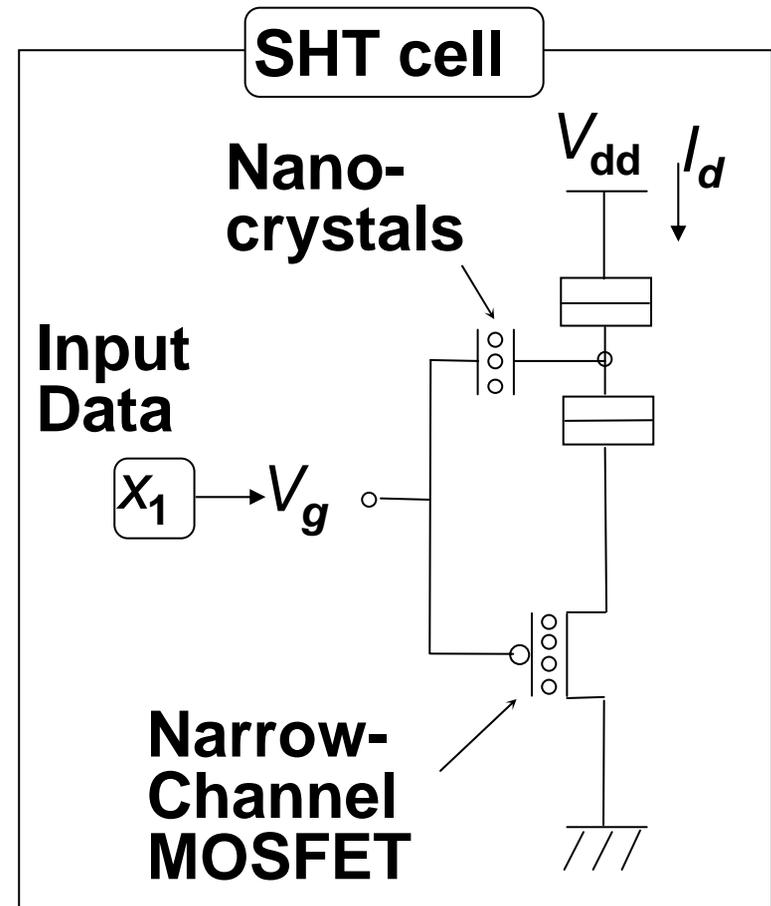
N. Takahashi, IEDM, p. 371, 1999.

# アナログパターンマッチング回路応用

- ・基本セルにデータ $a_1$ を記憶。  
(ピークシフトを用いる)
- ・入力データ $x_1$ との類似度は出力電流の大きさで表される。



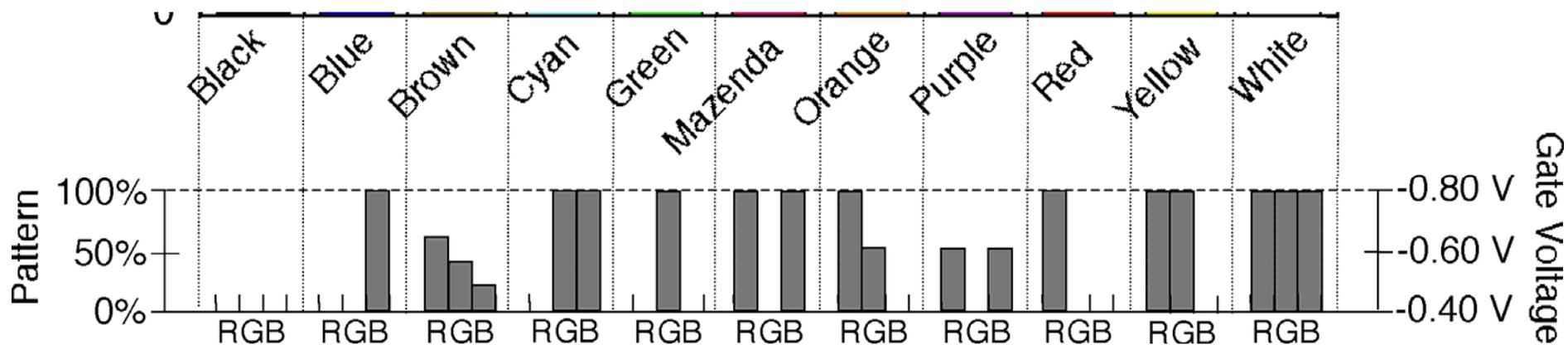
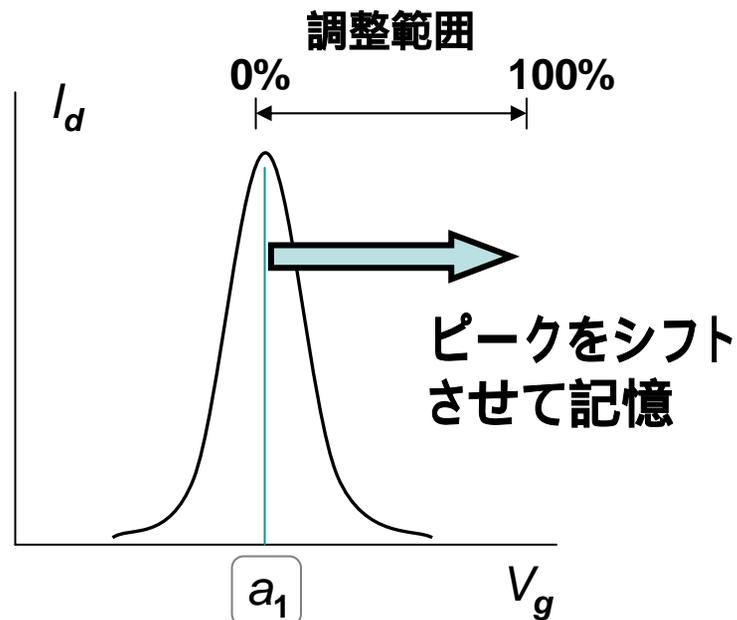
Stored (Template) Data



基本セル構成

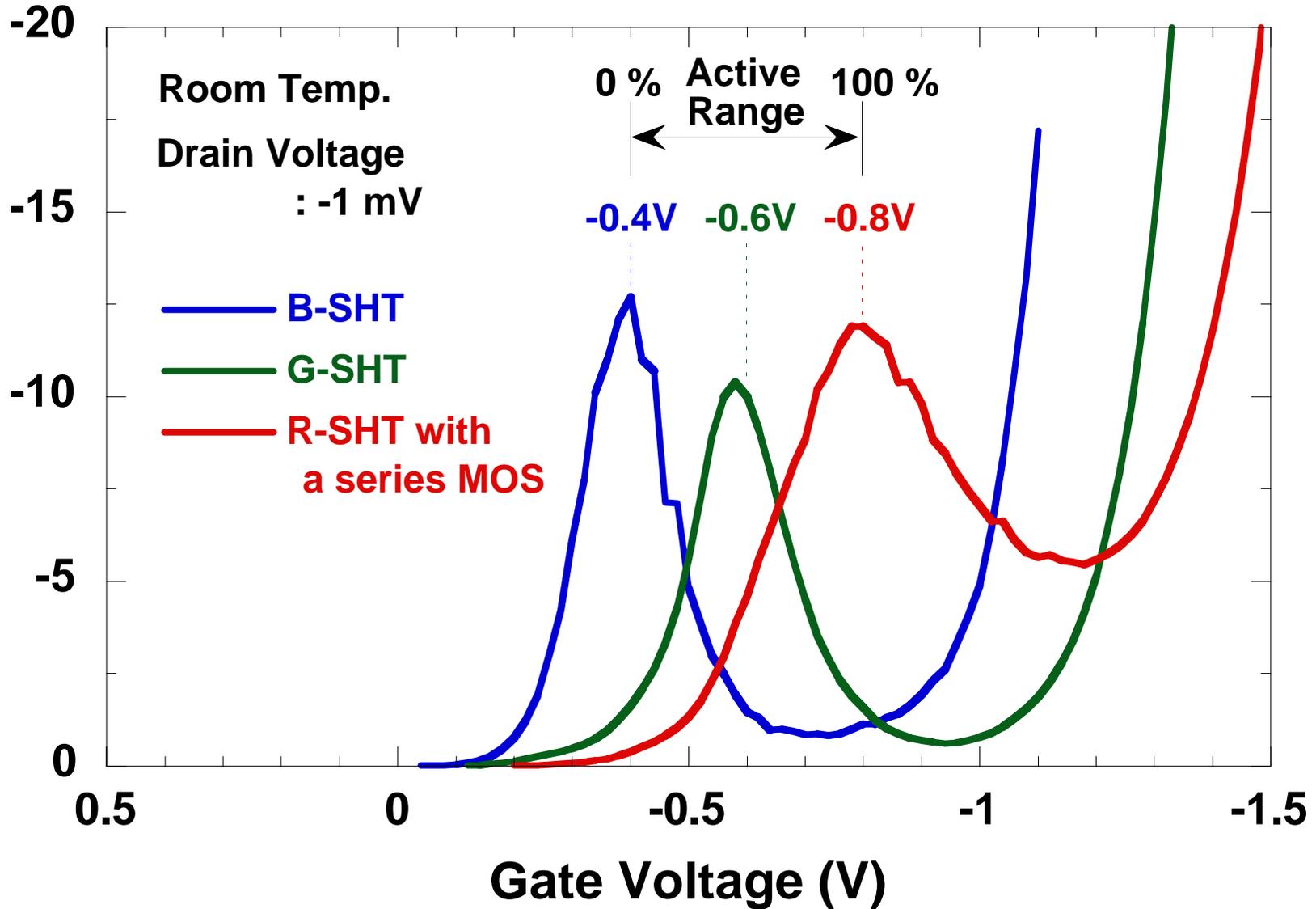
# 色の記憶と読み出し

- ・3つの単正孔トランジスタを1チップ上に作製(室温動作)
- ・3成分ベクトルのパターンマッチング  
それぞれRGBに対応させ, 色の記憶, 読み出しを行う.
- ・オレンジを記憶.



M. Saitoh et al, IEDM, p. 187, 2004.

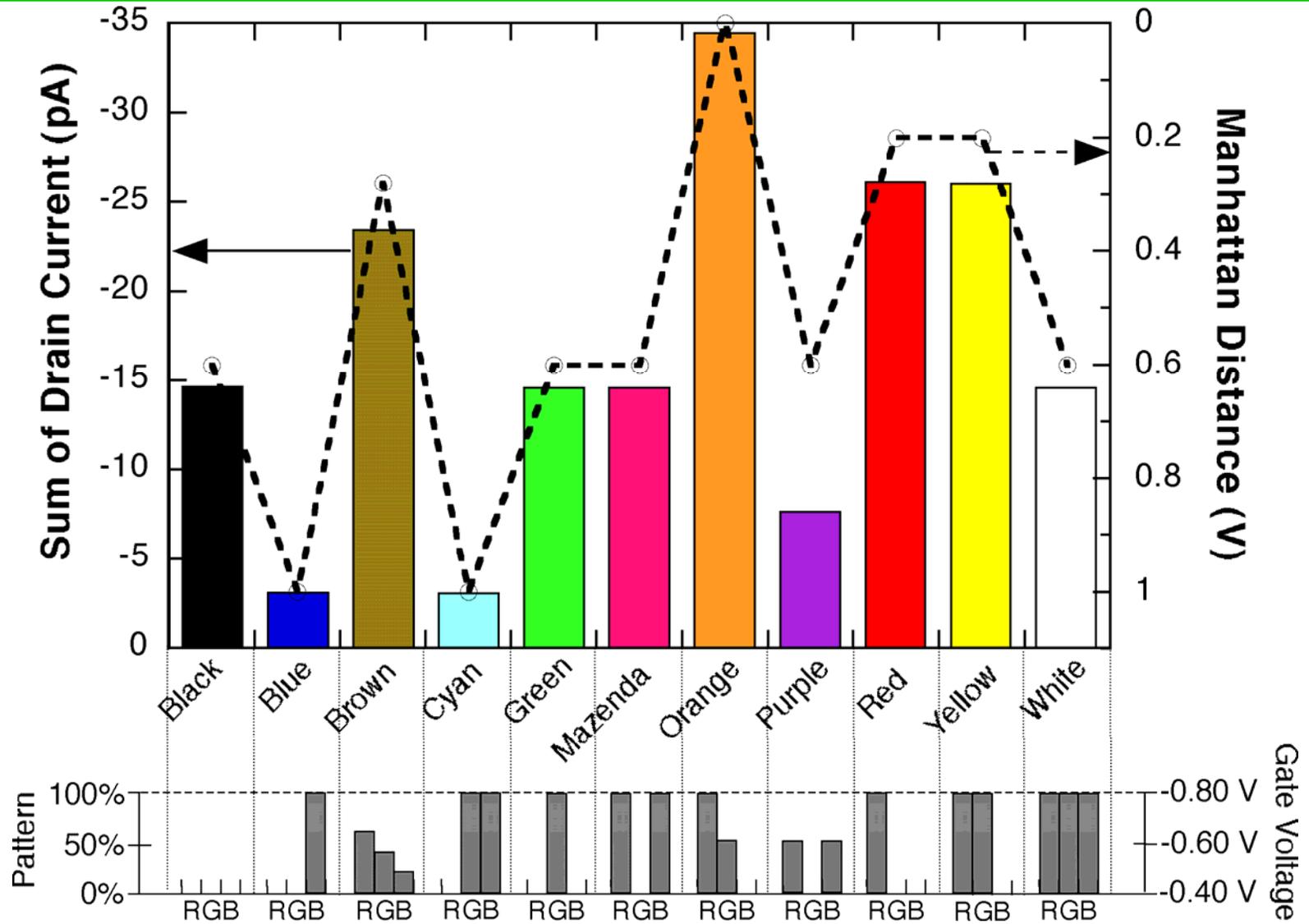
# 記憶後の集積3デバイスの特性



M. Saitoh et al, IEDM, p. 187, 2004.

STRJ WS: March 3, 2005, ERD 20

# 読み出し（電流の和）



M. Saitoh et al, IEDM, p. 187, 2004.

STRJ WS: March 3, 2005, ERD 21

# まとめ

---

## 1. ノンクラシカルCMOSの重要性

- ・伝導特性向上と新構造の組み合わせ
- ・Post-Fabrication制御

## 2. 新ロジック・アーキテクチャ

- ・一次元デバイス(シリコンナノワイヤ, カーボンナノチューブ)
- ・RSFQ

## 3. 室温動作単電子トランジスタ

- ・新機能デバイスとCMOSとの融合
- ・アナログパターンマッチング回路への応用」