

半導体パッケージの 高密度実装化

実装WG(WG7)主査
(株)ルネサステクノロジ / 春田 亮

WG7 メンバ

リーダー : 春田 亮(ルネサス)

サブリーダー : 植垣 祥司(京セラ)

国際対応 : 宇都宮(ICT)、植垣 兼務

委員 : 春口 秀哉(シャープ)、高田 隆(松下)、
木村 通孝(ルネサス)、上田 茂幸(ローム)、
木村 光(NEC-EL)、春日 壽夫(NEC-EL)、
西山 和夫(ソニー)、吉田 英治(富士通)、
高橋 邦明(東芝)、小林 治文(沖)、
水原 秀樹(三洋)、大槻 哲也(エプソン)、

特別委員 : 今井 玲(SEAJ; カイジョー)、
森田 雅仁(日本特殊陶業)

JJTRCとSTRJ-WG7

電子システム実装技術委員会 … 標準技術部
実装技術ロードマップ専門委員会 (JJTRC)

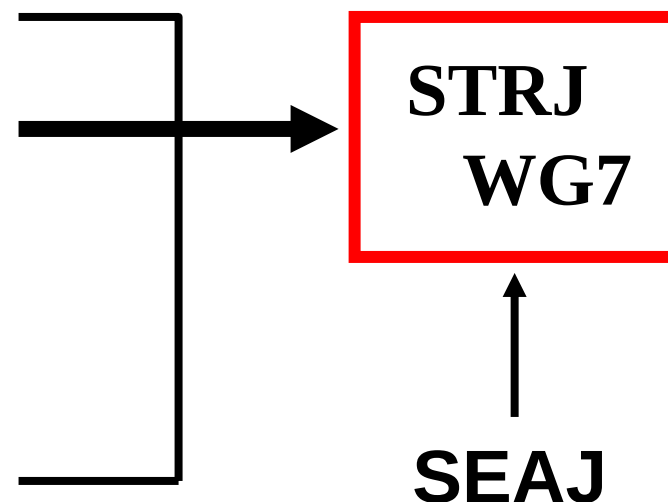
WG1: 電子機器

WG3: パッケージ

WG4: 電子部品

WG5: 実装基板

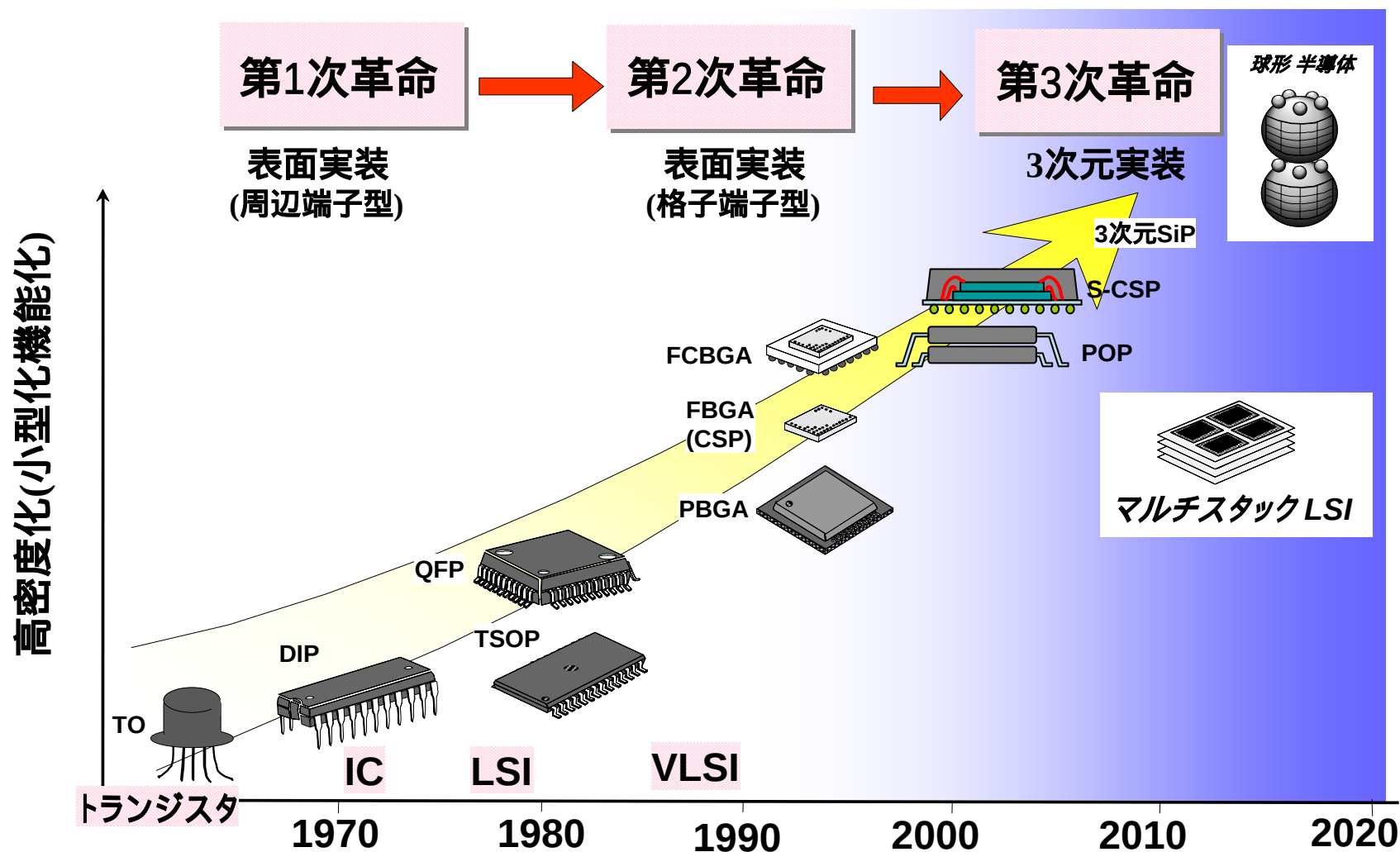
WG6: 実装設備



隔年で、「日本実装技術ロードマップ」を発行。
次回、2005年5月に 2005年度版 を発行予定。

半導体パッケージの動向

最近の動向 : 2次元実装 → 3次元実装化



2次元実装の高密度化

パッケージの小型高密度化

- ・FBGAボール端子の狭ピッチ化

さらに、WLP技術により狭ピッチ化は容易。

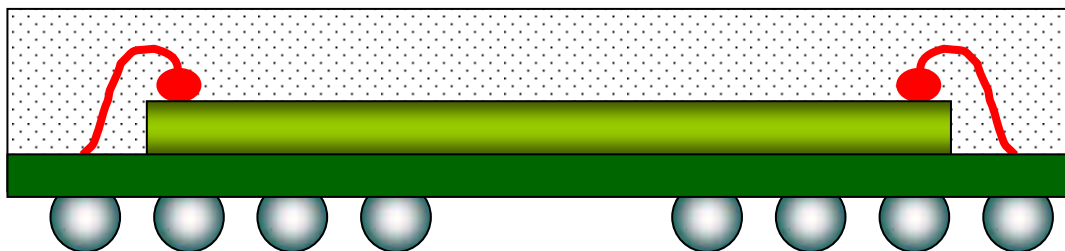
- ・FBGA実装基板の狭ピッチ化

チップの小型化(接続パッドの狭ピッチ化)

- ・ワイヤボンディングのパッド狭ピッチ化
- ・フリップチップボンディングのパッド狭ピッチ化

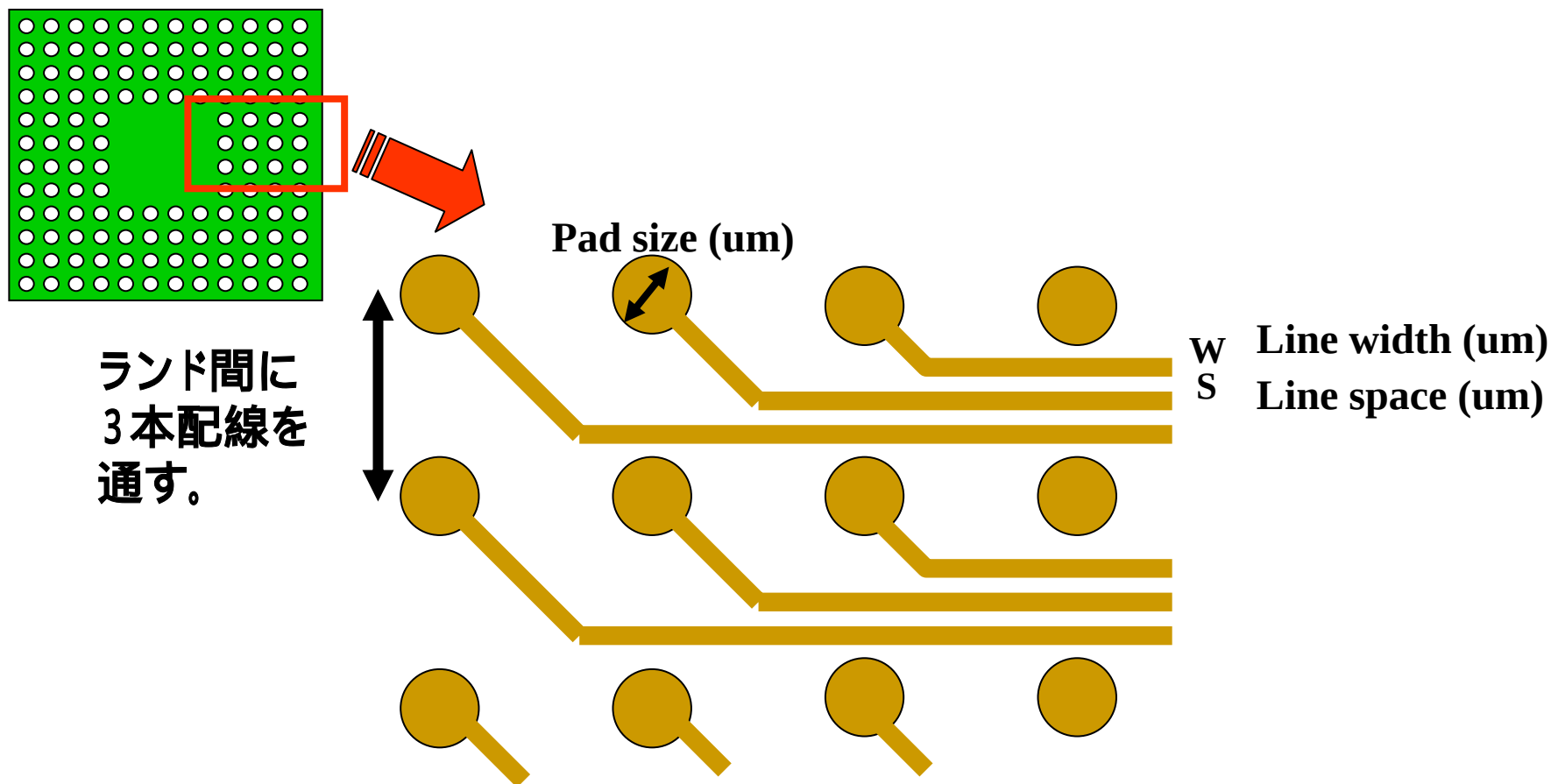
FBGAの動向

	2004	2006	2008	2010	2012	2014
最小ピンピッチ (mm)	0.4	0.3	0.2	0.15	0.15	0.15
最大ピン数	400	500	600	720	840	1000
最小取付高さ (mm)	0.8	0.8	0.65	0.65	0.5	0.5



- ・FBGAボール端子の狭ピッチ化は進展するが、インターポーザ(サブストレータ)の低コスト化が課題。

FBGAのサブストレート



・一般的なFBGAのボール4列配置を考えて、サブストレートの設計ルールを検証。

ビルドアップ構造サブストレート

項目	クラス	2004	2006	2008	2010	2012	2014
最小導体幅 (μm)	A	40	30	30	20	20	15
	B	30	20	15	15	7	7
	C	15	15	7	7	5	5
最小導体間隙 (μm)	A	40	30	30	20	20	15
	B	30	20	15	15	7	7
	C	15	15	7	7	5	5
非貫通穴 最小ランド径 (μm)	A	110	110	80	80	80	70
	B	80	80	60	60	60	50
	C	80	70	30	30	30	30

クラス A : 一般的 (Conventional)、生産比率 80%、経済的

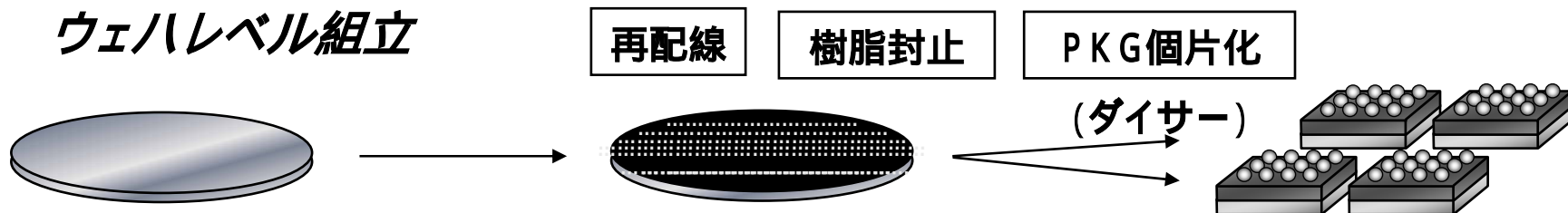
クラス B : 先端的 (Leading Edge)、生産比率 15%、コストアップ

クラス C : 超先端的 (State of the Art)、生産比率 5%、ハイコスト

Wafer Level Packaging技術

WLP技術では、リアルチップサイズで、狭パッドピッチ化も容易。

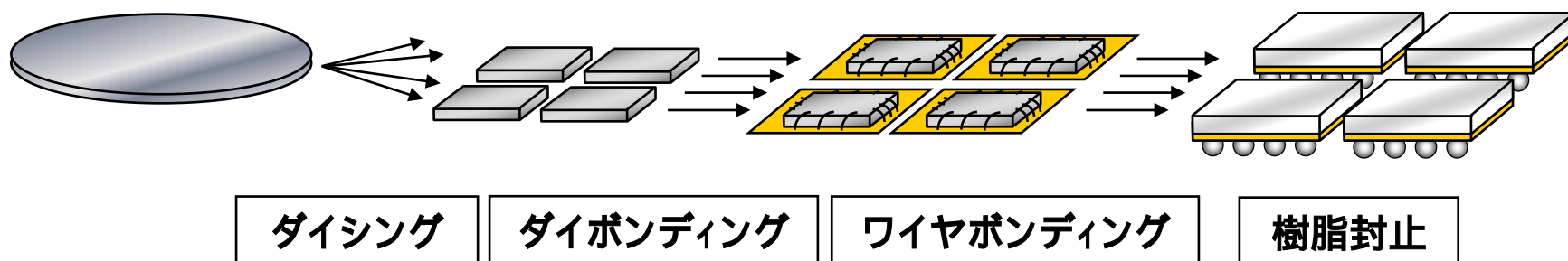
ウェハレベル組立



組立フロー



ダイレベル組立



ワイヤボンディング技術

	2004	2006	2008	2010	2012	2014
ボンディング方式	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ	ボール ウェッジ
最小パッドピッチ (μm)	40	35	30	25	20	20
最小ワイヤ径 (μm)	18	15	12	10	8	8
ワイヤ材料	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金	Au,Al Au合金 Cu合金
パッド材料	Al,Cu	Al,Cu	Al,Cu	Al,Cu	Al,Cu	Al,Cu
総合位置精度 (μm)	± 3.0	± 2.5	± 2.0	± 1.5	± 1.0	± 1.0
L/F最小ピッチ (μm)	140	120	120	100	100	100
基板リードピッチ (μm)	100	80	60	50	50	50

WB技術は進展するが、チップの微細化には勝てない→パッド律速

フリップチップ技術

	パッド配置	2004	2006	2008	2010	2012	2014
最大パッド数	Peri	700	1000	1400	2000	2000	2000
	Area	3600	4200	4800	5400	6400	7000
最小パッドピッチ (μm)	Peri	55	40	30	20	20	20
	Area	150	130	110	100	90	80
最小バンブ径 (μm)	Peri	25	20	15	10	10	10
	Area	65	50	40	35	35	35
バンブ材料	Peri	Au, Sn-Pb	Au, Sn-Ag	Au,Cu Sn-Ag	Au,Cu Sn-Ag	Au,Cu Sn-Ag	Au,Cu Sn-Ag
	Area	Au, Sn-Pb	Au, Sn-Ag	Au, Sn-Ag	Au, Sn-Ag	Au, Sn-Ag	Au, Sn-Ag

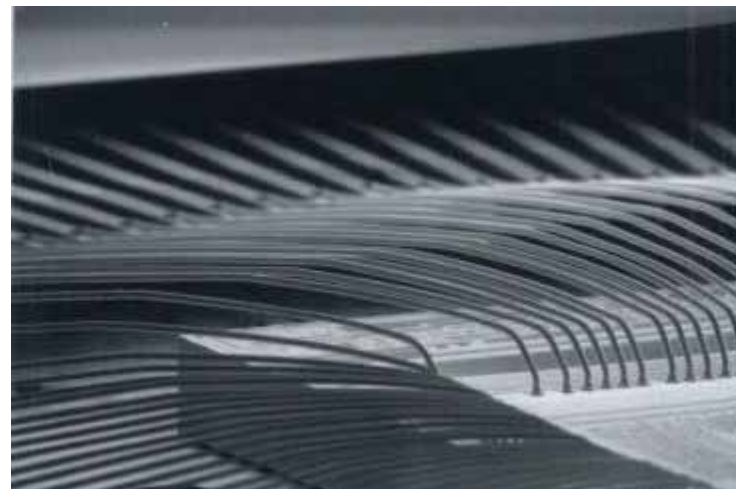
Peri : Peripheral, Area : Area array

チップを搭載する多層ビルドアップ基板の低コスト化が課題。

チップ接続技術

ワイヤボンディング(WB)

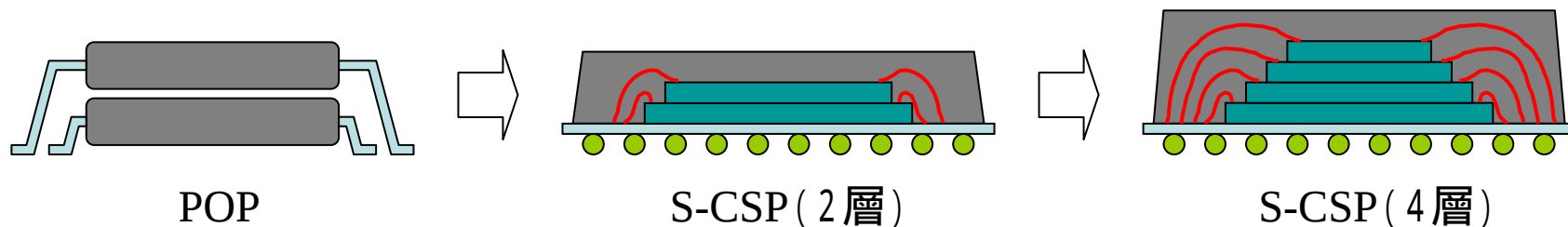
- ・ボンディング装置を始めとするWB技術は20 μ mピッチ可。
- ・金線、ワイヤ流れ、プローブ等の周辺技術が対応困難。



フリップチップボンディング(FCB)

- ・エリアアレイパッド化により、多ピン化に対応可。
- 但し、搭載基板の低コスト化が課題。

3次元実装による高密度化



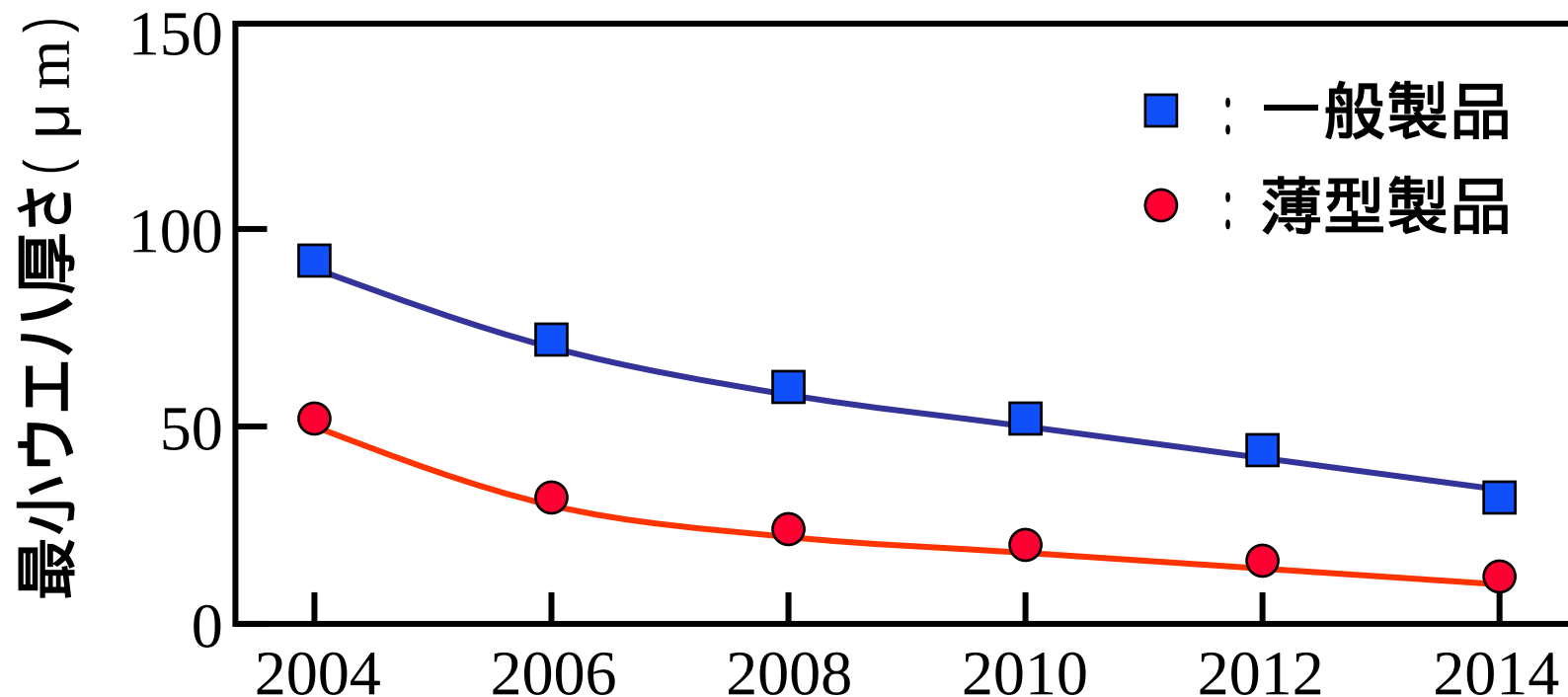
S-CSP(Stacked CSP)による多層化

- ・チップの薄膜化
- ・低ダメージDB技術
- ・低ループWB技術
- ・狭隙樹脂封止技術



- ・チップ貫通孔接続技術

ウエハ薄膜化技術



- ・チップの薄膜化は進展するが、裏面のダメージが課題。
- ・さらに、薄ウエハ/チップのハンドリングやWB・FCBでの低ダメージ化が必要。

Low k材対応技術

機械的強度の弱いLow-k材の導入に対して、それに対応した新技術の開発が必要。

ダイシング技術

- ・レーザーダイシング技術の導入。

WB/FCB技術

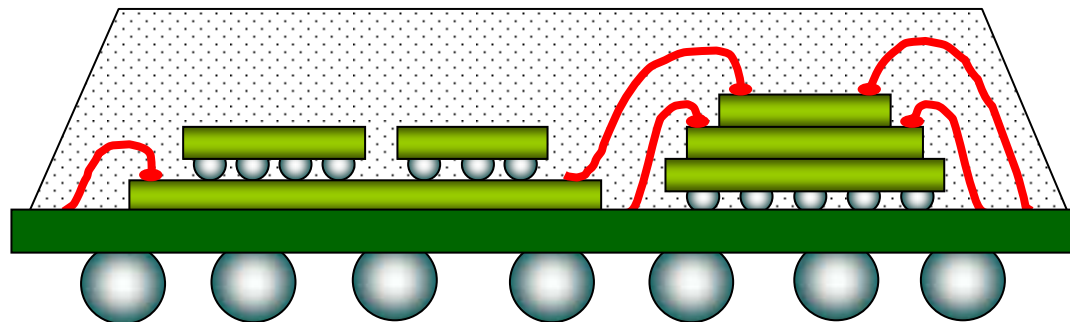
- ・低ダメージボンディング技術の開発。

樹脂封止技術

- ・低収縮応力の樹脂封止材料/技術の開発。

MCP/SiPの動向

	2004	2006	2008	2010	2012	2014
最大搭載IC個数	6	8	8	10	10	10
最大チップ積層数	5	6	6	8	8	8
最薄チップ厚さ (μm)	50	30	25	25	25	25



・MCP/SiPの多チップ搭載・積層化・複合化は進展する。

MCP/SiPの今後の課題

■ KGD

- ・特性と信頼性が保証されたチップの供給

■ 極薄チップの多層積層化技術

■ 高放熱技術

- ・多数チップによる発熱を如何に放熱するか？

■ テスト・解析技術

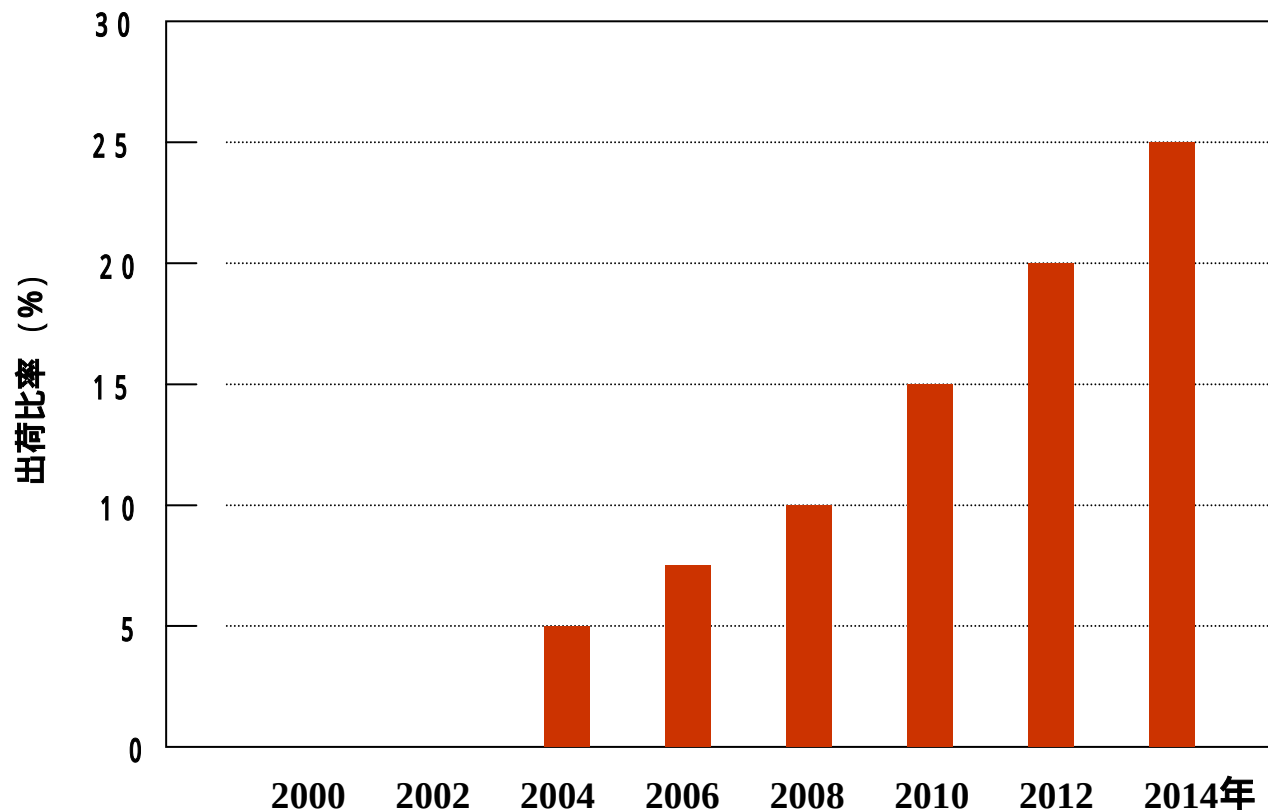
- ・システムとしてのテストと不良チップの解析

■ インターポーザ(サブストレート)

- ・部品内蔵サブストレート
- ・微細接続に対応した安価なシリコン基板

ベアチップの動向

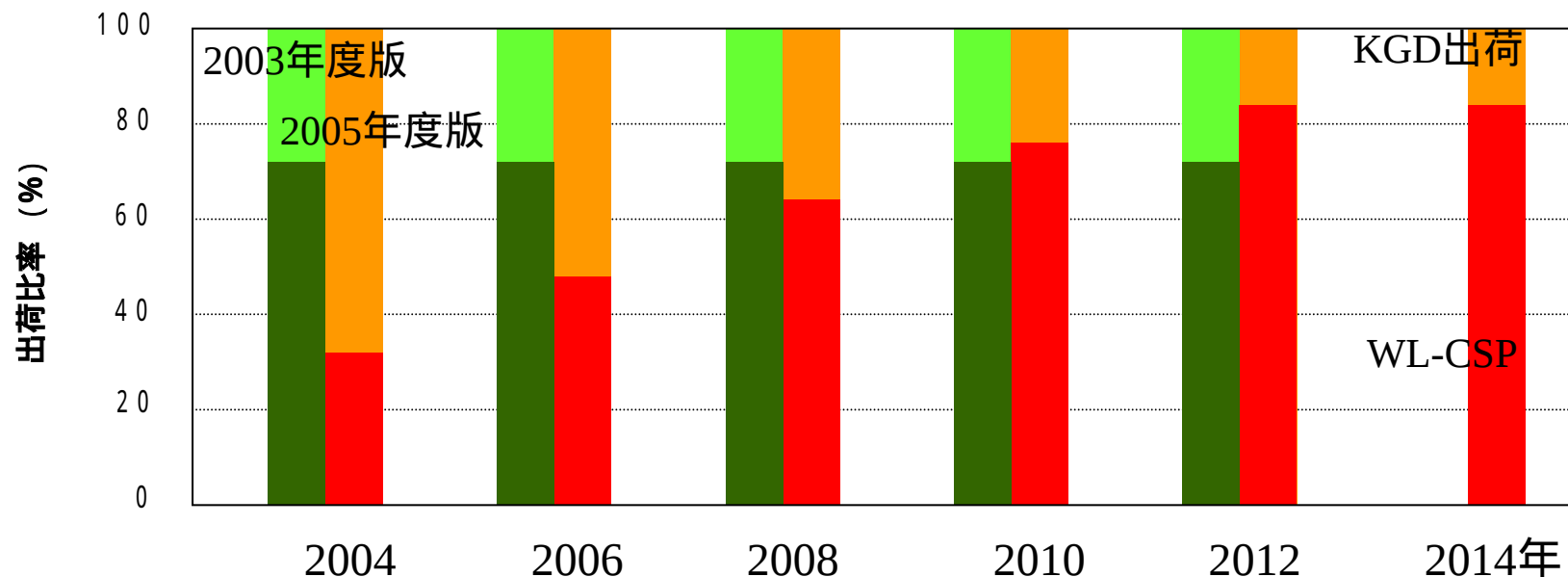
ベアチップ出荷比率の推移(ロジックデバイス集計)



ベアチップの出荷比率は急激に増加すると予測される。

KGD保証への対応

ロジックデバイスにおけるKGD・WL-CSPの出荷比率



WL-CSPでのKGD保証が今後、増加する。

注) KGD(Known Good Die):PKG品と同等の信頼性保証

まとめ

- 1 . FBGAはボール端子の狭ピッチ化により、小型高密度化を推進する。WLP技術は、極限の2次元実装を実現する。
- 2 . WB技術は進展するが、パッドピッチがチップサイズを律速する。多ピン化はFCB技術で対応するが実装基板の低コスト化が課題である。
- 3 . 今後は、3次元実装が進展する。メモリだけの積層ではなく、複合3次元MCP化が進むが、KGD技術・テスト技術・放熱技術が課題である。
- 4 . KGD技術の代替として、WLP技術によるWL-CSPの出荷が増加する。