

新材料導入口ロードマップ

—High-k & メタルゲート同時導入に向けて—

2006年3月10日

窪田 通孝 (ソニー)

奈良 安雄 (Selete)

内容

(1)2005年度活動紹介: 窪田

ITRS2005の主な変更点

(2)技術動向報告: 奈良

High-k & メタルゲート同時導入可能性について

FEP WGメンバー

リーダー: 窪田通孝 (ソニー)

サブリーダー: 丹羽正昭 (松下)*

水島一郎 (東芝)*

幹事: 中西俊郎 (富士通研)

委員: 藤原英明 (三洋)

内田英次 (沖): 米国 Surf. Prep. WG

藤原伸夫 (ルネサステクノロジ)

北島洋 (NECエレクトロニクス)

三富士道彦 (ローム)

奈良安雄 (Selete)

特別委員: 河村誠一郎 (産総研)*

大形俊英 (日立ハイテクノロジーズ): SEAJより

河野光雄 (コマツ電子金属)# : 新金属協会より

中嶋 定夫 (日立国際電気): SEAJより

渡辺正晴 (ニューフレアテクノロジー)# : 米国 Start. Mat. WG

*: 国際対応

#: 次世代大口径ウェーハ
検討小委員会参加

2005年度活動

ITRS2005 (大改定の年)

Stacked DRAMとFeRAMをPIDSと協力し改訂。
FEP全体の見直し。

450mmウェーハ関係 (Position Paper)。

技術動向調査 (全10回)

担当領域が広範囲に及ぶため、各分野のヒアリングを積極的に行い、最新技術動向を把握。

450mmウェーハ

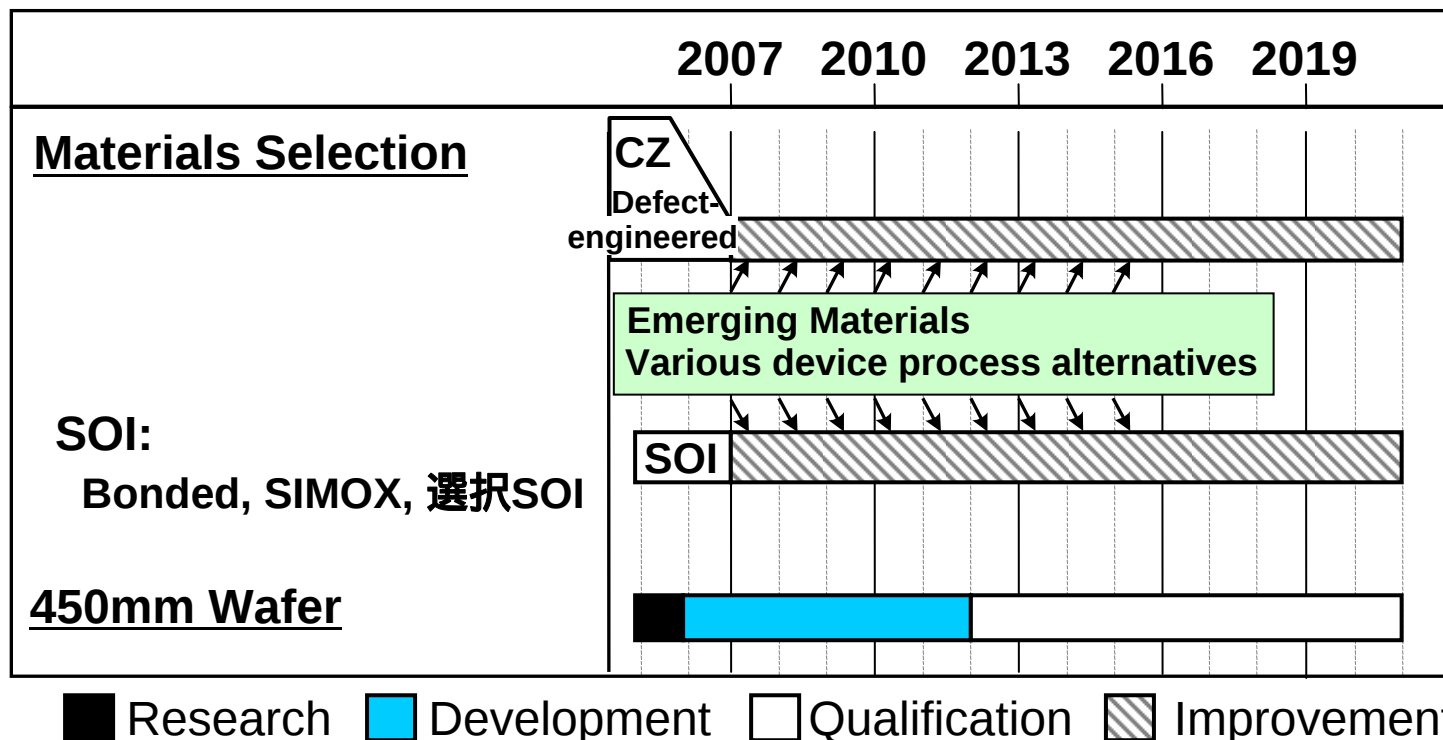
次世代大口径ウェーハ検討小委員会への貢献。

Starting Materials

ITRS2005における顕著な変更点

Emerging Materials記載追加 (Sub-chapter text)

- ・熱伝導制御: Si/Diamond, Si/SiC, Si/AlO_x, 同位体Si
- ・移動度増加: 歪Si, ゲルマニウム, 結晶方位, CN
- ・SoC: 高抵抗基板, 光配線



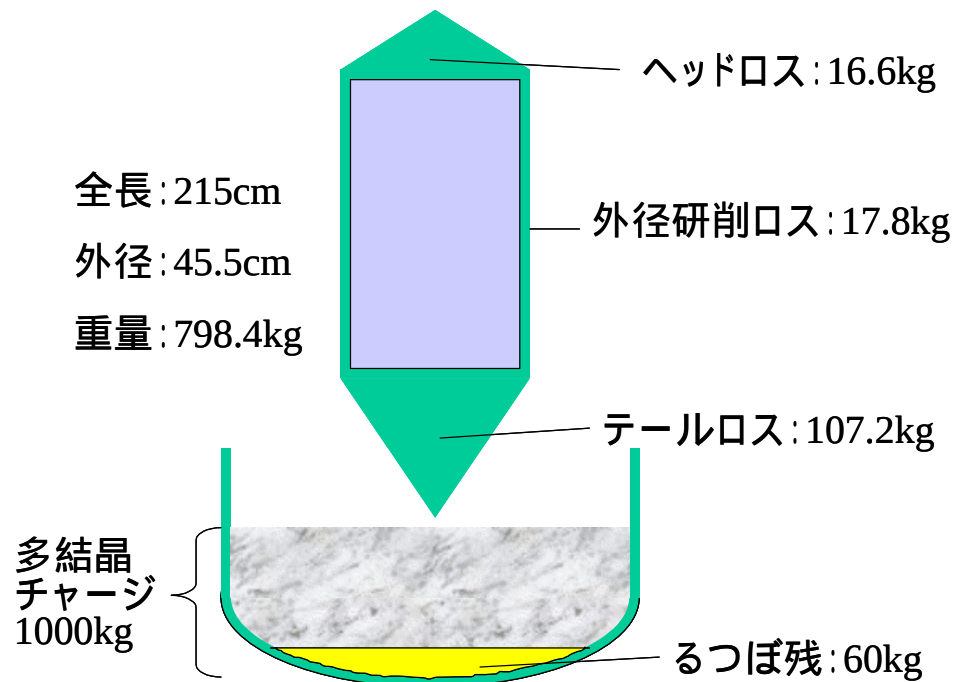
450mmウェーハ技術

450mmウェーハに関するポジションペーパー追加

- ・歴史展望
- ・450mmウェーハ形状予測
- ・課題(引上げ、多結晶Si原料、ウェーハ加工)
- ・経済性とその課題

ウェーハ・SOI分科会

- ・450mmの技術的側面を検討が3月中断
- ・装置開発用メカニカルウェーハ仕様策定に着手
- ・2006年度はJEITAシリコン技術委員会のWGで議論を継続する



FRONT END

Surface Preparation

ITRS2005における表面処理に関する変更点

1. Siおよび酸化膜ロス許容量の低減
2. ウォーターマーク基準の再登場
3. その他の値は変更なし、または小幅修正

		Near-term									Long-term						
	<i>Year of Production</i>	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Was	Silicon loss (Å) per cleaning step	08	07	05	04	04	04	04	04	04	04	04	04	04	04		
Is	Silicon loss (Å) per cleaning step	08	07	05	04	04	03	03	03	02	02	02	02	02	02	02	02
Was	Oxide loss (Å) per cleaning step	08	07	05	04	04	04	04	04	04	04	04	04	04	04		
Is	Oxide loss (Å) per cleaning step	08	07	05	04	04	03	03	03	02	02	02	02	02	02	02	02
Is	Allowable watermarks	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FRONT END ETCH

ITRS2005におけるゲートCD精度に関する変更点

1. CD要求精度緩和
2. レジストCD値増加
3. Litho/Etch分配比率変更

(1. 2. は、Industry survey に基づく)

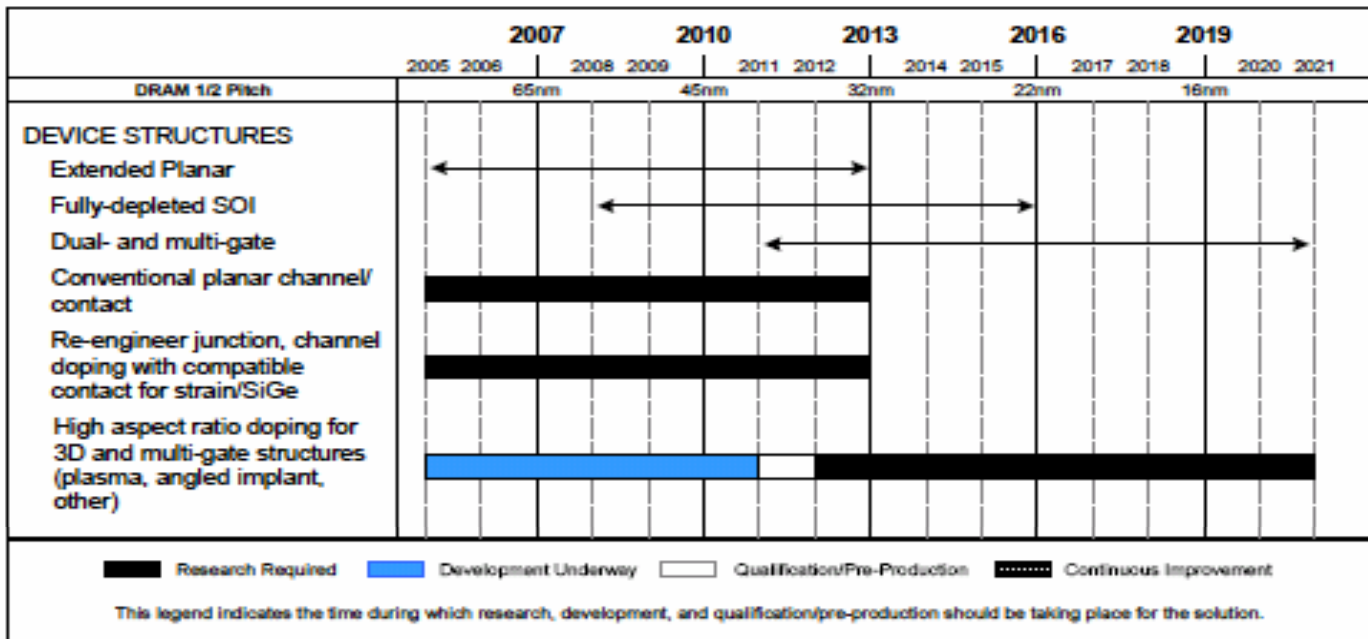


許容CD(3 σ)は、Etch 35%、Litho.18%緩和された(ITRS2003比)。
Red Brick Wallは2007年に後退。

ITRS2005での変更要点	2003	2005
Gate CD精度	$\pm 10\%$	$\pm 12\%$
Resist CD(トリム前)	1	1.2(相対比)
Litho/Etch分配	80/20	75/25

Doping and Junctions

- EOTのスケーリングの鈍化により、接合形成における要求深さはさらに浅くなっているが、その値は MOSFETの動作に対して、浅い接合深さと低いシート抵抗と両立できるぎりぎりのところまで来ている。
- 将来の三次元構造のデバイスにおいては、その構造に対応可能なドーピング手法の採用が必要となる。



Cell size factor a

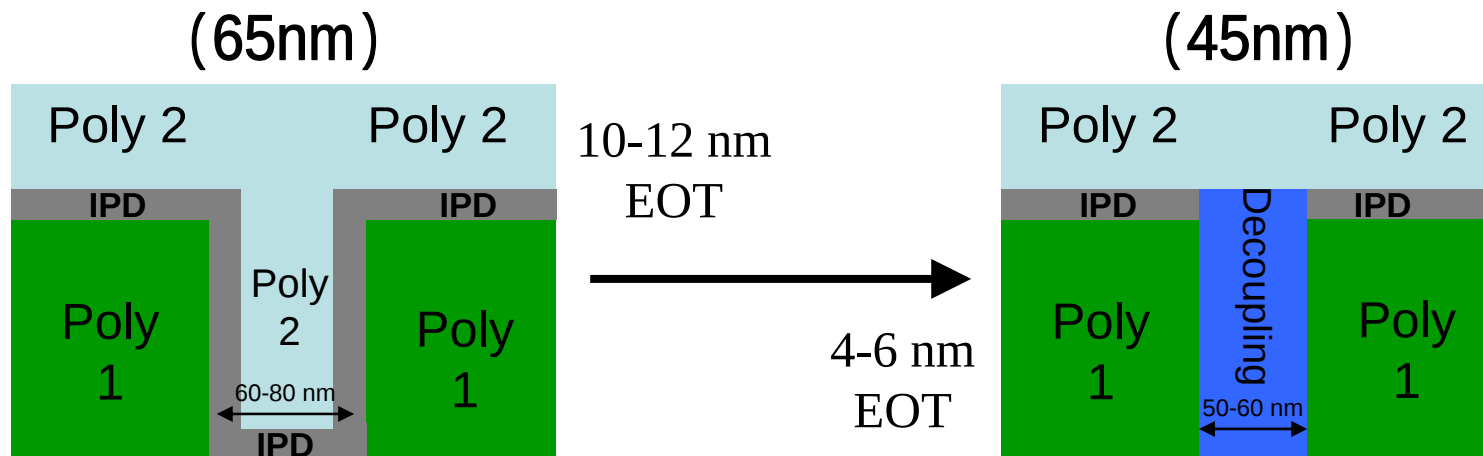
Dielectric constant

Capacitor dielectric material – potential solutions

・キャパシタ絶縁膜の材料選択は、継続的な課題となっている。

Flash Memory

- 45-50nm世代以降において、線幅の縮小、およびカップリング比の維持のため、インターポリの薄膜化が必要となる。



- ONO (Oxide-Nitride-Oxide) ではEOTのスケーリングは困難であり、high-k膜等の新材料が必要。
- あるいは、SiNに電荷を蓄えるような新しい構造の採用が考えられる。
- STIに関しては、浮遊ゲート形成後の形成となるされることがあり、また動作電圧が高いため、logicデバイスよりも高いアスペクト比の埋め込みが必要。

FeRAMの変更点と2006に向けた課題

ITRS2005における変更点

- 記憶容量を削除し、単体、混載に関わらず2社月産1万個に到達したFeature size で規定した。
- 強誘電体材料からくる電荷量の上限 $30\mu\text{C}/\text{cm}^2$ に達した時点、すなわち2010年に3D化が必要と判断。

ITRS2006updateに向けて

- 量産ベースFeRAMの継続的調査。

Year of Production	2005	2006	2007	2008	2009	2010	2011
Feature size (μm) [A]	0.13	0.11	0.1	0.09	0.08	0.065	0.057
Cell area factor: a [D]	34	34	30	30	30	24	24
Capacitor active area (μm^2) [G]	0.32	0.23	0.158	0.128	0.101	0.076	0.069
Cap active area/footprint ratio [H]	1	1	1	1	1	1.55	1.85
Capacitor structure [J]	stack	stack	stack	stack	stack	3D	3D
Minimum switching charge density ($\mu\text{C}/\text{cm}^2$) at V_{op} [M]	11.4	14.2	19	22	26	30	30

High-k & メタルゲート同時導入に向けて

内容

1. ITRS2005の概要(ゲートスタック)
2. High-k & メタルゲート同時導入に向けて
 - High-k/メタルゲートの技術動向
 - 2008年同時導入は可能か？

ITRS2005における主な変更点(1)

1.High-k/メタルゲートの実用化時期を2008年に延期

新技術	ITRS2003	ITRS2005
Enhanced mobility	2004	2004
High-k (Low power)	2006	2008
High-k (MPU)	2007	2008
Metal gate	2007	2008
FD-SOI	2008	2008

2008年に重要な
新技術を導入

実用化時期延期の理由:

1. Enhanced mobility技術の実用化
2. ローパワーデバイスのCV/Iの増加率緩和(17%/year → 14%/year)

ITRS2005における主な変更点(2)

2. メタルゲートの仕事関数値をデバイス毎に規定

- Metal gate仕事関数要求値のまとめ(年代によらず一定)

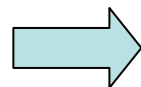
Bulk: バンド端から0.2eV以内

FD-SOI: $E_i \pm 0.15\text{eV}$ (HP)、Midgap (LOP)、 $E_i \pm 0.1\text{eV}$ (LSTP)

Multi-gate: Midgap (HP、LOP)、 $E_i \pm 0.1\text{eV}$ (LSTP)

■ Bulk LSTPの例

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM $\frac{1}{2}$ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
Physical gate length low standby power (LSTP)	65	53	45	37	32	28	25	23	20
Vdd: Power supply voltage (V)	1.2	1.2	1.2	1.1	1.1	1.1	1	1	1
Equivalent physical oxide thickness for bulk low standby power T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	2.1	2	1.9	1.2	1.1	1	1	0.9	0.8
Equivalent physical oxide thickness for bulk low standby power T_{ox} (nm) for metal gate [A, A1,				1.6	1.5	1.4	1.4	1.3	1.2
Gate dielectric leakage at 100°C for bulk (A/cm^2) LSTP [B, B1, B2]	1.5E-02	1.9E-02	2.2E-02	2.7E-02	3.1E-02	3.6E-02	4.8E-02	7.3E-02	1.1E-01
Metal gate work function for bulk LSTP $ E_{c,v} - f_m $ (eV) [S]				<0.2	<0.2	<0.2	<0.2	<0.2	<0.2



High-k材料

merits/demerits of HfO_2 , nitrided HfO_2 , Hf-silicates, and HfSiON (*my interpretation* - pseudo-ternary alloy)

dielectric	'merits'	'demerits'
HfO_2	"only good thing about high-k's are their high values of k" Bob Wallace	nanocrystalline-intrinsic defects: O-vacancies & grain boundary traps
nitrided HfO_2	none, that I know of!!	Hf nitride - metal trivalent Hf - defect
Hf silicates	non-crystalline as-deposited, but	inherent network disruption - chemical phase separation
' HfSiON '	if done <i>right</i> * - a viable 3rd generation solution! *ternary alloy, with high Si_3N_4 content - stable to at least 1100°C	k ~8-10, but with high CB offset enough for EOT to ~ 0.7-0.8 nm

G. Lucovsky (2nd International Workshop on Advanced Gate Stack Technology, 2005)

HfSiON と HfO_2 にほぼ絞り込まれた。

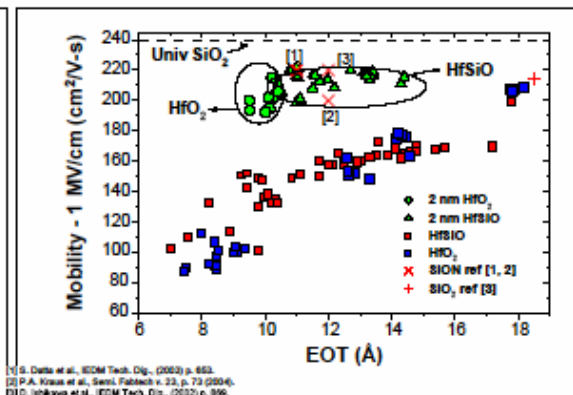
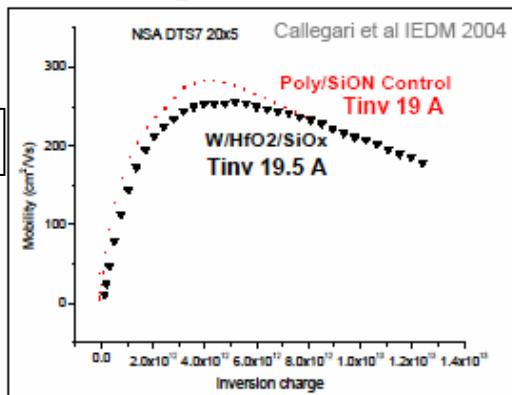
- HfSiON : 熱安定性高くCMOSプロセス適合性良好
- HfO_2 : 誘電率高く(HfSiON 比較)膜厚スケーリングに有利

High-k膜の電気的特性

Mobility

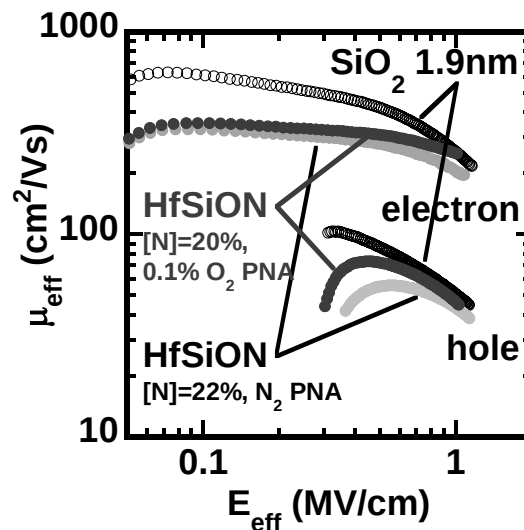
No longer an impediment

W gate



R. Jammy
(IEDM Short Course 2005)

TiN gate



S. Inumiya他
(IEDM 2005)

Poly-Si gate

EOT=0.86nm

EOT (<0.9nm)、移動度もほぼ問題ないレベル

メタルゲートの導入とその課題

■ メタルゲート導入のメリット(従来のPoly-Siゲートと比較して)

- ゲート空乏層(約0.3nm相当)による薄膜化阻害を解消
- ゲート不純物(特にボロン)のチャネルへの突き抜けなし
- V_{th} 制御性改善

(High-kとの組み合わせにおけるFermi Level Pinning解消)

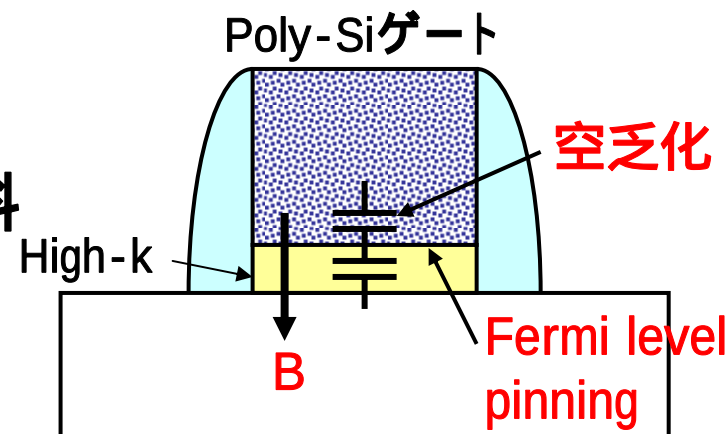
■ メタルゲート技術の課題

- 材料選択

- ・ NMOS、PMOSの V_{th} に適する材料
- ・ 成膜などプロセス技術構築

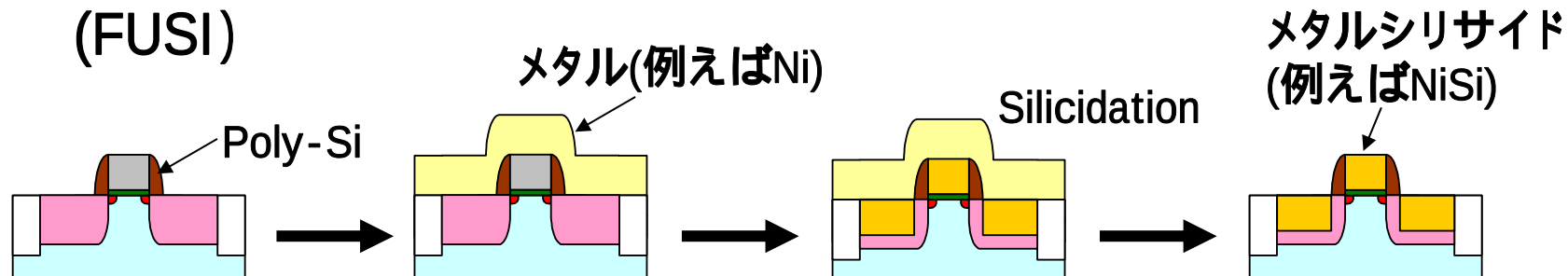
- インテグレーション方式

- ・ FUSI (Fully silicided)
- ・ デュアルメタル
(ゲートファースト/ゲートラスト)

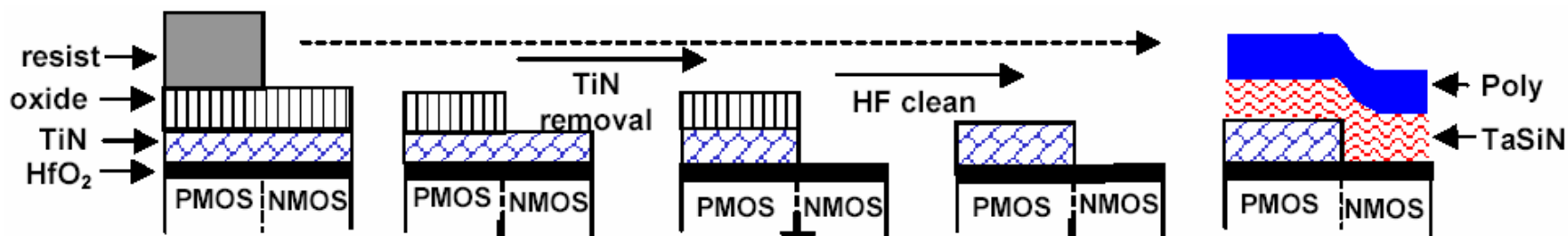


メタルゲート形成方式

Fully silicided gate (FUSI)

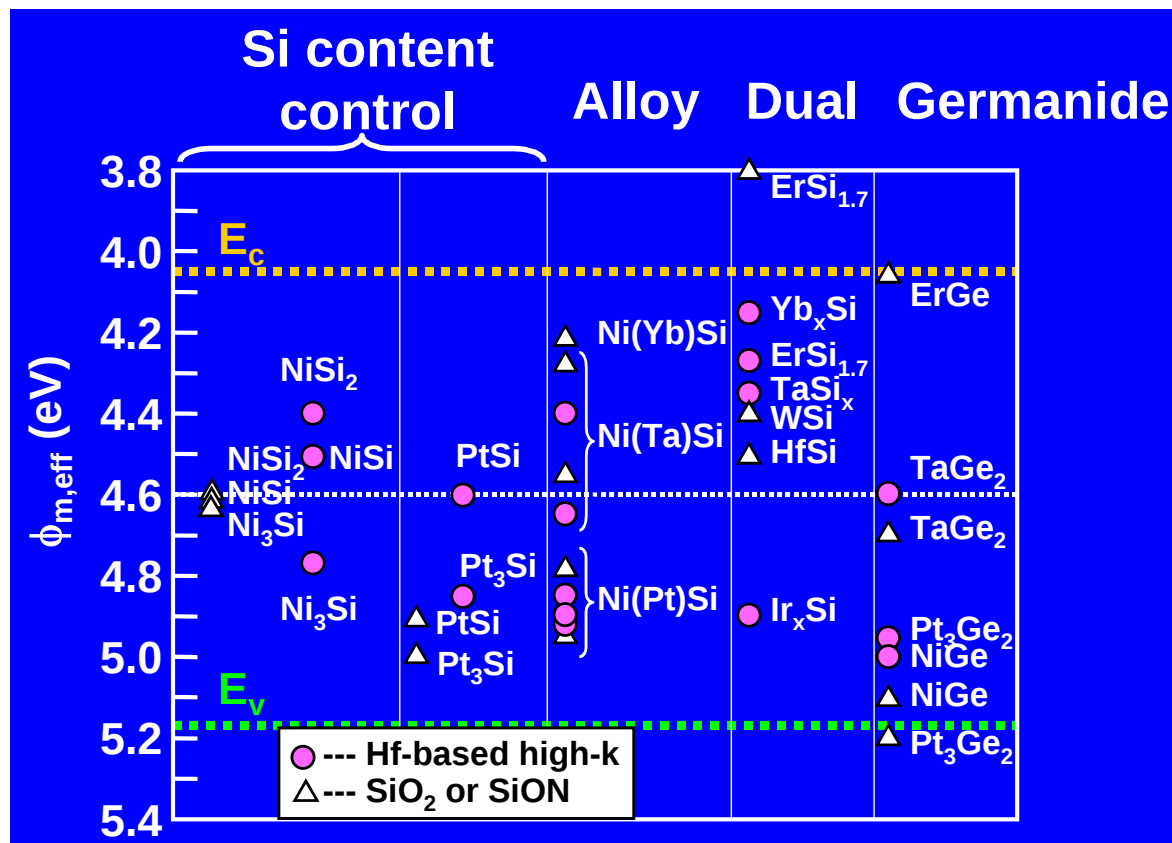


デュアルメタルゲート(ゲートファースト)



(S.B.Samavedam他、IEDM2002)

種々のFUSIの実効仕事関数



生田目 (ゲートスタック研究会 2006)

- Poly-Siゲートと同様にFermi level pinning発生 (バンドエッジ近傍の仕事関数が得られていない)
- High-k上での仕事関数制御法が大きな課題

FUSI以外(デュアルメタル)のゲート材料

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
	1A	2A	3A	4A	5A	6A	7A	8			1B	2B	3B	4B	5B	6B	7B	0
1	H	仕事関数増大 →																He
2	Li	Be											B	C	N	O	F	Ne
3	Na	Mg											Al	Si	P	S	Cl	Ar
4	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	Cs	Ba		Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	Fr	Ra																
				■ 典型非金属元素				■ 典型金属元素				■ 遷移金属元素						

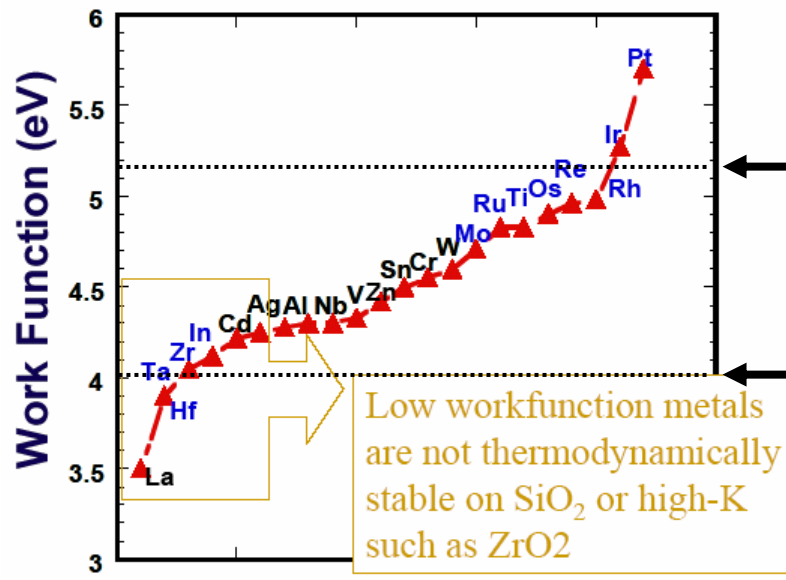
nMOS用候補

pMOS用候補

■ 典型非金属元素

■ 典型金属元素

■ 遷移金属元素



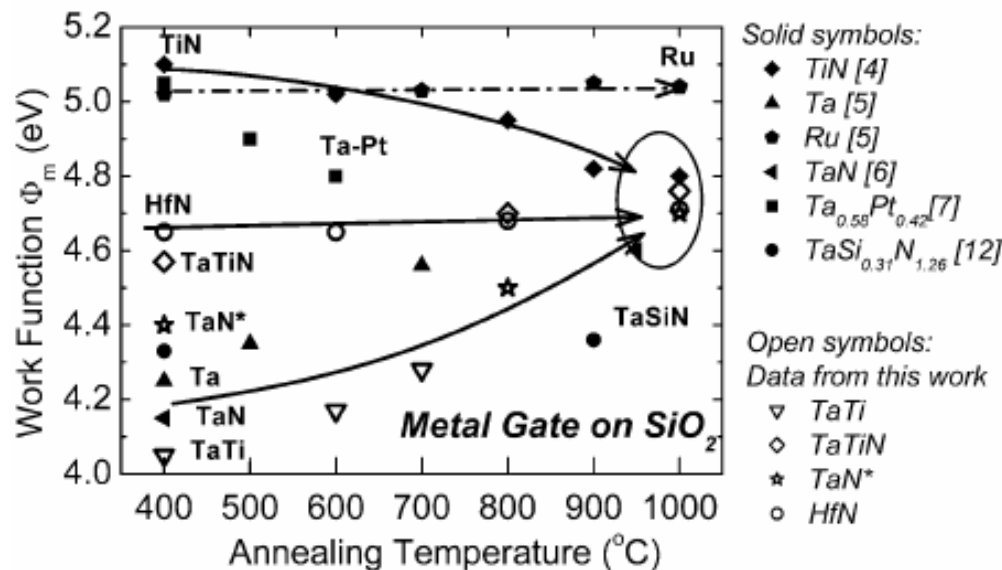
Si valence band

Si conduction band

(V.Misra他, Topical Research Conference on Reliability, 2003)

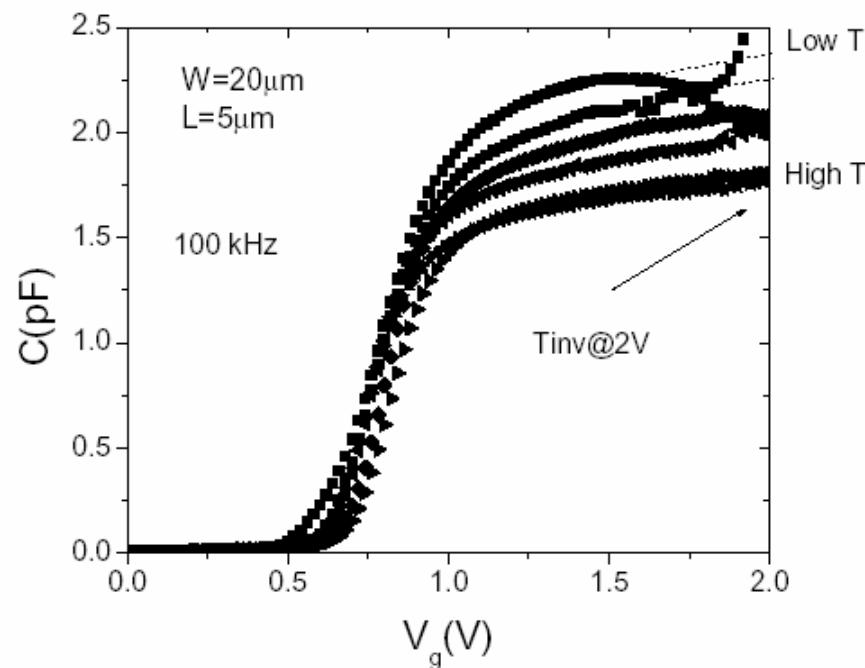
デュアルメタルゲートの課題

実効仕事関数の変動



(H.Y.Yu et. Al., EDL2004)

EOTの増大



(A.Callegari et. Al., IEDM2004)

- メタル材料の絞込みが不十分
- 耐熱性(実効仕事関数、EOT)の確保

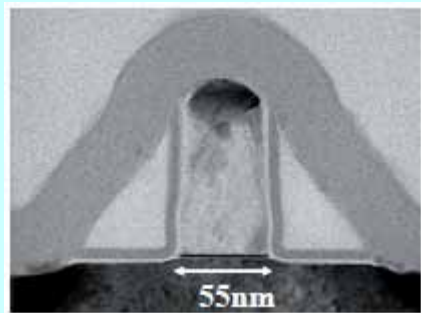
2008年同時導入に向けて

現状(発表レベル)

2008年

20XX年

Poly-Si/HfSiON

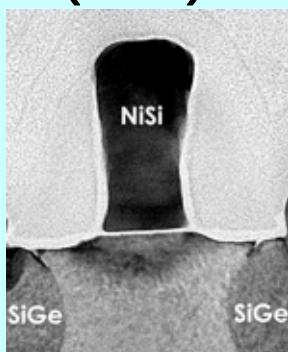


(N. Kimizuka他 VL2005)

FUSIの仕事関数
制御技術の進展

FUSI(NiSi)/High-k

FUSI(NiSi)/SiON



(P.Ranade他 IEDM2005)

デュアルメタル/
High-k

デュアルメタル材料/
インテグレーション方式の絞込み

適材適所に活用

まとめ

■ Hf系High-k膜はほぼReady

- 材料: HfSiON or HfO₂
- EOT<0.9nm、移動度=SiO₂の90%程度
- Vth制御性(Fermi level pinning)により現状では用途は限定

■ High-k+メタルゲート技術は課題多い

- まずは、High-k、メタルゲートそれぞれの特徴を生かせるデバイスで活用の方向
- FUSIのFermi level pinning対策を加速すべき
- デュアルメタルゲート:
材料絞込み/インテグレーション方式の決定