

# STRJ-WG4(配線)報告

## ”More Moore”

—Cu/Low-k微細化への道を切り拓く!!—

WG4リーダー

中村友二

富士通研究所

## 1. はじめに

- 配線技術の現状
- WG4(配線WG)の活動概要

## 2. ITRS2005-Interconnect 見直し

- 配線ピッチ、多層構成
- Cu抵抗率、配線抵抗
- 低誘電率材料:k値
- 配線電流密度:Jmax

## 3. STRJ-WG4独自の活動

- Cu/Low-k配線の課題:機械的強度の解析
- Beyond Cu/Low-k

## 4. まとめ、今後の活動予定

# 1. はじめに

## 配線技術の現状

### ● スケーリングによる配線断面積・間隔の縮小

- 配線遅延の増加
- 電流密度上昇に伴う信頼性劣化 (EM)
- 消費電力の増加
- シグナルインテグリティ問題 など

### ● 対策として 新材料を導入

180nm世代からCu、130nm世代からLow-k

### ● しかし、45nm世代以降は、

プロセス・材料物性の限界が顕在化し、技術障壁が増大

- ・ バリメタル厚のスケーリング、Cuの電子散乱による比抵抗上昇
- ・ Low-k膜のプロセス起因の変質・吸湿、機械的強度低下に伴うインテグレーションや信頼性問題
- ・ CuのEM限界、微細ビアのSM問題 など

- 方針： 論理的根拠に基づいた、合理的かつ現実的な配線技術ロードマップを目指す
- 国際ロードマップ ITRS作成とリンクした活動
  - 配線ピッチ、層構成、微細Cuの抵抗率、誘電率(k値)、配線電流密度( $J_{max}$ )などをITRS2005に反映
- STRJ独自の活動
  - ・ 2010以降のRBWに対するPotential Solution検討
  - 現状技術(Cu/Low-k)の限界の把握
    - Low-k膜の機械的強度劣化の影響 など
  - エマージング技術(CNT, 光配線.)の調査

# WG4(配線WG)構成

リーダー	: 中村 友二	(株)富士通研究所
サブリーダー	: 柴田 英毅	(株)東芝セミコンダクタ社
国際委員	: 上野 和良	NECエレクトロニクス(株)
国際委員	: 山崎 治	シャープ(株)
委員	: 青井 信雄	松下電器産業(株)
	青山 純一	ソニー(株)
	今井 正芳	大日本スクリーン製造(株)
	遠藤 守	セイコーエプソン(株)
	影山 麻樹子	沖電気工業(株)
	五戸 成史	SEAJ特別委員 (株)アルバック
	辻村 学	WG特別委員 (株)荏原製作所
	中尾 雄一	ローム(株)
	福永 明	SEAJ特別委員 (株)荏原製作所
	松澤 昭	WG特別委員 東京工業大学
	宮崎 博史	(株)ルネサステクノロジ
	山下 富生	三洋電機(株)

# 活動経緯、予定



## ① 配線ピッチの見直し

- ・ 各社の国際会議発表トレンドによると、M1(第1メタル)の微細化が加速  
2005~2009年: 0.7倍/3年⇒ 0.75倍/2年、2010年以降: 0.7倍/3年
- ・ 多層構成(M1, Intermediate, Global)の見直し  
従来のMPU階層構造とは別にASICの階層構造を追加

## ② 電子散乱効果による配線抵抗率の増加: 要求値の見直し

- ・ 抵抗上昇モデルを見直し、技術要求テーブルの数値を変更

## ③ 誘電率(k値)の要求値を見直し

- ・ 狭ピッチ化の加速に伴う、k値の変更

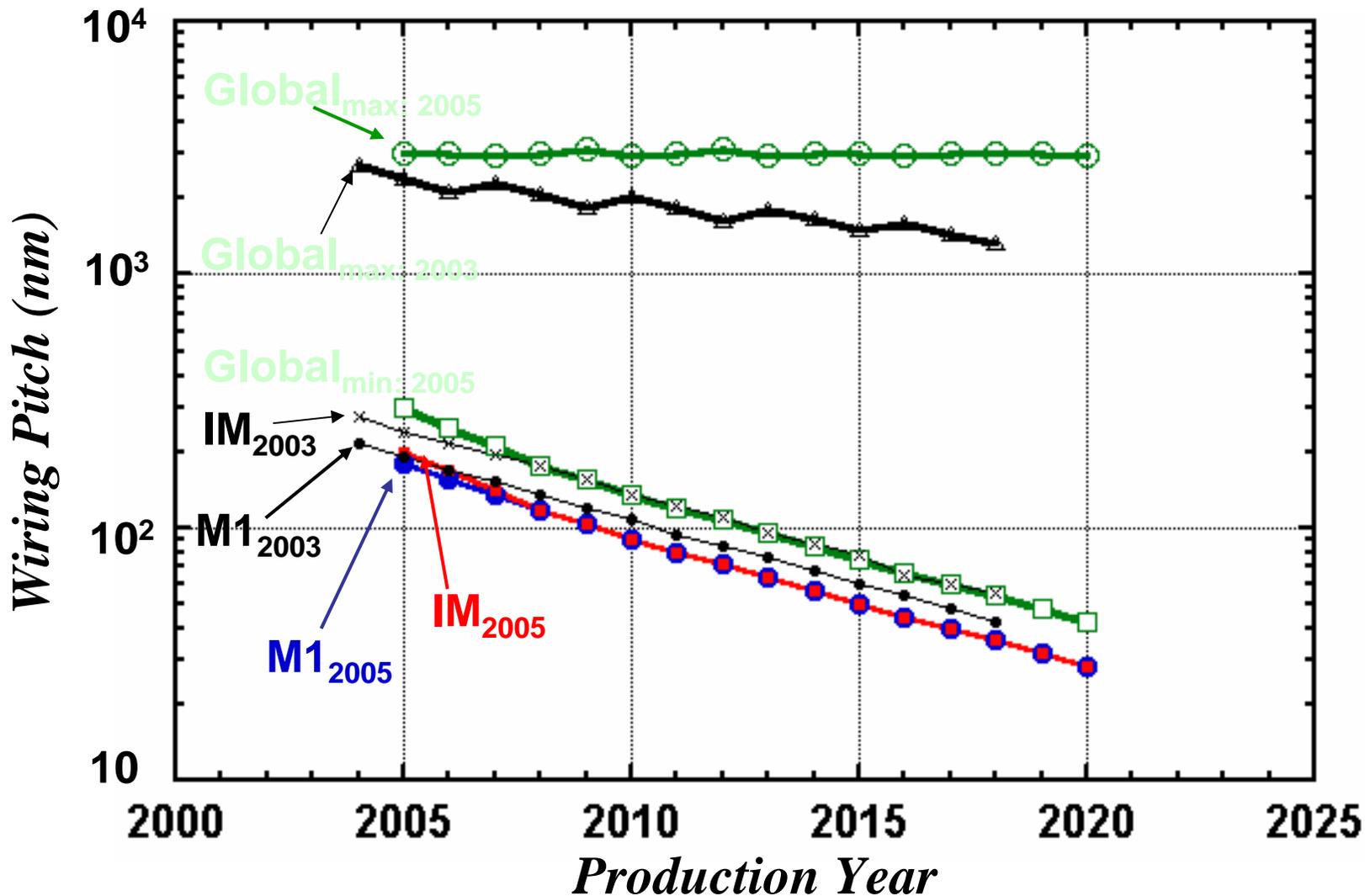
ITRS2003から採用したモデルを用い、keffを導出⇒低誘電率化の加速

## ④ 配線電流密度( $J_{max}$ )の見直し

- ・ 狭ピッチ化⇒ 配線断面積、配線間容量の変更に伴う再計算

# M1、Intermediate (IM)、Global配線ピッチ

M1配線の微細化は加速、グローバル配線の最大寸法は一定



# 配線ピッチの見直し



## Commercial Pitch Trend Update

Node	Company	M1	Min. IM	Semi-global	Min.Global	Global/IM ratio	Reference
130 (2001)	IBM	<b>320</b>	400	-	-	-	L.K.Han, <i>VLSI2000</i> , p.2
	Toshiba	<b>320</b>	400	800	2000	5	H.Yoshimura, <i>VLSI2000</i> , p.144
	Fujitsu	<b>360</b>	400	600	1600	4	Y.Takao, <i>IEDM2000</i> , p.559
	TSMC	<b>340</b>	410	-	900	2.2	K.K.Young, <i>IEDM2000</i> , p.563
	Intel	<b>320</b>	400	-	800	2	T.Schml, <i>VLSI2001</i> , p.101
90 (2003)	Toshiba	<b>240</b>	300	600	2000	6.7	K.Miyashita, <i>VLSI2001</i> , p.11
	Motorola	<b>240</b>	360	540	840	2.3	S.Parihar, <i>IEDM2001</i> , p.249
	Mitsubishi	<b>240</b>	280	560	1400	5	K.Tomita, <i>VLSI2002</i> , p.14
	TSMC	<b>240</b>	-	-	-	-	S.M.Jang, <i>VLSI2002</i> , p.18
	Inf./IBM/UMC	<b>240</b>	-	-	-	-	T.Scafbauer, <i>VLSI2002</i> , p.62
	NEC	<b>240</b>	280	560	-	-	K. Fukasaku, <i>VLSI2002</i> , p.64
	Fujitsu	<b>260</b>	280	560	840	3	S.Nakai, <i>VLSI2002</i> , p.66
Intel	<b>220</b>	320	400-720	1080	3.4	C.-H.Jan, <i>IITC2003</i> , p.15	
65 (2005)	Toshiba	<b>180</b>	200	400	2000	10	M. Kanda, <i>VLSI2003</i> , p.13.
	NEC	<b>180</b>	200	400	1600	8	Y.Nakahara, <i>IEDM2003</i> , p.282
	Fujitsu	<b>180</b>	200	400	800-1600	4-8	S.Nakai, <i>IEDM2003</i> , p.285
	Intel	<b>210</b>	210	330-480	1080	5	P. Bai, <i>IEDM2004</i> , p.657
45 (2007)	Fujitsu	<b>130</b>	140	280	-	-	I.Sugiura, <i>IITC2005</i> , p.15
	Toshiba	<b>130</b>	140	280	2000	15	N.Matsunaga, <i>IITC2005</i> , p.6

75%/2years

M1 × 1.1-1.2

IM × 2.0

IM × 2.0-4.0~

2005.6.5 Interconnect TWG Meeting

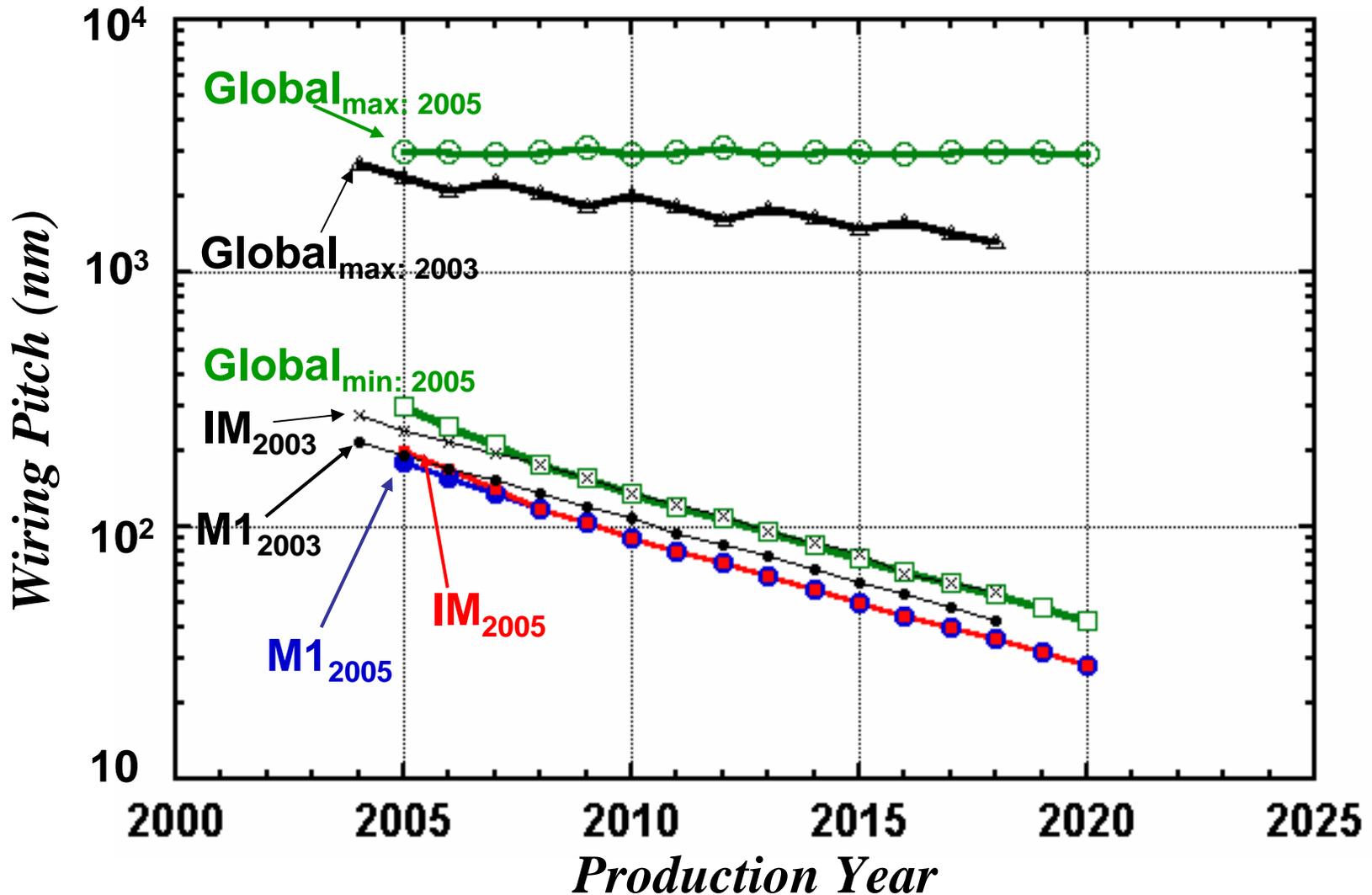
70%/2years

70%/2years

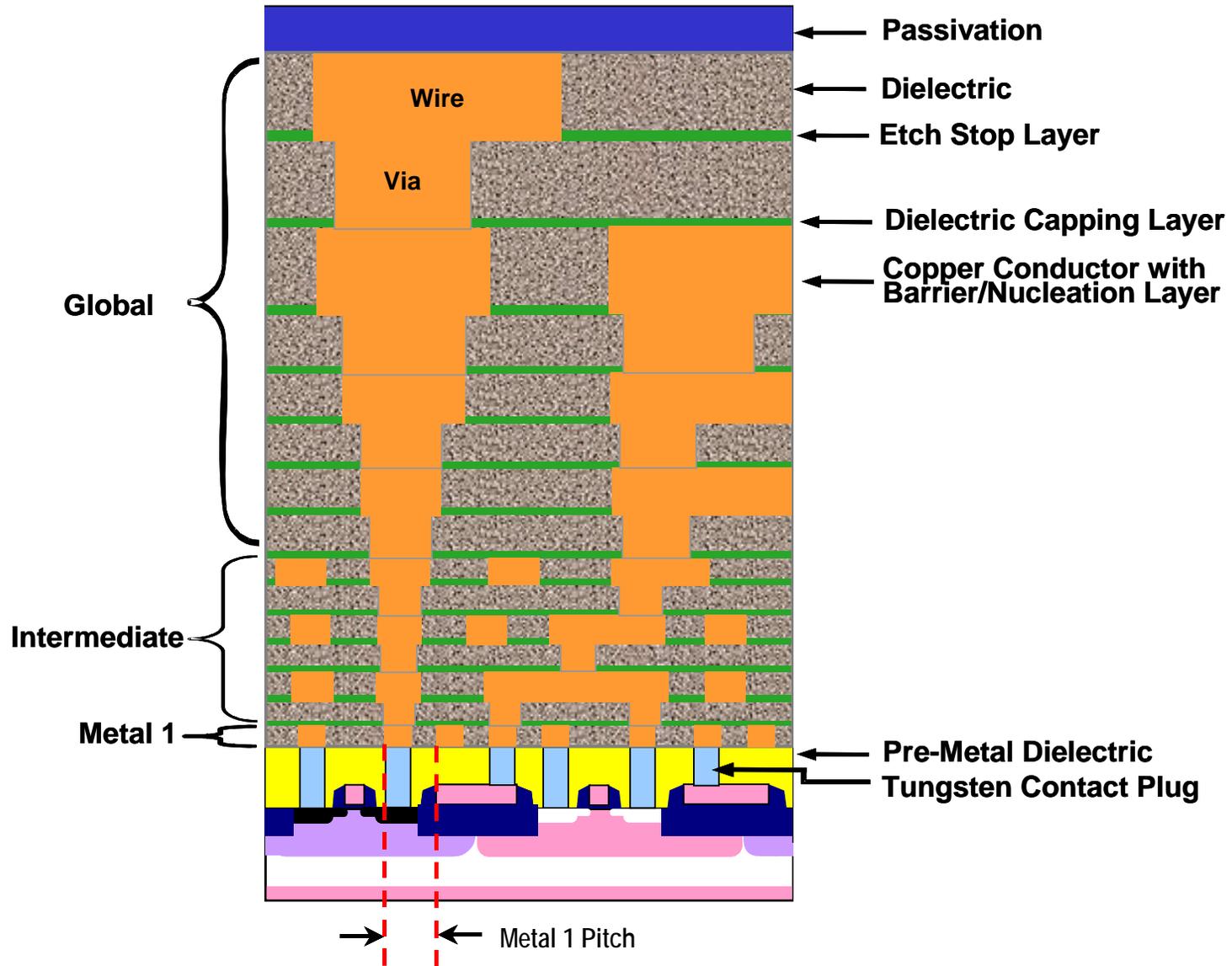
Max.2um

# M1、Intermediate (IM)、Global配線ピッチ

M1配線の微細化は加速、グローバル配線の最大寸法は一定

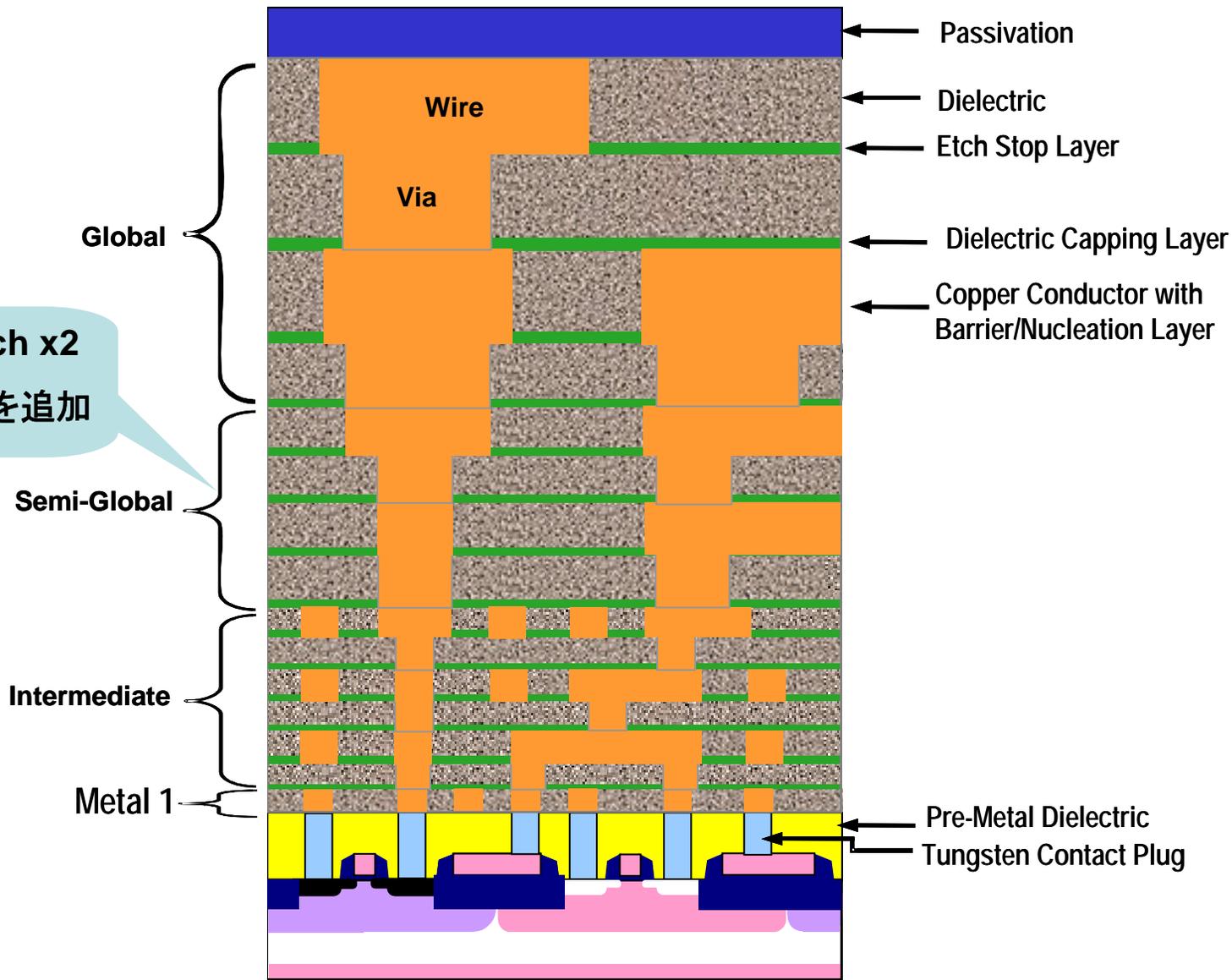


# MPU Cross Section



# 多層配線の階層構造: ASIC の図を追加

Intermediate pitch x2  
のSemi-Global層を追加

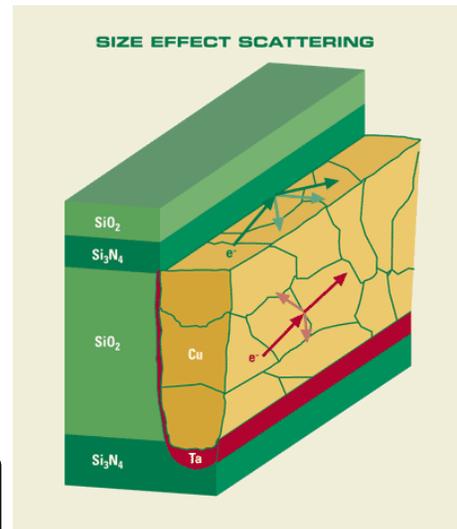
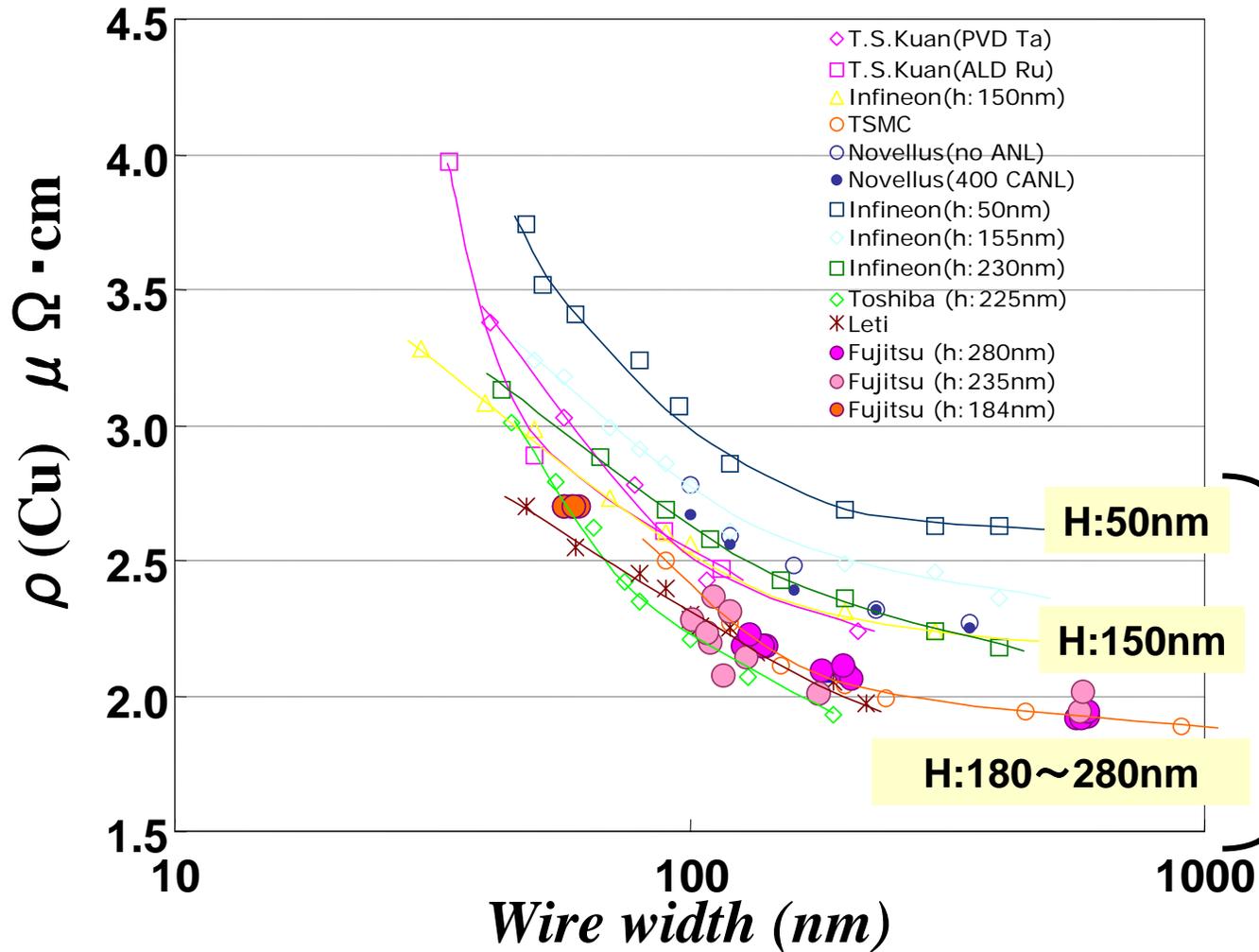


→ ← Metal 1 Pitch

# 電子散乱効果による配線比抵抗率の増加

配線幅  $\sim$  電子の平均自由行程  $\times 3$

↓  
**BM/Cu界面のRoughness**や**Cu結晶粒界**の影響を受ける



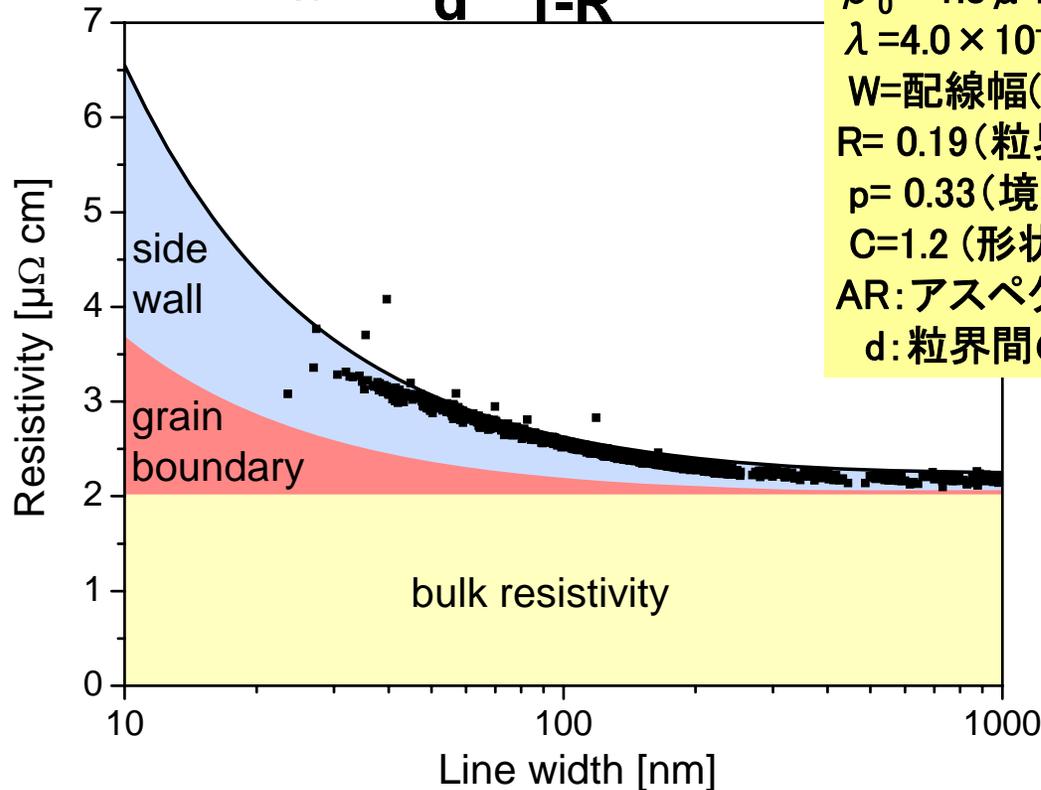
配線高さに依存する

## Cu配線抵抗上昇モデルの見直し

$$\rho(W) = \rho_0 \left\{ \frac{1}{3} \left[ \frac{1}{3} - \frac{\alpha}{2} + \alpha^2 - \alpha^3 \ln\left(1 + \frac{1}{\alpha}\right) \right] + \frac{3}{8} C(1-p) \frac{1+AR}{AR} \frac{\lambda}{W} \right\}$$

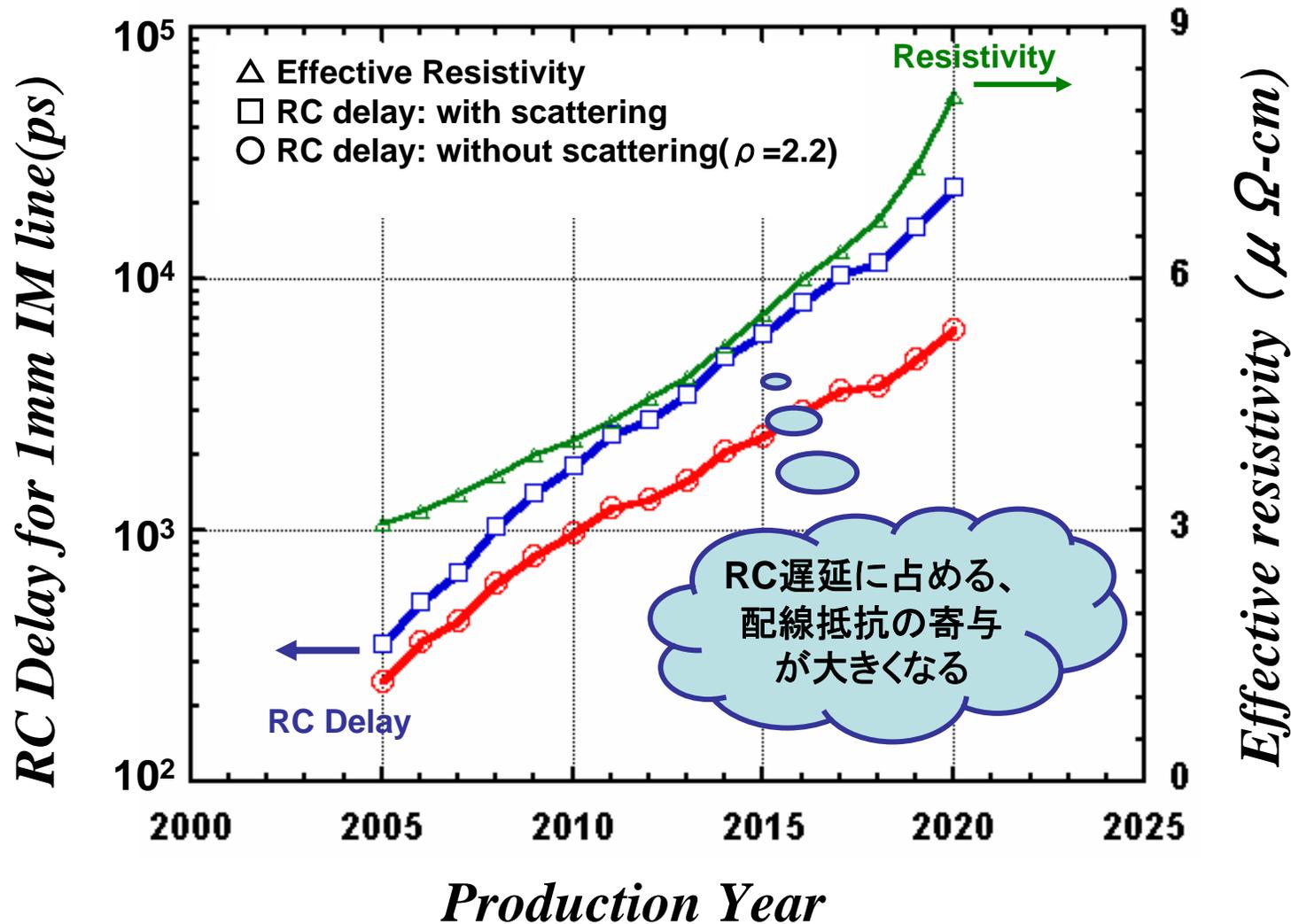
$$\alpha = \frac{\lambda}{d} \frac{R}{1-R}$$

$\rho_0 = 1.8 \mu \Omega \text{ cm}$  (300K, 格子散乱、不純物散乱等)  
 $\lambda = 4.0 \times 10^{-6} \text{ cm}$  (平均自由行程)  
 $W$  = 配線幅 (cm)  
 $R = 0.19$  (粒界散乱確率)  
 $p = 0.33$  (境界の反射係数)  
 $C = 1.2$  (形状パラメータ、直方体)  
 $AR$ : アスペクト比  
 $d$ : 粒界間の平均距離 ( $d = W$  と近似)



W. Steinhögl et al.  
 J. Appl. Phys., 97, 023706 (2005)

## 実効抵抗率: Cuの抵抗上昇+バリアメタルの寄与を考慮



# 誘電率(k値)の要求値見直し

Table 81a and b MPU Interconnect Technology Requirements

	Near-term								
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	78	67	58	50	45	40	35	32
Interlevel metal insulator – effective dielectric constant ( $\kappa$ ) [4] <b>Was</b>	3.1–3.6	3.1–3.6	2.7–3.0	2.7–3.0	2.7–3.0	2.3-2.6	2.3-2.6	2.3-2.6	2.0-2.4
<b>Is</b>	3.1 - 3.4	3.1 - 3.4	2.7 - 3.0	2.7 - 3.0	2.5 - 2.8	2.5 - 2.8	2.5 - 2.8	2.1 - 2.4	2.1 - 2.4
Interlevel metal insulator (minimum expected) – bulk dielectric constant ( $\kappa$ ) <b>Was</b>	<2.7	<2.7	<2.4	<2.4	<2.4	<2.1	<2.1	<2.1	<1.9
<b>Is</b>	≤ 2.7	≤ 2.7	≤ 2.4	≤ 2.4	≤ 2.2	≤ 2.2	≤ 2.2	≤ 2.0	≤ 2.0

Table 81a and b MPU Interconnect Technology Requirements

	Long-term						
Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	28	25	22	20	18	16	14
Interlevel metal insulator – effective dielectric constant ( $\kappa$ ) [4] <b>Was</b>	2.0-2.4	2.0-2.4	<2.0	<2.0	<2.0		
<b>Is</b>	2.1 - 2.4	1.9 - 2.2	1.9 - 2.2	1.9 - 2.2	1.6-1.9	1.6-1.9	1.6-1.9
Interlevel metal insulator (minimum expected) – bulk dielectric constant ( $\kappa$ ) <b>Was</b>	<1.9	<1.9	<1.7	<1.7	<1.7		
<b>Is</b>	≤ 2.0	≤ 1.8	≤ 1.8	≤ 1.8	≤ 1.6	≤ 1.6	≤ 1.6

# keff Calculation Results based on Updated Metal Wire Pitch

## < 2005 > (keff=3.1-3.4 in ITRS2005)

### Assumptions

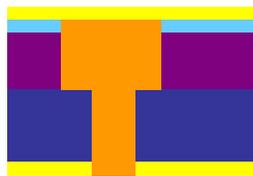
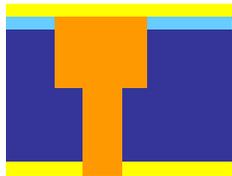
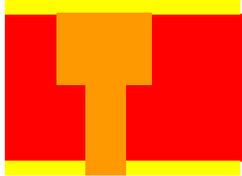
Cu D.B height = 50nm  
 Hardmask height = NA  
 Via height = 150nm  
 Trench height = 170nm  
 Minimum L/S = 100nm

### Assumptions

Cu D.B height = 50nm  
 Hardmask height = 50nm  
 Via height = 150nm  
 Trench height = 170nm  
 Minimum L/S = 100nm

### Assumptions

Cu D.B height = 50nm  
 Hardmask height = 50nm  
 Via height = 150nm  
 Trench height = 170nm  
 Minimum L/S = 100nm



### Assumptions

$K_{(Cu D.B)} = 5.0$   
 $K_{(Hardmask)} = NA$   
 $K_{(via)} = 3.0$   
 $K_{(trench)} = 3.0$   
 $K_{eff} = 3.33$

### Assumptions

$K_{(Cu D.B)} = 5.0$   
 $K_{(Hardmask)} = 4.1$   
 $K_{(via)} = 2.8$   
 $K_{(trench)} = 2.8$   
 $K_{eff} = 3.35$

### Assumptions

$K_{(Cu D.B)} = 5.0$   
 $K_{(Hardmask)} = 4.1$   
 $K_{(via)} = 2.7$   
 $K_{(trench)} = 2.8$   
 $K_{eff} = 3.32$

## < 2007 > (keff=2.7-3.0 in ITRS2005)

### Assumptions

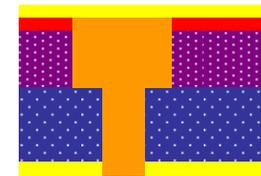
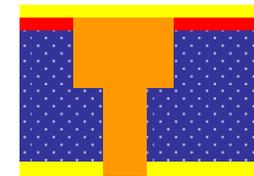
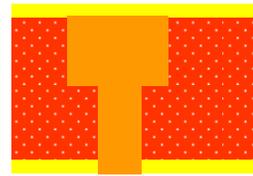
Cu D.B height = 35nm  
 Hardmask height = NA  
 Via height = 112nm  
 Trench height = 126nm  
 Minimum L/S = 70nm

### Assumptions

Cu D.B height = 35nm  
 Hardmask height = 40nm  
 Via height = 112nm  
 Trench height = 126nm  
 Minimum L/S = 70nm

### Assumptions

Cu D.B height = 35nm  
 Hardmask height = 40nm  
 Via height = 112nm  
 Trench height = 126nm  
 Minimum L/S = 70nm



### Assumptions

$K_{(Cu D.B)} = 4.0$   
 $K_{(Hardmask)} = NA$   
 $K_{(via)} = 2.7$   
 $K_{(trench)} = 2.7$   
 $K_{eff} = 2.96$

### Assumptions

$K_{(Cu D.B)} = 4.0$   
 $K_{(Hardmask)} = 3.0$   
 $K_{(via)} = 2.5$   
 $K_{(trench)} = 2.5$   
 $K_{eff} = 2.87$

### Assumptions

$K_{(Cu D.B)} = 4.0$   
 $K_{(Hardmask)} = 3.0$   
 $K_{(via)} = 2.4$   
 $K_{(trench)} = 2.5$   
 $K_{eff} = 2.83$

## < 2009 > (keff=2.5-2.8 in ITRS2005)

### Assumptions

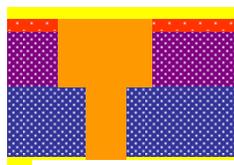
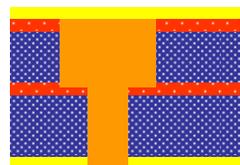
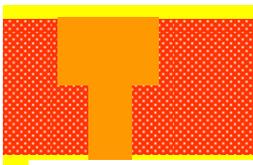
Cu D.B height = 30nm  
 Hardmask height = NA  
 Via height = 80nm  
 Trench height = 90nm  
 Minimum L/S = 50nm

### Assumptions

Cu D.B height = 30nm  
 Hardmask height = 35nm  
 Via height = 80nm  
 Trench height = 90nm  
 Minimum L/S = 50nm

### Assumptions

Cu D.B height = 30nm  
 Hardmask height = 35nm  
 Via height = 80nm  
 Trench height = 90nm  
 Minimum L/S = 50nm



### Assumptions

$K_{(Cu D.B)} = 3.5$   
 $K_{(Hardmask)} = NA$   
 $K_{(via)} = 2.4$   
 $K_{(trench)} = 2.4$   
 $K_{eff} = 2.64$

### Assumptions

$K_{(Cu D.B)} = 3.5$   
 $K_{(Hardmask)} = 2.7$   
 $K_{(via)} = 2.3$   
 $K_{(trench)} = 2.3$   
 $K_{(Middle-STP)} = 3.5$   
 $K_{eff} = 2.80$

### Assumptions

$K_{(Cu D.B)} = 3.5$   
 $K_{(Hardmask)} = 2.7$   
 $K_{(via)} = 2.2$   
 $K_{(trench)} = 2.3$   
 $K_{eff} = 2.62$

## Realistic case

典型的な3種類の高層構造について、  
 Aggressive、Realisticなシナリオで  
 Low-k物性値の組み合わせを求めた。

2005.6.5 Interconnect TWG Meeting  
 TOSHIBA Shibata

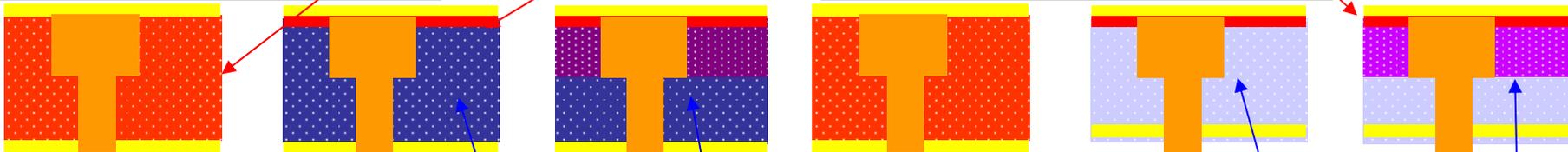
# Example of effective $\kappa$ calculation for Realistic and Aggressive Structures

Structure	Homogeneous	Homo w/HM	Hybrid
Cu D.B height[nm]	35	35	35
Hardmask height [nm]	NA	40	40
Via height [nm]	112	112	112
Trench height [nm]	126	126	126
Minimum L/S [nm]	70	70	70

$\kappa < 2.4$   
 $\kappa_{\text{eff}}: 2.7-3.0$

## Realistic case in 2007

## Aggressive case in 2007



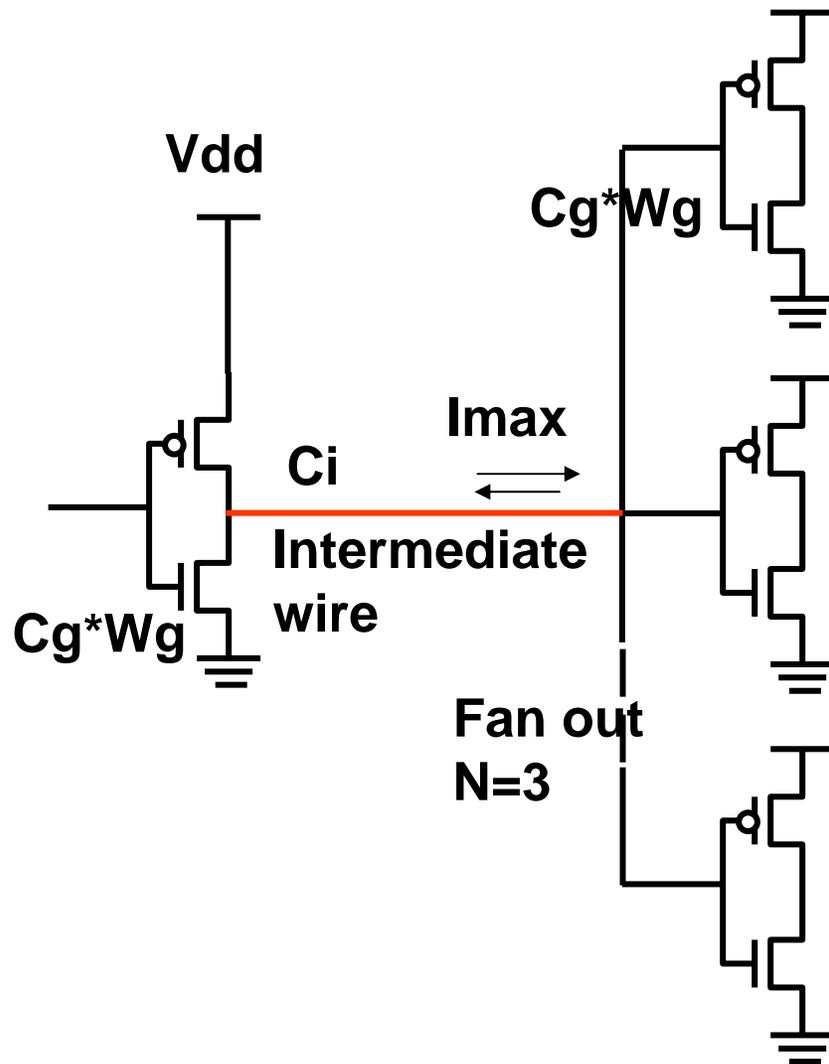
Structure	Homogeneous	Homo w/HM	Hybrid
$\kappa_{\text{(Cu D.B)}}$	4.0	4.0	4.0
$\kappa_{\text{(Hardmask)}}$	NA	3.0	3.0
$\kappa_{\text{(via)}}$	2.7	2.5	2.4
$\kappa_{\text{(trench)}}$	2.7	2.5	2.5
$\kappa_{\text{eff}}$	2.96	2.87	2.83

Structure	Homogeneous	Homo w/HM	Hybrid
$\kappa_{\text{(Cu D.B)}}$	4.0	4.0	4.0
$\kappa_{\text{(Hardmask)}}$	NA	3.0	3.0
$\kappa_{\text{(via)}}$	2.5	2.3	2.3
$\kappa_{\text{(trench)}}$	2.5	2.3	2.3
$\kappa_{\text{eff}}$	2.78	2.72	2.72

$\kappa$  value range

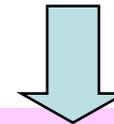
Same thickness at same generation but different materials with various structures

# 配線電流密度 ( $J_{max}$ ) の見直し



## Inverter circuit (F.O=3)

- Minimum Tr width (Wmin.):  
 NMOS Gate width= (ASIC Half-pitch)x 4  
 PMOS Gate width=(NMOS Gate-width) x 2
- Tr-width (Wg):  
 $Wg = Wmin.x 8$
- Gate capacitance(Cg): from Tables 35a and b
- Wiring length (Li): IM-Pitch x 200
- Wiring capacitance(Ci): Updated keff



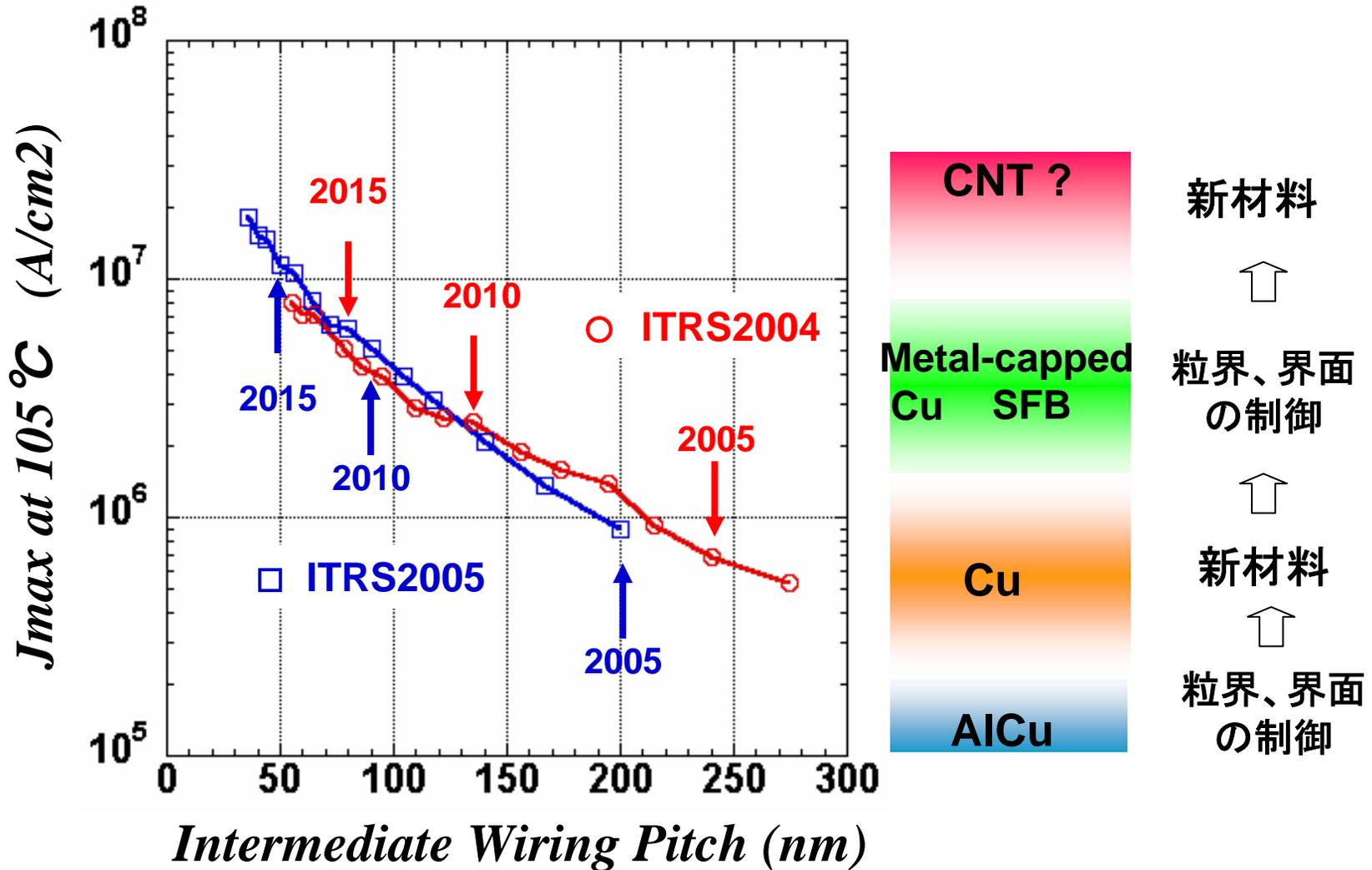
**Average current density of IM-interconnect ( $J_{max}$ )**

$$= f (Cg * Wg * N + Ci) * Vdd / (Wi * Ti)$$

ITRS2004と同じモデルを用い、変更されたパラメータで再計算

# 配線電流密度 ( $J_{max}$ ) の見直し

微細化の加速  $\Rightarrow$   $J_{max}$  急激な増加



### 3. STRJ-WG4独自の活動

#### 2010以降のRBWに対するPotential Solution検討

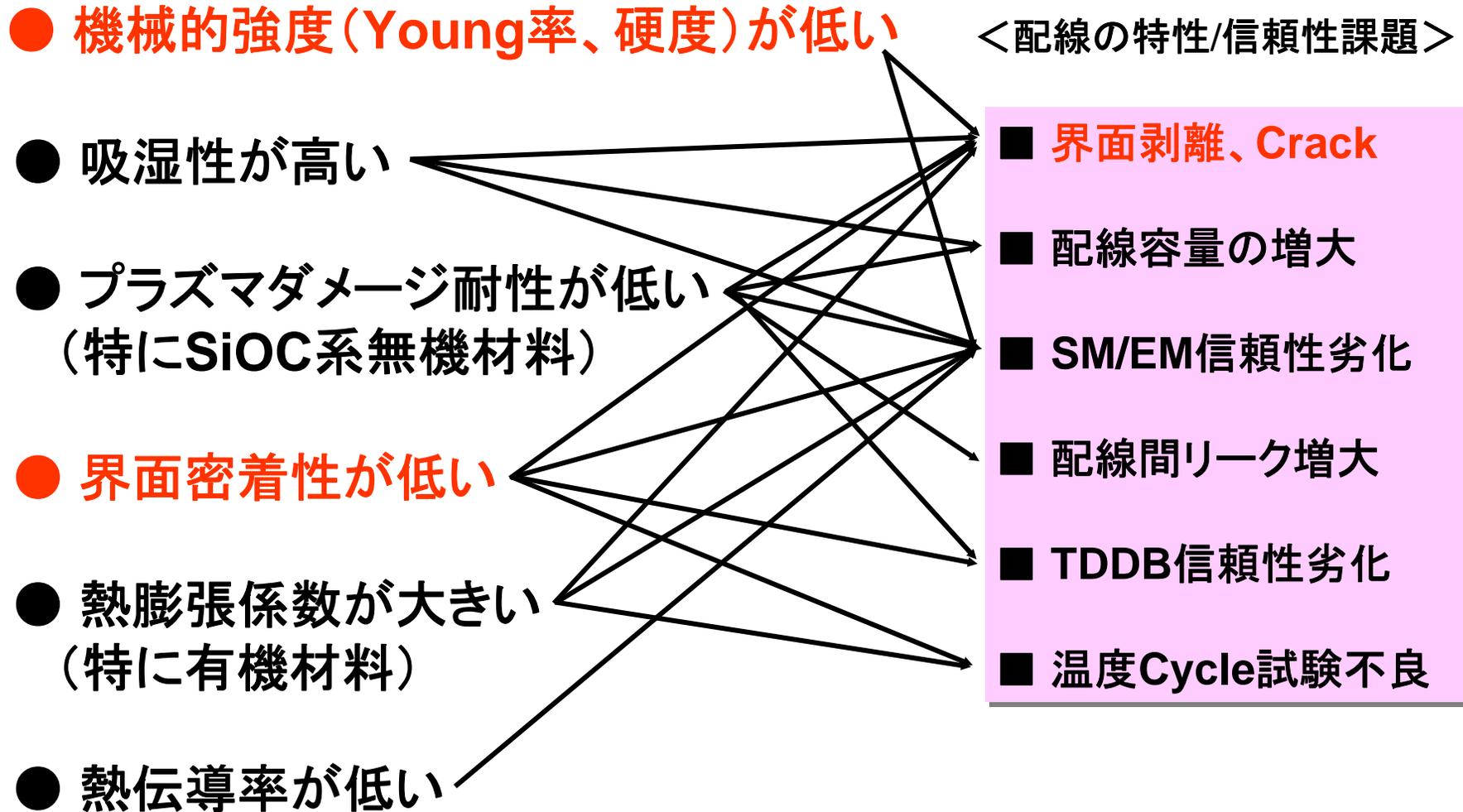
スケーリングに基づいたロードマップの限界とEmerging技術

- ・ 下層配線抵抗(抵抗率)、信頼性(電流密度)
  - ・ **Low-k膜の機械的強度問題**
  - ・ 上層配線のRC遅延、損失／ノイズ対策
- エマージング技術(Airギャップ, CNT, 光配線)の調査  
Cu/Low-kの代替としての可能性

#### 2005年度活動

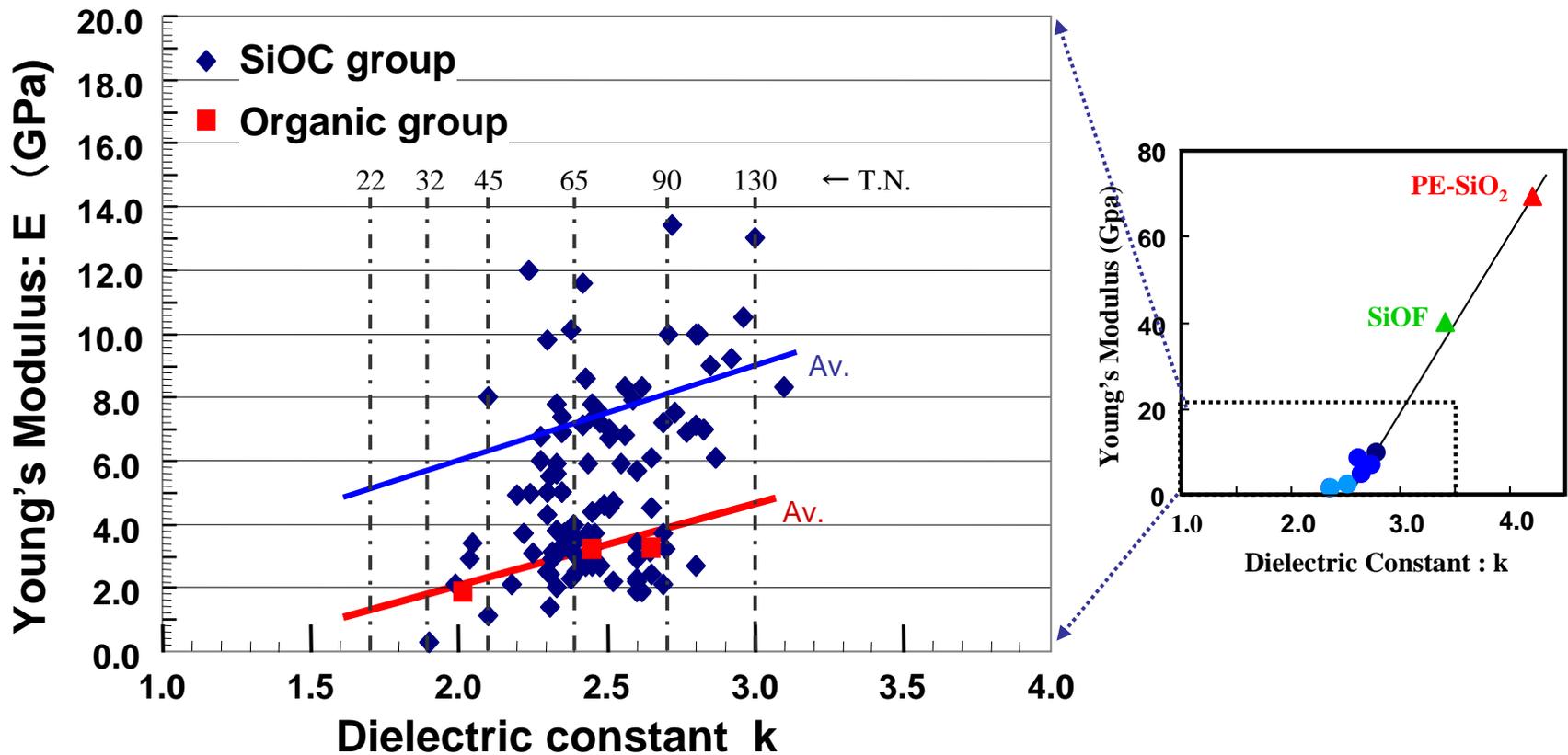
- ・ スケーリングされた配線の限界を探る一次の技術はいつまでに？  
Cu/Low-k配線の機械的強度解析
- ・ エマージング配線技術の調査

# Low-k材料物性と配線特性上の課題



**Eが、 $\text{SiO}_2$ の1/10以下!!**

**⇒ 同じ力を加えると、10倍以上変形する**



# Low-k材料の機械的強度に起因する問題点

## ウェハプロセス

S.Tsai et al: IITC2002

- ・CMP研磨圧力による剥離
- ・熱応力による剥離、クラック

## 後工程(試験、実装)

プロービング      ボンディング

ダイシング

多層配線構造に加わる外力  
(プロービング、ダイシング、パッケージング、ボンディング)による剥離、クラック

**Low-k材料を含んだ多層配線の、機械強度設計の指針が無い！**

## 参考文献

望月宣宏、柴田英毅、辻村学、檜山浩國:

“ダマシン構造におけるvia部最大応力の有限要素法解析”、

日本機械学会関東支部2005 講演論文集、2005年3月(2005) p.271

望月宣宏、柴田英毅、辻村学、檜山浩國:

“CMP 中のLow-k 材料界面に作用する応力解析”

日本機械学会関東支部2006 講演論文集、2006年3月(2006)論文投稿中

福田 明, 望月 宣宏, 檜山 浩國, 小寺 雅子, 辻村 学:

“Cu/Low-k構造におけるCMP時の応力とクラックとの関係”

精密工学会学術講演会講演論文集, Vol. 2004A (2004) p.483

# 強度解析の背景と目的

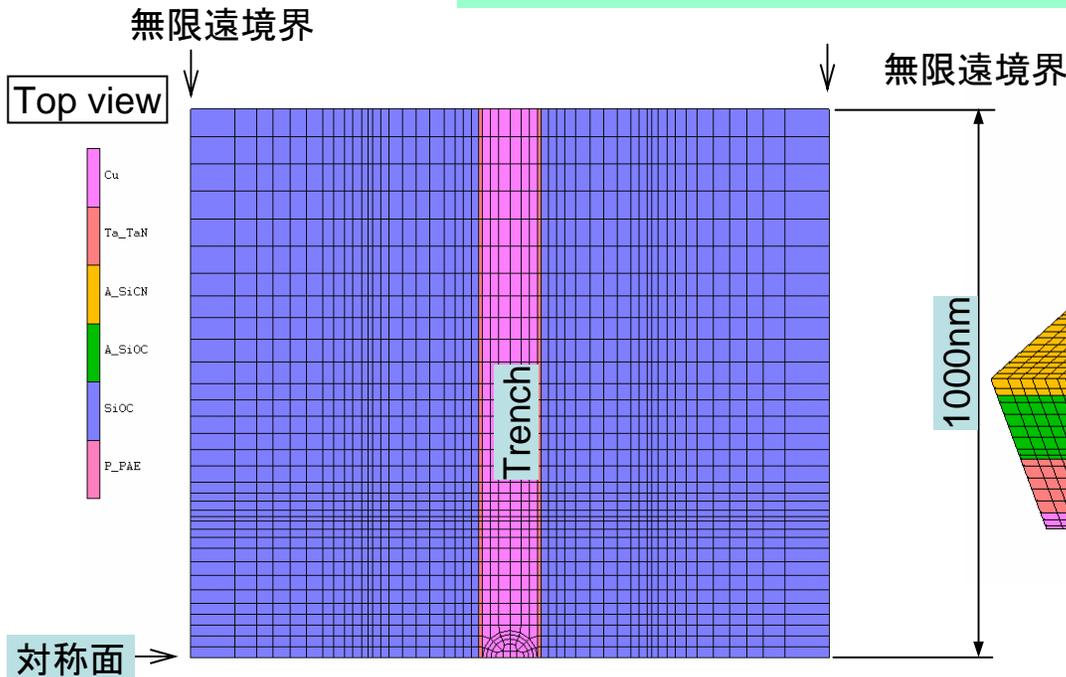
## 背景

- ITRS2003で、具体的なCu/Low-k構造を想定してkおよび $k_{\text{eff}}$ の要求値を提示
- Low-k材では、k値の低減とともに機械的強度が低下。機械的強度低下は、Cu/Low-k構造の機械的強度や、CMPなどの製造プロセスにどの程度影響するのか？また、 $k_{\text{eff}}$ 以外の要求指標（ヤング率、硬度、密着性など）の必要性をWG4内で議論、2004年度は応力解析を実施した
- 2005年度は破壊力学を応用し歪エネルギー解析を実施した

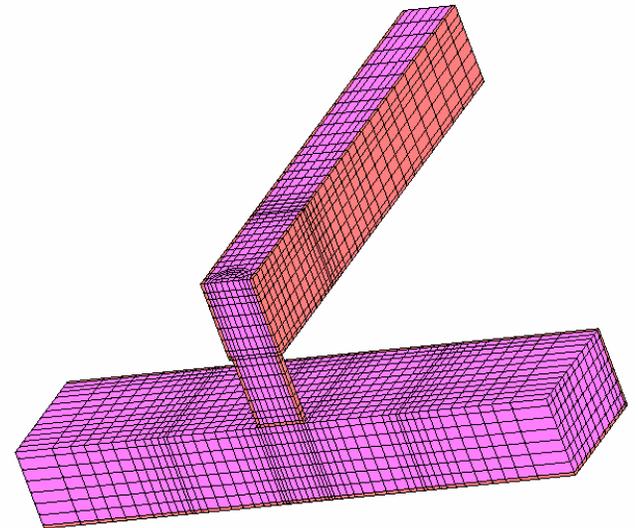
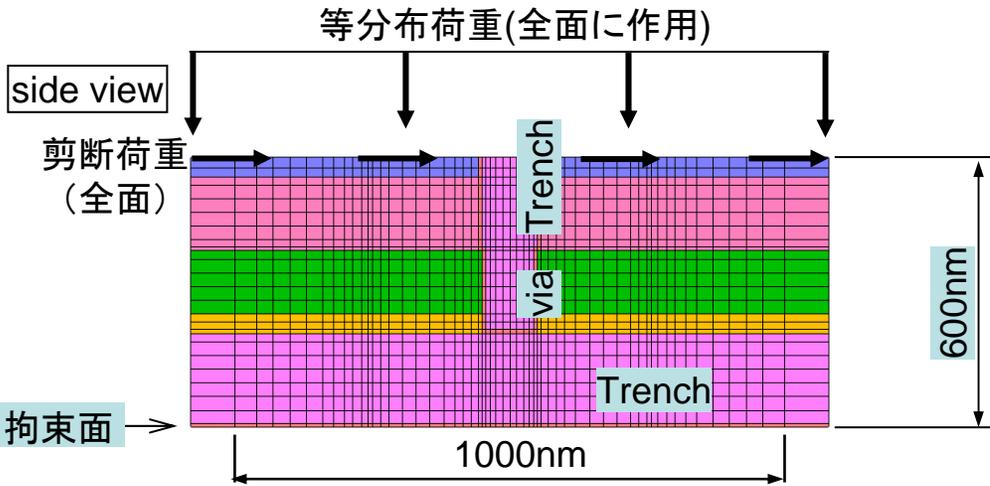
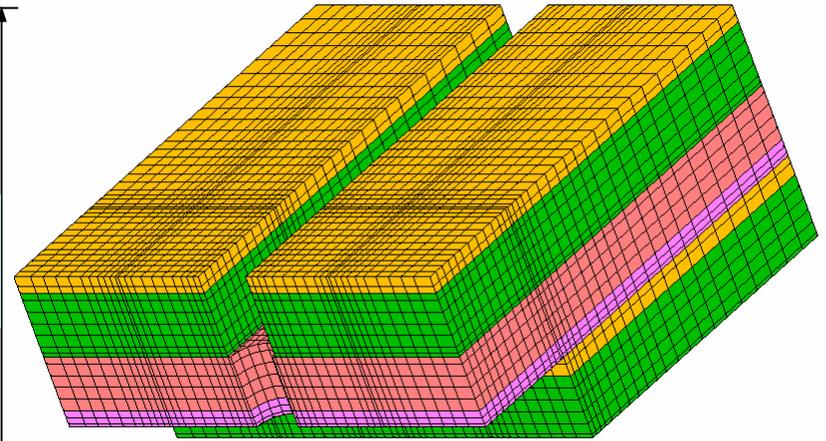
## 目的

- Low-k化に伴う機械的強度低下が、CMP中のCu/Low-k構造へ与える影響を定量的に求める。
  - 低圧CMP開発、Low-k材料の物性仕様、密着強度指標
  - 後工程で許容できる外力の仕様

# FEM解析メッシュの例

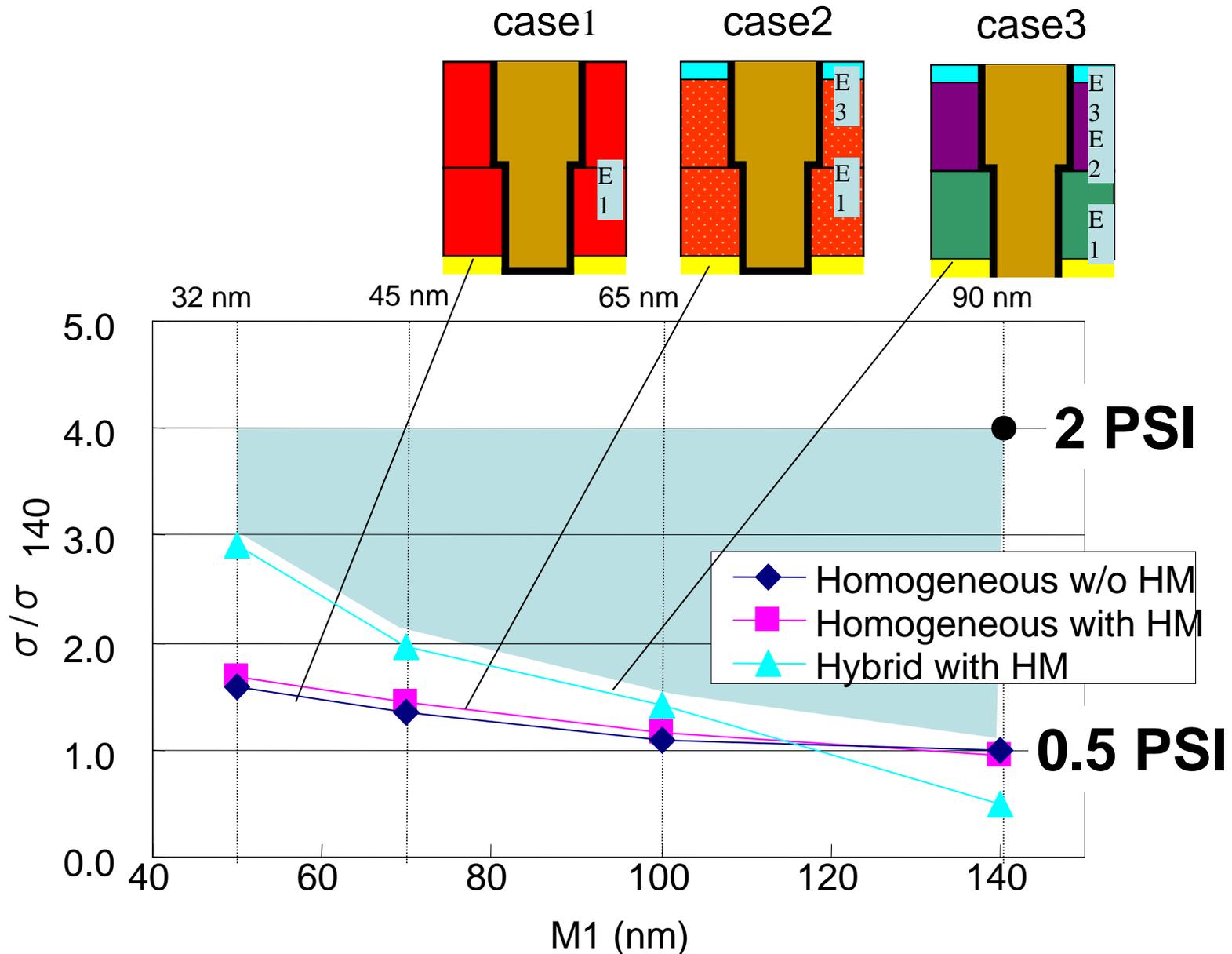


Low-k積層構造部



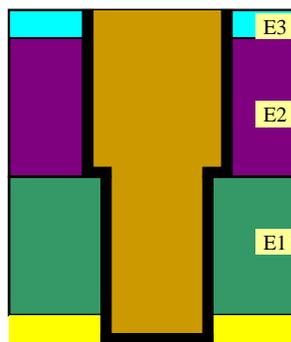
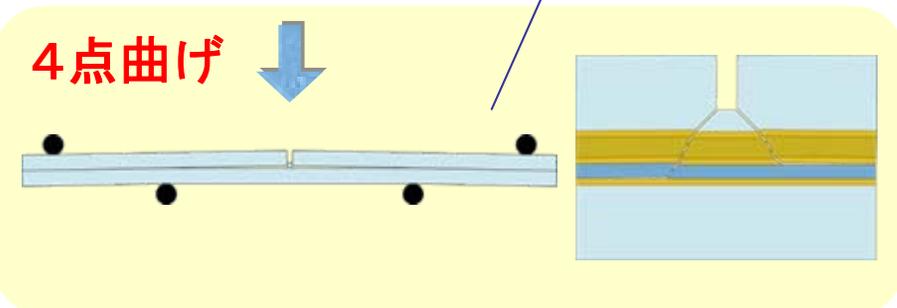
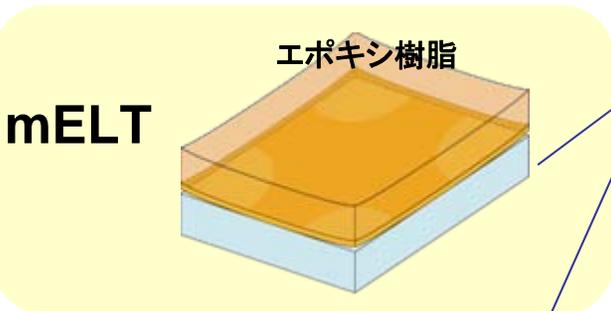
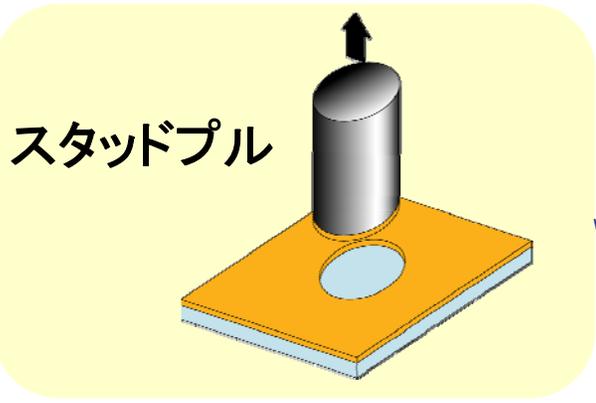
銅配線とTa/TaNバリア膜

# 2004年度成果: Cu配線内応力のLow-k構造依存

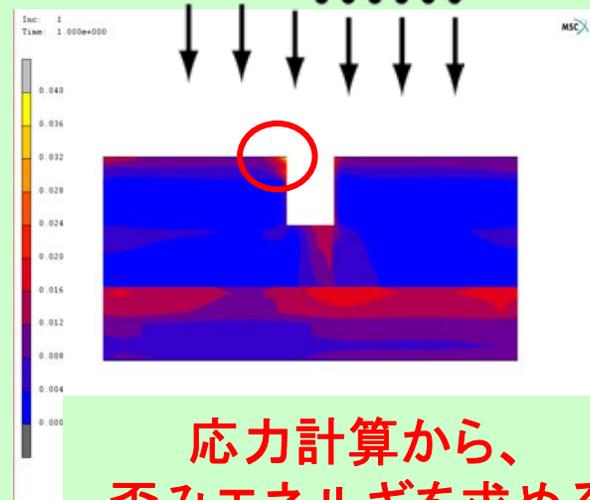
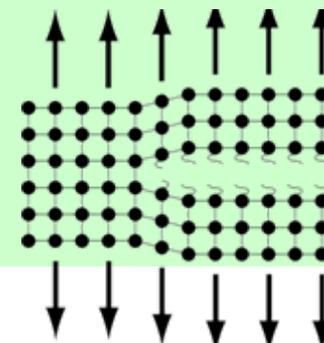


# 強度解析(2005年度)の進め方

簡単な試験片による、密着強度の評価



応力が集中し、歪んだ状態のエネルギー⇒ 界面が壊れたら解放されるエネルギーを推定



応力計算から、歪みエネルギーを求める

Gc:エネルギー開放率(界面剥離エネルギー)を求める

# 界面の壊れやすさを、どう予測するか？

ステップ1:

エネルギー開放率  $G$  (実験結果) と歪みエネルギー密度  $W$  (計算結果) の関係から、換算係数を求める。

ステップ2:

配線構造・寸法と誘電率  $\kappa$  を仮定して、誘電率  $\kappa$  とヤング率  $E$  の相関関係から、将来の材料の  $E$  を求める。

ステップ3:

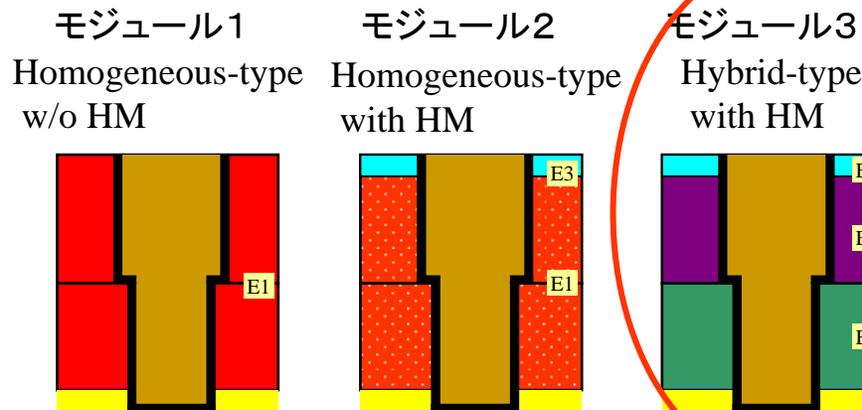
ヤング率  $E$  から、界面の臨界エネルギー開放率  $G_c$  を推定する。

ステップ4:

推定したヤング率を使って、CMP中に配線構造に作用する歪みエネルギー密度  $W$  を求める。

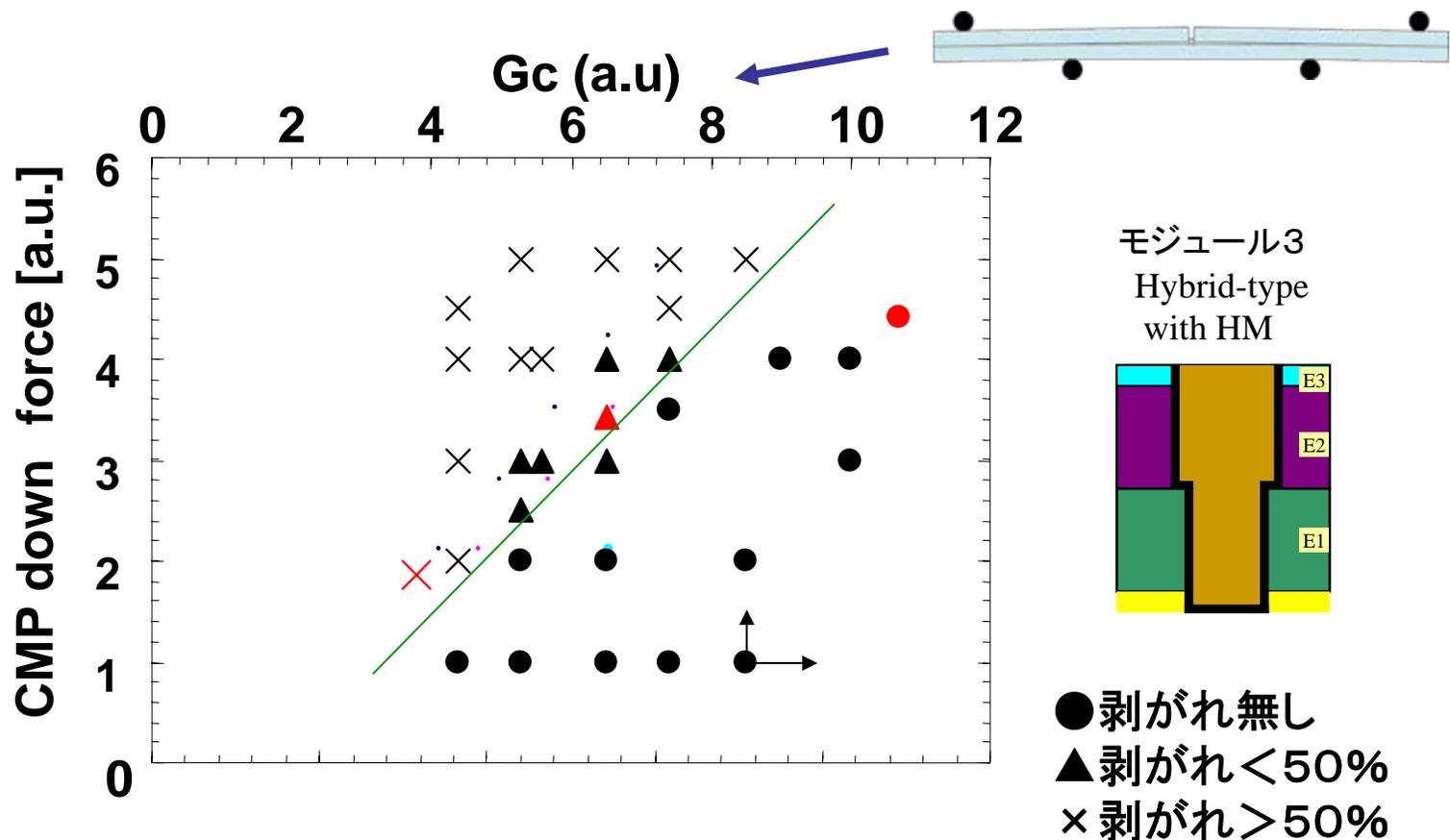
ステップ5:

評価点の歪みエネルギー密度  $W$  に換算係数を掛けて求めた、エネルギー開放率  $G$  と、臨界エネルギー密度の推定値  $G_c$  との関係を整理する。



実験と解析は  
モジュール3で  
実施

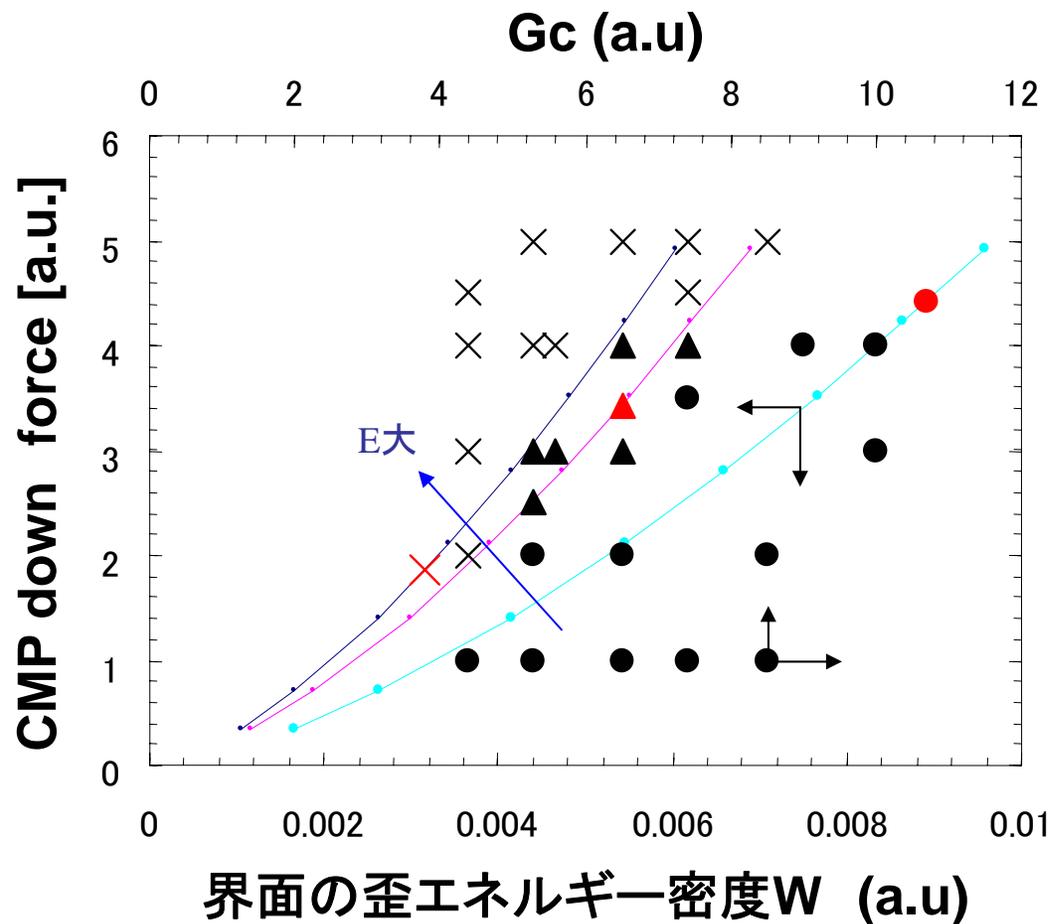
# Step1—実験結果と解析との対応関係の導出



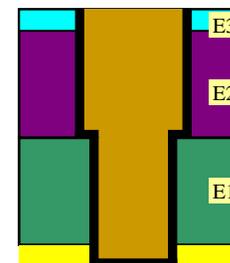
同一のLow-k材料で、異なる界面処理を施し、  
Gcを変えたときのCMP剥離状態をプロット

# Step1—実験結果と解析との対応関係の導出

- CMP down forceとエネルギー密度Wの関係を応力解析から求める。
- 剥離発生境界線と上記関係が一致するよう、横軸をスケールリングする。

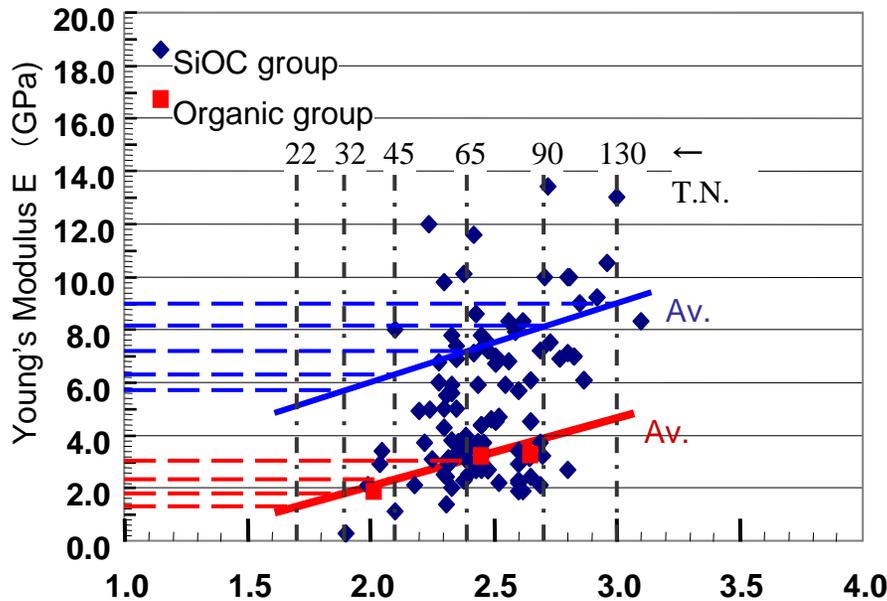


モジュール3  
Hybrid-type  
with HM

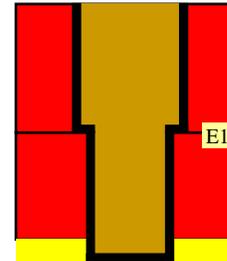


$$G_C \leq G = 1200W$$

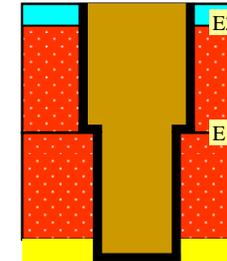
# Step2 ヤング率の算出



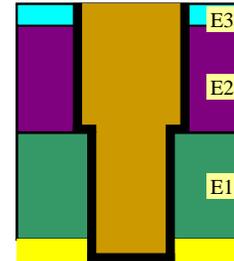
モジュール1  
Homogeneous-type  
w/o HM



モジュール2  
Homogeneous-type  
with HM



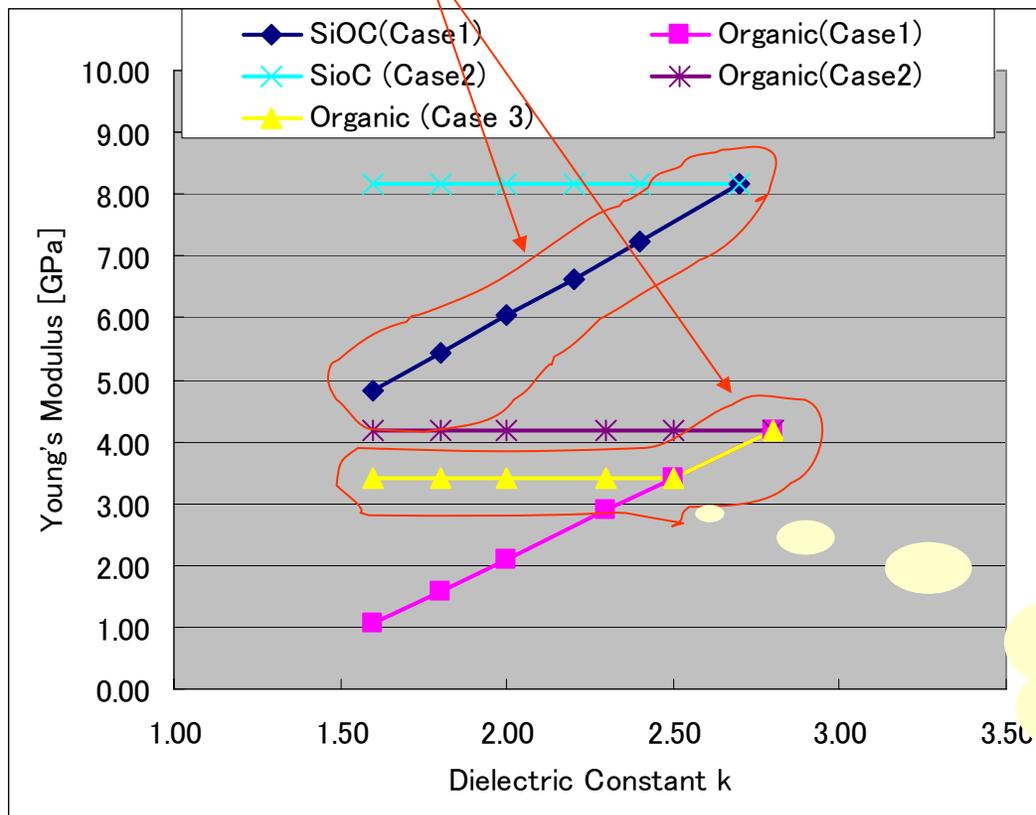
モジュール3  
Hybrid-type  
with HM



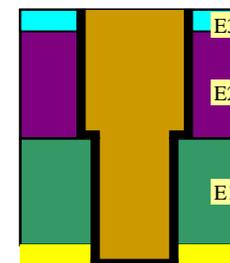
Dielectric constant k		Young's Modulus						Poisson's ratio
Homo w/o HM	Cu.D.B.	15.2	12.1	10.6	9.1	7.9	6.6	0.25
	HM	—	—	—	—	—	—	—
	via	9.1	8.2	7.2	6.3	5.7	5.1	0.25
	Trench	9.1	8.2	7.2	6.3	5.7	5.1	0.25
Homo with HM	Cu.D.B.	15.2	12.1	10.6	9.1	7.9	6.6	0.25
	HM	12.4	9.1	8.2	7.2	6.6	5.7	0.25
	via	8.5	7.6	6.9	6.0	5.4	4.8	0.25
	Middle-Stp	—	—	10.6	9.1	7.9	6.6	0.25
	Trench	8.5	7.6	6.9	6.0	5.4	4.8	0.25
Hybrid with HM	Cu.D.B.	15.2	12.1	10.6	9.1	7.9	6.6	0.25
	HM	12.4	9.1	8.2	7.2	6.6	5.7	0.25
	via	8.2	7.2	6.6	6.0	5.4	4.8	0.25
	Trench	4.2	3.4	2.9	2.1	1.6	1.1	0.25
Ta/TaN		180	180	180	180	180	180	0.35
Cu		150	150	150	150	150	150	0.32
year		2005	2007	2009	2012	2015	2018	—

## Step2 ヤング率(目標値)の算出

- **Case1: 直線的に低下(最悪ケース)**
- **Case2: SiOC, Organicとも80nmノードと同じ特性(理想ケース)**
- **Case3: Organic(トレンチ部)のみ65nm以降は同じ(現実的ケース)**



モジュール3  
Hybrid-type  
with HM



E: 配線層の  
目標値を  
3.5GPaに設定

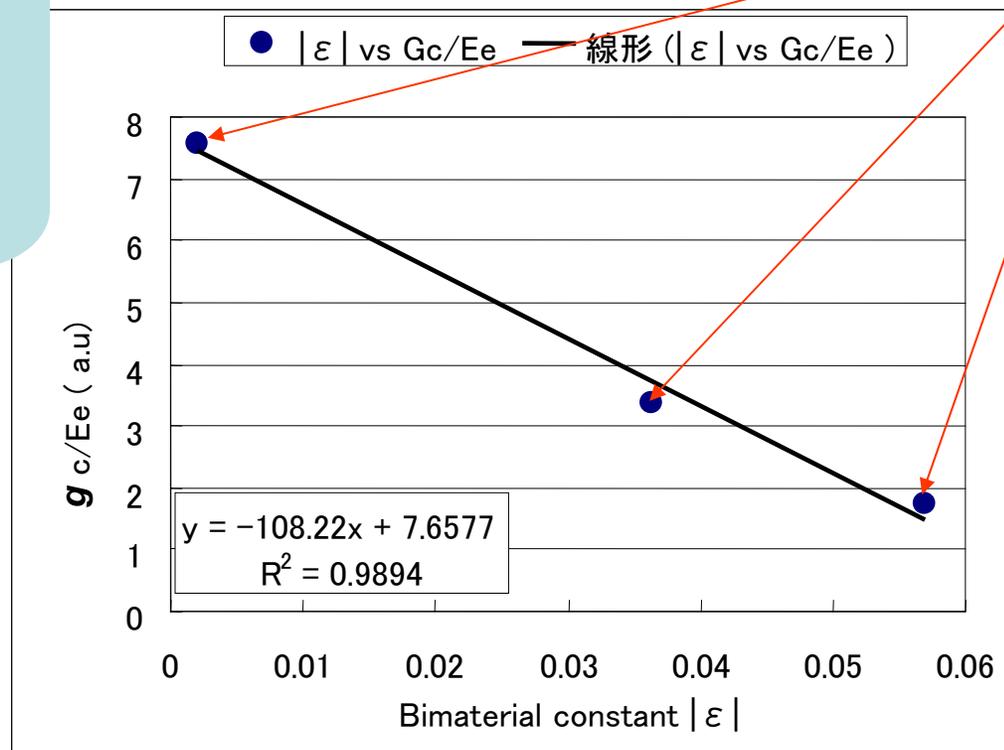
Step 3. 将来材料特性値— $G_C$ の予測式

2種類の材料の物性値で規定される、  
界面の臨界エネルギー開放率  $G_C$

$$g_c = a(1 - b|\varepsilon|)E_e$$

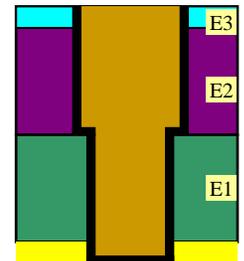
$$1/E_e = (1 - \nu_1^2)/E_1 + (1 - \nu_2^2)/E_2$$

$a, b$  : 適当な比例係数

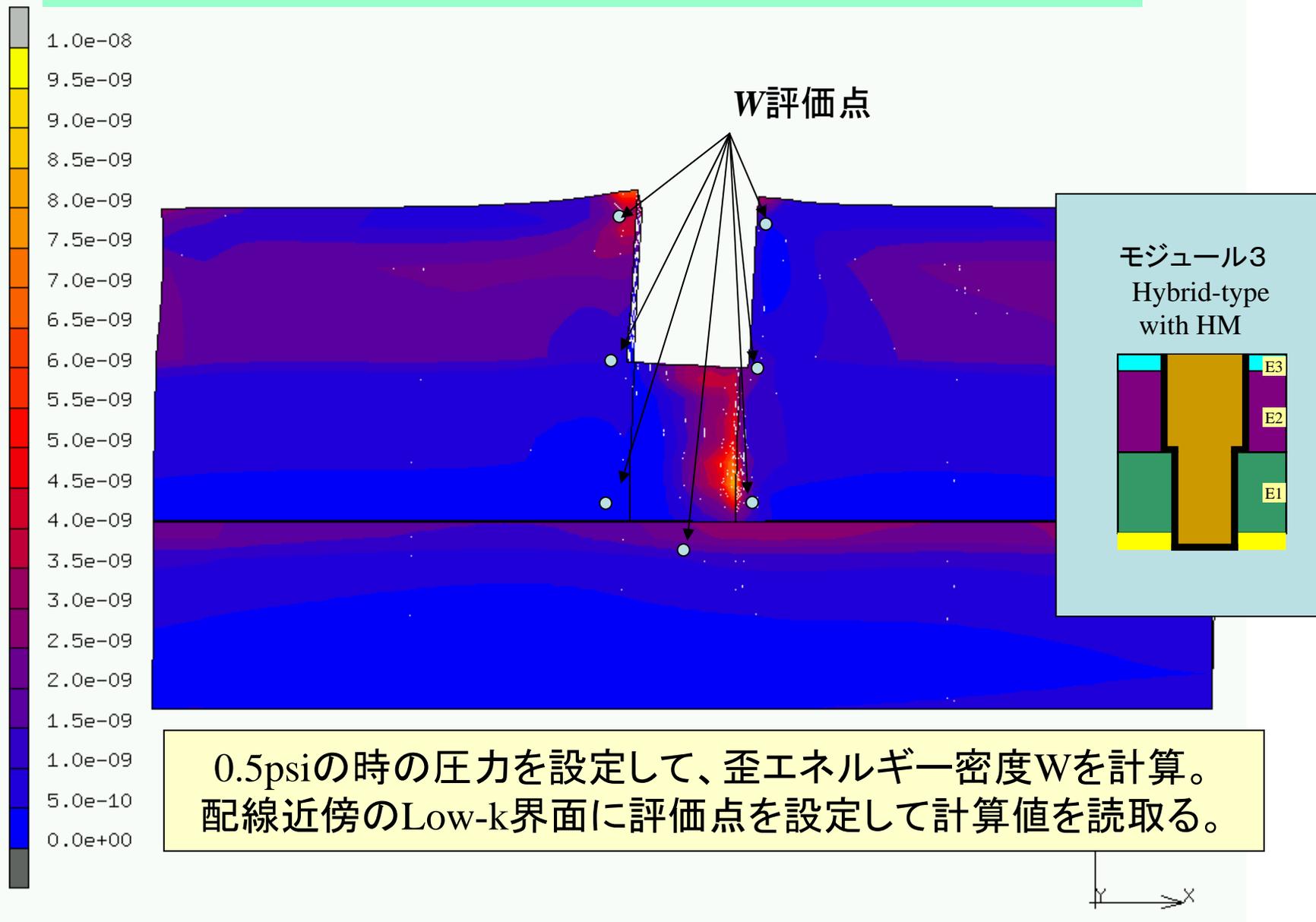


実験値

モジュール3  
Hybrid-type  
with HM

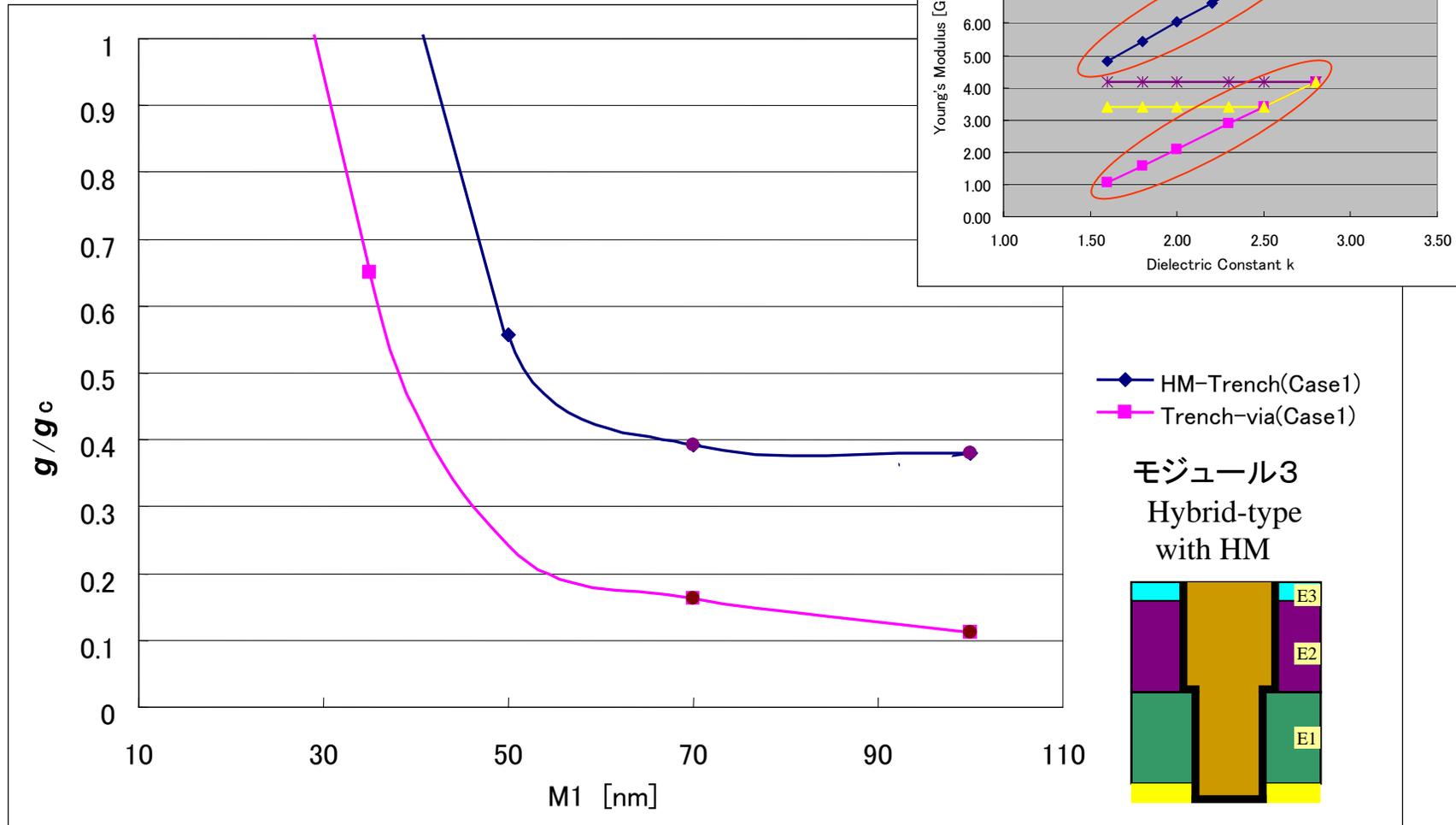


# Step 4. エネルギー密度 $W$ の分布の算出



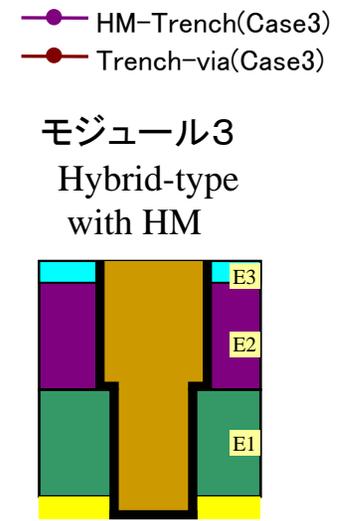
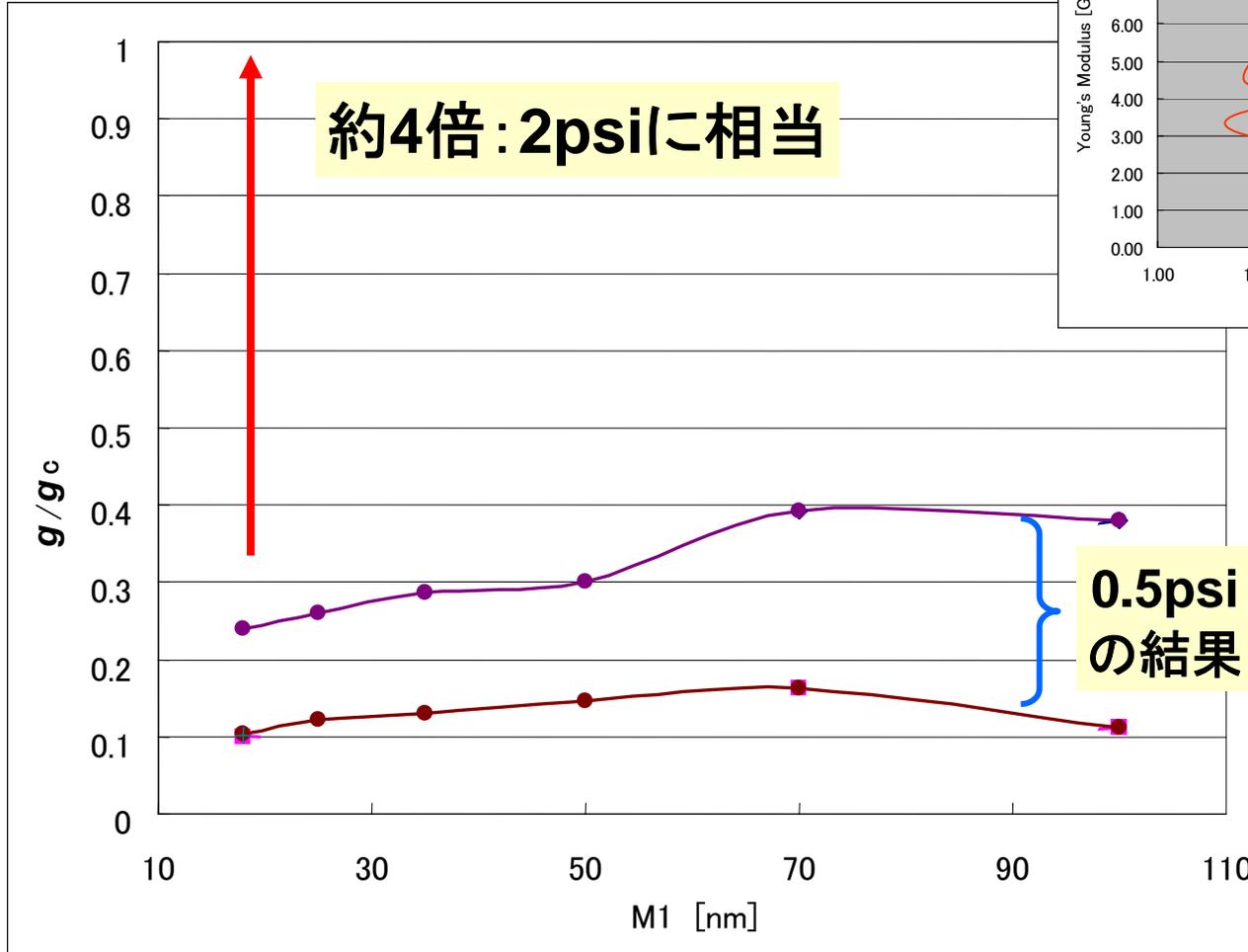
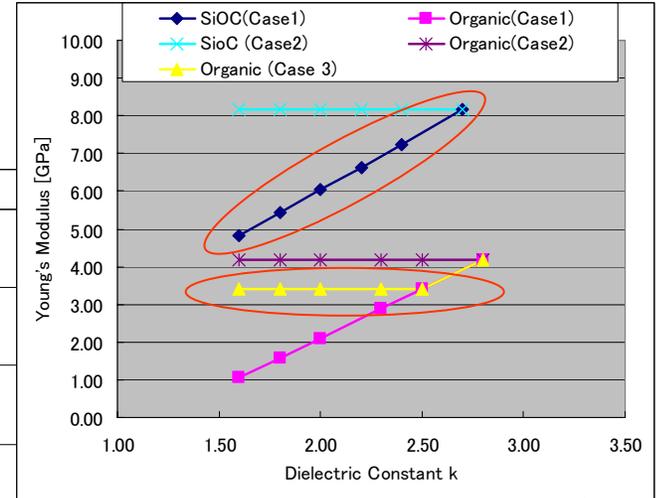
## ・Case1: 直線的に低下(最悪ケース)

- ・Case2: SiOC, Organicとも80nmノードと同じ特性(理想ケース)
- ・Case3: Organic(トレンチ部)のみ65nm以降は同じ(現実的ケース)



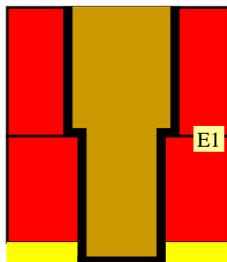
# Step 5. 計算結果 - Hybrid構造 - ヤング率推移による比較

- Case1: 直線的に低下 (最悪ケース)
- Case2: SiOC, Organicとも80nmノードと同じ特性 (理想ケース)
- **Case3: Organic (トレンチ部)のみ65nm以降は同じ**

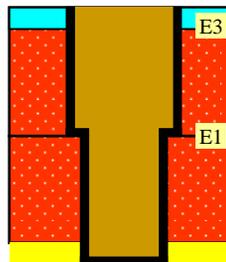


# Step 5. 計算結果のまとめ

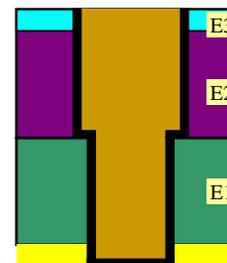
モジュール1  
Homogeneous-type  
w/o HM



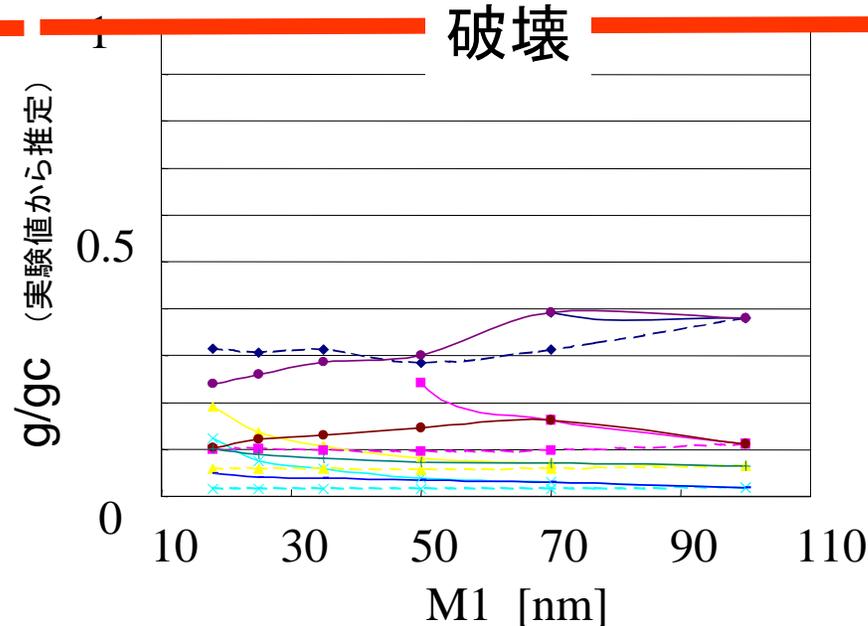
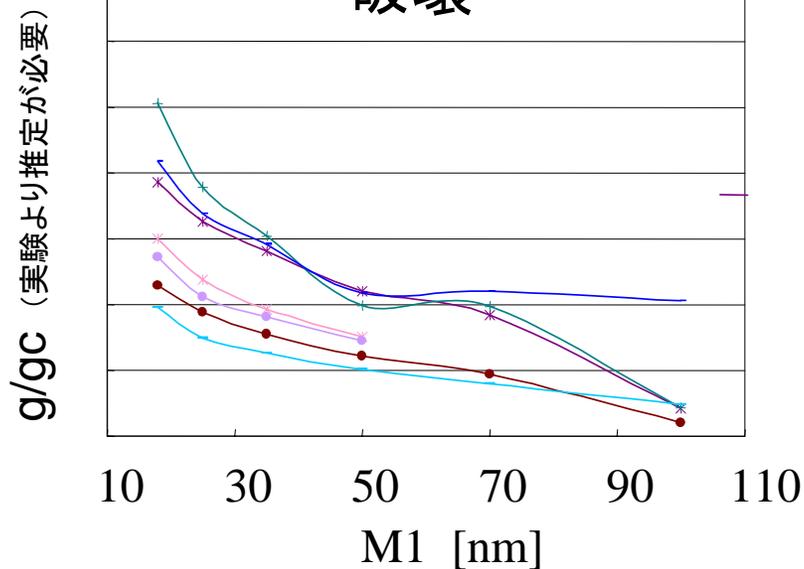
モジュール2  
Homogeneous-type  
with HM



モジュール3  
Hybrid-type  
with HM



破壊



## Step 5. 計算結果のまとめ

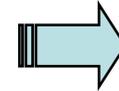
### 結論として

- (1) 典型的なLow-k絶縁膜構造において、破壊力学に基いた歪エネルギー計算によって世代毎の破壊(剥がれ)耐性に関する解析を行った。
- (2) パッケージや研磨工程では、全体応力を低減することは歪エネルギーそのものを小さくできるので重要である。が、絶縁膜強度の維持と、外部応力の低減をバランスさせてCoCを考慮して決定すれば良い。
- (3) 材料のヤング率は3.5GPa以上が望ましく、かつ隣接する異種材料とのヤング率を整合させることが重要である。
- (4) STRJで想定しているヤング率の目標値を採用すれば、例えば2PSI以下の研磨圧力で、破壊(剥がれ)を防止できる可能性がある。

以上はHybrid絶縁膜構造についての実験値を用いた解析の1例に過ぎないので、実際にはさらなる詳細な解析が必要だが、STRJとしてダマシン構造に関する指針は示せたと考える。

## ■ 下層(微細 / 薄膜) Cu配線の限界とEmerging技術

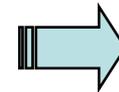
- ・ 薄膜BMの成膜困難度増大
- ・ 電子散乱効果による抵抗上昇
- ・ EM/SM信頼性確保の困難度増大



- ・ CuX合金Seedを利用した自己形成Barrier技術
- ・ CNTを利用した低抵抗/高電流密度微細Via埋め込み / 配線形成

## ■ Low-k技術の限界とEmerging技術

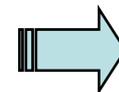
- ・ Low-k( $k < 2$ )材料の機械強度の低下
- ・ Air-Gapの機械/熱応力による変形



- ・ 現実的なAir-Gap技術 (Pore後作り、積極的なVoid形成、構造補強etc)

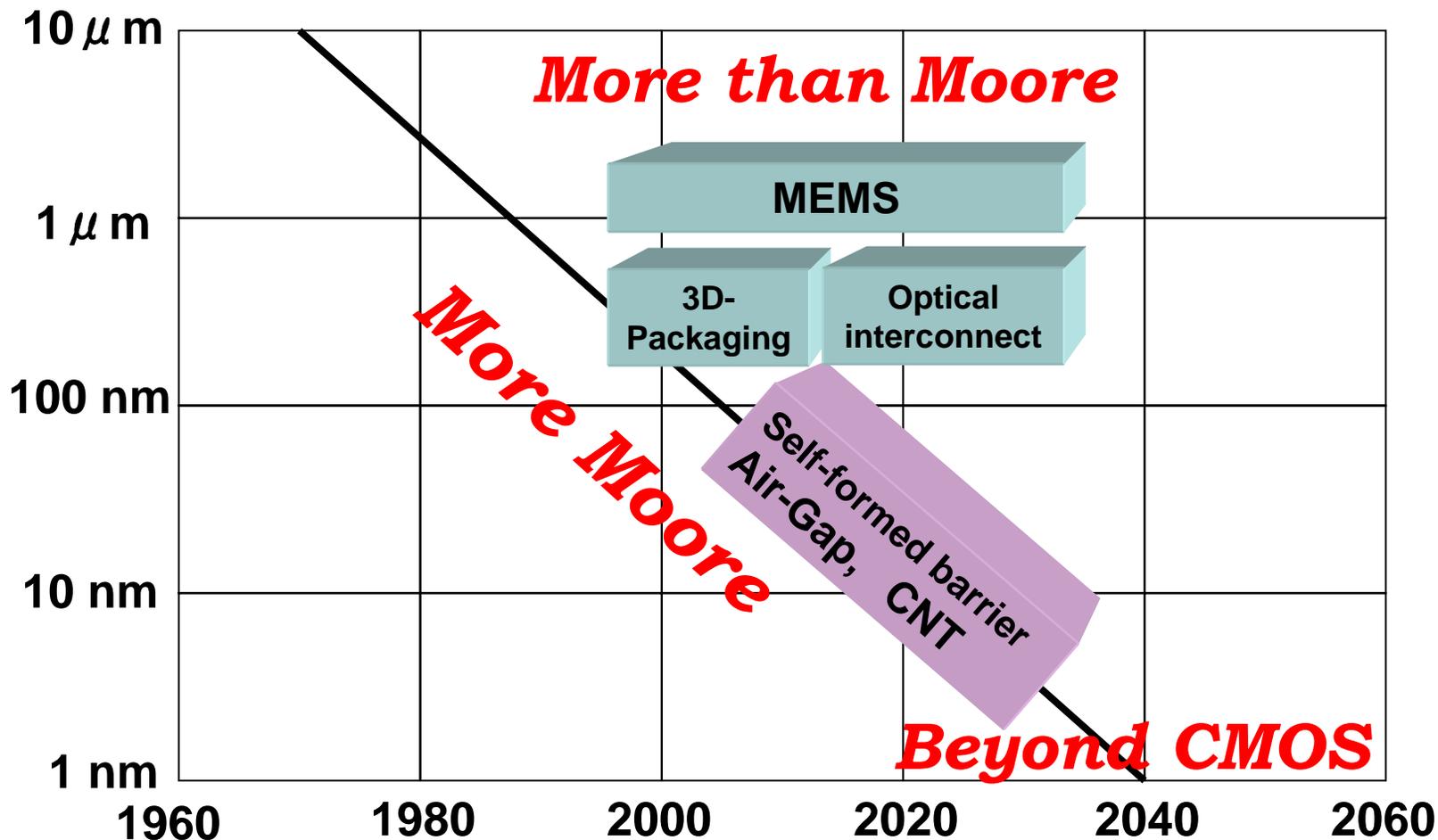
## ■ 上層(Global) Cu配線技術の限界とEmerging技術

- ・ RC遅延の増大と逆scalingによる配線層数/コスト増大
- ・ 損失/ノイズ対策によるコスト増大と設計自由度の低下
- ・ Clock分配の困難度増大と消費電力増大



- ・ 3次元実装技術 (COC、Chip貼り付け)
- ・ 光配線技術 (Si光源 / 変調器 / 導波路 / 検出器)

# Potential solutions for Beyond Cu/Low-k



## 4. まとめと今後の活動

### ● ITRS2005作成に関わる活動(ITRS)

- ①配線ピッチ(M1)の見直し
- ②電子散乱効果による配線抵抗率上昇: 要求値の見直し
- ③誘電率(k値)の要求値を見直し
- ④配線電流密度(Jmax)の見直し

### ● STRJ-WG4の2005年度活動

- ①Cu/Low-k配線の課題  
Low-k材の機械的強度低下: CMPに対する強度解析
- ②2010以降のRBWに対するPotential Solution検討  
自己形成Barrier技術、CNTを利用した微細Via / 配線形成