

モデリングから見た微細MOSの 構造バラツキ/感度とその分析

- 素子構造は一意的に決め難く，感度は構造に依存 -

WG10(モデリング&シミュレーション)

リーダー 和田哲典

WG10メンバー

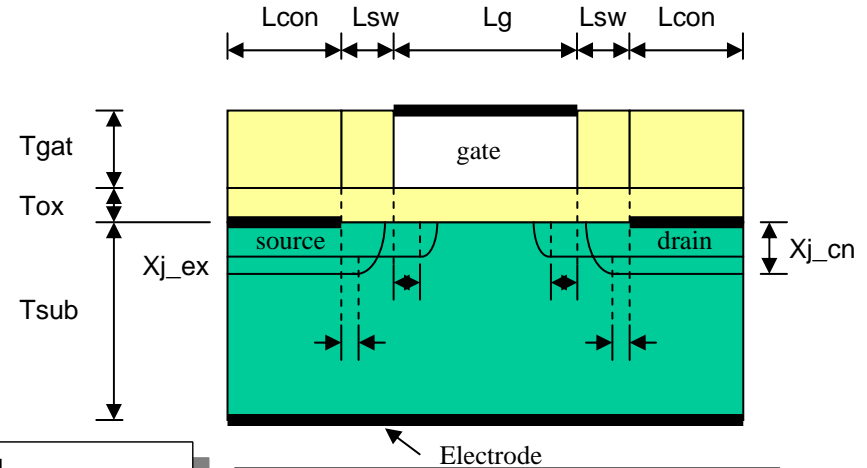
佐藤成生，林洋一，中村光利，藤永正人，麻多 進
藤原秀二，藤井克正，木村光紀，小島敏明，小町潤
海本博之，小方 誠司，石原 範之，
谷口研二，小谷教彦，大野隆央

- 内容 -

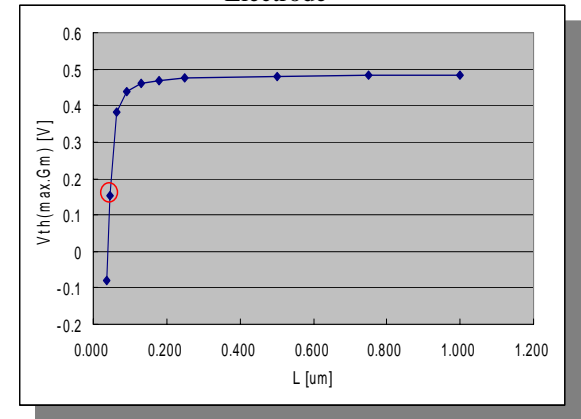
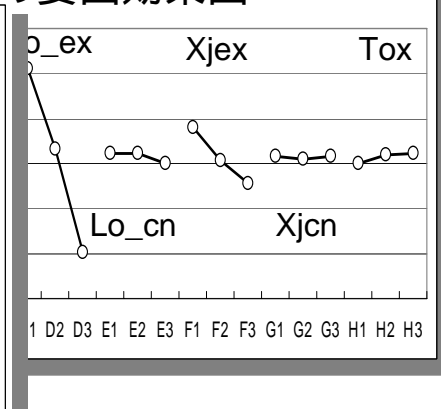
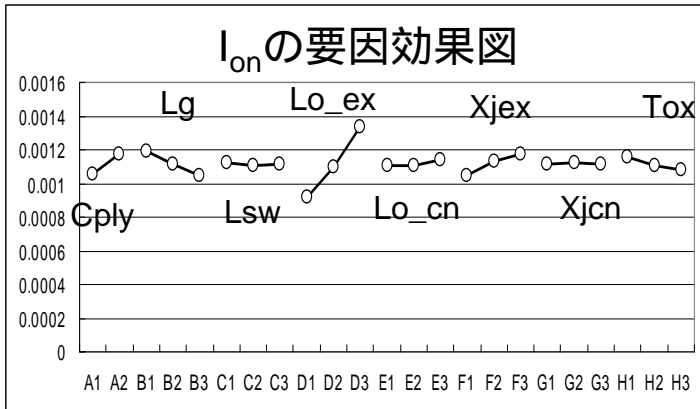
- **バラツキが素子特性に与える影響の分析**
 - 背景 : 2004年度の分析を踏まえて
 - 素子構造の推定 : 推定は可能か?
 - バラツキの影響 : 定量的議論が出来るか?
- '03-STRJ活動で掲げた「モデリング&シミュレーション共通技術」は適切だったか
 - 具体例をreview

2004年度の分析を踏まえて

- 2004年は単純な構造(均一濃度)でバラッキ感を解析 -
- '03版ITRSのHP ($L_g=45\text{nm}$) で均一基板濃度を仮定して素子構造を推定
- Halo等を含む構造での解析が必要と結論



V_{th} の要因効果図



2004年度に得たバラッキが I_{on} , V_{th} に与える影響の要因効果図*

均一基板では V_{th} - L_g 特性の「崖」を使う結果になり、現実と異なる感度解析となる*。

* : 2004年度STRJワークショップ資料から

バラッキ解析の手順

- バラッキ感度解析の前に素子構造推定が必要 -
- 目標性能の設定
- 素子構造の推定
 - 構造パラメータの設定(側壁膜厚, ドーズ量など)
 - 探索の実行
- バラッキが性能に与える影響の解析
 - 変動幅の設定
 - 感度解析

想定した素子と推定方法

- 2003年版ITRS記載のLOP(@2006) -

- 構造, 電源電圧など

- $L_g=37^*nm$, $T_{ox_eff}=1.3nm$, $V_{dd}=0.9V$, $\mu_{enhance}=1.0$

- 目標性能**

- I_{on} 610uA/um

- I_{off} 30nA/um

- $(V_{th}(L) - 0.28)^2$ 0#

- 構造推定はGAを用いた多目的最適化を使用

- I_{on} , I_{off} , V_{th} ロールオフ抑制の3性能を同時に最適化

- チャネル部, Haloドーズなど15個の構造パラメータが推定対象

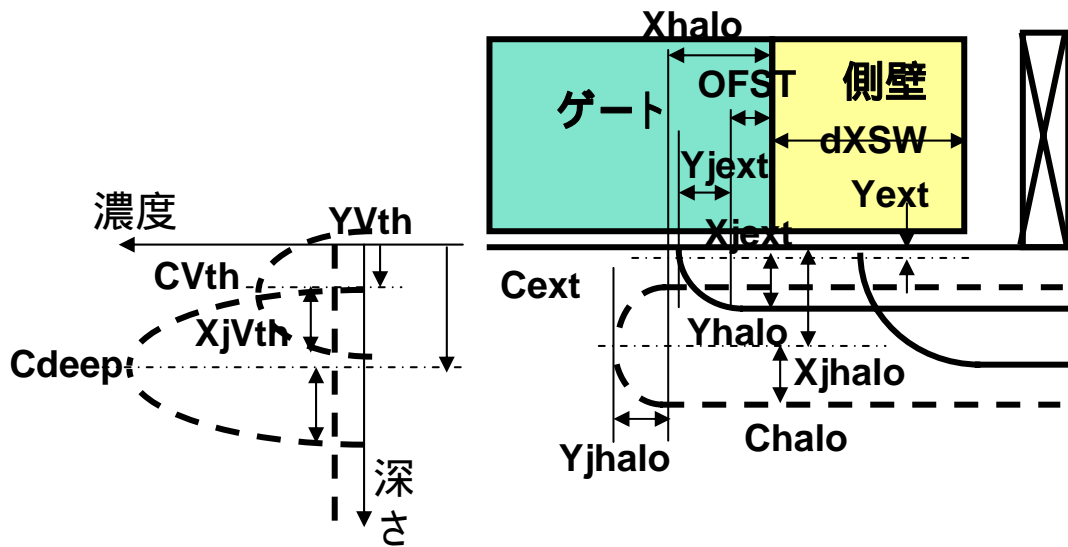
* :以下のシミュレーションでは便宜上 $L_g=35nm$ で計算した

** :作業開始時に最新版(2005年)の情報がないため2003年版の内容を使用

: $L_g=30, 35, 40, 50, 80, 100nm$ のゲート長に対してロールオフを抑制する

$L_g=35\text{nm}$, LOPのnMOS構造探索

- 15自由度で不純物分布はGaussianを仮定 -

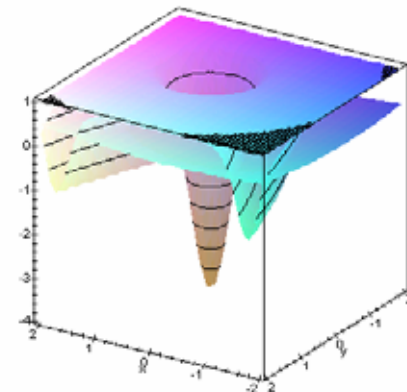


dX_{SW}	側壁幅(um)
C_{ext}	extドーパ/1e19
C_{Vth}	V_t 調節ドーパ/1e17
C_{deep}	耐パルスドーパ/1e17
$Chalo$	haloドーパ/1e18
X_{jext}	ext接合深さ(nm)
X_{jVth}	V_t 調節裾幅
X_{jhalo}	halo深さ裾幅(nm)
Y_{jhalo}	halo横裾幅(nm)
X_{halo}	halo横侵入(nm)
Y_{jext}	ext横接合幅(nm)
Y_{ext}	ext横方向急峻さ(nm)
Y_{halo}	haloピーク深さ(nm)
Y_{Vt}	V_t 調節ピーク深さ(um)
$OFST$	extオフセット(nm)

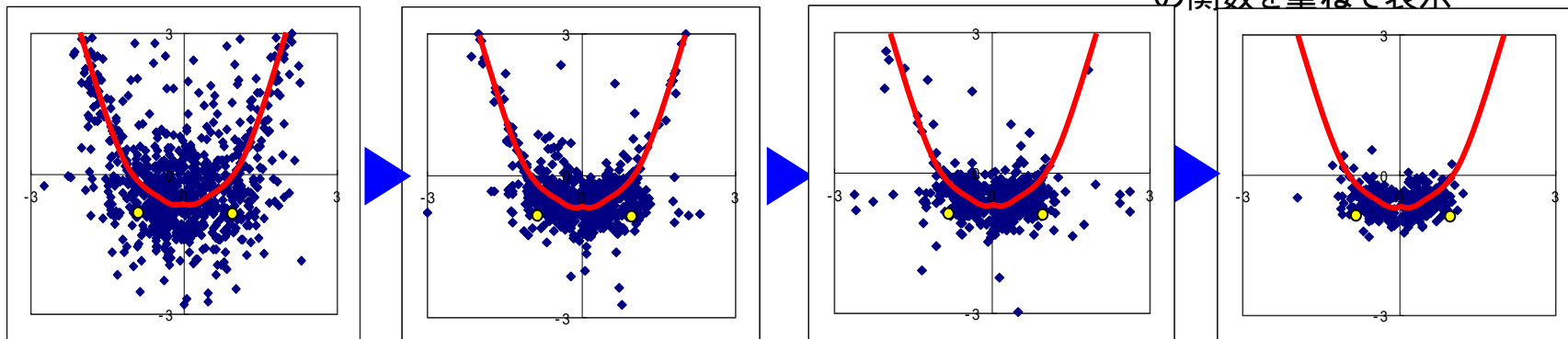
多目的最適化を用いた探索

— 複数の相反する目標性能を扱う最適化法 —

- 全目標(I_{on} , I_{off} , V_{th})を同時に最適化不能の時は解の候補から選択
- GA (Genetic Algorithm) を用いれば一回の解析で複数の解候補を得る*



下記計算例に用いた3種の関数を重ねて表示

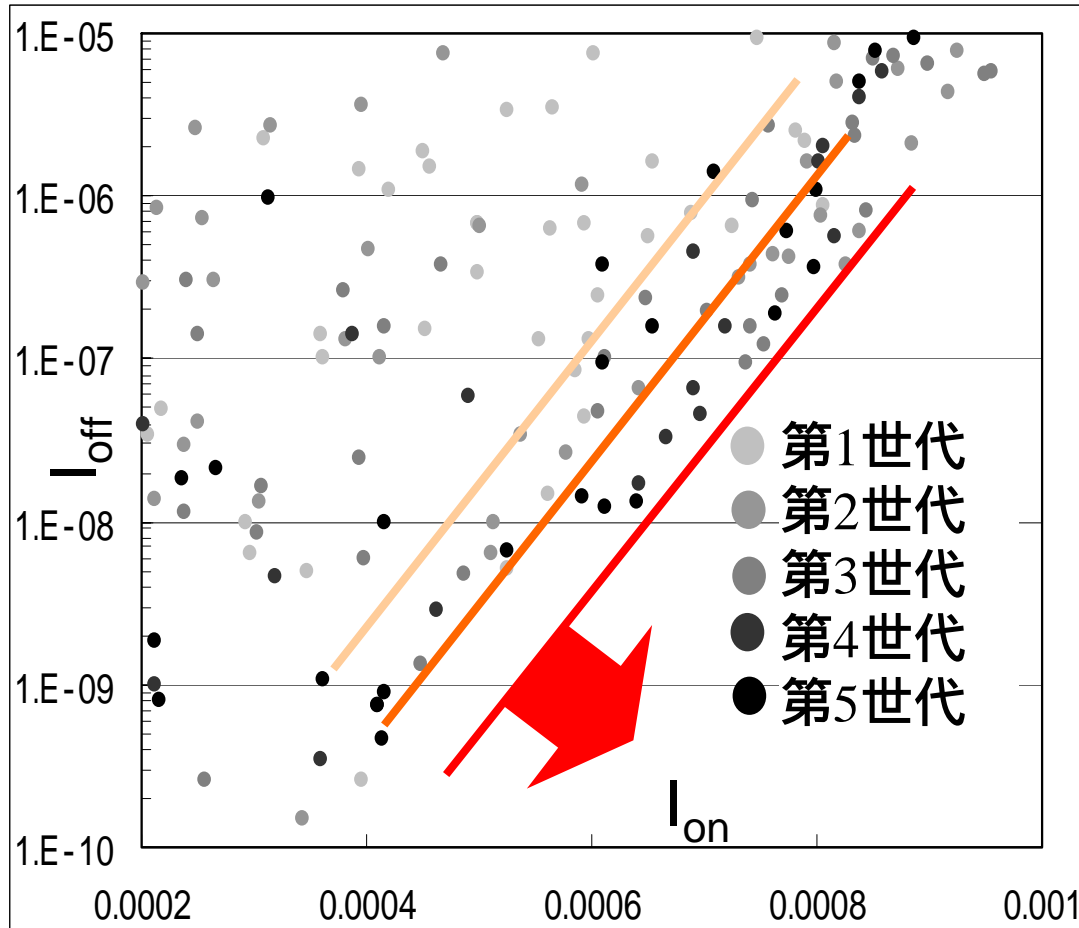


極小値を与えるパラメータが 赤い放物線上, 点(-1,-1), 点(1,-1)にある3個の関数それぞれを出来るだけ最小化するパラメータをGA(Genetic Algorithm)で探索結果。計算初期(左)は広範囲に広がっているが, 計算が進むと2点近傍に候補が絞られる(右)

*:Wada, 信学会VLD/SDM/応物シリコンテクノロジー-分科会, 2002/10/1

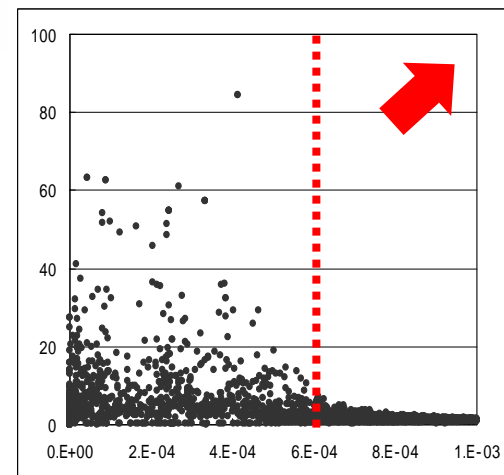
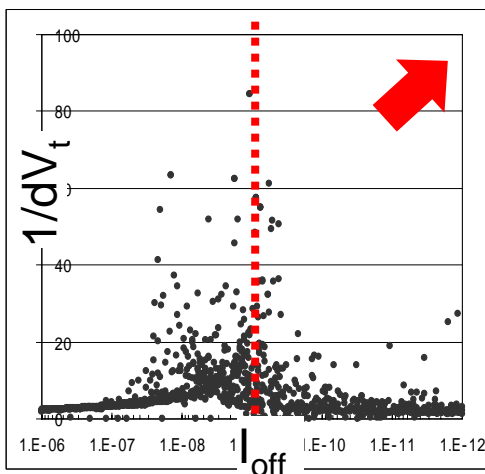
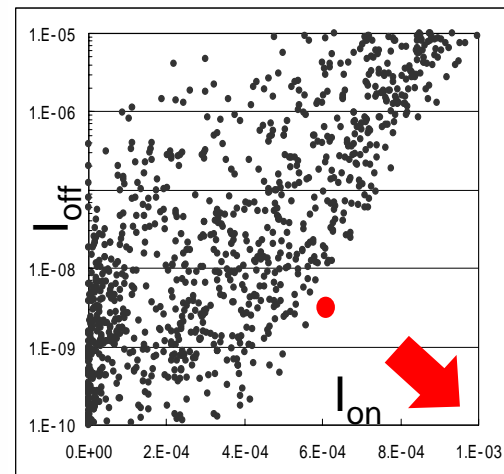
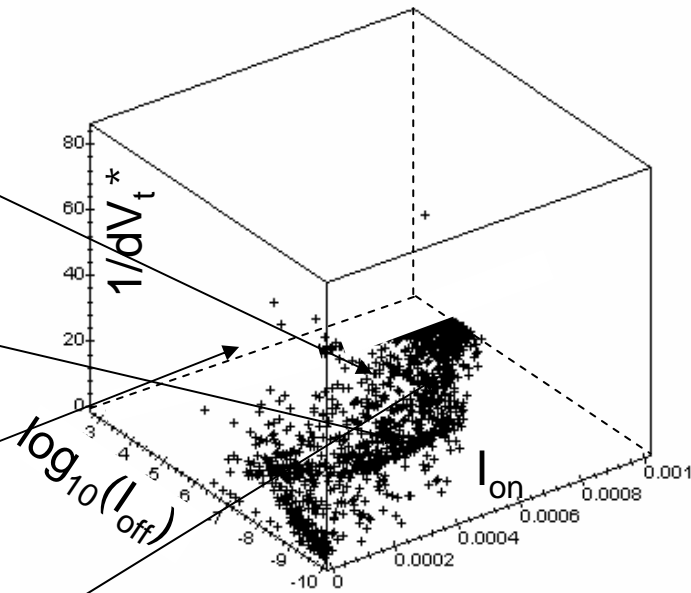
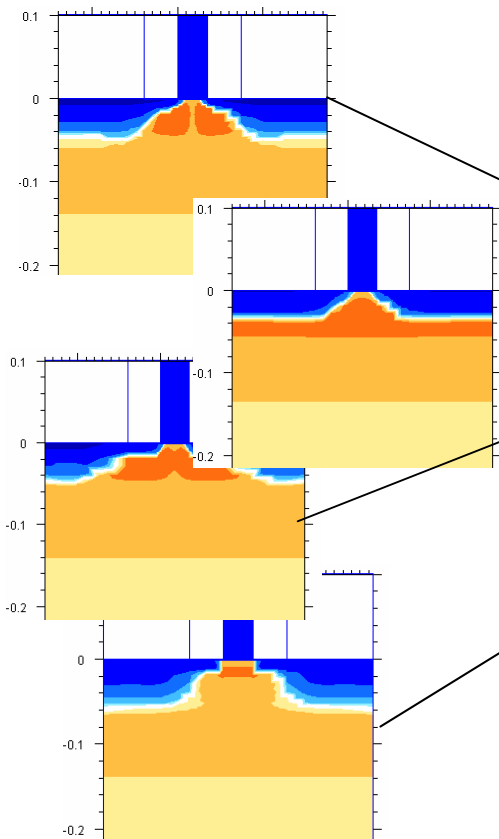
探索結果

- 世代が経過する毎に高性能な条件を探索 -



$L_g=35\text{nm}$, LOPのnMOS構造探索

- どんな性能が実現可能か? -

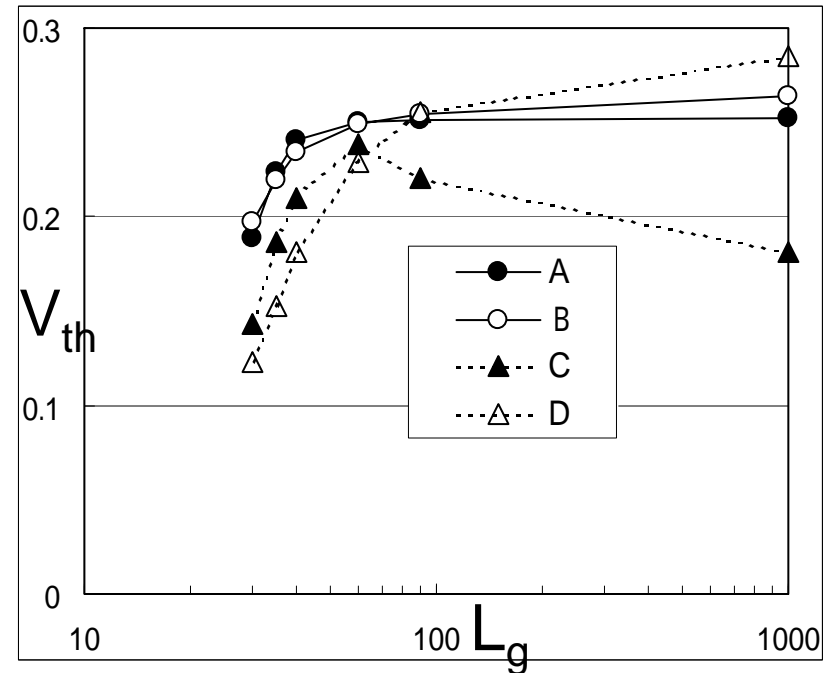
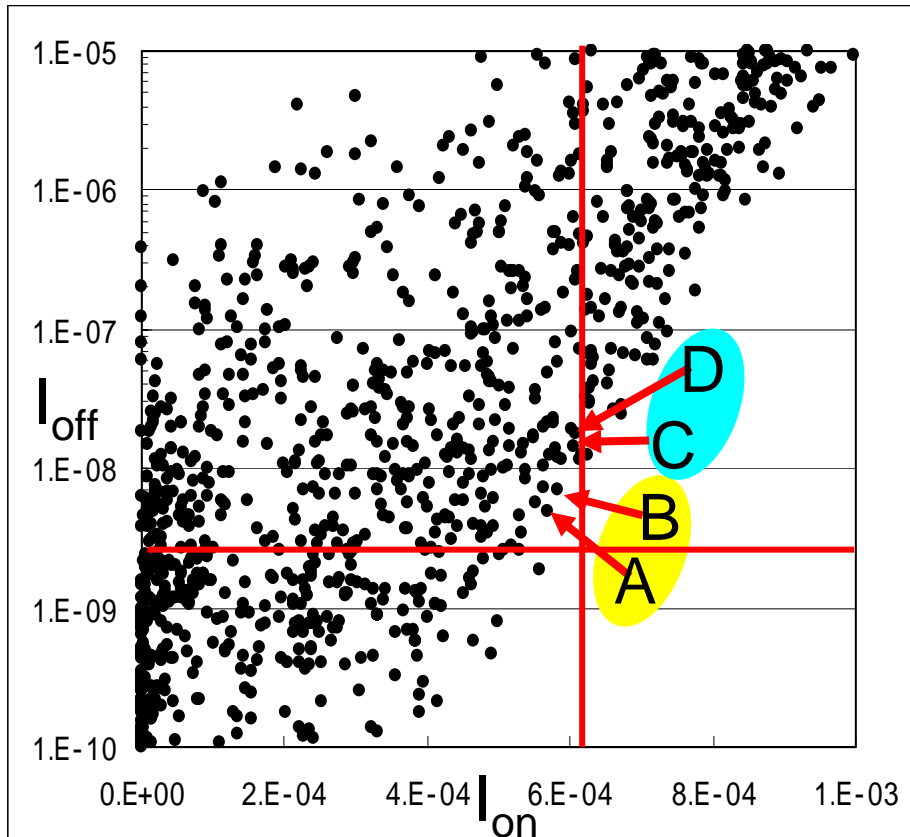


I_{on} , I_{off} , $1/dV_{th}$ の空間で示した実現可能な素子性能

* $1/dV_t$: $1/\sqrt{(V_{th}-0.28)^2}$

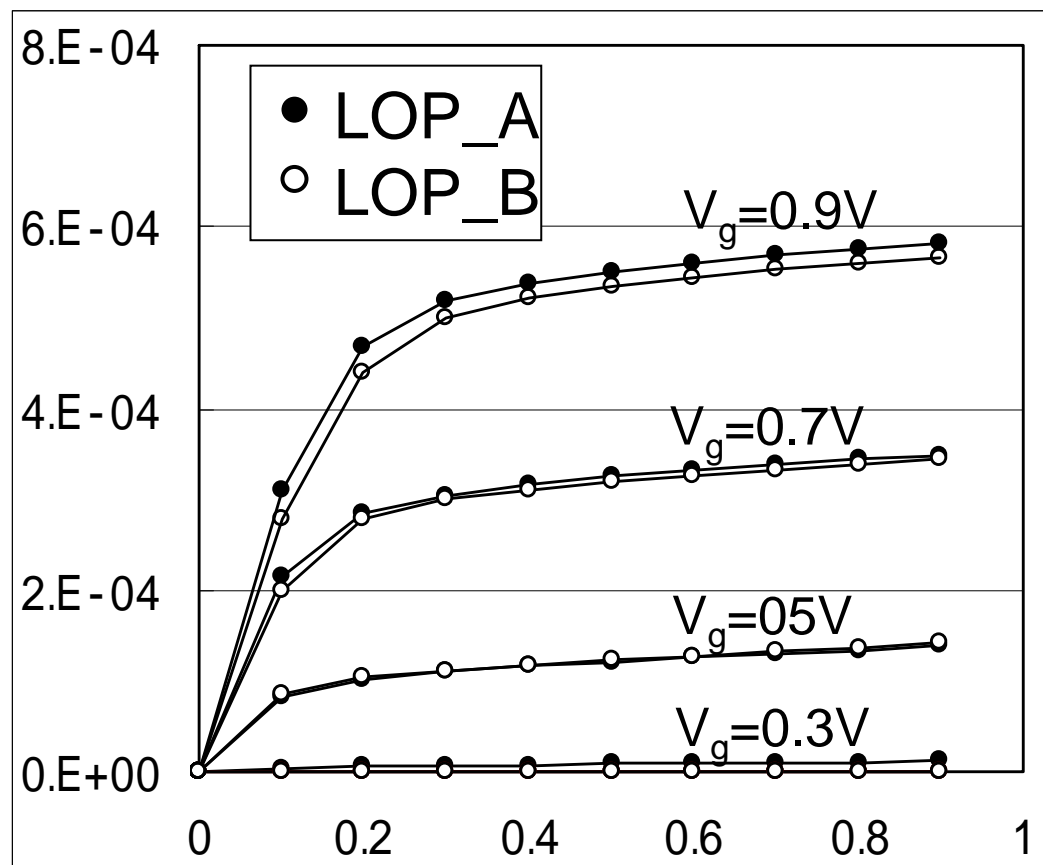
LOPのnMOS候補4種を選択

— ほぼ同じ I_{on} , I_{off} となる2組のMOS —



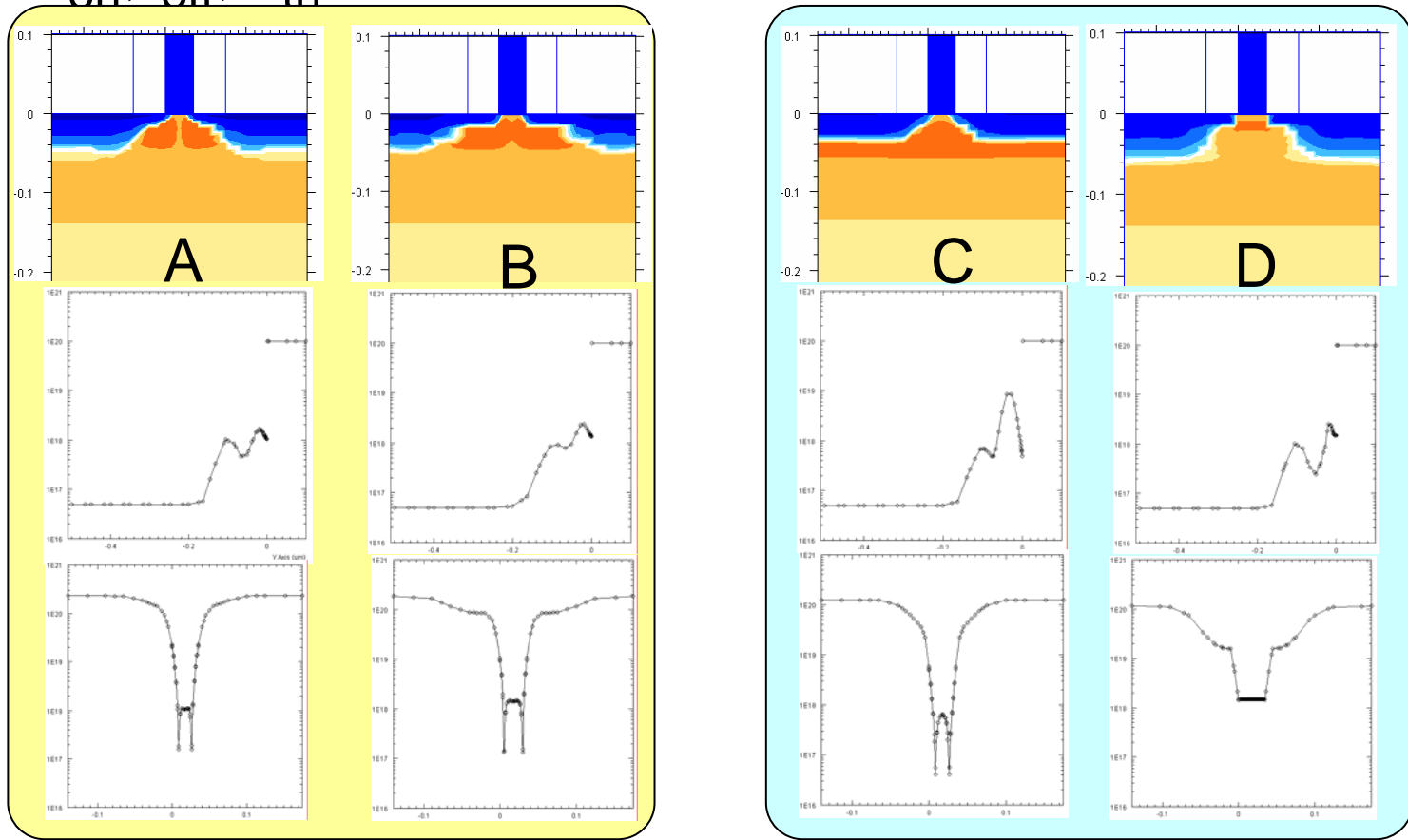
A, Bは I_{on} , I_{off} , V_{th} ロールオフがほぼ同じ

LOP_A, LOP_BのI-V特性



選択したLOPの4構造の断面

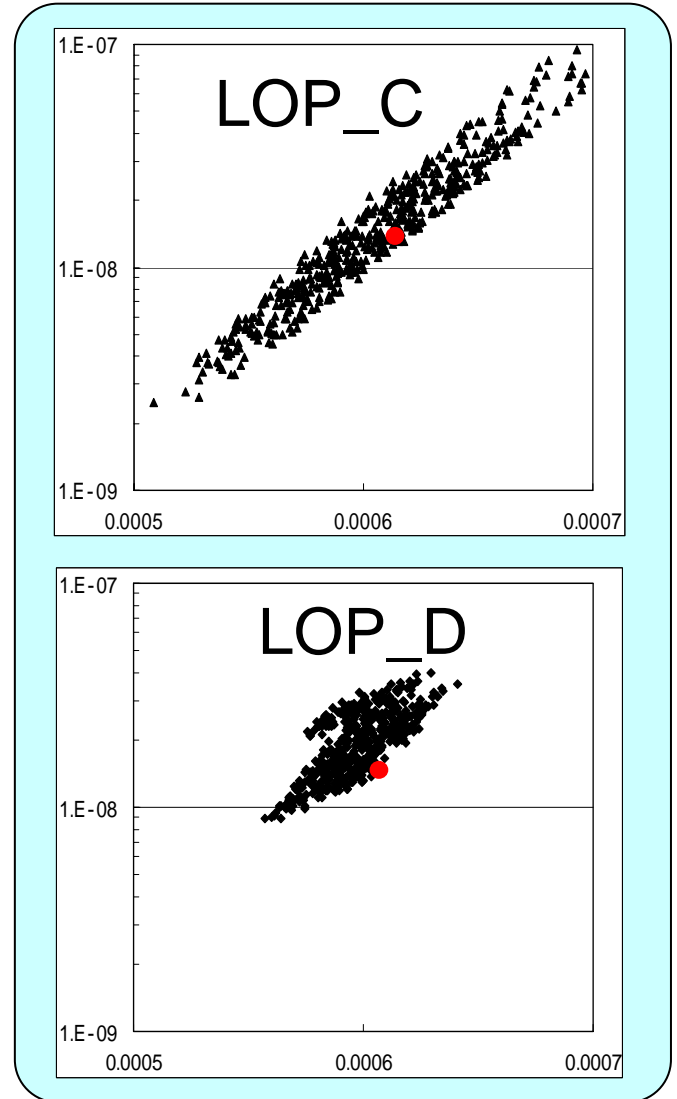
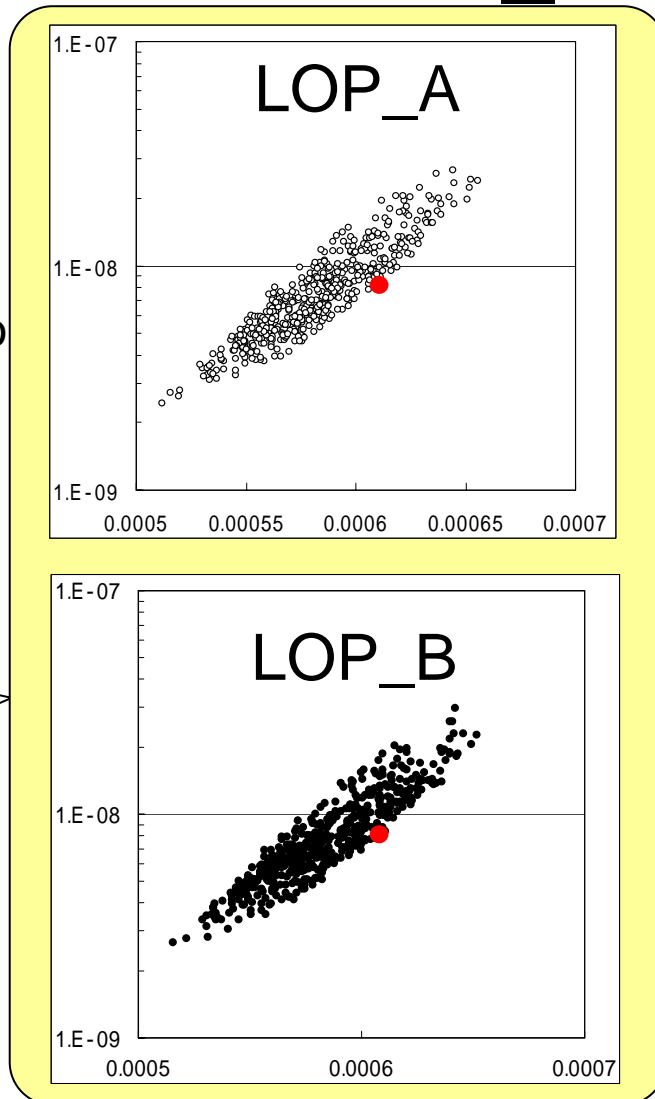
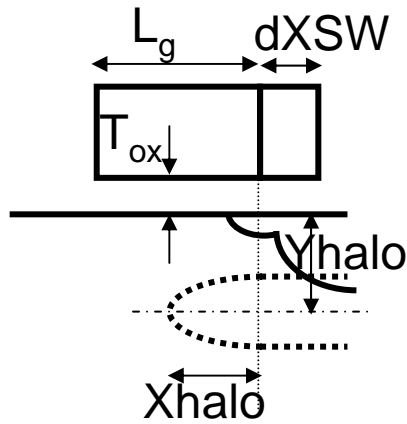
— I_{on}, I_{off}, V_{th} -L, I-V特性は似ても構造は異なる —



	dXSW	Cext	CVth	Cdeep	Chalo	Xiext	XiVth	Xihalo	Yhalo	Xhalo	Yiext	Yhalo	Yext	YVt	OFST
A	0.039793	13.7977	10.3372	10.2406	7.66866	17.4584	0.082818	39.5448	9.48805	10.6861	24.7363	22.2199	-2.06458	0.001534	7.02506
B	0.073946	9.71395	10.669	6.3255	5.3354	28.7373	0.1524	38.3555	18.6949	8.58394	19.3422	23.8844	1.48106	-0.00538	6.51921
C	0.030009	14.6629	5.62662	6.49487	9.52724	23.3241	0.060923	42.4151	43.4877	15.5989	10.4926	33.4181	8.95871	0.007487	3.86105
D	0.060489	2.95471	14.4598	10.0789	2.08866	16.9694	0.064106	14.0585	42.9589	12.2333	5.44404	17.1358	-7.89239	-0.00266	5.44404

LOPの4構造のバラツキ感度(1)

— dXSW, Xhalo, Yhaloを±5% Toxを4% L_gを2.5n変動

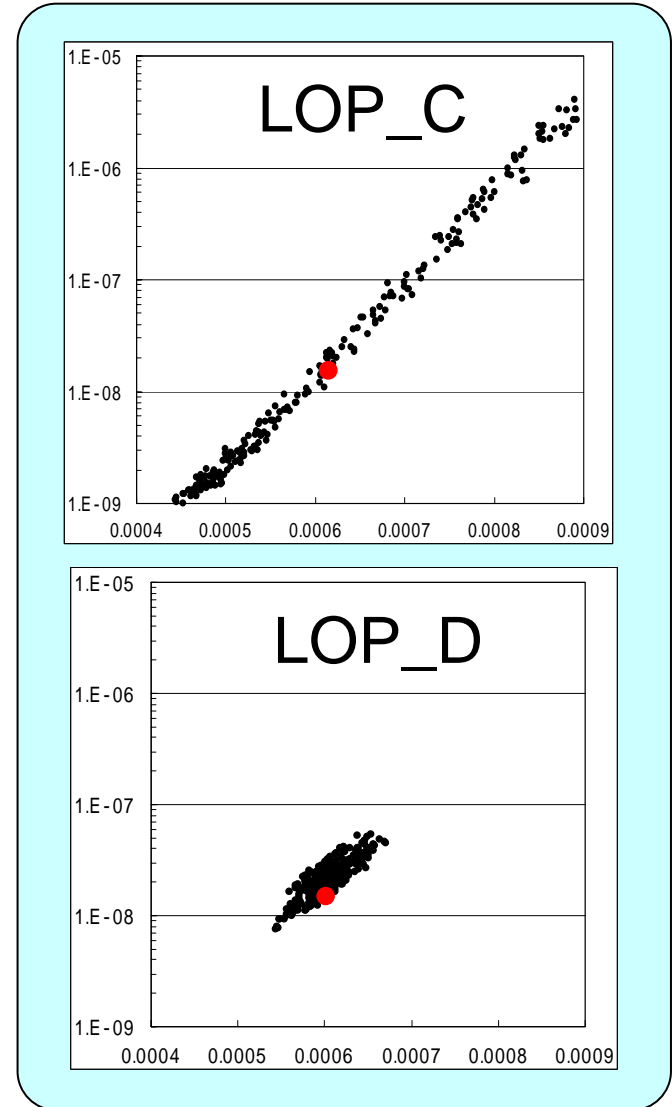
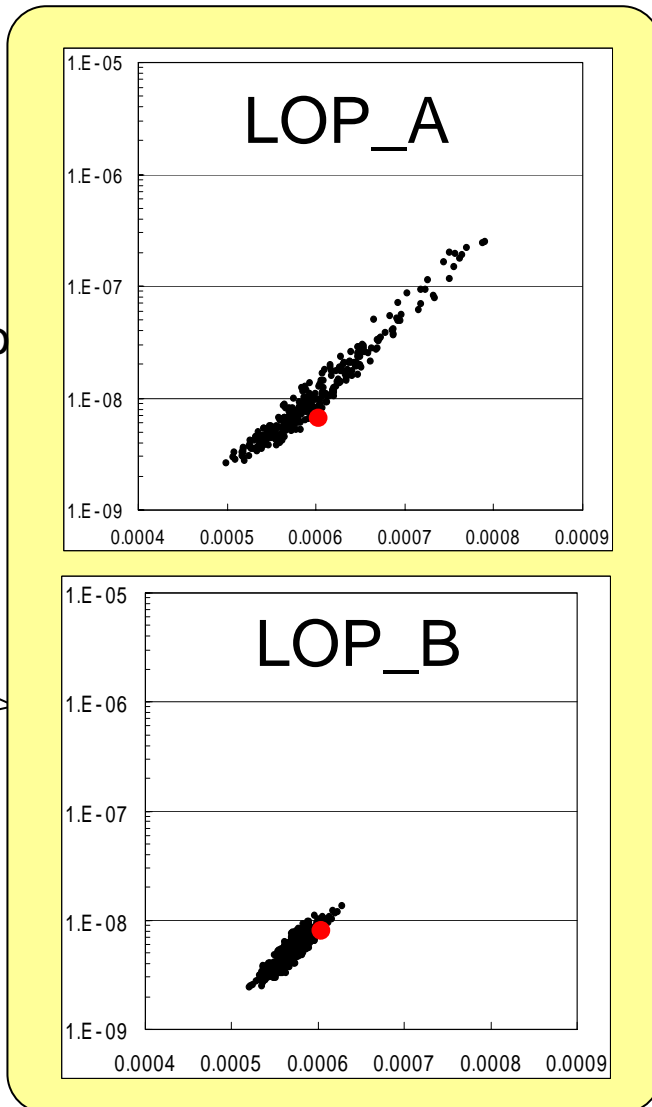
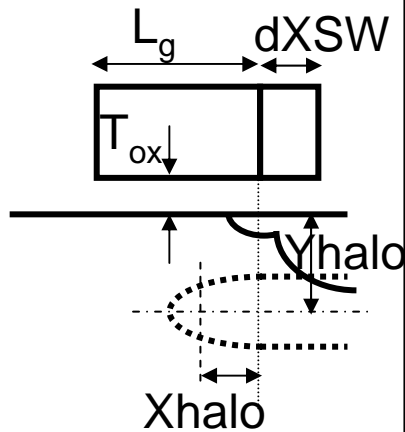


バラツキ幅が同じ
比ならA,Bは
ほぼ同じ特性
バラツキだが

* : L_g, Toxの変動
幅はITRS2003
の数値に準拠

LOPの4構造のバラツキ感度(2)

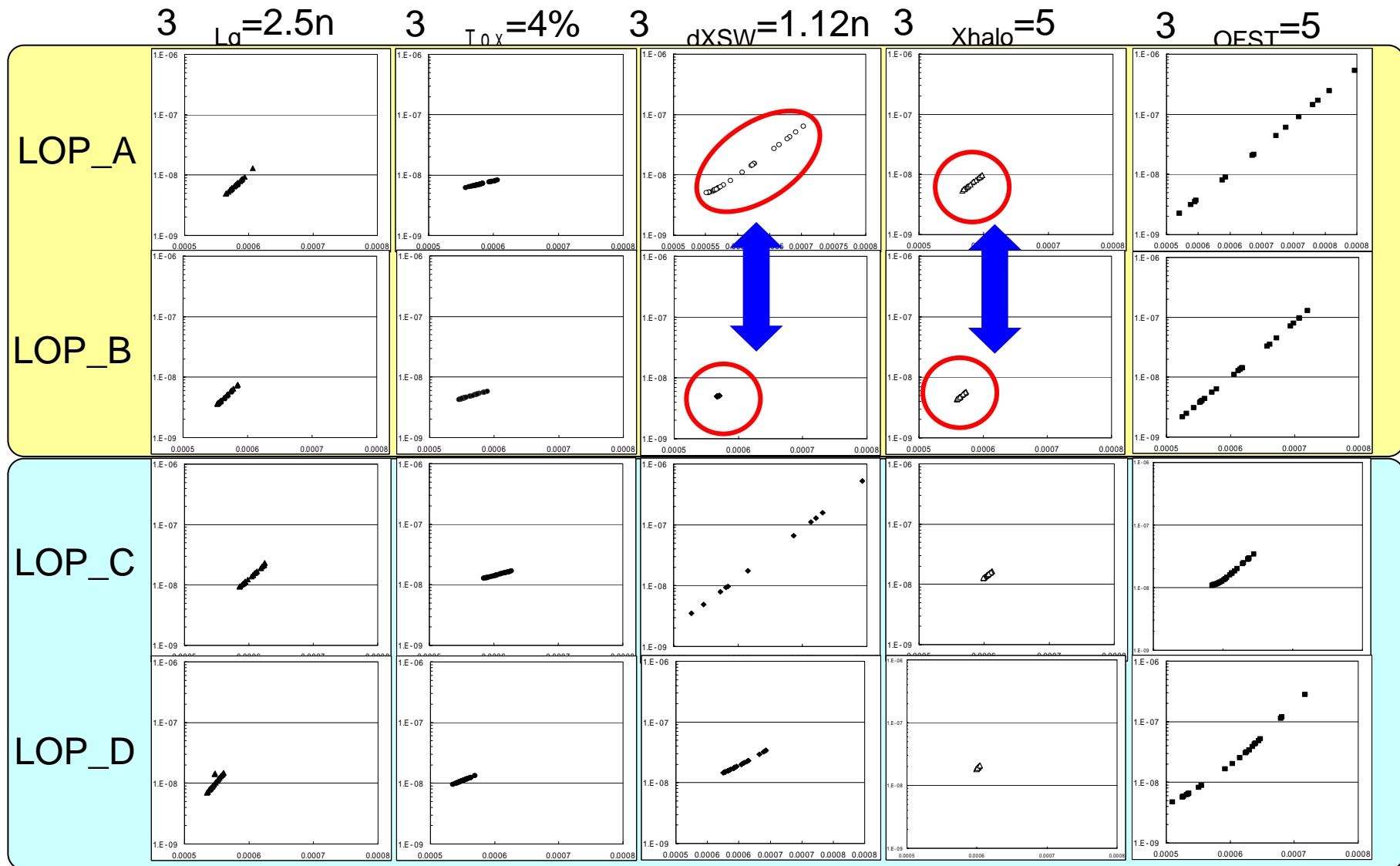
-3 $L_g=2.5n$ 3 $t_{ox}=4\%$ $sw=1.12n$ $X/Y_{halo}=5\%^*$ -



側壁バラツキ幅
が同じ値だと
特性バラツキは
大きく異なる

* : L_g, T_{ox} の変動
幅はITRS2003
の数値に準拠

LOPの4構造のバラッキ要因感度



HPの素子構造

- 2003年版ITRS記載のHP(@2007) -

- 構造, 電源電圧など

- $L_g=25\text{nm}$, $T_{\text{ox_eff}}=0.9\text{nm}$, $V_{\text{dd}}=1.1\text{V}$, $\mu_{\text{enhance}}=1.0 \sim 2.0^*$

- 目標性能

- I_{on} 1510uA/um

- I_{off} 70nA/um

- $(V_{\text{th}}(L) - 0.18)^2$ 0**

- 構造推定はLOPと同様

- I_{on} , I_{off} , V_{th} ロールオフ抑制の3性能を同時に最適化

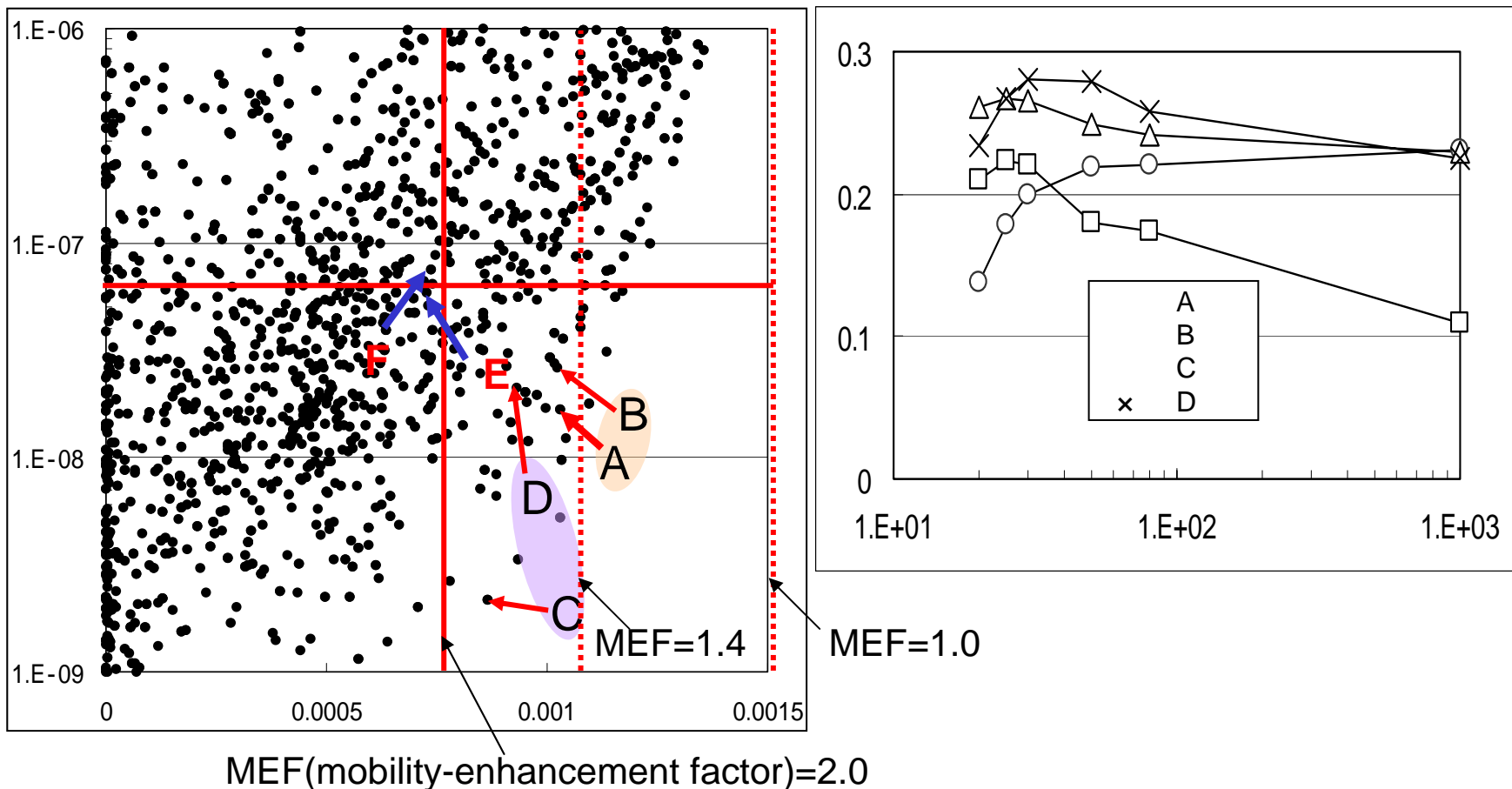
- チャネル部, Haloドーズなど15個の構造パラメータが推定対象

* : I_{on} を満たす構造がない場合, 調整用に使用

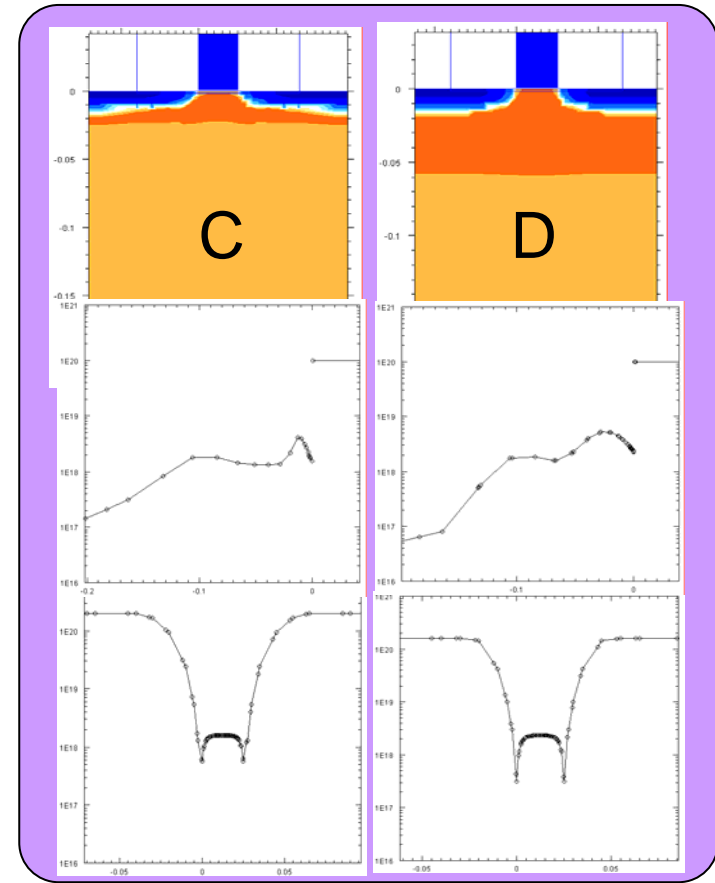
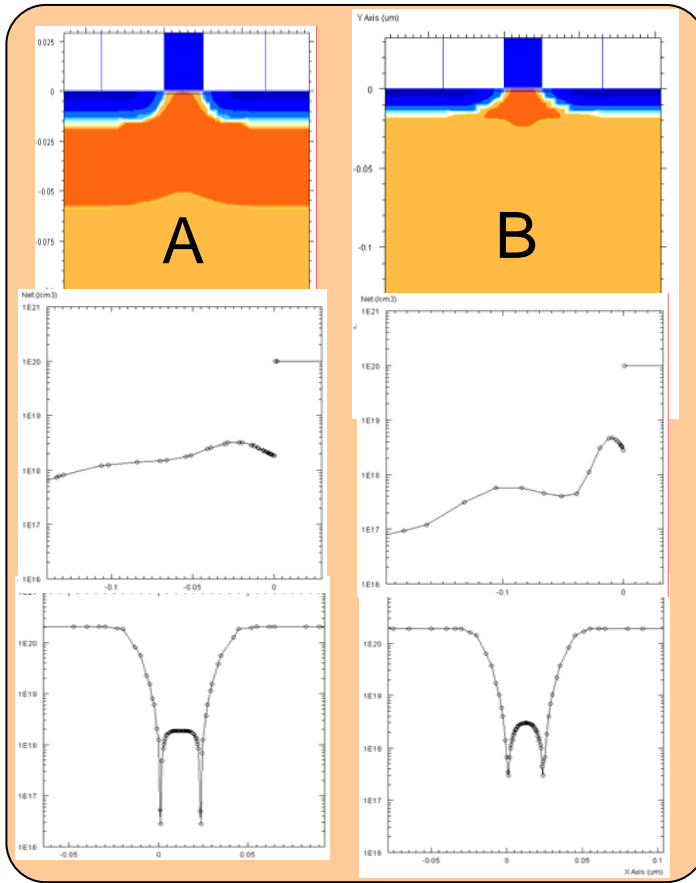
** : $L_g=20, 25, 30, 50, 80, 100\text{nm}$ のゲート長に対してロールオフを抑制する

HPのnMOS候補4種を選択

— 移動度増加因子=1.0では解が見出せなかった —



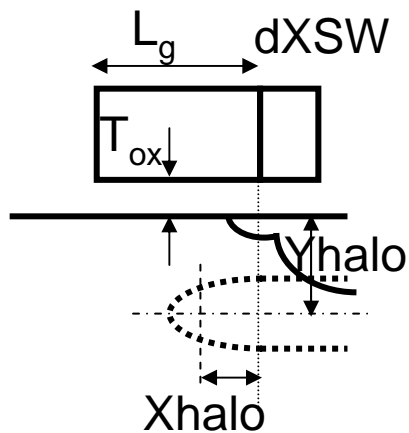
選択したHPの4候補の断面構造



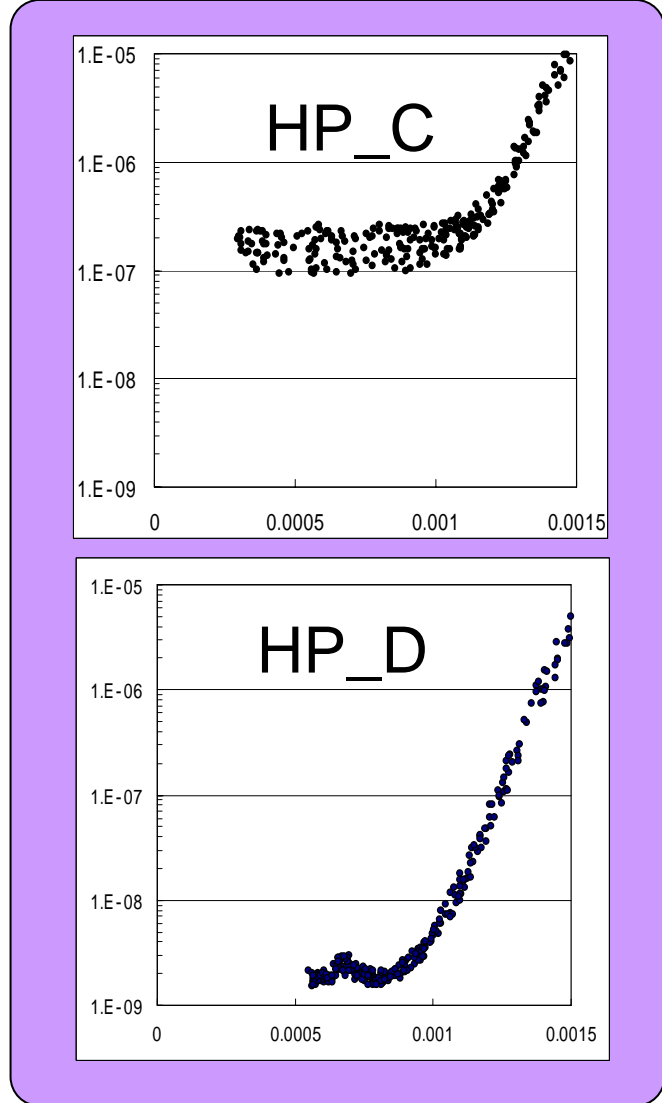
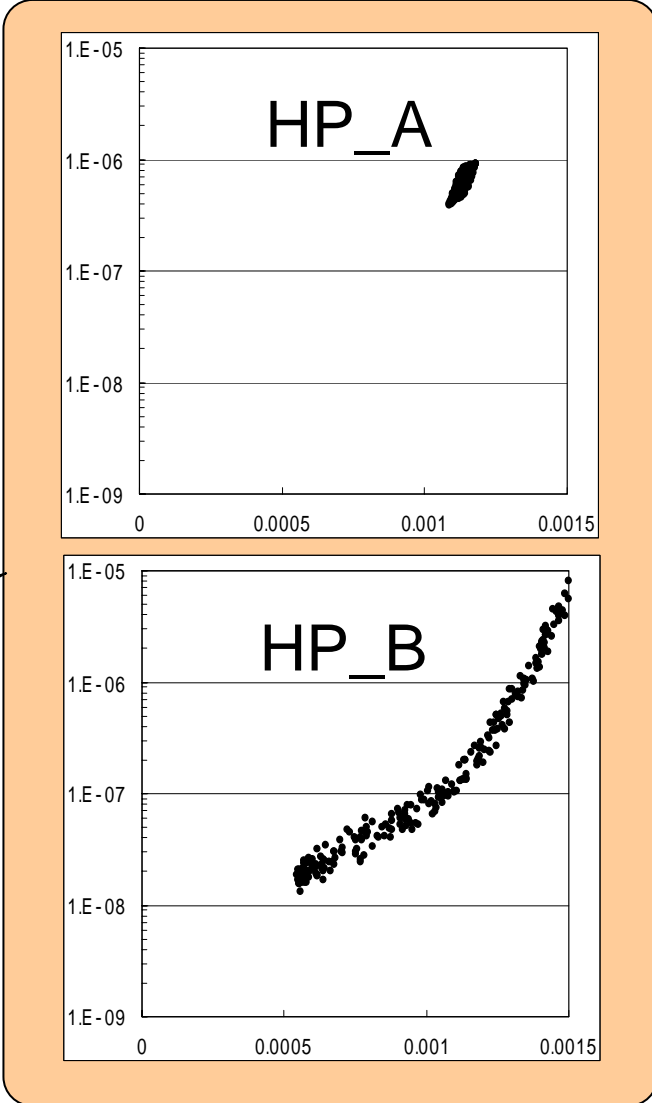
	dXSW	Cext	CVth	Cdeep	Chalo	Xjext	XjVth	Xjhalo	Yjhalo	Xhalo	Yjext	Yhalo	Yext	YVt	OFST
A	0.010592	11.2098	14.2069	2.73156	3.27088	10.0539	0.185753	45.0327	37.8034	1.8189	14.5047	23.6042	-0.9389	0.036997	15.1325
B	0.018118	9.57149	3.82853	3.72405	2.20488	14.4122	0.186106	26.2077	6.23878	19.3847	21.515	10.3626	-1.07764	-0.01598	12.825
C	0.02715	10.5445	12.9492	10.5283	6.90942	17.2158	0.194416	16.8368	38.4159	-0.75839	20.3707	11.3569	-1.11682	0.026652	14.1156
D	0.011814	11.3469	14.2084	13.6671	3.27815	10.06	0.114483	45.034	37.813	16.8184	14.4973	23.5823	-3.03156	0.037006	15.4091

HP($L_g=25\text{nm}$)でのバラツキ効果分析

-3 $L_g=2.5\text{n}$ 3 $\text{tox}=4\%$ $\text{SW}=1.12\text{n}$ $\text{X/Yhalo}=5\%$ -

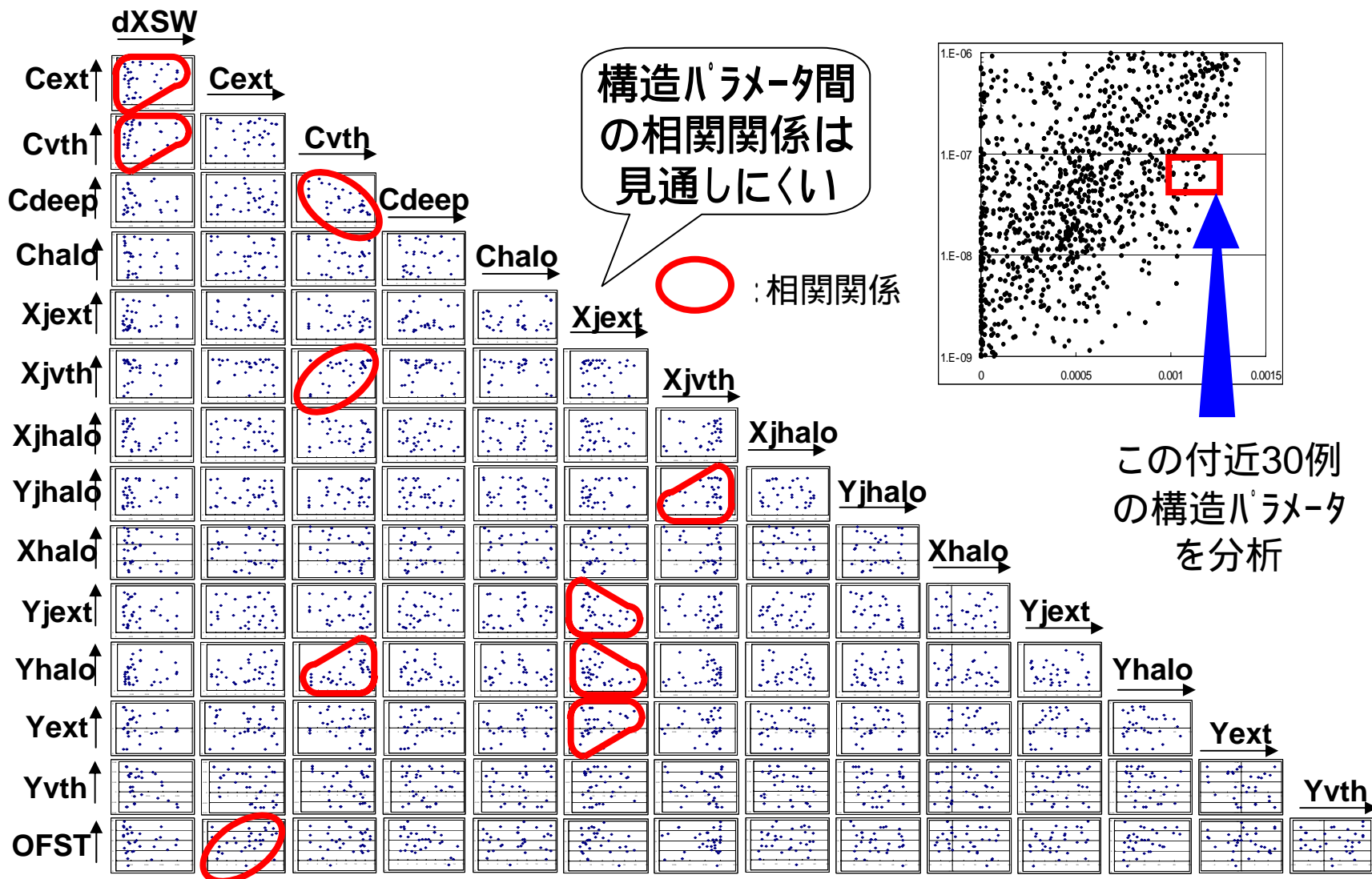


バラツキの影響は構造に強く依存

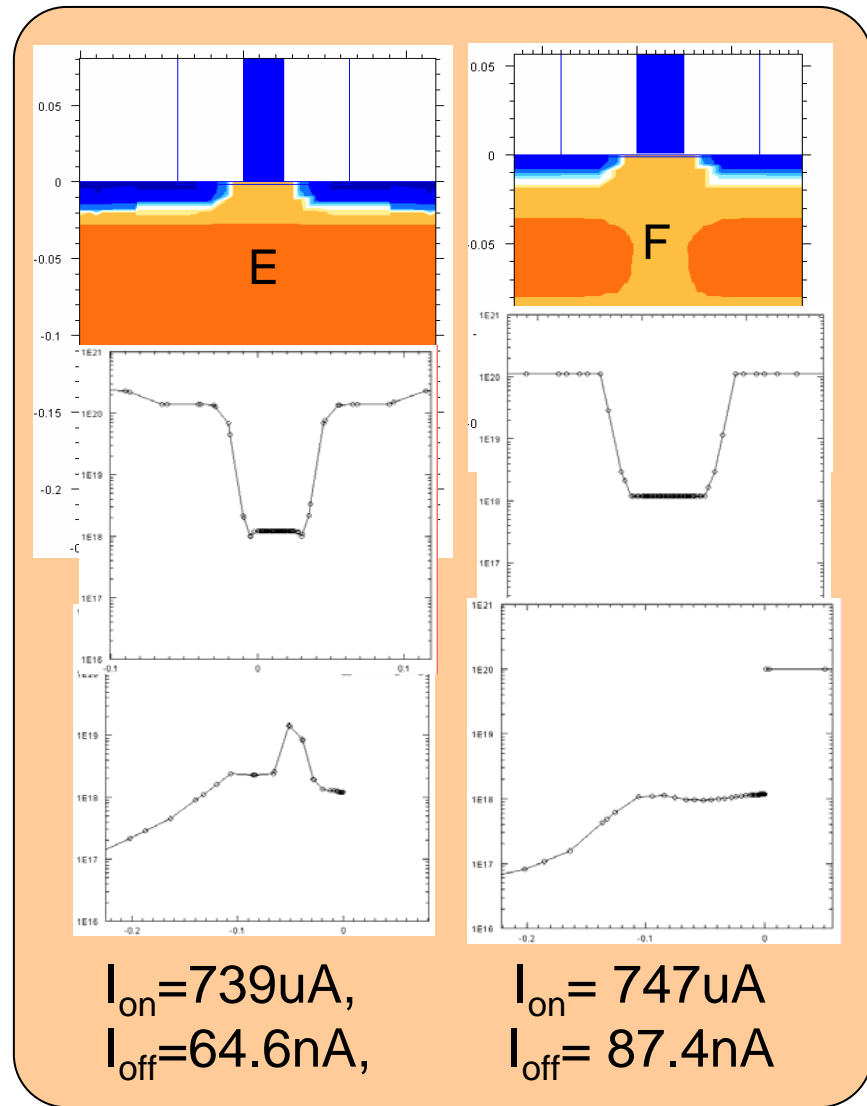
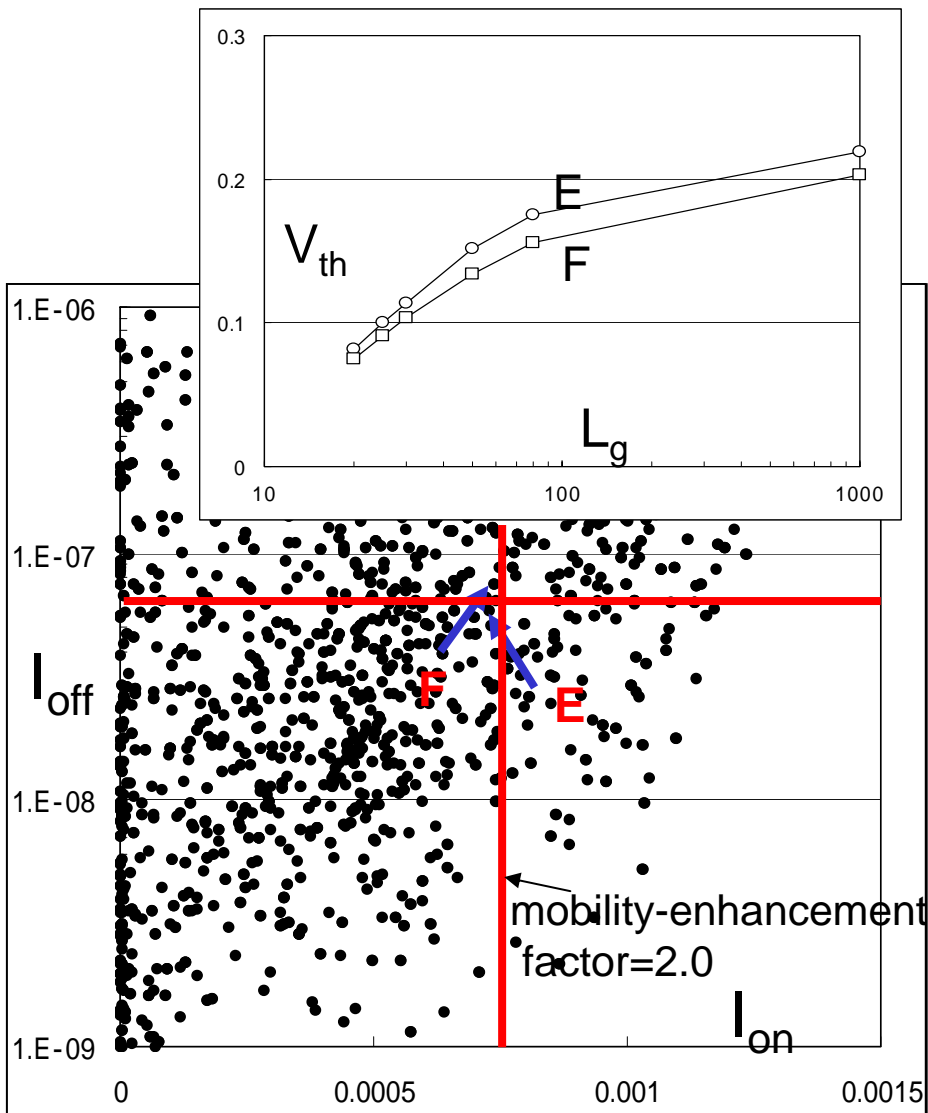


構造因子の相関関係 ($L_g = 25\text{nmHP}$)

ほぼ同一性能となる素子の設計自由度の指針は得難い



$L_g=25\text{nmHP}$ で特性が近い構造 ($\mu_{\text{enhance}}=2$)



まとめ(1)

- バラツキの影響を素子世代毎に評価できるか -
- (少数の)性能仕様で「世代」を規定した素子に対し、世代毎に括ってバラツキの影響を議論する事は困難
 - 異なる素子構造でも、ほぼ同じ I_{on} , I_{off} , V_{th-L} , I-V特性が得られる
 - バラツキに対する感度は素子構造に依存する
- (ほぼ)同じ性能でバラツキ感度が異なる素子を設計する自由度がある **DFM/DFYの手掛り**
 - **DFM/DFYへのモデリング & シミュレーション技術の活用が待たれる。それは「感度(=微係数)」まで含めた多目的最適化か?**

- 内容 -

- バラツキが素子特性に与える影響の分析
 - 背景: 2004年度の分析を踏まえて
 - 素子構造の推定 : 推定は可能か?
 - バラツキの影響 : 定量的議論が出来るか?
- '03-STRJ活動で掲げた「モデリング&シミュレーション共通技術」は適切だったか
 - 具体例をreview

2003年度に報告したM&S*の共通基盤技術

- 要求に応えM&S*をより有効活用するために -

- 最適化・逆問題
 - パラメータ抽出・キャリブレーションの重要性
 - 相反する複数目標
- バラツキ解析効率化
 - 早期に対応が必要
- テーブルモデル
 - モデル階層化, 定式化が困難な場合
- 3D格子生成
- 並列計算



M&S各分野に共通的な技術

- 要求に応えるために必要な数値解析技術 -

- 最適化・逆問題
 - パラメータ抽出、多目的最適化
- バラツキの効率的な解析
 - 確率偏微分方程式、区間解析
- テーブルモデル
 - 多次元ランダムテーブルと補間
- 3D格子発生
- 並列計算技術, ...



他分野の手法・技術動向への感度と、
従来手法にとらわれない発想が重要

Work in Progress - Do not publish

STRJ WS: March 4, 2003, WG10

2003年度STRJワークショップの報告資料

* M&S: モデリング&シミュレーション(Modeling & Simulation)の略

多目的最適化

- バラッキ解析の為に構造推定した(本報告)例 -

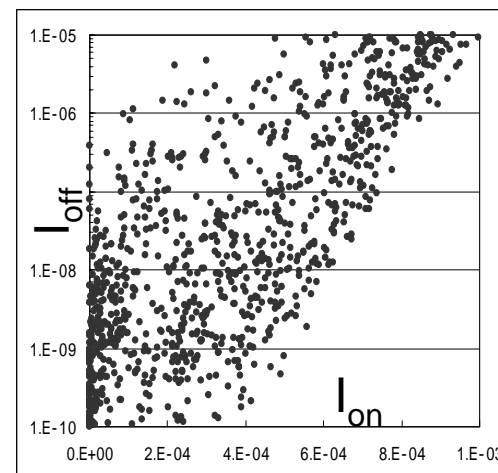
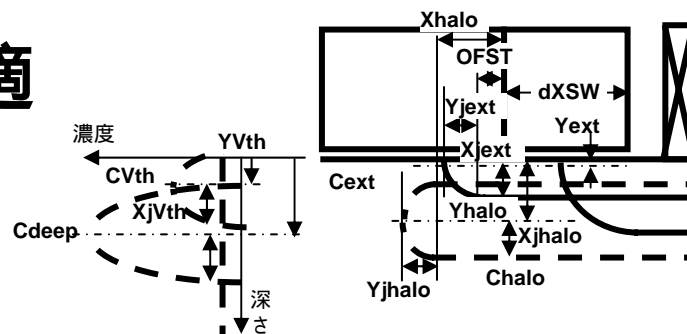
- 競合する複数目標への最適/現実解の探索

- モデル・シミュレータ存在が前提
- 通常は複数の解・選択肢
- どう選択・解釈するか

- LOP, HPの I_{on} , I_{off} , V_{th} 要求値から構造推定が可能

- モデルやシミュレータの精度が鍵

- 精度向上・維持のキャリブレーションにも最適化技術は有効

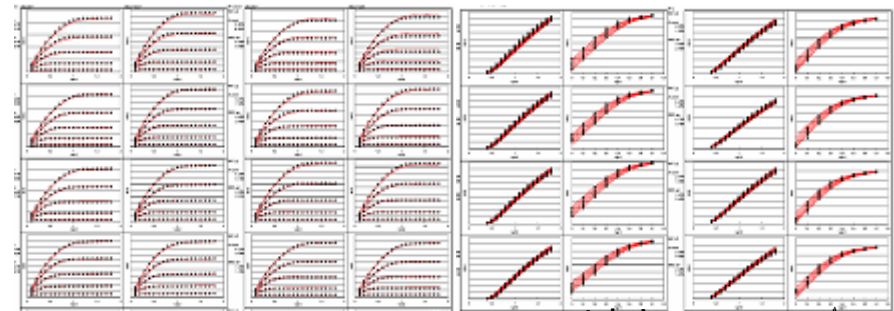


2003ITRSで規定した性能仕様からLOPの素子構造を推定した例

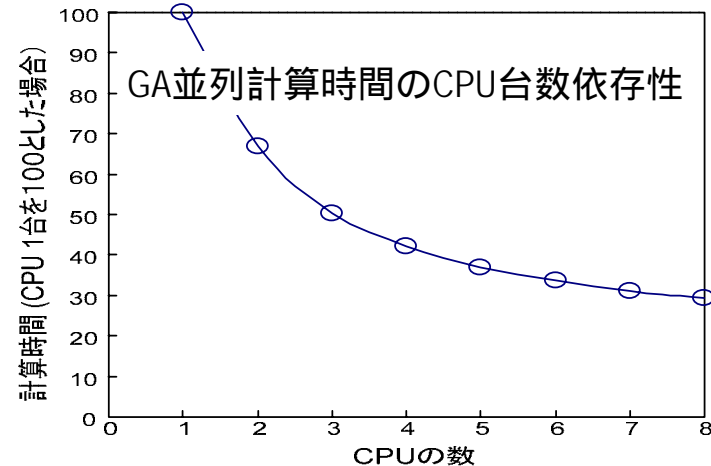
パラメータ抽出と並列計算技術

- トランジスタパラメータの一括抽出への適用例 -

- 精度維持に不可欠なキャリブレーションをどう効率化?
 - モデル複雑化
キャリブレーション困難
 - モデル開発とキャリブレーション方法提示は表裏一体
- 計算量増加への対策
 - 答に至る時間短縮がますます重要
 - 並列化に適す手法の重要性



GA(Genetic Algorithm)で15以上のMOSデータからBSIM3パラメータ60以上を無手順抽出した例*



トランジスタパラメータ抽出用GAの並列化効果*。
上記の規模の計算を1日以下で処理可能

*:Baba, et.al, 信学会VLD/SDM/応物シリコンテクノロジー-分科会, 2005/9/26

逆問題(インバースモデリング)

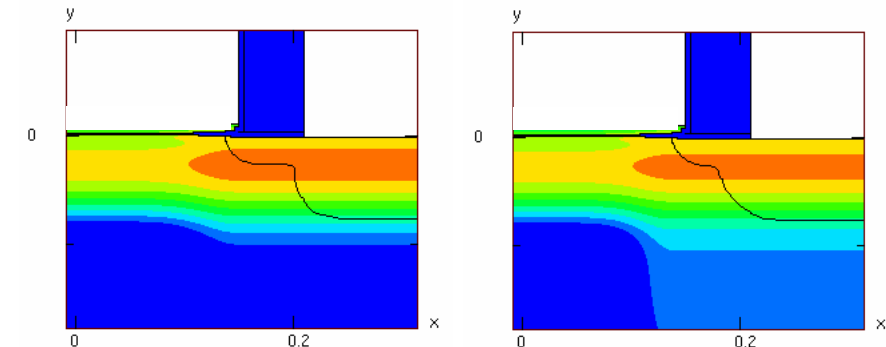
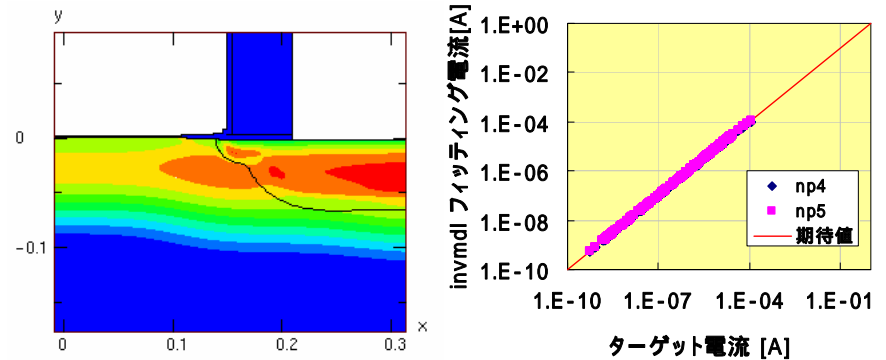
- MOSFET断面のドープ分布推定への適用例 -

• 結果から原因を推定する技術

- 解の存在や一意性の保証は数学的保証がないため、使用時は注意を要する

• 「順問題」のモデリングとは車の両輪

- 原因の推定やキャリブレーションに適用



予め設定したドープ分布(左上)のI-V, C-V特性に一致するドープ分布を推定した結果(下)。異なる分布(下左と下右)でもそれらのI-V特性は予め設定した分布のI-V特性と一致する(右上)。

*:Komatsubara, et.al, 信学会VLD/SDM/応物シリコンテクノロジー分科会, 2005/9/26

まとめ(2)

- '03報告で提案されたM&S*共通技術は? -
- 提案した技術の多くは,学会発表などで実現・活用されつつある事が裏付けられた
 - 多目的最適化
 - (GA**を用いた)パラメータ抽出
 - 並列化技術
 - インバースモデリング(逆問題)
- 有用であり続けるための提言と,それを実現出来る体制を

* M&S:モデリング&シミュレーション(Modeling & Simulation)の略

** GA: Genetic Algorithm, 遺伝的アルゴリズム