

# 低電力SoCのロードマップ

～ DFMの検討とバラツキが低電力SoCの性能に及ぼす影響評価 ～

STRJ設計タスクフォース

サブリーダー: 浅田 善己 (富士通)

# 設計タスクフォースの委員構成

内山 邦男(リーダ)  
浅田 善己(サブリーダ)  
石橋 孝一郎(国際対応)  
岡野 伸洋  
古野 慎治  
朝重 浩喜  
阿久井 聡  
岡田 功  
抜山 知二  
斉藤 利忠  
益 一哉(特別委員)

日立製作所  
富士通  
ルネサステクノロジ  
シャープ  
沖電気工業  
松下電器産業  
ソニー  
ローム  
NECエレクトロニクス  
東芝  
東京工業大学

# 内容

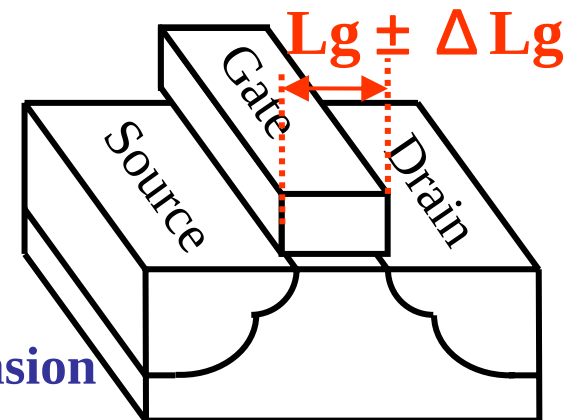
- ITRS2005におけるDFM関連のサマリ
- 設計TFでの活動内容
  - 低電力SoCの性能評価モデルに対して  
ITRS2005年版を適用して再計算
  - 低電力SoCの性能評価モデルに対して  
配線性能のモデルを追加（作業中）

DFM: Design for Manufacturing

# ITRS2005におけるDFM関連のサマリ

- Critical Dimensionの加工精度の見直し

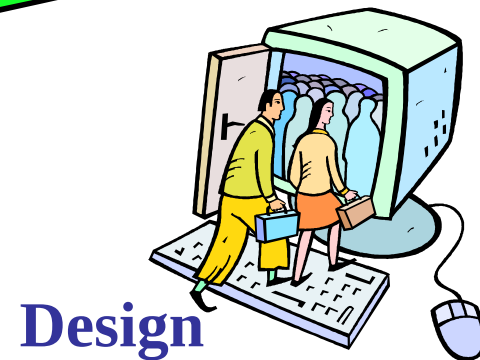
MOSFETの  
Critical Dimension



- NREコストの将来見積り  
NREコストの低減方法



- Design for Manufacturability (DFM)  
設計の各レベルにおける課題



Design  
Methodology

NRE: Non-Recurring Engineering

# Critical Dimensionの加工精度

- Critical Dimensionは、MOSFETゲート長に対応
- ITRS2003年版 加工精度の要求は10%

| Year of Production            | 2003 | 2004 | 2005 | 2006 | 2007 | 2008 | 2009 | 2010 | 2012 |
|-------------------------------|------|------|------|------|------|------|------|------|------|
| MPU Physical Gate Length (nm) | 45   | 37   | 32   | 28   | 25   | 22   | 20   | 18   | 14   |
| Lgate 3s variation (nm)       | 4.5  | 3.8  | 3.2  | 2.8  | 2.5  | 2.2  | 2.0  | 1.8  | 1.40 |

経緯: Critical Dimensionの加工精度について、ゲート長の10%以内に維持することが困難になってきたことから、DFM関連の検討を開始

- ITRS2005年版 加工精度の要求を12%に緩和

| Year of Production            | 2003 | 2004 | 2005 | 2006 | 2007 | 2008 | 2009 | 2010 | 2012 |
|-------------------------------|------|------|------|------|------|------|------|------|------|
| MPU Physical Gate Length (nm) |      |      | 32   | 28   | 25   | 23   | 20   | 18   | 14   |
| Lgate 3s variation (nm)       |      |      | 3.84 | 3.36 | 3.0  | 2.76 | 2.40 | 2.16 | 1.68 |

Manufacturable solution exist, and are being optimized  
Manufacturable solution are known  
Manufacturable solution are NOT known



Source: ITRS 2005<sup>[1]</sup>  
Front End Process  
Table 69

# CD加工精度10 12%に緩和

- 製造ばらつきがあっても、新しい設計技術で対応することが前提

## 新しい設計技術の例

統計的なタイミング解析

規則的なレイアウトでばらつき抑制

歩留りを考慮した冗長設計

特性の標準からの変動を自動補正するような回路構成

DFM  
(Design for Manufacturing)

# NREコスト



## ■ マスクコストの将来見通し

| Year of Production                               | 2005 | 2006 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 | 2013 |
|--------------------------------------------------|------|------|------|------|------|------|------|------|------|
| MPU/ASIC Metal1 ½ Pitch (nm) (Contacted)         | 90   | 78   | 68   | 59   | 52   | 45   | 40   | 36   | 32   |
| Mask cost (\$m)<br>from publicity available data | 1.5  | 2.2  | 3.0  | 4.5  | 6.0  | 9.0  | 12.0 | 18.0 | 24.0 |

■ 2年ごとにマスクコストが2倍に Source: ITRS 2005<sup>[1]</sup>

■ 先端プロセスを使うSystem-on-Chipの設計が困難に  
(新興デザインハウス、アカデミアからのSystem-on-Chip分野のイノベーションの機会が減る)

## ■ Workaround (次善の回避策)

■ マルチプロジェクト・ウェーハ

■ FPGAなどのConfigurable Logic

■ Structured ASIC

NRE: Non-recurring engineering

# Design for Manufacturing (DFM)

## 問題

ばらつきの増大  
パラメトリック歩留り低下  
電力増加  
...

マスクコストの増加

データサイズの増加  
設計TATの悪化

露光装置などの加工限界

## 設計における課題

・アーキテクチャ設計

システムレベルの冗長設計

・論理設計、回路設計

・レイアウト設計

・歩留予測と設計最適化

# 論理設計, 回路設計における課題

- ばらつきに強い回路、適応動作する回路
  - 非同期回路の一部導入、冗長設計、誤り訂正回路等
- (電力、タイミング)における統計的な設計
  - 統計的な設計Toolに対して、Characterizeした回路特性とModelを与える必要がある
  - 「統計的な解析」「統計的な最適化」への移行  
計算量の増大が一気に増大

# DFM: レイアウト設計における課題

- より複雑なマスク設計ルール (MDR) の適用
  - 2本立てのMDR  
(限界寸法Rule、製造性を考慮した推奨ルール)
  - 3本立てMDRあるいは無段階のMDR  
(Pass/FailのMDR      歩留りvs面積の関係式のMDR)
  - 設計者がMDRの複雑さを感じないような方策が必要
- 解像度向上のためのパターン処理      の高度化
  - Chip上の全てのパターンに一律施すパターン修正  
から、速度・電力のCriticalな部分のみをパターン修正
  - RTL to GDS2のフロー全体で、RETやOPC関連の  
データを正しく取り扱う方策が必要

: OPC、ダミーフィル等

DFM:

# 歩留り予測と設計最適化における課題

- 歩留りの急峻な立上げには、設計とプロセスの Interaction の成果である推奨MDRが必須
- 設計プロセス途中でYieldを含めた同時最適化が必要  
(Post処理は、時間がかかり、効果が限定的)

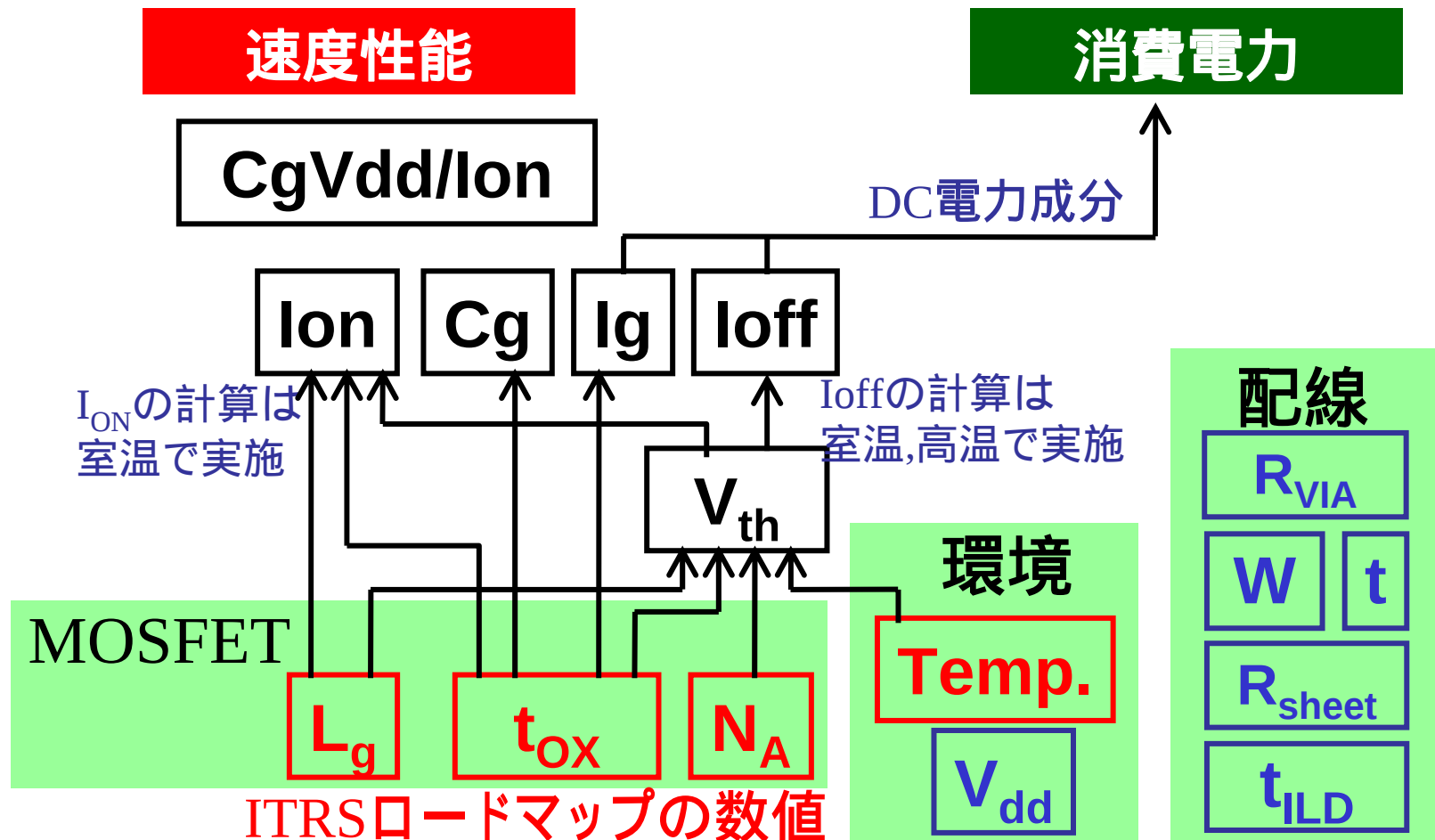
設計プロセス (論理合成、P&R、タイミング等)



- ツールに組み込むYieldモデルは、正確さが必要で、また、プロセスの習熟とともに頻繁な更新が必要

# 設計TFにおける検討内容

- 将来のLSIの特性が、ばらつきと温度変動によりどのような影響を受けるかを定量的に解析
- 昨年度のばらつき、温度変動の影響検討モデル



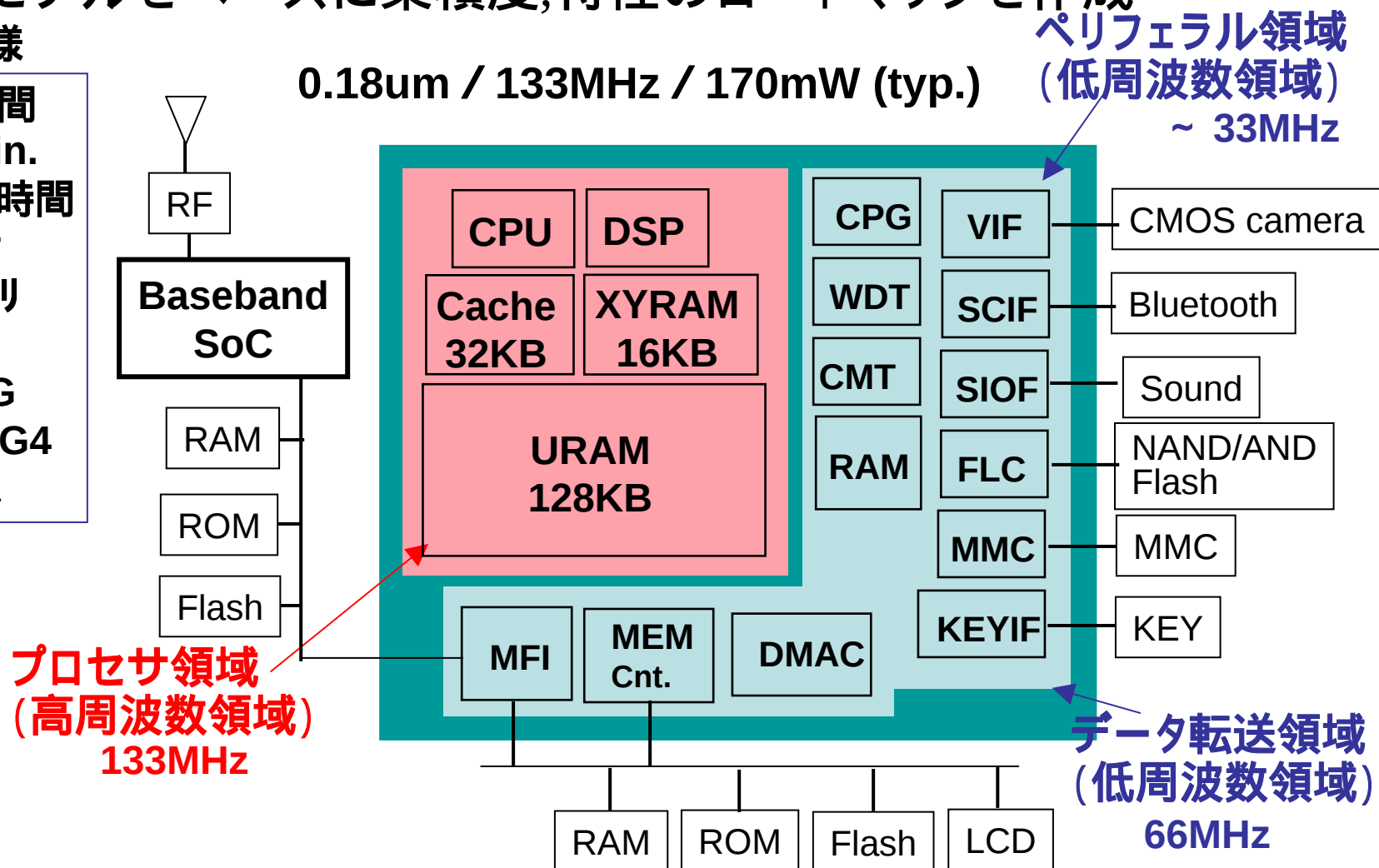
# 設計TFの低電力SoCの検討モデル

■ 0.18  $\mu\text{m}$  世代の携帯電話向けアプリケーションプロセッサの例 [2]

■ このモデルをベースに集積度, 特性のロードマップを作成

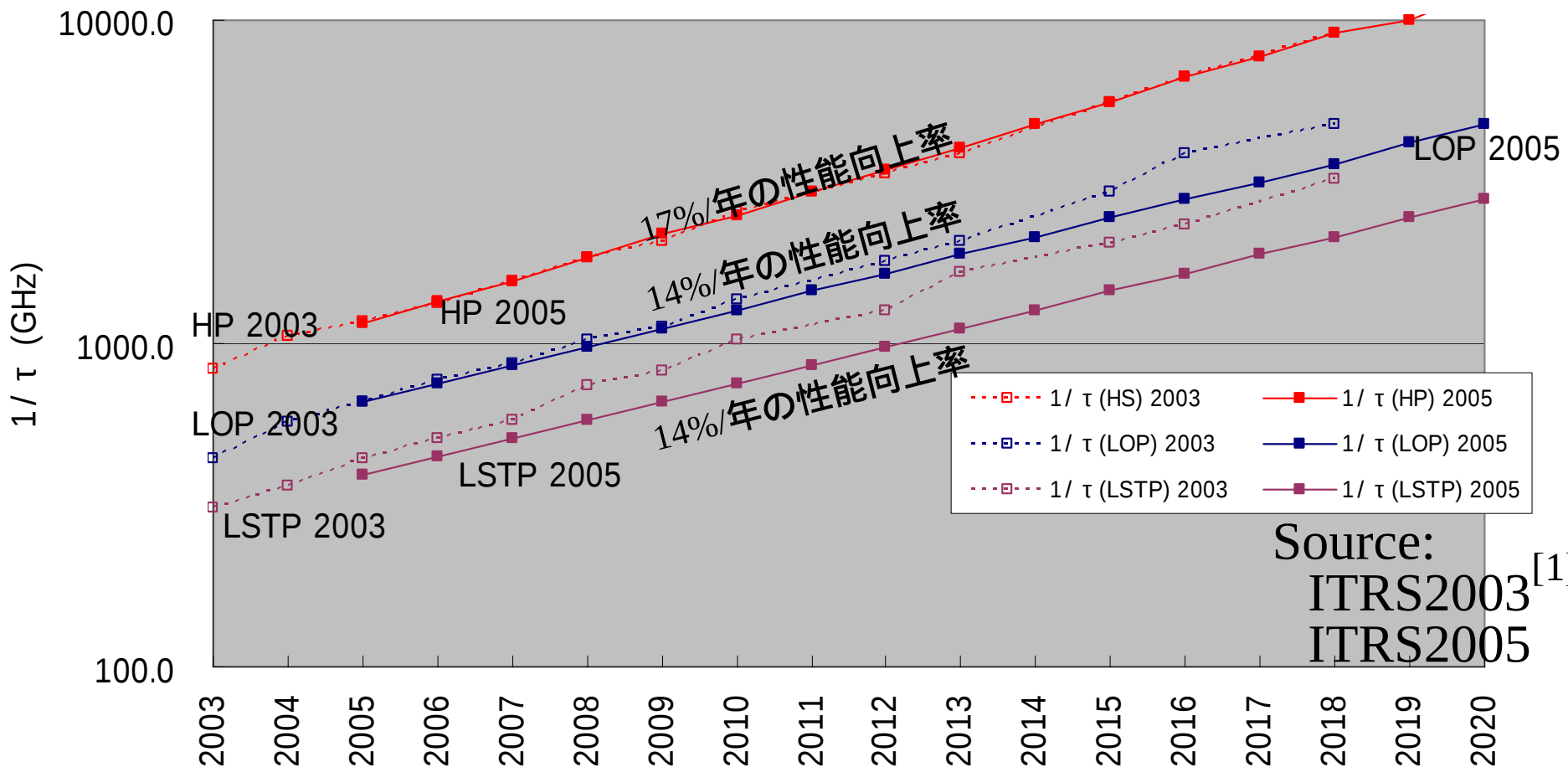
## 機器仕様

- ・通話時間  
140min.
- ・待受け時間  
200Hr
- ・MMアプリ  
MP3  
JPEG  
MPEG4  
Java



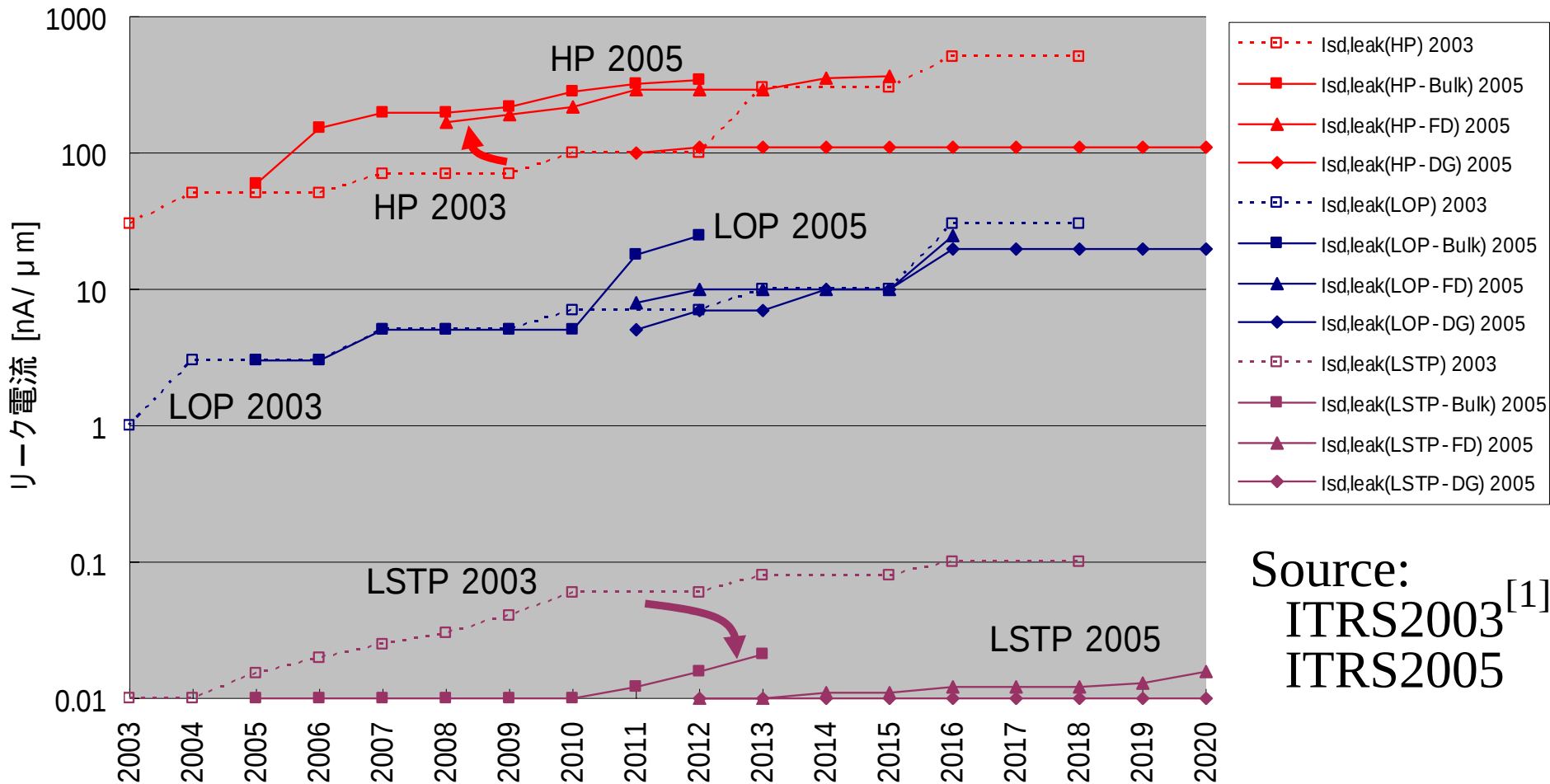
# トランジスタのCV/I特性の推移

- HPの特性はITRS2001/2003/2005年版で大きく変わらず
  - LOPとLSTPでは、2001年版に近い特性に戻る
- 要求ベースのCV/Iの向上率 14%/yearに引下げ



# トランジスタのI<sub>off</sub>の推移

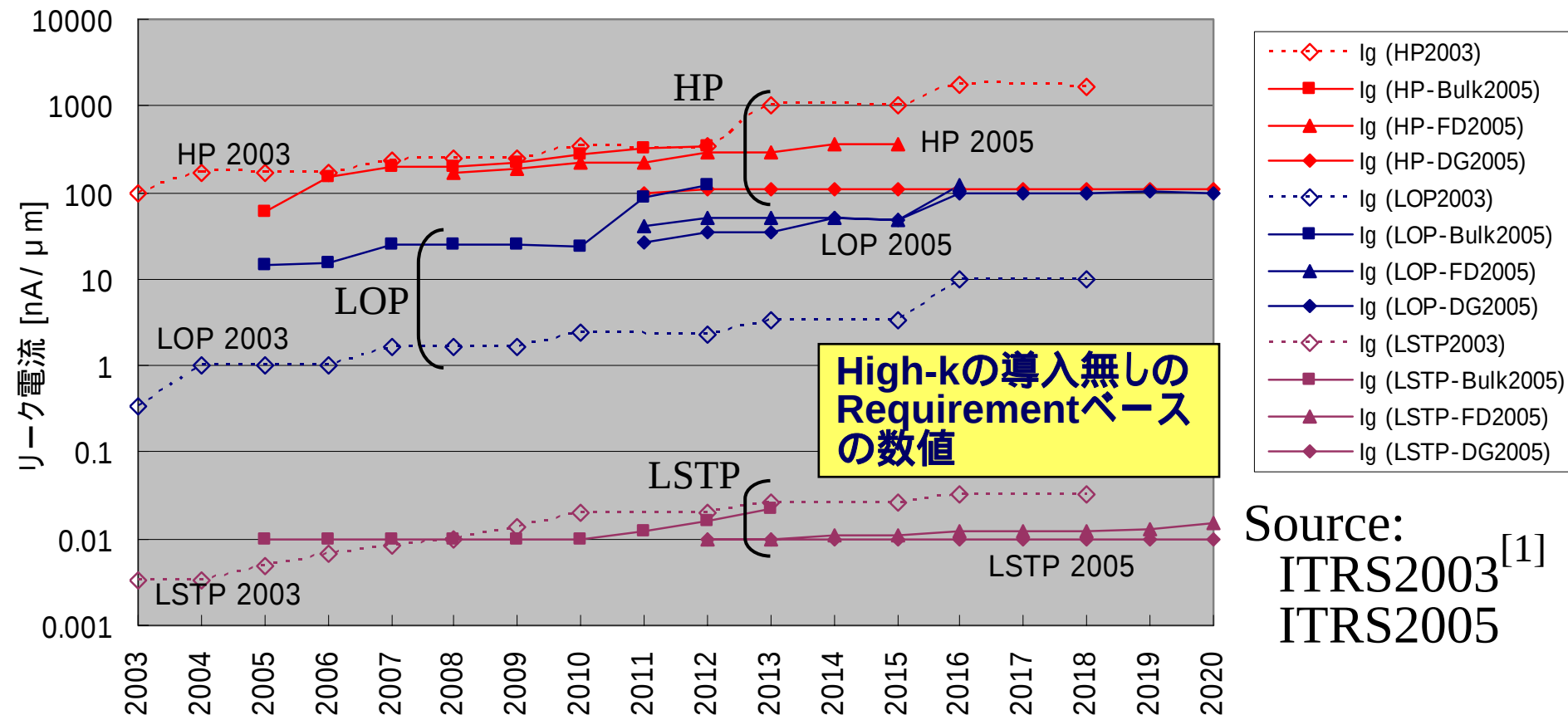
- HP で2003年版に対してI<sub>off</sub>増  
LSTP で2003年版に対してI<sub>off</sub>減
- LOP については、2003年版から大きな変化なし



Source:  
ITRS2003<sup>[1]</sup>  
ITRS2005

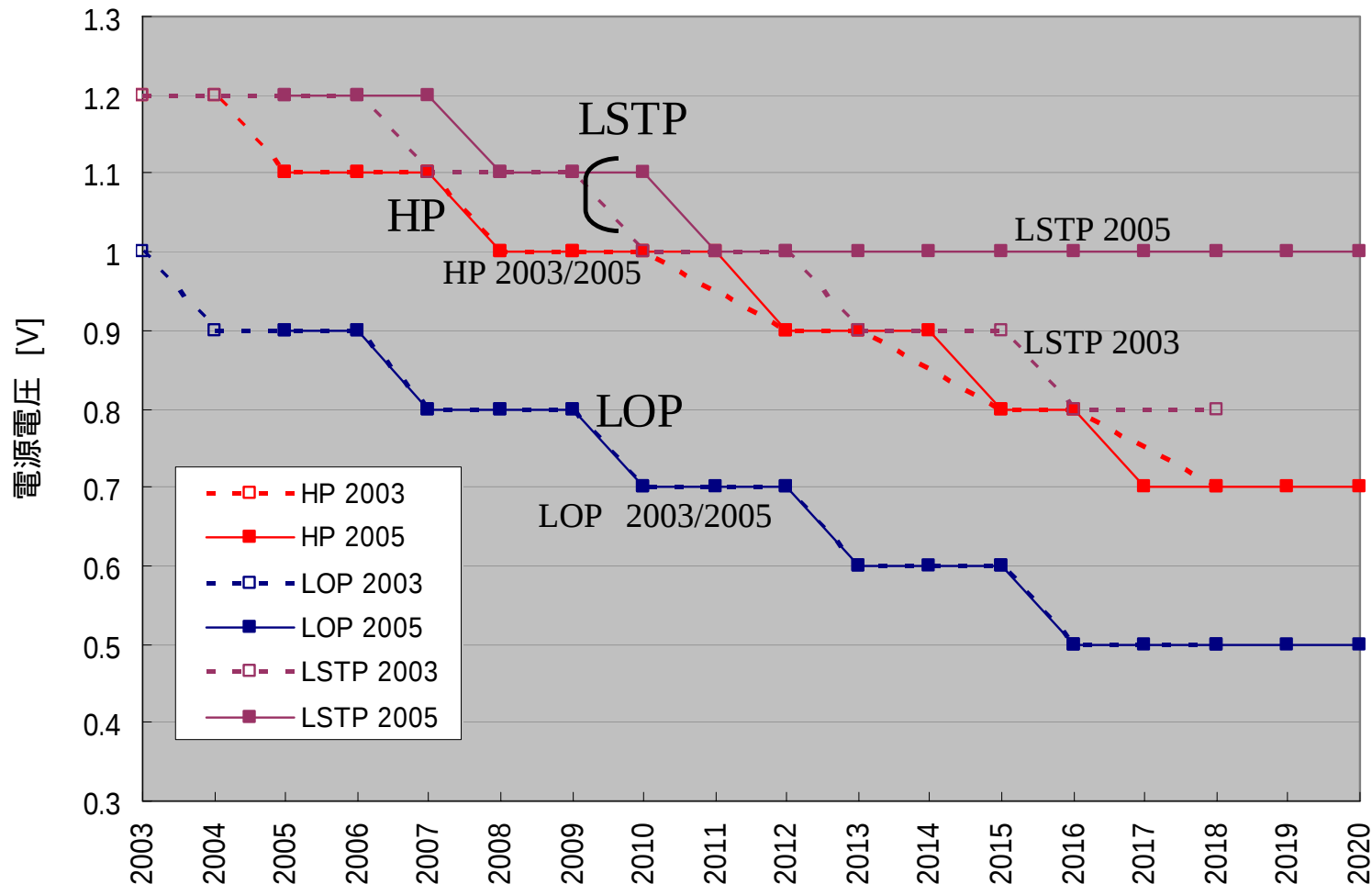
# トランジスタの $I_g$ の推移

- HP, LSTPについては、2003年版とほぼ同様
- LOPについては、2003年版から1桁程度の増加  
(ITRS2005年版において、 $I_g$ が高温における $I_{off}$ と同等になるように見直しを行ったため)



# トランジスタの標準電源電圧の推移

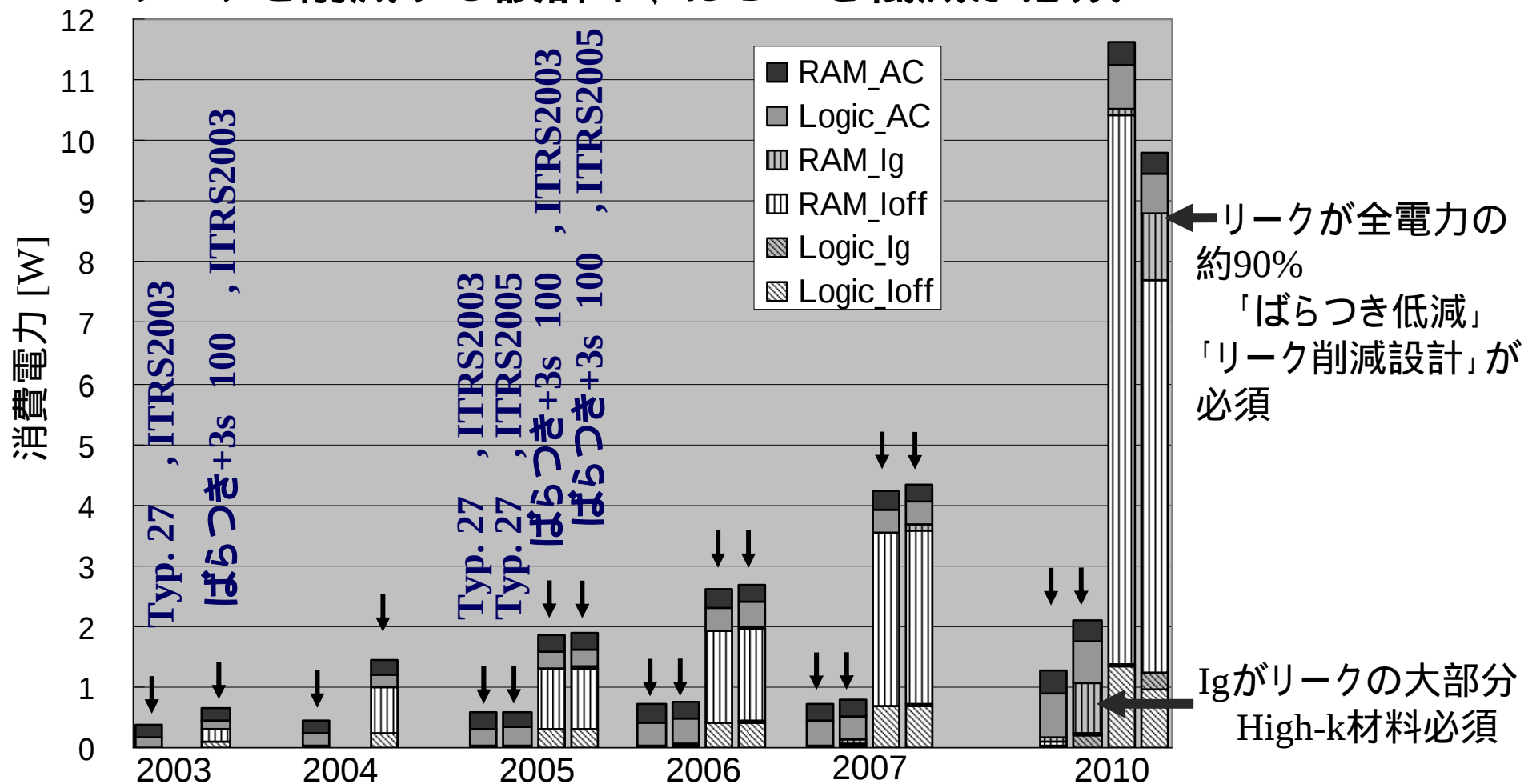
- HP, LOPは2003ITRSと同じ電源電圧
- LSTPについて低電圧化が2011年以降止まる  
特性の見直しの影響が大きい



Source:  
ITRS2003<sup>[1]</sup>  
ITRS2005

# 消費電力の見積り (LOPモデル) STRJ

- ITRS2005年版で、LOPのゲートリークが増大  
High-k無しのゲート電流Requirement値では、インパクト大であり、High-k材料の導入は必須
- リークを削減する設計や、ばらつき低減が必須



# 設計TFにおける検討内容

- 「配線の性能」と「配線ばらつき」がSoCの特性に与える影響検討モデル  
(今年度は、回路中の配線のモデルの構築を実施)

速度性能

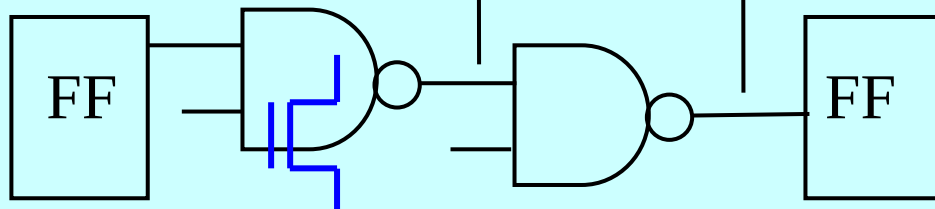


消費電力



## 回路中の配線のモデル

- ・配線本数、配線長
- ・配線あたりのVIA数



- ・MOSFETのばらつきの影響については昨年度に検討

+

## 配線・VIA パラメータ ばらつきモデル

$R_{VIA}$

$W$

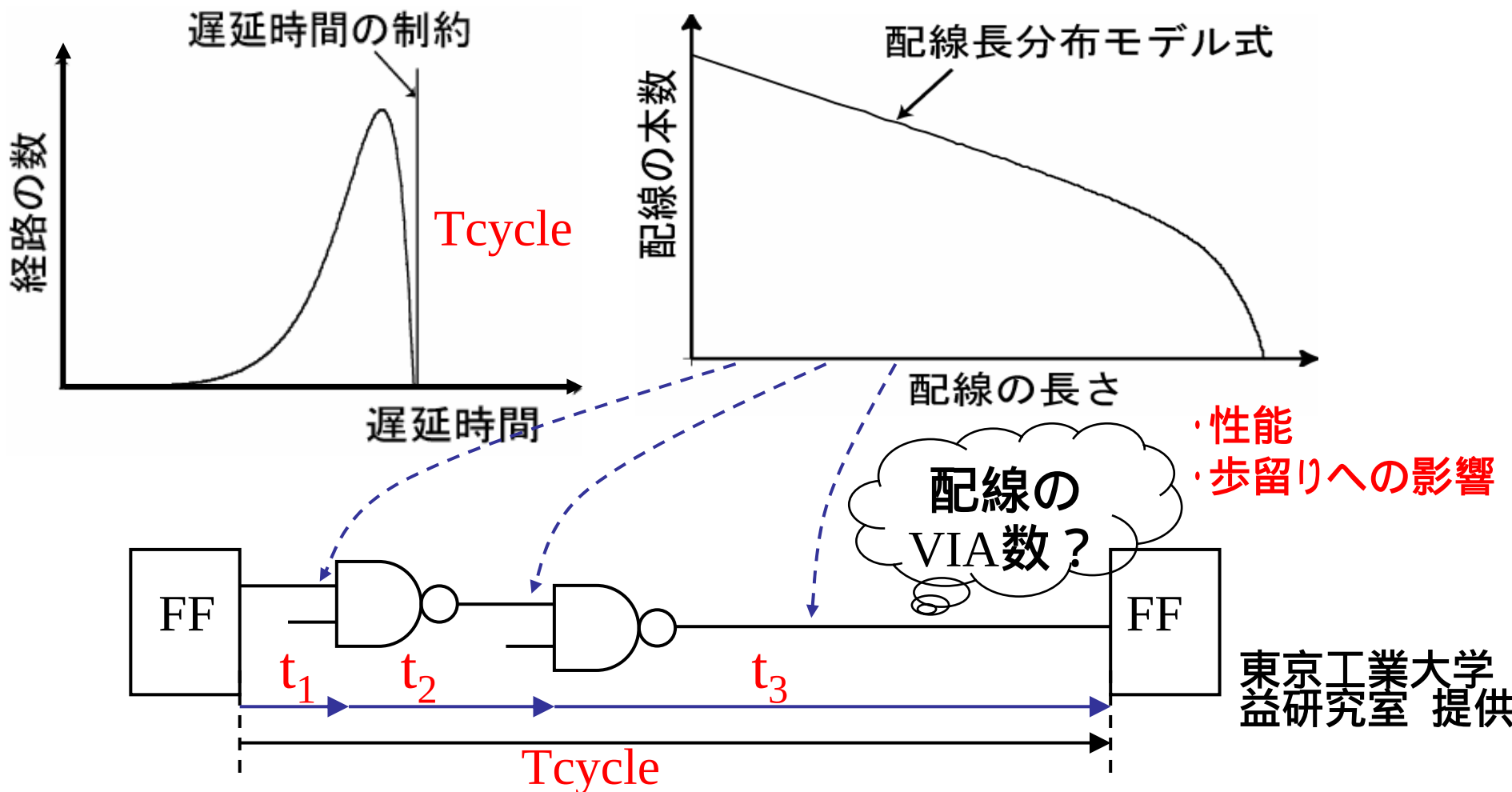
$t$

$R_{sheet}$

$t_{ILD}$

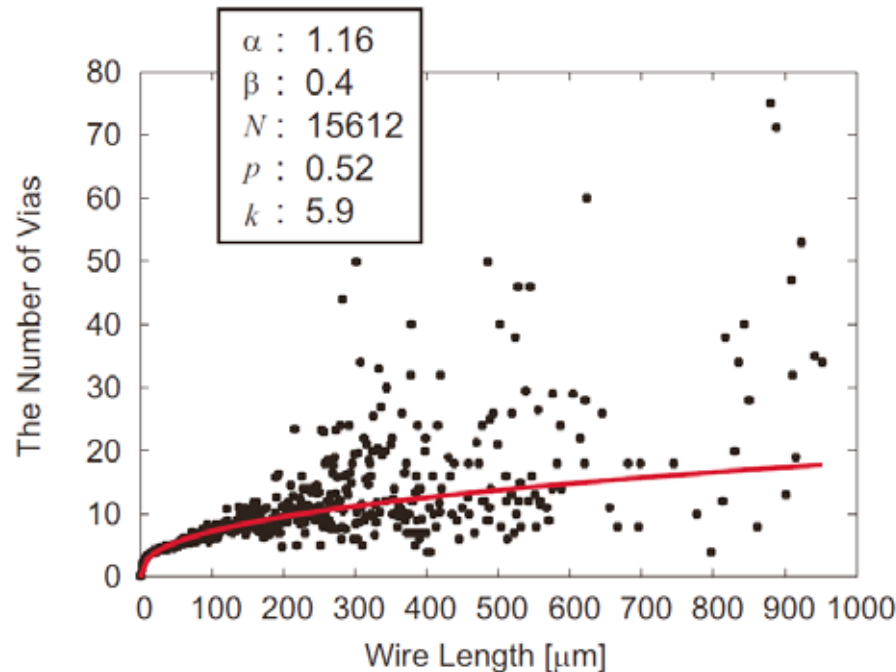
# 回路中の配線のモデルの構築 (1)

- 「回路のパス遅延時間分布」と「配線長分布」に合うように、FF-FFの論理回路パスを構成する<sup>[3]</sup>



# 回路中の配線のモデルの構築 (2)

## ■ 配線中のVIA数のモデル 配線長対VIA数としてモデル化<sup>[4]</sup>



東京工業大学  
益研究室 提供

- 「論理回路のパス構造モデル」と、  
「配線中のVIA数のモデル」については、見通しが付く  
今後、実際の配線パラメータを使い、配線ばらつきの  
SoC性能への影響評価を実施

# まとめ

- ITRS2005におけるばらつき、DFM関連のサマリ
  - Critical Dimensionの加工精度12%に緩和
  - NREコストの増大とWorkaround
  - 設計でのDFMへの対応、設計とプロセスの共同作業
- 低電力SoCのロードマップをITRS2005を元にupdate
  - リーク電流の抑制
    - ばらつき抑制、リーク抑制の設計が必須
  - ゲートリークの抑制 High-k材料の導入必須
- 配線性能を組み込んだSoCのロードマップ作成
  - 今年度は、論理回路のパス構造、配線中のVIA数のモデル化

# 参考文献

1. International Technology Roadmap for Semiconductors 2005、2003  
<http://public.itrs.net>
2. STRJ報告書 2003年度版、2004年度版  
<http://strj-jeita.eliasp.net/strj/index.htm>  
(STRJ報告書の冊子は発行済み。Web公開は2006年6月を予定)
3. Takumi Uezono, Junpei Inoue, Takanori Kyogoku, Kenichi Okada, and Kazuya Masu, “Prediction of Delay Time for Future LSI Using On-Chip Transmission Line Interconnects,” IEEE International Workshop on System Level Interconnect Prediction (SLIP), April 2005
4. Takumi Uezono, Kenichi Okada, and Kazuya Masu, “Via Distribution Model for Yield Estimation,” to be presented at IEEE International Symposium on Quality Electronic Design (ISQED), March 2006